



三洋半導体データシート

N

LE25FV055T — CMOS LSI 512K-bit (64K × 8) Serial Flash Memory

概要

LE25FV055T は、65,536 ビット×8 構成のオンボード書換え可能な、3.3V 単一電源動作によるフラッシュメモリであり、シリアルインタフェースに対応している。周辺 CMOS 回路の採用により、高速、低消費電力の使いよさを実現している。また、セクタ(2,048 バイト)イレース機能により、小規模なデータ書換えに最適である。

特長

- ・ 3.3V 単一電源によるリード/ライト動作が可能：電源電圧範囲 3.0～3.6V
- ・ 動作周波数：20MHz
- ・ シリアルインタフェース
- ・ SPI Mode0、Mode3 対応
- ・ 32 セクタ構成
- ・ 2,048 バイト/セクタ
- ・ セクタイレース、チップイレース、バイトプログラム機能
- ・ 高信頼性リード/ライト
- ・ セクタライト回数： 10^4 回
- ・ データ保持期間：10 年
- ・ パッケージ：MSOP8(225mil)

フラッシュ製品は米国 SST 社(Silicon Storage Technology, Inc)のライセンスを受け、三洋半導体株式会社で製造・販売するものです。

■ 本書記載の製品は、一般的な電子機器（家電製品、AV機器、通信機器、事務機器、産業用機器など）に使用されることを「標準用途」として意図しております。

極めて高度の信頼性を要され、その製品の故障や誤動作により直接人命を脅かしたり、人体に危害を及ぼす恐れのある「特定用途」（生命維持を目的として設計された医療機器、航空宇宙機器、原子力制御機器、燃焼機器、輸送機器、交通信号機器、各種安全装置など）に本書記載の製品を使用することは意図もされていませんし、また、保証もされていません。

ご使用を検討されるお客様および弊社が意図した標準用途以外にご使用をお考えのお客様は、事前に弊社営業窓口までご相談願います。ご相談なく使用することは、お客様の責任でなされることとなります。

■ 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。

LE25FV055T

外形図

unit:mm (typ)

3276

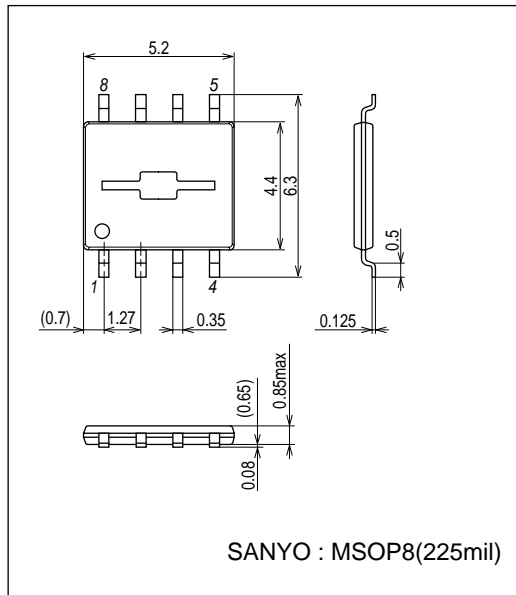
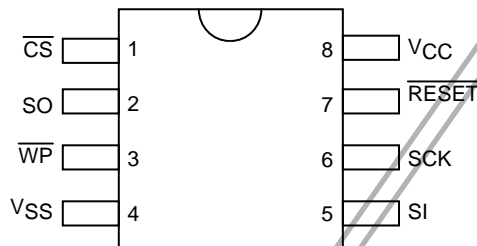


図 1 : ピン配置図



ピン名称

SCK	シリアルクロック
SI	シリアルデータ入力
SO	シリアルデータ出力
$\overline{\text{CS}}$	チップセレクト
$\overline{\text{WP}}$	ライトプロテクト
VCC	電源
VSS	接地
RESET	リセット

表 1 : ピン説明

記号	ピン名	機能
SCK	シリアルクロック	データの入出力タイミングを制御する。 クロックの立上りに同期して入力データやアドレスをラッチし、立下りに同期してデータを出力する。
SI	シリアルデータ入力	データやアドレスの入力が行なわれ、シリアルクロックの立上りに同期してラッチされる。
SO	シリアルデータ出力	シリアルクロックの立下りに同期して、デバイスからデータが出力される。
$\overline{\text{CS}}$	チップセレクト	低レベルの時、デバイスをアクティブにする。 高レベルの時、デバイスを非選択にしスタンバイ状態となる。
$\overline{\text{WP}}$	ライトプロテクト	低レベルの時、デバイスはプロテクト状態となり、不用意な書込みを防ぐ。 内部でプルアップしているため、未使用時は、接続しないこと。
VCC	電源	3.0V ~ 3.6V (動作周囲温度 0 ~ 70 時) を供給する。
VSS	接地	
RESET	リセット	電源投入時、低レベルにすることにより不用意な書込みを防ぐ。 デバイス内部のパワーオンリセット機能を使用する場合は、このピンは内部でプルアップされているため、接続しないこと。

LE25FV055T

図 2：ブロック図

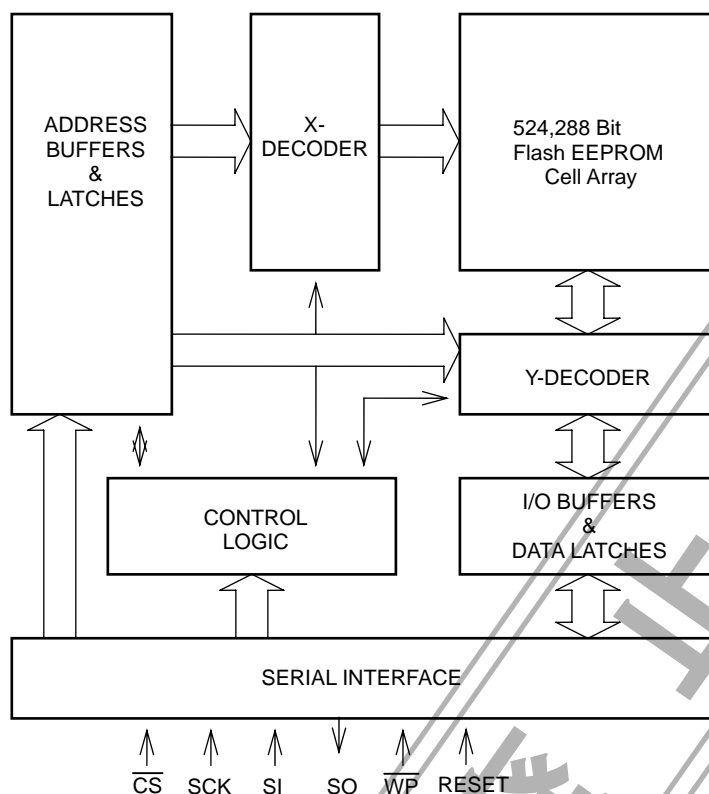


表 2：コマンド設定

コマンド	第 1	第 2	第 3	第 4	第 5	第 6
	バスサイクル	バスサイクル	バスサイクル	バスサイクル	バスサイクル	バスサイクル
	OPcode	Address	Address	Address	Data/OPcode	Dummy
Read	FFh *1	A23-A16 *2	A15-A8	A7-A0	X *1	X
Sector Erase	20h	A23-A16	A15-A8 *3	X	D0h	X
Chip Erase	30h	X	X	X	30h	X
Byte Program	10h	A23-A16	A15-A8	A7-A0	PD *4	X
Status Register	9Fh					
Reset *5	FFh					
Silicon ID *6	90h	X	X	A7-A0	X	X

表 2 の説明

*1. X=don't care,h=number in hex.

*2. すべてのコマンドについて A23-A16=don't care

*3. Sector Erase の A10-A8 は don't care

*4. PD=Program Data

*5. Reset コマンドはイレーズまたはプログラムの動作中(t_{SE} , t_{CHE} または t_{BP} の期間中)のみ有効

*6. Silicon ID : A7-A0=00h の時 62h(製造者コード), A7-A0=01h の時 52h(デバイスコード)を出力

デバイス動作

LE25FV055T はシリアルインタフェースに対応し、工業標準の EPROM の機能に 3.3V 単一電源による電氣的なオンチップ消去とプログラミング機能を追加した製品である。チップにコマンドレジスタを内蔵することによりインタフェースおよび制御を容易にしている。デバイスのリード、イレーズ、プログラムおよびその他必要な機能は、コマンドレジスタを介して実行される。

コマンドのアドレスおよびデータは、プログラムおよびイレーズ動作のためにラッチされる。

図 3 と図 4 にシリアル入出力のタイミング波形を示す。

\overline{CS} が論理高レベルから低レベルに遷移すると、デバイスが選択され、コマンドとアドレス、ダミービットがシリアルに入力可能となる。それらの入力は、最上位ビットから SCK の立上りに同期して行なわれる。この時、出力端子は高インピーダンス状態である。

出力端子が低インピーダンス状態になるのは、リード、もしくはステータスレジスタ動作の時のみであり、クロックの立下りに同期してデータが最上位ビットから出力される。

LE25FV055T はシリアルインタフェース SPI mode0 と SPI mode3 の双方に対応している。 \overline{CS} が論理高レベルから低レベルに遷移する際に、SCK が論理低レベル状態にあれば SPI mode0、高レベル状態にあれば SPI mode3 が自動選択される。

LE25FV055T は 3.3V 単一電源のデバイスであるから、プログラム、イレーズ動作を行うために外部から 12V (Vpp or Vee) を供給する必要はない。前述の通り、高電圧は必要な時に内部で生成される。

コマンド定義

表 2 はコマンドのリストと概要である。その機能の詳細な説明を次に示す。

リードコマンド

図 5 にリードのタイミング波形を示す。リードコマンドによって、データの読出しが可能となる。デバイスを選択し、(FFh) に続けて、24 ビットのアドレスと 16 ビットのダミービットを入力すると、S0 は高インピーダンス状態から低インピーダンス状態となり、指定したアドレスのデータが SCK に同期して出力される。SCK を入力している間は、デバイス内部でアドレスを自動的にインクリメントして、順にデータを出力する。最上位アドレス (0FFFFh) までデータが出力され、なおもリードサイクルが続く場合、最下位アドレス (00000h) に戻って、データ出力が続けられる。

デバイスを非選択にすることによって、リードサイクルは終了する。デバイスの非選択時、出力端子は高インピーダンス状態となる。

ステータスレジスタコマンド

図 6 にステータスレジスタのタイミング波形を示す。

ステータスレジスタは、プログラム、イレーズサイクル中に読出すことが可能である。

ステータスレジスタの内容は、下表のように、最下位ビットにプログラム、イレーズサイクルの終了を検知するための BSY を定義し、それ以外のビットは定義していない。

7 (MSB)	6	5	4	3	2	1	0 (LSB)
X	X	X	X	X	X	X	\overline{BSY}

\overline{CS} を論理低レベルにして、コマンドレジスタへ (9Fh) を書込むと、SCK の立下りに同期して、ステータスレジスタの情報が最上位ビットから出力される。最下位ビットが 0 であれば、デバイスはビジー状態であり、1 であればプログラム、イレーズサイクルは終了している。 \overline{CS} を論理高レベルにすると、出力端子は高インピーダンス状態となり、ステータスレジスタの読出しは終了する。

セクタイレースコマンド

図7にタイミング波形を示す。

セクタイレースコマンドは、第1バスサイクルから第6バスサイクルで構成され、デバイスを、1セクタの電氣的なイレースができるような状態にするものである。1セクタは2,048バイトで構成される。ほとんどのアプリケーションでは、チップ全体ではなくセクタ単位のイレースが要求されるため、このセクタイレース機能は、LE25FV055Tの自由度と、使いやすさを向上させている。

セクタイレース動作を実行するには、コマンドレジスタへ(20h)を書き込み、さらにアドレス、(D0h)とダミービットの入力が必要である。

アドレスは、A15~A11が有効アドレスであり、それ以外のアドレスは、don't careである。

セクタイレース動作は、 \overline{CS} の立上りエッジで始まり、内部タイマの制御で自動的に終了する。イレースの終了は、ステータスレジスタを用いて検知することができる。

チップイレースコマンド

図8にタイミング波形を示す。

チップイレースコマンドは、第1バスサイクルから第6バスサイクルで構成され、デバイスを、全セクタの電氣的な一括イレースができるような状態にするものである。デバイスは32セクタで構成される。チップ全体を1回のコマンド入力で一括してイレースできるため、このチップイレース機能は、LE25FV055Tの自由度と、使いやすさを向上させている。

チップイレース動作を実行するには、コマンドレジスタへ(30h)を書き込み、さらに(30h)とダミービットの入力が必要である。

アドレスはすべて don't care である。

チップイレース動作は、 \overline{CS} の立上りエッジで始まり、内部タイマの制御で自動的に終了する。イレースの終了は、ステータスレジスタを用いて検知することができる。

バイトプログラムコマンド

図9にタイミング波形を示す。

バイトプログラムコマンドは、第1バスサイクルから第6バスサイクルで構成され、デバイスをバイトプログラミングできるような状態にするものである。

バイトプログラム動作を実行するには、コマンドレジスタへ(10h)を書き込み、さらにアドレス、プログラムデータ(PD)とダミービットの入力が必要である。バイトプログラム動作は、 \overline{CS} の立上りエッジで始まり、内部タイマの制御で自動的に終了する。プログラムの終了は、ステータスレジスタを用いて検知することができる。

シリコン ID リードコマンド

図10にタイミング波形を示す。シリコン ID リードコマンドは、第1バスサイクルから第6バスサイクルで構成され、製造者コード(62h)、デバイスコード(52h)を第6バスサイクル後に SCK の立下りに同期して出力させるものである。アドレス(00h)の場合は製造者コード、アドレス(01h)の場合は、デバイスコードを最上位ビットから出力する。

ただし、イレースまたはプログラムの動作中(t_{SE} 、 t_{CHE} または t_{BP} の期間中)に使用することはできない。デバイスを非選択にすることによって、シリコン ID リードサイクルは終了する。デバイスの非選択時、出力端子は高インピーダンス状態である。

リセットコマンド

図11にタイミング波形を示す。

リセットコマンドは、イレースまたはプログラムのシーケンスを中断するためのコマンドである。イレースまたはプログラムの動作中(t_{SE} 、 t_{CHE} または t_{BP} の期間中)に、(FFh)を入力すると、ライト動作は中断され、この時のデータは保証されない。また、イレースあるいはプログラムコマンドの第5バスサイクルで、(FFh)を入力すると、ライト動作を行なわないため、メモリの内容は変えられない。

LE25FV055T

ハードウェアデータ保護

\overline{WP} が論理低レベルであれば、ライト動作は禁止され、不用意な書き込みを防ぐことができる。

\overline{WP} はデバイス内部でプルアップされているため、このピンを使用しない場合は、接続しないこと。

電源投入時の不用意な書き込みを防ぐために、LE25FV055T は内部にパワーオンリセット機能を有している。

また、電源投入時のデータ保護をより安全に行なうために、 \overline{RESET} を利用することを推奨する。

電源投入時、 \overline{RESET} を論理低レベルにしておき、 V_{CC} レベルがデバイスの動作電源電圧に達した後、 \overline{RESET} を論理高レベルにすれば、不用意な書き込みを防ぐことができる。(図 12)

この機能は、電源投入時以外には使用しないこと。

なお、デバイス内部のパワーオンリセット機能を使用する場合は、このピンは内部でプルアップされているため、接続しないこと。

デカップリングコンデンサ

フラッシュメモリを安定に動作させるために、 V_{CC} - V_{SS} 間に $0.1\mu\text{F}$ のセラミックコンデンサをデバイスごとに付加すること。

絶対最大定格

項目	記号	条件	定格値	unit
最大電源電圧		V_{SS} 基準	-0.5 ~ 4.6	V
全ピン DC 電圧		V_{SS} 基準	-0.5 ~ $V_{CC} + 0.5$	V
保存温度	Tstg		-55 ~ +150	

動作範囲

項目	記号	条件	定格値	unit
動作電源電圧			3.0 ~ 3.6	V
動作周囲温度			0 ~ 70	

DC許容動作条件

項目	記号	条件	min	typ	max	unit
リード時動作電流	I_{CCR}	$\overline{CS}=V_{IL}$, \overline{SO} , \overline{WP} , \overline{RESET} は開放 $\overline{SI}=V_{IL}/V_{IH}$ 、動作周波数=20MHz、 $V_{CC}=V_{CC\ max}$			10	mA
ライト時動作電流	I_{CCW}	$V_{CC}=V_{CC\ max}$			25	mA
TTLスタンバイ電流	I_{SB1}	$\overline{CS}=V_{IH}$, \overline{SO} , \overline{WP} , \overline{RESET} は開放 $\overline{SI}=V_{IH}/V_{IL}$			3	mA
CMOSスタンバイ電流	I_{SB2}	$\overline{CS}=V_{CC} - 0.3\text{V}$, \overline{SO} , \overline{WP} , \overline{RESET} は開放 $\overline{SI}=V_{IH}/V_{IL}$			20	μA
入力リーク電流	I_{LI}	$V_{IN}=V_{SS} \sim V_{CC}$, $V_{CC}=V_{CC\ max}$			10	μA
出力リーク電流	I_{LO}	$V_{IN}=V_{SS} \sim V_{CC}$, $V_{CC}=V_{CC\ max}$			10	μA
入力低電位	V_{IL}	$V_{CC}=V_{CC\ max}$	-0.3		0.4	V
入力高電位	V_{IH}	$V_{CC}=V_{CC\ min}$	2.4		$V_{CC} + 0.3$	V
出力低電位	V_{OL}	$I_{OL}=100\mu\text{A}$, $V_{CC}=V_{CC\ min}$			0.2	V
出力高電位	V_{OH}	$I_{OH}= -100\mu\text{A}$, $V_{CC}=V_{CC\ min}$	$V_{CC} - 0.2$			V

LE25FV055T

電源投入タイミング

項目	記号	max	unit
電源投入からリード動作までの時間	tp _{U_READ}	10	ms
電源投入からライト動作までの時間	tp _{U_WRITE}	10	ms
RESET論理高レベルからコマンドエントリーまでの時間	tp _{U_RST}	1	μs

端子容量/Ta=25 , f=1MHz

項目	記号	条件	max	unit
出力端子容量	C _{DQ}	V _{DQ} =0V	12	pF
入力端子容量	C _{IN}	V _{IN} =0V	6	pF

注：このパラメータは全数測定されたものではなく、サンプル値である。

AC 特性

項目	記号	min	typ	max	unit
クロック周波数	f _{CLK}			20	MHz
CSセットアップ時間	t _{CSS}	250			ns
CSホールド時間	t _{CSH}	250			ns
CS待機パルス幅	t _{CPH}	250			ns
CSからの出力高インピーダンス時間	t _{CHZ}			250	ns
データセットアップ時間	t _{DS}	15			ns
データホールド時間	t _{DH}	15			ns
クロックの「H」レベルパルス幅	t _{CLH}	22			ns
クロックの「L」レベルパルス幅	t _{CLL}	22			ns
クロックからの出力低インピーダンス時間	t _{CLZ}	0			ns
クロックからの出力データ時間	t _v		10	20	ns
出力データホールド時間	t _{HO}	0			ns
セクタイレースサイクル時間	t _{SE}			25	ms
チップイレースサイクル時間	t _{CHE}			100	ms
バイトプログラムサイクル時間	t _{BP}			25	μs
ライトリセットリカバリー時間	t _{RST}			10	μs

AC 試験条件

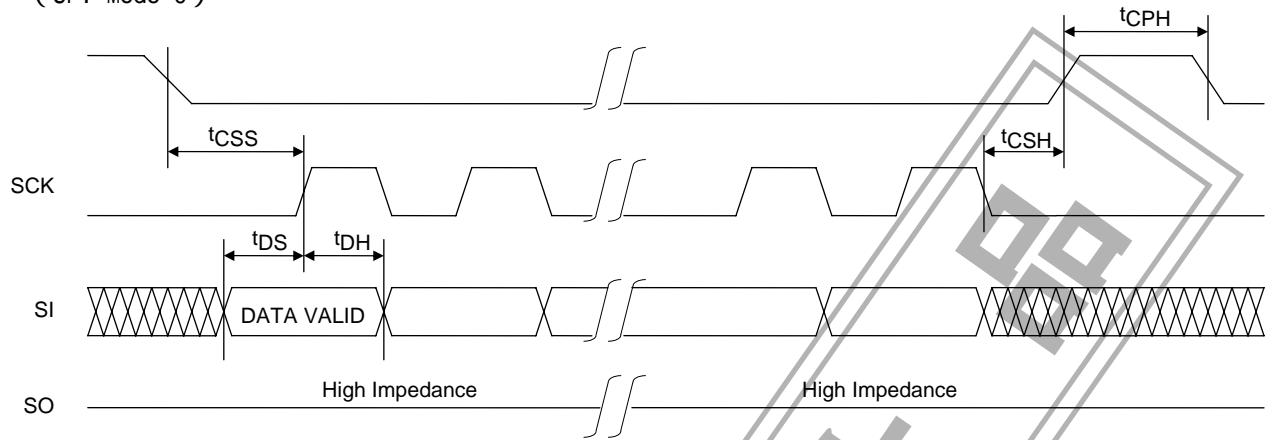
入力パルスレベル.....0V, 3.0V
 入力立ち上がり/立ち下がり時間.....5ns
 入力/出力タイミングレベル.....1/2V_{DD}
 出力負荷.....30pF

*注：t_v の typ についての試験条件は、V_{CC}=3.3V、室温測定である。

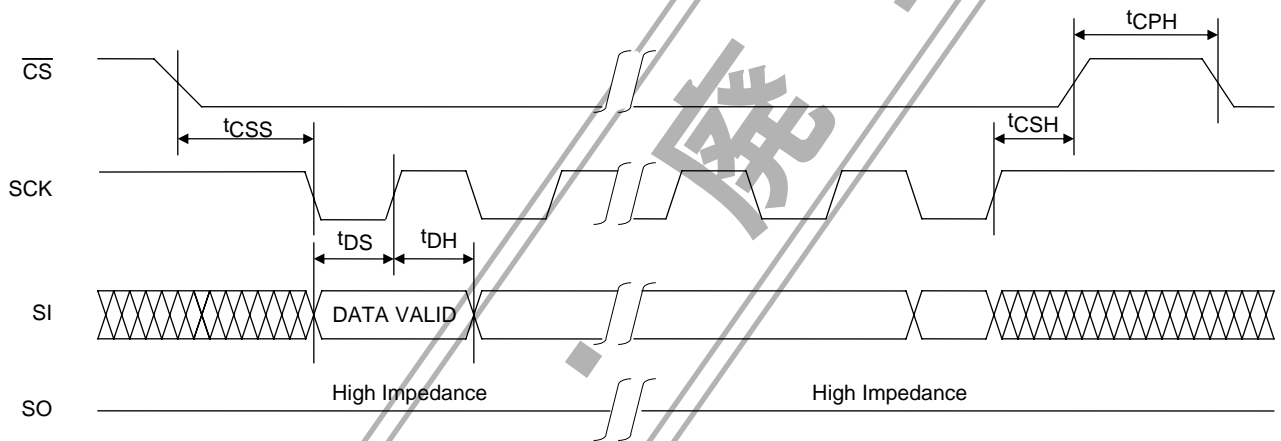
タイミング図

図 3 : シリアル入力タイミング

(SPI Mode 0)



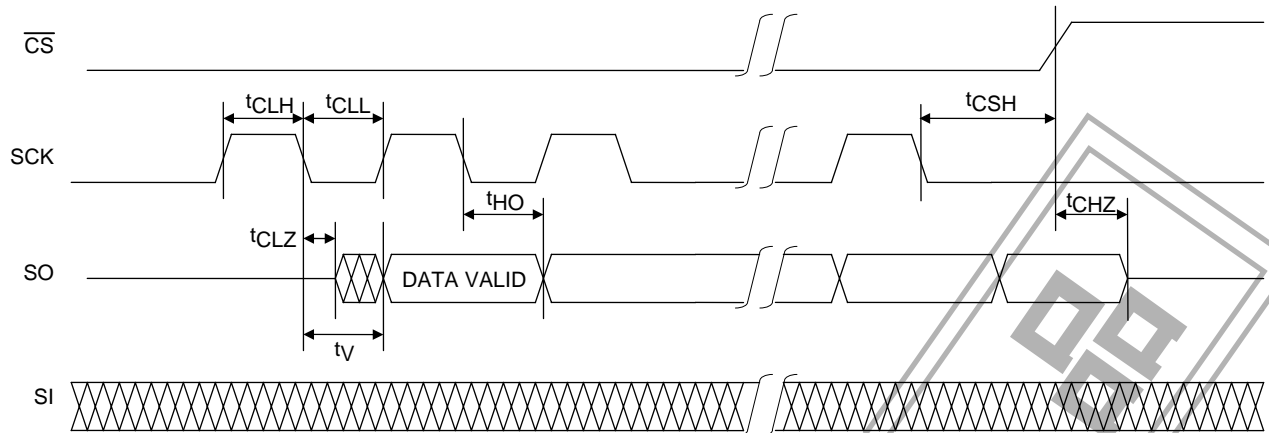
(SPI Mode 3)



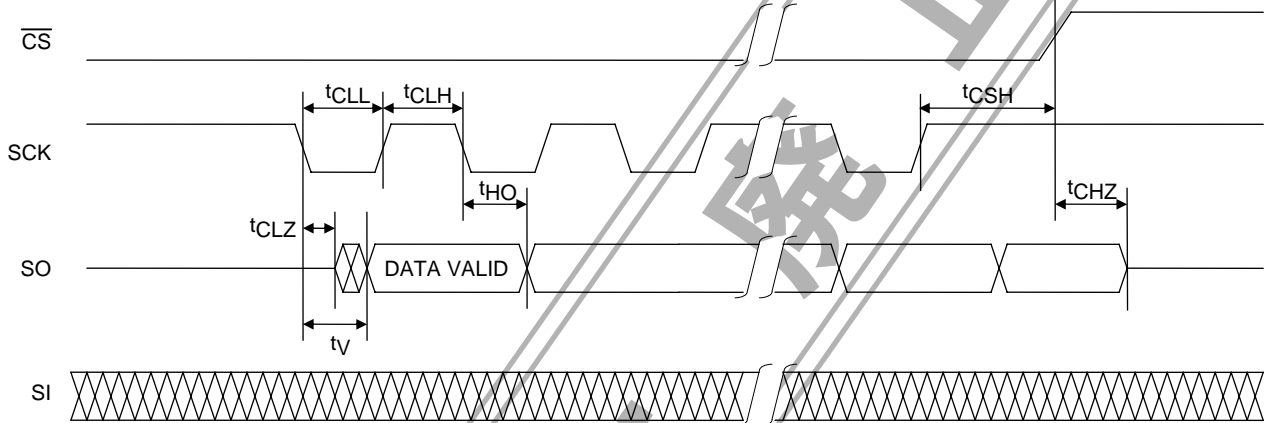
LE25FV055T

図 4 : シリアル出力タイミング

(SPI Mode 0)



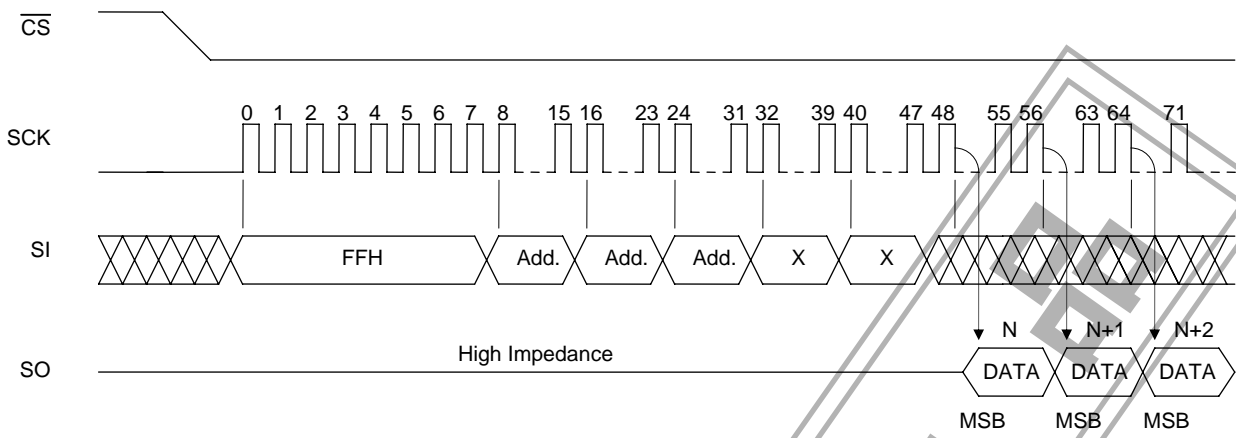
(SPI Mode 3)



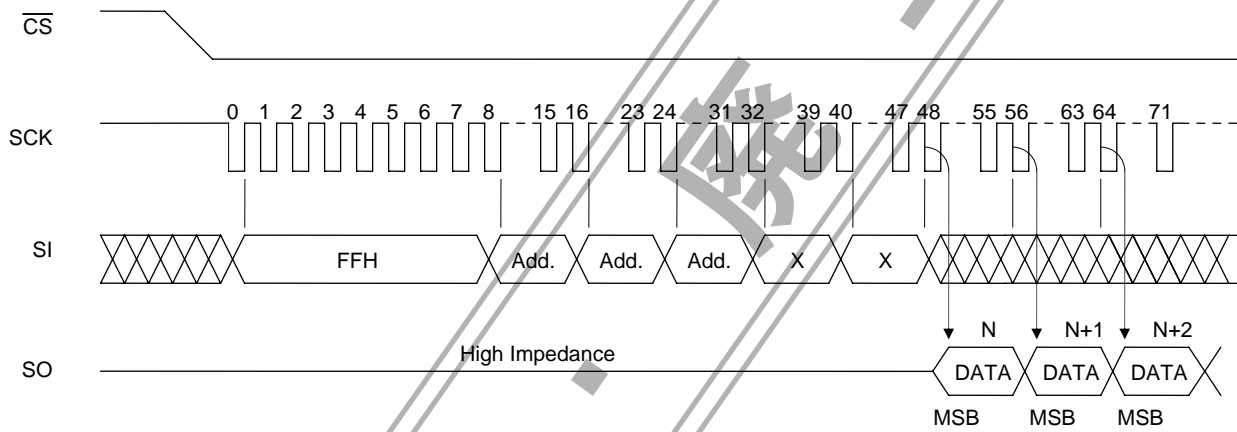
LE25FV055T

図 5 : リード

(SPI Mode 0)



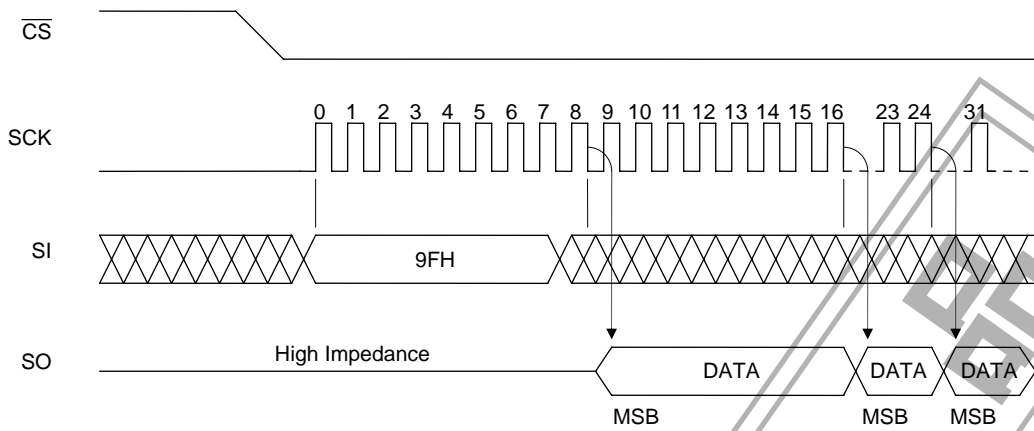
(SPI Mode 3)



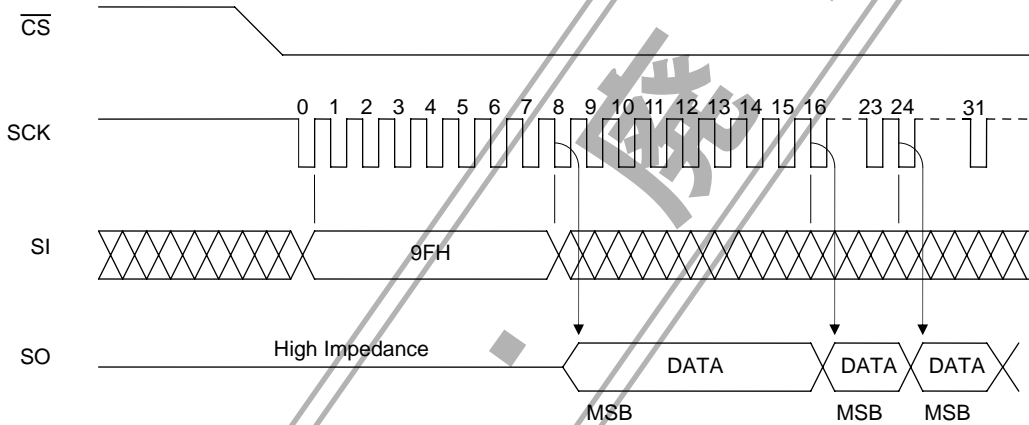
LE25FV055T

図 6 : ステータスレジスタ

(SPI Mode 0)

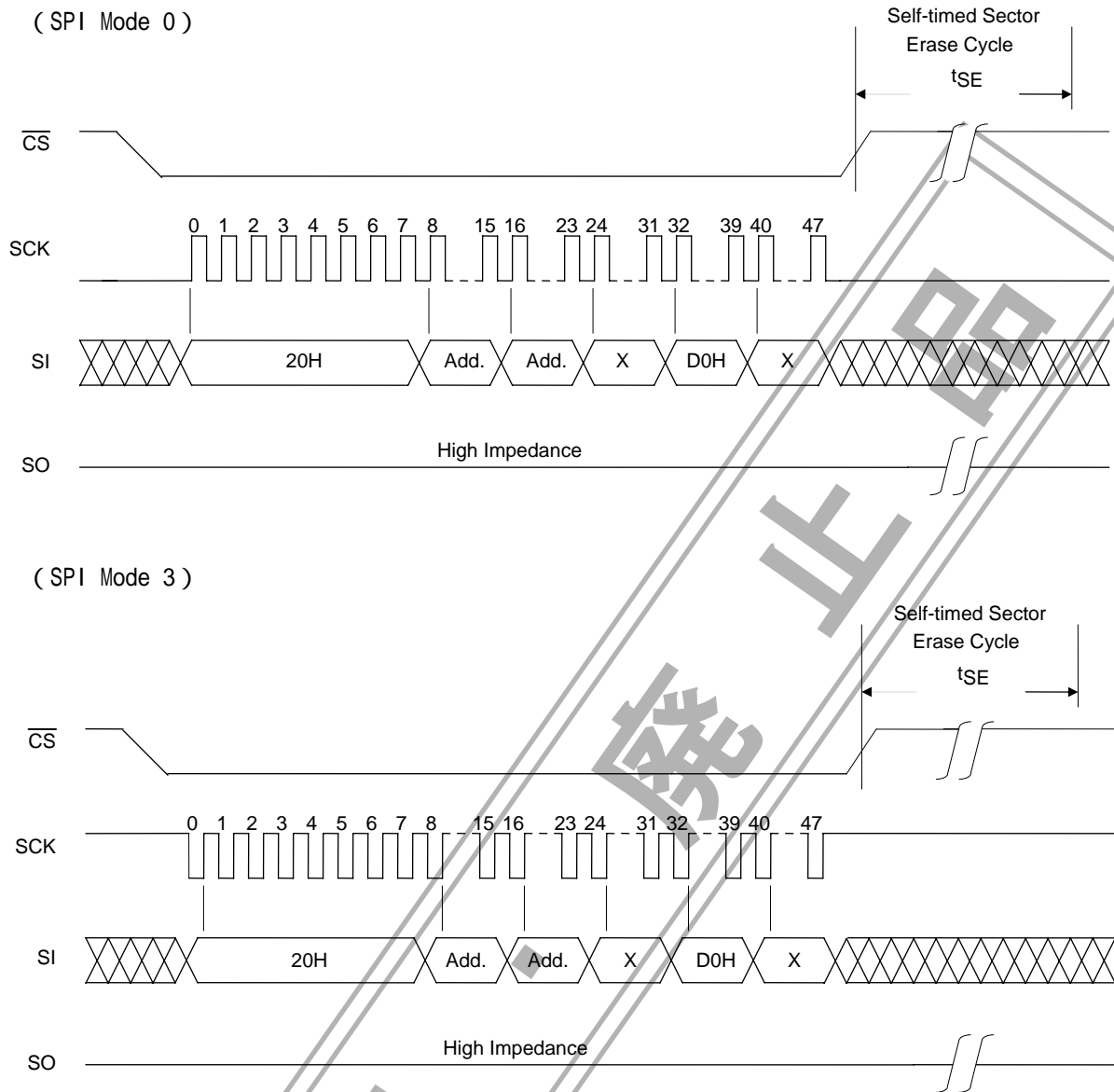


(SPI Mode 3)



LE25FV055T

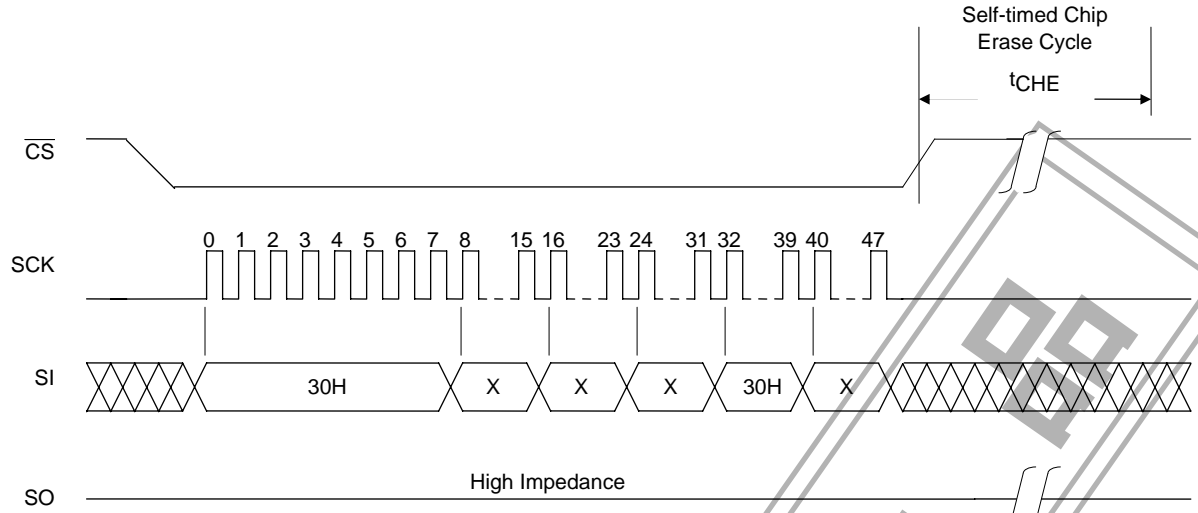
図7：セクタイレーズ



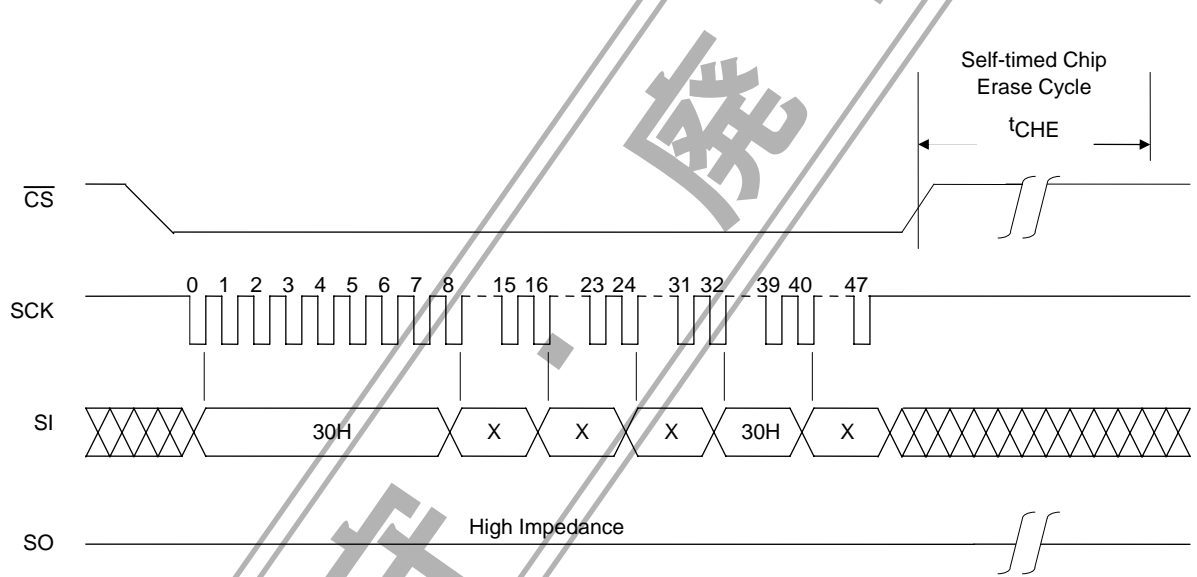
LE25FV055T

図 8 : チップイレーズ

(SPI Mode 0)



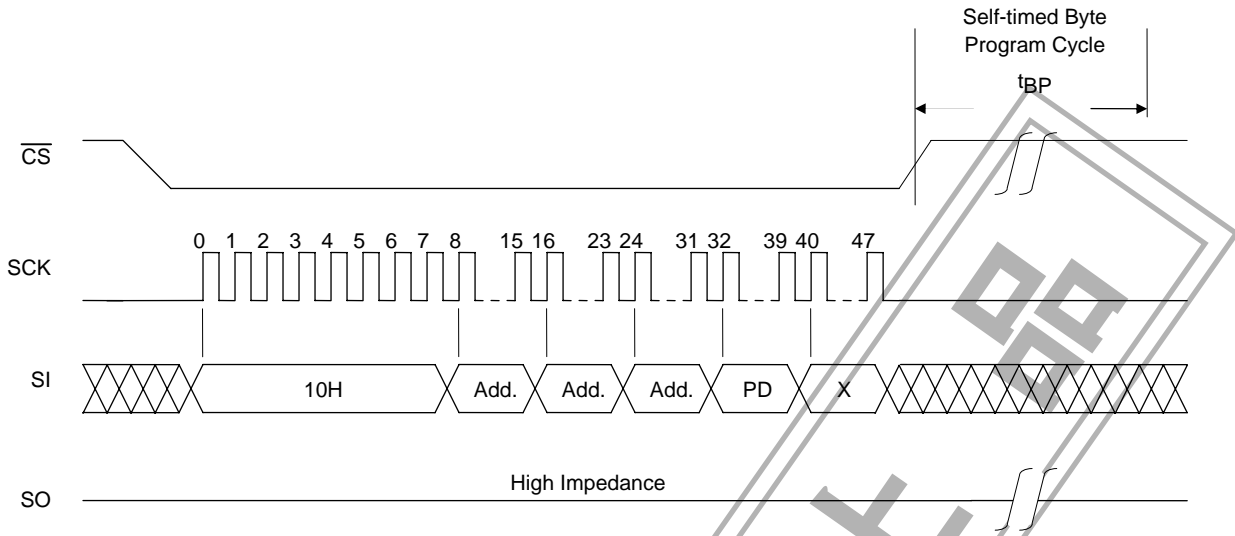
(SPI Mode 3)



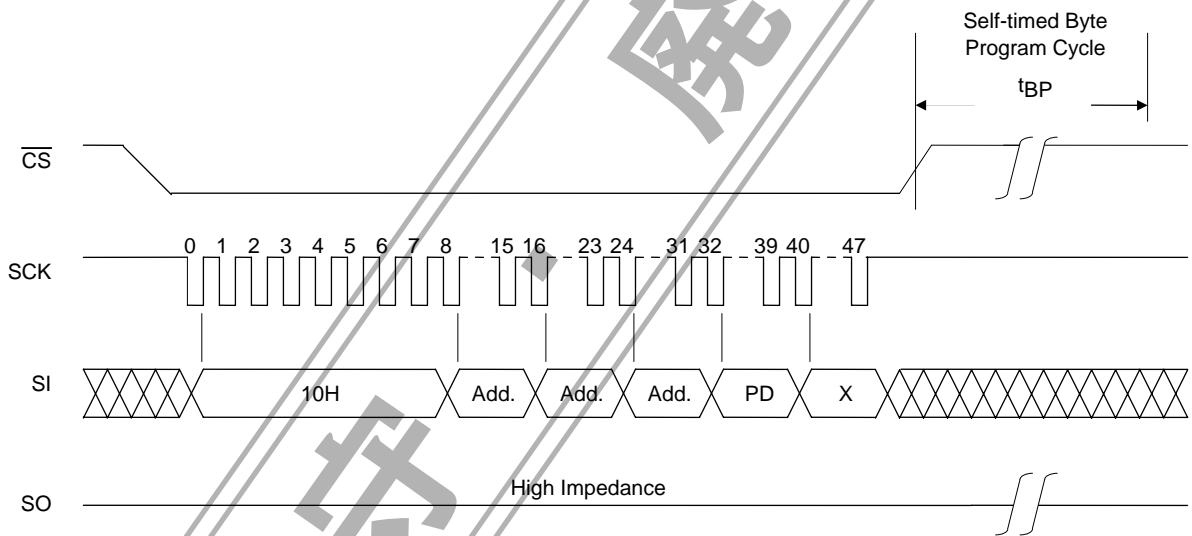
LE25FV055T

図9：バイトプログラム

(SPI Mode 0)



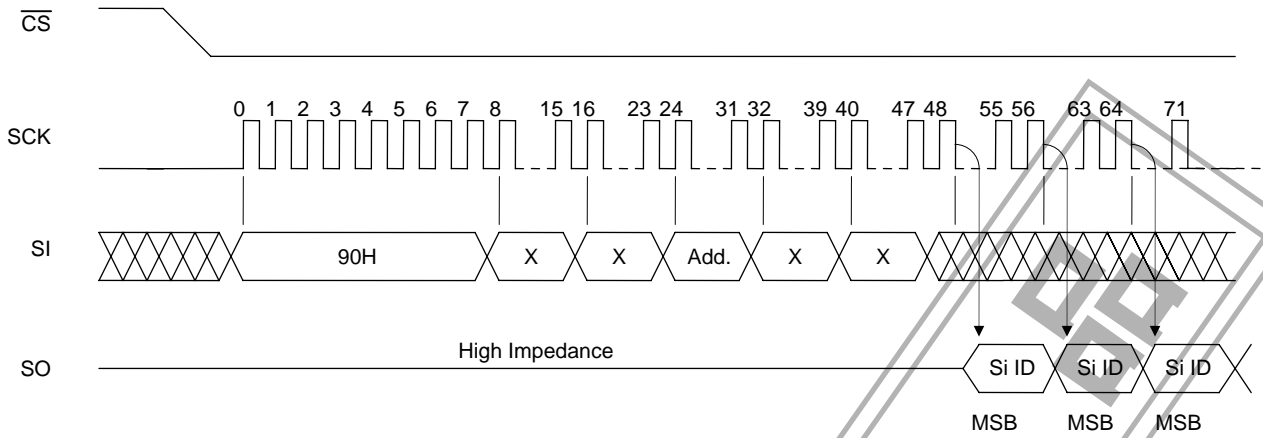
(SPI Mode 3)



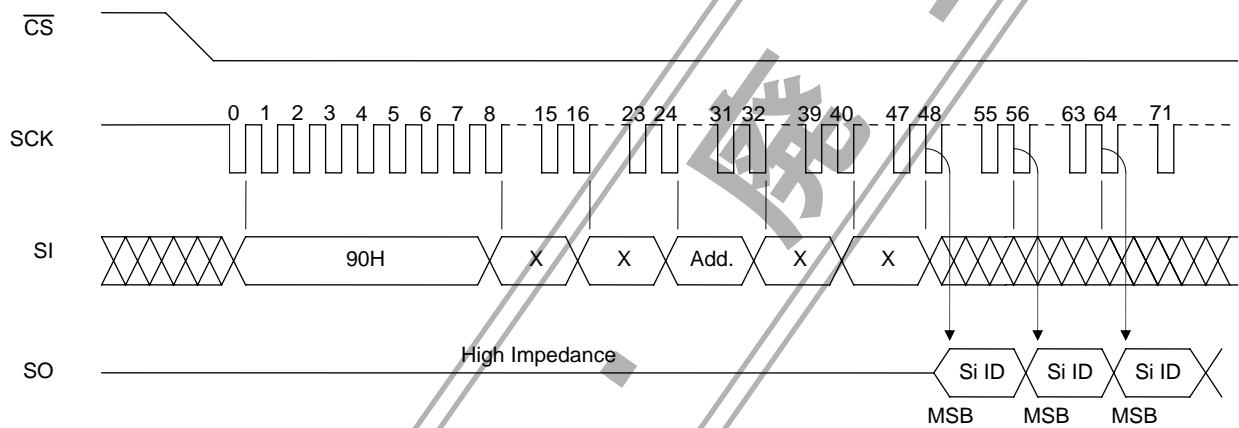
LE25FV055T

図 10 : シリコン ID リード

(SPI Mode 0)



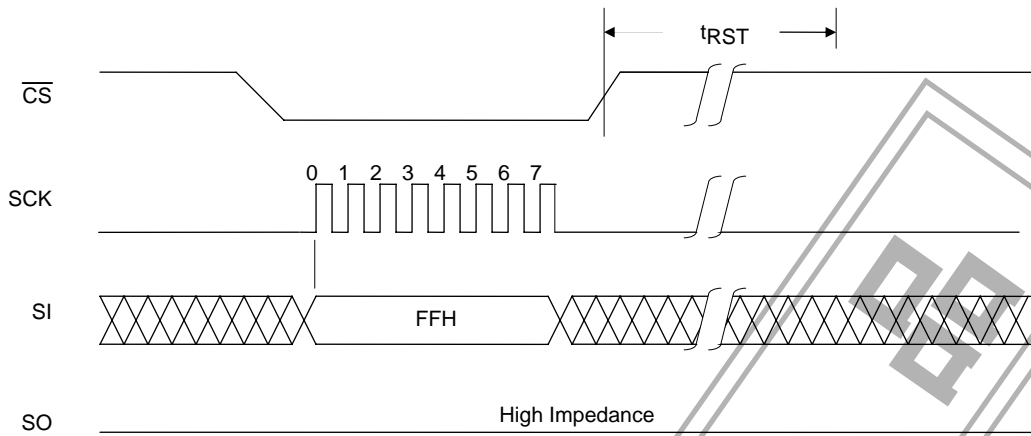
(SPI Mode 3)



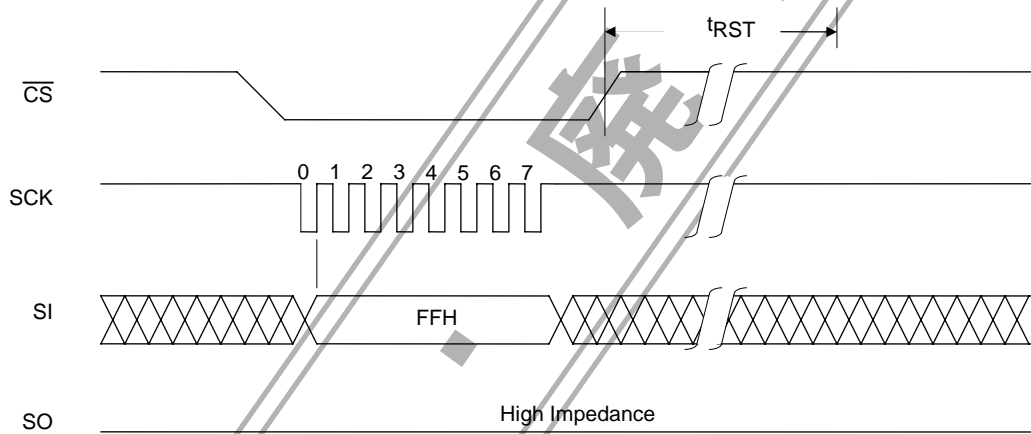
LE25FV055T

図 11 : リセット (t_{SE} , t_{CHE} , t_{BP} 期間中のみ有効)

(SPI Mode 0)

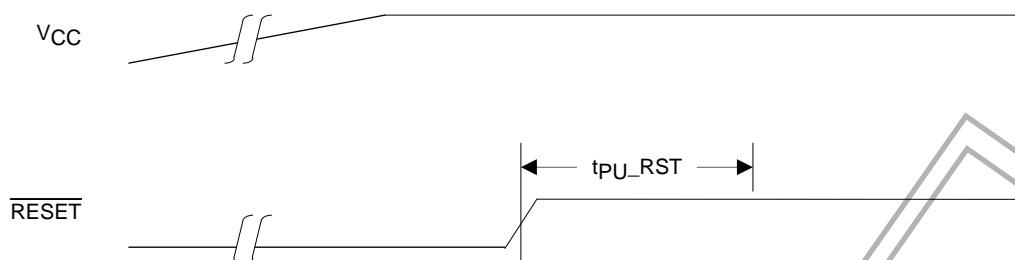


(SPI Mode 3)



LE25FV055T

図 12：RESET論理高レベルからコマンドエントリーまでの時間



- 本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。
- 弊社は、高品質・高信頼性の製品を供給することに努めておりますが、一般的に半導体製品はある確率で誤動作や故障が生じてしまいます。この誤動作や故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物に該当する場合、輸出する際に同法に基づく輸出許可を要する場合があります。
- 弊社の文書による承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- 本書記載の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。
- 本書に記載された技術情報の使用もしくは本書に記載された製品の使用にあたって、弊社もしくは第三者の知的財産権その他の権利の実施に対する保証または実施権の許諾を行なうものではありません。上記技術情報及び製品の使用に起因する第三者所有の権利にかかわる問題が発生した場合に、弊社はその責任を負うものではありません。