

LOONGSON

龙芯 3A1000 处理器数据手册

V1.7

2014 年 07 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来



版权声明

本档版权归龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 3A1000 处理器数据手册》主要介绍龙芯 3A1000 处理器接口结构，特性，电气规范，以及硬件设计指导。

修订历史

文档更新记录	文档名:	龙芯 3A1000 处理器数据手册	
	版本号:	V1.7	
	创建人:	研发中心	
	创建日期:	2013-06-18	
更新历史			
序号	更新日期	版本号	更新内容
1	2011-01-25	V1.0	初稿完成
2	2011-11-02	V1.1	增加 DDR3 说明
3	2012-02-14	V1.2	增加 PLL 时钟倍频说明
4	2012-08-23	V1.3	增加电源最大电流数据
5	2012-12-23	V1.4	修改部分电压说明
6	2013-06-18	V1.5	修改部分文字错误
7	2014-04-02	V1.6	根据芯片命名规则，龙芯 3A 处理器更名为龙芯 3A1000 处理器
8	2014-07-25	V1.7	增加芯片订货信息

手册信息反馈: service@loongson.cn

目 录

图目录.....	VII
表目录.....	VIII
1 概述.....	1
2 接口描述.....	2
2.1 接口信号模块	2
2.2 PCI 总线接口信号	3
2.3 HYPERTRANSPORT 总线接口信号	4
2.4 DDR2/3 SDRAM 总线接口信号.....	7
2.5 初始化信号	8
2.6 低速 I/O 接口	10
2.7 芯片引脚中断信号	11
2.8 JTAG 及 EJTAG 信号	12
2.9 测试和控制信号	12
2.10 时钟信号	13
2.11 电源引脚	15
2.12 GPIO 信号	16
3 PCI 总线接口特性	17
3.1 PCI/PCI-X 接口特性	17
3.2 仲裁器和设备模式	17
3.3 PCI 总线仲裁器	17
4 HYPERTRANSPORT 总线接口描述.....	18
4.1 HYPERTRANSPORT 接口特性	18
4.2 设备模式	18
4.3 系统 HT 接口连接	18
5 DDR2/3 SDRAM 控制器接口描述.....	21
5.1 DDR2/3 SDRAM 控制器特性.....	21
5.2 DDR2/3 SDRAM 读协议	22
5.3 DDR2/3 SDRAM 写协议.....	22
5.4 DDR2/3 SDRAM 参数设置顺序	23
6 复位时序要求.....	24
7 电气特性.....	26
7.1 绝对最大额定值	26
7.2 HYPERTRANSPORT 总线接口特性	26
7.2.1 HyperTransport 推荐直流工作条件	26
7.2.2 HyperTransport 推荐交流工作条件	26
7.2.3 传输时序特性	27

7.3	DDR2 总线内存接口特性	29
7.3.1	推荐直流特性	29
7.3.2	推荐的交流特性	30
7.3.3	电气交流时序特性	31
7.4	DDR3 内存接口特性	33
7.4.1	推荐的直流工作条件	33
7.4.2	交流和直流逻辑输入电平	34
7.4.3	交流和直流逻辑输出电平	36
7.4.4	IDD 和 IDDQ 规范的参数和测试条件	42
7.4.5	输入/输出电容	42
7.4.6	不同器件密度下的刷新参数	42
7.4.7	标准的速度分级	43
7.4.8	DDR3-800 和 DDR3-1066 的时序参数	44
7.5	PCI-X 总线特性	48
7.5.1	推荐的直流工作条件	48
7.5.2	交流工作特性	49
7.5.3	时序参数	50
7.5.4	复位时序	52
7.5.5	PCI-X 总线系统的噪声容限	52
7.5.6	PCI-X 的系统时序裕量	53
7.6	LPC 总线和其它引脚	53
7.6.1	LPC 总线	53
7.6.2	EJTAG	53
7.7	参考时钟	54
7.7.1	HyperTransport 的时钟	54
7.7.2	DDR2 内存的时钟	55
7.7.3	PCI-X 时钟	55
7.8	电源	56
7.8.1	电源工作条件	56
8	热特性	57
8.1	热参数	57
8.2	焊接温度	57
9	引脚排列和封装	59
9.1	按引脚排列的封装引脚	59
9.2	FCBGA 引脚顶层排列	69
10	封装机械尺寸	75
11	订货信息	76
12	不使用引脚处理	77

12.1 系统配置引脚	77
12.2 LPC 总线	77
12.3 PCI 总线	77
12.4 SPI/UART/GPIO 总线	77
12.5 DDR 总线	77
12.6 HYPERTRANSPORT 总线	77
12.7 JTAG/EJTAG 总线、TESTCLK	78
12.8 系统中断管脚	78

图目录

图 2.1 龙芯 3A1000 处理器接口信号框图.....	2
图 4.1 龙芯 3A1000 单处理器系统 HT 接口连接	19
图 4.2 龙芯 3A1000 多处理器系统 HT 接口连接（四片）	19
图 4.3 龙芯 3A1000 多处理器系统 HT 接口连接（二片）	20
图 5.1 DDR2 SDRAM 读协议.....	22
图 5.2 DDR2 SDRAM 写协议.....	22
图 6.1 龙芯 3A1000 复位时序图.....	25
图 7.1 HyperTransport 总线 T_{ODIFF} 时序	27
图 7.2 HyperTransport 总线 T_{DIFF} 时序	27
图 7.3 HyperTransport 总线 T_{CADV} 时序	28
图 7.4 HyperTransport 总线 T_{SU} 和 T_{HD} 时序	28
图 7.5 HyperTransport 总线 T_{CADVRS} / T_{CADVRH} 时序	28
图 7.6 差分的信号电平.....	30
图 7.7 ac-swing 和 ac-level 时间点（tDVA）的差分定义	35
图 7.8 Vix 定义.....	36
图 7.9 单端输出斜率的定义.....	37
图 7.10 差分输出斜率的定义.....	38
图 7.11 地址和控制的上冲和下冲定义.....	39
图 7.12 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义.....	39
图 7.13 tAON 的定义.....	40
图 7.14 tAONPD 的定义.....	40
图 7.15 tAOF 的定义	41
图 7.16 tAOFPD 的定义	41
图 7.17 tADC 的定义.....	41
图 7.18 转换到带上拉的 PCI-X 模式的 RST#时序.....	52
图 7.19 PCI-X 噪声容限	52
图 7.20 3.3V PCI-X 时钟波形	55
图 8.1 焊接回流曲线.....	58
图 9.1 顶层引脚排列（左侧）	69
图 9.2 顶层引脚排列（中间 1）	71
图 9.3 顶层引脚排列（中间 2）	72
图 9.4 顶层引脚排列（中间 3）	73
图 9.5 顶层引脚排列（右侧）	75

表目录

表 2.1 PCI 总线信号	3
表 2.2 HT 总线信号	4
表 2.3 DDR2 SDRAM 控制器接口信号	8
表 2.4 初始化接口信号	8
表 2.5 LPC 接口信号	10
表 2.6 SPI 接口信号	11
表 2.7 UART 接口信号	11
表 2.8 引脚中断信号描述	11
表 2.9 JTAG 接口信号	12
表 2.10 JTAG 模式的配置	12
表 2.11 EJTAG 接口信号	12
表 2.12 EJTAG 接口信号	12
表 2.13 时钟信号	13
表 2.14 Core 时钟域倍频	14
表 2.15 DDR2/3 时钟域倍频	14
表 2.16 HT 时钟控制	15
表 2.17 电源引脚	15
表 2.18 GPIO 信号	16
表 5.1 时钟信号 DDR2 SDRAM 行/列地址转换	21
表 7.1 绝对最大额定值	26
表 7.3 HyperTransport 交流工作条件	26
表 7.4 HyperTransport 连接传输时序规范	28
表 7.5 推荐的直流工作条件(SSTL_1.8)	29
表 7.6 输入的直流逻辑电平	30
表 7.7 输出直流电流驱动	30
表 7.8 输入交流逻辑电平	30
表 7.9 差分的输入交流逻辑电平	30
表 7.10 差分的交流输出参数	30
表 7.11 不同密度的器件刷新参数	31
表 7.12 DDR2 内存标准速率分级	31
表 7.13 DDR2-667 和 DDR2-800 时序参数	31
表 7.14 推荐的直流工作条件	33
表 7.15 控制信号和地址单端信号的交流和直流输入电平	34
表 7.16 DQ 和 DM 单端信号的交流和直流输入电平	34
表 7.17 交流和直流的差分输入电平	35
表 7.18 差分输入信号(CK, DQS)交叉点电压	36
表 7.19 单端信号的交流直流输出电平	36

表 7.20 差分信号的交流和直流输出电平.....	36
表 7.21 单端信号输出斜率的定义.....	36
表 7.22 单端的输出斜率.....	37
表 7.23 差分输出斜率的定义.....	37
表 7.24 差分输出斜率.....	38
表 7.25 地址和控制引脚的交流上冲/下冲规范(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)	38
表 7.26 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范 (CK,CK#,DQ,DQS,DQS#,DM).....	39
表 7.27 ODT 时序定义	39
表 7.28 ODT 时序测量的参考设置	39
表 7.29 IDD 和 IDDQ 测量循环模式的时序	42
表 7.30 输入/输出电容	42
表 7.31 不同器件密度下的刷新参数.....	42
表 7.32 DDR3-800 Speed Bins and Operating Conditions	43
表 7.33 DDR3-1066 Speed Bins and Operating Conditions	43
表 7.34 Timing Parameters by Speed Bin.....	44
表 7.35 PCI-X 设备的直流规范	48
表 7.36 推荐的直流特性.....	49
表 7.37 IO 引脚的输入电容	49
表 7.38 推荐的交流特性.....	49
表 7.39 输出信号的斜率.....	50
表 7.40 通用时序参数.....	50
表 7.41 PCI-X 系统的噪声容限	52
表 7.42 建立时间预算.....	53
表 7.43 保持时间预算.....	53
表 7.44 推荐的上拉电阻值.....	53
表 7.45 EJTAG 的交流时序特性.....	53
表 7.46 发送端时钟的不确定性.....	54
表 7.47 输入时钟抖动参数.....	55
表 7.48 PCI-X 时钟参数	55
表 7.49 推荐的工作电源电压.....	56
表 8.1 龙芯 3A1000 的热特性参数和推荐的最大值.....	57
表 8.2 龙芯 3A1000 的热阻参数.....	57
表 8.3 无铅工艺的封装回流最大温度表.....	57
表 8.4 回流焊接温度分类表.....	57
表 9.1 按引脚排列的封装引脚表.....	59
表 9.2 按引脚排列的封装引脚表 (续表)	60
表 9.3 按引脚排列的封装引脚表 (续表)	61

表 9.4 按引脚排列的封装引脚表（续表）62
表 9.5 按引脚排列的封装引脚表（续表）63
表 9.6 按引脚排列的封装引脚表（续表）64
表 9.7 按引脚排列的封装引脚表（续表）65
表 9.8 按引脚排列的封装引脚表（续表）65
表 9.9 按引脚排列的封装引脚表（续表）66
表 9.10 按引脚排列的封装引脚表（续表）67

1 概述

龙芯 3A1000 是龙芯 3 号多核处理器系列的第一款产品，采用 65nm 工艺制造，在单个芯片内集成了 4 个 64 位超标量通用处理器核[2]，最高工作主频为 1GHz，主要特征如下：

- 片内集成四个 64 位的四发射超标量 GS464 高性能处理器核；
- 片内集成四核共享的 4MB 二级 Cache；
- 片内集成 2 个 64 位 400MHz 的 DDR2/3 控制器；
- 片内集成 2 个 16 位 800MHz 的 HyperTransport 控制器；每个 16 位的 HT 端口可以拆分成两个 8 路的 HT 端口使用；
- 片内集成 32 位 33MHz PCI/ PCIX；
- 片内集成一个 LPC、两个 UART、1 个 SPI、16 路 GPIO 接口；
- 支持多核芯片通过 HyperTransport 接口互连和跨芯片的全局 Cache 一致性；
- 采用 FC-BGA-1121 封装。

龙芯 3A1000 的芯片整体架构基于两级互连实现，芯片结构和介绍详见《龙芯 3A1000 用户手册 P1》1.2 节 龙芯 3A1000 简介。

2 接口描述

2.1 接口信号模块

龙芯 3A1000 的接口信号如图 2.1 所示。

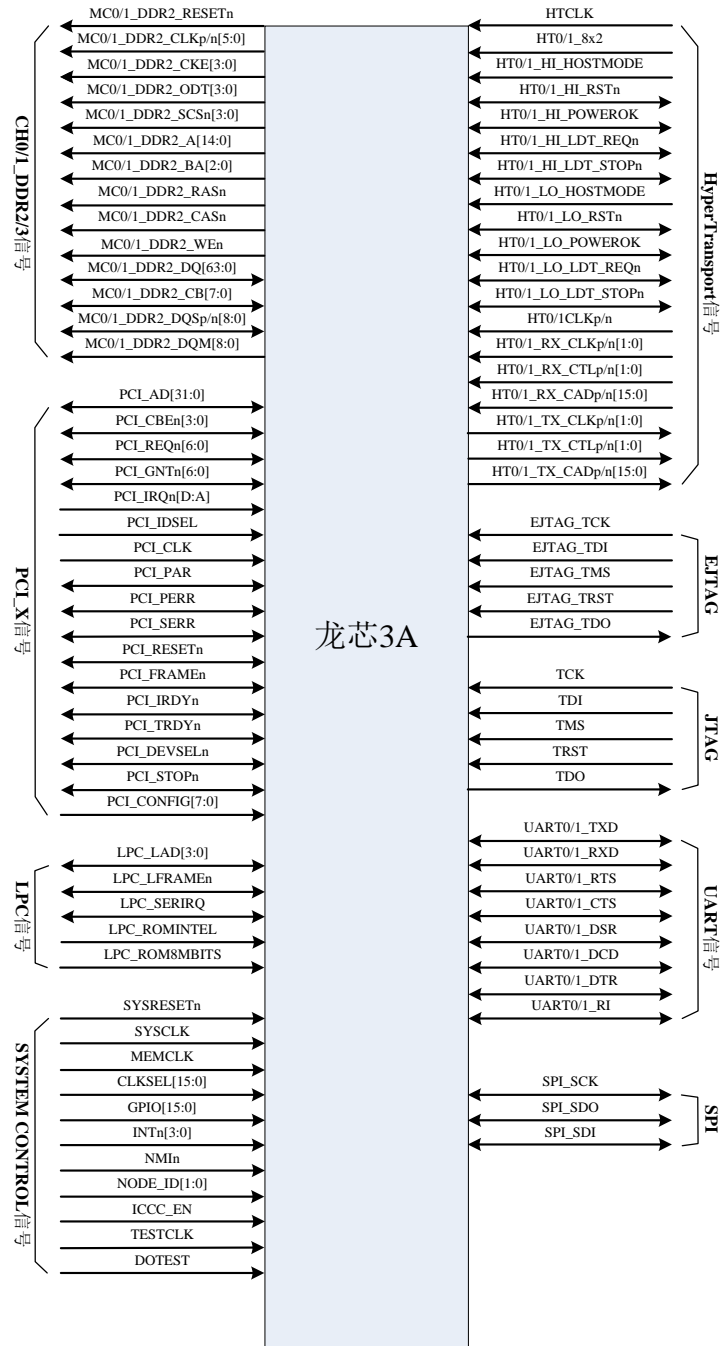


图 2.1 龙芯 3A1000 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 PCI 总线接口信号

龙芯 3A1000 的 PCI 总线信号包括：

- 32 位地址数据总线信号；
- 4 位命令数据 ID 总线信号；
- 14 位总线仲裁信号；
- 7 位接口控制信号；
- 2 位错误报告信号；

PCI 控制器只支持 3.3V 的信号环境和 33MHz 频率。

表 2.1 PCI 总线信号

信号名称	类型	描述	是否三态	电压域
PCI_AD[31:0]	t/s	PCI 地址/数据信号	是	VDDE3V3
PCI_CBE[3:0]	t/s	PCI 命令/字节使能信号，需外部上拉	是	VDDE3V3
PCI_PAR	t/s	地址/数据奇偶检测信号，需外部上拉	是	VDDE3V3
PCI_REQn[6:1]	t/s	外部设备总线占用请求输入信号，需外部上拉	否	VDDE3V3
PCI_REQn[0]	t/s	根据仲裁模式，可为外部设备总线请求输入，或为到外部仲裁器的总线请求输出信号。需外部上拉。当使用外部仲裁器时，该信号作为输出信号。	是	VDDE3V3
PCI_GNTn[6:1]	t/s	到外部设备的 PCI 总线允许输出信号，需外部上拉	否	VDDE3V3
PCI_GNTn[0]	t/s	根据仲裁模式，可为外部仲裁器返回的总线允许输入，或为到外部设备的 PCI 总线允许输出。需外部上拉。当使用外部仲裁器时，该信号作为输入信号。	是	VDDE3V3
PCI_FRAMEn	s/t/s	PCI 帧周期信号，需外部上拉	是	VDDE3V3
PCI_IRDYn	s/t/s	PCI 主设备准备好信号，需外部上拉	是	VDDE3V3
PCI_TRDYn	s/t/s	PCI 目标设备准备好信号，需外部上拉	是	VDDE3V3
PCI_STOPn	s/t/s	PCI 停止数据传送信号，需外部上拉	是	VDDE3V3
PCI_DEVSELn	s/t/s	PCI 设备选择，需外部上拉	是	VDDE3V3
PCI_IDSEL	in	PCI 配置片选，作为主桥时应拉低	否	VDDE3V3
PCI_PERRn	s/t/s	PCI 数据奇偶错误报告信号，需外部上拉	是	VDDE3V3
PCI_SERRn	o/d	PCI 系统错误报告，需外部上拉	否	VDDE3V3

是龙芯 3A1000 处理器的 PCI 总线接口信号定义。

表 2.1 PCI 总线信号

信号名称	类型	描述	是否三态	电压域
PCI_AD[31:0]	t/s	PCI 地址/数据信号	是	VDDE3V3
PCI_CBE[3:0]	t/s	PCI 命令/字节使能信号，需外部上拉	是	VDDE3V3
PCI_PAR	t/s	地址/数据奇偶检测信号，需外部上拉	是	VDDE3V3
PCI_REQn[6:1]	t/s	外部设备总线占用请求输入信号，需外部上拉	否	VDDE3V3
PCI_REQn[0]	t/s	根据仲裁模式，可为外部设备总线请求输入，或为到外部仲裁器的总线请求输出信号。需外部上拉。当使用外部仲裁器时，该信号作为输出信号。	是	VDDE3V3
PCI_GNTn[6:1]	t/s	到外部设备的 PCI 总线允许输出信号，需外部上拉	否	VDDE3V3
PCI_GNTn[0]	t/s	根据仲裁模式，可为外部仲裁器返回的总线允许输入，或为到外部设备的 PCI 总线允许输出。需外部上拉。当使用外部仲裁器时，该信号作为输入信号。	是	VDDE3V3

PCI_FRAME _n	s/t/s	PCI 帧周期信号，需外部上拉	是	VDDE3V3
PCI_IRDY _n	s/t/s	PCI 主设备准备好信号，需外部上拉	是	VDDE3V3
PCI_TRDY _n	s/t/s	PCI 目标设备准备好信号，需外部上拉	是	VDDE3V3
PCI_STOP _n	s/t/s	PCI 停止数据传送信号，需外部上拉	是	VDDE3V3
PCI_DEVSEL _n	s/t/s	PCI 设备选择，需外部上拉	是	VDDE3V3
PCI_IDSEL	in	PCI 配置片选，作为主桥时应拉低	否	VDDE3V3
PCI_PERR _n	s/t/s	PCI 数据奇偶错误报告信号，需外部上拉	是	VDDE3V3
PCI_SERR _n	o/d	PCI 系统错误报告，需外部上拉	否	VDDE3V3

2.3 HyperTransport 总线接口信号

龙芯 3A1000 中拥有两组独立的 HyperTransport 总线（分别称为 HT0 与 HT1），其中每组 16 位的 HyperTransport 总线可独立配置为两组 8 位总线分别使用（分别称为 HTx_Lo 与 HTx_Hi）。

其中每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

错误！未找到引用源。是龙芯 3A1000 处理器的 HyperTransport 总线接口信号定义。

表 2.2 HT 总线信号

HT0 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT0_8x2	I	为 1 时有效，表示将 HT0 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT0 作为 16 位总线使用	VDDESB	下拉
HT0_Lo_Hostmode	I	为 1 时有效，表示将 HT0_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT0_Hi_Hostmode	I	为 1 时有效，表示将 HT0_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT0_Lo_PowerOK	I/O	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Lo_Resetn	I/O	当 HT0_8x2 无效时为 HT0 总线 Resetn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Resetn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Lo_Ldt_Stopn	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号，	VDDESB	上拉

		当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。		
HT0_Lo_Ldt_reqn	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT0_Hi_PowerOK	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Hi_Resetn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Resetn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Hi_LDT_Stopn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT0_Hi_LDT_reqn	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT0_Tx_CADp[15:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。	HT_V DDE	无
HT0_Tx_CADn[15:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。	HT_VDDE	无
HT0_Tx_CTLp[1:0]	O	当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	HT_VDDE	无
HT0_Tx_CTLn[1:0]	O	当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	HT_VDDE	无
HT0_Tx_CLKp[1:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	HT_VDDE	无
HT0_Tx_CLKn[1:0]	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	HT_V DDE	无
HT0_Rx_CADp[15:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。	HT_V DDE	无
HT0_Rx_CADn[15:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。	HT_V DDE	无
HT0_Rx_CTLp[1:0]	I	当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时，	HT_VDDE	无

		[0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。		
HT0_Rx_CTLn[1:0]	I	当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。	HT_VDDE	无
HT0_Rx_CLKp[1:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	HT_VDDE	无
HT0_Rx_CLKn[1:0]	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	HT_VDDE	无
HT1 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT1_8x2	I	为 1 时有效，表示将 HT1 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT1 作为 16 位总线使用	VDDESB	下拉
HT1_Lo_Hostmode	I	为 1 时有效，表示将 HT1_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT1_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT1_Hi_Hostmode	I	为 1 时有效，表示将 HT1_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT1_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT1_Lo_PowerOK	I/O	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Resetn	I/O	当 HT1_8x2 无效时为 HT1 总线 Resetn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_Stopn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_reqn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Hi_PowerOK	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_Resetn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_Stopn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_reqn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Tx_CADp[15:0]	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无

HT1_Tx_CADn[15:0]	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无
HT1_Tx_CTLp[1:0]	O	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。	HT_VDDE	无
HT1_Tx_CTLn[1:0]	O	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。	HT_VDDE	无
HT1_Tx_CLKp[1:0]	O	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Tx_CLKn[1:0]	O	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Rx_CADp[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CADn[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CTLp[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CTLn[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CLKp[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Rx_CLKn[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。	HT_VDDE	无

2.4 DDR2/3 SDRAM 总线接口信号

龙芯 3A1000 集成了标准的 DDR2/3 SDRAM 内存控制器。该内存控制器接口包括有下

列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；
- 15 位地址总线信号；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2.3 是龙芯 3A1000 每一组 DDR2 SDRAM 控制器接口信号。共有两组，分别在电源域上分为 0/1。

表 2.3 DDR2 SDRAM 控制器接口信号

信号名称	输入/输出	描述	电源域
DDR2_DQ[63:0]	IO	DDR2/3 SDRAM 数据总线信号	MEM_VDDE_0/1
DDR2_CB[7:0]	IO	DDR2/3 SDRAM 数据总线 ECC 信号	MEM_VDDE_0/1
DDR2_DQSp[8:0]	IO	DDR2/3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR2_DQSn[8:0]	IO	DDR2/3 SDRAM 数据选通（包括 ECC）	MEM_VDDE_0/1
DDR2_DQM[8:0]	O	DDR2/3 SDRAM 数据屏蔽（包括 ECC）	MEM_VDDE_0/1
DDR2_A[14:0]	O	DDR2/3 SDRAM 地址总线信号	MEM_VDDE_0/1
DDR2_BA[2:0]	O	DDR2/3 SDRAM 逻辑 Bank 地址信号	MEM_VDDE_0/1
DDR2_WEn	O	DDR2/3 SDRAM 写使能信号	MEM_VDDE_0/1
DDR2_CASn	O	DDR2/3 SDRAM 列地址选择信号	MEM_VDDE_0/1
DDR2_RASn	O	DDR2/3 SDRAM 行地址选择信号	MEM_VDDE_0/1
DDR2_CS[3:0]	O	DDR2/3 SDRAM 片选信号	MEM_VDDE_0/1
DDR2_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号	MEM_VDDE_0/1
DDR2_CKp[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟， {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR2_CKn[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟， {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
DDR2_ODT[3:0]	O	DDR2/3 SDRAM ODT 信号	MEM_VDDE_0/1
DDR2_Resetn	O	DDR2/3 SDRAM 复位控制信号	MEM_VDDE_0/1

2.5 初始化信号

表 2.4 提供了初始化信号的名称，方向和描述。其中 PCI 接口速度最高支持到 PCI/PCI-X 33MHz。PCI 控制器只支持 3.3V 信号环境。

表 2.4 初始化接口信号

信号名称	输入/输出	描述	电压域
SYSRESETn	I	系统复位信号，该信号的低电平状态需要维	VDDE3V3

		持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。																																										
PCI_RESETh	I/O	PCI 接口复位信号	VDDE3V3																																									
PCI_CONFIG[7:0]	I	PCI 配置 7 HT Pad 电压选择 6:5 PCIX 总线速度选择 4 PCIX 总线模式选择 3 PCI 主桥模式选择 2 PCI 启动模式选择 1 外部仲裁选择 0 HT Pad 电压选择 注: <table border="1" style="margin-left: 20px;"> <tr> <td>6</td> <td>5</td> <td>4</td> <td>PCIX 总线模式</td> </tr> <tr> <td></td> <td>0</td> <td>0</td> <td>PCI 33</td> </tr> </table> <table border="1" style="margin-left: 20px;"> <tr> <td>3</td> <td>PCI 主桥模式</td> </tr> <tr> <td>0</td> <td>作为从设备</td> </tr> <tr> <td>1</td> <td>作为主桥</td> </tr> </table> <table border="1" style="margin-left: 20px;"> <tr> <td>2</td> <td>PCI 启动模式</td> </tr> <tr> <td>0</td> <td>从 LPC 启动</td> </tr> <tr> <td>1</td> <td>从 PCI 总线的 0x1fc00000 处启动</td> </tr> </table> <table border="1" style="margin-left: 20px;"> <tr> <td>1</td> <td>外部仲裁选择</td> </tr> <tr> <td>0</td> <td>使□内□PCI 仲裁器</td> </tr> <tr> <td>1</td> <td>使用外部 PCI 仲裁器</td> </tr> </table> <table border="1" style="margin-left: 20px;"> <tr> <td>7</td> <td>0</td> <td>HT Pad 电压</td> </tr> <tr> <td>0</td> <td>0</td> <td>1□8V</td> </tr> <tr> <td>0</td> <td>1</td> <td>保留</td> </tr> <tr> <td>1</td> <td>0</td> <td>2.5V</td> </tr> <tr> <td>1</td> <td>1</td> <td>3.3V</td> </tr> </table>	6	5	4	PCIX 总线模式		0	0	PCI 33	3	PCI 主桥模式	0	作为从设备	1	作为主桥	2	PCI 启动模式	0	从 LPC 启动	1	从 PCI 总线的 0x1fc00000 处启动	1	外部仲裁选择	0	使□内□PCI 仲裁器	1	使用外部 PCI 仲裁器	7	0	HT Pad 电压	0	0	1□8V	0	1	保留	1	0	2.5V	1	1	3.3V	VDDE3V3
6	5	4	PCIX 总线模式																																									
	0	0	PCI 33																																									
3	PCI 主桥模式																																											
0	作为从设备																																											
1	作为主桥																																											
2	PCI 启动模式																																											
0	从 LPC 启动																																											
1	从 PCI 总线的 0x1fc00000 处启动																																											
1	外部仲裁选择																																											
0	使□内□PCI 仲裁器																																											
1	使用外部 PCI 仲裁器																																											
7	0	HT Pad 电压																																										
0	0	1□8V																																										
0	1	保留																																										
1	0	2.5V																																										
1	1	3.3V																																										

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 3A1000 处理器的信号。
SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。
SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行
- **PCI_RESETh**: 当龙芯 3A1000 作为 PCI 总线主桥时，这个信号工作为输出，系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当龙芯 3A1000 作为 PCI/PCI-X 设备工作时，该信号作为输入用来复位龙芯 3A1000 的 PCI 接口。
注：当龙芯 3A1000 作为 PCI 总线主桥时，处理器仅在系统上电复位时会产生 PCI_RESETh 复位信号，龙芯 3A1000 软复位时，需使用 GPIO 和外部复位电路配合，使处理器产生 PCI_RESETh 复位信号。
- **PCI_CONFIG[7:0]**: 定义了龙芯 3A1000 PCI/PCI-X 接口的工作模式以及其它需要静态配置的信号，它在系统复位时必须保持稳定。系统开始运行时软件从内部寄存器中读取该值。如果系统设置成从 PCI 地址空间启动，则第一条指令的 PCI 地址是 0x1fc00000，否则系统将从 LPC 总线的 ROM 空间 0 地址处开始取指。

2.6 低速 I/O 接口

龙芯 3A1000 处理器的低速 I/O 接口包括 LPC 总线、SPI 总线和 UART。LPC 总线连接启动 Flash 和 SuperIO 芯片。SPI 总线可连接 SPI flash（不支持启动）。

LPC 控制器具有以下特性：

- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read 和 Memory write 访问类型
- 支持 Firmware Memory Read 和 Firmware Memory Write 访问类型（单字节）
- 支持 I/O read 和 I/O write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serialized IRQ 规范，提供 17 个中断源

SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 不支持处理器通过 SPI 启动

UART 控制器具有以下特性

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

这些低速 I/O 接口包含的信号如下：

表 2.5 LPC 接口信号

信号名称	输入/输出	描述	电压域
L_AD[3:0]	I/O	LPC 总线地址数据信号	VDDE3V3
L_FRAME	O	LPC 总线数据开始/结束信号	VDDE3V3
L_SIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE3V3

L_8Mbits	I	LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits	VDDE3V3
L_INTEL	I	LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型	VDDE3V3

表 2.6 SPI 接口信号

信号名称	输入/输出	描述	电压域
SPI_SCK	O	SPI 总线时钟	VDDE3V3
SPI_SDO	O	SPI 总线数据输出	VDDE3V3
SPI_SDI	I	SPI 总线数据输入	VDDE3V3

表 2.7 UART 接口信号

信号名称	输入/输出	描述	电压域
TXD	O	串口数据输出	VDDE3V3
RXD	I	串口数据输入	VDDE3V3
RTS	O	串口数据传输请求	VDDE3V3
CTS	I	设备接受数据就绪	VDDE3V3
DTR	O	串口初始化完成	VDDE3V3
DSR	I	设备初始化完成	VDDE3V3
DCD	I	外部 MODEM 探测到载波信号	VDDE3V3
RI	I	外部 MODEM 探测到振铃信号	VDDE3V3

2.7 芯片引脚中断信号

龙芯 3A1000 处理器的引脚中断包括 4 个系统中断 (INTn)，4 个 PCI 中断 (PCI_IRQ)，2 个 PCI 总线错误报告信号 (PCI_SERRn 与 PCI_PERRn) 和 1 个不可屏蔽中断 (NMIIn)。错误！未找到引用源。显示了引脚中断信号的名称、方向和描述。

除了芯片引脚接入的中断外，龙芯 3A1000 还包括 16 个 HT 中断，3 个内部事件中断，1 个 LPC 中断，以及 2 个内存控制器中断。这些中断通过内部的功能模块自己产生，没有专门的中断引脚。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0 寄存器 CR_STATUS 的 IP2-5 位)四根中断中的任意一个。有关中断的详细说明请参考用户手册的中断部分。

表 2.8 引脚中断信号描述

信号名称	输入/输出	描述	电压域
NMIIn	I	不可屏蔽中断信号，(复位为低有效)，需视实际情况上下拉。	VDDE3V3
INTn[3:0]	I	4 个外部中断信号，这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0，需视实际情况上下拉。	VDDE3V3
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能，低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位，需外部上拉。	VDDE3V3
PCI_PERRn	I/O	PCI 总线奇偶错信号，低电平有效。这些中断能够被路由到中断寄存器的第 15 位，需外部上拉。	VDDE3V3

PCI_SERRn	I/O	PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 15 位（与 PCI_SERRn 共享），需外部上拉。	VDDE3V3
-----------	-----	---	---------

2.8 JTAG 及 EJTAG 信号

龙芯 3A1000 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚是否被正确连接。表 2.9 提供了 JTAG 信号的名称、方向和描述。

表 2.9 JTAG 接口信号

信号名称	输入/输出	描述	电压域
TDI	I	JTAG 串行扫描数据输入。	VDDE3V3
TDO	O	JTAG 串行扫描数据输出。	VDDE3V3
TMS	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3
TRST	I	JTAG 重启信号。	VDDE3V3
TCK	I	JTAG 串行扫描时钟。	VDDE3V3

JTAG 模式只有在配置了表 2.10 的管脚时有效。

表 2.10 JTAG 模式的配置

DOTEST	GPIO15	GPIO10	GPIO09	GPIO08	GPIO07	GPIO06
0	1	0	1	1	1	0

此外，龙芯 3A1000 还提供了 EJTAG 调试接口，用于调试底层应用软件。

表 2.11 提供了 EJTAG 信号的名称，方向和描述。

表 2.11 EJTAG 接口信号

信号名称	输入/输出	描述	电压域
EJTAG_TDI	I	EJTAG 串行扫描数据输入。	VDDE3V3
EJTAG_TDO	O	EJTAG 串行扫描数据输出。	VDDE3V3
EJTAG_TMS	I	EJTAG 命令，指示输入的串行数据是一个命令。	VDDE3V3
EJTAG_TRST	I	EJTAG 重启信号。	VDDE3V3
EJTAG_TCK	I	EJTAG 串行扫描时钟。	VDDE3V3

2.9 测试和控制信号

龙芯 3A1000 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常这些信号进行上拉处理。用于测试的控制信号为 DOTEST 信号，管脚定义在表 2.12 中。

表 2.12 EJTAG 接口信号

信号名称	输入/输出	描述
DOTEST	I	DOTEST=0,芯片处于测试模式；DOTEST=1 芯片处于正常功能模式。芯片正常工作时，需通过 4.7K 电阻上拉至 3.3V。

2. 10 时钟信号

龙芯 3A1000 关于时钟的信号参见表 2.13。处理器有五个系统输入时钟信号（包括 SYSCLK, MEMCLK, PCI_CLK, HTCLK, 差分时钟 HT0_CLKp/HT0_CLKn 及差分时钟 HT0_CLKp/HT1_CLKn）。龙芯 3A1000 的 Core 时钟通过 SYSCLK 产生, DDR2/3 时钟通过 MEMCLK 产生。HT 的时钟产生较为复杂。首先, 差分时钟对 HT0_CLKp/HT0_CLKn 与 HT1_CLKp/HT1_CLKn 分别给 HT0 和 HT1 使用。此外, 也可以使用单端时钟 HTCLK 替代 ht0_clkp/ht0_clkn, 采用 CLKSEL[15:10]进行相关控制。CLKSEL 控制分频的方法参见表 2.14、

5'b11111 表示 MEM 时钟直接采用 memclk

其它情况下 MEM 时钟为

$$\text{memclk} * (\text{clksel}[8:5] + 30) / (\text{clksel}[9] + 3)$$

注:

memclk*(clksel[8:5]+30)必须为 600MHz~1.36GHz

memclk 必须为 10~40MHz

具体参见下表。

表 2.15 和表 2.16。

表 2.13 时钟信号

信号名称	输入/输出	频率范围 (MHz)	描述	电压域
SYSCLK	I	15-40	系统输入时钟, 驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE3V3
MEMCLK	I	14-40	DDR2/3 控制器的输入时钟, 驱动内置的 PLL 用来产生 DDR2/3 时钟。	VDDE3V3
PCI_CLK	I	25-33	PCI、LPC、SPI、UART 总线的参考时钟。	VDDE3V3
HT0_CLKp/ HT0_CLKn	I	200	HT0 总线及控制器使用参考时钟。	VDDE3V3
HT1_CLKp/ HT1_CLKn	I	200	HT1 总线及控制器使用参考时钟。	VDDE3V3
HTCLK	I	100	HT0 及 HT1 总线控制器使用的可选备份时钟	VDDE3V3
CLKSEL[15:0]	I	-	Core、DDR 和 HT 的频率选择, 参见 2.14-2.16。	VDDE3V3

5'b11111 表示 CORE 时钟直接采用 sysclk

其它情况下 CORE 时钟为

$$\text{sysclk} * (\text{clksel}[3:0] + 30) / (\text{clksel}[4] + 1)$$

注:

sysclk*(clksel[3:0]+30) 必须为 600MHz~1.36GHz

sysclk 必须为 10~40MHz
具体参见下表。

表 2.14 Core 时钟域倍频

CLKSEL[4:0]	倍频系数	CLKSEL[4:0]	倍频系数
00000	30	10000	15
00001	31	10001	15.5
00010	32	10010	16
00011	33	10011	16.5
00100	34	10100	17
00101	35	10101	17.5
00110	36	10110	18
00111	37	10111	18.5
01000	38	11000	19
01001	39	11001	19.5
01010	40	11010	20
01011	41	11011	20.5
01100	42	11100	21
01101	43	11101	21.5
01110	44	11110	22
01111	45	11111	1

5'b11111 表示 MEM 时钟直接采用 memclk

其它情况下 MEM 时钟为

$$\text{memclk} * (\text{clkssel}[8:5] + 30) / (\text{clkssel}[9] + 3)$$

注:

$\text{memclk} * (\text{clkssel}[8:5] + 30)$ 必须为 600MHz~1.36GHz

memclk 必须为 10~40MHz

具体参见下表。

表 2.15 DDR2/3 时钟域倍频

CLKSEL[9:5]	倍频系数	CLKSEL[9:5]	倍频系数
00000	10	10000	7.5
00001	10.33	10001	7.75
00010	10.67	10010	8
00011	11	10011	8.25
00100	11.33	10100	8.5
00101	11.67	10101	8.75
00110	12	10110	9
00111	12.33	10111	9.25
01000	12.67	11000	9.5
01001	13	11001	9.75
01010	13.33	11010	10
01011	13.67	11011	10.25
01100	14	11100	10.5
01101	14.33	11101	10.75
01110	14.67	11110	11
01111	15	11111	1

表 2.16 HT 时钟控制

信号	作用
CLKSEL[15]	1'b1 表示采用内部参考电压，推荐使用 1'b0 表示采用外部参考电压
CLKSEL[14]	1'b1 表示 HT PLL 采用差分时钟输入，即 HT0/HT1 分别使用 HT0_CLKp/HT0_CLKn 或 HT1_CLKp/HT1_CLKn 作为参考时钟， 1'b0 表示 HT PLL 采用普通时钟输入，即使用 HTCLK 作为参考时钟
CLKSEL[13:12]	2'b00 表示 PHY 时钟为 1.6GHZ/1，推荐使用 2'b01 表示 PHY 时钟为 3.2GHZ/2 2'b10 表示 PHY 时钟为普通输入时钟 2'b11 表示 PHY 时钟为差分输入时钟
CLKSEL[11:10]	2'b00 表示 HT 控制器时钟 200MHz，频率与参考时钟源无关 2'b01 表示 HT 控制器时钟 400MHz，频率与参考时钟源无关 2'b1x 表示 HT 控制器时钟为普通输入时钟

2.11 电源引脚

表 2.17 电源引脚

Parameter	Description
VDD	处理器核电源
VDDE3V3	处理器 IO 电源
MEM_VDD_0/1	DDR2/3 通道 0/1 核电源
MEM_VDDE_0/1	DDR2/3 通道 0/1 IO 电源
MEM_VREF_0/1	DDR2/3 通道 0/1 参考电源
HT_VDD	HT 核电源
HT_VDDE	HT IO 电源
VDDESB	HT 控制电源,可根据 PCICFG 配置电压值
CORE_PLL_AVDD	Core PLL 模拟电源
CORE_PLL_DVDD	Core PLL 数字电源
DDR_PLL_AVDD	DDR2/3 PLL 模拟电源
DDR_PLL_DVDD	DDR2/3 PLL 数字电源
HT0/1_PLL_AVDD	HT0/1 PLL 模拟电源
HT0/1_PLL_DVDD	HT0/1 PLL 数字电源

2.12 GPIO 信号

龙芯 3A1000 处理器包含 16 个 GPIO，其引脚定义见下表。

表 2.18 GPIO 信号

信号名称	输入/输出	描述	复位状态	电压域
GPIO00	I/O	通用输入输出	输出高阻	3.3V
GPIO01	I/O	通用输入输出	输出高阻	3.3V
GPIO02	I/O	通用输入输出	输出高阻	3.3V
GPIO03	I/O	通用输入输出	输出高阻	3.3V
GPIO04	I/O	通用输入输出	输出低电平	3.3V
GPIO05	I/O	通用输入输出	输出低电平	3.3V
GPIO06	I/O	通用输入输出	输出低电平	3.3V
GPIO07	I/O	通用输入输出	输出低电平	3.3V
GPIO08	I/O	通用输入输出	输出低电平	3.3V
GPIO09	I/O	通用输入输出	输出低电平	3.3V
GPIO10	I/O	通用输入输出	输出低电平	3.3V
GPIO11	I/O	通用输入输出	输出低电平	3.3V
GPIO12	I/O	通用输入输出	输出低电平	3.3V
GPIO13	I/O	通用输入输出	输出低电平	3.3V
GPIO14	I/O	通用输入输出	输出低电平	3.3V
GPIO15	I/O	通用输入输出	输出低电平	3.3V

3 PCI 总线接口特性

3.1 PCI/PCI-X 接口特性

PCI/PCI-X 接口特性包括：

- 兼容 PCI 2.3 和 PCI-X 1.0b；
- 接口速度最高支持到 PCI 33MHz 和 PCI-X 66MHz；
- 支持 64 位双地址周期寻址(Dual Address Cycle)；
- 支持 PCIX 模式下 8 个对外 split 读请求；
- 支持 PCIX 模式下 4 个对内 split 读请求；

3.2 仲裁器和设备模式

龙芯 3A1000 的 PCI/PCI-X 接口可以工作在主桥模式或设备模式。它依赖于初始信号 PCI_CONFIG。当处理器工作在主桥模式时，接口根据 PCI_CONFIG[6:4]的内容初始化总线设备，这种情况 PCI_IDSEL 直接接地；当处理器工作在设备模式时，PCI 总线的初始值定义了接口的工作模式。在主桥模式时，PCI_CONFIG[6:4]的值应该根据总线设备的驱动能力去设置（请参见 PCI-X 1.0b 标准）。

3.3 PCI 总线仲裁器

龙芯 3A1000 上的 PCI/PCI-X 总线仲裁器最多支持 8 个主设备。仲裁采用两级的 Round Robin 调度算法，每一个请求的级别由软件配置决定。仲裁器能确保在总线切换时插入一个空周期。当总线上没有请求时，总线可配置为归属于最后发起操作的主设备或任一指定的主设备。

当龙芯 3A1000 的 PCI/PCI-X 接口请求/允许信号连接到第 0 号请求/允许信号线，1 到 7 号请求线连至片外（pci_req[6:0]与 pci_gnt[6:0]）。当 PCI_CONFIG[1]设置成 1 时，3A1000 的 PCI/PCI-X 接口请求应通过 pci_req[0]和 pci_gnt[0]连到外部的总线仲裁器上。

4 HyperTransport 总线接口描述

龙芯 3A1000 处理器拥有两个 16 位 HyperTransport 总线接口。每个 16 位总线接口可以分别配置为两个独立的 8 位 HyperTransport 总线接口单独使用。龙芯 3A1000 中，HyperTransport 接口硬件支持 IO Cache 一致性。并且，在使用龙芯 3A1000 的多片互连系统中，HT0 总线硬件支持多处理器核间 Cache 一致性。

4.1 HyperTransport 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03;
- 接口频率支持 200/400/800Mhz;
- 接口宽度支持 8/16 位模式;
- 输入输出频率宽度分别可设;
- 每个 16 位总线可单独配置为两个 8 位总线使用;
- 支持 IO Cache 一致性;
- HT0 支持多处理器核间 Cache 一致性;

4.2 设备模式

HyperTransport 接口包括以下几个配置引脚：

- {PCI_config[7],PCI_config[0]}，用于配置 HT 总线上单端控制信号的电平标准，这些信号包含 PowerOK, Resetn, Ldt_Stopn, Ldt_Reqn;
- HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用;
- HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，具体请见**错误!**未找到引用源。;

4.3 系统 HT 接口连接

龙芯 3A1000 中的 HyperTransport 接口可以用于系统中的 IO 连接或多处理器互连，不同系统中的连接方式如下所示：

- 龙芯 3A1000 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性。相比 PCI 接口，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如图 4.1 所示：

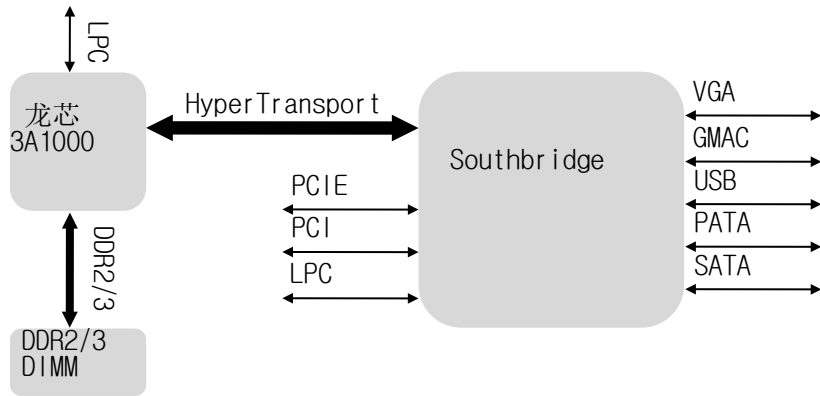


图 4.1 龙芯 3A1000 单处理器系统 HT 接口连接

- 龙芯 3A1000 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件支持处理器核间 Cache 一致性协议，可以使用 HT0 接口构成最多 4 片龙芯 3A1000 处理器的互联系统。如果需要继续扩展，则需要使用不支持处理器核间 Cache 一致性的 HT1 接口或采用其它方式。图 4.2、图 4.3 中分别给出了 4 片和 2 片互联的方式：

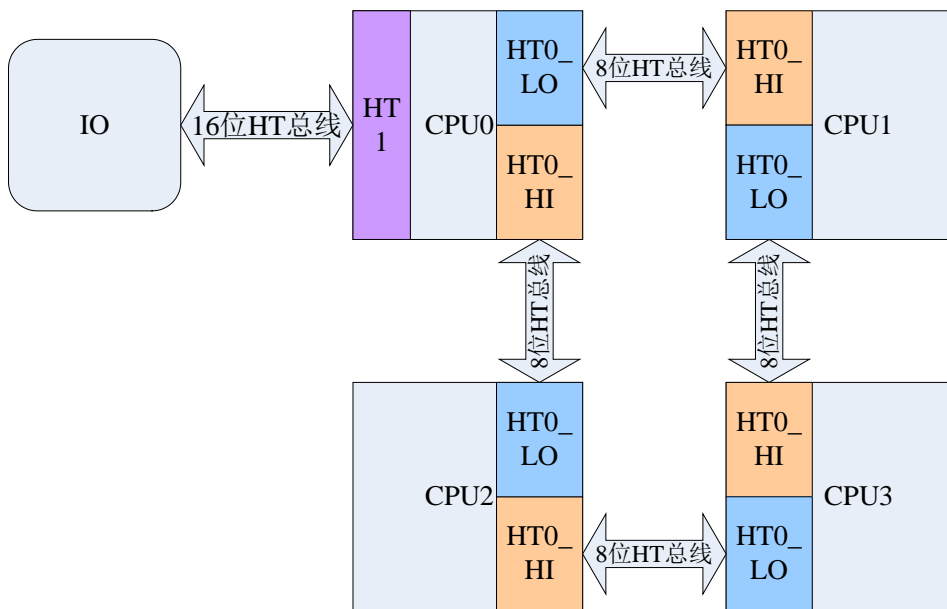


图 4.2 龙芯 3A1000 多处理器系统 HT 接口连接（四片）

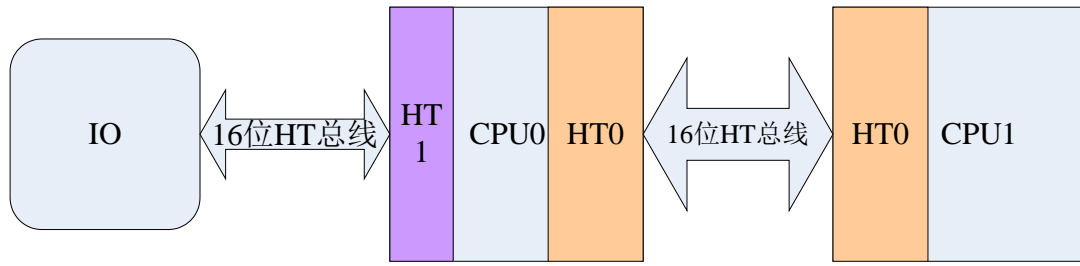


图 4.3 龙芯 3A1000 多处理器系统 HT 接口连接（二片）

5 DDR2/3 SDRAM 控制器接口描述

龙芯 3A1000 集成了内存控制器，兼容 DDR2/3 SDRAM 标准。

5.1 DDR2/3 SDRAM 控制器特性

龙芯 3A1000 处理器有两个内存控制器，每个内存控制器可以支持两个内存条，共四个片选信号。通过四个片选信号和 18 位的地址总线（15 位行/列地址和 3 位逻辑 Bank 地址）实现最大地址空间是 128G (2^{37})。

在使用 DDR2/3 SDRAM 之前，需要配置 DDR2/3 控制器的参数，以使之能配合相应的内存条正确工作。对于龙芯 3A1000 处理器，芯片选择信号（CS_n）的最大数目是 4。行地址（RAS_n）和列地址（CAS_n）的最大带宽分别是 15 和 14。还有 3 位的逻辑 bank 信号（BANK_n）。

CPU 内存的物理地址能被转换为行/列地址，见表 5.1。例如，4 个 CS_n 信号，8 个 banks，12 位行地址和 12 位列地址。

表 5.1 时钟信号 DDR2 SDRAM 行/列地址转换

36	32 31	30 29	18 17	15 14	3 2	0
	CS _n	RAS _n	BANK _n	CAS _n	Byte	

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- 支持的内存类型包括：DDR2/3 颗粒、DDR2/3 UDIMM、DDR2/3 SO-DIMM、DDR2 RDIMM（对于 DDR3 RDIMM，只能使用其中的一个 Rank）；
- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：133MHz-400MHz；
- 32/64 位软件可选择总线宽度。

5.2 DDR2/3 SDRAM 读协议

图 5.1 中显示 DDR2 SDRAM 读协议，命令 (CMD) 包括 RAS_n, CAS_n 和 WE_n。当一个读请求发生时，RAS_n=1, CAS_n=0, WE_n=1。

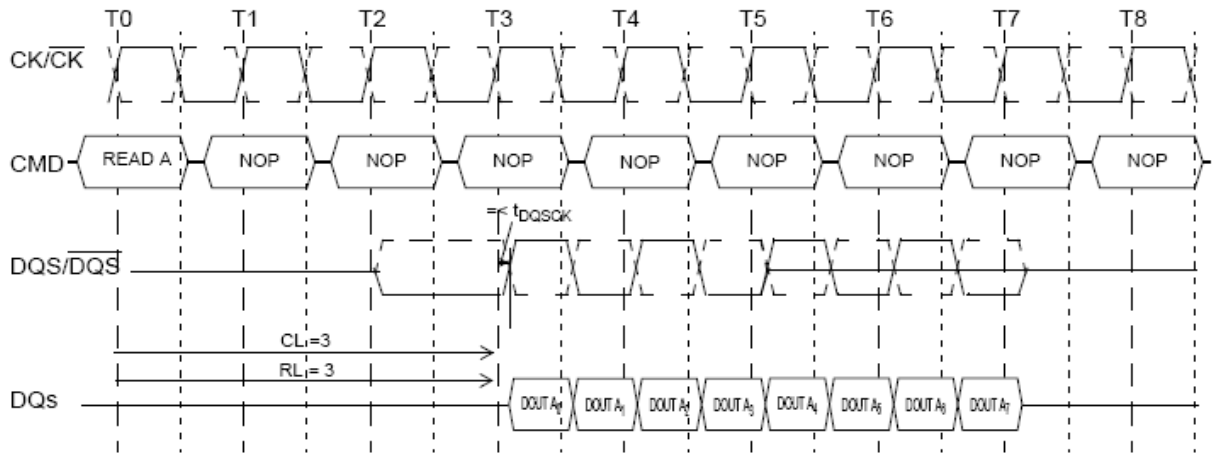


图 5.1 DDR2 SDRAM 读协议

注：Cas Latency = 3, Read Latency = 3, Burst Length = 8

5.3 DDR2/3 SDRAM 写协议

在图 5.2 中显示 DDR2 SDRAM 写协议，命令 (CMD) 包括 RAS_n, CAS_n 和 WE_n。当写请求发生时，RAS_n=1, CAS_n=0, WE_n=0。与读协议不同，DQM 用来识别需要被写的字节数。DQM 和 DQS 是同步的。

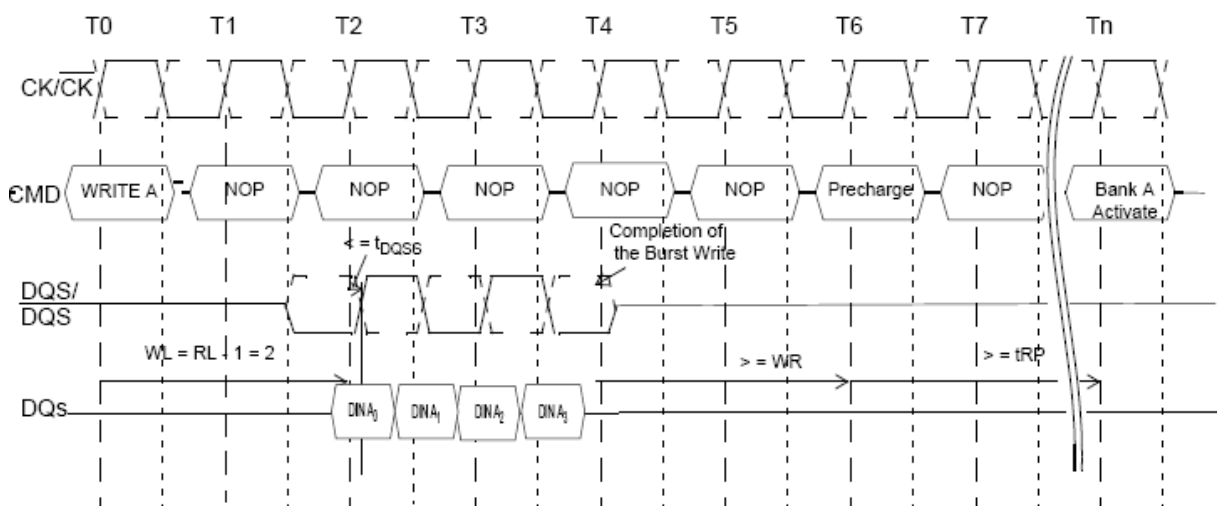


图 5.2 DDR2 SDRAM 写协议

注：Cas Latency = 3, Write Latency = Read Latency - 1 = 2, Burst Length = 4.

5.4 DDR2/3 SDRAM 参数设置顺序

为了在系统中支持不同的 DDR2 SDRAM 颗粒，DDR2 SDRAM 需要在加电复位后配置。DDR2/3 标准定义了详细的配置操作和过程。DDR2 在内存初始化前是不可用的，内存初始化顺序为：

1. 系统复位期间，所有寄存器内容将清除为缺省值；
2. 系统复位释放；
3. 向配置寄存器地址发 64 位写指令，配置所有 29 个配置寄存器。此时如果写 CTRL_03，应将其中参数 START 设为 0。所有寄存器都必须正确配置才可以正常工作。
4. 向配置寄存器 CTRL_03 中发 64 位写指令。此时应将参数 START 设为 1。结束后内存控制器将自动对内存发起初始化指令。

在系统主板初始化后，DDR2 SDRAM 控制器在内存使用前需要配置内存类型，将相应的配置参数写到对应于物理地址 0X0000 0000 0FF0 0000 的 152 个 64 位寄存器中。每个寄存器会包括一个、多个或部分的参数。

6 复位时序要求

龙芯 3A1000 的初始化分为Core时钟域、DDR2/3 时钟域、HT相关时钟域和PCI时钟域。

当处理器复位信号SYSRESETn为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：

- SYSCLK, MEMCLK, HTCLK, PCI_CLK, CLKSEL, 差分时钟 ht0_clkp/ht0_clkn 和差分时钟 ht1_clkp/ht1_clkn, 这些信号必须稳定。
- 初始化信号 PCI_CONFIG 应该被设置为合适的值。
- ICCEN 和 NODE_ID 必须稳定（在复位结束前设置完毕并保持不变，信号意义见下文第二段）。

当SYSRESETn变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn应至少保持一个时钟周期内（相对于SYSCLK）有效，以保证复位逻辑能可靠采样。PCI时钟域将会被首先初始化以保证龙芯 3A1000 中基本配置寄存器的有效，当龙芯 3A1000 作为PCI Master时还会输出PCI_RESETn来复位外部PCI设备。此后Core、DDR2/3 和HT时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

ICCN信号为Inter Connection Cache Coherence Enable的缩写，此信号用于多片互联时维护cache一致性。NODE_ID信号用于在多片互联时用来设置处理器号。

龙芯 3A1000 的复位时序图如下图 6.1 所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心：

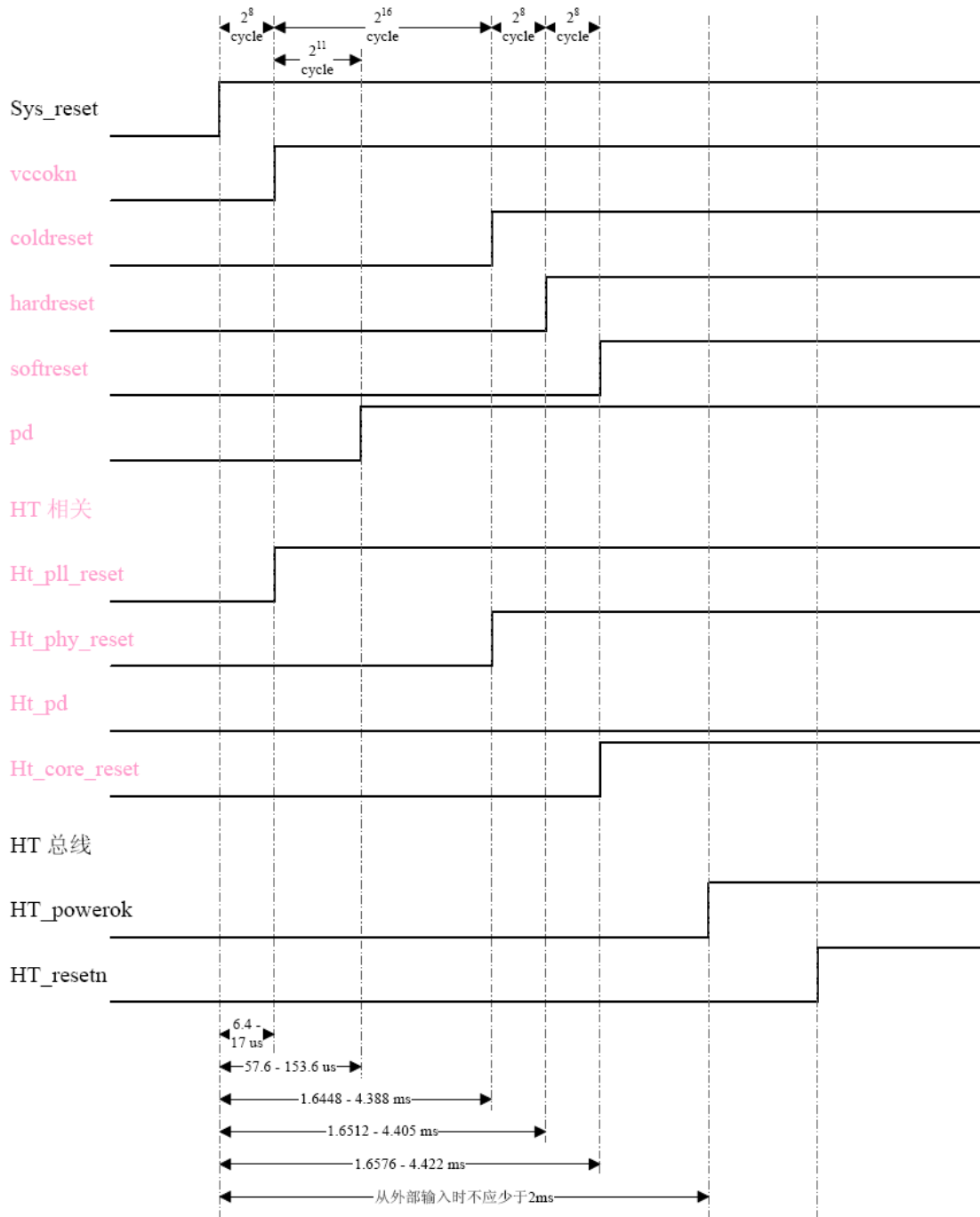


图 6.1 龙芯 3A1000 复位时序图

7 电气特性

7.1 绝对最大额定值

表 7.1 绝对最大额定值

Parameter	Description	Min.	Max.	Unit
VDD	Core Supply Voltage	-0.3	1.2	V
VDDE3V3	Chip IO supply	-0.3	3.63	V
HT_VDD	HT core supply	-0.3	1.5	V
HT_VDDE	HT IO supply	-0.3	2.2	V
MEM_VDD_0/1	DDR2/3 memory core supply	-0.3	1.2	V
MEM_VDDE_0/1	DDR2/3 MEM IO supply	-0.5	2.3	V
Tstg	Storage Temperature	-55	100	°C

7.2 HyperTransport 总线接口特性

7.2.1 HyperTransport 推荐直流工作条件

表 7.2 HyperTransport 直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	495	600	715	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-15	0	15	mV
V_{OCM}	Output Common Mode Voltage	495	600	715	mV
ΔV_{OCM}	Change in V_{OCM} from 0 to 1 State	-15	0	15	mV
V_{ID}	Input Differential Voltage	200	600	1000	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-15	0	15	mV
V_{ICM}	Input Common Mode Voltage	440	600	780	mV
ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-15	0	15	mV
R_{IT}	Input Differential Impedance	90	100	110	Ohm
R_{ON} (pull up)	Output Driver Impedance driving high	45	50	55	Ohm
R_{ON} (pull down)	Output Driver Impedance driving low	45	50	55	Ohm
C_{out}	Output pad capacitance for devices rated above 800 MT/s.			3	pF
	Output pad capacitance for devices rated up to 800 MT/s.			5	pF
C_{in}	Input pad capacitance for devices rated above 800 MT/s.			2	pF
	Input pad capacitance for devices rated up to 800 MT/s			5	pF

7.2.2 HyperTransport 推荐交流工作条件

表 7.3 HyperTransport 交流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	400	600	820	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-75		75	mV
V_{OCM}	Output Common Mode Voltage	440	600	780	mV
ΔV_{OCM}	Change in VOVM from 0 to 1 State	-50		50	mV
V_{ID}	Input Differential Voltage	300	600	900	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-125		125	mV
V_{ICM}	Input Common Mode Voltage	385	600	845	mV
ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-100		100	mV
T_R	Input Rising Edge Rate	1.0		4.0	V/ns
T_F	Input Falling Edge Rate	1.0		4.0	V/ns

7.2.3 传输时序特性

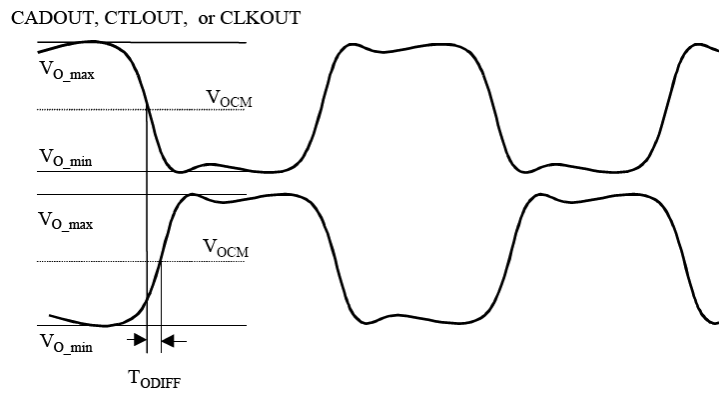


图 7.1 HyperTransport 总线 T_{ODIFF} 时序

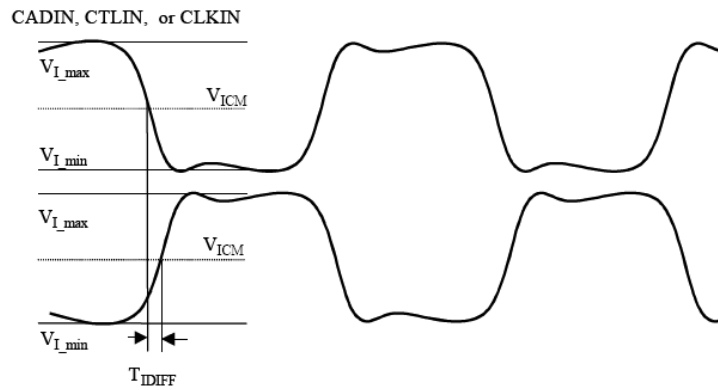


图 7.2 HyperTransport 总线 T_{DIFF} 时序

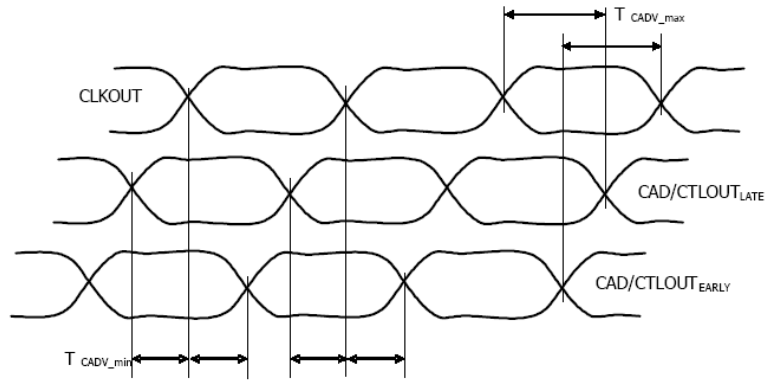


图 7.3 HyperTransport 总线 T_{CADV} 时序

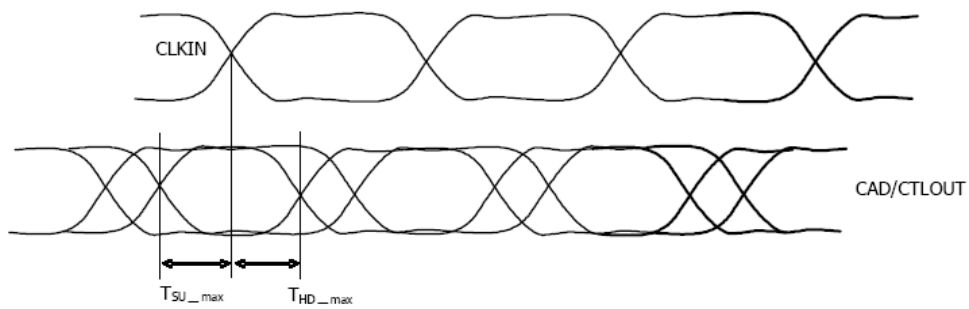


图 7.4 HyperTransport 总线 T_{SU} 和 T_{HD} 时序

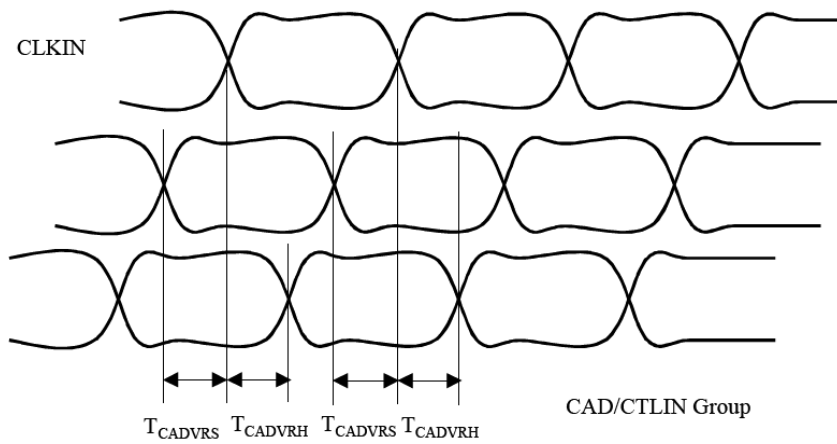


图 7.5 HyperTransport 总线 T_{CADVRS} / T_{CADVRS} 时序

表 7.4 HyperTransport 连接传输时序规范

Parameter	Description	Link Speed	Min.	Max.	Units
T_{ODIFF}	Output differential skew	400 MT/s		70	ps
		600 MT/s		70	ps
		800 MT/s		70	ps
		1000 MT/s		60	ps
		1200 MT/s		60	ps
		1600 MT/s		60	ps

T_{DIFF}	Input differential skew	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s		90 90 90 65 65 65	ps ps ps ps ps ps
T_{CADV}	Transmitter output CAD/CTLOUT valid relative to CLKOUT	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s	695 467 345 280 234 166	1805 1200 905 720 600 459	ps ps ps ps ps Ps
T_{CADVRS}	Receiver input CADIN valid time to CLKIN	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s	460 312 225 194 166 116		ps ps ps ps ps Ps
T_{CADVRH}	Receiver input CADIN valid time from CLKIN	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s	460 312 225 194 166 116		ps ps ps ps ps Ps
T_{SU}	Receiver input setup time	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s	0 0 0 0 0 0	250 215 175 153 138 110	ps ps ps ps ps Ps
T_{HD}	Receiver input hold time	400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s	0 0 0 0 0 0	250 215 175 153 138 110	ps ps ps ps ps Ps

7.3 DDR2 总线内存接口特性

7.3.1 推荐直流特性

表 7.5 推荐的直流工作条件(SSTL_1.8)

Symbol	Parameter	Rating			Units
		Min.	Typ.	Max.	

VDDQ(MEM_VDDE_0/1)	Supply Voltage for Output	1.7	1.8	1.9	V
VREF(MEM_VREF_0/1)	Input Reference Voltage	0.49 x VDDQ	0.50 x VDDQ	0.51 x VDDQ	V
VTT	Termination Voltage	VREF - 0.04	VREF	VREF + 0.04	V

表 7.6 输入的直流逻辑电平

Symbol	Parameter	Min.	Max.	Units
VIH(dc)	DC input logic HIGH	VREF+0.125	VDDQ+0.3	V
VIL(dc)	DC input logic LOW	-0.3	VREF-0.125	V

表 7.7 输出直流电流驱动

Symbol	Parameter	SSTL_18	Units
IOH(dc)	Output Minimum Source DC Current	-13.4	mA
IOL(dc)	Output Minimum Sink DC Current	13.4	mA

7.3.2 推荐的交流特性

表 7.8 输入交流逻辑电平

Symbol	Parameter	DDR2-400, DDR2-533		DDR2-667, DDR2-800		Units
		Min.	Max.	Min.	Max.	
VIH (ac)	ac input logic HIGH	VREF+0.250	-	VREF+0.200	-	V
VIL (ac)	ac input logic LOW	-	VREF-0.250		VREF-0.200	V

表 7.9 差分的输入交流逻辑电平

Symbol	Parameter	Min.	Max.	Units
VID(ac)	AC differential input voltage	0.5	VDDQ+0.6	V
VIX (ac)	AC differential crosspoint voltage	0.5 x VDDQ-0.175	0.5 x VDDQ+0.175	V

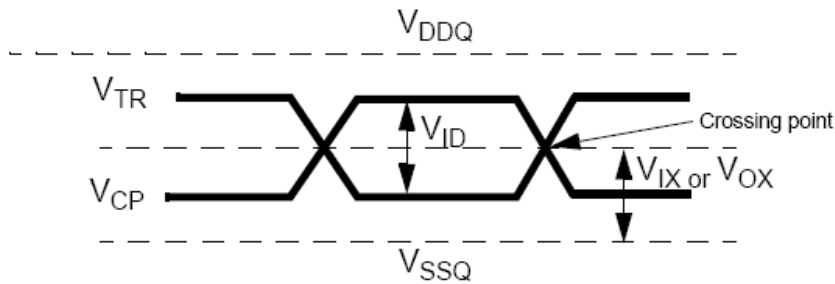


图 7.6 差分的信号电平

表 7.10 差分的交流输出参数

Symbol	Parameter	Min.	Max.	Units
VOX (ac)	AC differential crosspoint voltage	0.5 x VDDQ-0.125	0.5 x VDDQ+0.125	V

7.3.3 电气交流时序特性

表 7.11 不同密度的器件刷新参数

Parameter	Symbol	256 Mb	512 Mb	1Gb	2Gb	4Gb	Units	
Refresh to active/Refresh command time	tRFC	75	105	127.5	195	327.5	ns	
Average periodic refresh interval	tREFI	0°C ≤ TCASE ≤ 85 °C	7.8	7.8	7.8	7.8	7.8	μs
		85°C < TCASE ≤ 95 °C	3.9	3.9	3.9	3.9	3.9	μs

表 7.12 DDR2 内存标准速率分级

Speed bin CL-tRCD-tRP	DDR2-800C		DDR2-800D		DDR2-800E		DDR2-667C		DDR2-667D		Units
	4-4-4		5-5-5		6-6-6		4-4-4		5-5-5		
Parameter	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
tRCD	10	-	12.5	-	15	-	12	-	15	-	ns
tRP1	10	-	12.5	-	15	-	12	-	15	-	ns
tRC	55	-	57.5	-	60	-	57	-	60	-	ns
tRAS	45	70000	45	70000	45	70000	45	70000	45	70000	ns
tCK(avg) @CL=2	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=3	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=4	2.5	8	3.75	8	3.75	8	3	8	3.75	8	ns
tCK(avg) @CL=5	2.5	8	2.5	8	3	8	3	8	3	8	ns
tCK(avg) @CL=6	Optional		Optional		2.5	8	Optional		Optional		ns

表 7.13 DDR2-667 和 DDR2-800 时序参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Average clock period	tCK(avg)	3000	8000	2500	8000	ps
Average clock HIGH pulse width	tCH(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Average clock LOW pulse width	tCL(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Write command to DQS associated clock edge	WL	RL - 1		RL - 1		nCK
DQS latching rising transitions to associated clock edges	tDQSS	-0.25	0.25	-0.25	0.25	tCK(avg)
DQS falling edge to CK setup time	tDSS	0.2	x	0.2	x	tCK(avg)
DQS falling edge hold time from CK	tDSH	0.2	x	0.2	x	tCK(avg)
DQS input HIGH pulse width	tDQSH	0.35	x	0.35	x	tCK(avg)
DQS input LOW pulse width	tDQSL	0.35	x	0.35	x	tCK(avg)
Write preamble	tWPRE	0.35	x	0.35	x	tCK(avg)
Write postamble	tWPST	0.4	0.6	0.4	0.6	tCK(avg)

Address and control input setup time	tIS(base)	200	x	175	x	ps
Address and control input hold time	tIH(base)	275	x	250	x	ps
Control & Address input pulse width for each input	tIPW	0.6	x	0.6	x	tCK(avg)
DQ and DM input setup time	tDS(base)	100	x	50	x	ps
DQ and DM input hold time	tDH(base)	175	x	125	x	ps
DQ and DM input pulse width for each input	tDIPW	0.35	x	0.35	x	tCK(avg)
DQ output access time from CK/CK	tAC	-450	450	-400	400	ps
DQS output access time from CK/CK	tDQSCK	-400	400	-350	350	ps
Data-out high-impedance time from CK/CK	tHZ	x	tAC, max	x	tAC, max	ps
DQS/DQS low-impedance time from CK/CK	tLZ(DQS)	tAC, min	tAC, max	tAC, min	tAC, max	ps
DQ low-impedance time from CK/CK	tLZ(DQ)	2 x tAC, min	tAC, max	2 x tAC, min	tAC, max	ps
DQS-DQ skew for DQS and associated DQ signals	tDQSQ	x	240	x	200	ps
CK half pulse width	tHP	Min(tCH(abs), tCL(abs))	x	Min(tCH(abs), tCL(abs))	x	ps
DQ hold skew factor	tQHS	X	340	x	300	ps
DQ/DQS output hold time from DQS	tQH	tHP - tQHS	x	tHP - tQHS	x	ps
Read preamble	tRPRE	0.9	1.1	0.9	1.1	tCK(avg)
Read postamble	tRPST	0.4	0.6	0.4	0.6	tCK(avg)
Activate to activate command period for 1KB page size products	tRRD	7.5	x	7.5	x	ns
Activate to activate command period for 2KB page size products	tRRD	10	x	10	x	ns
Four Activate Window for 1KB page size products	tFAW	37.5	x	35	x	ns
Four Activate Window for 2KB page size products	tFAW	50	x	45	x	ns
CAS to CAS command delay	tCCD	2	x	2	x	nCK
Write recovery time	tWR	15	x	15	x	ns
Auto precharge write recovery + precharge time	tDAL	WR + tnRP	x	WR + tnRP	x	nCK

Internal write to read command delay	tWTR	7.5	x	7.5	x	ns
Internal read to precharge command delay	tRTP	7.5	x	7.5	x	ns
CKE minimum pulse width (HIGH and LOW pulse width)	tCKE	3	x	3	x	nCK
Exit self refresh to a non-read command	tXSNR	tRFC + 10	x	tRFC + 10	x	ns
Exit self refresh to a read command	tXSRD	200	x	200	x	nCK
Exit precharge power down to any command	tXP	2	x	2	x	nCK
Exit active power down to read command	tXARD	2	x	2	x	nCK
Exit active power down to read command (slow exit, lower power)	tXARDS	7-AL	x	8-AL	x	nCK
ODT turn-on delay	tAOND	2	2	2	2	nCK
ODT turn-on	tAON	tAC, min	tAC, max + 0.7	tAC, min	tAC, max + 0.7	ns
ODT turn-on (Power-Down mode)	tAONPD	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	ns
ODT turn-off delay	tAOFD	2.5	2.5	2.5	2.5	nCK
ODT turn-off	tAOF	tAC, min	tAC, max + 0.6	tAC, min	tAC, max + 0.6	ns
ODT turn-off (Power-Down mode)	tAOFPD	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	ns
ODT to power down entry latency	tANPD	3	x	3	x	nCK
ODT Power Down Exit Latency	tAXPD	8		8		nCK
Mode register set command cycle time	tMRD	2	x	2	x	nCK
MRS command to ODT update delay	tMOD	0	12	0	12	ns
OCD drive mode output delay	tOIT	0	12	0	12	ns
Minimum time clocks remains ON after CKE asynchronously drops LOW	tDelay	tIS + tCK(avg) + tIH	X	tIS + tCK(avg) + tIH	x	ns

7.4 DDR3 内存接口特性

7.4.1 推荐的直流工作条件

表 7.14 推荐的直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
VDD	Supply Voltage	1.425	1.5	1.575	V
VDDQ	Supply Voltage for Output	1.425	1.5	1.575	V

7.4.2 交流和直流逻辑输入电平

7.4.2.1. 单端信号的交流和直流输入电平

表 7.15 控制信号和地址单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min	Max	
VIH.CA(DC100)	DC input logic high	Vref + 0.100	VDD	V
VIL.CA(DC100)	DC input logic low	VSS	Vref - 0.100	V
VIH.CA(AC175)	AC input logic high	Vref + 0.175		V
VIL.CA(AC175)	AC input logic low		Vref - 0.175	V
VIH.CA(AC150)	AC input logic high	Vref + 0.150		V
VIL.CA(AC150)	AC input logic low		Vref - 0.150	V
VRefCA(DC)	Reference Voltage for ADD, CMD inputs	0.49 * VDD	0.51 * VDD	V

表 7.16 DQ 和 DM 单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min	Max	
VIH.DQ(DC100)	DC input logic high	Vref + 0.100	VDD	V
VIL.DQ(DC100)	DC input logic low	VSS	Vref - 0.100	V
VIH.DQ(AC175)	AC input logic high	Vref + 0.175		V
VIL.DQ(AC175)	AC input logic low		Vref - 0.175	V
VIH.DQ(AC150)	AC input logic high	Vref + 0.150		V
VIL.DQ(AC150)	AC input logic low		Vref - 0.150	V
VRefDQ(DC)	Reference Voltage for DQ, DM inputs	0.49 * VDD	0.51 * VDD	V

7.4.2.2. 差分信号的交流和直流输入电平

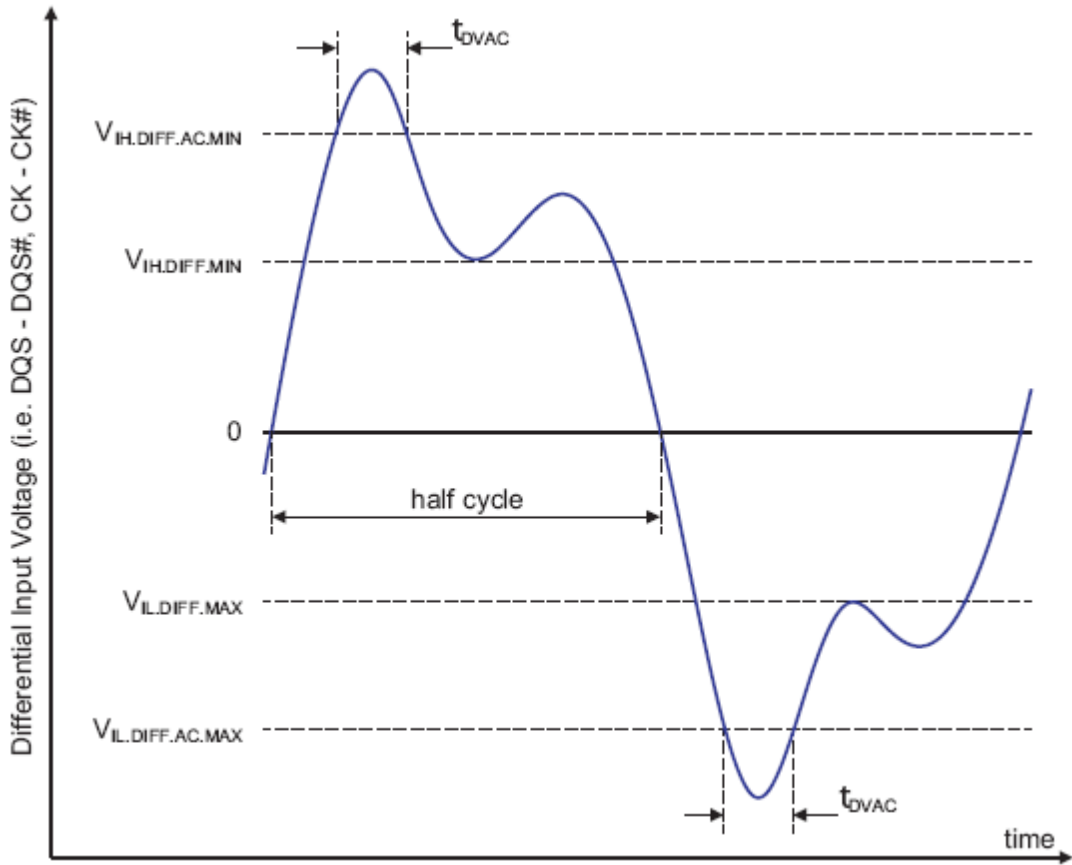


图 7.7 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 7.17 交流和直流的差分输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min.	Max.	
V _{IHdiff}	Differential input high	+0.200		V
V _{ILdiff}	Differential input logic low		-0.200	V
V _{IHdiff(ac)}	Differential input high ac	2 x (V _{IH(ac)} - V _{ref})		V
V _{ILdiff(ac)}	Differential input low ac	2 x (V _{IL(ac)} - V _{ref})		V

7.4.2.3. 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号 (CK, CK# 和 DQS, DQS#) 必须满足表 28 的要求。差分输入的交叉点电压 V_{I_X} 的测量是从实际的交叉点的和补偿信号的 V_{DD} 和 V_{SS} 之间的中间点处获得。

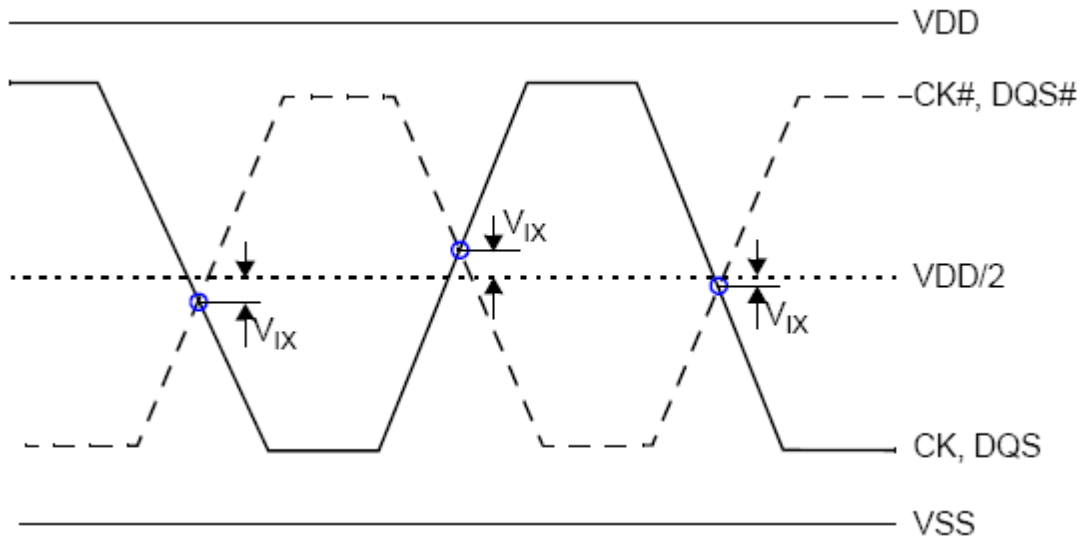


图 7.8 Vix 定义

表 7.18 差分输入信号(CK, DQS)交叉点电压

Symbol	Parameter	DDR3-800,1066		Unit
		Min.	Max.	
VIX	Differential Input Cross Point Voltage relative to VDD/2 for CK,CK#	-150	150	mV
		-175	175	mV
VIX	Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS#	-150	150	mV

7.4.3 交流和直流逻辑输出电平

7.4.3.1. 单端信号的交流 and 直流输出电平

表 7.19 单端信号的交流直流输出电平

Symbol	Parameter	DDR3-800,1066	Unit
VOH(DC)	DC output high measurement level (for IV curve linearity)	0.8 x VDDQ	V
VOM(DC)	DC output mid measurement level (for IV curve linearity)	0.5 x VDDQ	V
VOL(DC)	DC output low measurement level (for IV curve linearity)	0.2 x VDDQ	V
VOH(AC)	AC output high measurement level (for output SR)	VTT + 0.1 x VDDQ	V
VOL(AC)	AC output low measurement level (for output SR)	VTT - 0.1 x VDDQ	V

7.4.3.2. 差分信号的交流 and 直流输出电平

表 7.20 差分信号的交流 and 直流输出电平

Symbol	Parameter	DDR3-800,1066	Unit
VOHdiff(AC)	AC differential output high measurement level (for output SR)	+ 0.2 x VDDQ	V
VOLdiff(AC)	AC differential output low measurement level (for output SR)	- 0.2 x VDDQ	V

7.4.3.3. 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和测量在 VOL (AC) 和 VOH (AC) 之间，如表 7.21 和图 7.9 所示。

表 7.21 单端信号输出斜率的定义

Description	Measured		Defined by
	from	to	

Single-ended output slew rate for rising edge	VOL(AC)	VOH(AC)	$[VOH(AC) - VOL(AC)] / \Delta TRse$
Single-ended output slew rate for falling edge	VOH(AC)	VOL(AC)	$[VOH(AC) - VOL(AC)] / \Delta TFse$

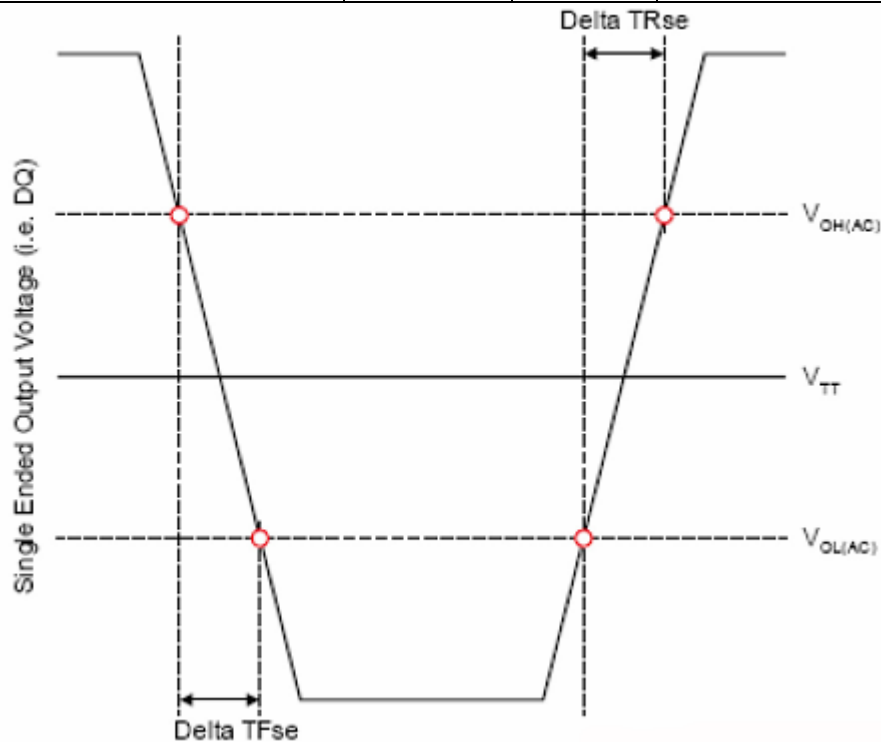


图 7.9 单端输出斜率的定义

表 7.22 单端的输出斜率

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Single-ended Output Slew Rate	SRQse	2.5	5	2.5	5	V/ns

7.4.3.4. 差分输出斜率

表 7.23 差分输出斜率的定义

Description	Measured		Defined by
	from	to	
Differential output slew rate for rising edge	VOLdiff(AC)	VOHdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TRdiff$
Differential output slew rate for falling edge	VOHdiff(AC)	VOLdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TFdiff$

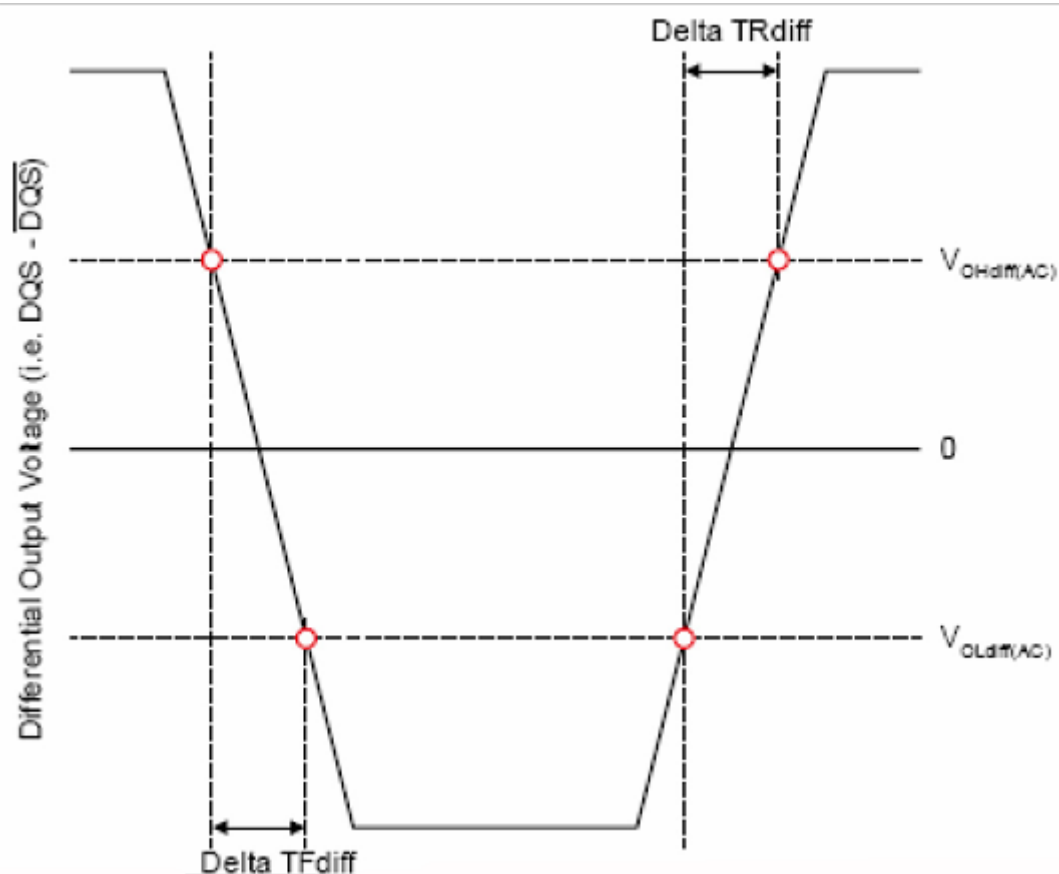


图 7.10 差分输出斜率的定义

表 7.24 差分输出斜率

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Differential Output Slew Rate	SRQdiff	5	10	5	10	V/ns

7.4.3.5. 上冲和下冲的规范

表 7.25 地址和控制引脚的交流上冲/下冲规范(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)

Parameter	DDR3-800	DDR3-1066	Units
Maximum peak amplitude allowed for overshoot area	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area	0.4	0.4	V
Maximum overshoot area above VDD	0.67	0.5	V-ns
Maximum undershoot area below VSS	0.67	0.5	V-ns

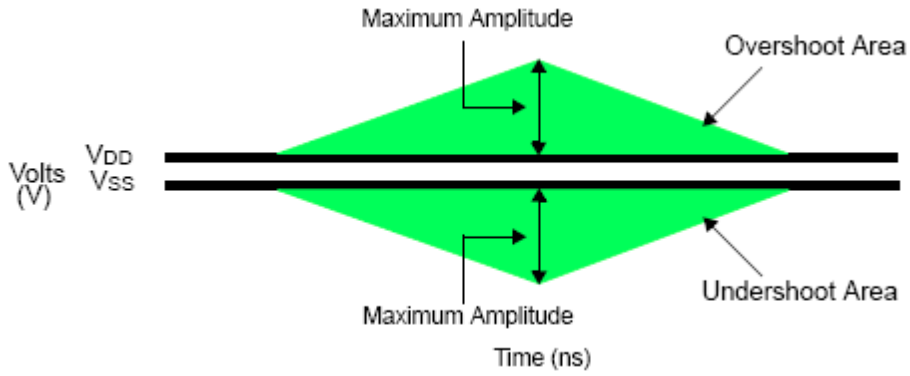


图 7.11 地址和控制的上冲和下冲定义

表 7.26 时钟，数据，选通和屏蔽信号的交流上冲/下冲规范(CK,CK#,DQ,DQS,DQS#,DM)

Parameter	DDR3-800	DDR3-1066	Unit
Maximum peak amplitude allowed for overshoot area	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area	0.4	0.4	V
Maximum overshoot area above VDDQ	0.25	0.19	V-ns
Maximum undershoot area below VSSQ	0.25	0.19	V-ns

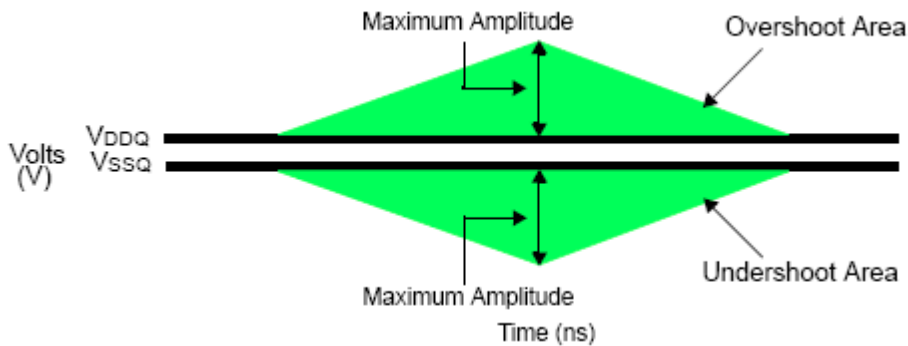


图 7.12 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义

7.4.3.6. ODT 时序定义

表 7.27 ODT 时序定义

Symbol	Begin Point Definition	End Point Definition	Figure
tAON	Rising edge of CK -CK# defined by the end point of ODTLon	Extrapolated point at VSSQ	Figure 103
tAONPD	Rising edge of CK -CK# with ODT being first registered high	Extrapolated point at VSSQ	Figure 104
tAOF	Rising edge of CK -CK# defined by the end point of ODTLoff	End point: Extrapolated point at VRTT_Nom	Figure 105
tAOFPD	Rising edge of CK -CK# with ODT being first registered low	End point: Extrapolated point at VRTT_Nom	Figure 106
tADC	Rising edge of CK -CK# defined by the end point of ODTLcwn, ODTLcwn4 or ODTLcwn8	End point: Extrapolated point at VRTT_Wr and VRTT_Nom respectively	Figure 107

表 7.28 ODT 时序测量的参考设置

Measured Parameter	RTT_Nom Setting	RTT_Wr Setting	VSW1[V]	VSW2[V]
--------------------	-----------------	----------------	---------	---------

tAON	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAONPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOF	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOFPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAD	RZQ/12	RZQ/2	0.20	0.30

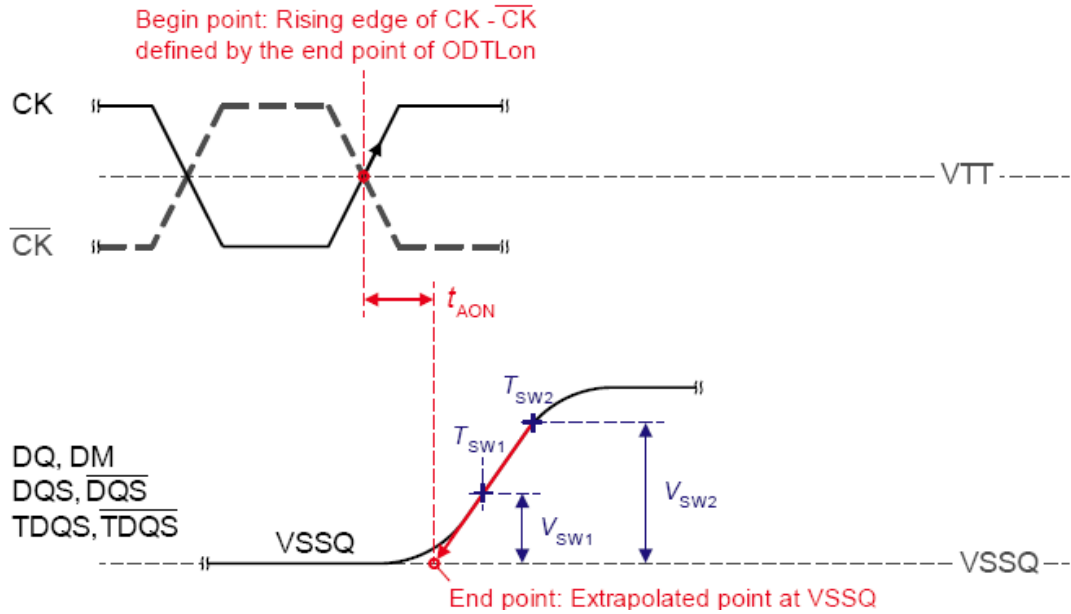


图 7.13 tAON 的定义

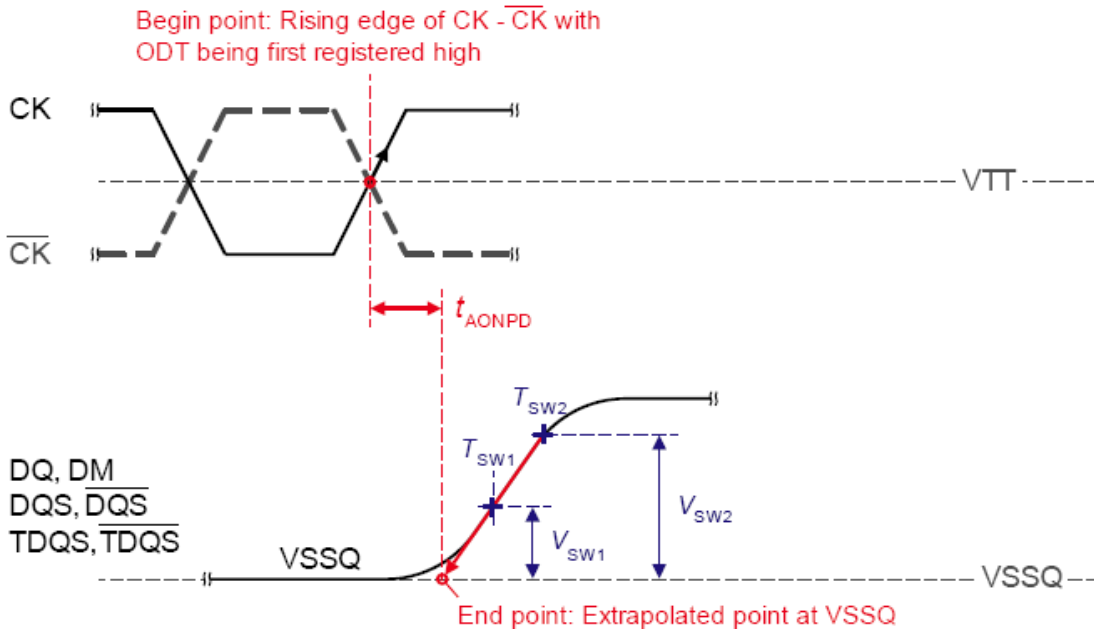


图 7.14 tAONPD 的定义

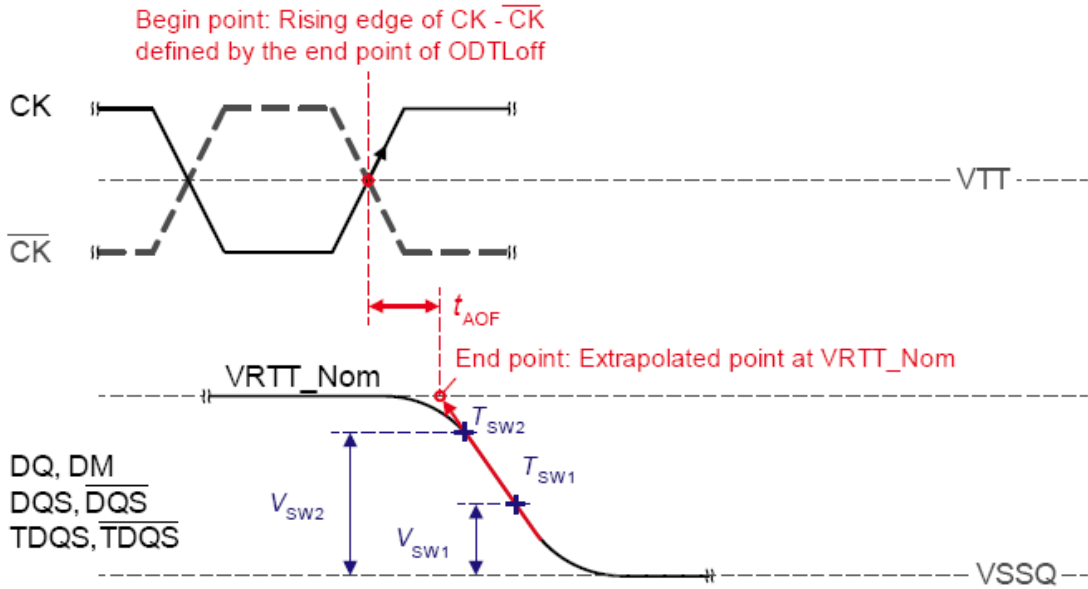


图 7.15 t_{AOF} 的定义

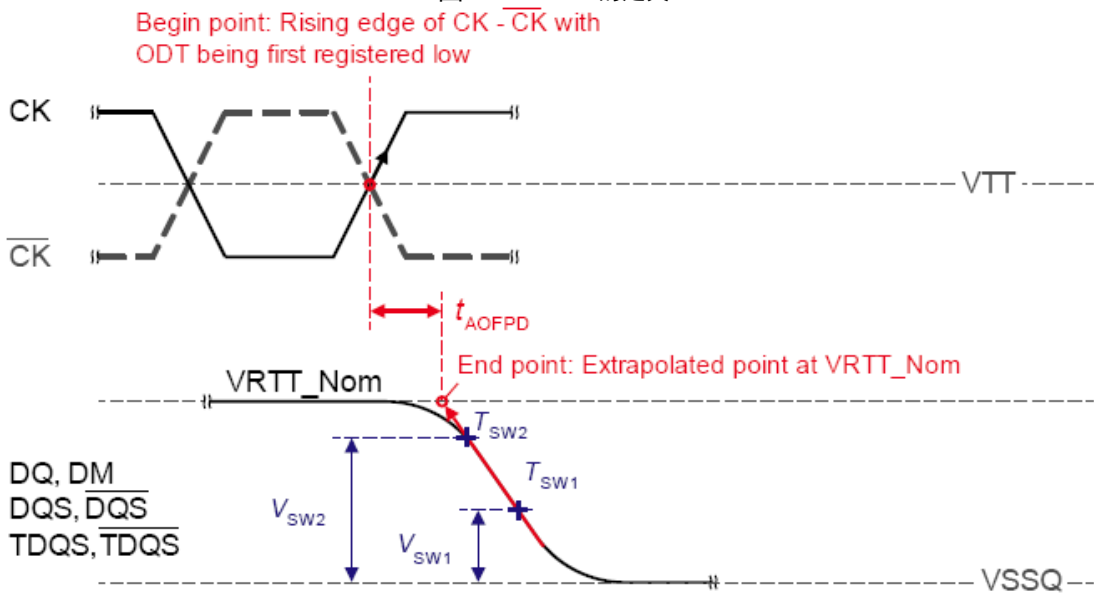


图 7.16 t_{AOFPD} 的定义

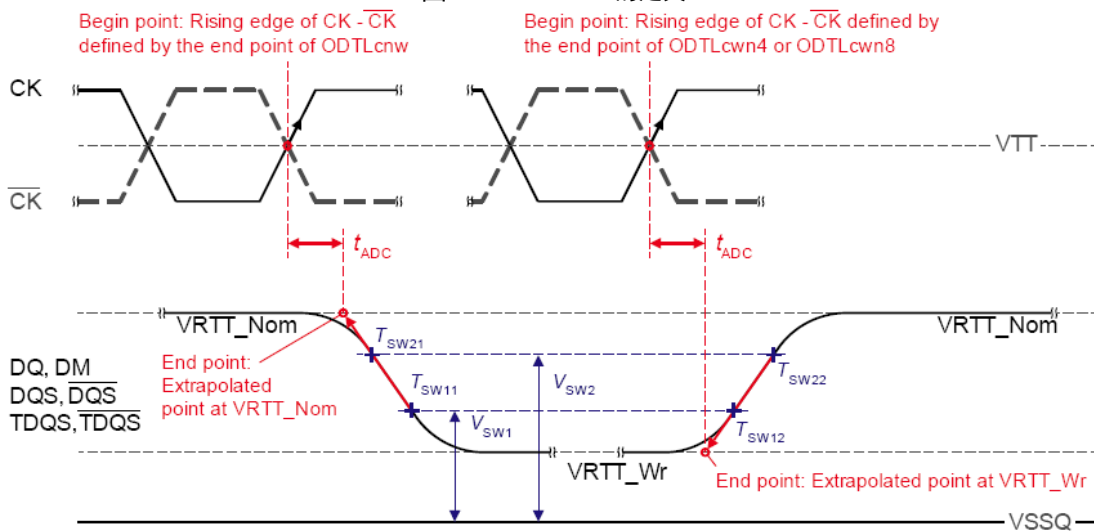


图 7.17 t_{ADC} 的定义

7.4.4 IDD 和 IDDQ 规范的参数和测试条件

表 7.29 IDD 和 IDDQ 测量循环模式的时序

Symbol	DDR3-800		DDR3-1066			Unit
	5-5-5	6-6-6	6-6-6	7-7-7	8-8-8	
tCK	2.5		1.875			ns
CL	5	6	6	7	8	nCK
nRCD	5	6	6	7	8	nCK
nRC	20	21	26	27	28	nCK
nRAS	15		20			nCK
nRP	5	6	6	7	8	nCK
nFAW	1KBpagesize	16		20		nCK
	2KBpagesize	20		27		nCK
nRRD	1KBpagesize	4		4		nCK
	2KBpagesize	4		6		nCK
nRFC512Mb	36		48			nCK
nRFC1Gb	44		59			nCK
nRFC2Gb	64		86			nCK
nRFC4Gb	120		160			nCK
nRFC8Gb	140		187			nCK

7.4.5 输入/输出电容

表 7.30 输入/输出电容

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#)	CIO	1.5	3.0	1.5	2.7	pF
Input capacitance, CK and CK#	CCK	0.8	1.6	0.8	1.6	pF
Input capacitance delta, CK and CK#	CDCK	0	0.15	0	0.15	pF
Input/output capacitance delta DQS and DQS#	CDDQS	0	0.2	0	0.2	pF
Input capacitance, (CTRL, ADD, CMD input-only pins)	CI	0.75	1.4	0.75	1.35	pF
Input capacitance delta, (All CTRL input-only pins)	CDI_CTRL	-0.5	0.3	-0.5	0.3	pF
Input capacitance delta, (All ADD/ CMD input-only pins)	CDI_ADD_CMD	-0.5	0.5	-0.5	0.5	pF
Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS#	CDIO	-0.5	0.3	-0.5	0.3	pF
Input/output capacitance of ZQ pin	CZQ	-	3	-	3	pF

7.4.6 不同器件密度下的刷新参数

表 7.31 不同器件密度下的刷新参数

Parameter	Symbol	512Mb	1Gb	2Gb	4Gb	8Gb	Unit
REF command to ACT or REF command time	tRFC	90	110	160	300	350	ns
Average periodic refresh interval	tREFI	0 ≤ TCASE ≤ 85	7.8	7.8	7.8	7.8	us
		85 < TCASE ≤ 95	3.9	3.9	3.9	3.9	us

7.4.7 标准的速度分级

表 7.32 DDR3-800 Speed Bins and Operating Conditions

Speed Bin		DDR3-800D		DDR3-800E		Unit	
CL - nRCD - nRP		5-5-5		6-6-6			
Parameter	Symbol	Min.	Max.	Min.	Max.		
Internal read command to first data	tAA	12.5	20	15	20	ns	
ACT to internal read or write delay time	tRCD	12.5	—	15	—	ns	
PRE command period	tRP	12.5	—	15	—	ns	
ACT to ACT or REF command period	tRC	50	—	52.5	—	ns	
ACT to PRE command period	tRAS	37.5	9 * tREFI	37.5	9 * tREFI	ns	
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	ns
Supported CL Settings		5, 6		5, 6		nCK	
Supported CWL Settings		5		5		nCK	

表 7.33 DDR3-1066 Speed Bins and Operating Conditions

Speed Bin		DDR3-1066E		DDR3-1066F		DDR3-1066G		Unit	
CL - nRCD - nRP		6-6-6		7-7-7		8-8-8			
Parameter	Symbol	Min.	Max.	Min.	Max.	Min.	Max.		
Internal read command to first data	tAA	11.25	20	13.125	20	15	20	ns	
ACT to internal read or write delay time	tRCD	11.25	—	13.125	—	15	—	ns	
PRE command period	tRP	11.25	—	13.125	—	15	—	ns	
ACT to ACT or REF command period	tRC	48.75	—	50.625	—	52.5	—	ns	
ACT to PRE command period	tRAS	37.5	9 * tREFI	37.5	9 * tREFI	37.5	9 * tREFI	ns	
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL = 6	tCK(AVG)	Reserved		Reserved		Reserved		ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL = 6	tCK(AVG)	1.875	<2.5	Reserved		Reserved		ns
CL = 7	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	Reserved		ns
CL = 8	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
Supported CL Settings		5,6,7,8		5,6,7,8		5,6,8		nCK	

Supported CWL Settings	5,6	5,6	5,6	nCK
------------------------	-----	-----	-----	-----

7.4.8 DDR3-800 和 DDR3-1066 的时序参数

表 7.34 Timing Parameters by Speed Bin

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Clock Timing						
Minimum Clock Cycle Time (DLL off mode)	tCK(DLL_OFF)	8	-	8	-	ns
Average Clock Period	tCK(avg)					ps
Average high pulse width	tCH(avg)	0.47	0.53	0.47	0.53	tCK(avg)
Average low pulse width	tCL(avg)	0.47	0.53	0.47	0.53	tCK(avg)
Absolute Clock Period	tCK(abs)	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	ps
Absolute clock HIGH pulse width	tCH(abs)	0.43	-	0.43	-	tCK(avg)
Absolute clock LOW pulse width	tCL(abs)	0.43	-	0.43	-	tCK(avg)
Clock Period Jitter	JIT(per)	-100	100	-90	90	ps
Clock Period Jitter during DLL locking period	tJIT(per,lck)	-90	90	-80	80	ps
Cycle to Cycle Period Jitter	tJIT(cc)	200		180		ps
Cycle to Cycle Period Jitter during DLL locking period	tJIT(cc,lck)	180		160		ps
Duty Cycle Jitter	tJIT(duty)	-	-	-	-	ps
Cumulative error across 2 cycles	tERR(2per)	-147	147	-132	132	ps
Cumulative error across 3 cycles	tERR(3per)	-175	175	-157	157	ps
Cumulative error across 4 cycles	tERR(4per)	-194	194	-175	175	ps
Cumulative error across 5 cycles	tERR(5per)	-209	209	-188	188	ps
Cumulative error across 6 cycles	tERR(6per)	-222	222	-200	200	ps
Cumulative error across 7 cycles	tERR(7per)	-232	232	-209	209	ps
Cumulative error across 8 cycles	tERR(8per)	-241	241	-217	217	ps
Cumulative error across 9 cycles	tERR(9per)	-249	249	-224	224	ps
Cumulative error across 10 cycles	tERR(10per)	-257	257	-231	231	ps
Cumulative error across 11 cycles	tERR(11per)	-263	263	-237	237	ps

Cumulative error across 12 cycles	tERR(12per)	-269	269	-242	242	ps
Cumulative error across n = 13, 14...49, 50 cycles	tERR(nper)	$tERR(nper)_{min} = (1 + 0.68\ln(n)) * tJIT(per)_{min}$ $tERR(nper)_{max} = (1 + 0.68\ln(n)) * tJIT(per)_{max}$				ps
Data Timing						
DQS, DQS# to DQ skew, per group, per access	tDQSQ	-	200	-	150	ps
DQ output hold time from DQS, DQS#	tQH	0.38	-	0.38	-	tCK(avg)
DQ low-impedance time from CK, CK#	tLZ(DQ)	-800	400	-600	300	ps
DQ high impedance time from CK, CK#	tHZ(DQ)	-	400	-	300	ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC175	75		25		ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC150	125		75		ps
Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels	tDH(base)DC100	150		100		ps
DQ and DM Input pulse width for each input	tDIPW	600	-	490	-	ps
Data Strobe Timing						
DQS,DQS# differential READ Preamble	tRPRE	0.9		0.9		tCK(avg)
DQS, DQS# differential READ Postamble	tRPST	0.3		0.3		tCK(avg)
DQS, DQS# differential output high time	tQSH	0.38	-	0.38	-	tCK(avg)
DQS, DQS# differential output low time	tQSL	0.38	-	0.38	-	tCK(avg)
DQS, DQS# differential WRITE Preamble	tWPRE	0.9	-	0.9	-	tCK(avg)
DQS, DQS# differential WRITE Postamble	tWPST	0.3	-	0.3	-	tCK(avg)
DQS, DQS# rising edge output access time from rising CK, CK#	tDQSCK	-400	400	-300	300	ps
DQS and DQS# low-impedance time (Referenced from RL - 1)	tLZ(DQS)	-800	400	-600	300	ps
DQS and DQS# high-impedance time (Referenced from RL + BL/2)	tHZ(DQS)	-	400	-	300	ps
DQS, DQS# differential input low pulse width	tDQSL	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# differential input high pulse width	tDQSH	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# rising edge to CK, CK# rising edge	tDQSS	-0.25	0.25	-0.25	0.25	tCK(avg)
DQS, DQS# falling edge setup time to CK, CK# rising edge	tDSS	0.2	-	0.2	-	tCK(avg)
DQS, DQS# falling edge hold time from CK, CK# rising edge	tDSH	0.2	-	0.2	-	tCK(avg)
Command and Address Timing						

DLL locking time	tDLLK	512	-	512	-	nCK
Internal READ Command to PRECHARGE Command delay	tRTP	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
Delay from start of internal write transaction to internal read command	tWTR	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
WRITE recovery time	tWR	15	-	15	-	ns
Mode Register Set command cycle time	tMRD	4	-	4	-	nCK
Mode Register Set command update delay	tMOD	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	
ACT to internal read or write delay time	tRCD	See Table 60 on page 157		See Table 61 on page 158		
PRE command period	tRP	See Table 60 on page 157		See Table 61 on page 158		
ACT to ACT or REF command period	tRC	See Table 60 on page 157		See Table 61 on page 158		
CAS# to CAS# command delay	tCCD	4	-	4	-	nCK
Auto precharge write recovery + precharge time	tDAL(min)	WR + roundup(tRP / tCK(avg))				nCK
Multi-Purpose Register Recovery Time	tMPRR	1	-	1	-	nCK
ACTIVE to PRECHARGE command period	tRAS					
ACTIVE to ACTIVE command period for 1KB page size	tRRD	max(4nCK, 10ns)	-	max(4nCK, 7.5ns)	-	
ACTIVE to ACTIVE command period for 2KB page size	tRRD	max(4nCK, 10ns)	-	max(4nCK, 10ns)	-	
Four activate window for 1KB page size	tFAW	40	-	37.5	-	ns
Four activate window for 2KB page size	tFAW	50	-	50	-	ns
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base) AC175	200		125		ps
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base) AC150	350		275		ps
Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels	tIH(base) DC100	275		200		ps
Control and Address Input pulse width for each input	tIPW	900	-	780	-	ps
Calibration Timing						
Power-up and RESET calibration time	tZQinit	max(512nCK, 640ns)	-	max(512nCK, 640ns)	-	
Normal operation Full calibration time	tZQoper	max(256nCK, 320ns)	-	max(256nCK, 320ns)	-	
Normal operation Short calibration time	tZQCS	max(64nCK, 80ns)	-	max(64nCK, 80ns)	-	
Reset Timing						

Exit Reset from CKE HIGH to a valid command	tXPR	max(5nCK, tRFC(min) + 10ns)	-	max(5nCK, tRFC(min) + 10ns)	-	
Self Refresh Timings						
Exit Self Refresh to commands not requiring a locked DLL	tXS	max(5nCK, tRFC(min) + 10ns)	-	max(5nCK, tRFC(min) + 10ns)	-	
Exit Self Refresh to commands requiring a locked DLL	tXSDLL	tDLLK(min)	-	tDLLK(min)	-	nCK
Minimum CKE low width for Self Refresh entry to exit timing	tCKESR	tCKE(min) + 1 nCK	-	tCKE(min) + 1 nCK	-	
Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE)	tCKSRE	max(5 nCK, 10 ns)	-	max(5 nCK, 10 ns)	-	
Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit	tCKSRX	max(5 nCK, 10 ns)	-	max(5 nCK, 10 ns)	-	
Power Down Timings						
Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL	tXP	max(3nCK, 7.5ns)	-	max(3nCK, 7.5ns)	-	
Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL	tXPDLL	max(10nCK, 24ns)	-	max(10nCK, 24ns)	-	
CKE minimum pulse width	tCKE	max(3nCK 7.5ns)	-	max(3nCK, 5.625ns)	-	
Command pass disable delay	tCPDED	1	-	1	-	nCK
Power Down Entry to Exit Timing	tPD	tCKE(min)	9 * tREFI	tCKE(min)	9 * tREFI	
Timing of ACT command to Power Down entry	tACTPDEN	1	-	1	-	nCK
Timing of PRE or PREA command to Power Down entry	tPRPDEN	1	-	1	-	nCK
Timing of RD/RDA command to Power Down entry	tRDPDEN	RL + 4 + 1	-	RL + 4 + 1	-	nCK
Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRPDEN	WL + 4 + (tWR / tCK(avg))	-	WL + 4 + (tWR / tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRAPDEN	WL + 4 + WR + 1	-	WL + 4 + WR + 1	-	nCK
Timing of WR command to Power Down entry (BC4MRS)	tWRPDEN	WL + 2 + (tWR / tCK(avg))	-	WL + 2 + (tWR / tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BC4MRS)	tWRAPDEN	WL + 2 + WR + 1	-	WL + 2 + WR + 1	-	nCK

Timing of REF command to Power Down entry	tREFPDEN	1	-	1	-	nCK
Timing of MRS command to Power Down entry	tMRSPDEN	tMOD(min)	-	tMOD(min)	-	
ODT Timings						
ODT turn on Latency	ODTLon	$WL - 2 = CWL + AL - 2$	nCK			
ODT turn off Latency	ODTLoff	$WL - 2 = CWL + AL - 2$	nCK			
ODT high time without write command or with write command and BC4	ODTH4	4	-	4	-	nCK
ODT high time with Write command and BL8	ODTH8	6	-	6	-	nCK
Asynchronous RTT turn-on delay (Power-Down with DLL frozen)	tAONPD	2	8.5	2	8.5	ns
Asynchronous RTT turn-off delay (Power-Down with DLL frozen)	tAOFPD	2	8.5	2	8.5	ns
RTT turn-on	tAON	-400	400	-300	300	ps
RTT_Nom and RTT_WR turn-off time from ODTLoff reference	tAOF	0.3	0.7	0.3	0.7	tCK(avg)
RTT dynamic change skew	tADC	0.3	0.7	0.3	0.7	tCK(avg)
Write Leveling Timings						
First DQS/DQS# rising edge after write leveling mode is programmed	tWLMRD	40	-	40	-	nCK
DQS/DQS# delay after write leveling mode is programmed	tWLDQSEN	25	-	25	-	nCK
Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing	tWLS	325	-	245	-	ps
Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing	tWLH	325	-	245	-	ps
Write leveling output delay	tWLO	0	9	0	9	ns
Write leveling output error	tWLOE	0	2	0	2	ns

7.5 PCI-X 总线特性

7.5.1 推荐的直流工作条件

表 7.35 PCI-X 设备的直流规范

Sym	Parameter	Condition	PCI-X		3.3V Conventional PCI (ref)		Units
			Min.	Max.	Min.	Max.	
Vcc	Supply Voltage		3.0	3.6	3.0	3.6	V
Vih	Input High Voltage		0.5Vcc	Vcc+0.5	0.5Vcc	Vcc+0.5	V
Vil	Input Low Voltage		-0.5	0.35Vcc	-0.5	0.3Vcc	V
Vipu	Input Pull-up Voltage		0.7Vcc		0.7Vcc		V
Iil	Input Leakage Current	0<Vin<Vcc		+10		+10	mA
Voh	Output High Voltage	Iout= -500mA	0.9Vcc		0.9Vcc		V
Vol	Output Low Voltage	Iout=1500mA		0.1Vcc		0.1Vcc	V
Cin	Input Pin Capacitance			8		10	pF
Cclk	CLK Pin Capacitance		5	8	5	12	pF
CIDSEL	IDSEL Pin Capacitance			8		8	pF
Lpin	Pin Inductance			15		20	nH
IOff	PME# input leakage	Vo ≤3.6V Vcc off or floating	-	1	-	1	mA

表 7.36 推荐的直流特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
Receiver characteristics						
VIH	High level voltage	-	2	-	-	V
VIL	Low level voltage	-	-	-	0.8	V
VHYST	Input hysteresis voltage	-	300	-	-	mV
Driver characteristics						
ROUT	Output impedance	VOL = 0.3V	-	50	-	Ω
ROUT	Output impedance	VOH = VDDE3V3 - 0.3V	-	50	-	Ω
Weak input pull-up and pull-down characteristics						
IPU	Pull up current	Vi = 0V	39	66	101	μA
IPD	Pull down current	Vi = VDDE3V3	33	66	120	μA
RPU	Equivalent pull-up resistance	Vi = 0V	36	50	76	KΩ
RPD	Equivalent pull-down resistance	Vi = VDDE3V3	30	50	90	KΩ

表 7.37 IO 引脚的输入电容

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
C _{IN}	IO pin capacitance	25Ωoutput impedance	-	0.9	-	pF
		50Ωoutput impedance	-	1.0	-	
		80Ωoutput impedance	-	1.2	-	

7.5.2 交流工作特性

表 7.38 推荐的交流特性

Symbol	Parameter	Condition	Min.	Max.	Unit
PCI-X					
Output Buffer Drive Currents					
Ioh(AC)	Switching Current High	$0 < V_{cc}-V_{out} \leq 3.6V$		$-74(V_{cc}-V_{out})$	mA
		$0 < V_{cc}-V_{out} \leq 1.2V$	$-32 (V_{cc}-V_{out})$		mA
		$1.2V < V_{cc}-V_{out} \leq 1.9V$	$-11 (V_{cc}-V_{out}) - 25.2$		mA
		$1.9V < V_{cc}-V_{out} \leq 3.6V$	$-1.8 (V_{cc}-V_{out}) - 42.7$		mA
Iol(AC)	Switching Current Low	$0 \leq V_{out} \leq 3.6V$		$100V_{out}$	mA
		$0 < V_{out} \leq 1.3V$	$48 V_{out}$		mA
		$1.3V < V_{out} \leq 3.6V$	$5.7 V_{out} + 55$		mA
Clamp Currents					
Icl	Low Clamp Current	$-3V < V_{in} \leq -0.8875V$	$-40 + (V_{in}+1)/0.005$		mA
		$-0.8875V < V_{in} \leq -0.625V$	$-25 + (V_{in}+1)/0.015$		mA
Ich	High Clamp	$0.8875V \leq V_{in}-V_{cc} < 4V$	$40 + (V_{in}-V_{cc}-1) / 0.005$		mA
		$0.625V \leq V_{in}-V_{cc} < 0.8875V$	$25 + (V_{in}-V_{cc}-1) / 0.015$		mA
66 MHz Conventional PCI (ref)					
AC Drive Points					
Ioh(AC)	Switching Current High	$V_{out} = 0.7V_{cc}$		$-32V_{cc}$	mA
		$V_{out} = 0.3V_{cc}$	$-12V_{cc}$		mA
Iol(AC)	Switching Current Low	$V_{out} = 0.18V_{cc}$		$38V_{cc}$	mA
		$V_{out} = 0.6V_{cc}$	$16V_{cc}$		mA
Clamp Currents					
Ich	High clamp	$V_{cc}+4 > V_{in} \geq V_{cc}+1$	$25 + (V_{in}-V_{cc}-1) / 0.015$		mA
Icl	Low clamp current	$-3 < V_{in} \leq -1$	$-25 + (V_{in}+1)/0.015$		mA

表 7.39 输出信号的斜率

Symbol	Parameter	Condition	PCI-X		Conventional PCI 66 (ref)		Units
			Min.	Max.	Min.	Max.	
Tr	Output rise slew rate	$0.3V_{cc}$ to $0.6V_{cc}$	1	6	1	4	V/ns
Tf	Output fall slew rate	$0.6V_{cc}$ to $0.3V_{cc}$	1	6	1	4	V/ns

7.5.3 时序参数

表 7.40 通用时序参数

Symbol	Parameter	PCI-X 33		Conventional PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	
Tval	CLK to Signal Valid Delay - based signals	2	6	2	11	ns

Tval(ptp)	CLK to Signal Valid Delay - point to point signals	2	6	2	12	ns
Ton	Float to Active Delay	2		2		ns
Toff	Active to Float Delay		14		28	ns
Tsu	Input Set up Time to CLK-based signals	3		7		ns
Tsu(ptp)	Input Set up Time to CLK-point to point signals	5		10,12		ns
Th	Input Hold Time from CLK	0		0		ns
Trst	Reset Active Time	1		1		ms
Trst-clk	Reset Active Time after CLK stable	100		100		ms
Trst-off	Reset Active to output float delay		40		40	ns
Trrsu	REQ64# to RST# setup time	10		10		clocks
Trrh	RST# to REQ64# hold time	0	50	0	50	ns
Trhfa	RST# high to first Configuration access	2 ²⁵		2 ²⁵		clocks
Trhff	RST# high to first FRAME# assertion	5		5		clocks
Tpvrh	Power valid to RST# high	100		100		ms
Tprsu	PCI-X initialization pattern to RST# setup time					clocks
Tprh	RST# to PCI-X initialization pattern hold time					ns
Trlcx	Delay from RST# low to CLK frequency change					ns

7.5.4 复位时序

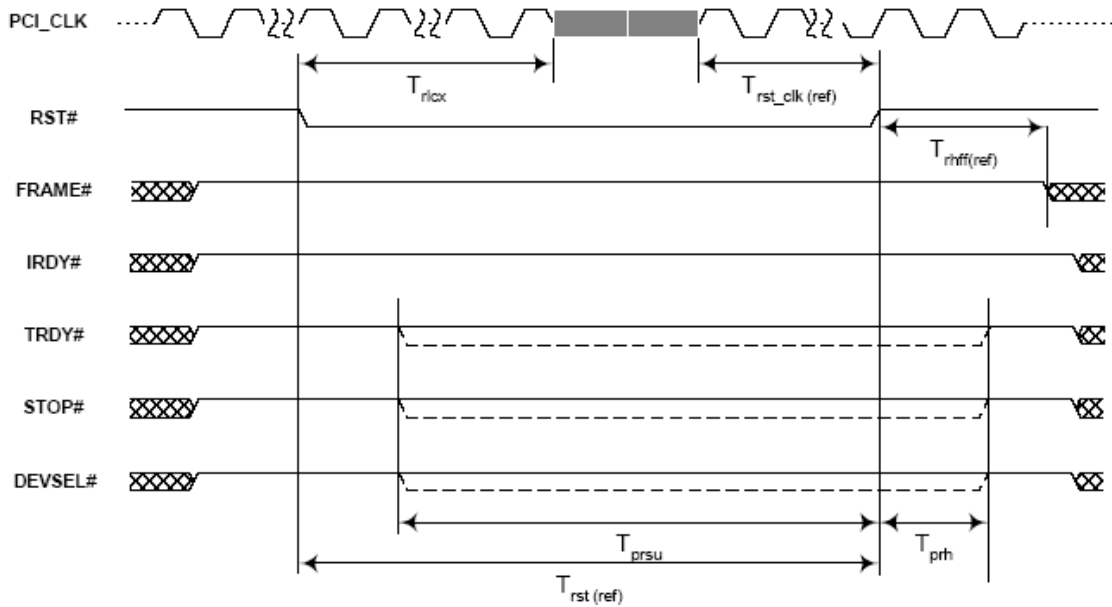


图 7.18 转换到带上拉的 PCI-X 模式的 RST#时序

7.5.5 PCI-X 总线系统的噪声容限

PCI-X 的噪声容限与 PCI 总线非常类似，具体的输入输出电压容限见下图：

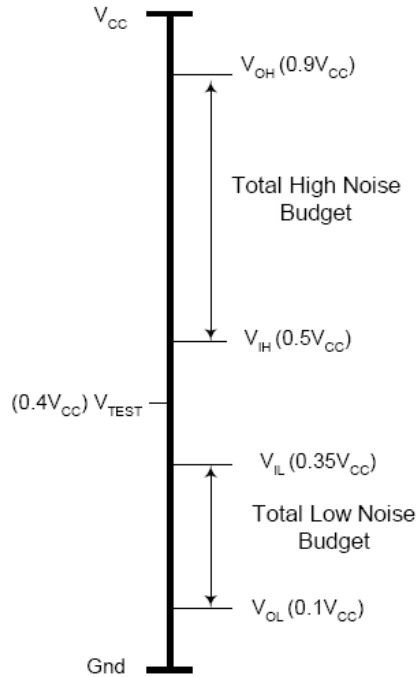


图 7.19 PCI-X 噪声容限

表 7.41 PCI-X 系统的噪声容限

Noise Source	Responsibility	High Noise Budget	Low Noise Budget
--------------	----------------	-------------------	------------------

Reflective Noise	Platform	0.30Vcc	0.15Vcc
Crosstalk	Platform	0.05Vcc	0.05Vcc
Input Reference Offset	Device	0.05Vcc	0.05Vcc
Total		0.4Vcc	0.25Vcc

7.5.6 PCI-X 的系统时序裕量

PCI-X 系统时序裕量与 66MHz 的 PCI 2.2 规范类似，具体的时序裕量见表 7.42 和表 7.43。

表 7.42 建立时间预算

Parameter	PCI-X 33 MHz	Conventional PCI 33 MHz (ref)	Units
Tval (max)	6	11	ns
Tprop (max)	5	10	ns
Tskew (max)	1	2	ns
Tsu (min)	3	7	ns
Tcyc	15	30	ns

表 7.43 保持时间预算

Parameter	PCI-X 33MHz	Conventional PCI 33 MHz (ref)	Units
Tval (min)	0.7	2	ns
Tprop (min)	0.3	0	ns
Tskew (max)	0.5	2	ns
Th (min)	0.5	0	ns

7.6 LPC 总线和其它引脚

7.6.1 LPC 总线

LPC 总线规范的直流和交流特性与 PCI V2.3 的规范类似，其信号推荐的上拉电阻见下表：

表 7.44 推荐的上拉电阻值

Signal Name	Pull-Up
LAD[3:0]	15k -100k ohm

7.6.2 EJTAG

表 7.45 EJTAG 的交流时序特性

Parameter	Symbol	Min.	Max.	Unit
EJTAG external clock frequency of operation	fJTG	0	33.3	MHz
EJTAG external clock cycle time	TJTG	30	-	ns
EJTAG external clock pulse width measured at 1.4 V	tJTKHKL	15	-	ns

EJTAG external clock rise and fall	times	tJTGR& tJTGF	0	2	ns
TRST assert time		tTRST	25	-	ns
Input setup times	Boundary-scan data TMS, TDI	tJTDVKH	4	-	ns
		tJTIVKH	0	-	
Input hold times	Boundary-scan data TMS, TDI	tJTDXKH	20	-	ns
		tJTIXKH	25	-	
Valid times	Boundary-scan data TDO	tJTKLDV	4	20	ns
		tJTKLOV	4	25	
Output hold times	Boundary-scan data TDO	tJTKLDX	-	-	ns
		tJTKLOX	-	-	
EJTAG external clock to output high	impedance: Boundary-scan data TDO	tJTKLDZ	3	19	ns
		tJTKLOZ	3	9	

7.7 参考时钟

7.7.1 HyperTransport 的时钟

表 7.46 发送端时钟的不确定性

Symbol	Description	400 Mb/s	600 Mb/s	800 Mb/s	1000 Mb/s	1200 Mb/s	1600 Mb/s	Unit
TPLLdc	2% duty cycle variation between opposing edges over 1 bit time	100	67	50	40	33	25	ps
TPLLjtr	Uncertainty in subsequent internal transmit clocks due to PLL variation between any 2 edges including that contributed by reference clock SSC techniques.	150	67	50	20	17	13	ps
TPLLError	edges due PLL accumulated phase error (≤ 20 ps/ns over 1 bit time) in the internal transmit clock Uncertainty in subsequent CADOUT	50	33	25	20	17	13	ps
TPLLsup	Uncertainty in subsequent internal transmit clocks due to temporal PLL power supply modulation (50 ps/ns)	125	83	63	50	42	31	ps
Tclkskew	Uncertainty in the CLKOUT relative to CADOUT caused by load variations between the 90 degree phase shifted clock relative to the 0 degree clock	20	20	20	10	10	10	ps

7.7.2 DDR2 内存的时钟

表 7.47 输入时钟抖动参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Clock period jitter	tJIT(per)	-125	125	-100	100	ps
Clock period jitter during DLL locking period	tJIT(per,lck)	-100	100	-80	80	ps
Cycle to cycle clock period jitter	tJIT(cc)	-250	250	-200	200	ps
Cycle to cycle clock period jitter during DLL locking period	tJIT(cc,lck)	-200	200	-160	160	ps
Cumulative error across 2 cycles	tERR(2per)	-175	175	-150	150	ps
Cumulative error across 3 cycles	tERR(3per)	-225	225	-175	175	ps
Cumulative error across 4 cycles	tERR(4per)	-250	250	-200	200	ps
Cumulative error across 5 cycles	tERR(5per)	-250	250	-200	200	ps
Cumulative error across n cycles, n = 6 ... 10, inclusive	tERR(6-10per)	-350	350	-300	300	ps
Cumulative error across n cycles, n = 11 ... 50, inclusive	tERR(11-50per)	-450	450	-450	450	ps
Duty cycle jitter	tJIT(duty)	- 125	125	-100	100	ps

7.7.3 PCI-X 时钟

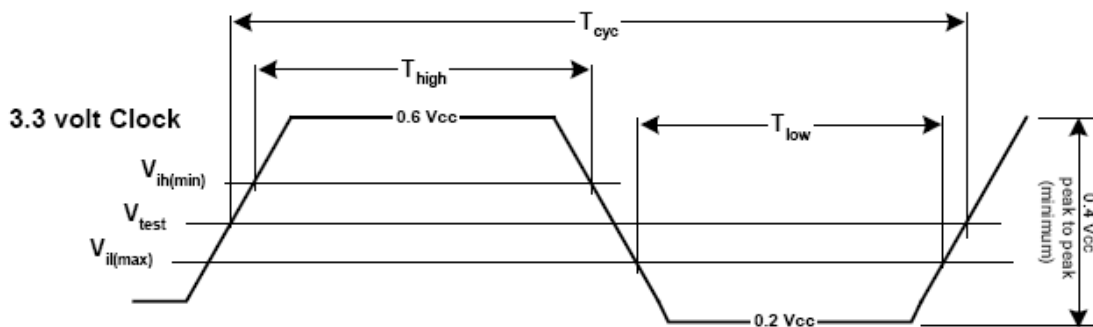


图 7.20 3.3V PCI-X 时钟波形

表 7.48 PCI-X 时钟参数

Sym	Parameter	PCI-X 133		PCI-X 66		Conv. PCI 66 (ref)		Conv. PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Tcyc	CLK Cycle Time	7.5	20	15	20	15	30	30	∞	ns
Thigh	CLK High Time	3		6		6		11		ns
Tlow	CLK Low Time	3		6		6		11		ns
-	CLK Slew Rate	1.5	4	1.5	4	1.5	4	1	4	V/ns
Spread Spectrum Requirements										
fmod	Modulation frequency	30	33	30	33	30	33			kHz
fspectrum	frequency spread	-1	0	-1	0	-1	0			%

7.8 电源

7.8.1 电源工作条件

表 7.49 推荐的工作电源电压

Parameter	Description	Power Voltage			Max Current
		Min.	Typ.	Max.	
VDD	Chip core voltage	1.10V	1.15V	1.20V	12.8A
VDDE3V3	Chip IO voltage	3.135V	3.3V	3.465V	0.1 A
MEM_VDD_0/1	DDR2 ch0/1 core voltage	1.10V	1.15V	1.20V	0.1 A
MEM_VDDE_0/1	DDR2 ch0/1 IO voltage	1.7V	1.8V	1.9V	1 A
	DDR3 ch0/1 IO voltage	1.4V	1.5V	1.6V	
MEM_VREF_0/1	DDR2 ch0/1 reference voltage	0.882V	0.9V	0.918V	0.01 A
	DDR3 ch0/1 reference voltage	0.7V	0.75V	0.8V	
HT_VDD	HT core voltage	1.14V	1.2V	1.26V	0.3 A
HT_VDDE	HT IO voltage	1.7V	1.8V	1.9V	0.9 A
VDDESB	HT Side band voltage, can be config by PCICFG bit	1.7V	1.8V	1.9V	0.1 A
		2.4V	2.5V	2.6V	
		3.135V	3.3V	3.465V	
CORE_PLL_AVDD	Core PLL analog voltage	2.4V	2.5V	2.6V	0.05 A
CORE_PLL_DVDD	Core PLL digital voltage	1.1V	1.2V	1.3V	0.05 A
DDR_PLL_AVDD	DDR2 PLL analog voltage	2.4V	2.5V	2.6V	0.05 A
DDR_PLL_DVDD	DDR2 PLL digital voltage	1.1V	1.2V	1.3V	0.05 A
HT0/1_PLL_AVDD	HT0/1 PLL analog voltage	1.7V	1.8V	1.9V	0.05 A
HT0/1_PLL_DVDD	HT0/1 PLL digital voltage	1.1V	1.2V	1.3V	0.05 A

8 热特性

8.1 热参数

表 8.1 龙芯 3A1000 的热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	20 Watts
T_A	25 °C
T_J	125 °C

表 8.2 龙芯 3A1000 的热阻参数

Heat sink	V_{air} (m/s)	θ_{JA} (°C/W)	ψ_{JT} (°C/W)	θ_{JC} (°C/W)
w/o	0	8.1	0.18	0.31
	1	6.2	0.18	-
	2	5.3	0.18	-
w/	0	3.5	0.24	-
	1	1.9	0.26	-
	2	1.4	0.27-	-

8.2 焊接温度

表 8.3 无铅工艺的封装回流最大温度表

Package Thickness	Volume mm ³ < 350	Volume mm ³ 350 - 2000	Volume mm ³ > 2000
< 1.6 mm	260 °C *	260 °C *	260 °C *
1.6 mm - 2.5 mm	260 °C *	250 °C *	245 °C *
> 2.5 mm	250 °C *	245 °C *	245 °C *

* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

表 8.4 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3°C/second max.
Preheat	Temperature Min (T _{smin})	150 °C
	Temperature Max (T _{smax})	200 °C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 °C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245°C
Time within 5°C of actual Peak Temperature (tp) ²		20-40 seconds
Ramp-down Rate		6 °C/second max.
Time 25°C to Peak Temperature		8 minutes max.

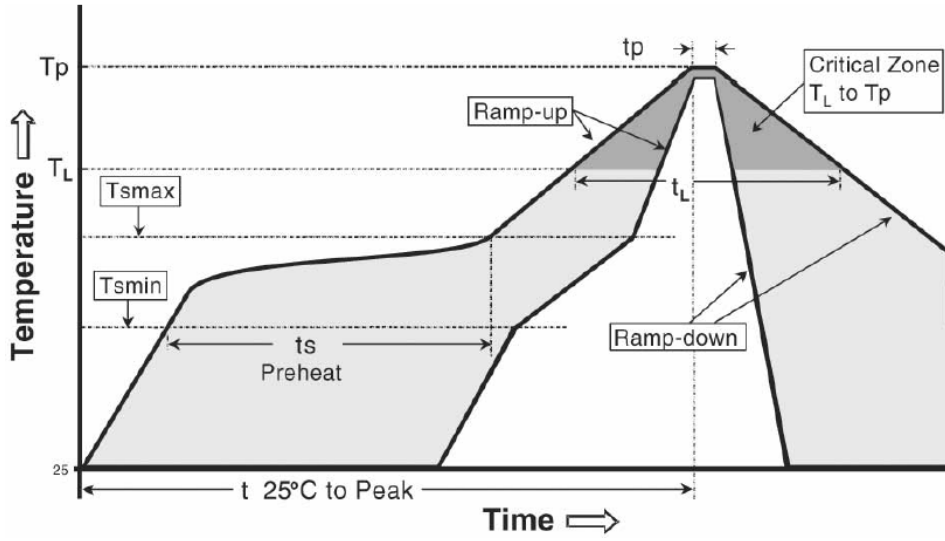


图 8.1 焊接回流曲线

9 引脚排列和封装

9.1 按引脚排列的封装引脚

表 9.1 按引脚排列的封装引脚表

Pin	Name	Pin	Name	Pin	Name
A1	HT1_TX_CADn07	A36	HT_VDDE	B32	HT_VDDE
A2	HT1_TX_CTLp0	A37	HT0_TX_CTLn0	B33	HT0CLKn
A3	HT1_TX_CTLn0	A38	HT0_TX_CTLp0	B34	HT0_TX_CTLn1
A4	HT_VDDE	A39	HT0_TX_CADn07	B35	HT0_TX_CADp15
A5	HT1_PLL_REF	B1	HT1_TX_CADp07	B36	HT0_TX_CADn15
A6	HT1_TX_CTLp1	B2	HT_VDDE	B37	HT_VDDE
A7	HT1CLKp	B3	HT_VDDE	B38	HT_VDDE
A8	HT1_RX_CTLn0	B4	HT1_TX_CADn15	B39	HT0_TX_CADp07
A9	HT1_RX_CTLp0	B5	HT1_TX_CADp15	C1	HT1_TX_CADn05
A10	HT1_RX_CADn06	B6	HT1_TX_CTLn1	C2	HT1_TX_CADp06
A11	HT1_RX_CADp06	B7	HT1CLKn	C3	HT1_TX_CADn06
A12	HT1_RX_CADn04	B8	HT_VDDE	C4	HT_GNDE
A13	HT1_RX_CADp04	B9	HT1_RX_CADn07	C5	HT_GNDE
A14	HT1_RX_CADn03	B10	HT_VDDE	C6	HT1_TX_CADn14
A15	HT1_RX_CADp03	B11	HT1_RX_CADn05	C7	HT1_PLL_AVDD
A16	HT1_RX_CADn01	B12	HT_VDDE	C8	HT_VDDE
A17	HT1_RX_CADp01	B13	HT1_RX_CLKn0	C9	HT1_RX_CADp07
A18	HT1_LO_RSTn	B14	HT_VDDE	C10	HT_VDDE
A19	HT1_LO_POWEROK	B15	HT1_RX_CADn02	C11	HT1_RX_CADp05
A20	SYSCLK	B16	HT_VDDE	C12	HT_VDDE
A21	HT0_LO_POWEROK	B17	HT1_RX_CADn00	C13	HT1_RX_CLKp0
A22	HT0_LO_RSTn	B18	HT1_LO_LDT_STOPn	C14	HT_VDDE
A23	HT0_RX_CADp01	B19	HT1_LO_LDT_REQn	C15	HT1_RX_CADp02
A24	HT0_RX_CADn01	B20	SYSRESETn	C16	HT_VDDE
A25	HT0_RX_CADp03	B21	HT0_LO_LDT_REQn	C17	HT1_RX_CADp00
A26	HT0_RX_CADn03	B22	HT0_LO_LDT_STOPn	C18	HT1_8x2
A27	HT0_RX_CADp04	B23	HT0_RX_CADn00	C19	CORE_PLL_AVDD
A28	HT0_RX_CADn04	B24	HT_VDDE	C20	CORE_PLL_GND
A29	HT0_RX_CADp06	B25	HT0_RX_CADn02	C21	CORE_PLL_DVDD
A30	HT0_RX_CADn06	B26	HT_VDDE	C22	HT0_8x2
A31	HT0_RX_CTLp0	B27	HT0_RX_CLKn0	C23	HT0_RX_CADp00
A32	HT0_RX_CTLn0	B28	HT_VDDE	C24	HT_VDDE
A33	HT0CLKp	B29	HT0_RX_CADn05	C25	HT0_RX_CADp02
A34	HT0_TX_CTLp1	B30	HT_VDDE	C26	HT_VDDE
A35	HT0_PLL_REF	B31	HT0_RX_CADn07	C27	HT0_RX_CLKp0

表 9.2 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
C28	HT_VDDE	D24	HT0_RX_CADp09	E20	VDDESB
C29	HT0_RX_CADp05	D25	HT_GNDE	E21	HT0_HI_LDT_STOPn
C30	HT_VDDE	D26	HT0_RX_CADp11	E22	HT0_HI_LDT_REQn
C31	HT0_RX_CADp07	D27	HT_GNDE	E23	HT_GNDE
C32	HT_VDDE	D28	HT0_RX_CADp12	E24	HT0_RX_CADn09
C33	HT0_PLL_AVDD	D29	HT_GNDE	E25	HT_GNDE
C34	HT0_TX_CADn14	D30	HT0_RX_CADp14	E26	HT0_RX_CADn11
C35	HT_GNDE	D31	HT_GNDE	E27	HT_GNDE
C36	HT_GNDE	D32	HT0_RX_CTLp1	E28	HT0_RX_CADn12
C37	HT0_TX_CADn06	D33	HT0_PLL_AGND	E29	HT_GNDE
C38	HT0_TX_CADp06	D34	HT0_TX_CADp14	E30	HT0_RX_CADn14
C39	HT0_TX_CADn05	D35	HT0_TX_CADp13	E31	HT_GNDE
D1	HT1_TX_CADp05	D36	HT0_TX_CADn13	E32	HT0_RX_CTLn1
D2	HT_GNDE	D37	HT_GNDE	E33	HT0_PLL_DVDD
D3	HT_GNDE	D38	HT_GNDE	E34	HT0_TX_CADn12
D4	HT1_TX_CADn13	D39	HT0_TX_CADp05	E35	HT_VDDE
D5	HT1_TX_CADp13	E1	HT1_TX_CLKn0	E36	HT_VDDE
D6	HT1_TX_CADp14	E2	HT1_TX_CADp04	E37	HT0_TX_CADn04
D7	HT1_PLL_AGND	E3	HT1_TX_CADn04	E38	HT0_TX_CADp04
D8	HT1_RX_CTLp1	E4	HT_VDDE	E39	HT0_TX_CLKn0
D9	HT_GNDE	E5	HT_VDDE	F1	HT1_TX_CLKp0
D10	HT1_RX_CADp14	E6	HT1_TX_CADn12	F2	HT_VDDE
D11	HT_GNDE	E7	HT1_PLL_DVDD	F3	HT_VDDE
D12	HT1_RX_CADp12	E8	HT1_RX_CTLn1	F4	HT1_TX_CLKn1
D13	HT_GNDE	E9	HT_GNDE	F5	HT1_TX_CLKp1
D14	HT1_RX_CADp11	E10	HT1_RX_CADn14	F6	HT1_TX_CADp12
D15	HT_GNDE	E11	HT_GNDE	F7	HT1_PLL_DGND
D16	HT1_RX_CADp09	E12	HT1_RX_CADn12	F8	HT1_RX_CADn15
D17	HT_GNDE	E13	HT_GNDE	F9	HT1_RX_CADp15
D18	HT1_HI_RSTn	E14	HT1_RX_CADn11	F10	HT1_RX_CADn13
D19	HT1_HI_POWEROK	E15	HT_GNDE	F11	HT1_RX_CADp13
D20	CORE_PLL_GNDE	E16	HT1_RX_CADn09	F12	HT1_RX_CLKp1
D21	HT0_HI_POWEROK	E17	HT_GNDE	F13	HT1_RX_CLKn1
D22	HT0_HI_RSTn	E18	HT1_HI_LDT_REQn	F14	HT1_RX_CADn10
D23	HT_GNDE	E19	HT1_HI_LDT_STOPn	F15	HT1_RX_CADp10

表 9.3 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
F16	HT1_RX_CADn08	G12	HT_VDD	H33	HT_GND
F17	HT1_RX_CADp08	G13	HT_VDD	H34	HT0_TX_CADp11
F18	HT1_HI_HOSTMODE	G14	HT_GND	H35	HT0_TX_CADp10
F19	HT1_LO_HOSTMODE	G15	HT_GND	H36	HT0_TX_CADn10
F20	GNDE	G16	HT_VDD	H37	HT_GNDE
F21	HT0_LO_HOSTMODE	G17	GNDE	H38	HT_GNDE
F22	HT0_HI_HOSTMODE	G18	VDDESB	H39	HT0_TX_CADp02
F23	HT0_RX_CADp08	G19	GNDE	J1	HT1_TX_CADn00
F24	HT0_RX_CADn08	G20	VDDESB	J2	HT1_TX_CADp01
F25	HT0_RX_CADp10	G21	GNDE	J3	HT1_TX_CADn01
F26	HT0_RX_CADn10	G22	VDDESB	J4	HT_VDDE
F27	HT0_RX_CLKn1	G23	GNDE	J5	HT_VDDE
F28	HT0_RX_CLKp1	G24	HT_VDD	J6	HT1_TX_CADn09
F29	HT0_RX_CADp13	G25	HT_GND	J7	HT_VDD
F30	HT0_RX_CADn13	G26	HT_GND	J33	HT_VDD
F31	HT0_RX_CADp15	G27	HT_VDD	J34	HT0_TX_CADn09
F32	HT0_RX_CADn15	G28	HT_VDD	J35	HT_VDDE
F33	HT0_PLL_DGND	G29	HT_GND	J36	HT_VDDE
F34	HT0_TX_CADp12	G30	HT_GND	J37	HT0_TX_CADn01
F35	HT0_TX_CLKp1	G31	HT_VDD	J38	HT0_TX_CADp01
F36	HT0_TX_CLKn1	G32	HT_VDD	J39	HT0_TX_CADn00
F37	HT_VDDE	G33	HT_GND	K1	HT1_TX_CADp00
F38	HT_VDDE	G34	HT0_TX_CADn11	K2	HT_VDDE
F39	HT0_TX_CLKp0	G35	HT_GNDE	K3	HT_VDDE
G1	HT1_TX_CADn02	G36	HT_GNDE	K4	HT1_TX_CADn08
G2	HT1_TX_CADp03	G37	HT0_TX_CADn03	K5	HT1_TX_CADp08
G3	HT1_TX_CADn03	G38	HT0_TX_CADp03	K6	HT1_TX_CADp09
G4	HT_GNDE	G39	HT0_TX_CADn02	K7	HT_VDD
G5	HT_GNDE	H1	HT1_TX_CADp02	K33	HT_VDD
G6	HT1_TX_CADn11	H2	HT_GNDE	K34	HT0_TX_CADp09
G7	HT_GND	H3	HT_GNDE	K35	HT0_TX_CADp08
G8	HT_VDD	H4	HT1_TX_CADn10	K36	HT0_TX_CADn08
G9	HT_VDD	H5	HT1_TX_CADp10	K37	HT_VDDE
G10	HT_GND	H6	HT1_TX_CADp11	K38	HT_VDDE
G11	HT_GND	H7	HT_GND	K39	HT0_TX_CADp00

表 9.4 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name	Pin	Name
L1	UART0_RI	N13	GND	P19	VDD	R25	GND
L2	UART1_DCD	N14	VDD	P20	GND	R26	VDD
L3	PCI_CONFIG7	N15	GND	P21	VDD	R27	GND
L4	PCI_CONFIG6	N16	VDD	P22	GND	R33	GNDE
L5	PCI_CONFIG5	N17	GND	P23	VDD	R34	GPIO15
L6	VDDE3V3	N18	VDD	P24	GND	R35	GPIO12
L7	GNDE	N19	GND	P25	VDD	R36	GPIO14
L33	GNDE	N20	VDD	P26	GND	R37	GPIO13
L34	VDDE3V3	N21	GND	P27	VDD	R38	GPIO10
L35	INTN1	N22	VDD	P33	VDDE3V3	R39	GPIO11
L36	NMIN	N23	GND	P34	EJTAG_TDO	T1	CLKSEL11
L37	INTN0	N24	VDD	P35	TCK	T2	CLKSEL08
L38	SPI_SDO	N25	GND	P36	EJTAG_TCK	T3	CLKSEL14
L39	HTCLK	N26	VDD	P37	EJTAG_TMS	T4	CLKSEL10
M1	UART1_RTS	N27	GND	P38	EJTAG_TDI	T5	CLKSEL13
M2	UART0_DTR	N33	GNDE	P39	EJTAG_TRST	T6	NODE_ID1
M3	UART0_RXD	N34	VDDE3V3	R1	NODE_ID0	T7	GNDE
M4	PCI_CONFIG0	N35	SPL_SCK	R2	UART1_RI	T13	VDD
M5	PCI_CONFIG3	N36	TDO	R3	CLKSEL15	T14	GND
M6	GNDE	N37	TESTCLK	R4	ICCC_EN	T15	VDD
M7	VDDE3V3	N38	TDI	R5	UART1_TXD	T16	GND
M33	VDDE3V3	N39	TRST	R6	UART1_CTS	T17	VDD
M34	GNDE	P1	UART1_RXD	R7	GNDE	T18	GND
M35	INTN3	P2	UART1_DSR	R13	GND	T19	VDD
M36	INTN2	P3	UART0_RTS	R14	VDD	T20	GND
M37	SPI_SDI	P4	UART0_DSR	R15	GND	T21	VDD
M38	DOTEST	P5	UART0_DCD	R16	VDD	T22	GND
M39	TMS	P6	UART0_TXD	R17	GND	T23	VDD
N1	UART1_DTR	P7	VDDE3V3	R18	VDD	T24	GND
N2	UART0_CTS	P13	VDD	R19	GND	T25	VDD
N3	PCI_CONFIG2	P14	GND	R20	VDD	T26	GND
N4	PCI_CONFIG1	P15	VDD	R21	GND	T27	VDD
N5	PCI_CONFIG4	P16	GND	R22	VDD	T33	VDDE3V3
N6	VDDE3V3	P17	VDD	R23	GND	T34	GNDE
N7	GNDE	P18	GND	R24	VDD	T35	GPIO07

表 9.5 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name	Pin	Name
T36	GPIO09	V3	CLKSEL04	W14	VDD	Y20	GND
T37	GPIO08	V4	CLKSEL00	W15	GND	Y21	VDD
T38	GPIO05	V5	CLKSEL03	W16	VDD	Y22	GND
T39	GPIO06	V6	GND	W17	GND	Y23	VDD
U1	CLKSEL07	V7	GND	W18	VDD	Y24	GND
U2	CLKSEL06	V13	VDD	W19	GND	Y25	VDD
U3	CLKSEL09	V14	GND	W20	VDD	Y26	GND
U4	CLKSEL05	V15	VDD	W21	GND	Y27	VDD
U5	CLKSEL12	V16	GND	W22	VDD	Y33	GNDE
U6	VDD	V17	VDD	W23	GND	Y34	MC0_DDR2_DQ04
U7	VDD	V18	GND	W24	VDD	Y35	MC0_DDR2_DQ05
U13	GND	V19	VDD	W25	GND	Y36	MEM_GNDE_0
U14	VDD	V20	GND	W26	VDD	Y37	MC0_DDR2_DQM0
U15	GND	V21	VDD	W27	GND	Y38	MC0_DDR2_DQ00
U16	VDD	V22	GND	W33	GNDE	Y39	MC0_DDR2_DQ01
U17	GND	V23	VDD	W34	VDDE3V3	AA1	MC1_DDR2_DQSp0
U18	VDD	V24	GND	W35	GNDE	AA2	MC1_DDR2_DQSn0
U19	GND	V25	VDD	W36	GNDE	AA3	MC1_DDR2_DQ06
U20	VDD	V26	GND	W37	LPC_ROM8MBITS	AA4	MC1_DDR2_DQ03
U21	GND	V27	VDD	W38	LPC_ROMINTEL	AA5	MEM_VDDE_1
U22	VDD	V33	VDDE3V3	W39	LPC_LFRAMEN	AA6	MC1_DDR2_DQ07
U23	GND	V34	GNDE	Y1	MC1_DDR2_DQ01	AA7	MC1_DDR2_DQ02
U24	VDD	V35	LPC_LAD1	Y2	MC1_DDR2_DQ00	AA13	GND
U25	GND	V36	LPC_LAD3	Y3	MC1_DDR2_DQM0	AA14	VDD
U26	VDD	V37	LPC_LAD2	Y4	MEM_GNDE_1	AA15	GND
U27	GND	V38	LPC_LAD0	Y5	MC1_DDR2_DQ05	AA16	VDD
U33	GNDE	V39	LPC_SERIRQ	Y6	MC1_DDR2_DQ04	AA17	GND
U34	VDDE3V3	W1	GND	Y7	GND	AA18	VDD
U35	GPIO02	W2	VDD	Y13	VDD	AA19	GND
U36	GPIO03	W3	GND	Y14	GND	AA20	VDD
U37	GPIO04	W4	VDD	Y15	VDD	AA21	GND
U38	GPIO00	W5	GND	Y16	GND	AA22	VDD
U39	GPIO01	W6	VDD	Y17	VDD	AA23	GND
V1	CLKSEL02	W7	VDD	Y18	GND	AA24	VDD
V2	CLKSEL01	W13	GND	Y19	VDD	AA25	GND

表 9.6 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
AA26	VDD	AB37	MC0_DDR2_DQ09	AD4	MC1_DDR2_DQ15
AA27	GND	AB38	MC0_DDR2_DQ13	AD5	MC1_DDR2_DQ11
AA33	MC0_DDR2_DQ02	AB39	MC0_DDR2_DQM1	AD6	MC1_DDR2_DQ20
AA34	MC0_DDR2_DQ07	AC1	MC1_DDR2_DQSn1	AD7	MEM_GND_1
AA35	MEM_VDDE_0	AC2	MC1_DDR2_DQSp1	AD13	VDD
AA36	MC0_DDR2_DQ03	AC3	MEM_VDDE_1	AD14	GND
AA37	MC0_DDR2_DQ06	AC4	MC1_DDR2_CLKp1	AD15	VDD
AA38	MC0_DDR2_DQSn0	AC5	MC1_DDR2_CLKn1	AD16	GND
AA39	MC0_DDR2_DQSp0	AC6	MC1_DDR2_DQ14	AD17	VDD
AB1	MC1_DDR2_DQM1	AC7	MC1_DDR2_DQ10	AD18	GND
AB2	MC1_DDR2_DQ13	AC13	GND	AD19	VDD
AB3	MC1_DDR2_DQ09	AC14	VDD	AD20	GND
AB4	MEM_GNDE_1	AC15	GND	AD21	VDD
AB5	MC1_DDR2_DQ08	AC16	VDD	AD22	GND
AB6	MC1_DDR2_DQ12	AC17	GND	AD23	VDD
AB7	MEM_VDD_1	AC18	VDD	AD24	GND
AB13	VDD	AC19	GND	AD25	VDD
AB14	GND	AC20	VDD	AD26	GND
AB15	VDD	AC21	GND	AD27	VDD
AB16	GND	AC22	VDD	AD33	MEM_GND_0
AB17	VDD	AC23	GND	AD34	MC0_DDR2_DQ20
AB18	GND	AC24	VDD	AD35	MC0_DDR2_DQ11
AB19	VDD	AC25	GND	AD36	MC0_DDR2_DQ15
AB20	GND	AC26	VDD	AD37	MEM_GNDE_0
AB21	VDD	AC27	GND	AD38	MC0_DDR2_CLKn0
AB22	GND	AC33	MC0_DDR2_DQ10	AD39	MC0_DDR2_CLKp0
AB23	VDD	AC34	MC0_DDR2_DQ14	AE1	MC1_DDR2_DQSn2
AB24	GND	AC35	MC0_DDR2_CLKn1	AE2	MC1_DDR2_DQSp2
AB25	VDD	AC36	MC0_DDR2_CLKp1	AE3	MC1_DDR2_DQM2
AB26	GND	AC37	MEM_VDDE_0	AE4	MEM_VDDE_1
AB27	VDD	AC38	MC0_DDR2_DQSp1	AE5	MC1_DDR2_DQ17
AB33	MEM_VDD_0	AC39	MC0_DDR2_DQSn1	AE6	MC1_DDR2_DQ21
AB34	MC0_DDR2_DQ12	AD1	MC1_DDR2_CLKp0	AE7	MC1_DDR2_DQ16
AB35	MC0_DDR2_DQ08	AD2	MC1_DDR2_CLKn0	AE13	GND
AB36	MEM_GNDE_0	AD3	MEM_GNDE_1	AE14	VDD

表 9.7 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
AE15	GND	AF21	VDD	AG27	GND
AE16	VDD	AF22	GND	AG33	MEM_GND_0
AE17	GND	AF23	VDD	AG34	MC0_DDR2_DQ24
AE18	VDD	AF24	GND	AG35	MC0_DDR2_DQ29
AE19	GND	AF25	VDD	AG36	MEM_VDDE_0
AE20	VDD	AF26	GND	AG37	MC0_DDR2_DQ25
AE21	GND	AF27	VDD	AG38	MC0_DDR2_DQSp3
AE22	VDD	AF33	MEM_VDD_0	AG39	MC0_DDR2_DQSn3
AE23	GND	AF34	MC0_DDR2_DQ22	AH1	MC1_DDR2_DQ27
AE24	VDD	AF35	MEM_GNDE_0	AH2	MC1_DDR2_DQ31
AE25	GND	AF36	MC0_DDR2_DQ18	AH3	MEM_GNDE_1
AE26	VDD	AF37	MC0_DDR2_DQ28	AH4	MC1_DDR2_DQM3
AE27	GND	AF38	MC0_DDR2_DQ19	AH5	MC1_DDR2_DQ26
AE33	MC0_DDR2_DQ16	AF39	MC0_DDR2_DQ23	AH6	MC1_DDR2_DQ30
AE34	MC0_DDR2_DQ21	AG1	MC1_DDR2_DQSn3	AH7	MEM_VDD_1
AE35	MC0_DDR2_DQ17	AG2	MC1_DDR2_DQSp3	AH33	MEM_VDD_0
AE36	MEM_VDDE_0	AG3	MC1_DDR2_DQ25	AH34	MC0_DDR2_DQ30
AE37	MC0_DDR2_DQM2	AG4	MEM_VDDE_1	AH35	MC0_DDR2_DQ26
AE38	MC0_DDR2_DQSp2	AG5	MC1_DDR2_DQ29	AH36	MC0_DDR2_DQM3
AE39	MC0_DDR2_DQSn2	AG6	MC1_DDR2_DQ24	AH37	MEM_GNDE_0
AF1	MC1_DDR2_DQ23	AG7	MEM_GND_1	AH38	MC0_DDR2_DQ31
AF2	MC1_DDR2_DQ19	AG13	GND	AH39	MC0_DDR2_DQ27
AF3	MC1_DDR2_DQ28	AG14	VDD	AJ1	MC1_DDR2_DQM8
AF4	MC1_DDR2_DQ18	AG15	GND	AJ2	MC1_DDR2_CB1
AF5	MEM_GNDE_1	AG16	VDD	AJ3	MC1_DDR2_CB0
AF6	MC1_DDR2_DQ22	AG17	GND	AJ4	MC1_DDR2_CB5
AF7	MEM_VDD_1	AG18	VDD	AJ5	MEM_VDDE_1
AF13	VDD	AG19	GND	AJ6	MC1_DDR2_CB4
AF14	GND	AG20	VDD	AJ7	MEM_GND_1
AF15	VDD	AG21	GND	AJ33	MEM_GND_0
AF16	GND	AG22	VDD	AJ34	MC0_DDR2_CB4
AF17	VDD	AG23	GND	AJ35	MEM_VDDE_0
AF18	GND	AG24	VDD	AJ36	MC0_DDR2_CB5
AF19	VDD	AG25	GND	AJ37	MC0_DDR2_CB0
AF20	GND	AG26	VDD	AJ38	MC0_DDR2_CB1

表 9.8 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
AJ39	MC0_DDR2_DQM8	AM7	MC1_COMP_REF_GND	AN28	MEM_VREF_0
AK1	MC1_DDR2_DQSn8	AM33	MC0_COMP_REF_GND	AN29	MEM_GND_0
AK2	MC1_DDR2_DQSp8	AM34	MC0_DDR2_RESETh	AN30	MEM_VDD_0
AK3	MC1_DDR2_CB3	AM35	MC0_DDR2_A14	AN31	MC0_DDR2_DQ52
AK4	MC1_DDR2_CB2	AM36	MC0_DDR2_A12	AN32	MC0_DDR2_DQ46
AK5	MC1_DDR2_CB7	AM37	MEM_GNDE_0	AN33	MC0_COMP_REF_RES
AK6	MEM_GNDE_1	AM38	MC0_DDR2_A11	AN34	MC0_DDR2_A08
AK7	MC1_DDR2_CB6	AM39	MC0_DDR2_A09	AN35	MC0_DDR2_A07
AK33	MC0_DDR2_CB6	AN1	MC1_DDR2_A04	AN36	MEM_VDDE_0
AK34	MEM_GNDE_0	AN2	MC1_DDR2_A06	AN37	MC0_DDR2_A05
AK35	MC0_DDR2_CB7	AN3	MC1_DDR2_A05	AN38	MC0_DDR2_A06
AK36	MC0_DDR2_CB2	AN4	MEM_VDDE_1	AN39	MC0_DDR2_A04
AK37	MC0_DDR2_CB3	AN5	MC1_DDR2_A07	AP1	MC1_DDR2_A00
AK38	MC0_DDR2_DQSp8	AN6	MC1_DDR2_A08	AP2	MC1_DDR2_CLKn3
AK39	MC0_DDR2_DQSn8	AN7	MC1_COMP_REF_RES	AP3	MC1_DDR2_CLKp3
AL1	MC1_DDR2_CKE2	AN8	MC1_DDR2_DQ46	AP4	MC1_DDR2_A01
AL2	MC1_DDR2_BA2	AN9	MC1_DDR2_DQ52	AP5	MC1_DDR2_A02
AL3	MC1_DDR2_CKE0	AN10	MEM_VDD_1	AP6	MC1_DDR2_A03
AL4	MEM_VDDE_1	AN11	MEM_GND_1	AP7	MEM_GND_1
AL5	MC1_DDR2_CKE1	AN12	MEM_VREF_1	AP8	MC1_DDR2_DQ42
AL6	MC1_DDR2_CKE3	AN13	MEM_VREF_1	AP9	MC1_DDR2_DQ48
AL7	MEM_VDD_1	AN14	PCI_IRQnD	AP10	MC1_DDR2_DQM6
AL33	MEM_VDD_0	AN15	GNDE	AP11	MC1_DDR2_DQ54
AL34	MC0_DDR2_CKE3	AN16	GNDE	AP12	MC1_DDR2_DQ58
AL35	MC0_DDR2_CKE1	AN17	GNDE	AP13	MC1_DDR2_DQ63
AL36	MEM_VDDE_0	AN18	GNDE	AP14	PCI_IRQnB
AL37	MC0_DDR2_CKE0	AN19	GNDE	AP15	PCI_GNTn2
AL38	MC0_DDR2_BA2	AN20	GNDE	AP16	PCI_REQn5
AL39	MC0_DDR2_CKE2	AN21	GNDE	AP17	PCI_GNTn5
AM1	MC1_DDR2_A09	AN22	GNDE	AP18	PCI_CBEh3
AM2	MC1_DDR2_A11	AN23	GNDE	AP19	VDDE3V3
AM3	MEM_GNDE_1	AN24	PCI_GNTn6	AP20	PCI_FRAMEh
AM4	MC1_DDR2_A12	AN25	GNDE	AP21	VDDE3V3
AM5	MC1_DDR2_A14	AN26	GNDE	AP22	PCI_AD14
AM6	MC1_DDR2_RESETh	AN27	MEM_VREF_0	AP23	VDDE3V3

表 9.9 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
AP24	PCI_CBE _n 0	AR20	PCI_IRDY _n	AT16	VDDE3V3
AP25	PCI_REQ _n 6	AR21	PCI_PERR _n	AT17	PCI_AD27
AP26	PCI_IDSEL	AR22	PCI_AD13	AT18	VDDE3V3
AP27	MC0_DDR2_DQ63	AR23	PCI_AD09	AT19	PCI_AD18
AP28	MC0_DDR2_DQ58	AR24	PCI_AD07	AT20	VDDE3V3
AP29	MC0_DDR2_DQ54	AR25	PCI_AD05	AT21	PCI_SERR _n
AP30	MC0_DDR2_DQM6	AR26	PCI_AD03	AT22	VDDE3V3
AP31	MC0_DDR2_DQ48	AR27	MC0_DDR2_DQ59	AT23	PCI_AD08
AP32	MC0_DDR2_DQ42	AR28	MC0_DDR2_DQ56	AT24	VDDE3V3
AP33	MEM_GND_0	AR29	MC0_DDR2_DQ50	AT25	PCI_AD04
AP34	MC0_DDR2_A03	AR30	MEM_VDDE_0	AT26	VDDE3V3
AP35	MC0_DDR2_A02	AR31	MC0_DDR2_DQ53	AT27	MEM_GNDE_0
AP36	MC0_DDR2_A01	AR32	MC0_DDR2_DQ47	AT28	MEM_VDDE_0
AP37	MC0_DDR2_CLK _p 3	AR33	MC0_DDR2_DQ44	AT29	MC0_DDR2_DQ55
AP38	MC0_DDR2_CLK _n 3	AR34	MC0_DDR2_A10	AT30	MC0_DDR2_DQSn6
AP39	MC0_DDR2_A00	AR35	MC0_DDR2_BA1	AT31	MC0_DDR2_DQ49
AR1	MC1_DDR2_CLK _n 2	AR36	MC0_DDR2_BA0	AT32	MEM_VDDE_0
AR2	MC1_DDR2_CLK _p 2	AR37	MC0_DDR2_RAS _n	AT33	MC0_DDR2_DQ40
AR3	MC1_DDR2_RAS _n	AR38	MC0_DDR2_CLK _p 2	AT34	MC0_DDR2_ODT2
AR4	MC1_DDR2_BA0	AR39	MC0_DDR2_CLK _n 2	AT35	MC0_DDR2_ODT0
AR5	MC1_DDR2_BA1	AT1	MC1_DDR2_SCS _n 0	AT36	MC0_DDR2_CAS _n
AR6	MC1_DDR2_A10	AT2	MC1_DDR2_WEn	AT37	MC0_DDR2_SCS _n 2
AR7	MC1_DDR2_DQ44	AT3	MC1_DDR2_SCS _n 2	AT38	MC0_DDR2_WEn
AR8	MC1_DDR2_DQ47	AT4	MC1_DDR2_CAS _n	AT39	MC0_DDR2_SCS _n 0
AR9	MC1_DDR2_DQ53	AT5	MC1_DDR2_ODT0	AU1	MC1_DDR2_SCS _n 3
AR10	MEM_VDDE_1	AT6	MC1_DDR2_ODT2	AU2	MC1_DDR2_SCS _n 1
AR11	MC1_DDR2_DQ50	AT7	MC1_DDR2_DQ40	AU3	MEM_GNDE_1
AR12	MC1_DDR2_DQ56	AT8	MEM_VDDE_1	AU4	MC1_DDR2_A13
AR13	MC1_DDR2_DQ59	AT9	MC1_DDR2_DQ49	AU5	MC1_DDR2_ODT1
AR14	PCI_RESET _n	AT10	MC1_DDR2_DQSn6	AU6	MC1_DDR2_ODT3
AR15	PCI_REQ _n 2	AT11	MC1_DDR2_DQ55	AU7	MC1_DDR2_DQ45
AR16	PCI_GNT _n 4	AT12	MEM_VDDE_1	AU8	MC1_DDR2_DQSn5
AR17	PCI_AD28	AT13	MEM_GNDE_1	AU9	MEM_GNDE_1
AR18	PCI_AD23	AT14	VDDE3V3	AU10	MC1_DDR2_DQSp6
AR19	PCI_AD19	AT15	PCI_GNT _n 1	AU11	MEM_GNDE_1

表 9.10 按引脚排列的封装引脚表（续表）

Pin	Name	Pin	Name	Pin	Name
AU12	MC1_DDR2_DQ61	AV9	MC1_DDR2_CLKn4	AW5	MC1_DDR2_DQ34
AU13	MC1_DDR2_DQSn7	AV10	MC1_DDR2_CLKp5	AW6	MC1_DDR2_DQ35
AU14	PCI_IRQnA	AV11	MC1_DDR2_DQ51	AW7	MC1_DDR2_DQM5
AU15	PCI_REQn1	AV12	MC1_DDR2_DQ57	AW8	MC1_DDR2_DQ43
AU16	PCI_REQn4	AV13	MC1_DDR2_DQSp7	AW9	MC1_DDR2_CLKp4
AU17	PCI_AD30	AV14	PCI_IRQnC	AW10	MC1_DDR2_CLKn5
AU18	PCI_AD26	AV15	PCI_GNTn0	AW11	MC1_DDR2_DQ60
AU19	PCI_AD22	AV16	PCI_GNTn3	AW12	MC1_DDR2_DQM7
AU20	PCI_AD17	AV17	PCI_AD31	AW13	MC1_DDR2_DQ62
AU21	PCI_TRDYn	AV18	PCI_AD25	AW14	PCI_CLK
AU22	PCI_PAR	AV19	PCI_AD21	AW15	PCI_REQn0
AU23	PCI_AD11	AV20	PCI_AD16	AW16	PCI_REQn3
AU24	DDR_PLL_GND	AV21	PCI_DEVSELn	AW17	PCI_AD29
AU25	PCI_AD06	AV22	PCI_AD15	AW18	PCI_AD24
AU26	PCI_AD00	AV23	PCI_AD12	AW19	PCI_AD20
AU27	MC0_DDR2_DQSn7	AV24	DDR_PLL_DVDD	AW20	PCI_CBE2n
AU28	MC0_DDR2_DQ61	AV25	DDR_PLL_GNDE	AW21	PCI_STOPn
AU29	MEM_GNDE_0	AV26	PCI_AD02	AW22	PCI_CBE1n
AU30	MC0_DDR2_DQSp6	AV27	MC0_DDR2_DQSp7	AW23	PCI_AD10
AU31	MEM_GNDE_0	AV28	MC0_DDR2_DQ57	AW24	MEMCLK
AU32	MC0_DDR2_DQSn5	AV29	MC0_DDR2_DQ51	AW25	DDR_PLL_AVDD
AU33	MC0_DDR2_DQ45	AV30	MC0_DDR2_CLKp5	AW26	PCI_AD01
AU34	MC0_DDR2_ODT3	AV31	MC0_DDR2_CLKn4	AW27	MC0_DDR2_DQ62
AU35	MC0_DDR2_ODT1	AV32	MC0_DDR2_DQSp5	AW28	MC0_DDR2_DQM7
AU36	MC0_DDR2_A13	AV33	MC0_DDR2_DQ41	AW29	MC0_DDR2_DQ60
AU37	MEM_GNDE_0	AV34	MC0_DDR2_DQ36	AW30	MC0_DDR2_CLKn5
AU38	MC0_DDR2_SCSn1	AV35	MC0_DDR2_DQ32	AW31	MC0_DDR2_CLKp4
AU39	MC0_DDR2_SCSn3	AV36	MEM_VDDE_0	AW32	MC0_DDR2_DQ43
AV1	MC1_DDR2_DQ33	AV37	MC0_DDR2_DQ37	AW33	MC0_DDR2_DQM5
AV2	MC1_DDR2_DQM4	AV38	MC0_DDR2_DQM4	AW34	MC0_DDR2_DQ35
AV3	MC1_DDR2_DQ37	AV39	MC0_DDR2_DQ33	AW35	MC0_DDR2_DQ34
AV4	MEM_VDDE_1	AW1	MC1_DDR2_DQSn4	AW36	MC0_DDR2_DQ39
AV5	MC1_DDR2_DQ32	AW2	MC1_DDR2_DQSp4	AW37	MC0_DDR2_DQ38
AV6	MC1_DDR2_DQ36	AW3	MC1_DDR2_DQ38	AW38	MC0_DDR2_DQSp4
AV7	MC1_DDR2_DQ41	AW4	MC1_DDR2_DQ39	AW39	MC0_DDR2_DQSn4
AV8	MC1_DDR2_DQSp5				

9.2 FCBGA 引脚顶层排列

	1	2	3	4	5	6	7	8
A	HT1_TX_CADn07	HT1_TX_CTLp0	HT1_TX_CTLn0	HT_VDDE	HT1_PLL_REF	HT1_TX_CTLp1	HT1CLKp	HT1_RX_CTLn0
B	HT1_TX_CADp07	HT_VDDE	HT_VDDE	HT1_TX_CADn15	HT1_TX_CADp15	HT1_TX_CTLn1	HT1CLKn	HT_VDDE
C	HT1_TX_CADn05	HT1_TX_CADp06	HT1_TX_CADn06	HT_GNDE	HT_GNDE	HT1_TX_CADn14	HT1_PLL_AVDD	HT_VDDE
D	HT1_TX_CADp05	HT_GNDE	HT_GNDE	HT1_TX_CADn13	HT1_TX_CADp13	HT1_TX_CADp14	HT1_PLL_AGND	HT1_RX_CTLp1
E	HT1_TX_CLKn0	HT1_TX_CADp04	HT1_TX_CADn04	HT_VDDE	HT_VDDE	HT1_TX_CADn12	HT1_PLL_DVDD	HT1_RX_CTLn1
F	HT1_TX_CLKp0	HT_VDDE	HT_VDDE	HT1_TX_CLKn1	HT1_TX_CLKp1	HT1_TX_CADp12	HT1_PLL_DGND	HT1_RX_CADn15
G	HT1_TX_CADn02	HT1_TX_CADp03	HT1_TX_CADn03	HT_GNDE	HT_GNDE	HT1_TX_CADn11	HT_GND	HT_VDD
H	HT1_TX_CADp02	HT_GNDE	HT_GNDE	HT1_TX_CADn10	HT1_TX_CADp10	HT1_TX_CADp11	HT_GND	
J	HT1_TX_CADn00	HT1_TX_CADp01	HT1_TX_CADn01	HT_VDDE	HT_VDDE	HT1_TX_CADn09	HT_VDD	
K	HT1_TX_CADp00	HT_VDDE	HT_VDDE	HT1_TX_CADn08	HT1_TX_CADp08	HT1_TX_CADp09	HT_VDD	
L	UART0_RI	UART1_DCD	PCI_CONFIG7	PCI_CONFIG6	PCI_CONFIG5	VDDE3V3	GNDE	
M	UART1_RTS	UART0_DTR	UART0_RXD	PCI_CONFIG0	PCI_CONFIG3	GNDE	VDDE3V3	
N	UART1_DTR	UART0_CTS	PCI_CONFIG2	PCI_CONFIG1	PCI_CONFIG4	VDDE3V3	GNDE	
P	UART1_RXD	UART1_DSR	UART0_RTS	UART0_DSR	UART0_DCD	UART0_TXD	VDDE3V3	
R	NODE_ID0	UART1_RI	CLKSEL15	ICCC_EN	UART1_TXD	UART1_CTS	GNDE	
T	CLKSEL11	CLKSEL08	CLKSEL14	CLKSEL10	CLKSEL13	NODE_ID1	GNDE	
U	CLKSEL07	CLKSEL06	CLKSEL09	CLKSEL05	CLKSEL12	VDD	VDD	
V	CLKSEL02	CLKSEL01	CLKSEL04	CLKSEL00	CLKSEL03	GND	GND	
W	GND	VDD	GND	VDD	GND	VDD	VDD	
Y	MC1_DDR2_DQ01	MC1_DDR2_DQ00	MC1_DDR2_DQM0	MEM_GNDE_1	MC1_DDR2_DQ05	MC1_DDR2_DQ04	GND	
AA	MC1_DDR2_DQSp0	MC1_DDR2_DQSn0	MC1_DDR2_DQ06	MC1_DDR2_DQ03	MEM_VDDE_1	MC1_DDR2_DQ07	MC1_DDR2_DQ02	
AB	MC1_DDR2_DQM1	MC1_DDR2_DQ13	MC1_DDR2_DQ09	MEM_GNDE_1	MC1_DDR2_DQ08	MC1_DDR2_DQ12	MEM_VDD_1	
AC	MC1_DDR2_DQSn1	MC1_DDR2_DQSp1	MEM_VDDE_1	MC1_DDR2_CLKp1	MC1_DDR2_CLKn1	MC1_DDR2_DQ14	MC1_DDR2_DQ10	
AD	MC1_DDR2_CLKp0	MC1_DDR2_CLKn0	MEM_GNDE_1	MC1_DDR2_DQ15	MC1_DDR2_DQ11	MC1_DDR2_DQ20	MEM_GND_1	
AE	MC1_DDR2_DQSn2	MC1_DDR2_DQSp2	MC1_DDR2_DQM2	MEM_VDDE_1	MC1_DDR2_DQ17	MC1_DDR2_DQ21	MC1_DDR2_DQ16	
AF	MC1_DDR2_DQ23	MC1_DDR2_DQ19	MC1_DDR2_DQ28	MC1_DDR2_DQ18	MEM_GNDE_1	MC1_DDR2_DQ22	MEM_VDD_1	
AG	MC1_DDR2_DQSn3	MC1_DDR2_DQSp3	MC1_DDR2_DQ25	MEM_VDDE_1	MC1_DDR2_DQ29	MC1_DDR2_DQ24	MEM_GND_1	
AH	MC1_DDR2_DQ27	MC1_DDR2_DQ31	MEM_GNDE_1	MC1_DDR2_DQM3	MC1_DDR2_DQ26	MC1_DDR2_DQ30	MEM_VDD_1	
AJ	MC1_DDR2_DQM8	MC1_DDR2_CB1	MC1_DDR2_CB0	MC1_DDR2_CB5	MEM_VDDE_1	MC1_DDR2_CB4	MEM_GND_1	
AK	MC1_DDR2_DQSn8	MC1_DDR2_DQSp8	MC1_DDR2_CB3	MC1_DDR2_CB2	MC1_DDR2_CB7	MEM_GNDE_1	MC1_DDR2_CB6	
AL	MC1_DDR2_CKE2	MC1_DDR2_BA2	MC1_DDR2_CKE0	MEM_VDDE_1	MC1_DDR2_CKE1	MC1_DDR2_CKE3	MEM_VDD_1	
AM	MC1_DDR2_A09	MC1_DDR2_A11	MEM_GNDE_1	MC1_DDR2_A12	MC1_DDR2_A14	MC1_DDR2_RESETn	MC1_COMP_REF_GND	
AN	MC1_DDR2_A04	MC1_DDR2_A06	MC1_DDR2_A05	MEM_VDDE_1	MC1_DDR2_A07	MC1_DDR2_A08	MC1_COMP_REF_RES	MC1_DDR2_DQ46
AP	MC1_DDR2_A00	MC1_DDR2_CLKn3	MC1_DDR2_CLKp3	MC1_DDR2_A01	MC1_DDR2_A02	MC1_DDR2_A03	MEM_GND_1	MC1_DDR2_DQ42
AR	MC1_DDR2_CLKn2	MC1_DDR2_CLKp2	MC1_DDR2_RASn	MC1_DDR2_BA0	MC1_DDR2_BA1	MC1_DDR2_A10	MC1_DDR2_DQ44	MC1_DDR2_DQ47
AT	MC1_DDR2_SCSn0	MC1_DDR2_WEn	MC1_DDR2_SCSn2	MC1_DDR2_CASn	MC1_DDR2_ODT0	MC1_DDR2_ODT2	MC1_DDR2_DQ40	MEM_VDDE_1
AU	MC1_DDR2_SCSn3	MC1_DDR2_SCSn1	MEM_GNDE_1	MC1_DDR2_A13	MC1_DDR2_ODT1	MC1_DDR2_ODT3	MC1_DDR2_DQ45	MC1_DDR2_DQSn5
AV	MC1_DDR2_DQ33	MC1_DDR2_DQM4	MC1_DDR2_DQ37	MEM_VDDE_1	MC1_DDR2_DQ32	MC1_DDR2_DQ36	MC1_DDR2_DQ41	MC1_DDR2_DQSp5
AW	MC1_DDR2_DQSn4	MC1_DDR2_DQSp4	MC1_DDR2_DQ38	MC1_DDR2_DQ39	MC1_DDR2_DQ34	MC1_DDR2_DQ35	MC1_DDR2_DQM5	MC1_DDR2_DQ43
	1	2	3	4	5	6	7	8

图 9.1 顶层引脚排列（左侧）

9	10	11	12	13	14	15	16																																																																																
HT1_RX_CTLp0	HT1_RX_CADn06	HT1_RX_CADp06	HT1_RX_CADn04	HT1_RX_CADp04	HT1_RX_CADn03	HT1_RX_CADp03	HT1_RX_CADn01																																																																																
HT1_RX_CADn07	HT_VDDE	HT1_RX_CADn05	HT_VDDE	HT1_RX_CLKn0	HT_VDDE	HT1_RX_CADn02	HT_VDDE																																																																																
HT1_RX_CADp07	HT_VDDE	HT1_RX_CADp05	HT_VDDE	HT1_RX_CLKp0	HT_VDDE	HT1_RX_CADp02	HT_VDDE																																																																																
HT_GNDE	HT1_RX_CADp14	HT_GNDE	HT1_RX_CADp12	HT_GNDE	HT1_RX_CADp11	HT_GNDE	HT1_RX_CADp09																																																																																
HT_GNDE	HT1_RX_CADn14	HT_GNDE	HT1_RX_CADn12	HT_GNDE	HT1_RX_CADn11	HT_GNDE	HT1_RX_CADn09																																																																																
HT1_RX_CADp15	HT1_RX_CADn13	HT1_RX_CADp13	HT1_RX_CLKp1	HT1_RX_CLKn1	HT1_RX_CADn10	HT1_RX_CADp10	HT1_RX_CADn08																																																																																
HT_VDD	HT_GND	HT_GND	HT_VDD	HT_VDD	HT_GND	HT_GND	HT_VDD																																																																																
<table border="1"> <thead> <tr> <th></th> <th>13</th> <th>14</th> <th>15</th> <th>16</th> </tr> </thead> <tbody> <tr><td>N</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>P</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>R</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>T</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>U</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>V</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>W</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>Y</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>AA</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>AB</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>AC</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>AD</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>AE</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>AF</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>AG</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> </tbody> </table>									13	14	15	16	N	GND	VDD	GND	VDD	P	VDD	GND	VDD	GND	R	GND	VDD	GND	VDD	T	VDD	GND	VDD	GND	U	GND	VDD	GND	VDD	V	VDD	GND	VDD	GND	W	GND	VDD	GND	VDD	Y	VDD	GND	VDD	GND	AA	GND	VDD	GND	VDD	AB	VDD	GND	VDD	GND	AC	GND	VDD	GND	VDD	AD	VDD	GND	VDD	GND	AE	GND	VDD	GND	VDD	AF	VDD	GND	VDD	GND	AG	GND	VDD	GND	VDD
	13	14	15	16																																																																																			
N	GND	VDD	GND	VDD																																																																																			
P	VDD	GND	VDD	GND																																																																																			
R	GND	VDD	GND	VDD																																																																																			
T	VDD	GND	VDD	GND																																																																																			
U	GND	VDD	GND	VDD																																																																																			
V	VDD	GND	VDD	GND																																																																																			
W	GND	VDD	GND	VDD																																																																																			
Y	VDD	GND	VDD	GND																																																																																			
AA	GND	VDD	GND	VDD																																																																																			
AB	VDD	GND	VDD	GND																																																																																			
AC	GND	VDD	GND	VDD																																																																																			
AD	VDD	GND	VDD	GND																																																																																			
AE	GND	VDD	GND	VDD																																																																																			
AF	VDD	GND	VDD	GND																																																																																			
AG	GND	VDD	GND	VDD																																																																																			
MC1_DDR2_DQ52	MEM_VDD_1	MEM_GND_1	MEM_VREF_1	MEM_VREF_1	PCI_IRQnD	GNDE	GNDE																																																																																
MC1_DDR2_DQ48	MC1_DDR2_DQM6	MC1_DDR2_DQ54	MC1_DDR2_DQ58	MC1_DDR2_DQ63	PCI_IRQnB	PCI_GNTn2	PCI_REQn5																																																																																
MC1_DDR2_DQ53	MEM_VDDE_1	MC1_DDR2_DQ50	MC1_DDR2_DQ56	MC1_DDR2_DQ59	PCI_RESETn	PCI_REQn2	PCI_GNTn4																																																																																
MC1_DDR2_DQ49	MC1_DDR2_DQSn6	MC1_DDR2_DQ55	MEM_VDDE_1	MEM_GNDE_1	VDDE3V3	PCI_GNTn1	VDDE3V3																																																																																
MEM_GNDE_1	MC1_DDR2_DQSp6	MEM_GNDE_1	MC1_DDR2_DQ61	MC1_DDR2_DQSn7	PCI_IRQnA	PCI_REQn1	PCI_REQn4																																																																																
MC1_DDR2_CLKn4	MC1_DDR2_CLKp5	MC1_DDR2_DQ51	MC1_DDR2_DQ57	MC1_DDR2_DQSp7	PCI_IRQnC	PCI_GNTn0	PCI_GNTn3																																																																																
MC1_DDR2_CLKp4	MC1_DDR2_CLKKn5	MC1_DDR2_DQ60	MC1_DDR2_DQM7	MC1_DDR2_DQ62	PCI_CLK	PCI_REQn0	PCI_REQn3																																																																																

9 10 11 12 13 14 15 16

图 9.2 顶层引脚排列（中间 1）

17	18	19	20	21	22	23	24																																																																																																																																																
HT1_RX_CADp01	HT1_LO_RSTn	HT1_LO_POWEROK	SYSCLK	HTO_LO_POWEROK	HTO_LO_RSTn	HTO_RX_CADp01	HTO_RX_CADn01																																																																																																																																																
HT1_RX_CADn00	HT1_LO_LDT_STOPn	HT1_LO_LDT_REQn	SYSRESEnTn	HTO_LO_LDT_REQn	HTO_LO_LDT_STOPn	HTO_RX_CADn00	HT_VDDE																																																																																																																																																
HT1_RX_CADp00	HT1_8x2	CORE_PLL_AVDD	CORE_PLL_GND	CORE_PLL_DVDD	HTO_8x2	HTO_RX_CADp00	HT_VDDE																																																																																																																																																
HT_GNDE	HT1_HI_RSTn	HT1_HI_POWEROK	CORE_PLL_GNDE	HTO_HI_POWEROK	HTO_HI_RSTn	HT_GNDE	HTO_RX_CADp09																																																																																																																																																
HT_GNDE	HT1_HI_LDT_REQn	HT1_HI_LDT_STOPn	VDDESB	HTO_HI_LDT_STOPn	HTO_HI_LDT_REQn	HT_GNDE	HTO_RX_CADn09																																																																																																																																																
HT1_RX_CADp08	HT1_HI_HOSTMODE	HT1_LO_HOSTMODE	GNDE	HTO_LO_HOSTMODE	HTO_HI_HOSTMODE	HTO_RX_CADp08	HTO_RX_CADn08																																																																																																																																																
GNDE	VDDESB	GNDE	VDDESB	GNDE	VDDESB	GNDE	HT_VDD																																																																																																																																																
<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>17</th><th>18</th><th>19</th><th>20</th><th>21</th><th>22</th><th>23</th><th>24</th></tr> </thead> <tbody> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td><td>GND</td><td>VDD</td></tr> </tbody> </table>								17	18	19	20	21	22	23	24	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD	VDD	GND	VDD	GND	VDD	GND	VDD	GND	GND	VDD	GND	VDD	GND	VDD	GND	VDD
17	18	19	20	21	22	23	24																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
VDD	GND	VDD	GND	VDD	GND	VDD	GND																																																																																																																																																
GND	VDD	GND	VDD	GND	VDD	GND	VDD																																																																																																																																																
<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>17</th><th>18</th><th>19</th><th>20</th><th>21</th><th>22</th><th>23</th><th>24</th></tr> </thead> <tbody> <tr> <td>GNDE</td><td>GNDE</td><td>GNDE</td><td>GNDE</td><td>GNDE</td><td>GNDE</td><td>GNDE</td><td>PCI_GNTn6</td></tr> <tr> <td>PCI_GNTn5</td><td>PCI_CBEEn3</td><td>VDD3V3</td><td>PCI_FRAMEn</td><td>VDD3V3</td><td>PCI_AD14</td><td>VDD3V3</td><td>PCI_CBEEn0</td></tr> <tr> <td>PCI_AD28</td><td>PCI_AD23</td><td>PCI_AD19</td><td>PCI_IRDYn</td><td>PCI_PERRn</td><td>PCI_AD13</td><td>PCI_AD09</td><td>PCI_AD07</td></tr> <tr> <td>PCI_AD27</td><td>VDD3V3</td><td>PCI_AD18</td><td>VDD3V3</td><td>PCI_SERRn</td><td>VDD3V3</td><td>PCI_AD08</td><td>VDD3V3</td></tr> <tr> <td>PCI_AD30</td><td>PCI_AD26</td><td>PCI_AD22</td><td>PCI_AD17</td><td>PCI_TRDYn</td><td>PCI_PAR</td><td>PCI_AD11</td><td>DDR_PLL_GND</td></tr> <tr> <td>PCI_AD31</td><td>PCI_AD25</td><td>PCI_AD21</td><td>PCI_AD16</td><td>PCI_DEVSELn</td><td>PCI_AD15</td><td>PCI_AD12</td><td>DDR_PLL_DVDD</td></tr> <tr> <td>PCI_AD29</td><td>PCI_AD24</td><td>PCI_AD20</td><td>PCI_CBEEn2</td><td>PCI_STOPn</td><td>PCI_CBEEn1</td><td>PCI_AD10</td><td>MEMCLK</td></tr> </tbody> </table>								17	18	19	20	21	22	23	24	GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	PCI_GNTn6	PCI_GNTn5	PCI_CBEEn3	VDD3V3	PCI_FRAMEn	VDD3V3	PCI_AD14	VDD3V3	PCI_CBEEn0	PCI_AD28	PCI_AD23	PCI_AD19	PCI_IRDYn	PCI_PERRn	PCI_AD13	PCI_AD09	PCI_AD07	PCI_AD27	VDD3V3	PCI_AD18	VDD3V3	PCI_SERRn	VDD3V3	PCI_AD08	VDD3V3	PCI_AD30	PCI_AD26	PCI_AD22	PCI_AD17	PCI_TRDYn	PCI_PAR	PCI_AD11	DDR_PLL_GND	PCI_AD31	PCI_AD25	PCI_AD21	PCI_AD16	PCI_DEVSELn	PCI_AD15	PCI_AD12	DDR_PLL_DVDD	PCI_AD29	PCI_AD24	PCI_AD20	PCI_CBEEn2	PCI_STOPn	PCI_CBEEn1	PCI_AD10	MEMCLK																																																																																
17	18	19	20	21	22	23	24																																																																																																																																																
GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	PCI_GNTn6																																																																																																																																																
PCI_GNTn5	PCI_CBEEn3	VDD3V3	PCI_FRAMEn	VDD3V3	PCI_AD14	VDD3V3	PCI_CBEEn0																																																																																																																																																
PCI_AD28	PCI_AD23	PCI_AD19	PCI_IRDYn	PCI_PERRn	PCI_AD13	PCI_AD09	PCI_AD07																																																																																																																																																
PCI_AD27	VDD3V3	PCI_AD18	VDD3V3	PCI_SERRn	VDD3V3	PCI_AD08	VDD3V3																																																																																																																																																
PCI_AD30	PCI_AD26	PCI_AD22	PCI_AD17	PCI_TRDYn	PCI_PAR	PCI_AD11	DDR_PLL_GND																																																																																																																																																
PCI_AD31	PCI_AD25	PCI_AD21	PCI_AD16	PCI_DEVSELn	PCI_AD15	PCI_AD12	DDR_PLL_DVDD																																																																																																																																																
PCI_AD29	PCI_AD24	PCI_AD20	PCI_CBEEn2	PCI_STOPn	PCI_CBEEn1	PCI_AD10	MEMCLK																																																																																																																																																
17	18	19	20	21	22	23	24																																																																																																																																																

图 9.3 顶层引脚排列（中间 2）

25	26	27	28	29	30	31	32																																																																
HTO_RX_CADp03	HTO_RX_CADn03	HTO_RX_CADp04	HTO_RX_CADn04	HTO_RX_CADp06	HTO_RX_CADn06	HTO_RX_CTLp0	HTO_RX_CTLn0																																																																
HTO_RX_CADn02	HT_VDDE	HTO_RX_CLKn0	HT_VDDE	HTO_RX_CADn05	HT_VDDE	HTO_RX_CADn07	HT_VDDE																																																																
HTO_RX_CADp02	HT_VDDE	HTO_RX_CLKp0	HT_VDDE	HTO_RX_CADp05	HT_VDDE	HTO_RX_CADp07	HT_VDDE																																																																
HT_GNDE	HTO_RX_CADp11	HT_GNDE	HTO_RX_CADp12	HT_GNDE	HTO_RX_CADp14	HT_GNDE	HTO_RX_CTLp1																																																																
HT_GNDE	HTO_RX_CADn11	HT_GNDE	HTO_RX_CADn12	HT_GNDE	HTO_RX_CADn14	HT_GNDE	HTO_RX_CTLn1																																																																
HTO_RX_CADp10	HTO_RX_CADn10	HTO_RX_CLKn1	HTO_RX_CLKp1	HTO_RX_CADp13	HTO_RX_CADn13	HTO_RX_CADp15	HTO_RX_CADn15																																																																
HT_GND	HT_GND	HT_VDD	HT_VDD	HT_GND	HT_GND	HT_VDD	HT_VDD																																																																
<table border="1"> <thead> <tr> <th>25</th> <th>26</th> <th>27</th> <th></th> </tr> </thead> <tbody> <tr><td>GND</td><td>VDD</td><td>GND</td><td>N</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>P</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>R</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>T</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>U</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>V</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>W</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>Y</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>AA</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>AB</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>AC</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>AD</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>AE</td></tr> <tr><td>VDD</td><td>GND</td><td>VDD</td><td>AF</td></tr> <tr><td>GND</td><td>VDD</td><td>GND</td><td>AG</td></tr> </tbody> </table>								25	26	27		GND	VDD	GND	N	VDD	GND	VDD	P	GND	VDD	GND	R	VDD	GND	VDD	T	GND	VDD	GND	U	VDD	GND	VDD	V	GND	VDD	GND	W	VDD	GND	VDD	Y	GND	VDD	GND	AA	VDD	GND	VDD	AB	GND	VDD	GND	AC	VDD	GND	VDD	AD	GND	VDD	GND	AE	VDD	GND	VDD	AF	GND	VDD	GND	AG
25	26	27																																																																					
GND	VDD	GND	N																																																																				
VDD	GND	VDD	P																																																																				
GND	VDD	GND	R																																																																				
VDD	GND	VDD	T																																																																				
GND	VDD	GND	U																																																																				
VDD	GND	VDD	V																																																																				
GND	VDD	GND	W																																																																				
VDD	GND	VDD	Y																																																																				
GND	VDD	GND	AA																																																																				
VDD	GND	VDD	AB																																																																				
GND	VDD	GND	AC																																																																				
VDD	GND	VDD	AD																																																																				
GND	VDD	GND	AE																																																																				
VDD	GND	VDD	AF																																																																				
GND	VDD	GND	AG																																																																				
<table border="1"> <thead> <tr> <th>25</th> <th>26</th> <th>27</th> <th></th> </tr> </thead> <tbody> <tr> <td>GNDE</td> <td>GNDE</td> <td>MEM_VREF_0</td> <td>MEM_VREF_0</td> </tr> <tr> <td>PCI_REQn6</td> <td>PCI_IDSEL</td> <td>MEM_GND_0</td> <td>MEM_VDD_0</td> </tr> <tr> <td>PCI_AD05</td> <td>PCI_AD03</td> <td>MEM_VDDE_0</td> <td>MEM_VDDE_0</td> </tr> <tr> <td>PCI_AD04</td> <td>VDDE3V3</td> <td>MEM_GNDE_0</td> <td>MEM_GNDE_0</td> </tr> <tr> <td>PCI_AD06</td> <td>PCI_AD00</td> <td>MEM_VDDE_0</td> <td>MEM_VDDE_0</td> </tr> <tr> <td>DDR_PLL_GNDE</td> <td>PCI_AD02</td> <td>MEM_VDDE_0</td> <td>MEM_VDDE_0</td> </tr> <tr> <td>DDR_PLL_AVDD</td> <td>PCI_AD01</td> <td>MEM_VDDE_0</td> <td>MEM_VDDE_0</td> </tr> </tbody> </table>								25	26	27		GNDE	GNDE	MEM_VREF_0	MEM_VREF_0	PCI_REQn6	PCI_IDSEL	MEM_GND_0	MEM_VDD_0	PCI_AD05	PCI_AD03	MEM_VDDE_0	MEM_VDDE_0	PCI_AD04	VDDE3V3	MEM_GNDE_0	MEM_GNDE_0	PCI_AD06	PCI_AD00	MEM_VDDE_0	MEM_VDDE_0	DDR_PLL_GNDE	PCI_AD02	MEM_VDDE_0	MEM_VDDE_0	DDR_PLL_AVDD	PCI_AD01	MEM_VDDE_0	MEM_VDDE_0																																
25	26	27																																																																					
GNDE	GNDE	MEM_VREF_0	MEM_VREF_0																																																																				
PCI_REQn6	PCI_IDSEL	MEM_GND_0	MEM_VDD_0																																																																				
PCI_AD05	PCI_AD03	MEM_VDDE_0	MEM_VDDE_0																																																																				
PCI_AD04	VDDE3V3	MEM_GNDE_0	MEM_GNDE_0																																																																				
PCI_AD06	PCI_AD00	MEM_VDDE_0	MEM_VDDE_0																																																																				
DDR_PLL_GNDE	PCI_AD02	MEM_VDDE_0	MEM_VDDE_0																																																																				
DDR_PLL_AVDD	PCI_AD01	MEM_VDDE_0	MEM_VDDE_0																																																																				
MEM_VREF_0	MEM_VREF_0	MEM_GND_0	MEM_VDD_0	MC0_DDR2_DQ52	MC0_DDR2_DQ54	MC0_DDR2_DQ56	MC0_DDR2_DQ58																																																																
PCI_REQn6	PCI_IDSEL	MC0_DDR2_DQ63	MC0_DDR2_DQ65	MC0_DDR2_DQ67	MC0_DDR2_DQ69	MC0_DDR2_DQ71	MC0_DDR2_DQ73																																																																
PCI_AD05	PCI_AD03	MC0_DDR2_DQ59	MC0_DDR2_DQ61	MC0_DDR2_DQ63	MC0_DDR2_DQ65	MC0_DDR2_DQ67	MC0_DDR2_DQ69																																																																
PCI_AD04	VDDE3V3	MEM_GNDE_0	MEM_VDDE_0	MEM_GNDE_0	MEM_VDDE_0	MEM_GNDE_0	MEM_VDDE_0																																																																
PCI_AD06	PCI_AD00	MC0_DDR2_DQSn7	MC0_DDR2_DQSn9	MC0_DDR2_DQSn11	MC0_DDR2_DQSn13	MC0_DDR2_DQSn15	MC0_DDR2_DQSn17																																																																
DDR_PLL_GNDE	PCI_AD02	MC0_DDR2_DQSp7	MC0_DDR2_DQSp9	MC0_DDR2_DQSp11	MC0_DDR2_DQSp13	MC0_DDR2_DQSp15	MC0_DDR2_DQSp17																																																																
DDR_PLL_AVDD	PCI_AD01	MC0_DDR2_DQ62	MC0_DDR2_DQ64	MC0_DDR2_DQ66	MC0_DDR2_DQ68	MC0_DDR2_DQ70	MC0_DDR2_DQ72																																																																

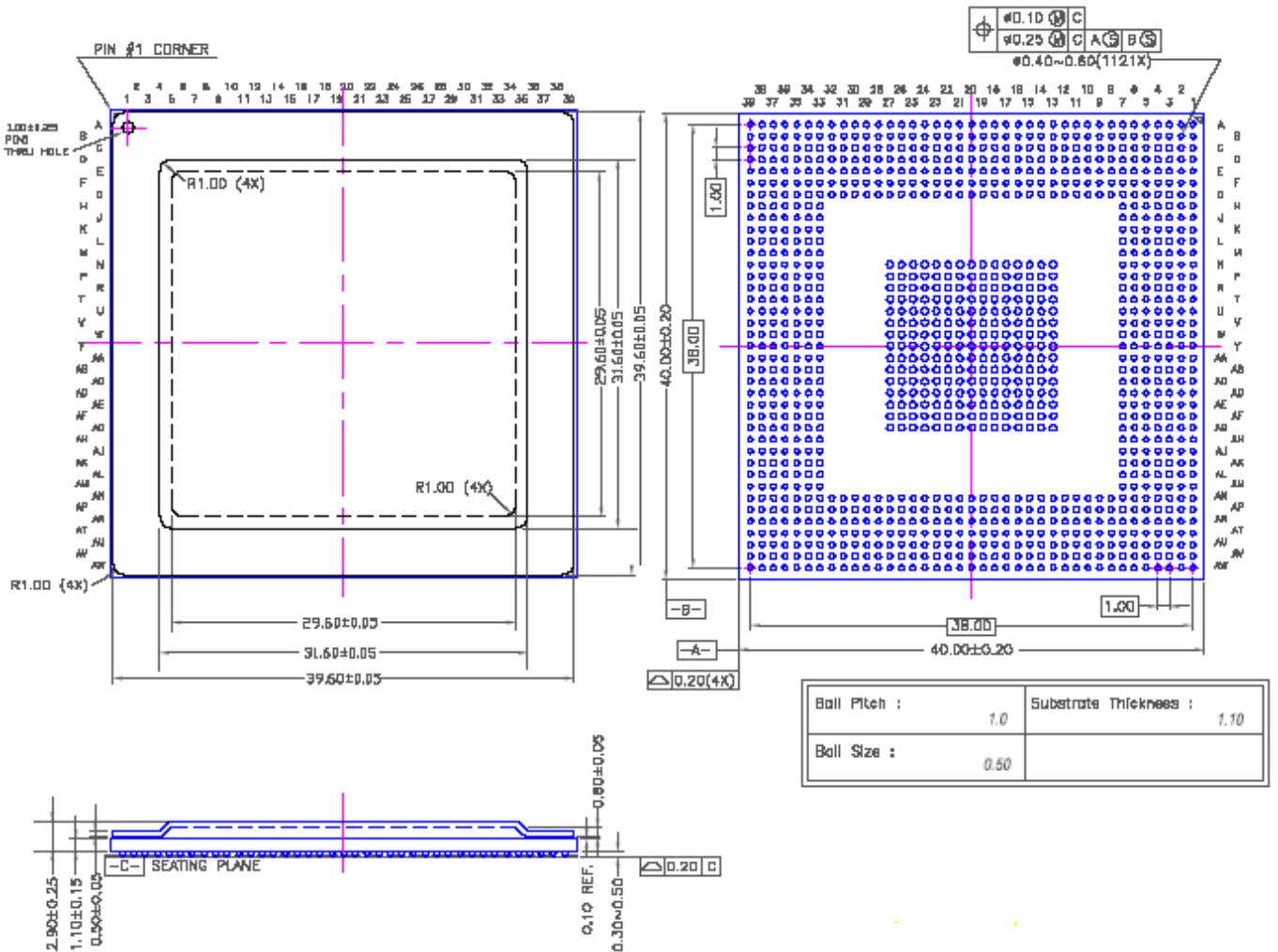
图 9.4 顶层引脚排列（中间 3）

	33	34	35	36	37	38	39	
	HTOCLKp	HTO_TX_CTL p1	HTO_PLL_ REF	HT_VDDE	HTO_TX_CTL n0	HTO_TX_CTL p0	HTO_TX_CAD n07	A
	HTOCLKn	HTO_TX_CTL n1	HTO_TX_CAD p15	HTO_TX_CAD n15	HT_VDDE	HT_VDDE	HTO_TX_CAD p07	B
	HTO_PLL_A VDD	HTO_TX_CAD n14	HT_GNDE	HT_GNDE	HTO_TX_CAD n06	HTO_TX_CAD p06	HTO_TX_CAD n05	C
	HTO_PLL_A GND	HTO_TX_CAD p14	HTO_TX_CAD p13	HTO_TX_CAD n13	HT_GNDE	HT_GNDE	HTO_TX_CAD p05	D
	HTO_PLL_D VDD	HTO_TX_CAD n12	HT_VDDE	HT_VDDE	HTO_TX_CAD n04	HTO_TX_CAD p04	HTO_TX_CLK n0	E
	HTO_PLL_D GND	HTO_TX_CAD p12	HTO_TX_CLK p1	HTO_TX_CLK n1	HT_VDDE	HT_VDDE	HTO_TX_CLK p0	F
	HT_GND	HTO_TX_CAD n11	HT_GNDE	HT_GNDE	HTO_TX_CAD n03	HTO_TX_CAD p03	HTO_TX_CAD n02	G
	HT_GND	HTO_TX_CAD p11	HTO_TX_CAD p10	HTO_TX_CAD n10	HT_GNDE	HT_GNDE	HTO_TX_CAD p02	H
	HT_VDD	HTO_TX_CAD n09	HT_VDDE	HT_VDDE	HTO_TX_CAD n01	HTO_TX_CAD p01	HTO_TX_CAD n00	J
	HT_VDD	HTO_TX_CAD p09	HTO_TX_CAD p08	HTO_TX_CAD n08	HT_VDDE	HT_VDDE	HTO_TX_CAD p00	K
	GNDE	VDDE3V3	INTN1	NMIN	INTN0	SPI_SDO	HTCLK	L
	VDDE3V3	GNDE	INTN3	INTN2	SPI_SDI	DOTEST	TMS	M
	GNDE	VDDE3V3	SPI_SCK	TDO	TESTCLK	TDI	TRST	N
	VDDE3V3	EJTAG_TDO	TCK	EJTAG_TCK	EJTAG_TMS	EJTAG_TDI	EJTAG_TRST	P
	GNDE	GPI015	GPI012	GPI014	GPI013	GPI010	GPI011	R
	VDDE3V3	GNDE	GPI007	GPI009	GPI008	GPI005	GPI006	T
	GNDE	VDDE3V3	GPI002	GPI003	GPI004	GPI000	GPI001	U
	VDDE3V3	GNDE	LPC_LAD1	LPC_LAD3	LPC_LAD2	LPC_LAD0	LPC_SERIRQ	V
	GNDE	VDDE3V3	GNDE	GNDE	LPC_ROM8MB ITS	LPC_ROMINT EL	LPC_LFRAME N	W
	GNDE	MCO_DDR2_D Q04	MCO_DDR2_D Q05	MEM_GNDE_0	MCO_DDR2_D Q00	MCO_DDR2_D Q00	MCO_DDR2_D Q01	Y
	MCO_DDR2_DQ 02	MCO_DDR2_D Q07	MEM_VDDE_0	MCO_DDR2_D Q03	MCO_DDR2_D Q06	MCO_DDR2_D QSn0	MCO_DDR2_D QSp0	A A
	MEM_VDD_0	MCO_DDR2_D Q12	MCO_DDR2_D Q08	MEM_GNDE_0	MCO_DDR2_D Q09	MCO_DDR2_D Q13	MCO_DDR2_D QM1	A B
	MCO_DDR2_DQ 10	MCO_DDR2_D Q14	MCO_DDR2_C LKn1	MCO_DDR2_C LKp1	MEM_VDDE_0	MCO_DDR2_D QSp1	MCO_DDR2_D QSn1	A C
	MEM_GND_0	MCO_DDR2_D Q20	MCO_DDR2_D Q11	MCO_DDR2_D Q15	MEM_GNDE_0	MCO_DDR2_C LKn0	MCO_DDR2_C LKp0	A D
	MCO_DDR2_DQ 16	MCO_DDR2_D Q21	MCO_DDR2_D Q17	MEM_VDDE_0	MCO_DDR2_D QM2	MCO_DDR2_D QSp2	MCO_DDR2_D QSn2	A E
	MEM_VDD_0	MCO_DDR2_D Q22	MEM_GNDE_0	MCO_DDR2_D Q18	MCO_DDR2_D Q28	MCO_DDR2_D Q19	MCO_DDR2_D Q23	A F
	MEM_GND_0	MCO_DDR2_D Q24	MCO_DDR2_D Q29	MEM_VDDE_0	MCO_DDR2_D Q25	MCO_DDR2_D QSp3	MCO_DDR2_D QSn3	A G
	MEM_VDD_0	MCO_DDR2_D Q30	MCO_DDR2_D Q26	MCO_DDR2_D QM3	MEM_GNDE_0	MCO_DDR2_D Q31	MCO_DDR2_D Q27	A H
	MEM_GND_0	MCO_DDR2_C B4	MEM_VDDE_0	MCO_DDR2_C B5	MCO_DDR2_C B0	MCO_DDR2_C B1	MCO_DDR2_D QM8	A J
	MCO_DDR2_CB 6	MEM_GNDE_0	MCO_DDR2_C B7	MCO_DDR2_C B2	MCO_DDR2_C B3	MCO_DDR2_D QSp8	MCO_DDR2_D QSn8	A K
	MEM_VDD_0	MCO_DDR2_C KE3	MCO_DDR2_C KE1	MEM_VDDE_0	MCO_DDR2_C KE0	MCO_DDR2_B A2	MCO_DDR2_C KE2	A L

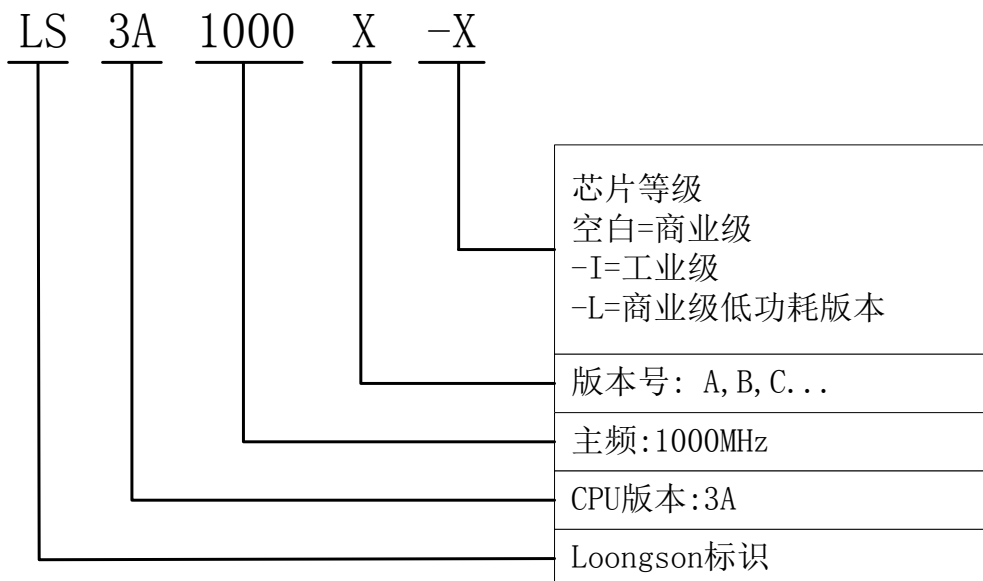
MCO_COMP_RE F_GND	MCO_DDR2_R ESETn	MCO_DDR2_A 14	MCO_DDR2_A 12	MEM_GNDE_0	MCO_DDR2_A 11	MCO_DDR2_A 09	A M
MCO_COMP_RE F_RES	MCO_DDR2_A 08	MCO_DDR2_A 07	MEM_VDDE_0	MCO_DDR2_A 05	MCO_DDR2_A 06	MCO_DDR2_A 04	A N
MEM_GND_0	MCO_DDR2_A 03	MCO_DDR2_A 02	MCO_DDR2_A 01	MCO_DDR2_C LkP3	MCO_DDR2_C LKn3	MCO_DDR2_A 00	A P
MCO_DDR2_DQ 44	MCO_DDR2_A 10	MCO_DDR2_B A1	MCO_DDR2_B A0	MCO_DDR2_R ASn	MCO_DDR2_C LKn2	MCO_DDR2_C LKn2	A R
MCO_DDR2_DQ 40	MCO_DDR2_0 DT2	MCO_DDR2_0 DT0	MCO_DDR2_C ASn	MCO_DDR2_S CSn2	MCO_DDR2_W En	MCO_DDR2_S CSn0	A T
MCO_DDR2_DQ 45	MCO_DDR2_0 DT3	MCO_DDR2_0 DT1	MCO_DDR2_A 13	MEM_GNDE_0	MCO_DDR2_S CSn1	MCO_DDR2_S CSn3	A U
MCO_DDR2_DQ 41	MCO_DDR2_D Q36	MCO_DDR2_D Q32	MEM_VDDE_0	MCO_DDR2_D Q37	MCO_DDR2_D QM4	MCO_DDR2_D Q33	A V
MCO_DDR2_DQ M5	MCO_DDR2_D Q35	MCO_DDR2_D Q34	MCO_DDR2_D Q39	MCO_DDR2_D Q38	MCO_DDR2_D QSp4	MCO_DDR2_D QSn4	A W
33	34	35	36	37	38	39	

图 9.5 顶层引脚排列（右侧）

10 封装机械尺寸



11 订货信息



AA = "VQ", Wafer manufacturer name, English alphabet.

BBB = XXX, Wafer Lot ID, Arabic number.

CCC = XXX, Wafer manufacturing line number for tracing, Arabic number.

DD = "SC", Package manufacturer name, English alphabet.

EEE = XXX, Package manufacturing line number for tracing, Arabic number.

FFF = “CHN”, Country of Origin, English alphabet.

GG = XX, Test manufacturer or test line number, English alphabet or Arabic number.

HHH = YWW, Assy year and week, e.g. Mark “103” for 2011, 3’rd week.

12 不使用引脚处理

无论相关总线使用与否，相关的电源地信号必须正确连接。

12.1 系统配置引脚

系统配置引脚包括 DOTEST、CLKSEL、ICCC_EN、NODEID、PCI_CONFIG，不可悬空，必须连接正确输入。

12.2 LPC 总线

LPC 总线在龙芯 3A1000 中是 BIOS 启动总线，无法不使用，LPC 总线依赖于 PCI_CLK，所以 PCI_CLK 必须有时钟。

12.3 PCI 总线

PCI 总线不使用时可以悬空。但是 LPC 总线依赖于 PCI_CLK，必须给时钟。

12.4 SPI/UART/GPIO 总线

SPI、UART 或 GPIO 总线不使用时可以悬空。

12.5 DDR 总线

DDR 总线不使用时可以悬空。

12.6 HyperTransport 总线

HyperTransport 总线不使用时可以悬空。

12.7 JTAG/EJTAG 总线、TESTCLK

JTAG/EJTAG 总线、TESTCLK 不使用时可以悬空。

12.8 系统中断管脚

系统中断管理包括 INTn 与 NMI_n，不使用时可以悬空。