



**AK2301BX**

**3.3V Linear PCM CODEC LSI with PLL & Voltage Detector**

**概要**

AK2301Bは、8kHzサンプリングのPCMデータをDSPなどで音声処理をするアプリケーションに適した、14ビットリニアデータ（16ビットフォーマット）でインターフェースする単チャンネルPCMコーデックです。

帯域制限フィルタ、A/D及びD/A変換の他に外付けフィルタ構成用の単体オペアンプ、内部PCMコーデック用クロック及び外付けAudioデバイス用クロック生成PLL、Voltage Detectorを内蔵し、実装スペース、実装工数及び消費電力の削減に最適です。

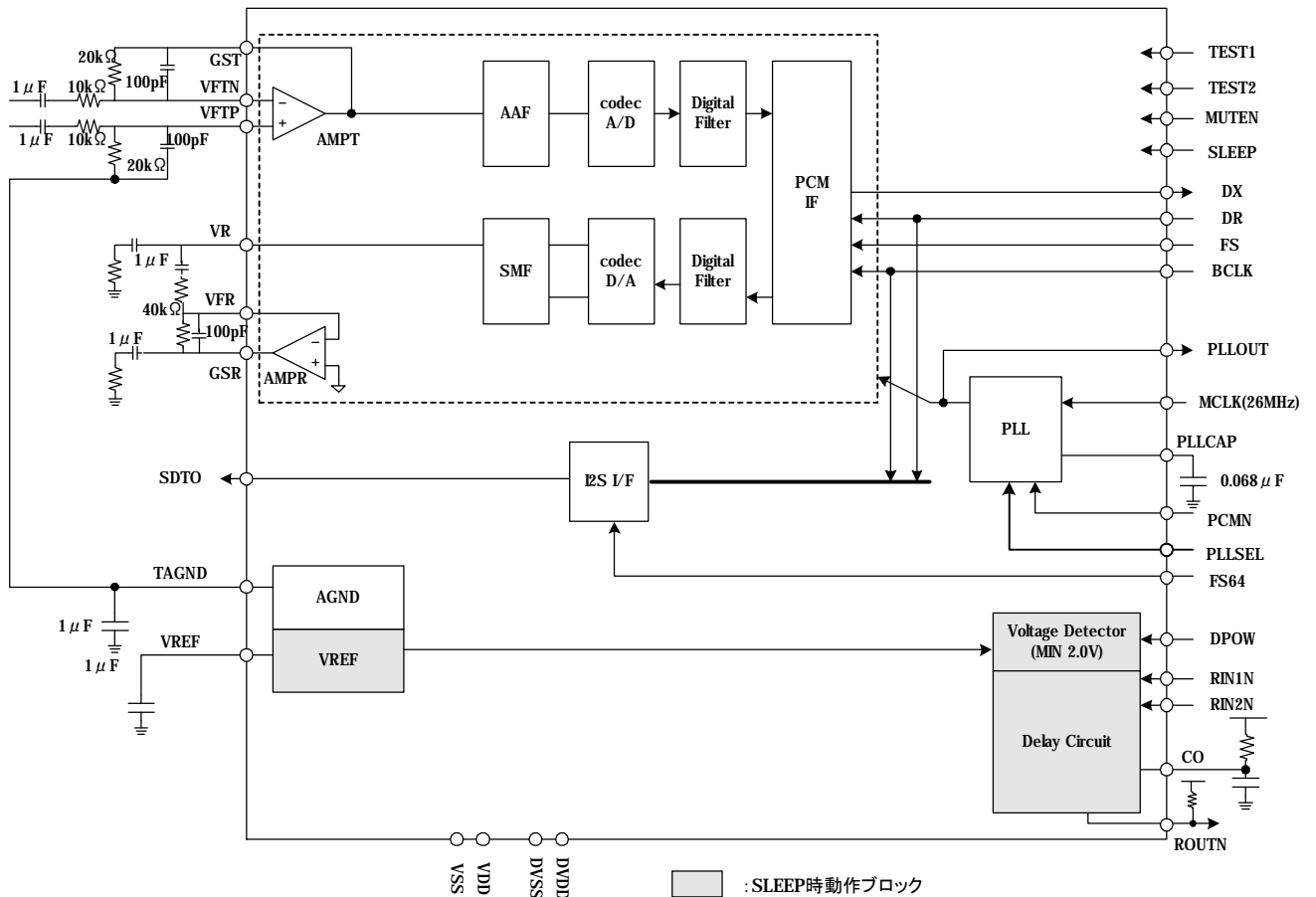
**パッケージ**

- 32ピンQFN 5.2mm\*6.2mm / 0.9mm(H)

**特長**

- 単チャンネル・PCMコーデック／フィルタ内蔵
- PCMコーデック及びオーディオ用クロック生成用PLL内蔵 (MCLK: 26MHz, PLL出力: 256KHz/512KHz/11.29MHz/12.288MHz)
- PCMインタフェース:14bitリニアデータ(16bitフォーマット・シリアルインタフェース) Long Frame / Short Frameに対応
- PCMデータ転送レート:256KHz/512kHz
- CODEC入出力ゲイン調整用オペアンプ内蔵
- Voltage Detector 内蔵(2.7V検出/遅延回路)
- I2Sフォーマット変換機能内蔵
- +3.0~+3.6V単一電源
- 低消費電流
- 小型パッケージ

**ブロック図**



## 目 次

項 目	頁
- ブロック図.....	1
- 端子条件.....	3
- 端子機能.....	4
- 絶対最大定格.....	6
- 推奨動作条件.....	6
- 電気的特性.....	6
- パッケージ外形寸法図.....	12
- パッケージ・ピン配置.....	13
- マーキング仕様.....	13
- 回路構成.....	14
- 機能説明.....	15
- <b>PCM</b> コーデック.....	15
- <b>PCM</b> インターフェース.....	16
- <b>Long Frame / Short Frame</b> .....	17
- <b>PLL</b> .....	18
- <b>SLEEP / PCMN / MUTEN</b> 端子設定 と出力状態.....	18
- <b>I2S</b> .....	19
-     スリープ/立ち上げ/モード切替 シーケンス.....	20
- 外付け推奨回路図(例).....	22

## 端子条件

端子番号	端子名	I/O	端子タイプ	最大容量負荷	最小抵抗負荷	備考
17	VFTN	I	Analog			
18	VFTP	I	Analog			
16	GST	O	Analog	50pF	AC負荷(*1) 10k $\Omega$ (*2)	出力状態はP.18参照
7	GSR	O	Analog	40pF	AC負荷(*1) 8k $\Omega$ (*2)	出力状態はP.18参照
8	VFR	I	Analog			
9	VR	O	Analog	40pF	AC負荷(*1) 8k $\Omega$	出力状態はP.18参照
6	VDD	-				
21	VSS	-				
5	DVDD	-				
22	DVSS	-				
4	FS	I	CMOS			
2	BCLK	I	CMOS			
1	DX	O	CMOS	50pF		出力状態はP.18参照
3	DR	I	CMOS			
30	MUTEN	I	CMOS			
29	SLEEP	I	CMOS			
20	VREF	O	Analog			外付容量: 1.0uF以上 外付け容量以外の接続不可
23	PLLCAP	O	Analog			外付容量 0.068uF $\pm$ 40%
19	TAGND	O	Analog			外付容量:1.0uF以上 150uA負荷max 出力状態はP.18参照
27	MCLK	I	CMOS			
26	PLLOUT	O	CMOS	20pF		出力状態はP.18参照
24	PLLSEL	I	CMOS			
28	PCMN	I	CMOS			
31	FS64	I	CMOS			
32	SDTO	O	CMOS	50pF.		出力状態はP.18参照
13	RIN1N	I	CMOS			
12	RIN2N	I	CMOS			
25	ROUTN	O	Open Drain	40pF		
10	CO	O	Analog			遅延用抵抗 & コンデンサ
11	DPOW	I				
14	TEST1	I	CMOS			VSS接続
15	TEST2	I	CMOS			VSS接続

\*1)AC負荷: AGNDに対する負荷です。

\*2)最小負荷抵抗は帰還抵抗込の値です。

## 端子機能

タイプの詳細

NIN: ノーマルインプット      NOUT: ノーマルアウトプット      AIN: アナログインプット  
 AOUT: アナログアウトプット      OOUT: オープンドレインアウトプット      PWR: 電源・グラウンド

端子番号	端子名称	タイプ	機能
17	VFTN	AIN	<b>A/Dへの入力ゲイン調整用オペアンプの反転差動入力。</b> VFTP端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
18	VFTP	AIN	<b>A/Dへの入力ゲイン調整用オペアンプの正転差動入力。</b> VFTN端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
16	GST	AOUT	<b>A/D入力ゲイン調整用オペアンプの出力。</b> 外部抵抗で差動入力アンプを構成しゲイン調整を行います。
7	GSR	AOUT	<b>D/A出力ゲイン調整用オペアンプの出力。</b> 外部抵抗で反転アンプを構成しゲイン調整を行います。VR出力を使って作動出力を構成することも出来ます。
8	VFR	AIN	<b>D/A出力ゲイン調整用オペアンプの反転入力。</b> 外部抵抗で反転アンプを構成しゲイン調整を行います。
9	VR	AOUT	<b>D/Aアナログ出力。</b> GSR出力を使って作動出力を構成することも出来ます。
6/5	VDD/DVDD	PWR	正電源端子。
21/22	VSS/DVSS	PWR	負電源端子。
4	FS	NIN	<b>PCMデータ送受同期信号入力。</b> PCMデータ入出力タイミングを制御します。BCLKと同期した8kHzの信号を入力して下さい。
2	BCLK	NIN	<b>PCMデータ転送レート制御クロック入力。(256kHz/512kHz)</b> BCLKはPLLOUTのクロックに同期している必要があります。
1	DX	NOUT	<b>PCMデータ出力端子。</b> BCLKに同期してA/DされたPCMデータを出力します。この端子は送信データが存在する14ビット期間以外は、L出力となります。
3	DR	NIN	<b>PCMデータの入力端子。(PCMピン'0'の時)</b> BCLKに同期してPCMデータを入力します。 <b>オーディオデータ入力端子。(PCMピン'1'の時)</b> この端子に入力されたオーディオデータをI2S変換回路を通じて、SDTO端子に出力します。
30	MUTEN	NIN	ミュート設定端子。 '0'でミュートが起動されます。(P.18参照下さい。)
29	SLEEP	NIN	リセット信号入力端子。 '1'でSLEEP状態となります。電源立ち上げ時などにLSIの初期化に用います。初期化後安定動作に至るまでの間、異音出力を抑えるために、MUTENを併用してください。(P.20 シーケンス図を参照下さい。)
20	VREF	AOUT	アナロググラウンド電源出力端子。 1.0 uF以上の容量を外付して下さい。
23	PLLCAP	AOUT	PLL用 容量接続端子。 0.068uF±40% 温度特性込みの容量を外付して下さい。

端子番号	端子名称	タイプ	機能
19	TAGND	AOUT	<b>TX入力アンプ用Analog Ground供給端子。</b> 最大負荷電流150uA。1.0uF以上の容量を外付けしてください。
27	MCLK	NIN	<b>PLLマスタークロック入力端子。(26MHz入力)</b>
26	PLLOUT	NOUT	<b>PLLアウトプット端子。(256KHz/512KHz/11.29MHz/12.288MHz)</b> P.18参照
24	PLLSEL	NIN	<b>PLLモード切替端子</b> P.18参照
28	PCMN	NIN	<b>インターフェースモード切替端子。</b> '0'でPCMCODECモード。(I2S変換回路の動作は止まります。) P.18を参照下さい。
31	FS64	NIN	<b>I2Sモード切替端子。</b> '1'で64fsモード。'0'で32fsモード。
32	SDTO	NOUT	<b>I2Sデータアウトプット端子。</b>
11	DPOW	AIN	<b>Voltage Detector電圧検出入端子。</b> VDDに接続して下さい。 本端子が2.7V(Typ.)を下回ると、ROUTN端子がLになります。
25	ROUTN	OOUT	<b>Voltage Detector 検出端子。</b> DPOW端子が2.7V(Typ.)を下回るとL出力。 *プルアップ電圧はVDD+0.3V以下になるようにして下さい。
10	CO	AOUT	<b>遅延回路外付け容量&amp;抵抗端子。</b> *プルアップ電圧はVDD+0.3V以下になるようにして下さい。
13	RIN1N	NIN	<b>Reset信号入力端子1</b>
12	RIN2N	NIN	<b>Reset信号入力端子2</b>
14	TEST1	NIN	<b>出荷テスト用端子。</b> VSSに接続してください。
15	TEST2	NIN	<b>出荷テスト用端子。</b> VSSに接続してください。

\*MCLKを停止する場合は必ずSLEEPを'1'にして下さい。

## 絶対最大定格

パラメータ	記号	min	max	単位
電源電圧 アナログ/デジタル電源	VDD	- 0.3	4.6	V
デジタル端子印加電圧	VTD	-0.3	VDD+0.3	V
アナログ端子印加電圧	VTA	-0.3	VDD+0.3	V
入力電流 (電源ピンを除く)	IIN	-10	10	mA
保存温度	Tstg	-55	125	°C

注) この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
またこの範囲内全てでの通常動作は保証されません。

## 推奨動作条件

パラメータ	記号	min	typ	max	単位
電源電圧 アナログ/デジタル電源	VDD	3.0	3.3	3.6	V
動作温度範囲	Ta	-40		85	°C
マスタークロック周波数*)	MCLK	-1.0%	26	+1.0%	MHz

注) 電圧は全て接地端子基準 : VSS=0V

\*)CODECの諸特性は、MCLKから内蔵PLLにて作成される256KHz/512KHz(PLLOUT)に同期している8kHz(FS)での定義となります。

BCLKはPLLOUTのクロックに同期している必要があります。

MCLKを停止する場合は、必ずSLEEPを'1'にして下さい。

## 電気的特性

特記のない限り、規格値はVDD = +3.0 V~+3.6V、Ta = -40~+85°C、MCLK=26MHzにおいて保証されます。

## ■ DC特性

項目	記号	条件	min	Typ	Max	単位
消費電流1 (注1)	IDD1	出力端子はすべて無負荷		9	13.5	mA
消費電流2	IDD2	SLEEP='1', FS64,MUTEN,PCMN,BCLK ,DR='0'		1.5	2.2	mA
デジタル高レベル 出力電圧	VOH	IOH = -1.6mA	0.8VDD			V
デジタル低レベル 出力電圧	VOL	IOI = 1.6mA			0.4	V
デジタル高レベル 入力電圧	VIH		0.7VDD			V
デジタル低レベル 入力電圧	VIL				0.3VDD	V
入力漏洩電流	ILL		-10		+10	μA
アナロググランド 出力電圧	VRG	±150uA	1.4	1.5	1.6	V

(注1) FS64=0,MUTEN=1,PCMN=0,PLLSEL=1(BCLK=512kHz),SLEEP=0,出力端子は全て無負荷。  
VFTN/Pより1020Hz@0dBm0入力、DRより1020Hz@0dBm0 Code入力し、測定。

■AC特性

◆PCMインターフェース (Long Frame, Short Frame)

特記なき場合、 $T_a = -40$  to  $+85^\circ\text{C}$ ,  $V_{DD} = 3.0\sim 3.6\text{V}$ ,  $V_{SS} = 0\text{V}$ ,  $FS = 8\text{kHz}$  における定義となります。全ての出力ピンのタイミングパラメータは  $V_{OH} = 0.8V_{DD}$  及び  $V_{OL} = 0.4\text{V}$  にて測定されます。全ての入力ピンのタイミングパラメータは  $V_{IH} = 0.7V_{DD}$  及び  $V_{IL} = 0.3V_{DD}$  にて測定されます。

パラメータ	記号	Min	Typ	Max	単位	参照図
FS Frequency	$f_{PF}$	-1.0%	8	+1.0%	kHz	図1, 2
BCLK Frequency	$f_{PB}$	-	32FS/ 64FS	-	kHz	
BCLK Pulse Width (High/Low)	$t_{WBH}$ $t_{WBL}$	0.4/ $f_{PB}$	-	0.6/ $f_{PB}$	Sec	
Rising/Falling Time: (BCLK,FS, DX,DR)	$t_{RB}$ $t_{FB}$			40	ns	
Hold Time: BCLK Low to FS High	$t_{HBF}$	60			ns	
Setup Time: FS High to BCLK Low	$t_{SFB}$	60			ns	
Setup Time: DR to BCLK Low	$t_{SDB}$	60			ns	
Hold Time: BCLK Low to DR	$t_{HBD}$	60			ns	
Delay Time: BCLK High to DX valid 注1)	$t_{DBD}$			60	ns	
<b>Long Frame</b>						
Hold Time: 2 <sup>nd</sup> period of BCLK Low to FS Low	$t_{HBFL}$	60			ns	図1
Delay Time: FS or BCLK High, whichever is later, to DX valid 注1)	$t_{DZFL}$			60	ns	
FS Pulse Width Low	$t_{WFSL}$	1			BCLK	
<b>Short Frame</b>						
Hold Time: BCLK Low to FS Low	$t_{HBFS}$	60			ns	図2
Setup Time: FS Low to BCLK Low	$t_{SFBS}$	60			ns	

(注1) 50pFの負荷容量、及び0.2mA駆動時

◆I2Sインターフェース

パラメータ	記号	Min	Typ	Max	単位	参照図
BCLK Pulse Width (High/Low)	$t_{WBH}$ $t_{WBL}$	60			ns	図3
Setup Time: DR to BCLK High	$t_{SDB}$	60			ns	
Hold Time: BCLK High to DR	$t_{HBD}$	60			ns	
Delay Time: BCLK Low to DX valid 注2)	$t_{DBD}$			60	ns	

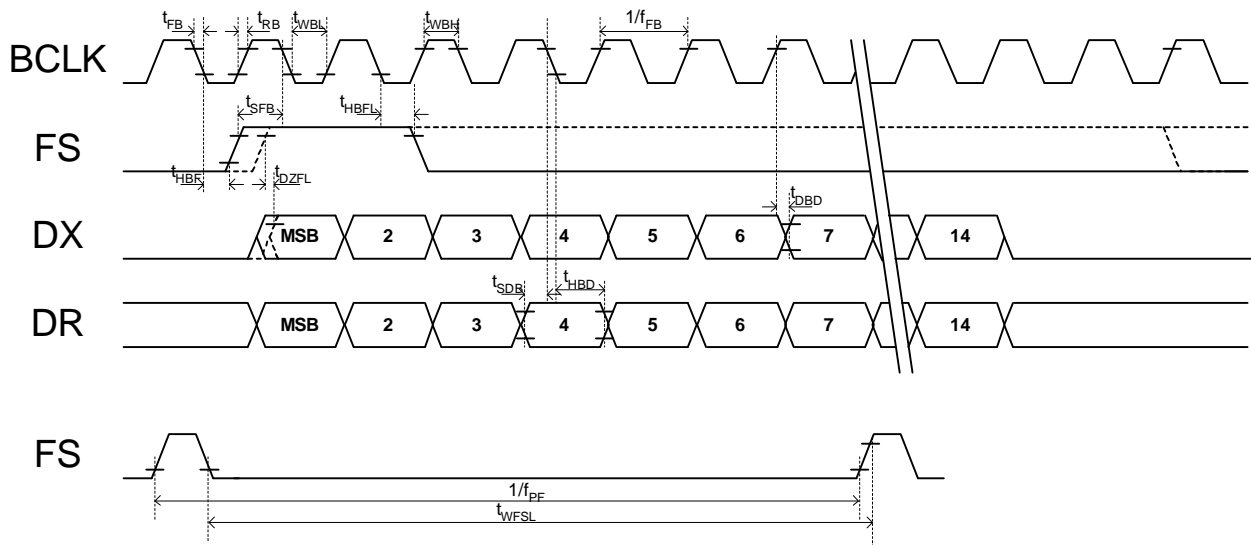
(注2) 50pFの負荷容量、及び0.2mA駆動時

◆PLL

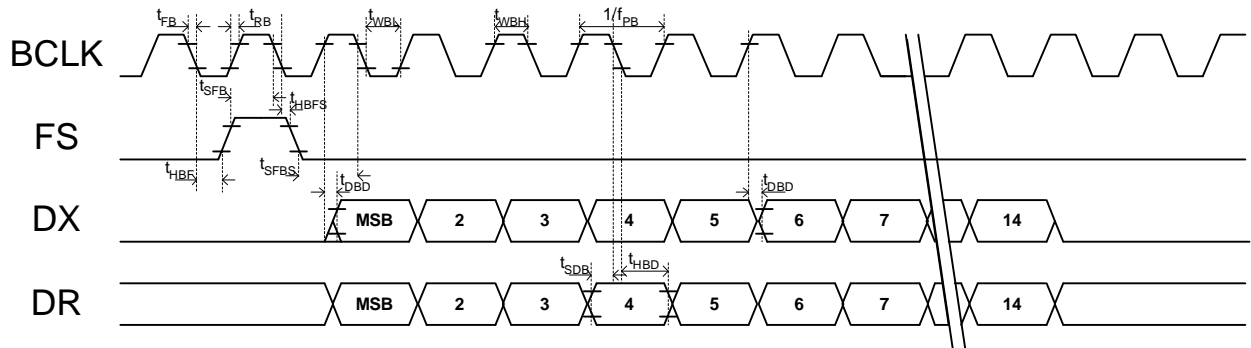
パラメータ	記号	Min	Typ	Max	単位	参照図
MCLK Pulse Width (High/Low)	$t_{MWH}$ $t_{MWL}$	11.5			ns	図4
PLLOUT Pulse Width (High/Low) 注3)	$t_{PLLWH}$ $t_{PLLWL}$	$0.4 \times t_{PLLCYC}$	$0.5 \times t_{PLLCYC}$		ns	

(注3) 20pFの負荷容量、及び0.2mA駆動時。  $0.5 \times V_{DD}$  で定義

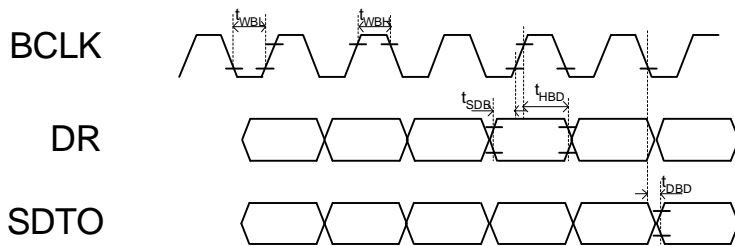
Interface Timing



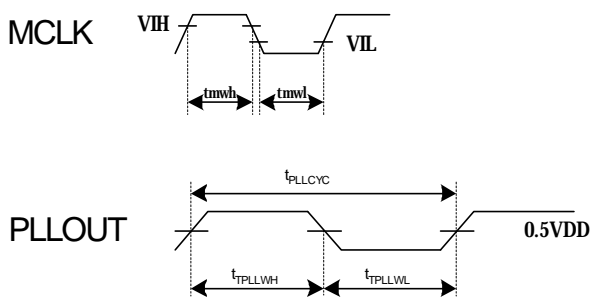
☒1. Long Frame



☒2. Short Frame



☒3. I2S Interface



☒4. PLL



◆CODEC

\*送受信用オペアンプのゲインは0dB設定にて測定しています。

また、FS=8kHzからずれた場合の諸周波数特性は  $\frac{\text{使用FS}}{8\text{kHz}} \times \text{測定条件周波数} = \text{実効周波数}$  で、補

正して下さい。FS(8kHz)は、MCLKから内蔵PLLにて作成された256kHz/512kHzに同期している必要があります。従って、実際はMCLK (26MHz)の周波数偏差にて実効周波数が決まります。

■絶対ゲイン特性

項目	測定条件	min	typ	max	単位
アナログ入力レベル	VFTP,VFTN	0dBm0@1020Hz 入力	0.531		Vrms
絶対入力ゲイン	→	-0.6	—	0.6	dB
絶対入力レベル	DX	3.14dBm0入力	0.762		Vrms
アナログ出力レベル	DR	0dBm0@1020Hz 入力	0.531		Vrms
絶対出力ゲイン	→	-0.6	—	0.6	dB
最大入出力レベル	VR	3.14dBm0相当値	0.762		Vrms

■伝送損失周波数特性

項目	測定条件	Min	typ	max	単位	
伝送損失周波数特性 (A→D) VFTP,VFTN → DX	基準: 0dBm0@1020Hz	0.05kHz	30	—	—	dB
		0.06kHz	26	—	—	
		0.2kHz	0	—	1.8	
		0.3~3.0kHz	-0.15	—	0.15	
		3.4kHz	0	—	0.8	
伝送損失周波数特性 (D→A) DR → VR	基準: 0dBm0@1020Hz	0~3.0kHz	-0.15	—	0.15	dB
		3.4kHz	0	—	0.8	
		4.0kHz	14	—	—	

■歪み特性

項目	測定条件	Min	typ	max	単位
信号対総合電力歪比 (A→D) VFTP,VFTN → DX	1020Hz Tone 0dBm0	70	75		dB
信号対総合電力歪比 (D→A) DR → VR	1020Hz Tone 0dBm0	70	75		dB
	C-message				
	C-message				

## ■ノイズ特性

項目	測定条件	min	typ	max	単位
無通話時雑音 A→D (注1) VFTP,VFTN → DX	C-message	—	8	13	dBrnC0
無通話時雑音 D→A (注2) DR → VR,GSR	C-message	—	5	10	dBrnC0
電源雑音除去比 Transmit	変調レベル: VDD=3.3V/±66mVop f=0~10kHz	—	55	—	dB
電源雑音除去比 Receiver	変調レベル:同上	—	55	—	dB

注1) アナログ入力 = アナロググランドレベル。

注2) デジタル入力 (DR) = +0 CODE

## ■同一チャンネル内漏話

項目	測定条件	min	typ	max	単位
送信側→受信側 VFTN → VR,GSR	VFTN 0dBm0@1020Hz DR = 0-Code	—	—	-75	dB
受信側→送信側 DR → DX	DR=0dBm0@1020Hz code level VFTP,VFTN = 0 Vrms	—	—	-75	dB

## ■送信オペアンプ特性:AMPT

項目	測定条件	min	typ	max	単位
出力負荷抵抗	AC負荷、帰還抵抗含む	10	—	—	kΩ
出力負荷容量		—	—	50	pF
利得	反転増幅	-12	—	6	dB

## ■受信信号出力特性:VR

項目	測定条件	Min	typ	max	単位
出力電圧(AGNDレベル)	PCM +0 code入力時	—	1.5	—	V
出力負荷抵抗	AC負荷	8	—	—	kΩ
出力負荷容量		—	—	40	pF

## ■受信オペアンプ特性:AMPR

項目	測定条件	Min	typ	max	単位
出力負荷抵抗	AC負荷、帰還抵抗含む	8	—	—	kΩ
出力負荷容量		—	—	40	pF
SINAD	0dB設定、1020Hz@0dBm0入力 VR,GSR差動出力時 C-message	70	75	—	dB
利得	反転増幅	-12	—	6	dB
最大出力振幅	3.14dBm0デジタルコードDR入力時	—	2.15	—	Vp-p

■ Voltage Detector & Delay circuit

DPOW = VDDとする

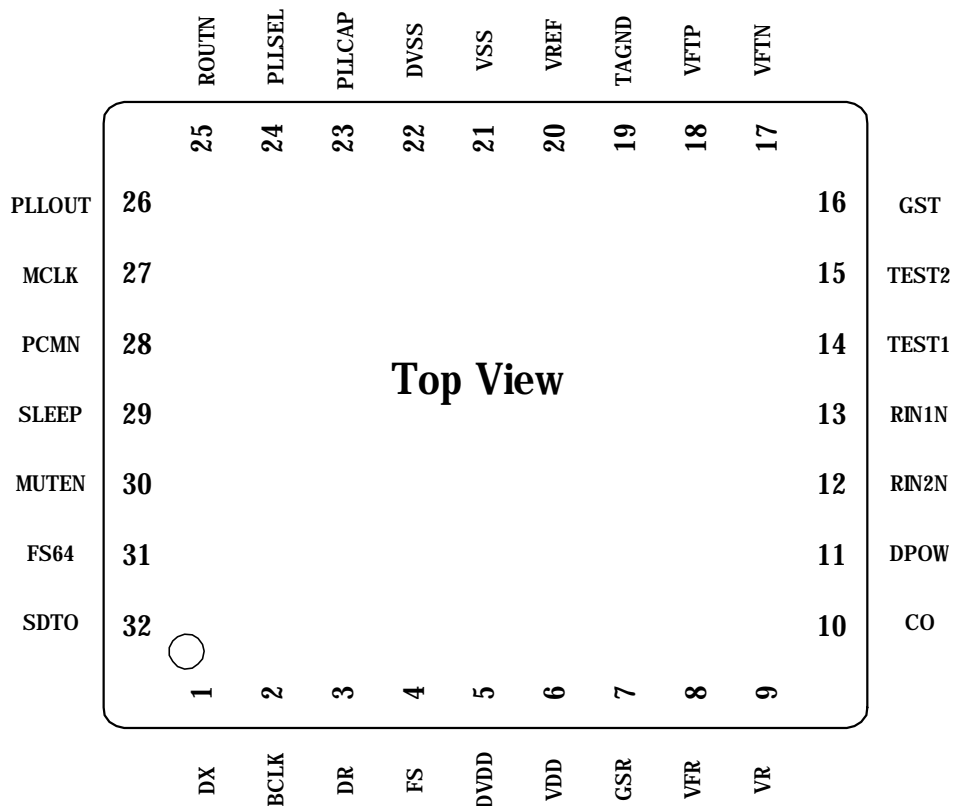
項目	測定条件	min	typ	max	単位
検出電圧		2.60	2.70	2.80	V
ヒステリシス幅		0.07	0.108	0.20	V
最小動作電圧 (注1)				2.0	V
CO端子L→Hしきい値電圧	VDD = 3.0V		0.42		VDD
CO端子ヒステリシス幅	VDD = 3.0V		0.12		VDD
CO端子L出力電流	V <sub>DS</sub> = 0.5V, VDD = 2.0V	1.0			mA
オープンドレイン出力電流 (ROUTN端子)	V <sub>DS</sub> = 0.5V, VDD = 2.0V	1.0			mA

(注1) ROUTNよりLが出力できる電圧値



パッケージ・ピン配置

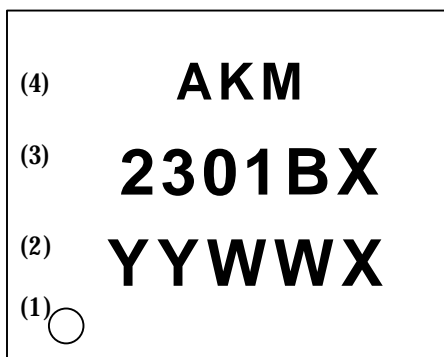
32ピンQFN



TEST1,2,は出荷テスト用端子。  
通常使用時はVSSへ接続。

マーキング仕様

- (1) 1ピン表示
- (2) デートコード: **YYWWX** (5桁)
  - YY : 西暦下2桁
  - WW : 週通し番号 1~52
  - X : 管理番号
- (3) 製品名 : **2301BX**
- (4) AKMロゴ : **AKM**



## 回路構成

ブロック	機能
AMPT	送信用システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。外付けの抵抗で差動もしくはシングルエンドのゲインアンプを構成します。ただし、帰還抵抗は10 kΩ以上にして下さい。各端子の構成は次のようになっています。 VFTN：オペアンプ反転入力 VFTP：オペアンプ正転入力 GST：オペアンプ出力
AMPR	受信用システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。反転アンプとして使用し、外付けの抵抗でゲインアンプを構成します。ただし、外付けの負荷と帰還抵抗を合わせて8kΩ以上の負荷になるようにして下さい。各端子の構成は次のようになっています。 VFR：オペアンプ反転入力 GSR：オペアンプ出力
AAF	折り返し雑音防止用フィルタです。2次のRCローパスフィルタで構成されており、A/Dコンバータのサンプリング周波数帯における雑音を除去します。
CODEC A/D	入力されたアナログ信号を圧伸則に従い14ビットのPCMデータに変換します。また、帯域制限用フィルタを内蔵しています。
CODEC D/A	DR端子より取り込まれた14ビットのPCMデータをAnalog信号に変換します。D/Aコンバータの出力は、その後SMFに通され高周波成分が抑えられ出力されません。
SMF	D/Aコンバータの出力から帯域内の周波数成分を取り出すためのフィルタです。
BGREF	温度補償されたバンドギャップ電圧発生器により、安定なアナロググランド電圧を発生します。(1.5V typ) 安定化の為、VREFピンには1.0 uF以上の容量を接続して下さい。ただし、このピンには外部負荷を接続しないで下さい。また、AMPTを差動入力として使用する場合に必要となるAGNDレベルをTAGNDピンから出力します。これにも安定化の為に1.0uF以上の容量を接続してください。
PCM I/F	BCLKで定められるデータレート(256kHz/512kHz)で14ビットPCMデータ(2's compliment)を16ビットシリアルフォーマットで入出力します。PCMインタフェースはLongFrameとShortFrameの2つのモードに対応できますが、この2つのモードはLSIが自動判定します。 PCMデータはDX,DR端子から入出力されます。
PLL	26MHzのマスタークロックから、PCMコーデックに必要な内部クロックと256KHzまたは512KHzまたは11.29MHzまたは12.288MHzのクロックを生成し出力します。
Voltage Detector	DPOW端子が、検出電圧(約2.7V)以下になるとROUTN端子がLになります。電源電圧及びDPOW端子が最小動作電圧を下回ると、ROUTN外付けプルアップ電圧が出力されます。解除電圧と検出電圧の差がヒステリシス電圧です。(Typ.0.108V) DPOW端子に解除電圧よりも高い電圧が印加されると、CO端子に接続される外付けコンデンサへの充電が始まり、外付け遅延抵抗との時定数により、ROUTN端子が遅延動作を行います。
I2S I/F	PCM端子が'1'の時、BCLK,DRを用いて、DRデータを遅延させSDTO端子からデータを出し、オーディオフォーマットをI2S互換に変換します。

## 機能説明

## ■PCMコーデック

## ◆A/D

AMPTより入力されたアナログ信号は、折り返し雑音防止用フィルタ (AAF) を通してから、14ビットのPCMデータに変換されます。変換されたPCMデータは、9ページの伝送損失周波数特性(A/D)にあるような帯域制限フィルタを通してから、DX端子よりBCLKの立ち上がりに同期してMSBから順に出力されます。この時出力されるPCMデータは2's compliment形式で、+フルスケールが3.14dBm0として定義され、アナログ入力側で0.762Vrmsの入力が3.14dBm0のデジタルコードに変換されます。

## ◆D/A

DR端子よりBCLKに同期して入力されたPCMデータは、9ページの伝送損失周波数特性(D/A)の様な特性を持ったデジタルフィルタを通してから、アナログ信号に変換され、さらにSMF( $f_c=39\text{kHz typ}$ )にて高調波成分を取り除いてVR端子より出力されます。入力するPCMデータの信号は、出力時と同様に2's compliment形式で、+フルスケールが3.14dBm0として定義されます。出力されるアナログ信号のレベルは、3.14dBm0入力時に0.762Vrmsとなります。

## ◆PCMデジタルコード対応表

入出力の信号レベルと、それに対応した14bitのlinearCODEを下表に示します。

入出力信号レベル	14bit linear CODE (MSB First)
+フルスケール(3.14dBm0)	01 1111 1111 1111
PCM 0dBm0 CODEのピーク値	01 0110 0100 1010
PCM +0CODE	00 0000 0000 0000
-フルスケール	10 0000 0000 0000

## ■ PCMインタフェース

AK2301Bは以下の2つのPCMデータインタフェースをサポートしています。

- ・ Long Frame Sync(LF)
- ・ Short Frame Sync(SF)

PCMデータは端子(DR,DX)から順次入出力されます。

いずれの場合も2's compliment形式の2進数を16ビットMSBファーストでインターフェースします。ただし、内部コーデックは14ビットで動作しているために、下位2ビットの出力は、"L"固定となります。また入力については、下位2ビットはDon't Careとなります。

### ◆PCMインタフェースの選択

Long Frame/ Short frame はFSからLSIが自動的に判定します。

## ● LONG FRAME (LF) / SHORT FRAME (SF)

### ◆LF/SFの判定方法

AK2301Bは、以下のように入力されたFSの"H"期間により Long Frame, Short Frameかを自動的に判断します。

FS="H"の期間	フレーム構成
BCLKの2周期以上	LF
BCLKの1周期	SF

### ◆インタフェースタイミング

PCMデータは、フレーム同期信号FSに同期して、1フレーム区間(125 $\mu$ s)毎にそれぞれ14ビットずつDX,DR端子より入出力されます。1フレーム区間には最大4個のタイムスロット(BCLK=512kHz時)がありますが、本LSIはそのうちの最初のタイムスロットを使ってPCMデータを入出力します。



◆フレーム同期信号 (Frame Sync: FS)

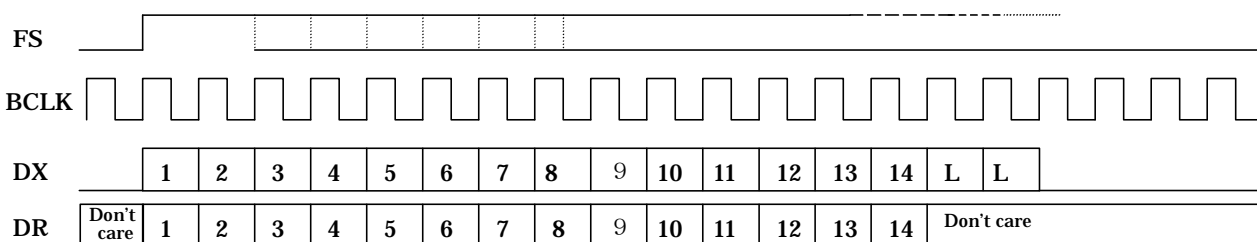
8kHzの基準入力信号です。1フレーム(125us毎)に14ビットのPCMデータが入出力されます。BCLKと同期している必要があります。

◆データ搬送クロック信号 (Bit Clock: BCLK)

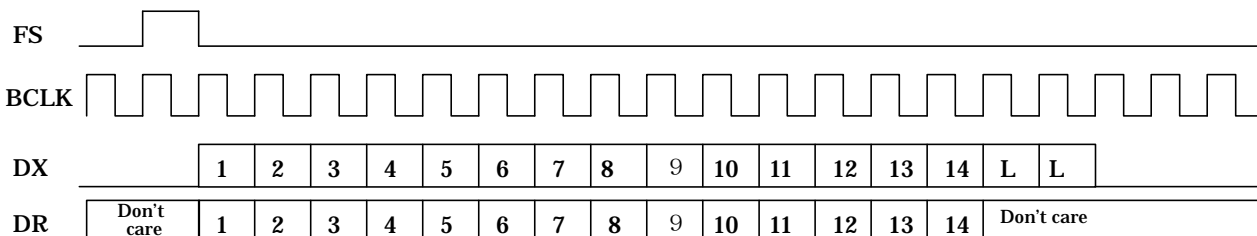
PCMデータがこのBCLKに同期して入出力されます。BCLKは256kHzと512kHzです。また、フレーム信号であるFSに同期している必要があります。

さらに、BCLKはMCLKと同期している必要があります。内部PCMコーデックはMCLKに同期したPLLにて作成されたクロックで動作しています。従って、PLLOUT出力の256KHzまたは512KHzをBCLKに入力して下さい。

**LongFrame**



**ShortFrame**



**! 注意事項 <重要>**

MCLKを停止する時は、必ずSLEEPを'1'にして下さい。

MCLKを停止且つSLEEPが0の状態は、LSIの消費電流が増加します。(LSI内部で貫通電流が流れ、寿命が短くなる原因になります。)

## ■PLL

MCLK（周波数：26.0MHz）より入力されたクロックを下記の表に従って、

- 1) Codecへのクロック出力
- 2) PLLOUTからの外部へのクロック出力を行います。

モード名	PCM N	PLLSEL	PLL内部発振周波数(MHz)	Codecへの出力 (=1/3)	PLLOUT出力周波数(fs)	Fs
PCM	0	0	12.288	4.096MHz	32	8.00kHz
PCM	0	1	12.288	4.096MHz	64	8.00kHz
Audio	1	0	11.29	3.7632MHz	256	44.1kHz
Audio	1	1	12.288	4.096MHz	256	48.0kHz

## ■SLEEP / PCM N / MUTEN端子設定と出力状態

SLEEP	PCM N	MUTEN	VR/GSR	DX	SDTO	TAGND/GST	PLLOUT
1	*	*	Analog Ground	L	L	Hi-Z	H
0	1	*	Analog Ground	L	通常出力	通常出力	11.29MHz/12.288Mz
0	0	1	通常出力	通常出力	L	通常出力	256KHz/512KHz
0	0	0	Analog Ground	L	L	通常出力	256KHz/512KHz

## [DX端子]

SLEEP=0,PCM N=0の時、DATA出力中にMUTENが1から0に変化した場合は、次のFSまで待つてMUTE状態に(DX=L)に移行します。

SLEEPが0から1に変化した場合、PCM Nが0から1に変化した時は、直ちにMUTE状態(DX=L)となります。

## [SDTO端子]

SLEEPが0から1に変化した場合、PCM Nが0から1に変化した場合、直ちにMUTE状態(SDTO=L)となります。

## [VR端子]

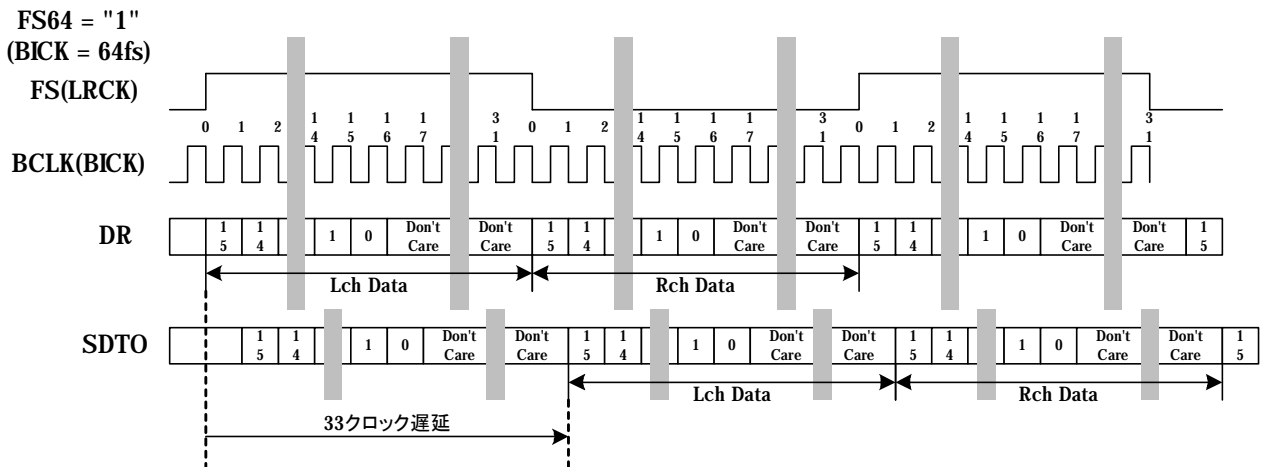
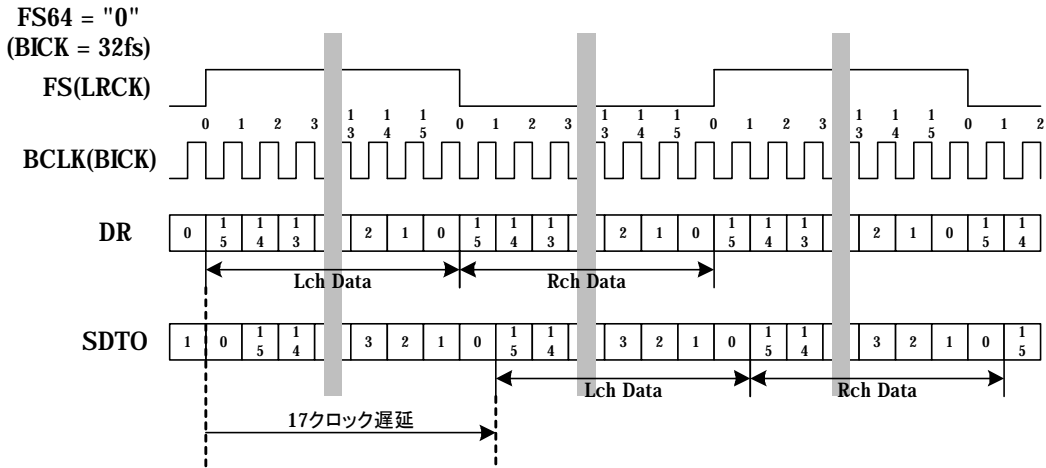
SLEEPが0から1に変化した場合、PCM Nが0から1に変化した場合、MUTENが1から0に変化した場合は、直ちにDACデジタルフィルタに0コードが入力されミュート状態(VR=Analog Ground)に移行します。

■I2Sインタフェース

下記のようなFS(LRCK)のシリアルインターフェースをI2S互換のインターフェースに変換します。  
 タイミングチャートは以下の通りです。

本LSIへの入力は、BCLK(BICK)とDRとFS64であり、SDTOを出力します。

DRをBCLK(BICK)に同期した内部のフリップフロップで遅延させることによりI2S互換のインターフェースを実現します。



■スリープ・立ち上げ・モード切替シーケンス

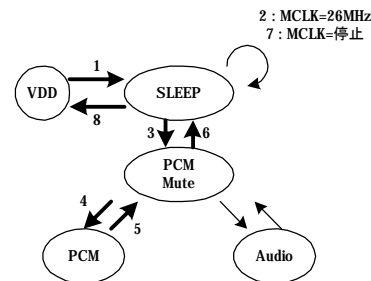
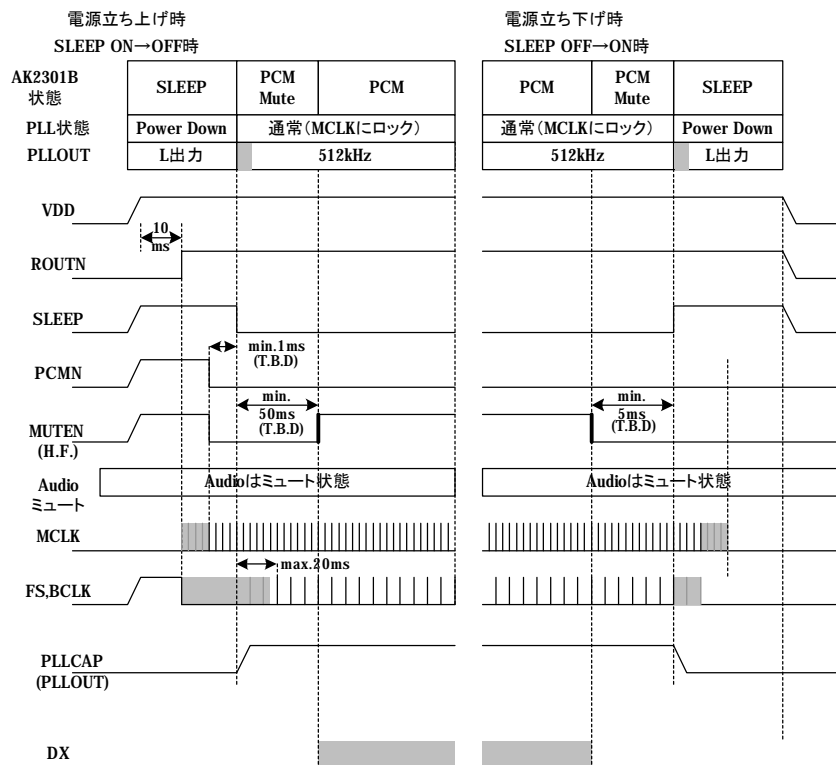
SLEEP=1でLSI内部の初期化が行われます。

電源投入時、CODECの内部回路が安定するまでに、異音が発生する可能性があります。SLEEPとMUTENを用いて、下記のシーケンスを行うことにより、発生する異音を低減することが出来ます。異音を完全に無くす場合は外部で対応して下さい。

◆シーケンス

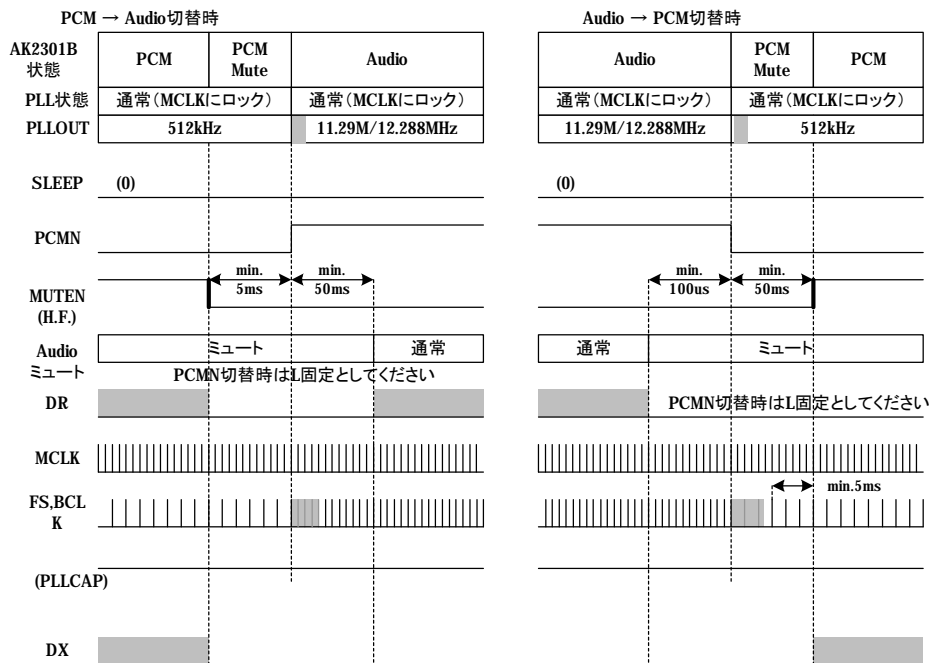
電源立ち上げ / 立ち下げ

SLEEP ON/OFF



立ち上げ時	電源	SLEEP	PCMN	MUTEN	Audio ミュート	MCLK	PLLOUT (出力)	FS/BCLK (1fs/32r64fs)
1	H	1	0	0	ミュート	停止	停止	停止
2	H	1	0	0	ミュート	<b>26MHz</b>	停止	停止
3	H	<b>0</b>	0	0	ミュート	26MHz	<b>256/512kHz</b>	<b>PCM</b>
4	H	1	0	<b>1</b>	ミュート	26MHz	256/512kHz	PCM
立ち下げ時								
5	H	0	0	<b>0</b>	ミュート	26MHz	256/512kHz	PCM
6	H	<b>1</b>	0	0	ミュート	26MHz	停止	停止
7	H	1	0	0	ミュート	停止	停止	停止
8	L	1	0	0	ミュート	停止	停止	停止

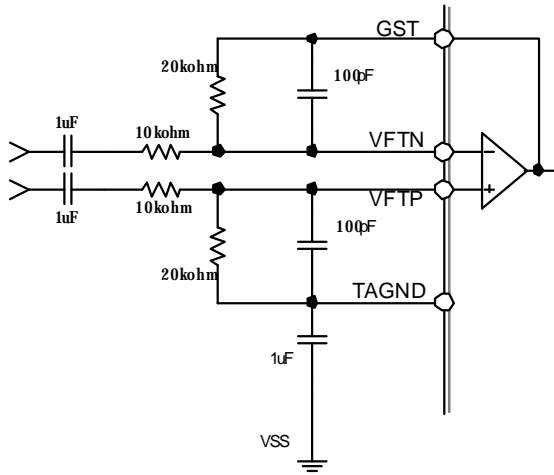
PCM Mode ⇔ Audio切替時



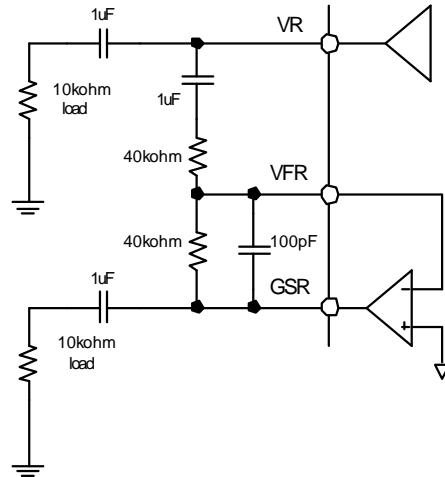
PCM Mode →Audio	PCMN	MUTEN	Audio ミュート	MCLK	PLLOUT (出力)	FS/BCLK (1fs/32or64fs)
1	0	0	ミュート	26MHz	256/512kHz	PCM
2	1	0	ミュート	26MHz	11.29/12.288MHz	AUDIO
3	1	0	通常	26MHz	11.29/12.288MHz	AUDIO
Audio→ PCM Mode						
4	1	0	ミュート	26MHz	11.29/12.288MHz	AUDIO
5	0	0	ミュート	26MHz	256/512kHz	PCM
6	0	1	ミュート	26MHz	256/512kHz	PCM

外付け推奨接続図(例)

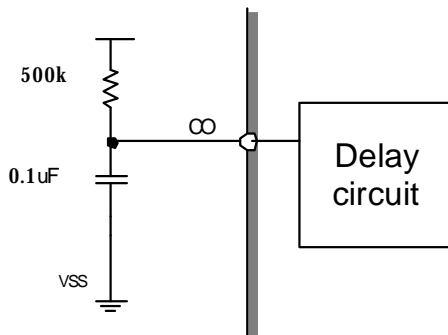
送話側端子



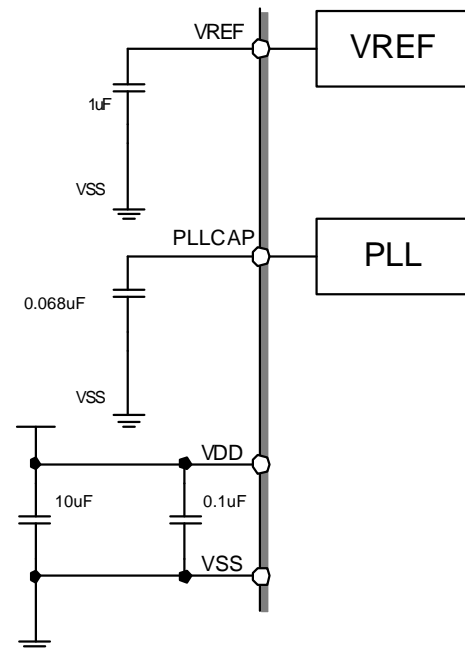
受信側端子



遅延回路用抵抗 & 容量



電源部、及びPLL安定化容量



- 各外付け容量は、出来るだけLSIの直近に接続するようにして下さい。(特にVREF)

## 重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。