



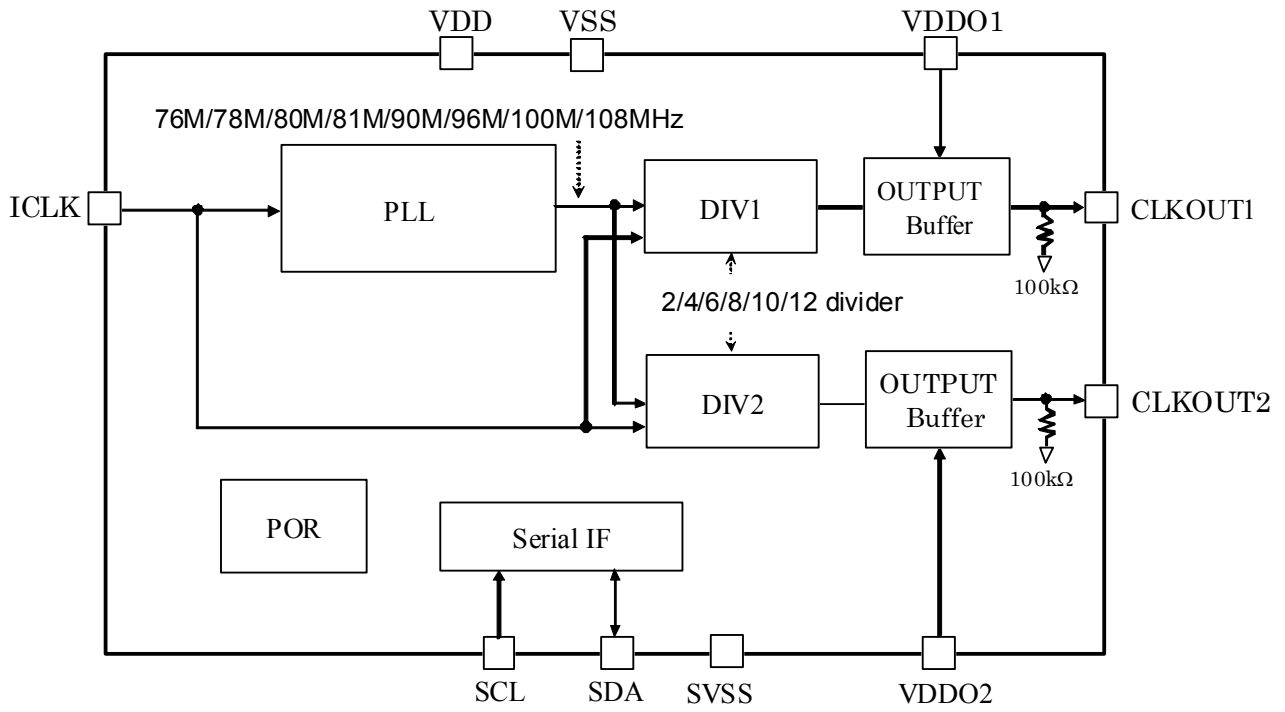
- 暫定版 - AK8152

Single PLL Two Output Clock Generator

AK8152は1個のPLLを内蔵したクロックジェネレータICです。入力クロック又はPLLで生成した信号を、分周して2つの出力端子から出力します。各出力端子毎に分周比を設定できますので、異なる2つの周波数を出力することが可能です。PLLの出力周波数および分周比は、I²Cバスに接続可能な2線式インタフェースを介して設定します。

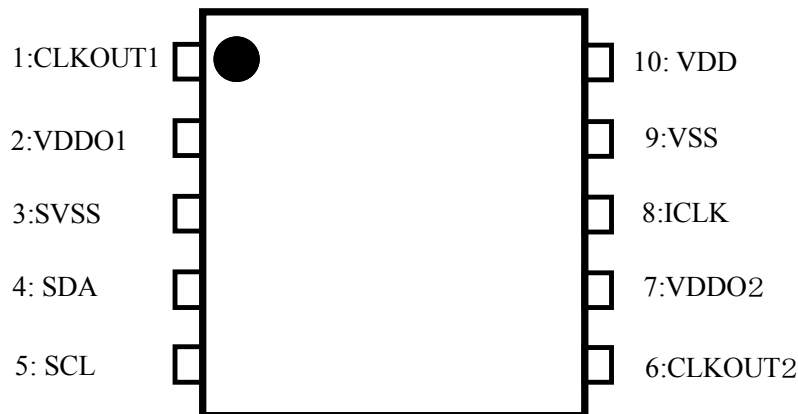
特	長
---	---

- | | |
|--|--|
| <input type="checkbox"/> 電源電圧: | 1.7 ~ 1.9V (コア)
1.7 ~ 2.8V (クロック出力端子用) |
| <input type="checkbox"/> 低消費電力: | 4.3mA Typical at 1.8V |
| <input type="checkbox"/> 入力クロック: | 12M/19.2M/26M/27M/48MHz |
| <input type="checkbox"/> 出力クロック: | PLL出力(76M/78M/80M/81M/90M/96M/100M/108MHz) 又は
ICLK端子入力を2/4/6/8/10/12分周したクロック (レジスタ設定)
をCLKOUT1,CLKOUT2端子より出力
<例> PLL出力=96MHz、DIV1=2、DIV2=4の時、
CLKOUT1=48MHz CLKOUT2=24MHz |
| <input type="checkbox"/> シリアルIF: | 2線式インタフェース: I ² Cバスに接続可 (負荷容量200pFmax) |
| <input type="checkbox"/> 出力負荷: | 25pF max |
| <input type="checkbox"/> ジッタ出力
ピリオドジッタ: | 35ps typ (1σ) |
| <input type="checkbox"/> 小型パッケージ: | 10ピンSON (鉛フリー)
Body Size: 3.0mm x 2.9mm |



1. 端子説明

1-1) 端子配置図



1-2) 端子機能説明

端子番号	端子名 (端子タイプ)	説明
1	CLKOUT1 (DO)	クロック出力1 PLL出力またはICLK端子入力を分周器DIV1で分周したクロックを出力します。 レジスタCLK1EN=0の時、“L”出力になります(100kΩ プルダウン)。 出力電圧はVDDO1端子で設定します。
2	VDDO 1 (PWR)	クロック出力端子用電源1 CLKOUT1端子用の電源端子です。1.7~2.8Vを供給して下さい。
3	SVSS (PWR)	グランド
4	SDA (DIO)	シリアルデータ入出力(オープンドレイン) 2線式デジタルI/Fバス用データ入出力端子です。 1.8V系の入出力ですが、3.6Vまでのバスラインに接続可能です。
5	SCL (DI)	シリアルクロック入力 2線式デジタルI/Fバス用クロック入力端子です。 1.8V系の入出力ですが、3.6Vまでのバスラインに接続可能です。
6	CLKOUT2 (DO)	クロック出力2 PLL出力またはICLK端子入力を分周器DIV2で分周したクロックを出力します。 レジスタCLK2EN=0の時、“L”出力になります(100kΩ プルダウン)。 出力電圧はVDDO2端子で設定します。
7	VDDO2 (PWR)	クロック出力端子用電源2 CLKOUT2端子用の電源端子です。1.7~2.8Vを供給して下さい。
8	ICLK (DI)	クロック入力 入力周波数は、12M/19.2M/26M/27M/48MHzの中から選択します。 1.8V入力です。CLK無入力時はSTBYレジスタを“1”を設定して下さい。
9	VSS (PWR)	グランド
10	VDD (PWR)	コア用電源 1.8V±0.1Vを供給して下さい。

2. 電気的特性

2-1) 絶対最大定格

項目	記号	MIN	MAX	単位	備考
電源電圧	VDD VDDO1 VDDO2	-0.3	4.6	V	
グランド・レベル	VSS SVSS	0	0	V	
入力端子電圧	VIN	VSS-0.3	VDD+0.3	V	
入力電流	IIN	-10	10	mA	
保存温度	Tstg	-55	130	°C	

注)この値を超えた条件で使用した場合、デバイスを破壊することがあります。
またこの範囲内全てでの通常動作は保証されません。

2-2) 動作条件

項目	記号	MIN	TYP	MAX	単位	備考
動作温度	Ta	-20		85	°C	
電源電圧 1	VDD	1.7	1.8	1.9	V	コア用電源 2線式デジタル IF用電源
電源電圧 2	VDDO1 VDDO2	1.7		2.8	V	出力バッファ用 電源
出力端子負荷容量	CL			25	pF	CLKOUTn (n=1,2)

注)電圧は全て接地端子基準:VSS=SVSS=0V

2-3) 消費電流

VDD=1.8V VDDO1/2=1.8V Ta=-20~85°C

項目	端子	記号	MIN	TYP	MAX	単位	備考
全回路動作時	VDD	Ivdd		2.7		mA	*1
	VDDO1	Ivddo1		0.8		mA	
	VDDO2	Ivddo2		0.8		mA	
スタンバイ時	VDD	Ivdd		0	10	uA	*2
	VDDO1	Ivddo1		0	10	uA	
	VDDO2	Ivddo2		0	10	uA	

*1) CLKOUT1,CLKOUT2 端子無負荷

入力周波数=19.2MHz 出力周波数: CLKOUT1=48MHz CLKOUT2=48MHz

*2)レジスタ STBY="1" SCL=SDA=VSS 時

2-4) DC特性

VDD=1.7-1.9V, VDDO1,2 =1.7-2.8V Ta=-20~85°C

項目	端子	MIN	TYP	MAX	単位	備考
高レベル入力電圧	ICLK	0.7*VDD		VDD	V	
低レベル入力電圧	ICLK	VSS		0.3*VDD	V	
入力リーク電流	ICLK	-10		+10	μA	
高レベル出力電圧	CLKOUTn (n=1,2)	0.8*VDDOn			V	IOH=-4mA
低レベル出力電圧	CLKOUTn (n=1,2)			0.2*VDDOn	V	IOL=4mA

2-5) AC特性

VDD=1.7-1.9V, VDDO1,2=1.7-2.8V Ta=-20~85°C

項目	端子	MIN	TYP	MAX	単位	備考
外部入カクロック 周波数	ICLK		12.0 19.2 26.0 27.0 48.0		MHz	入力周波数はレジスタ ICLK _n (n=1,2)で設定
外部入カクロック デューティサイクル	ICLK	40	50	60	%	
出力周波数	CLKOUTn (n=1,2)		[*3]		MHz	
出カクロック 立ち上がり時間	CLKOUTn (n=1,2)			4.0	ns	CL=25pF 0.2*VDDOn→0.8*VDDOn *1
出カクロック 立ち下がり時間	CLKOUTn (n=1,2)			4.0	ns	CL=25pF 0.2*VDDOn→0.8*VDDOn *1
出カクロック ピリオドジッタ	CLKOUTn (n=1,2)		35ps (1σ)		ps	CL=25pF ICLK=19.2MHz CLKOUTn=48MHz *1
出カクロック デューティサイクル	CLKOUTn (n=1,2)	40	50	60	%	CL=25pF *1
出力ロック時間	CLKOUTn (n=1,2)		0.1	1	ms	*1 *2

*1) 設計値

*2) スタンバイ解除後(レジスタ STBY=1→0 設定後)、出力が所定の周波数の±0.1%に安定するまでの時間

*3) 表 1 に規定される周波数、又は、ICLK 端子の入力信号をレジスタ DIV_n(n=1,2)で設定した分周比で分周した周波数。

2-6) シリアルインタフェース

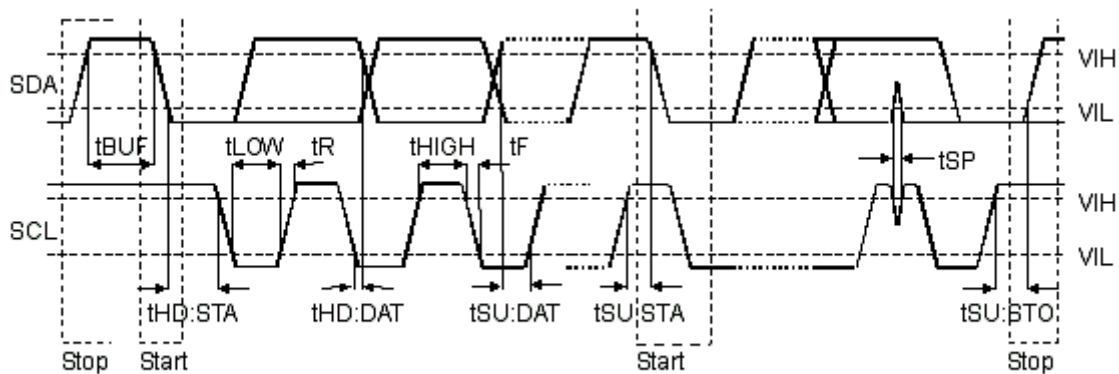
2-6-1) SDA/SCL 入出力特性

 $V_{DD}=1.7-1.9V, V_{DDO1,2}=1.7-2.8V, T_a=-20\sim 85^{\circ}C$

項目	適用端子	記号	MIN	TYP	MAX	単位
高レベル入力電圧	SDA/SCL ⁽¹⁾	V_{LH}	$0.7*V_{DD}$		3.6	V
低レベル入力電圧	SDA/SCL ⁽¹⁾	V_{iL}	VSS		$0.3*V_{DD}$	
シュミットトリガ入力のヒステリシス	SDA/SCL	V_{hys}	160m			
低レベル出力電圧 (シンク電流 3mA 時)	SDA	V_{OL}	0		$0.2*V_{DD}$	
入力電流	SDA/SCL	I_i	-10		10	μA
入力フィルタで抑圧される スパイクのパルス幅	SDA/SCL	TSP			50	ns
入力容量	SDA/SCL	C_i			10	pF

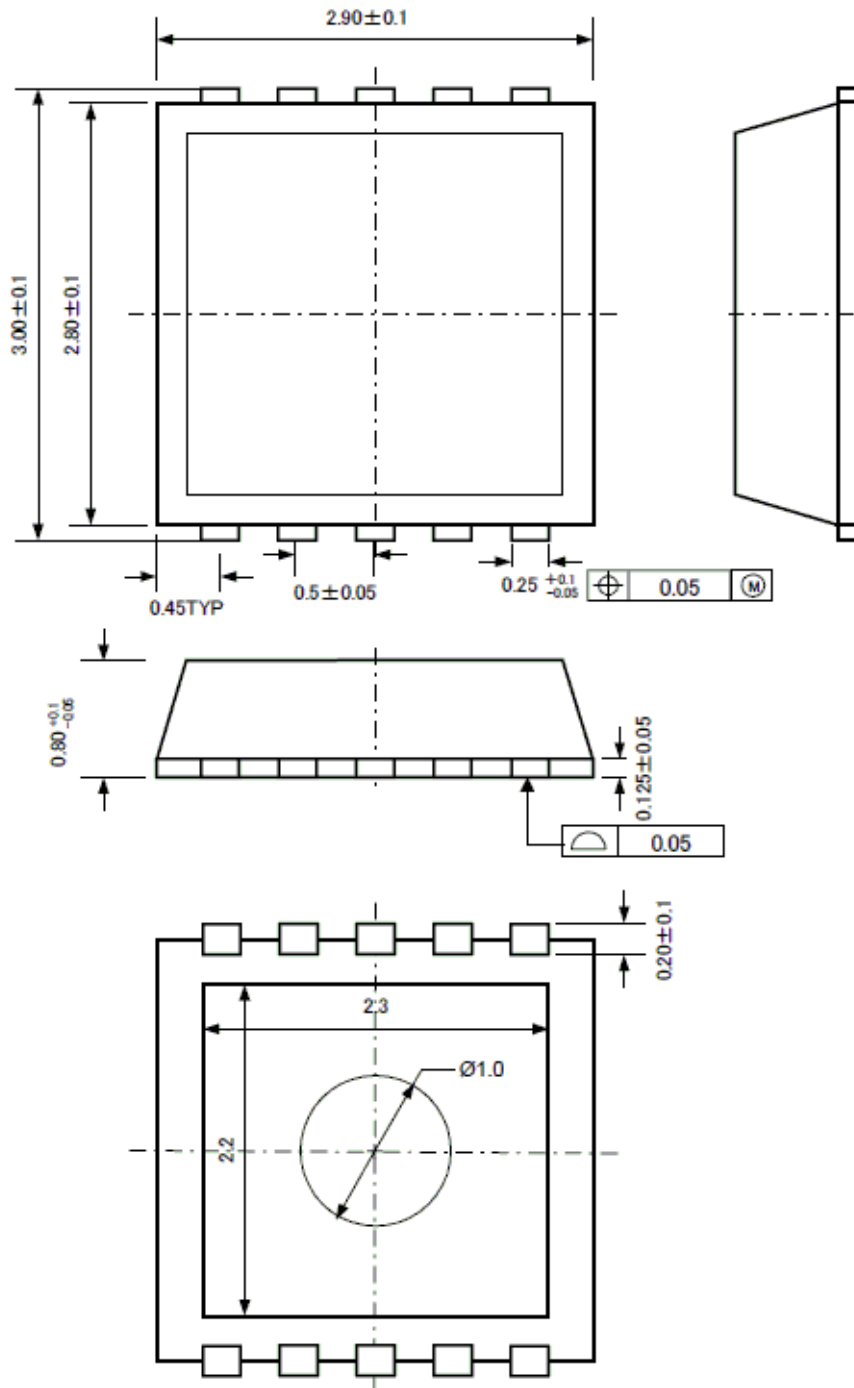
(1)SDA、SCL 端子は 3.6V 耐圧

2-6-2) 2 線式デジタルインタフェースバスライン特性



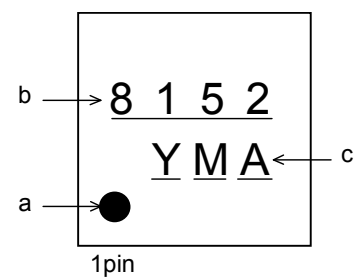
項目	記号	Min	Typ	Max	単位
SCL クロック周波数	fSCL	-		400	kHz
バスフリー時間(ストップ条件とスタート条件の間)	tBUF	1.3		-	μs
スタート条件ホールド時間 (この後、最初のクロックパルスを生成)	tHD:STA	0.6		-	μs
SCL クロックの”L”期間	tLOW	1.3		-	μs
SCL クロックの”H”期間	tHIGH	0.6		-	μs
反復スタート条件のセットアップ時間	tSU:STA	0.6		-	μs
データホールド時間	tHD:DAT	0		-	μs
データセットアップ時間	tSU:DAT	0.1		-	μs
SDA 及び SCL 信号の立ち上がり時間	tR	-		0.3	μs
SDA 及び SCL 信号の立ち下がり時間	tF	-		0.3	μs
ストップ条件のセットアップ時間	tSU:STO	0.6		-	μs
バスラインの容量性負荷	Cb	-		200	pF

3. パッケージ外形寸法図 (SON 10pin 単位mm)



4. マーキング図

- a. 1ピン表示
- b. マーケティングコード AK8152
- c. 日付コード



5. 機能説明

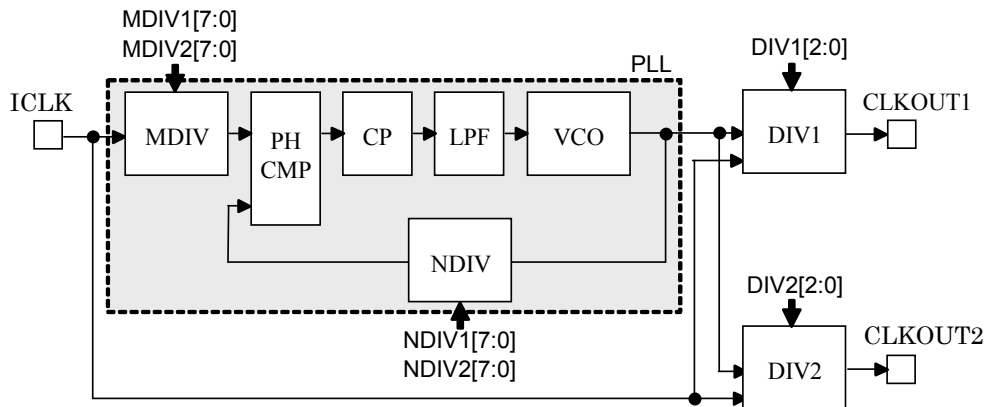


図 1 AK8152 内部ブロック図

5-1) 入力クロック

ICLK 端子から入力可能なクロック周波数は、12MHz、19.2MHz、26MHz、27MHz、48MHz の5つです。レジスタ MDIV1[n], MDIV2[n] (n=0-7) で、入力する周波数を一つを選択します。レジスタは表 1 を参照して設定して下さい。

5-2) PLL

PLL で生成可能な周波数は、108M、100M、96M、90M、81M、80M、78M、76MHz の 8 周波数です。出力周波数の設定は、レジスタ MDIV1[n], MDIV2[n], NDIV1[n], NDIV2[n] (n=0-7) で行います。レジスタは表 1 を参照して設定して下さい。

5-3) 出力分周器 DIV1, DIV2

PLL 出力または ICLK 端子入力が出力分周器 DIV1, DIV2 で分周され、CLKOUTn (n=1,2) 端子から出力されます。分周数は、2,4,6,8,10,12 の 6 つです。分周数の設定は、レジスタ DIV1[n], DIV2[n] (n=0,1,2) で行います。出力分周器の入力信号の選択はレジスタ DIVnINSEL (n=1,2) で行います。

5-4) 出力クロック周波数とレジスタ設定

CLKOUTn 端子から出力されるクロック周波数は、以下の関係で求められます。

$$\text{CLKOUTn 端子}(n=1,2)\text{の出力周波数} = \text{PLL 出力 または ICLK 端子入力} / \text{DIV1, DIV2 の分周数}$$

PLL 出力を分周して出力する場合の出力周波数を表 2 に、ICLK 端子入力を分周して出力する場合の出力周波数を表 3 に示します。所望の出力周波数を得るには、表 1 を参照してレジスタを設定して下さい。

表 1 レジスタ設定値と求め方

レジスタ	PLL 出力を分周する場合	ICLK 端子入力を分周する場合
DIVnINSEL(n=1,2)	0	1
DIV1[n], DIV2[n] (n=0,1,2)	表 2 から求める。	表 3 から求める。
MDIV1[n], MDIV2[n] NDIV1[n], NDIV2[n] (n=0~7)	表 4 から求める	設定不要 (PLL を使用しない為)

表 2 PLL 出力分周時の CLKOUTn(n=1,2)出力周波数 [MHz]

DIVn 分周数	PLL 出力周波数 [MHz]							
	108	100	96	90	81	80	78	76
2	54.000	50.000	48.000	45.000	40.500	40.000	39.000	38.000
4	27.000	25.000	24.000	22.500	20.250	20.000	19.500	19.000
6	18.000	16.667	16.000	15.000	13.500	13.333	13.000	12.667
8	13.500	12.500	12.000	11.250	10.125	10.000	9.750	9.500
10	10.800	10.000	9.600	9.000	8.100	8.000	7.800	7.600
12	9.000	8.333	8.000	7.500	6.750	6.667	6.500	6.333

表 3 ICLK 入力分周時の CLKOUTn(n=1,2)出力周波数 [MHz]

DIVn 分周数	ICLK 入力周波数 [MHz]				
	12	19.2	26	27	48
2	6.000	9.600	13.000	13.500	24.000
4	3.000	4.800	6.500	6.750	12.000
6	2.000	3.200	4.334	4.500	8.000
8	1.500	2.400	3.250	3.375	6.000
10	1.200	1.920	2.600	2.700	4.800
12	1.000	1.600	2.167	2.250	4.000

表 4 各周波数設定における分周レジスタ設定表

入力周波数 [MHz]	PLL 出力周波数 [MHz]	NDIV1[7:0] (アドレス FDh)	NDIV2[7:0] (アドレス FCh)	MDIV1[7:0] (アドレス FBh)	MDIV2[7:0] (アドレス FAh)
12	108	00001010	00001010	00000001	
	100	00001000	00001010		
	96	00000111	00001010		
	90	00001000	00001000		
	81	00000111	00000111		
	80	00001000	00000110		
	78	00001010	00000100		
	76	00000111	00000110		
19.2	108	00001101	00001000	00000010	
	100		00001011	00000100	
	96 (*)		00001010	00000100	
	90		00010000	00000110	
	81		00001101	00000110	
	80		00000110	00000100	
	78		00001100	00000110	
	76		00000101	00000100	
26	108	00001010	00001010	00000101	00000100
	100	00001000	00001010		
	96	00000111	00001010		
	90	00001000	00001000		
	81	00000111	00000111		
	80	00001000	00000110		
	78	00001010	00000100		
	76	00000111	00000110		
27	108	00001110	00001110	00000111	00000111
	100	00011100		00001100	00001011
	96	00001010		00000111	00000111
	90	00001000		00000111	00000111
	81	00000101		00000111	00000111
	80	00010010		00001100	00001011
	78	00000100		00000111	00000111
	76	00010000		00001100	00001011
48	108	00001010	00001010	00001010	
	100	00001000	00001010		
	96	00000111	00001010		
	90	00001000	00001000		
	81	00000111	00000111		
	80	00001000	00000110		
	78	00001010	00000100		
	76	00000111	00000110		

*) POR 時、初期設定値

5-5) 出力周波数の切り替え

出力中のクロックの周波数を切り替える場合、以下の手順を推奨致します。

クロック出力中の状態からスタンバイ状態を経由せずに周波数を変更した場合、変更後のクロック出力開始時に、所望の周波数と異なる周波数が一時的に出力されることがあります。出力周波数は出力クロック時間内に設定周波数に安定しますが、この現象を回避したい場合は、下記のように、1)スタンバイ状態解除の前に、CLKOUT 端子を一旦ディスエーブルにする 2)スタンバイ解除後、CLKOUT 端子をイネーブルにする、という手順で設定して下さい。

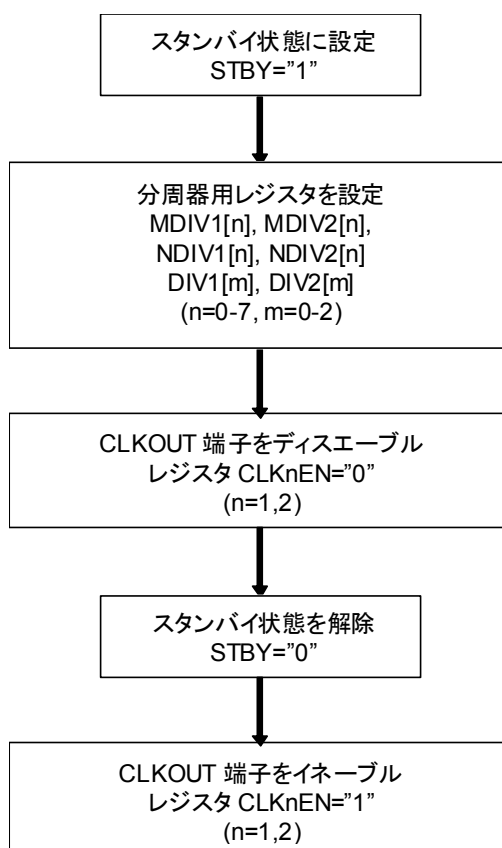


図 2 出力周波数切り替え手順

5-6)レジスタ構成

AK8152 は 8 ビットレジスタ 7 個を内蔵しており、2 線式デジタルインタフェースバスを使用してアクセスします (5-7 参照)。以下に構成を示します。

Address	Data								
	A[7:0]	D7	D6	D5	D4	D3	D2	D1	D0
FFh	CLK2EN	CLK1EN	---	---	---	---	---	---	---
FEh	DIV2 INSEL	DIV22	DIV21	DIV20	DIV1 INSEL	DIV12	DIV11	DIV10	
FDh	NDIV1 [7]	NDIV1 [6]	NDIV1 [5]	NDIV1 [4]	NDIV1 [3]	NDIV1 [2]	NDIV1 [1]	NDIV1 [0]	
FCh	NDIV2 [7]	NDIV2 [6]	NDIV2 [5]	NDIV2 [4]	NDIV2 [3]	NDIV2 [2]	NDIV2 [1]	NDIV2 [0]	
FBh	MDIV1 [7]	MDIV1 [6]	MDIV1 [5]	MDIV1 [4]	MDIV1 [3]	MDIV1 [2]	MDIV1 [1]	MDIV1 [0]	
FAh	MDIV2 [7]	MDIV2 [6]	MDIV2 [5]	MDIV2 [4]	MDIV2 [3]	MDIV2 [2]	MDIV2 [1]	MDIV2 [0]	
F9h	STBY	---	CLK2 SEL	---	---	---	---	---	---

注1) ”---“には常に 0 を設定して下さい。

注2) レジスタはパワーオンリセット(POR)で初期値に設定されます。

初期値は各レジスタ項目を参照して下さい。

POR をご利用になる場合、5-9 に記載の規定に従って電源を立ち上げて下さい。

5-7)各レジスタビットの機能説明

5-7-1) ADDRESS : FFh

D7	D6	D5	D4	D3	D2	D1	D0
CLK2EN	CLK1EN	---	---	---	---	---	---
0	0	0	0	0	0	0	0

(下段:パワーオンリセット時の初期値)

- **CLK1EN [Read/Write]** : CLKOUT1 端子のイネーブル/ディスエーブル設定を行います。
- **CLK2EN [Read/Write]** : CLKOUT2 端子のイネーブル/ディスエーブル設定を行います。

CLK1EN CLK2EN	CLKOUTn(n=1,2)端子の出力状態
0	Low
1	クロック出力*

*CLKnEN の設定はレジスタ STBY="0"の時に有効となります。

5-7-2) ADDRESS : FEh

D7	D6	D5	D4	D3	D2	D1	D0
DIV2 INSEL	DIV22	DIV21	DIV20	DIV1 INSEL	DIV12	DIV11	DIV10
0	0	0	0	0	0	0	0

(下段:パワーオンリセット時の初期値)

- **DIV1n (n=0,1,2) [Read/Write]** : CLKOUT1 用分周期 DIV1 の設定を行います。
- **DIV2n (n=0,1,2) [Read/Write]** : CLKOUT2 用分周期 DIV2 の設定を行います。

DIV12 DIV22	DIV11 DIV21	DIV10 DIV20	DIV1 の分周比選択 DIV2 の分周比選択
0	0	0	2
0	0	1	4
0	1	0	6
0	1	1	8
1	0	0	10
1	0	1	12
1	1	0	---
1	1	1	---

- **DIV1INSEL [Read/Write]** : CLKOUT1 用分周期 DIV1 の入力信号を選択します。
- **DIV2INSEL [Read/Write]** : CLKOUT2 用分周期 DIV2 の入力信号を選択します。

DIV1INSEL DIV2INSEL	DIV1 の入力信号 DIV2 の入力信号
0	PLL 出力
1	ICLK

注)DIV1INSEL、DIV2INSEL が共に "1"の時、PLL はパワーダウンします。

5-7-3) ADDRESS : FDh, FCh

FDh

D7	D6	D5	D4	D3	D2	D1	D0
NDIV1	NDIV1	NDIV1	NDIV1	NDIV1	NDIV1	NDIV1	NDIV1
[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
0	0	0	0	1	1	0	1

FCh

D7	D6	D5	D4	D3	D2	D1	D0
NDIV2	NDIV2	NDIV2	NDIV2	NDIV2	NDIV2	NDIV2	NDIV2
[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
0	0	0	0	1	0	1	0

(下段: パワーオンリセット時の初期値)

- NDIV1[n](n=0~7) [Read/Write]
- NDIV2[n](n=0~7) [Read/Write]

PLL 帰還分周数を設定します。各周波数における設定値は表 3 を参照してください。

5-7-4) ADDRESS : FBh, FAh

FBh

D7	D6	D5	D4	D3	D2	D1	D0
MDIV1	MDIV1	MDIV1	MDIV1	MDIV1	MDIV1	MDIV1	MDIV1
[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
0	0	0	0	0	1	0	0

FAh

D7	D6	D5	D4	D3	D2	D1	D0
MDIV2	MDIV2	MDIV2	MDIV2	MDIV2	MDIV2	MDIV2	MDIV2
[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
0	0	0	0	0	1	0	0

(下段: パワーオンリセット時の初期値)

- MDIV1[n](n=0~7) [Read/Write]
- MDIV2[n](n=0~7) [Read/Write]

PLL 入力分周数を設定します。各周波数における設定値は表 3 を参照してください。

5-7-5) ADDRESS : F9h

D7	D6	D5	D4	D3	D2	D1	D0
STBY	---	CLK2 SEL	---	---	---	---	---
1	0	0	0	0	0	0	0

(下段:パワーオンリセット時の初期値)

- STBY [Read/Write] : スタンバイ設定を行います。

STBY	デバイスの状態	CLKOUTn(n=1,2)端子 の出力状態
0	通常動作	CLKnEN の値に従う
1	スタンバイ	Low

- ・スタンバイ時は、2 線式デジタル IF 部のみ動作し、他はパワーダウンします。
- ・**ICLK 無入力時は STBY="1"を設定してください。**
- ・STBY レジスタは、POR 後、“1”に設定されています。通常動作に入るには、STBY="0"に設定して下さい。

- CLK2SEL [Read/Write] : CLKOUT2 端子の出力設定を行います。

CLK2SEL	CLKOUT2 端子の出力
0	DIV2n 設定有効
1	CLKOUT1 と同出力

- ・CLK2SEL="1" の時、CLKOUT2端子は DIV2n(n=0,1,2)の設定によらず、CLKOUT1 と同じ周波数が出力されます。本機能を使用すると、CLKOUT1と CLKOUT2 の位相関係が常に一定となります。但し、位相の前後関係は指定できません。動作中に、本レジスタの設定を変更する場合、5-5の記述の様に、一度スタンバイ状態にした後、設定を変更して下さい。

5-8) 2線式 デジタルインターフェース

本 IC のレジスタへのアクセスは 2 線式デジタルインターフェース (SCL 端子, SDA 端子) で行います。
I²C バスに接続可能ですが、バスの負荷容量は 200pF 以下となっておりますのでご注意ください。

電源投入後のレジスタ設定は、電源立ち上げ開始時点から 150ms 経過後に実施して下さい。
150ms 以内にアクセスした場合、書込みが正しく実行されないことがあります。POR 回路の動作については、5-8を参照して下さい。

◎データ転送

バス上の IC へのアクセスには、最初にスタートコンディションを入力します。次に、1バイトで構成されるデバイスのアドレスを含んだスレーブアドレスを入力します。この時、本 IC はこのアドレスと自分自身のアドレスを比較し、アドレスが一致した場合アクノリッジを生成します。アドレスが一致した後に、READ、又は、WRITE を実行します。命令終了時には、ストップコンディションを入力して下さい。

◎データの変更

SDAラインのデータ変更はSCLラインが“L”の間に行って下さい。クロックが“H”の間にはSDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのはSCLラインのクロック信号が“L”の時に限られます。SCLラインが“H”の時にSDAラインを変更するのは、スタートコンディション、ストップコンディションを入力する時のみです。

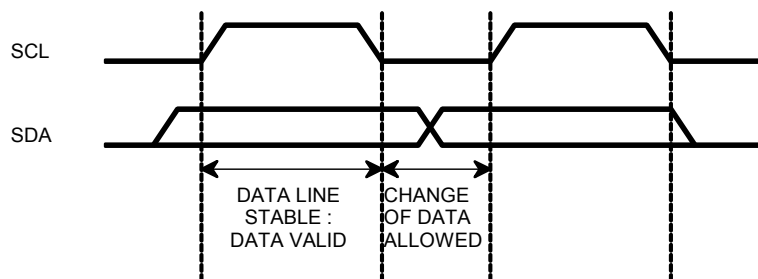


図 2 データの変更

◎スタートコンディションとストップコンディション

SCLラインが“H”の時にSDAラインを“H”から“L”にすると、スタートコンディションが作られます。
全ての命令は、スタート・コンディションから始まります。
SCLラインが“H”の時にSDAラインを“L”から“H”にすると、ストップコンディションが作られます。
全ての命令は、ストップコンディションにより終了します。

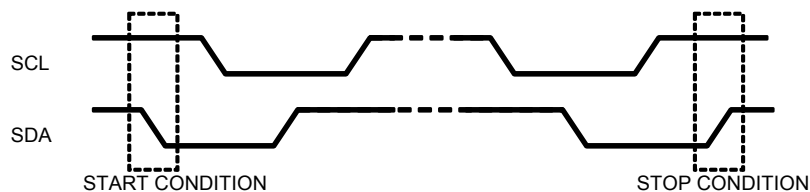


図 3 スタートコンディションとストップコンディション

◎アクノリッジ

データを送出しているICは、1バイトのデータを送出した後SDAラインを解放します(“H”の状態にする)。データを受信した場合、次のクロックでSDAラインを“L”にします。この動作はアクノリッジと呼ばれ、この動作により正しくデータ転送が行われた事を確認することができます。

本ICはスタートコンディションとスレーブアドレスを受け取るとアクノリッジを生成します。またWRITE命令の場合には各バイトの受信を完了する度にアクノリッジを生成します。READ命令の場合には、本ICはアクノリッジ生成に続いて指定されたアドレスのデータを出力した後SDAラインを解放し、SDAラインをモニタします。マスターがストップコンディションを送らずアクノリッジを生成した場合、本ICは次のアドレスのデータを出力します。マスターがアクノリッジを生成せずストップコンディションを送ると、本ICはデータ出力を終了します。

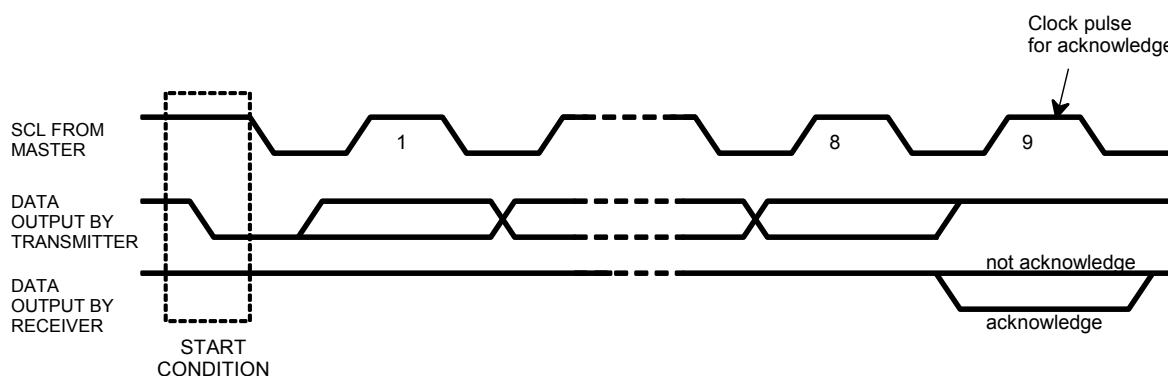


図 4 アクノリッジの生成

◎第一バイト

スレーブアドレスを含む第一バイトはスタートコンディションの後に入力され、スレーブアドレスによりバス上のICの中からアクセスするICが選ばれます。スレーブアドレスは上位7ビットで構成されます。本ICのスレーブアドレスは、“1011101”です。スレーブアドレスが入力されると、本ICはアドレスが一致していると判断してアクノリッジを生成、その後命令を実行します。第一バイトの8番目のビット(最下位ビット)はR/Wビットです。R/Wビット=“1”のときREAD命令が実行され、R/Wビット=“0”のときWRITE命令が実行されます。

1	0	1	1	1	0	1	R/W
---	---	---	---	---	---	---	-----

図 5 第一バイトの構成

◎WRITE命令

R/Wビットが“0”の場合、本ICはWRITE動作を行います。WRITE動作では、スレーブアドレス受信後、第二バイトを受信します。第二バイトは内部コントロールレジスタのアドレスを指定するバイトです。

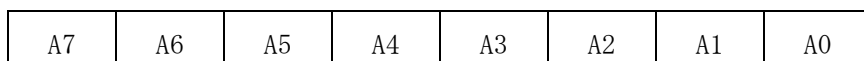


図 6 第二バイトの構成

第三バイト以降がコントロールデータになります。コントロールデータは8ビット、MSB firstで構成されます。

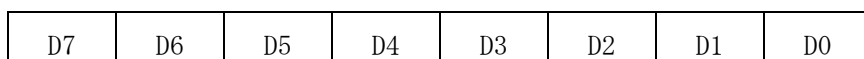


図 7 第三バイト以降の構成

本ICは複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後ストップコンディションを送らず更にデータを送ると、内部アドレスカウンタは自動的にインクリメントし、データは次のアドレスに格納されます。カウンタはFFHを越えるとロールオーバーして、次のデータはアドレスF9Hから順に格納されます。

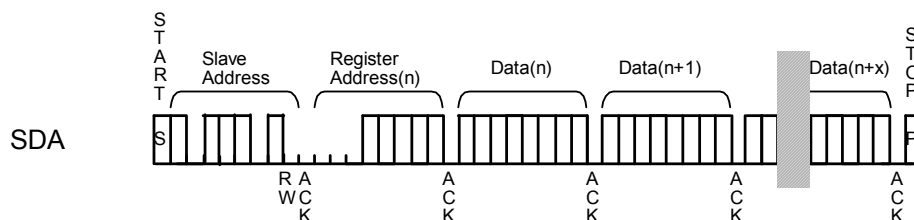


図 8 WRITE 命令

◎READ命令

R/Wビットが“1”の場合、本ICはREAD動作を行います。指定されたアドレスのデータが出力された後、マスターがストップコンディションを送らずアクノリッジを生成すると、次のアドレスのデータを読み出すことができます。アドレス:F9Hのデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス:F9Hのデータが読み出されます。本ICはカレントアドレスリードとランダムリードの二つのREAD命令を持っています。

◎カレントアドレス・リード

本ICは内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスがnであり、その後カレントアドレスリードを行った場合、アドレス:n+1のデータが読み出されます。

カレントアドレスリードでは、本ICはREAD命令のスレーブアドレス(R/Wビット=“1”)の入力に対してアクノリッジを生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。1バイトのデータが出力された後、マスターがアクノリッジを生成せずストップコンディションを送ると、READ動作は終了します。

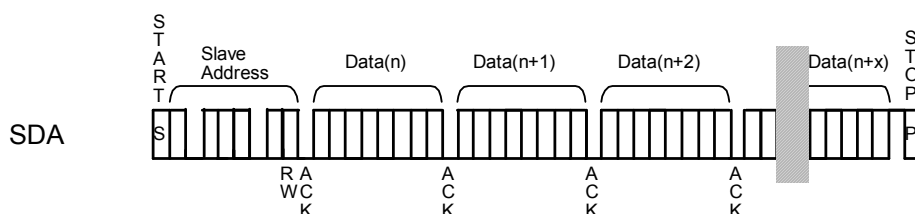


図 9 CURRENT ADDRESS READ 命令

◎ランダム・リード

ランダムリードにより任意のアドレスのデータを読み出すことができます。ランダムリードはREAD命令のスレーブアドレス(R/Wビット=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。

ランダムリードでは最初にスタートコンディションを入力し、次にWRITE命令のスレーブアドレス(R/Wビット=“0”)、読み出すアドレスを順次入力します。本ICがこのアドレス入力に対してアクノリッジを生成した後、再びスタートコンディション、READ命令のスレーブアドレス(R/Wビット=“1”)を入力します。本ICはこのスレーブアドレスの入力に対してアクノリッジを生成し、指定されたアドレスのデータを出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスターがアクノリッジを生成せず、ストップコンディションを送ると、READ動作は終了します。

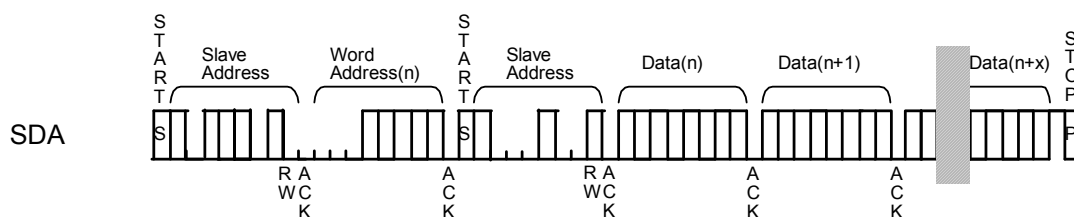


図 10 RANDOM READ 命令

5-9) パワーオンリセット (POR)

AK8152 は以下の規定に従って電源を立ち上げると、POR 回路が動作して IC 内部用のリセットパルスが発生します。リセットパルスが発生すると、レジスタは初期値に設定され、出力端子は表 4 の様な状態になります。

POR 回路を有効とするための電源立ち上げ規定

電源立ち上げ開始時から 20ms 以内に、目標とする電源電圧の 90% に達すること。

注意! 電源投入時のレジスタ設定は、電源が立ち上がり始めた時点から 150ms 経過後に実施して下さい。

表 5 POR 時の端子状態

端子名	端子状態
SDA	入力モード
CLKOUT1	Low
CLKOUT2	Low

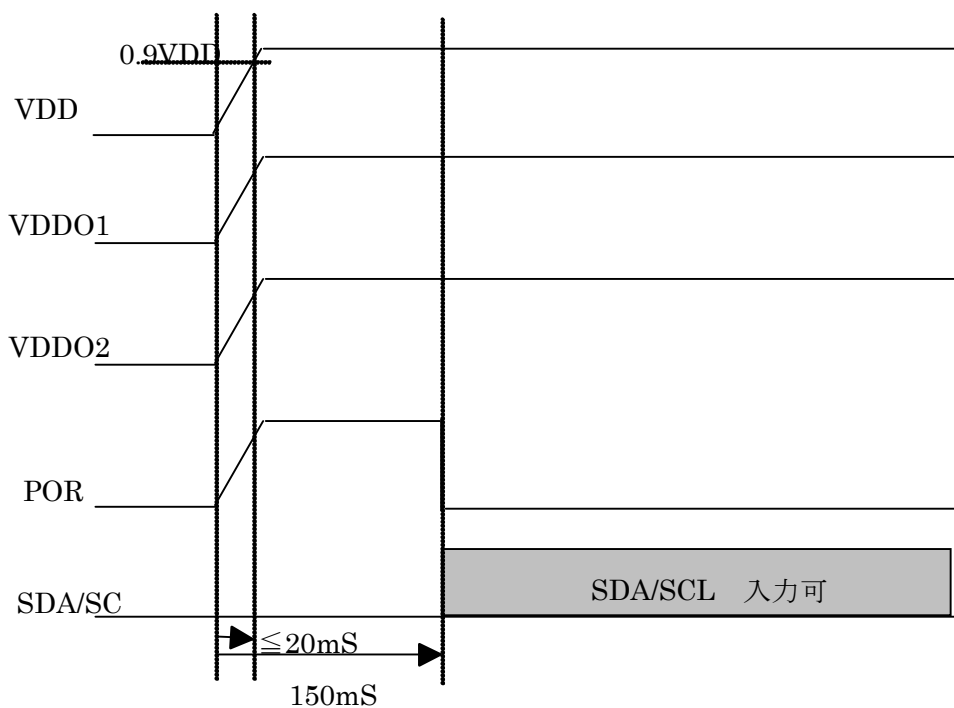


図 11 推奨立ち上げシーケンス

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用した場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。