

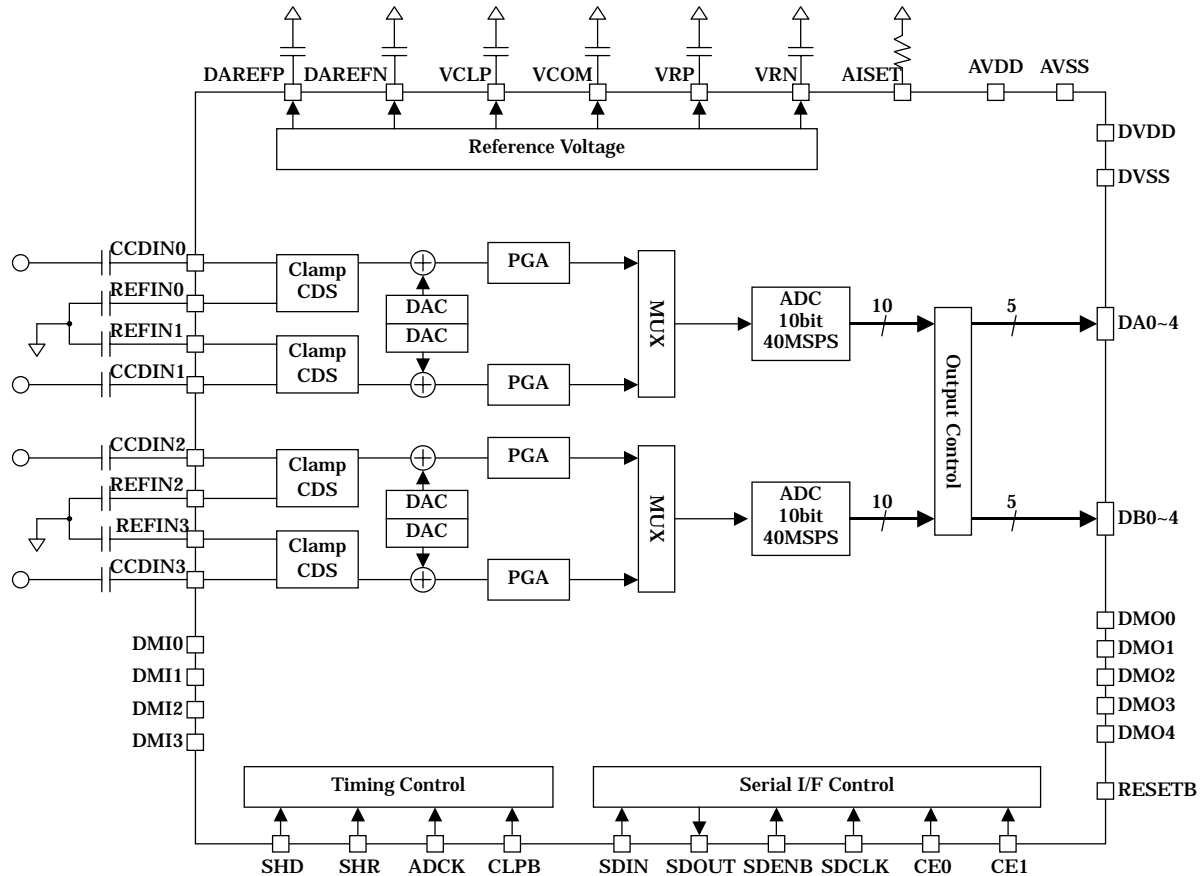


AK8434

4CH リニアセンサー対応 10bit 40MSPS×2 アナログプリプロセッサ

## 特長

- 最大処理速度
  - CDS モード, クランプモード時
  - 1CH, 2CH モード:           チャンネル当たり 40M sample/sec
  - 4CH モード:                   チャンネル当たり 20M sample/sec
  - DC 直結モード時
  - 1CH, 2CH モード:           チャンネル当たり 10M sample/sec
  - 4CH モード:                   チャンネル当たり 8.3M sample/sec
- 最大入力信号レベル: 1.35Vpp(typ.)@DC 直結モード, CDS モード  
1.29Vpp(typ.)@クランプモード
- CCD, CIS 両方の信号極性に対応
- 4CH 同時サンプリング CDS 回路(Correlated Double Sampling:相関二重サンプル)
- オフセット DAC:           レンジ±200mV(typ.), 8bit, 4 チャンネル独立
- PGA:                        ゲイン調整範囲 0dB~18dB(typ.), 8bit, 4 チャンネル独立
- リニアリティ:            DNL= -1LSB(min.), +1.5LSB(max.) コード欠けなし保証
- 5bit 出力バス:            10bit データを 5bit×2 サイクルで出力
- 4 線式シリアルインターフェース
- 電源:                    3.3V±0.3V
- 消費電力:                360mW(typ.)@4ch モード, チャンネル当たり 20M sample/sec
- パッケージ:            64pin LQFP, ピンピッチ 0.5mm, モールド 10mm×10mm



## 各ブロックの機能

### □ Clamp/CDS センサーインターフェース回路

センサ出力の画信号レベルをサンプリングする回路です。サンプリングの方法として、CDS モードとクランプモード、DC 直結モードの3種類のモードを持っています。チャンネル数モードは1、2、4チャンネルがあり、チャンネル数モードによって使われるチャンネルが決まっています。使用しないチャンネルのCDS回路、DAC、PGA および ADC は自動的にパワーダウンします。

### □ DAC オフセット加算用 D/A コンバータ

センサーインターフェース部でサンプリングした信号レベルに加算するオフセット電圧を生成する D/A コンバータです。DAC のレンジは $\pm 200\text{mV}(\text{typ.})$ で分解能は8bitです。チャンネル毎に異なるオフセット電圧をレジスタで設定できます。

### □ PGA (Programmable Gain Amplifier)

各チャンネルの信号振幅を調整するためのプログラマブルゲインアンプです。ゲインの設定範囲は0dB から18dB(typ.)、分解能は8bitです。チャンネル毎に異なるゲインをレジスタで設定できます。

### □ MUX チャンネルマルチプレクサ

4チャンネルモードのとき、同時にサンプリングした2つのチャンネルの信号を時分割でADCへ入力するためのアナログスイッチです。4チャンネルモードのとき、10bit ADC は時分割で2つのチャンネルを処理します。

### □ ADC A/D コンバータ

オフセット調整およびゲイン調整後の画信号レベルをデジタルデータに変換する10bit,40MSPSのA/Dコンバータです。ADCは2個あり、それぞれにMUXを介して2つのチャンネルが接続されています。

### □ Output Control ADC 出力データコントロール

ADC データの出力フォーマットを制御するデジタル回路です。ADC データはレジスタの設定により5bit幅もしくは10bit幅で出力されます。5bit幅のときはACDKの立ち上がりで上位5bit、ADCKの立ち下がりで下位5bitのADCデータが出力されます。10bit幅のときは立ち上がりと立ち下がりで別のチャンネルのADCデータが出力されます。また、10bit幅を選択したときはレジスタの設定により、ADCKの立ち上がりのみでADCデータを出力させることもできます。

### □ Reference Voltage 基準電圧生成回路

内部のクランプレベルVCLP、アナログコモンレベルVCOM、ADC基準電圧VRP,VRN、DAC基準電圧DAREFP,DAREFNを生成する回路です。

### □ Timing Control タイミング発生回路

入力クロックADCK,SHR,SHD,CLPBから、内部のタイミングパルスを発生するデジタル回路です。ADCKはADCの動作とADC出力データコントロール部の動作に使われるクロックです。SHRはセンサ信号のリファレンスレベルをサンプリングするタイミングパルスです。SHDはセンサ信号のデータレベルをサンプリングするタイミングパルスです。CLPBはクランプ区間を示すタイミングパルスです。

### □ Serial I/F Control シリアルレジスタ・インターフェース回路

コントロールレジスタに値を設定するための 4 線式シリアルインターフェースです。コントロールレジスタは読み出しも可能です。チップイネーブルピン CE0,CE1 でチップのアドレスを指定することにより、同一の 4 線に 4 個までの AK8434 を接続することができます。

## ピン配置

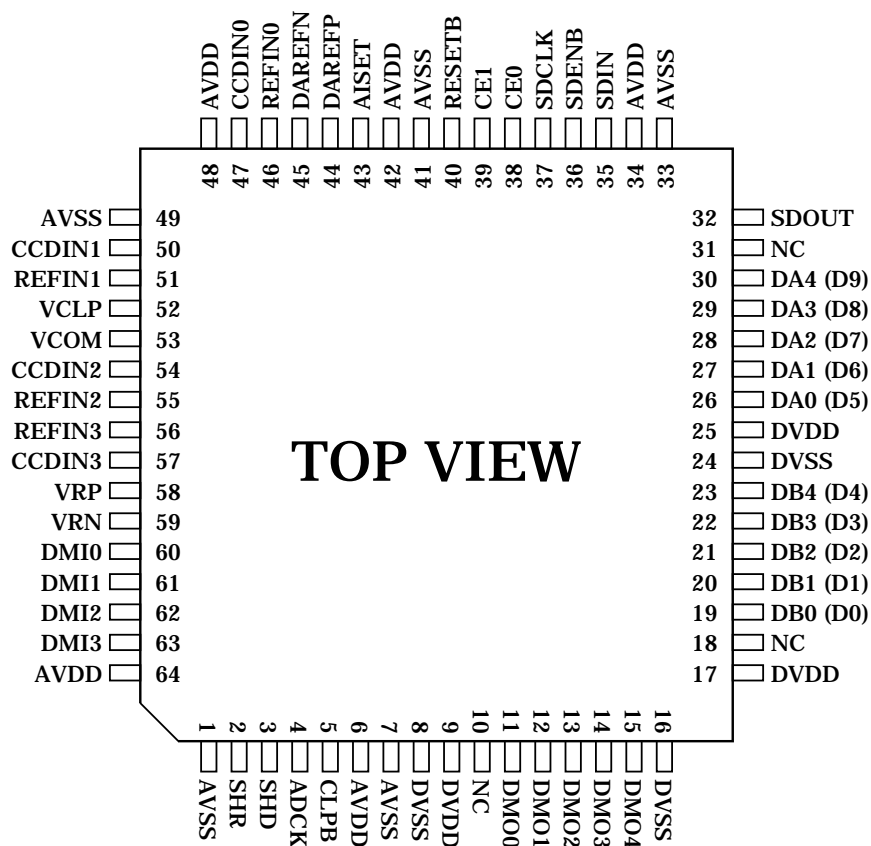


図 1 ピン配置

## ピン機能

No.	Name	Type	Description
1	AVSS	PWR	アナロググランド
2	SHR	I	リファレンスレベル サンプリングパルス入力
3	SHD	I	データレベル サンプリングパルス入力
4	ADCK	I	ADC サンプリングクロック入力
5	CLPB	I	クランプ制御入力、Low:クランプ動作 ON、High:クランプ動作 OFF CDS モードの時は Low に固定してください。
6	AVDD	PWR	アナログ電源
7	AVSS	PWR	アナロググランド
8	DVSS	PWR	デジタルグランド
9	DVDD	PWR	デジタル電源
10	NC		オープンまたは AVSS 接続にしてください。
11	DMO1	O	ダミー出力ピン
12	DMO2	O	オープンにしてください。
13	DMO3	O	通常動作時: Low レベルを出力
14	DMO4	O	パワーダウン時: レジスタ設定により Low レベルまたは High-Z 出力
15	DMO5	O	
16	DVSS	PWR	デジタルグランド
17	DVDD	PWR	デジタル電源
18	NC		オープンまたは AVSS 接続にしてください。
19	DB0 (D0)	O	ADC 出力、ストレートバイナリコード、括弧内は 10bit 幅出力時の呼び名 (5bit 幅出力時 DB0:LSB 側、DB4:MSB 側 10bit 幅出力時 D0: LSB) 1CH モード 5bit 幅出力のときは使用しません。このときは次の状態になります。 通常動作時: Low レベルを出力 パワーダウン時: レジスタ設定により Low レベルまたは High-Z 出力
20	DB1 (D1)	O	
21	DB2 (D2)	O	
22	DB3 (D3)	O	
23	DB4 (D4)	O	
24	DVSS	PWR	デジタルグランド
25	DVDD	PWR	デジタル電源
26	DA0 (D5)	O	ADC 出力、ストレートバイナリコード、括弧内は 10bit 幅出力時の呼び名 (5bit 幅出力時 DA0:LSB 側、DA4:MSB 側 10bit 幅出力時 D9: MSB)
27	DA1 (D6)	O	
28	DA2 (D7)	O	
29	DA3 (D8)	O	
30	DA4 (D9)	O	
31	NC		オープンまたは AVSS 接続にしてください。
32	SDOUT	O	シリアル I/F データ出力
33	AVSS	PWR	アナロググランド
34	AVDD	PWR	アナログ電源

No.	Name	Type	Description
35	SDIN	I	シリアル I/F データ入力
36	SDENB	I	シリアル I/F データイネーブル
37	SDCLK	I	シリアル I/F クロック
38	CE0	I	チップイネーブル
39	CE1	I	
40	RESETB	I	リセット
41	AVSS	PWR	アナロググランド
42	AVDD	PWR	アナログ電源
43	AISSET	I	内部バイアス電流、AVSS との間に抵抗 8.2kΩを接続
44	DAREFP	O	DAC 基準電圧正側、AVSS との間に安定化用コンデンサを接続
45	DAREFN	O	DAC 基準電圧負側、AVSS との間に安定化用コンデンサを接続
46	REFIN0	I	リファレンス入力、AVSS との間に CCDIN0 の入力コンデンサと同容量のコンデンサを接続。DC 直結モード時は信号の基準レベルを入力。
47	CCDIN0	I	センサ信号入力
48	AVDD	PWR	アナログ電源
49	AVSS	PWR	アナロググランド
50	CCDIN1	I	センサ信号入力
51	REFIN1	I	リファレンス入力、AVSS との間に CCDIN1 の入力コンデンサと同容量のコンデンサを接続。DC 直結モード時は信号の基準レベルを入力。
52	VCLP	O	クランプレベル出力、AVSS との間に安定化用コンデンサを接続
53	VCOM	O	内部基準電圧、AVSS との間に安定化用コンデンサを接続
54	CCDIN2	I	センサ信号入力
55	REFIN2	I	リファレンス入力、AVSS との間に CCDIN2 の入力コンデンサと同容量のコンデンサを接続。DC 直結モード時は信号の基準レベルを入力。
56	REFIN3	I	リファレンス入力、AVSS との間に CCDIN3 の入力コンデンサと同容量のコンデンサを接続。DC 直結モード時は信号の基準レベルを入力。
57	CCDIN3	I	センサ信号入力
58	VRP	O	ADC 基準電圧正側、AVSS との間に安定化用コンデンサを接続
59	VRN	O	ADC 基準電圧負側、AVSS との間に安定化用コンデンサを接続
60	DMI0	I	ダミー入力ピン オープンにしてください。
61	DMI1		
62	DMI2		
63	DMI3		
64	AVDD	PWR	アナログ電源

Type I: 入力ピン O: 出力ピン PWR: 電源ピン

注) AVDD はアナログ部およびロジック部の電源、DVDD はデジタル出力バッファの電源です。

## 絶対最大定格

AVSS= DVSS=0V、全ての電圧はグランドに対する値です。

項目	記号	Min.	Max.	単位	備考
電源電圧	AVDD	-0.3	4.5	V	
	DVDD	-0.3	4.5	V	
入力電流	IIN	-10	10	mA	電源ピンを除く
アナログ入力電圧	VINA	-0.3	AVDD+0.3	V	
デジタル入力電圧(入力ピン)	VINL	-0.3	AVDD+0.3	V	
デジタル入力電圧(出力ピン)	VONL	-0.3	DVDD+0.3	V	外部過入力に対する制約
動作周囲温度	Ta	0	70	°C	
保存温度	Tstg	-65	150	°C	

これらの限界以上での動作は素子の永久破壊を引き起こす可能性があります。  
この極限状態での通常動作は保証されません。

## 推奨動作条件

AVSS= DVSS=0V、全ての電圧はグランドに対する値です。

項目	記号	Min.	Typ.	Max.	単位	備考
電源電圧 アナログ 出力バッファ	AVDD	3.0	3.3	3.6	V	
	DVDD	3.0	3.3	3.6	V	
REFINn(n=0~3) DC 直結 モード時入力電圧	VREFIN	0		AVDD -1.3	V	正極性時
		1.3		AVDD	V	負極性時

## 電気的特性

## ■ DC 特性

(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

項目	記号	ピン	Min.	Max.	単位	備考
High レベル入力電圧	VIH	注1	0.7AVDD		V	
Low レベル入力電圧	VIL	注1		0.3AVDD	V	
High レベル出力電圧 1	VOH1	注2	0.7DVDD		V	IOH= -1mA
Low レベル出力電圧 1	VOL1	注2		0.3DVDD	V	IOL= 1mA
High レベル出力電圧 2	VOH2	注3	0.7DVDD		V	IOH= -0.25mA
Low レベル出力電圧 2	VOL2	注3		0.3DVDD	V	IOL= 0.25mA
入力リーク電流	ILIKG	注1	-10	10	μA	
High-Zリーク電流	IOZ	注2	-10	10	μA	

(注1) SHD, SHR, ADCK, CLPB, SDCLK, SDENB, SDIN, CE0, CE1, RESETB

(注2) DA0~DA4, DB0~DB4

(注3) SDOUT

## ■ アナログ特性

(AVDD=3.3V, DVDD=3.3V, Ta= 25°C, 特記無き場合は ADCK=40MHz)

項目	記号	条件	min.	typ.	max.	単位
基準電圧部						
クランプ電圧	VCLP	正極性時 負極性時	1.25 2.15	1.4 2.3	1.55 2.45	V
コモン電圧	VCOM		1.1	1.2	1.3	V
ADC 正側基準電圧	VRP		1.6	1.7	1.8	V
ADC 負側基準電圧	VRN		0.6	0.7	0.8	V
DAC 正側基準電圧	DAREFP	正極性時 負極性時	1.845 0.945	2.245 1.345	2.645 1.745	V
DAC 負側基準電圧	DAREFN	正極性時 負極性時	1.605 0.74	2.005 1.14	2.405 1.54	V
クランプ/CDS 部						
入力レンジ	VI	PGA ゲイン=0dB 設定時 CDS モード クランプモード DC 直結モード	1.23 1.19 1.23	1.35 1.29 1.35	1.47 1.39 1.47	Vpp
入力容量	CIN	CCDIN		10		pF
入力帯域幅 (注 1)	CBW	CCDIN~ADC PGA ゲイン=0dB 設定時		1		pixel
オフセット調整 DAC						
分解能	DRES				8	bit
レンジ	DRNG	入力換算	±165	±200	±235	mV
微分非直線性	DNL	単調性保証	-1.0		+1.5	LSB
PGA						
最大ゲイン	GMAX	CCDIN~ADC 0dB 設定に対する相対値	17.5	18	18.5	dB
ステップ幅	GSTA	単調性保証		0.06 ~0.11		dB
ADC						
分解能	RES				10	bit
微分非直線性	DNL	CCDIN~ADC コード欠けなし保証	-1.0		+1.5	LSB
ノイズ、内部オフセット、クロストーク						
無入力時ノイズ (注 2)	NI	PGA ゲイン=0dB 設定時 PGA ゲイン=18dB 設定時		0.4 0.7		LSB <sub>rms</sub>
内部オフセット(注 3)	VOFST	PGA ゲイン=0dB 設定時	-50		50	mV
クロストーク	XTALK1 XTALK2	(注 4) (注 5)	-3	±1	+3	LSB
消費電流						
アナログ部 通常動作時	IA	1CH モード 4CH モード		45 110	65 220	mA
デジタル出力部	ID	4CH モード,フルスケール -2dB 1MHz 正弦波入力, 負荷 10pF		20	60	mA
パワーダウン時	IPD	アナログ部+デジタル部			0.1	mA

消費電流は外部回路例に示した AASET 外付け抵抗値の時のものです。

- (注 1) フルスケール-2dB のステップ信号を入力したときに ADC 出力が $\pm 1\text{LSB}$  以内にセトリングするまでの時間。
- (注 2) 無入力時の ADC 出力コードばらつきの $\sigma$ として定義。
- (注 3) 無入力時、オフセット DAC 設定 A0h(入力換算で-50mV に相当)と 60h(入力換算で 50mV に相当)の間に ADC 出力コードが 000h から 001h に変化するオフセット DAC 設定値があるという定義。オフセット調整 DAC のレンジはこの内部オフセットの調整にも使われるため、入力に対する調整レンジは内部オフセット分だけ減少します。
- (注 4) ADCK=40MHz、A/D 変換レートモード、4CH、CDS モード、被測定チャンネルの PGA ゲイン=max.、他のチャンネルの PGA ゲイン=min.。被測定チャンネルの入力を固定し、他のチャンネルにフルスケール-1dB のステップ信号を入力したときの被測定チャンネルの出力コードの振れとして定義。
- (注 5) ADCK=10MHz、A/D 変換レートモード、全チャンネル PGA ゲイン=min.。被測定チャンネルの入力を固定し、他のチャンネルにフルスケール-1dB のステップ信号を入力した時の被測定チャンネルの出力コードの振れとして定義。



■ スwitching特性 1: ADC 変換レートモード, DC 直結モード時

- ・ タイミング図(1) 5bit 幅, 1CH,2CH モード
- ・ タイミング図(3) 5bit 幅, 4CH モード
- ・ タイミング図(5) 10bit 幅, 1CH モード
- ・ タイミング図(7) 10bit 幅, 2CH モード
- ・ タイミング図(9) 10bit 幅, 4CH モード

(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

No.	項目	適用端子	Min.	Typ.	Max.	単位	条件
1	ADCK サイクル時間(T)	ADCK	60		2000	ns	4CH モード
			100		2000		1,2CH モード
2	ADCK 低レベル幅	ADCK	30			ns	4CH モード
			50				1,2CH モード
3	ADCK 高レベル幅	ADCK	30			ns	4CH モード
			50				1,2CH モード
4	SHD サイクル時間	SHD		2T		ns	4CH モード
				T			1,2CH モード
6	SHD パルス幅	SHD	30			ns	
7	SHD セットアップ時間 (対 ADCK )	SHD	0			ns	
8	SHD デレイ時間 (対 ADCK )	SHD	30			ns	
10	CCDIN0 ~ 3 ホールド時間 (対 SHD )	CCDIN0 ~CCDIN3	2			ns	
11	出力データ遅延時間 (対 ADCK )	DA4~DA0 DB4~DB0			12	ns	C=10pF
12	パイプラインデレイ	DA4~DA0 DB4~DB0		9		ADCK 換算	2,4CH モード および 1CH 5bit 幅モード
				8.5			1CH 10bit 幅モード
13	SHD="H"禁止区間 (対 SHD 後、1発目の ADCK 基準)	SHD	T+1			ns	4ch モード

■ スイッチング特性 2: ADC 変換レートモード, CDS, クランプモード時

- ・ タイミング図(2) 5bit 幅, 1CH, 2CH モード
- ・ タイミング図(4) 5bit 幅, 4CH モード
- ・ タイミング図(6) 10bit 幅, 1CH モード
- ・ タイミング図(8) 10bit 幅, 2CH モード
- ・ タイミング図(10) 10bit 幅, 4CH モード

(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

No.	項目	適用端子	Min.	Typ.	Max.	単位	条件
1	ADCK サイクル時間(T)	ADCK	25		2000	ns	
2	ADCK 低レベル幅	ADCK	12.5			ns	
3	ADCK 高レベル幅	ADCK	12.5			ns	
4	SHR, SHD サイクル時間	SHR, SHD		2T		ns	4ch モード
				T			1,2ch モード
5	SHR パルス幅	SHR	8			ns	
6	SHD パルス幅	SHD	8			ns	
7	SHD セットアップ時間 (対 ADCK )	SHD	0			ns	
8	SHD デレイ時間 (対 ADCK )	SHD	11			ns	
9	CCDIN0 ~ 3 ホールド時間 (対 SHR )	CCDIN0 ~CCDIN3	2			ns	
10	CCDIN0 ~ 3 ホールド時間 (対 SHD )	CCDIN0 ~CCDIN3	2			ns	
11	出力データ遅延時間 (対 ADCK )	DA4~DA0 DB4~DB0			12	ns	C=10pF
12	パイプラインディレイ	DA4~DA0 DB4~DB0		9		ADCK 換算	2,4ch モード および 1CH 5bit 幅モード
				8.5			1CH 10bit 幅モード
13	SHD="H"禁止区間 (対 SHD 後、1発目の ADCK 基準)	SHD	T+1			ns	4ch モード

■ スイッチング特性 3: 総画素レートモード, DC 直結モード時

- ・ タイミング図(11) 10bit 幅, 2CH モード
- ・ タイミング図(13) 10bit 幅, 4CH モード

(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

No.	項目	適用端子	Min.	Typ.	Max.	単位	条件
1	ADCK サイクル時間(T)	ADCK	30		500	ns	4ch モード
			50		1000		2ch モード
2	ADCK 低レベル幅	ADCK	15			ns	4ch モード
			25				2ch モード
3	ADCK 高レベル幅	ADCK	15			ns	4ch モード
			25				2ch モード
4	SHD サイクル時間	SHD		4T		ns	4ch モード
				2T			2ch モード
6	SHD パルス幅	SHD	30			ns	
7	SHD セットアップ時間 (対 ADCK )	SHD	0		T/2	ns	
8	SHD デレイ時間 (対 ADCK )	SHD	30			ns	
10	CCDIN0 ~ 3 ホールド時間 (対 SHD )	CCDIN0 ~CCDIN3	2			ns	
11	出力データ遅延時間 (対 ADCK )	DA4~DA0 DB4~DB0			12	ns	C=10pF
12	パイプラインディレイ	DA4~DA0 DB4~DB0		20		ADCK 換算	
13	SHD="H"禁止区間 (対 SHD 後、1発目の ADCK 基準)	SHD	2T+1			ns	4ch モード

■ スイッチング特性 4: 総画素レートモード, CDS, クランプモード時

- ・ タイミング図(12) 10bit 幅, 2CH モード
- ・ タイミング図(14) 10bit 幅, 4CH モード

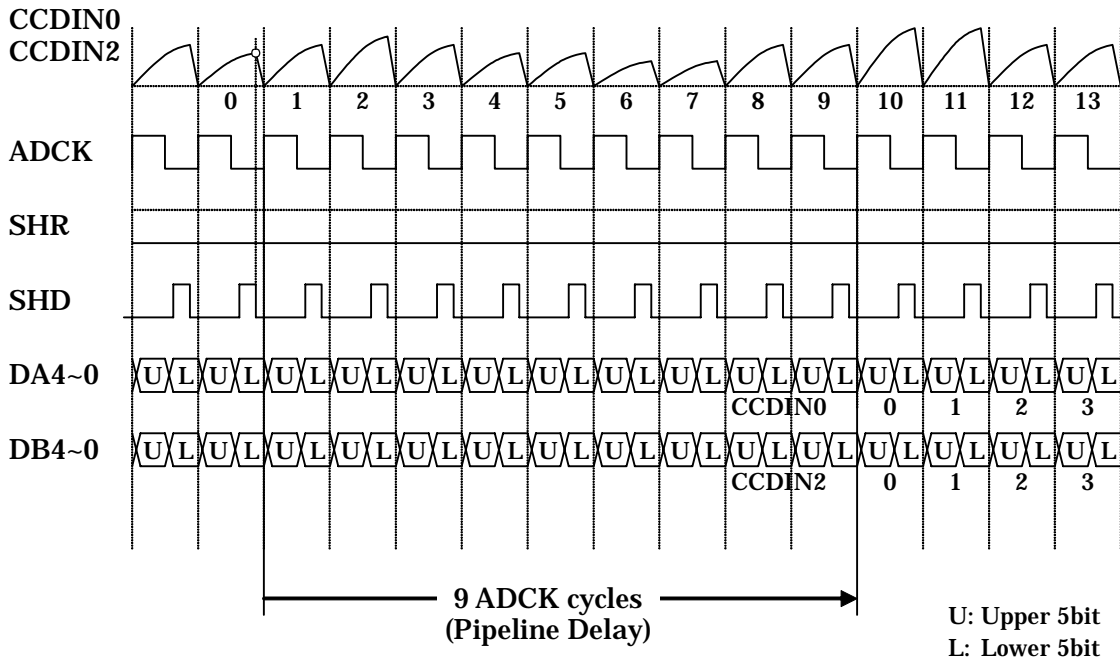
(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

No.	項目	適用端子	Min.	Typ.	Max.	単位	条件
1	ADCK サイクル時間(T)	ADCK	12.5		500	ns	4ch モード
			12.5		1000		2ch モード
2	ADCK 低レベル幅	ADCK	6.25			ns	
3	ADCK 高レベル幅	ADCK	6.25			ns	
4	SHR,SHD サイクル時間	SHR, SHD		4T		ns	4ch モード
				2T			2ch モード
5	SHR パルス幅	SHR	8			ns	
6	SHD パルス幅	SHD	8			ns	
7	SHD セットアップ時間 (対 ADCK )	SHD	0		T/2	ns	
8	SHD デレイ時間 (対 ADCK )	SHD	12			ns	
9	CCDIN0 ~ 3 ホールド時間 (対 SHR )	CCDIN0 ~CCDIN3	2			ns	
10	CCDIN0 ~ 3 ホールド時間 (対 SHD )	CCDIN0 ~CCDIN3	2			ns	
11	出力データ遅延時間 (対 ADCK )	DA4~DA0 DB4~DB0			12.0	ns	C=10pF
12	パイプラインデレイ	DA4~DA0 DB4~DB0		20		ADCK 換算	
13	SHD="H"禁止区間 (対 SHD 後、1発目の ADCK 基準)	SHD	2T+1			ns	4ch モード

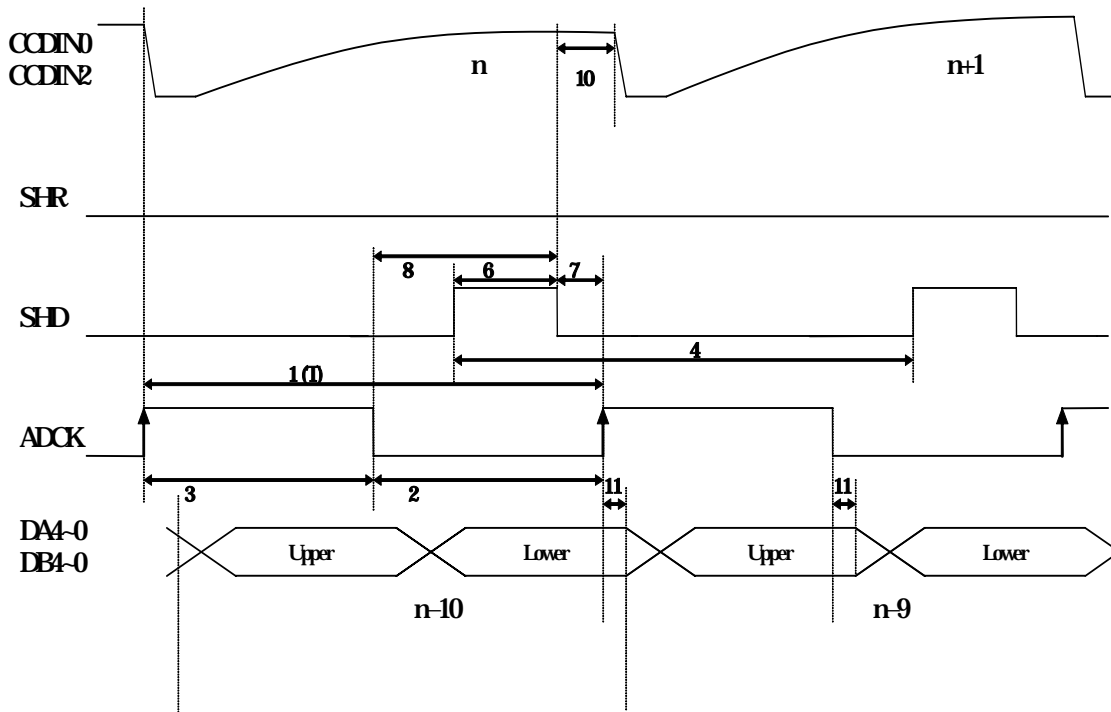
タイミングは DC 特性で規定された各レベルを横切った時点で規定されます。

■ タイミング図(1): ADCK 周波数=A/D 変換レートモード(5bit 幅出力)

- ・ 1CH, 2CH モード(DC 直結モード、正極性)
- スイッチング特性 1 の表を参照してください。



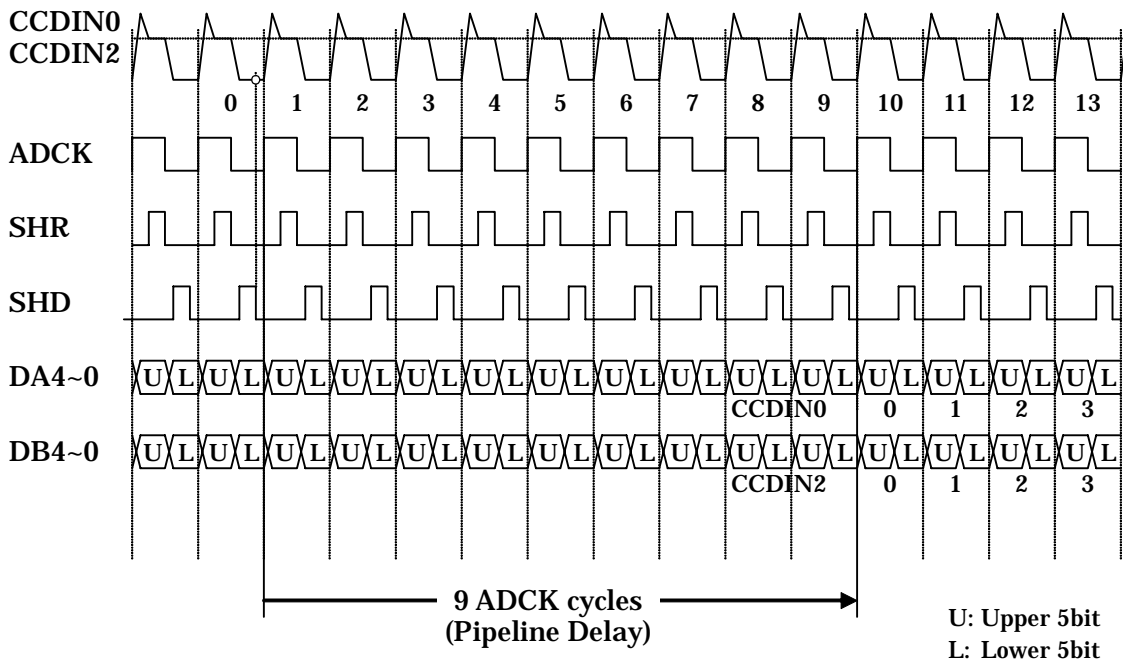
1CH、2CH モード時 全体タイミング



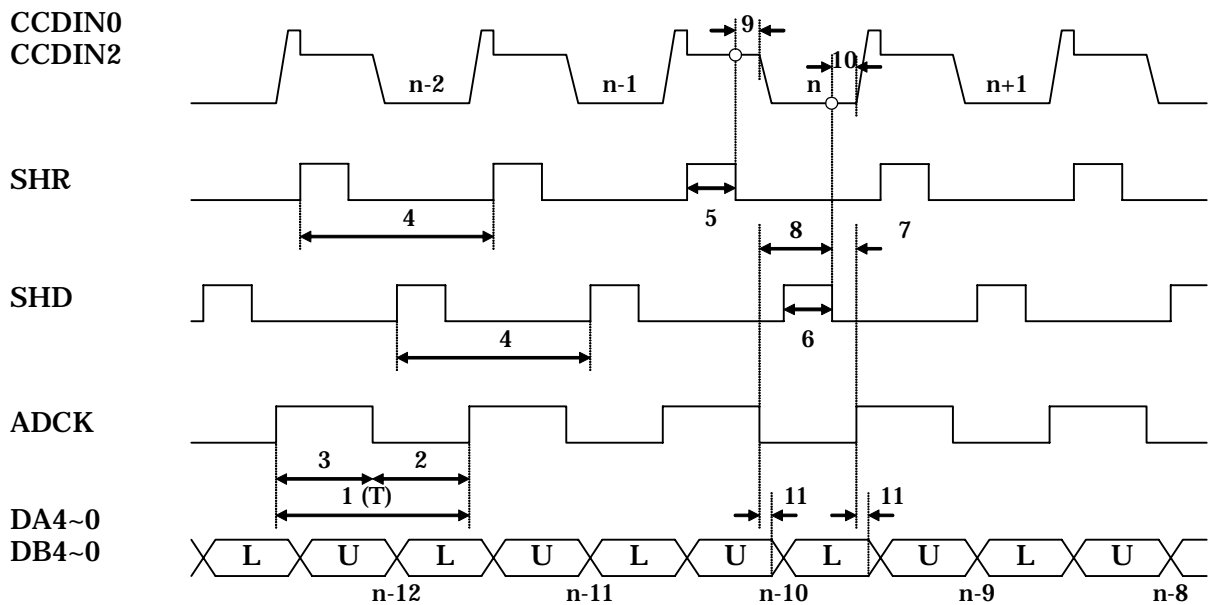
1CH、2CH モード時 詳細タイミング

■ タイミング図(2): ADCK 周波数=A/D 変換レートモード(5bit 幅出力)

- ・ 1CH, 2CH モード(CDS モード&クランプモード、負極性)
- スイッチング特性 2 の表を参照してください。



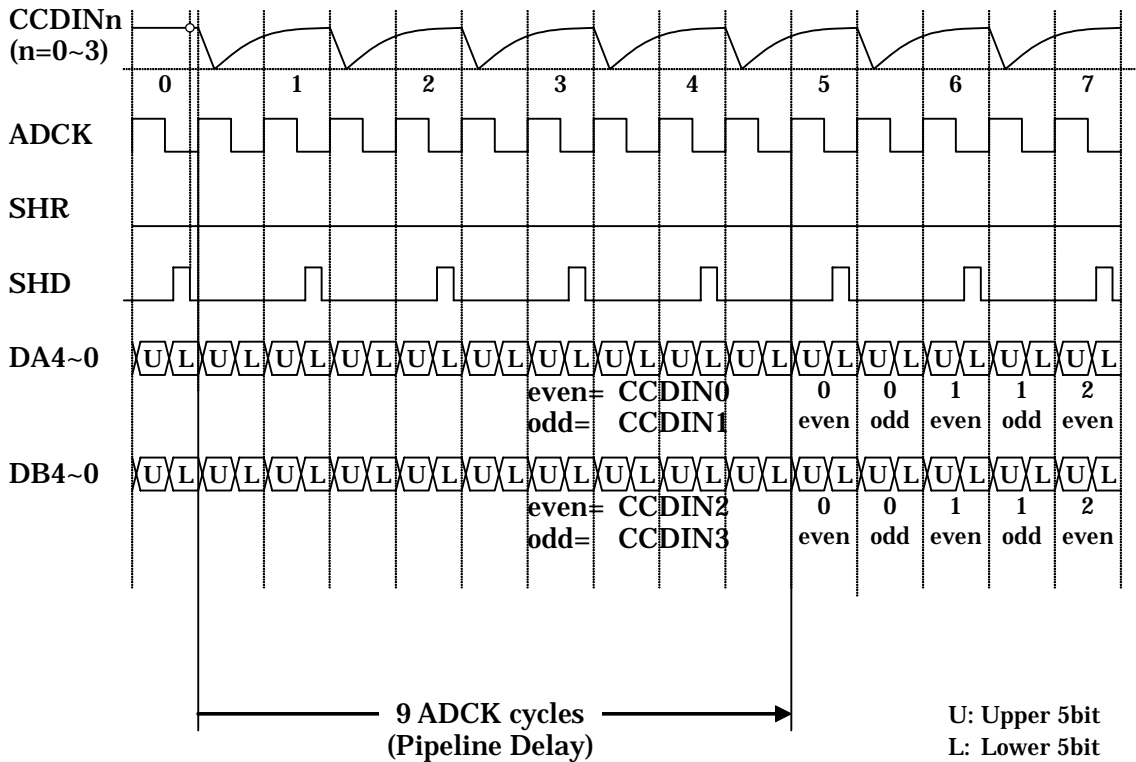
1CH、2CH モード時 全体タイミング



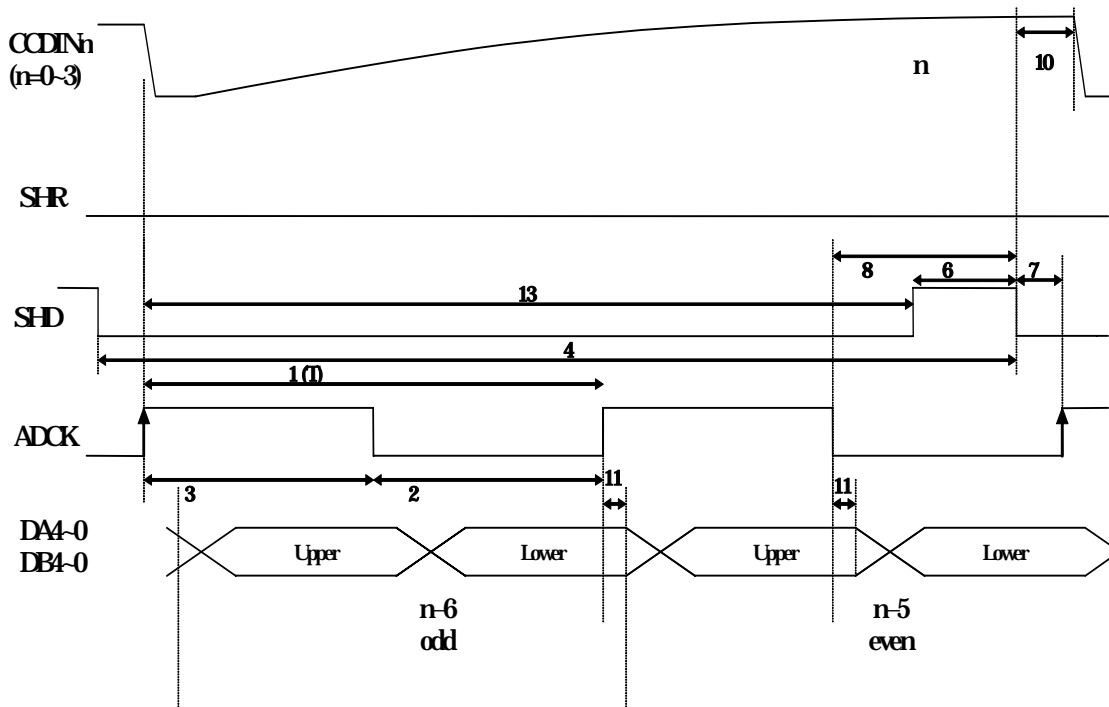
1CH、2CH モード時 詳細タイミング

■ タイミング図(3): ADCK 周波数=A/D 変換レートモード(5bit 幅出力)

- ・ 4CH モード(DC 直結モード、正極性)
- スイッチング特性 1 の表を参照してください。



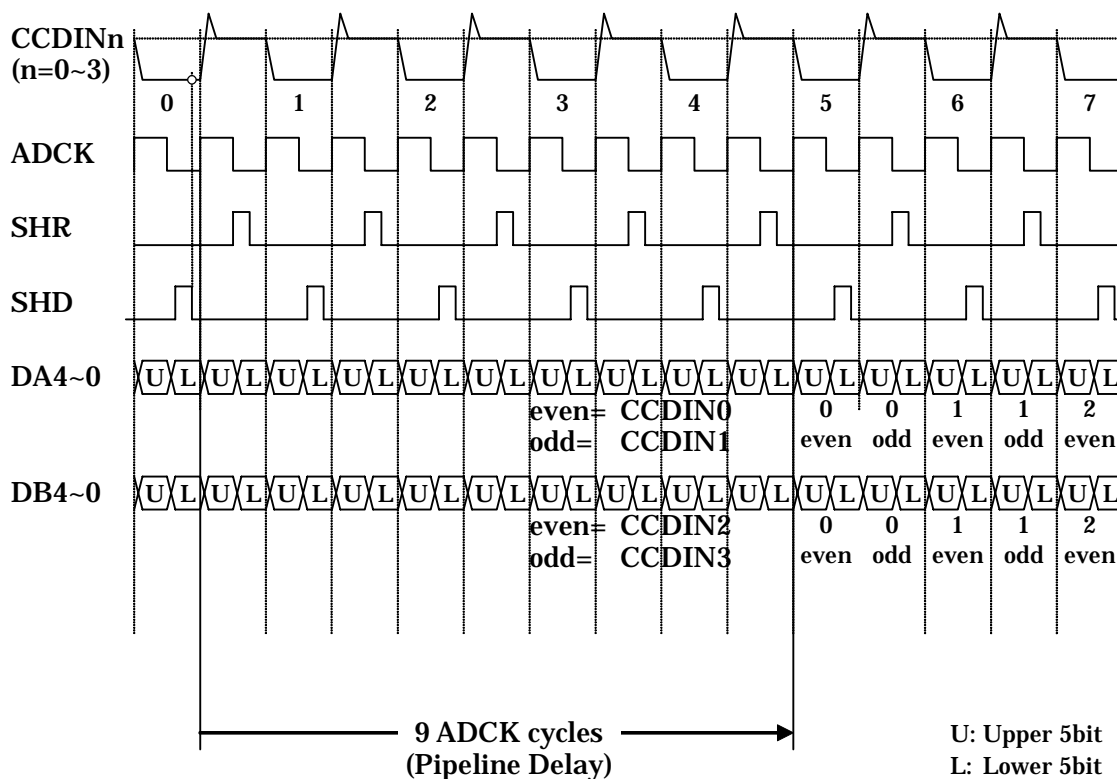
4ch モード時 全体タイミング



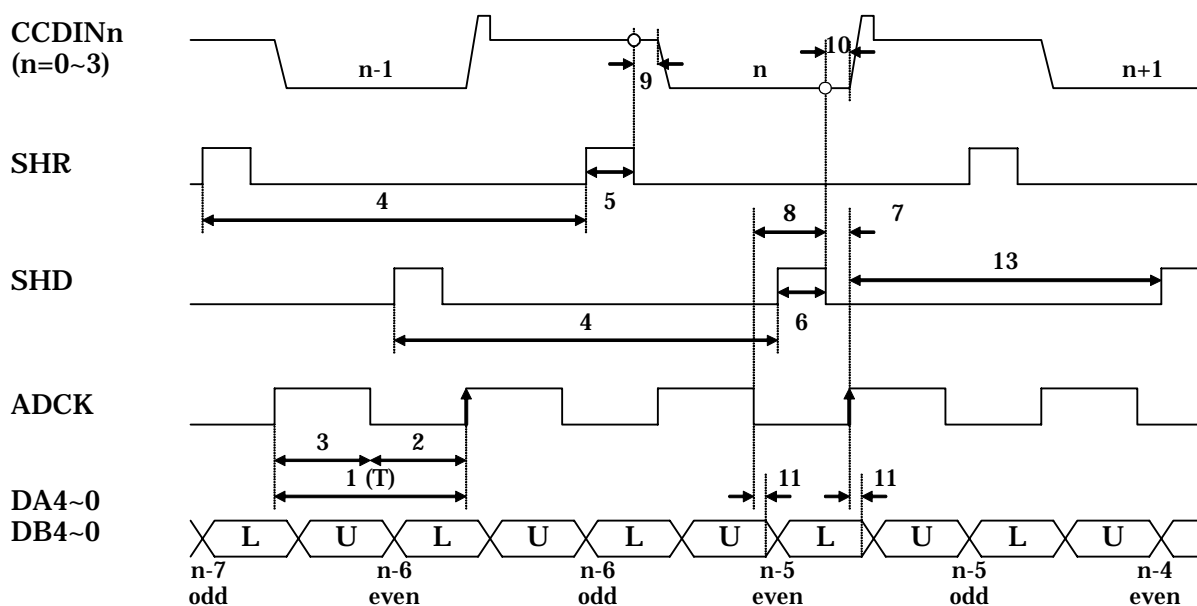
4ch モード時 詳細タイミング

■ タイミング図(4): ADCK 周波数=A/D 変換レートモード(5bit 幅出力)

- ・ 4CH モード(CDS モード&クランプモード、負極性)  
スイッチング特性 2 の表を参照してください。



4ch モード時 全体タイミング

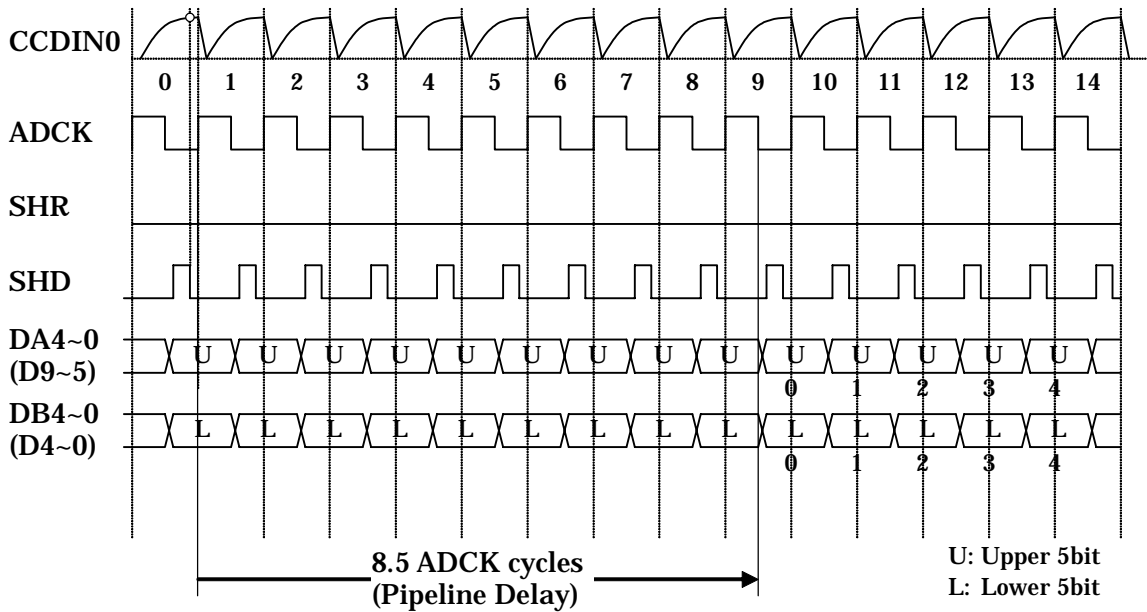


4ch モード時 詳細タイミング

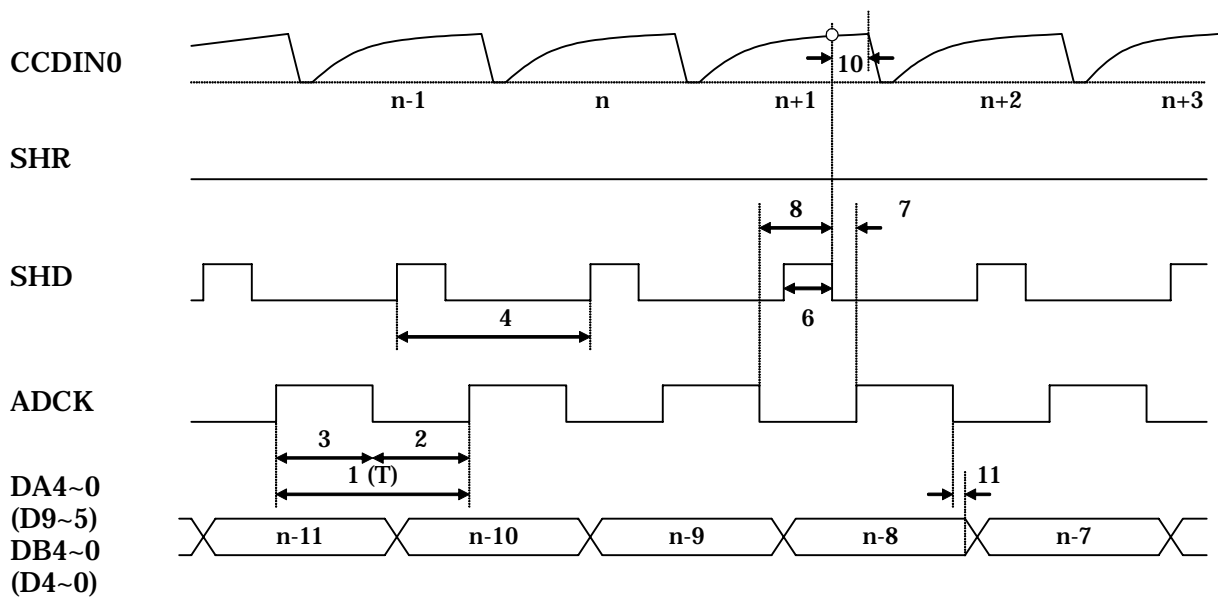


■ タイミング図(5): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)

- ・ 1CH モード(DC 直結モード、正極性)
- スイッチング特性 1 の表を参照してください。



1CH モード時 全体タイミング

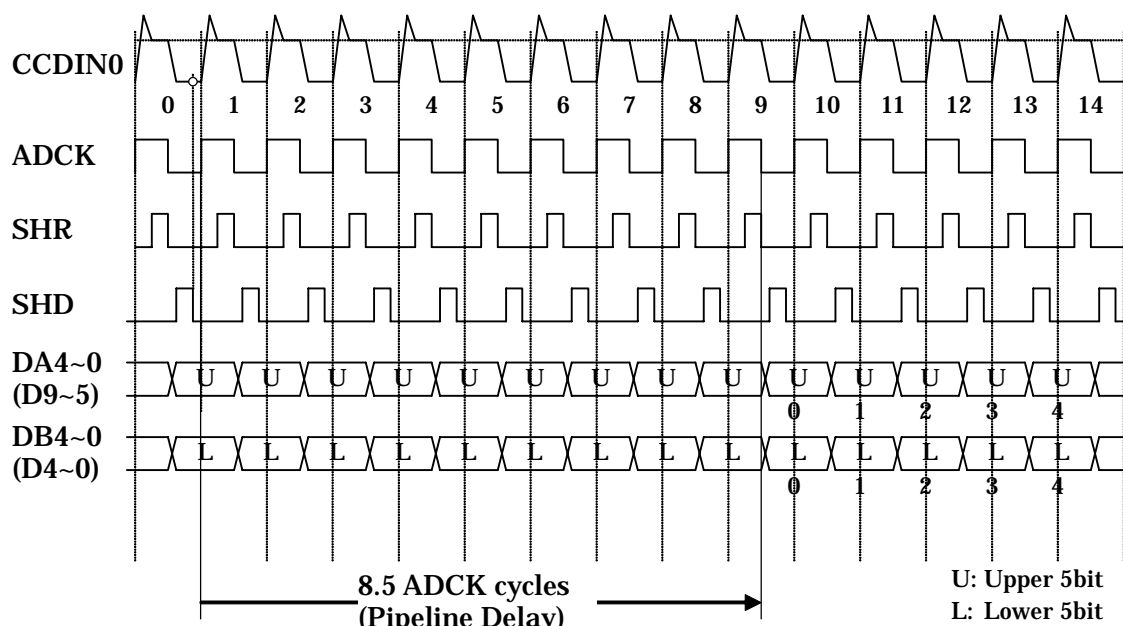


1CH モード時 詳細タイミング

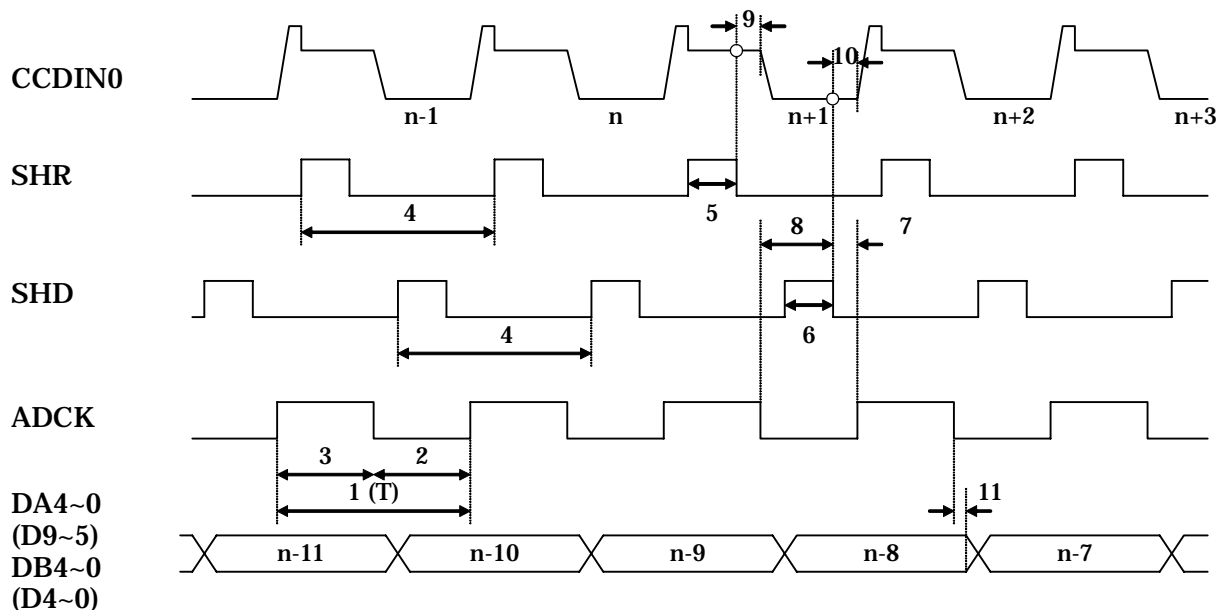
■ タイミング図(6): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)

- ・ 1CH モード(CDS モード&クランプモード、負極性)

スイッチング特性 2 の表を参照してください。



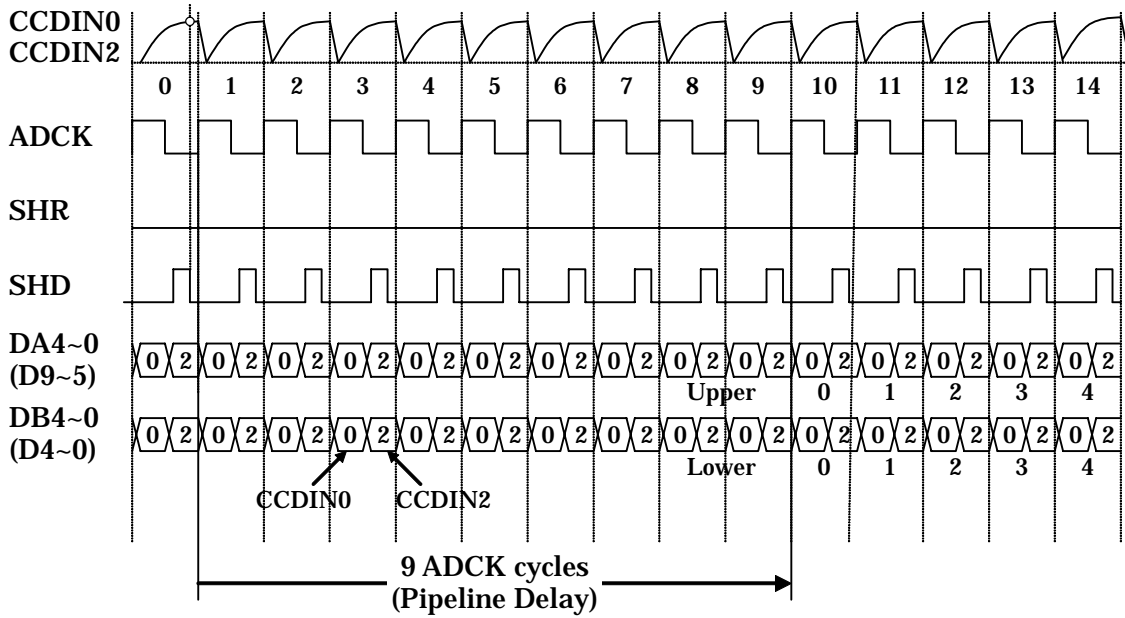
1CH モード時 全体タイミング



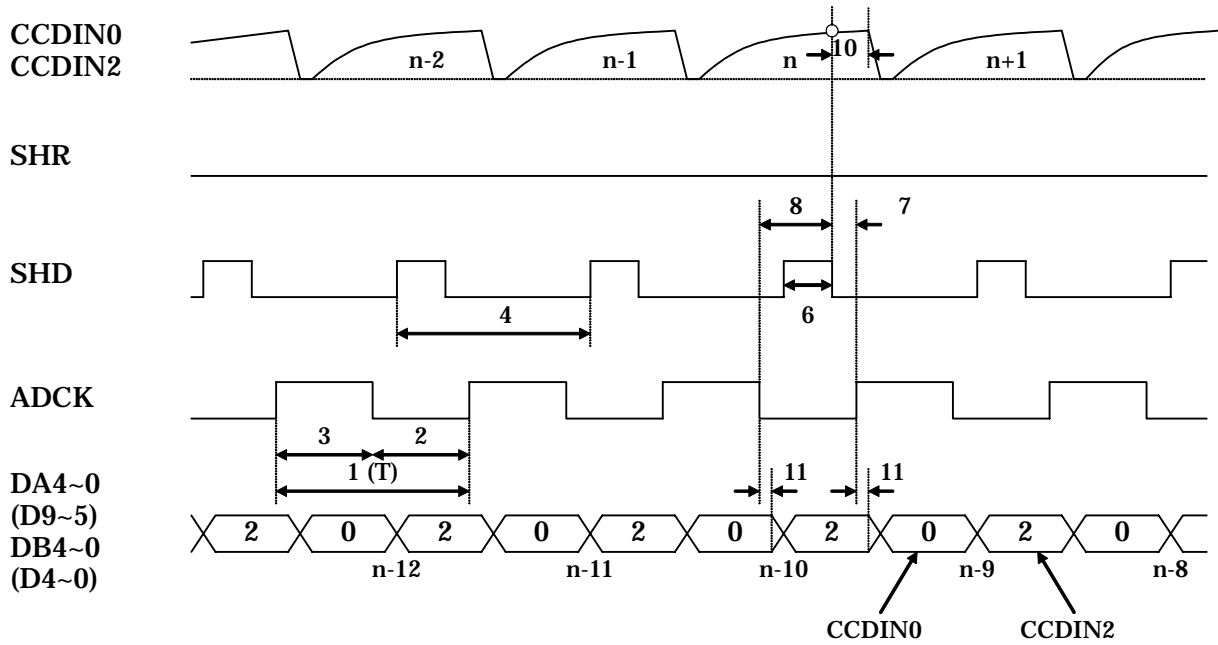
1CH モード時 詳細タイミング

■ タイミング図(7): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)

- ・ 2CH モード(DC 直結モード、正極性)
- スイッチング特性 1 の表を参照してください。



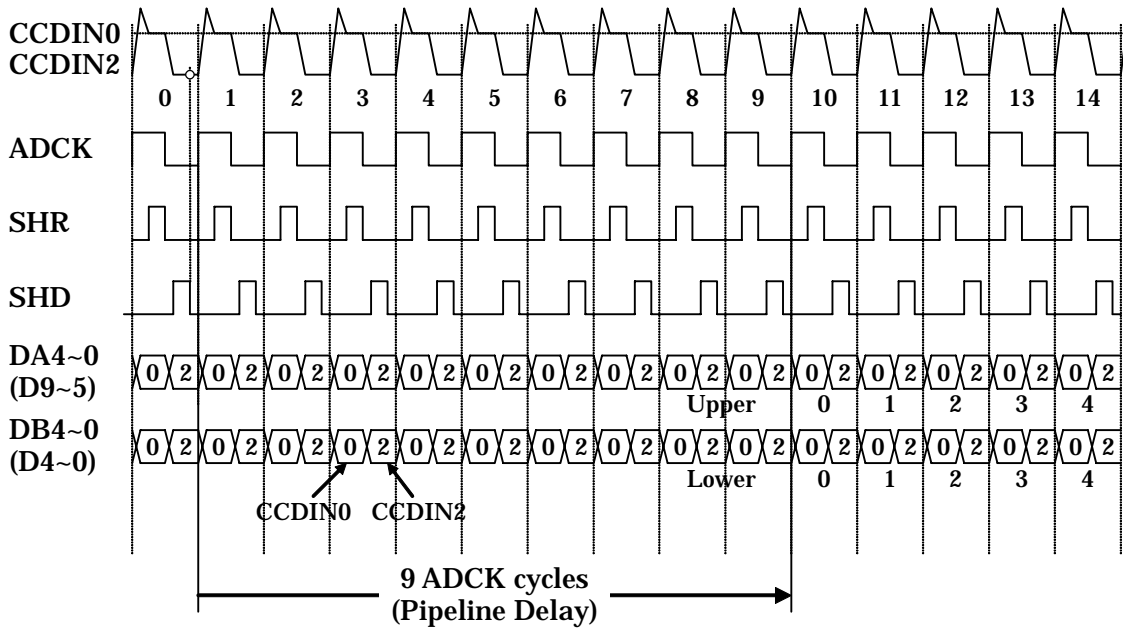
2ch モード時 全体タイミング



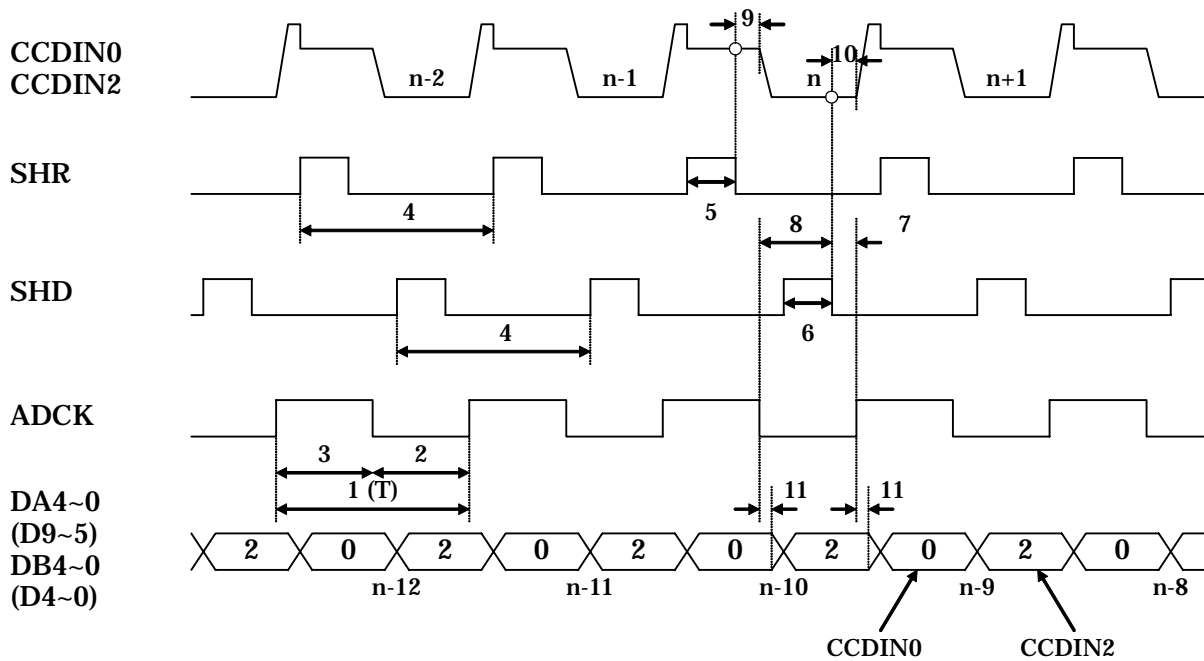
2ch モード時 詳細タイミング

■ タイミング図(8): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)

- ・ 2CH モード(CDS モード&クランプモード、負極性)
- スイッチング特性 2 の表を参照してください。



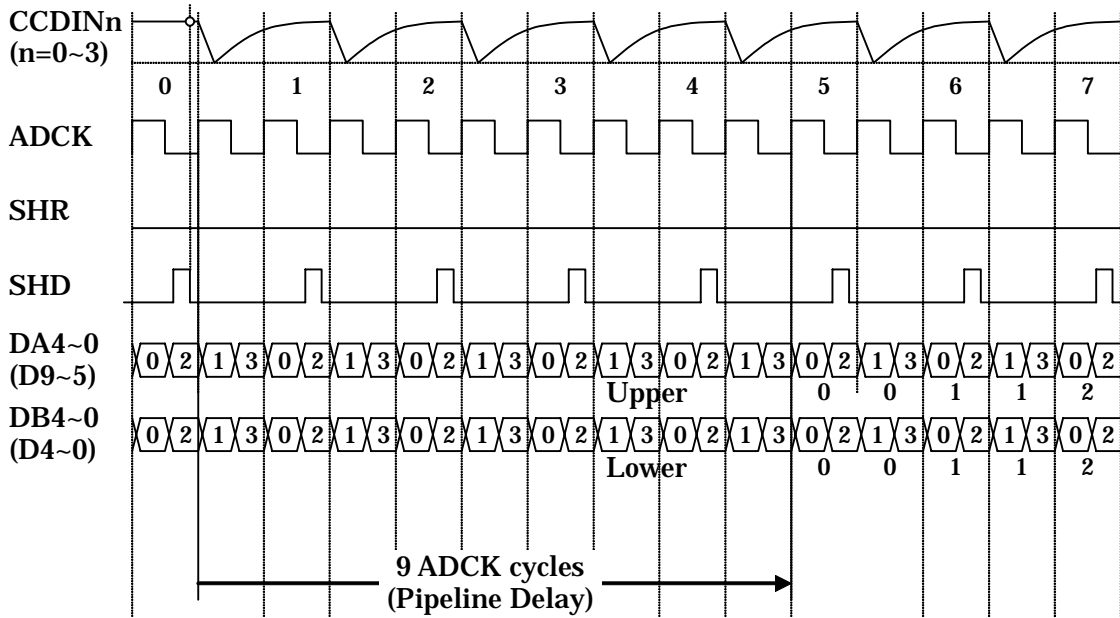
2ch モード時 全体タイミング



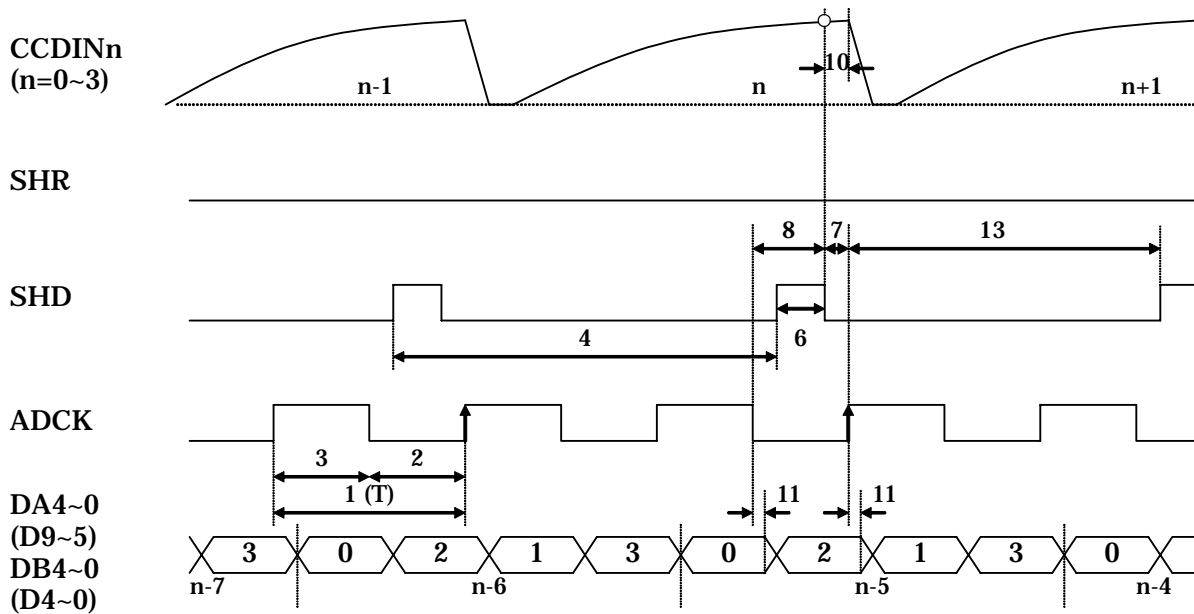
2ch モード時 詳細タイミング

■ タイミング図(9): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)

- ・ 4CH モード(DC 直結モード、正極性)
- スイッチング特性 1 の表を参照してください。

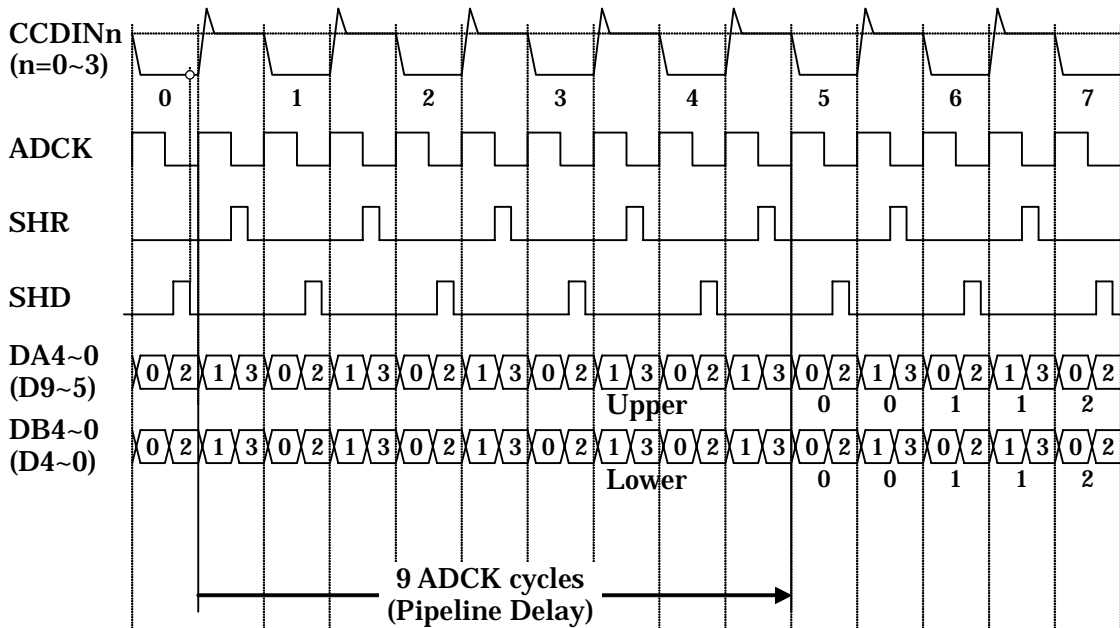


4ch モード時 全体タイミング

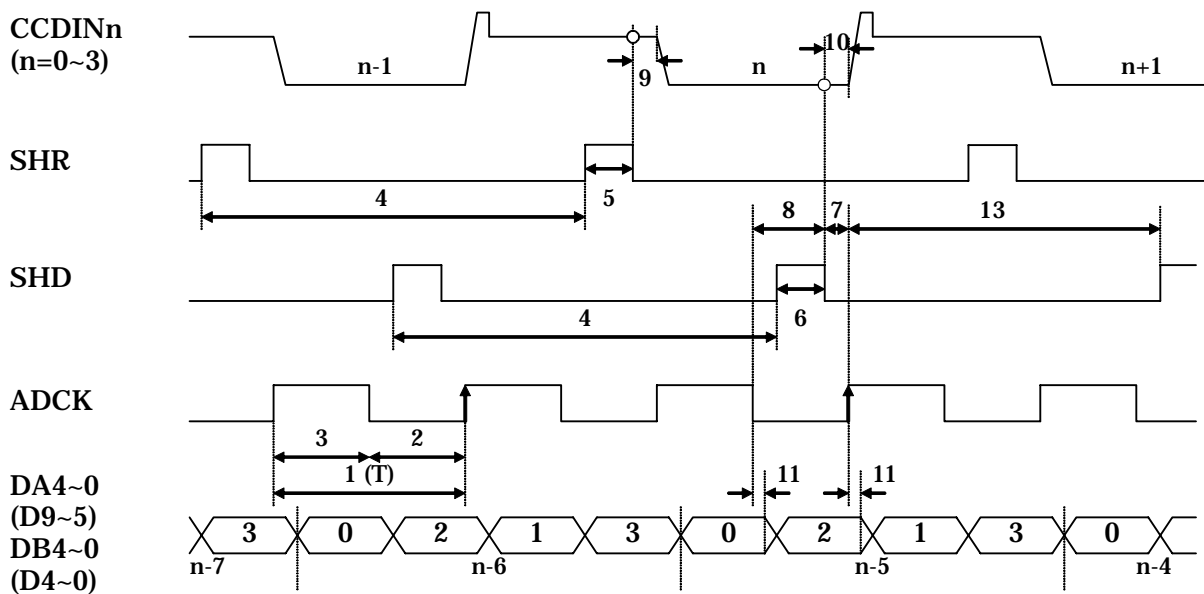


4ch モード時 詳細タイミング

- タイミング図(10): ADCK 周波数=A/D 変換レートモード(10bit 幅出力)
  - ・ 4CH モード(CDS モード&クランプモード、負極性)
 スイッチング特性 2 の表を参照してください。



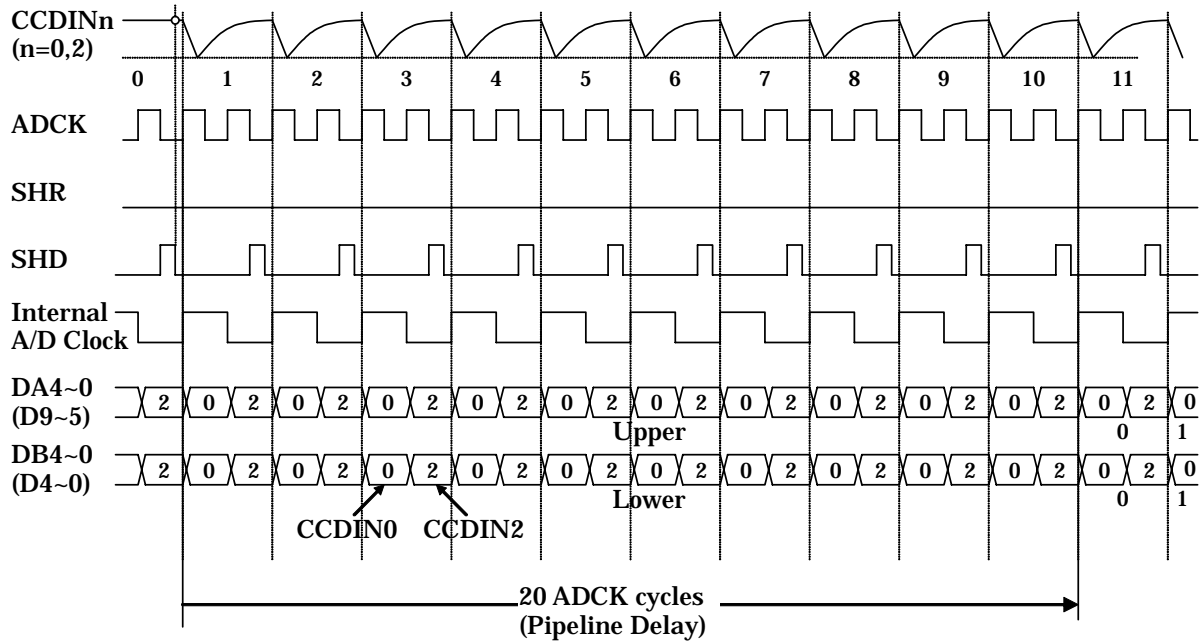
4ch モード時 全体タイミング



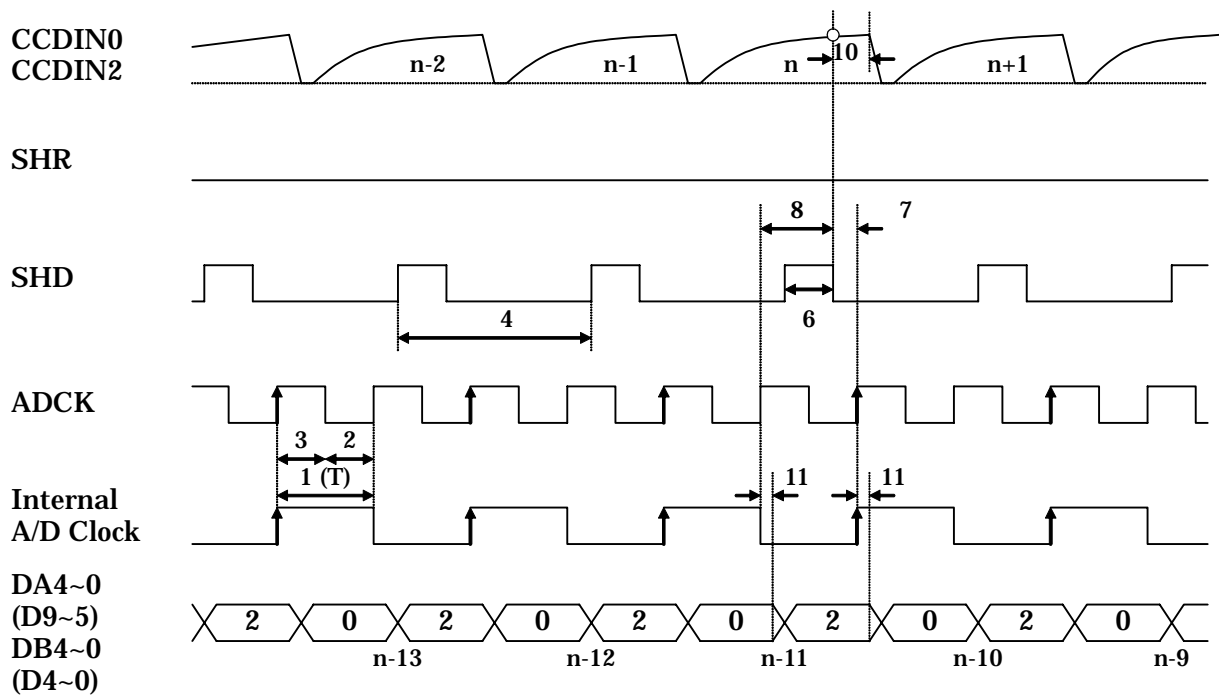
4ch モード時 詳細タイミング

■ タイミング図(11): ADCK 周波数=総画素レートモード(10bit 幅出力)

- ・ 2CH モード(DC 直結モード、正極性)
- スイッチング特性 3 の表を参照してください。



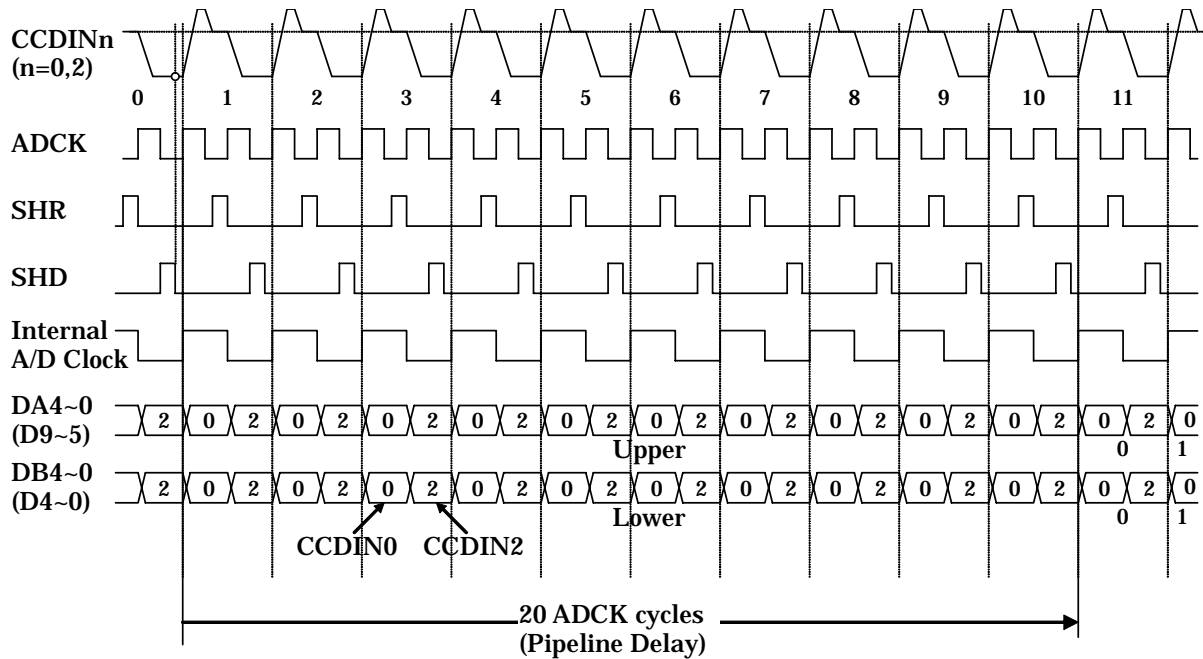
2ch モード時 全体タイミング



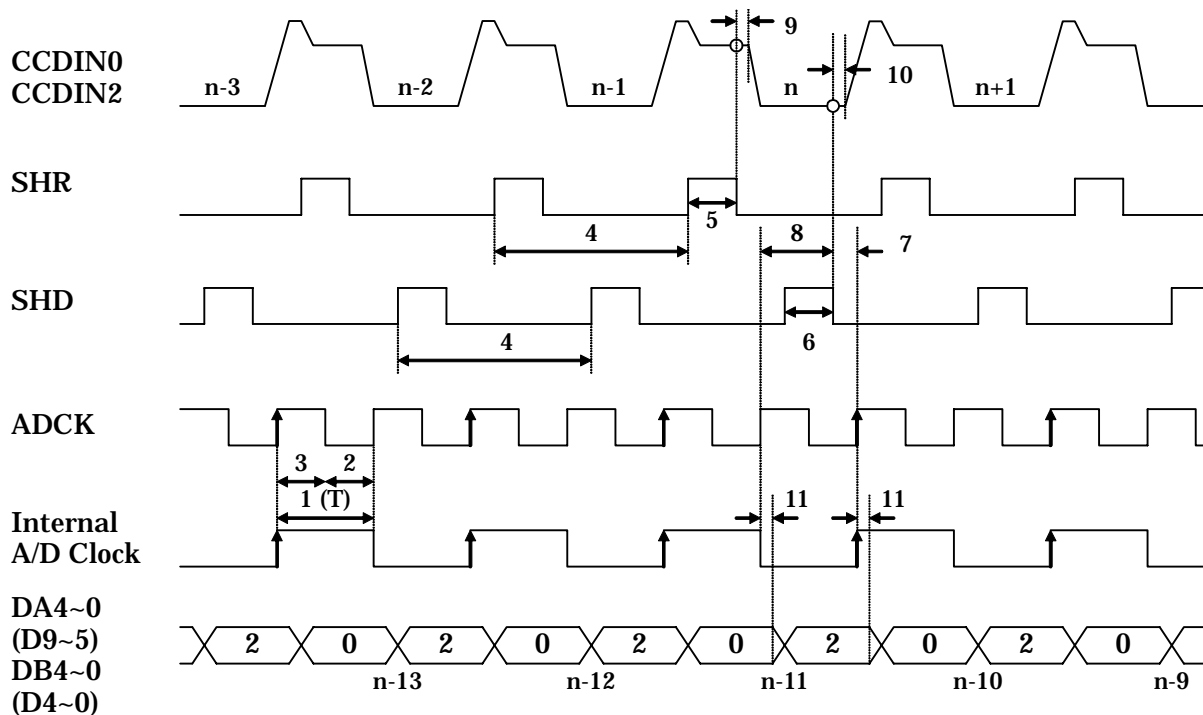
2ch モード時 詳細タイミング

■ タイミング図(12): ADCK 周波数=総画素レートモード(10bit 幅出力)

- ・ 2CH モード(CDS モード & クランプモード、負極性)
- スイッチング特性 4 の表を参照してください。



2ch モード時 全体タイミング

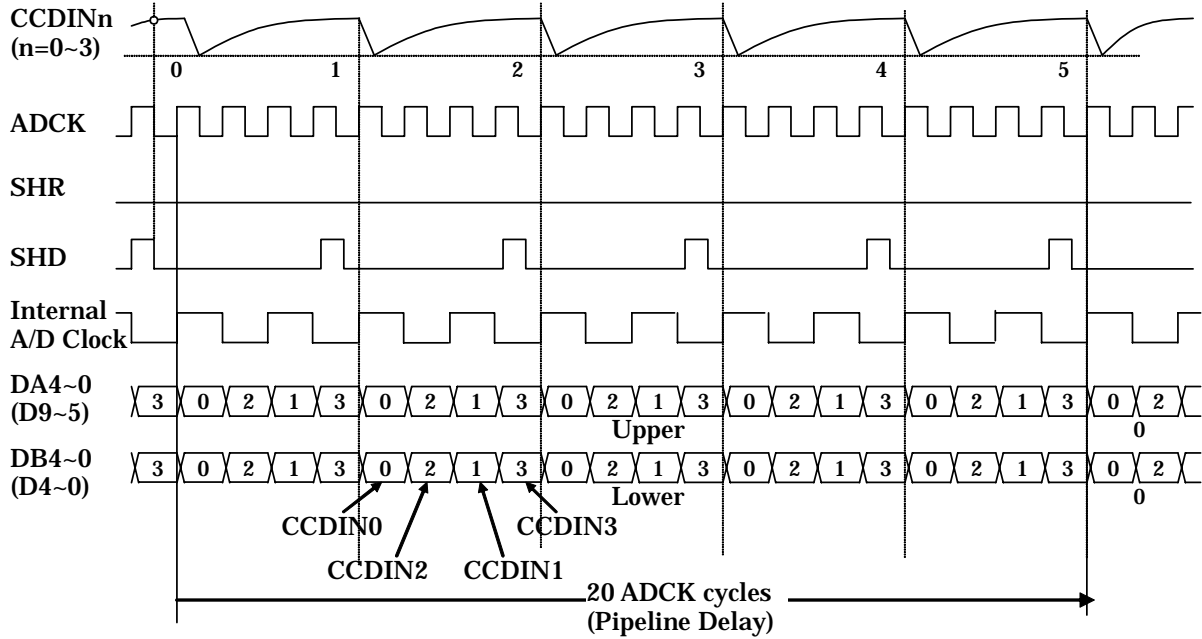


2ch モード時 詳細タイミング

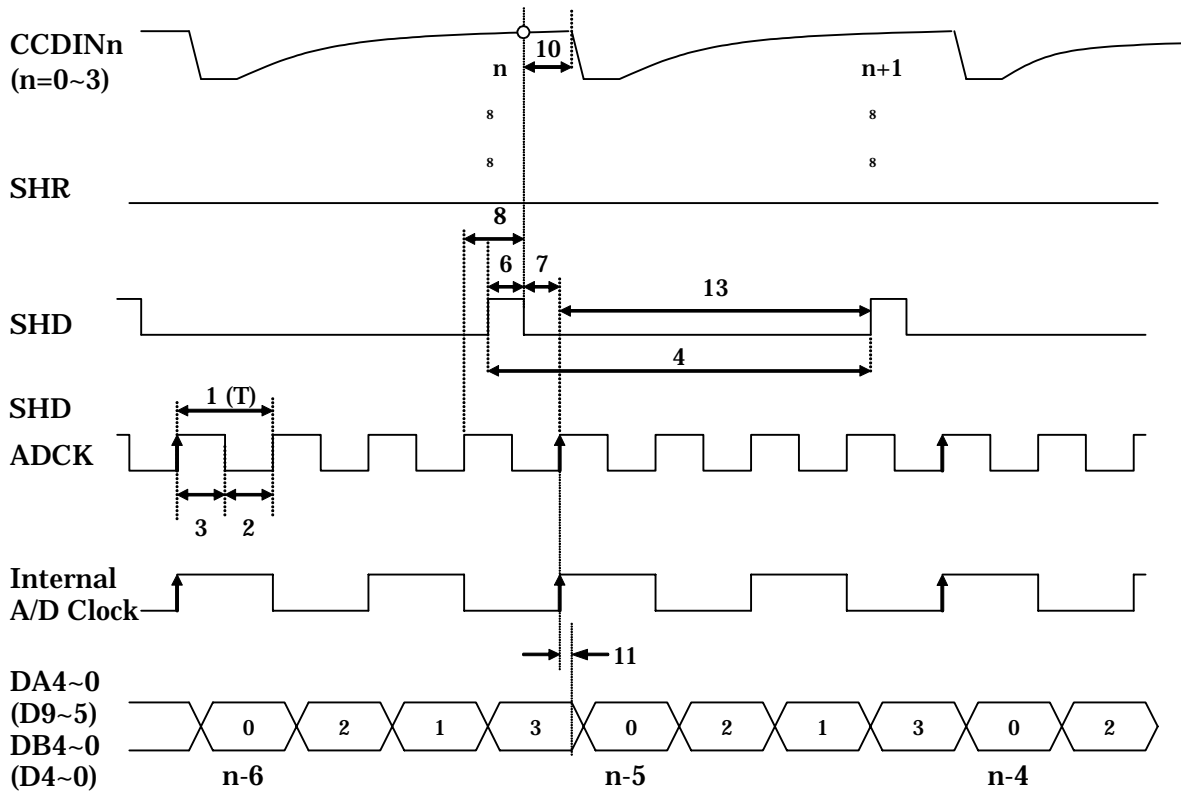


■ タイミング図(13): ADCK 周波数=総画素レートモード(10bit 幅出力)

- ・ 4CH モード(DC 直結モード、正極性)
- ・ スイッチング特性 3 の表を参照してください。



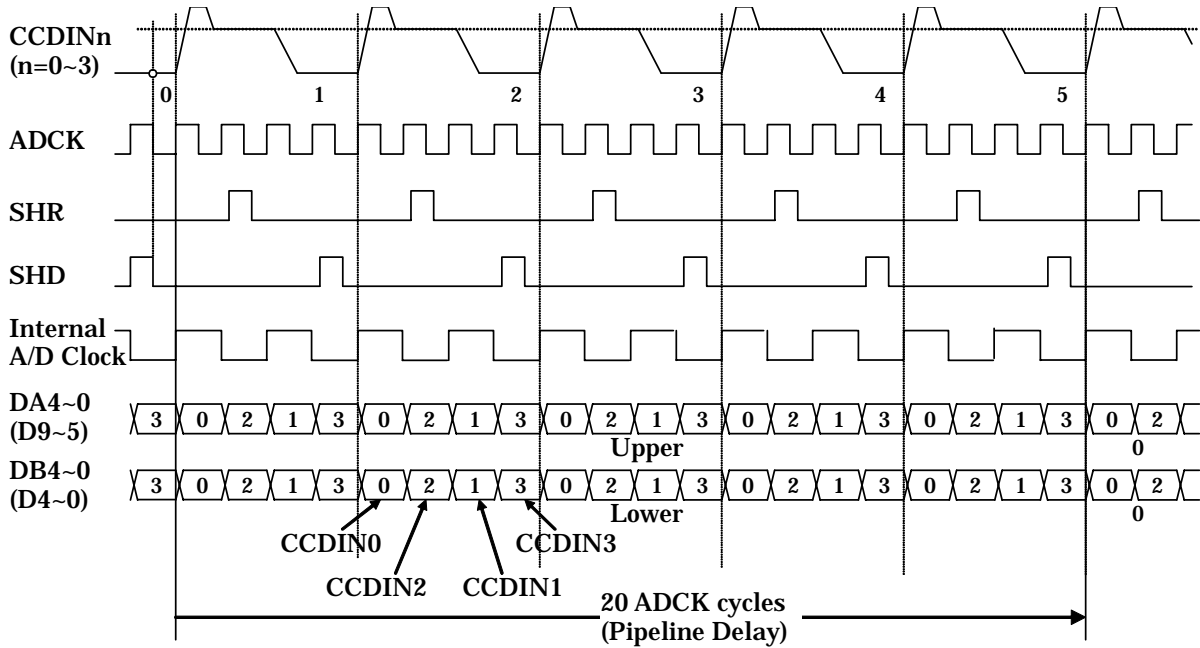
4ch モード時 全体タイミング



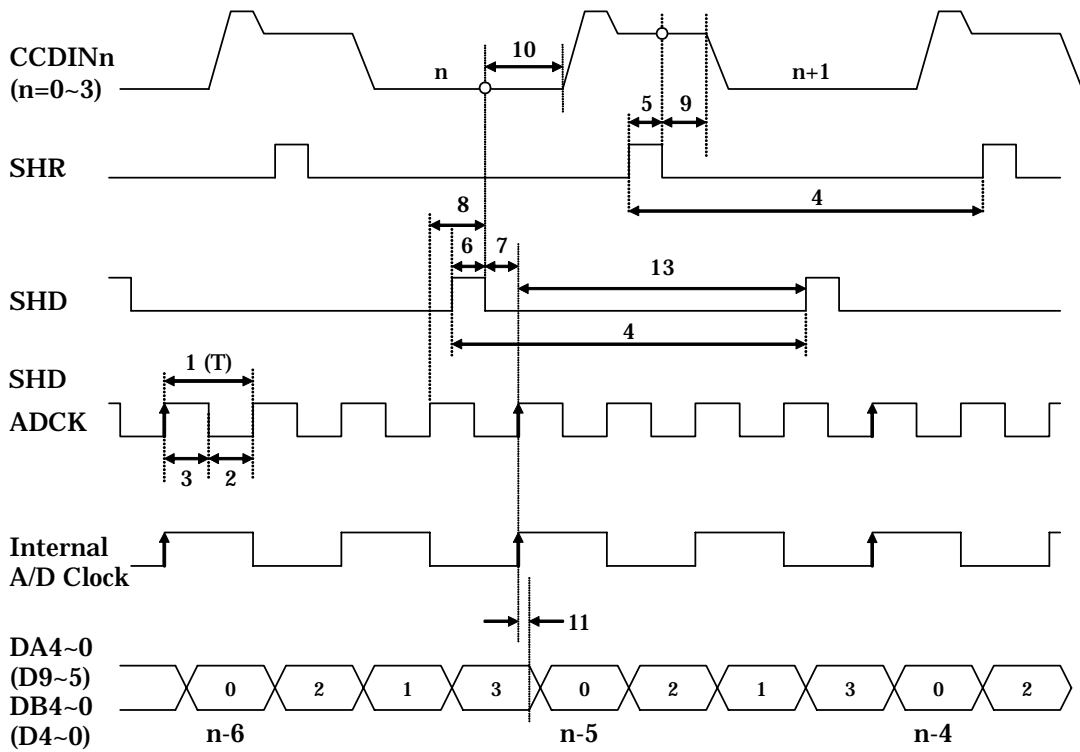
4ch モード時 詳細タイミング

■ タイミング図(14): ADCK 周波数=総画素レートモード(10bit 幅出力)

- ・ 4CH モード(CDS モード & クランプモード、負極性)
- スイッチング特性 4 の表を参照してください。



4ch モード時 全体タイミング



4ch モード時 詳細タイミング

## ■ スイッチング特性: シリアル I/F

(AVDD=3.0V~3.6V, DVDD=3.0~3.6V, Ta= 0~70°C)

項目	記号	適用端子	Min.	Typ.	Max.	単位	条件
クロック周期	Scyc	SDCLK			10	MHz	
クロックパルス幅(H 区間)	Shi	SDCLK	40			ns	
クロックパルス幅(L 区間)	Slo	SDCLK	40			ns	
セットアップタイム (対 SDCLK)	Ssu	SDIN SDENB	20			ns	
ホールドタイム (対 SDCLK)	Sh	SDIN SDENB	20			ns	
SDCLK,SDENB 立ち上がり 時間	Sr	SDCLK SDENB			6	ns	AVDD の 30% 70%
SDCLK,SDENB 立ち下がり 時間	Sf	SDCLK SDENB			6	ns	AVDD の 70% 30%
SDENB High レベル幅	Sdw	SDENB	40			ns	
データ遅延時間 (対 SDCLK)	Sdly	SDOUT			30	ns	
データホールド時間 (対 SDENB)	Shld	SDOUT	0			ns	
シリアルデータ数	Snum	SDCLK		16		個	

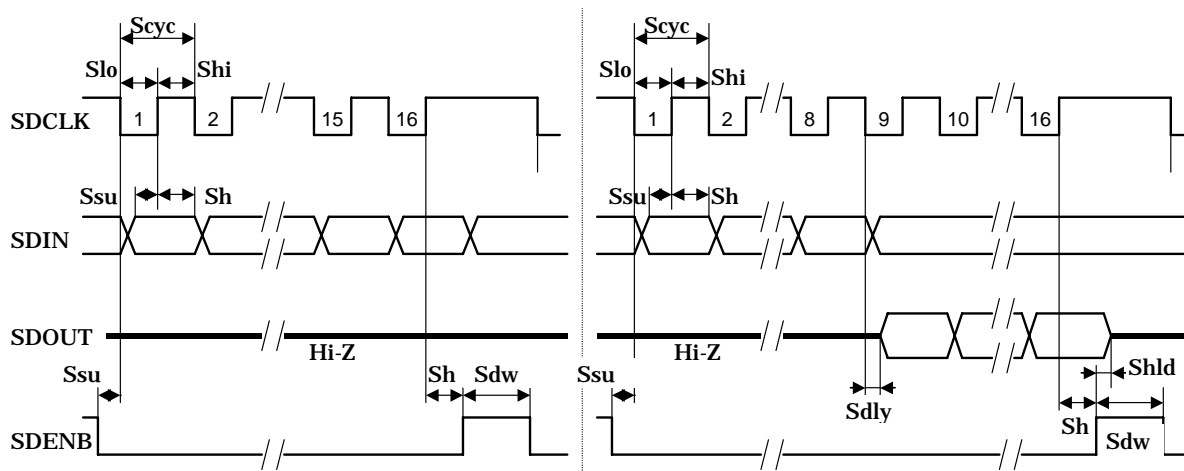


図 2

AK8434 へ書き込み

AK8434 から読み出し

コントロールレジスタ									
アドレス (16進)	データ								
	初期値 (16進)	D7	D6	D5	D4	D3	D2	D1	D0
0	00	センサ I/F モード		信号極性	チャンネル数			ADCK 周波数	パワー ダウン
1	00	SHR SHD 極性	パワーダ ウン時出 力状態	未使用		出力 データ幅	チャンネル 0,1 処理 順序	チャンネル 2,3 処 理順序	未使用
2	80	オフセットデータ CCDIN0							
3	80	オフセットデータ CCDIN1							
4	80	オフセットデータ CCDIN2							
5	80	オフセットデータ CCDIN3							
6	80	未使用							
7	80	未使用							
8	00	PGA ゲインデータ CCDIN0							
9	00	PGA ゲインデータ CCDIN1							
A	00	PGA ゲインデータ CCDIN2							
B	00	PGA ゲインデータ CCDIN3							
C	00	未使用							
D	00	未使用							
E	08	テスト用							
F	00	テスト用							

初期値はリセット後の値。

電源投入後にリセットを行わない場合はテスト用レジスタ(アドレス E, F)に上表に示した初期値を書き込んでください。

本データシート中で例えば R0 はアドレス 0 のレジスタを表します。R0,D0 はアドレス 0 のレジスタの D0 ビットを示します。以下で記述する各ビットはリセット後にデフォルトと表記された状態になります。

#### □ R0 レジスタ

##### ■ R0, D7-D6 センサ I/F モード

D7	D6	センサ I/F モード
0	0	DC 直結 (デフォルト)
0	1	CDS
1	0	クランプ

## ■ R0, D5 信号極性

D5	信号極性	センサタイプ
0	負	基準レベルから低電位側に信号が振れる CCD など(デフォルト)
1	正	基準レベルから高電位側に信号が振れる CIS など

## ■ R0, D4-D2 チャンネル数

D4	D3	D2	チャンネル数	CCDIN			
				0	1	2	3
0	0	0	1(デフォルト)		-	-	-
0	0	1	2		-		-
0	1	0	不可	-	-	-	-
0	1	1	4				
1	0	0	不可	-	-	-	-

: 各チャンネル数モードで使われる入力チャンネル

使われない CDS, DAC, PGA, ADC は自動的にパワーダウンします。

使われないチャンネルの CCDIN<sub>n</sub>, REFIN<sub>n</sub> ピンにはコンデンサを接続する必要はありません。

使われないチャンネルの CCDIN<sub>n</sub>, REFIN<sub>n</sub> ピンはオープンにしてください。

## ■ R0, D1 ADCK 周波数

D1	入力 ADCK 周波数	備考
0	A/D 変換レート(デフォルト)	5bit 幅または 10bit 幅出力データを ADCK 立ち上がりエッジと立下りエッジの両方で出力
1	総画素レート	10bit 幅出力データを ADCK の立ち上がりエッジで出力

デフォルトの A/D 変換レートモードでは ADC の変換レートと同じ周波数の ADCK を入力してください。ADC データは ADCK の立ち上がりと立下りの両エッジで出力されます。総画素レートモードでは有効なチャンネルの画素レートの総和と同じ周波数の ADCK を入力してください。ADC データは ADCK の立ち上がりエッジで出力されます。

## ■ R0, D0 パワーダウン

D0	動作
0	通常動作(デフォルト)
1	パワーダウン

パワーダウン時はアナログ部がパワーダウンすると共にデジタル部へのクロック供給が停止します。パワーダウン時の ADC データ出力 DA0~4, DB0~4 の状態はレジスタ R1,D6 で Low 固定か High Z 出力か選択できます。

## □ R1 レジスタ

## ■ R1, D7 SHR, SHD 極性選択

D7	極性
0	アクティブ High (デフォルト)
1	アクティブ Low

本データシート中の図は全て SHR,SHD 極性がデフォルト設定の時のものです。

## ■ R1, D6 パワーダウン時出力状態

D6	出力状態
0	Low 固定(デフォルト)
1	High Z

## ■ R1, D5-D4 未使用

00b を設定してください。

## ■ R1, D3 出力データ幅

D3	出力データ幅
0	5bit (デフォルト)
1	10bit

ADCK 周波数の設定が総画素レートモード(R0,D1=1)のときは、出力データ幅設定に関わらず 10bit 幅になります。

## ■ R1, D2-D1 チャンネル処理順序

D2	チャンネル 0,1 処理順序
0	CCDIN0 → CCDIN1 → CCDIN0 → CCDIN1 ...(デフォルト)
1	CCDIN1 → CCDIN0 → CCDIN1 → CCDIN0 ...

D1	チャンネル 2,3 処理順序
0	CCDIN2 → CCDIN3 → CCDIN2 → CCDIN3 ...(デフォルト)
1	CCDIN3 → CCDIN2 → CCDIN3 → CCDIN2 ...

一つの ADC に対応する入力チャンネルペアの処理順序を選択します。処理順序はペアごとに設定できます。このレジスタは 4 チャンネルモード 5bit 幅出力のとき有効です。本データシート中の図はチャンネル処理順序がデフォルト設定の時のものです。

## ■ R1, D0 未使用

0 を設定してください。

## □ R2~R5 レジスタ

## ■ D7-D0 オフセットデータ

D7-D0 (ストレートバイナリ)	オフセット電圧	負極モード時	正極モード時
11111111	-200mV	白側へ最大シフト (ADC コード大)	黒側へ最大シフト (ADC コード小)
11111110	:		
:	:		
10000001	-1.6mV		
10000000(デフォルト)	0mV	(ADC コード小) 黒側へ最大シフト	(ADC コード大) 白側へ最大シフト
01111111	1.6mV		
:	:		
00000001	:		
00000000	200mV		

- R6,R7 レジスタ 未使用  
80h を設定してください。

## □ R8~RB レジスタ

## ■ D7-D0 PGA ゲインデータ

設定コードとゲイン(理想値)の関係は次の式で表されます。

$$Gain(x) = \frac{8}{14.8} \times \frac{656 + 3x}{96 + 255 - x} \quad \text{倍} \quad \text{ここで } x \text{ はレジスタ設定値、} 0 \leq x \leq 255$$

デフォルト  $x=0$

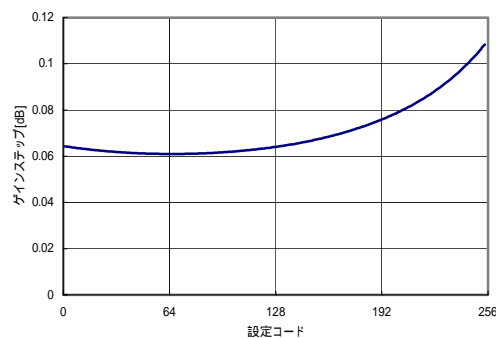
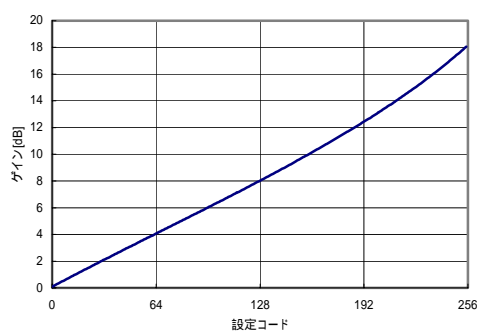


図 3 PGA ゲイン曲線(理想値)

- RC,RD レジスタ 未使用  
00h を設定してください。

## 動作説明

## ■ センサ I/F モード

入力信号のサンプリング方法として CDS モードとクランプモード、DC 直結モードの 3 つのモードがあります。センサ I/F モードレジスタ(R0,D7~D6)で使用するモードを選択してください。

## ・ CDS モード

センサ出力信号の画素毎の基準レベル  $V_{\text{prec}}$  とデータレベル  $V_{\text{data}}$  の差  $V_{\text{pix}}$  をその画素のレベルとして処理するモードです。SHR でセンサ信号のリファレンスレベルを、SHD でセンサ信号のデータレベルをサンプリングします。サンプリングポイントは SHR,SHD とともに立下りエッジです。レジスタで SHR,SHD の極性を反転した場合(R1,D7=1)は立ち上がりエッジがサンプリングポイントになります。

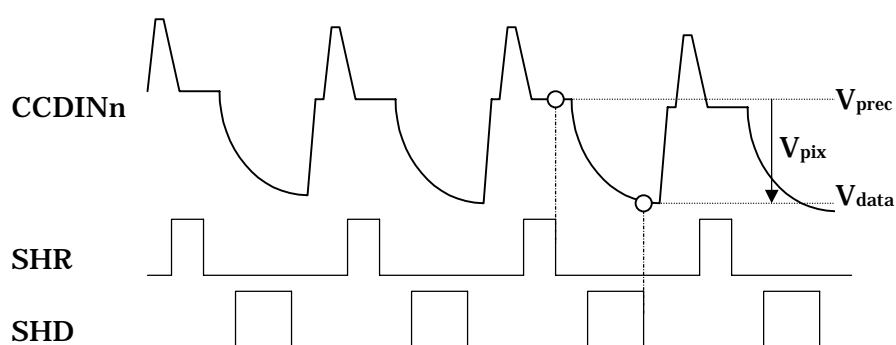


図 4 CDS モードタイミング概要

## ・ クランプモード

内部で発生するクランプレベル  $V_{\text{clamp}}$  とセンサ出力信号のデータレベル  $V_{\text{data}}$  の差  $V_{\text{pix}}$  をその画素のレベルとして処理するモードです。SHD でセンサ信号のデータレベルをサンプリングします。

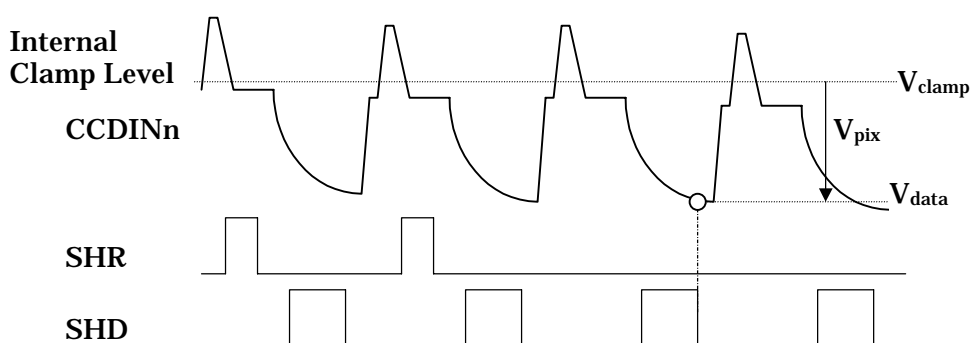


図 5 クランプモードタイミング概要

## ・ DC 直結モード

外部から REFINn ピンに入力した基準レベルとセンサ出力信号のデータレベル  $V_{\text{data}}$  の差  $V_{\text{pix}}$  をその画素のレベルとして処理するモードです。例えばセンサ出力信号に基準となるレベルが無いときにこのモードを使います。SHD でセンサ信号のデータレベルをサンプリングします。SHR は使われませんので Low または High に固定してください。



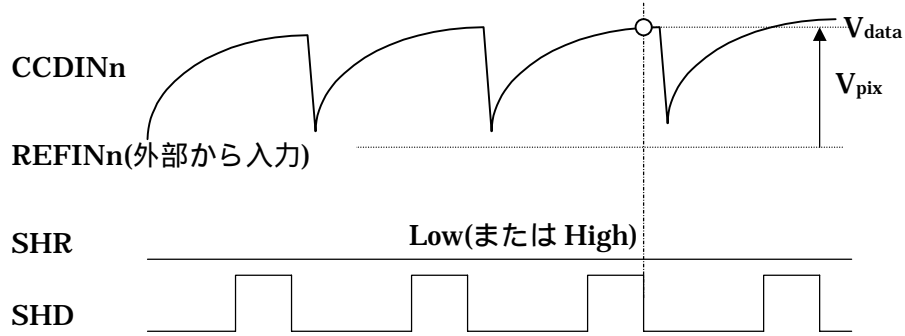


図 6 DC 直結モードタイミング概要

■ クランプ動作

CDS モードおよびクランプモードのときはセンサ信号の基準 DC レベルを LSI の内部基準レベルに合わせるためクランプを行います。クランプ動作は CLPB と SHR で制御され、CLPB=Low かつ SHR=High (SHR, SHD 極性反転時は Low) の区間でクランプスイッチが閉じ、CCDINn (n=0~3) 端子が内部のクランプレベルに引き込まれます。REFINn (n=0~3) も同様にクランプが行われます。CDS モードの時は CLPB を Low に固定して常時クランプが掛かるようにしてください。

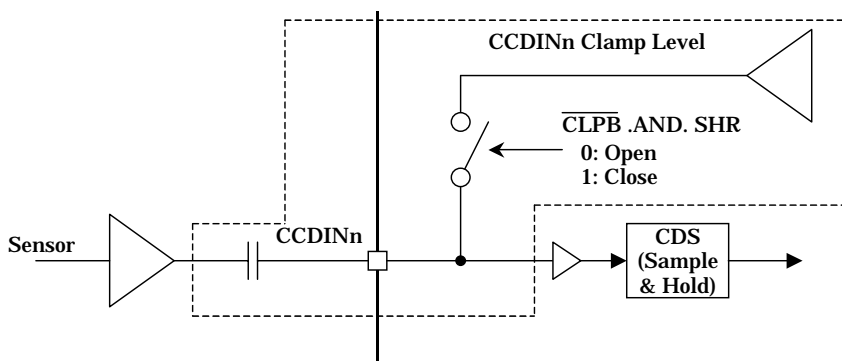


図 7 クランプ回路概要

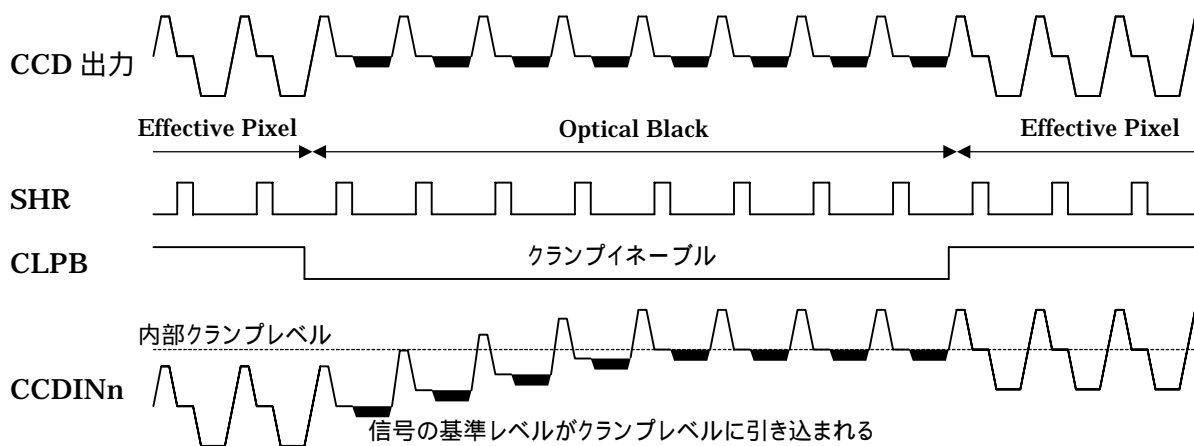
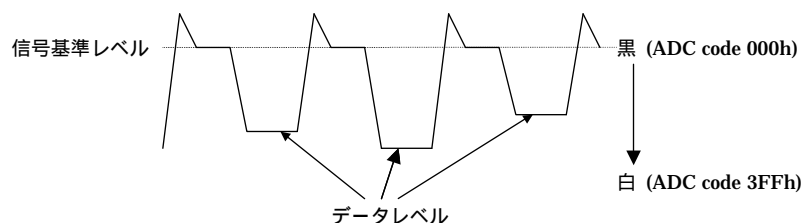


図 8 クランプ動作タイミング概要

## ■ 信号極性

正と負、両方の信号極性に対応しています。センサに合わせて信号極性レジスタ(R0,D5)で選択します。一般に CCD は負極性、CIS は正極性です。センサ I/F モードの設定とは無関係に、どちらの極性でも選択できます。

### ・ 負極性



### ・ 正極性

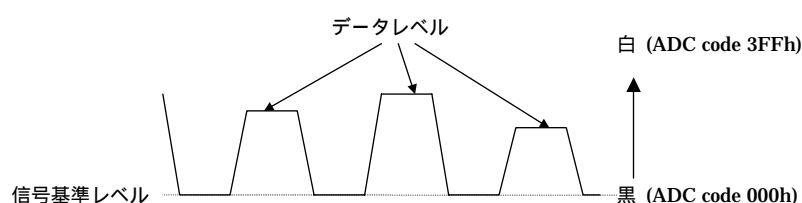


図 9 信号極性

## ■ 出力データコントロール

ADC 出力データはデータ幅レジスタ(R1,D3)設定により 5bit 幅もしくは 10bit 幅で出力されます。5bit 幅を選択したときは、2 つの ADC それぞれに対応する 5bit バス DA4~0,DB4~0 からデータが出力されます。10bit 幅を選択したとき、データは DA4(MSB)~DA0 と DB4~DB0(LSB)の 10 ピンを使って出力されます。5bit 幅のときデータは ADCK の立ち上がりで上位 5bit が、ADCK の立下りで下位 5bit が出力されます。10bit 幅のときは立ち上がりと立下りで違うチャンネルのデータが出力されます。また、10bit 幅のときは ADCK 周波数レジスタ (R0,D1)設定により、ADCK の立ち上がりだけでデータを出力することができます。このとき ADCK は全チャンネルの画素レートの総和(総画素レート)の周波数で入力する必要があります。1CH モードで 5bit 幅出力のときの DB4~0 のような使われないバスは Low を出力します。

## ■ ADCK

A/D 変換レートモードと総画素レートモード

ADCK は ADC の変換タイミングと ADC データ出力タイミングを作ります。ADCK の立ち上がりエッジと立ち下がりエッジでデータを出力させるか、ADCK の立ち上がりエッジだけでデータを出力させるかを ADCK 周波数モードレジスタで選択できます。

ADCK の立ち上がりエッジと立下りエッジでデータを出力するのが A/D 変換レートモードです。A/D 変換レートモードのときは ADC の変換レートと同じ周波数の ADCK を入力してください。ADCK の立ち上がりエッジだけでデータを出力させるのが総画素レートモードです。総画素レートモードでは有効なチャンネルの画素レートの総和と同じ周波数の ADCK を入力してください。例えば 2 チャンネルモードで 1 チャンネル当たり 20MHz のセンサ信号を処理する場合、A/D 変換レートモード時は ADCK は ADC の変換レートの 20MHz のクロックを入力します。一方、総画素レートモード時は ADCK として  $20\text{MHz} \times 2 = 40\text{MHz}$  のクロックを入力します。

チャンネル数と ADCK 周波数、データ幅の可能な組み合わせと、そのときのチャンネル当たりの最大変換レートを次の表に示します。

- CDS モード, クランプモード時

チャンネル数	A/D 変換レートモード			総画素レートモード		
	5bit 幅	10bit 幅	最大変換 レート [SPS/CH]	5bit 幅	10bit 幅	最大変換 レート [SPS/CH]
1	可	可	40M	-	可 <sup>注1</sup>	40M
2	可	可	40M	-	可	40M
4	可	可	20M	-	可	20M

- DC 直結モード時

チャンネル数	A/D 変換レートモード			総画素レートモード		
	5bit 幅	10bit 幅	最大変換 レート [SPS/CH]	5bit 幅	10bit 幅	最大変換 レート [SPS/CH]
1	可	可	10M	-	可 <sup>注1</sup>	10M
2	可	可	10M	-	可	10M
4	可	可	8.3M	-	可	8.3M

注1 1CH モード 10bit 幅出力時、A/D 変換レートモードと総画素レートモードは同じタイミング波形になります。デフォルトの A/D 変換レートモードでお使いください。

## ■ シリアル I/F

コントロールレジスタへの書き込みと読み出しは4線式のシリアルインターフェースで行います。SDENB が Low の区間の SDIN データが SDCLK の立ち上がりエッジで取り込まれます。SDIN の先頭ビットが 0 の時はレジスタへの書き込み、1 の時はレジスタからの読み出しになります。第 2,3 ビット(C1,C0)はそれぞれ CE1,CE0 ピンと対応し、論理レベルが C1=CE1 かつ C0=CE0 のときだけ書き込みまたは読み出しが行われます。第 4 ビットは 0 でなければなりません。第 5~8 ビットはレジスタのアドレスで、第 5 ビットが MSB、第 8 ビットが LSB です。第 9~16 ビットはレジスタのデータで、第 9 ビットが MSB(=D7)、第 16 ビットが LSB(=D0)です。

## ■ リセット

電源を立ち上げたときレジスタの値はテスト用のレジスタを含めて不定です。テスト用レジスタが通常の動作に影響するのを避けるため電源を立ち上げた直後にリセットを行ってください。RESETB ピンを Low にするとレジスタがリセットされ各レジスタがデフォルト値になると共に、テスト用レジスタが通常動作に必要な設定値になります。RESETB の Low 幅は 100ns 以上としてください。リセットの後 RESETB ピンを High に戻し、各レジスタに必要な値を書き込んでください。電源立ち上げ後にリセットを行わない場合は、テスト用レジスタにレジスタ表に示した初期値を書き込んでください。

## ■ パワーダウン

動作モードレジスタ R0,D0 を 1 にすると AK8434 はパワーダウンモードに入ります。パワーダウンモードではアナログ部の電流が止まると共にロジック部への動作クロック供給も止まります。パワーダウン時はリファレンス電圧 VCOM も 0V になるためパワーダウンモードから通常動作モード(R0,D0=0)へ復帰させたとき、VCOM が正常な電圧に安定するまでの待ち時間が必要です。

## シリアル I/F

## ■ AK8434 へ書き込み

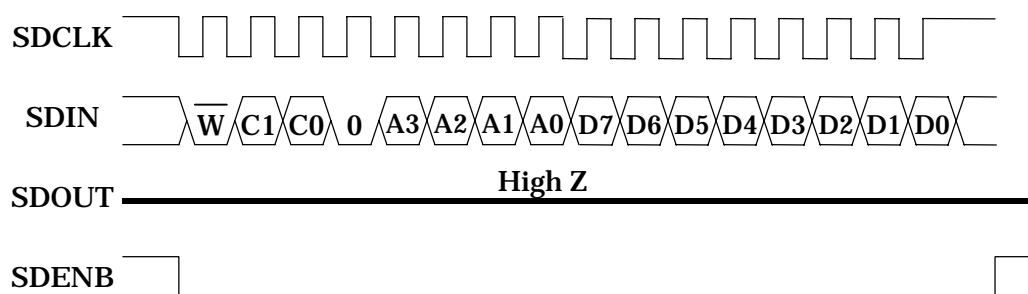


図 10 レジスタ書き込み

## ■ AK8434 から読み出し

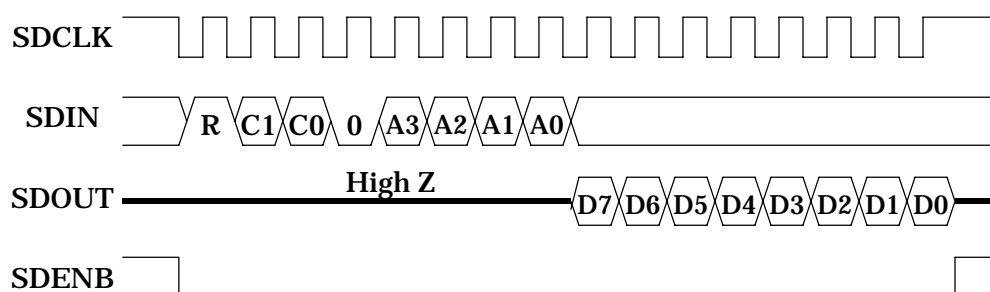
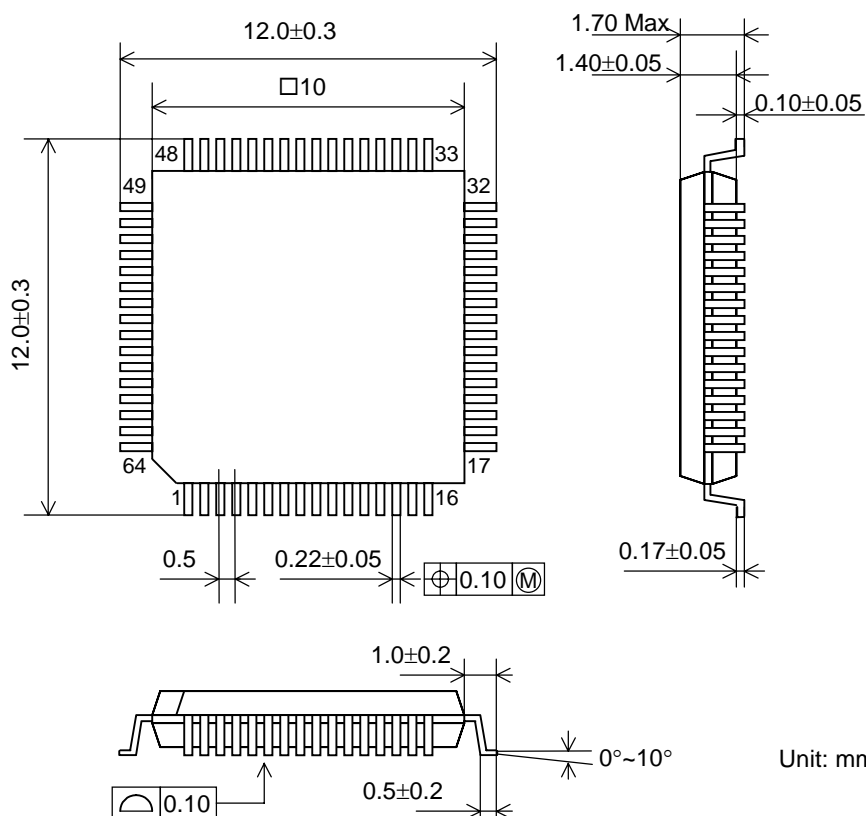


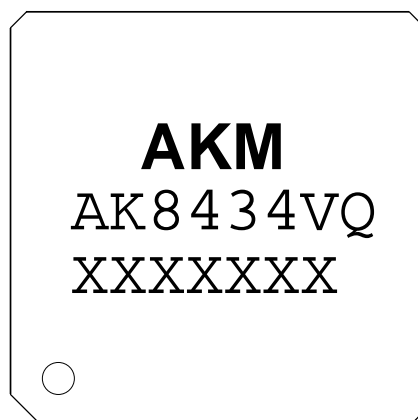
図 11 レジスタ読み出し

## 外形寸法図



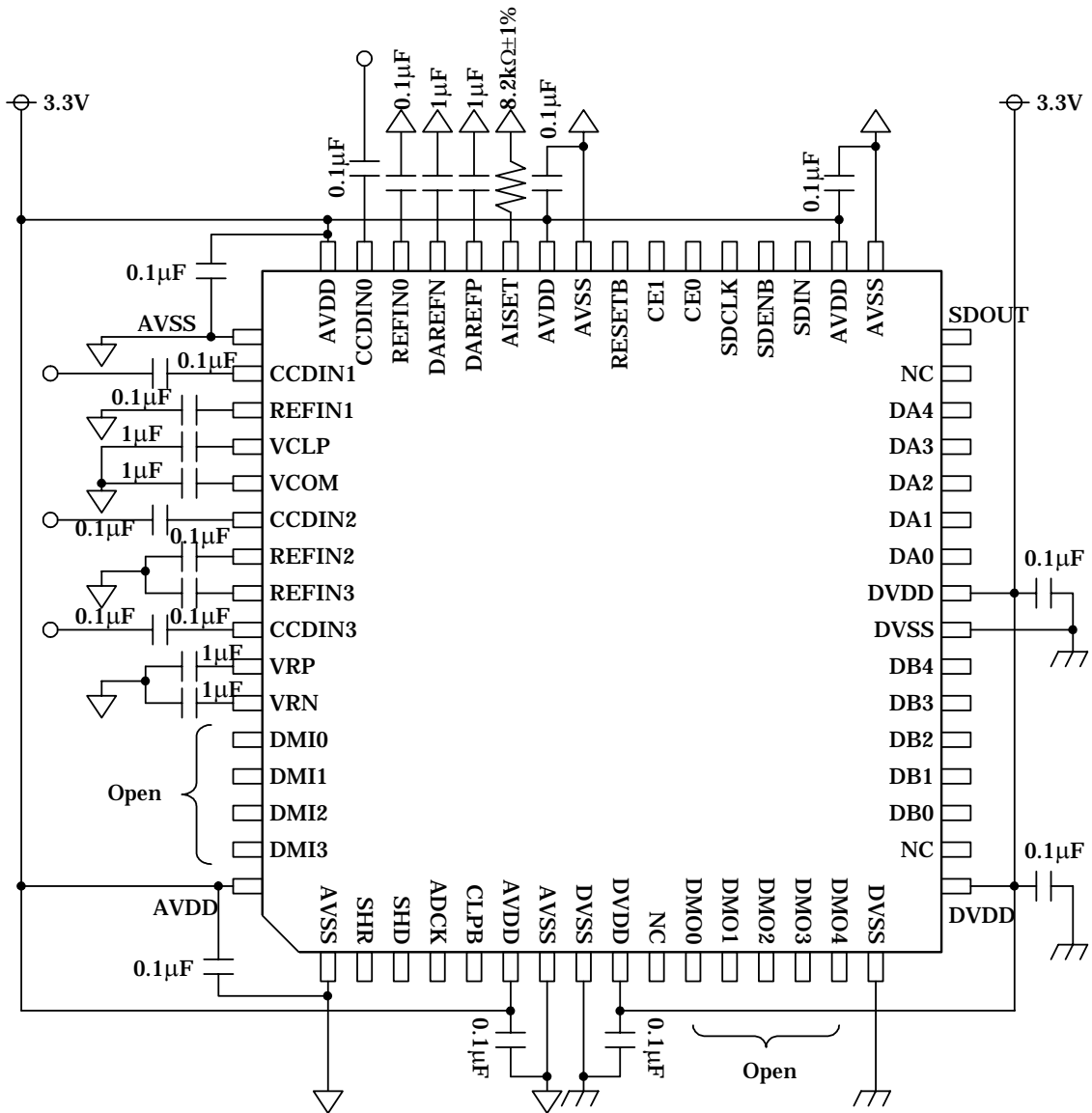
## マーキング

- (1) 1ピン表示 (面取りした角が1ピン)
- (2) 旭化成マイクロシステム ロゴ
- (3) マーケティングコード : AK8434VQ
- (4) データコード : XXXXXXXX (7桁)  
 上位4桁 : 週コード  
 下位3桁 : 社内管理コード



外部回路例

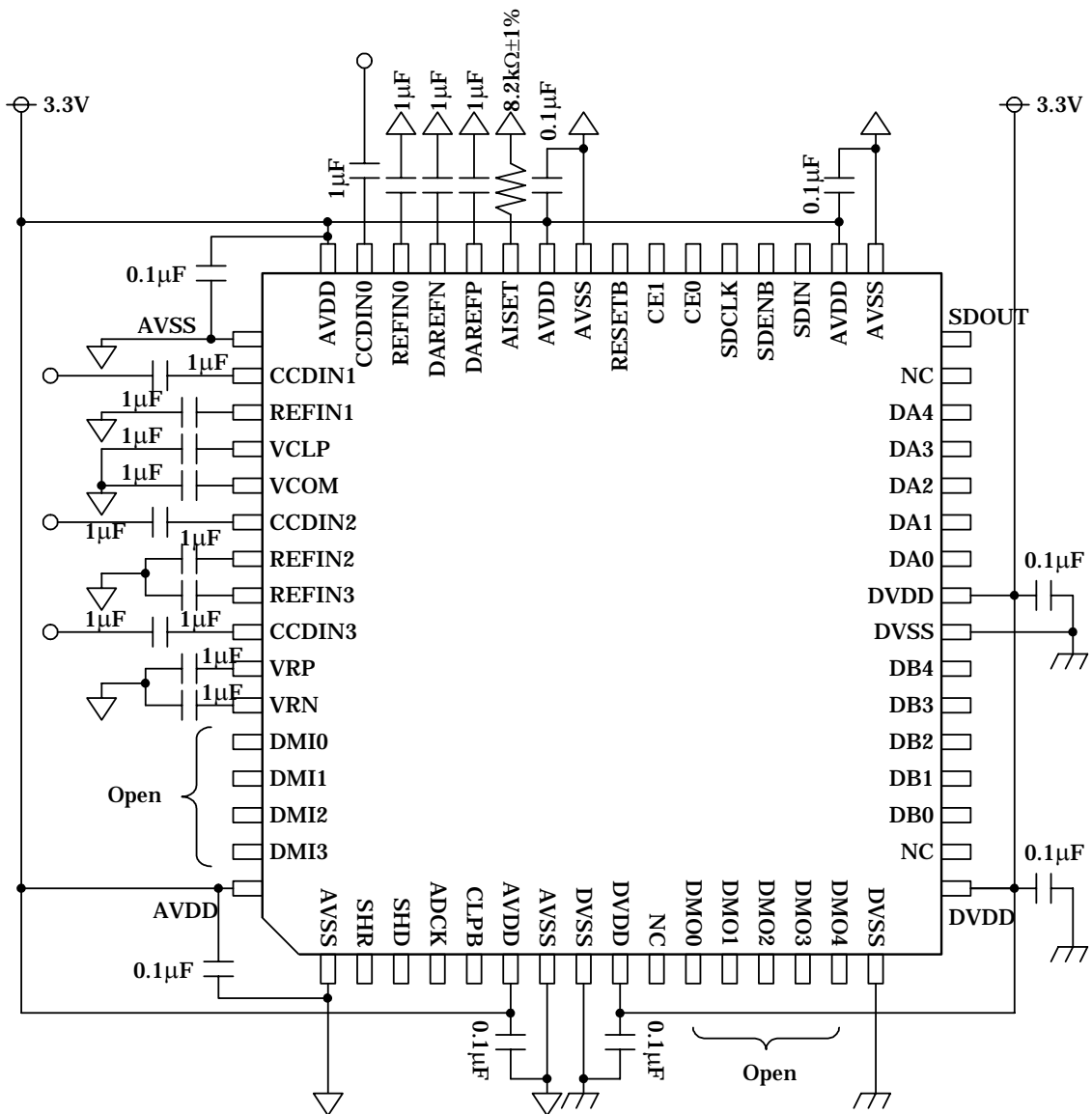
■ CDS モード



上記は参考例です。コンデンサの容量値はシステムに応じて最適な値を選択してください。

図 12 CDS モード

■ クランプモード

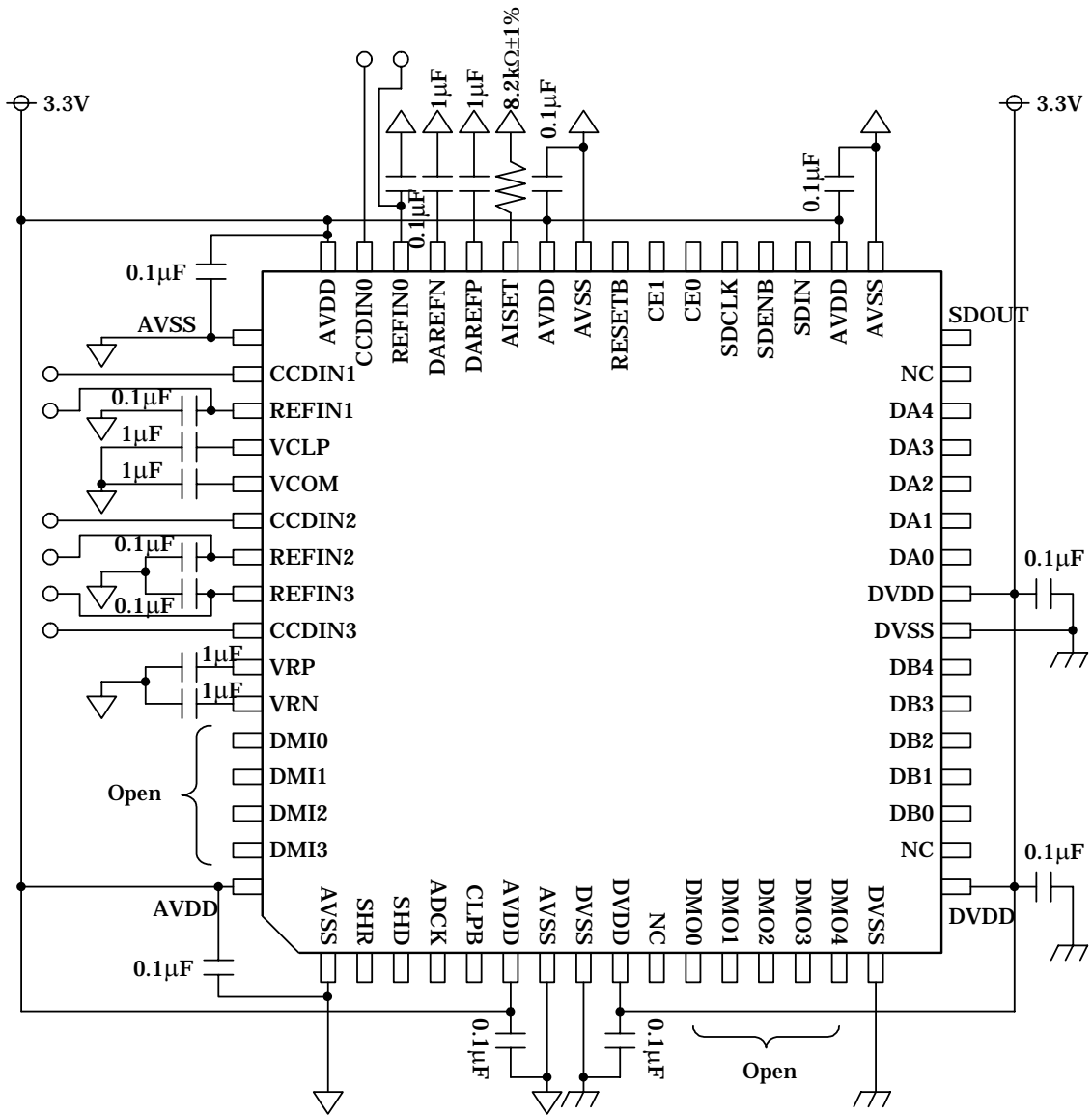


上記は参考例です。コンデンサの容量値はシステムに応じて最適な値を選択してください。

図 13 クランプモード



■ DC 直結モード



上記は参考例です。コンデンサの容量値はシステムに応じて最適な値を選択してください。

図 14 DC 直結モード

## 重要な注意事項

本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。

本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。

本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。

この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。

お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。