

综述

bd3201-14A (DRE) 提供的高性能数字音频信号处理能力, 可实现紧凑的, 易用的, 高质量的混响效果解决方案。内置 SRAM 可省去与外部 RAM 高带宽总线连接并允许用户开发。16 内嵌的程序使其可以立即使用 (无须开发) 而且涵盖了广泛的应用。

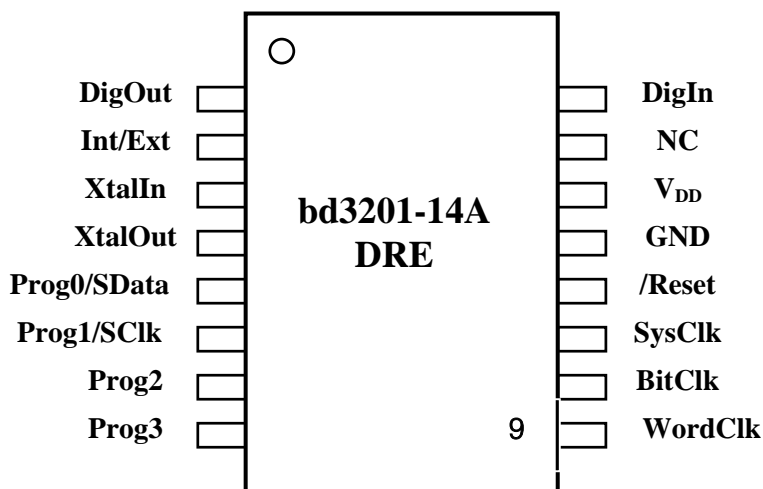
应用

- 数字效果器
- 数字混音器
- 吉他和乐器放大器
- 卡拉 OK 系统
- 电话抑制回声系统
- 聪明话筒
- 声卡
- 车载音频系统
- 个人立体声音乐产品

特性

- 16 个内置 ROM 程序, 可实现各种声音效果, 包括 halls, room, plates, delays, chorus, flange, vocal cancel, and rotary speaker emulation 等等
- 串行可编程 SRAM 用于程序开发或动态更改程序
- 每一个采样周期 128 个指令 (48kHz 采样频率)
- 32k 静态 RAM 存储单元在 48kHz 采样频率提供 0.68 秒延时

引脚配置



引脚说明

引脚	名称	引脚类型	说明
1	DigOut	输出	用于立体声 DAC 的数字串行输出
2	Int/Ext _l	输入	内部/外部程序选择
3	XtalIn	输入	12.288MHz 晶振输入
4	XtalOut	输出	12.288MHz 晶振输出
5	Prog0/SData	输入	内部程序选择 0/串行接口数据线
6	Prog1/SClk	输入	内部程序选择 1/串行接口时钟线
7	Prog2	输入	内部程序选择 2
8	Prog3	输入	内部程序选择 3.
9	WordClk	输出	Word 时钟输出
10	BitClk	输出	Bit 时钟输出
11	SysClk	输出	系统时钟输出
12	Reset _l	输入	复位（低有效）
13	Gnd	地线	地
14	V _{DD}	电源	V _{DD} 电源
15	NC	-	空
16	DigIn	输入	用于立体声 DAC 的数字串行输入

注意: Int/Ext, prog0, prog1, prog2 and prog3 通过内部 30K Ω 的电阻被上拉至 V_{DD}

电特性
推荐工作条件

名称	说明	条件	最小值	最佳值	最大值	单位
V _{DD}	供电电压	-	3.0	3.3	3.6	V
I _{DD}	供电电流	-	-	15	-	MA
GND	地	-	-	0	-	V
F _s	采样频率	-	-	48	-	KHz

输出 (DigOut, SysClk, BitClk, WordClk)

名称	说明	条件	最小值	最佳值	最大值	单位
V _{OH}	逻辑"1"输出电压	空载	2.9	V _{DD}	-	V
V _{OL}	逻辑"0"输出电压	空载	-	0	0.6	V

输入 (DigIn, Int/Ext, Prog0/Sdata, Prog1/SClk, Prog2, Prog3, Reset)

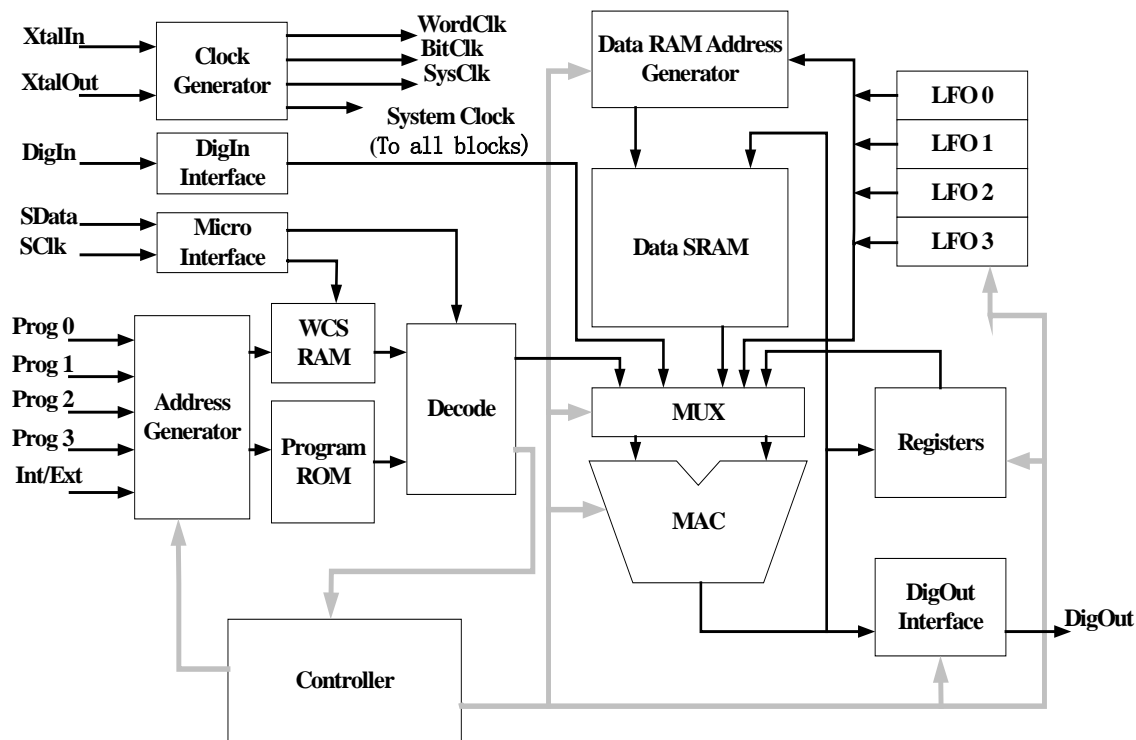
名称	说明	条件	最小值	最佳值	最大值	单位
V _{IH}	逻辑"1"输入电压	-	2.0	3.3	5.0	V
V _{IL}	逻辑"0"输入电压	-	-0.3	0	0.3 V _{DD}	V

内部程序列表

bd3201-14A 内嵌 16 个高品质的 ROM 程序，将芯片设置成内部模式，使用 4 个程序引脚来选择这 16 个不同的程序。

程序 [3:0]	名称	说明
0000	Hall 1	明亮欢快的 hall 混响效果，可用于鼓，吉他以及歌曲
0001	Hall 2	柔和的 hall 混响效果，用于声学吉他，钢琴以及歌曲
0011	Room 1	生硬的 room 混响效果用于声学乐器 Hardwood studio for acoustic instruments.
0010	Room 2	环绕的 room 混响效果用于声学混响以及合成声音
0110	Room 3	柔和的 room 混响效果用于吉他和有节奏的乐器
0111	Plate 1	典型的 plate 混响效果用于引导歌曲和乐器
0101	Plate 2	嘶嘶的明亮欢快 plate 混响效果用于歌曲和鼓
0100	Plate 3	短促的陈旧 plate 混响效果用于响弦乐器和吉他
1100	Chorus	立体声 chorus 用于吉他和钢琴
1101	Flange	立体声 flange 用于喷气流效果
1111	Delay 1	125ms 延时用于歌曲和吉他
1110	Delay 2	190ms 延时用于歌曲和吉他
1010	Chorus/Room 1	混响 Chorus 用于吉他，合成器和钢琴
1011	Chorus/Room 2	自动吉他混响效果用于引导乐器
1001	Vocal Cancel	将原唱从立体声背景音乐里去掉
1000	Rotary Speaker	Rotary speaker 效果用于管风琴和吉他

架构框图



架构框图描述

DigIn/DigOut 接口

bd3201-14A 只支持主时钟模式。系统时钟 (MCK)，word 时钟(LRCK)，bit 时钟 (SCLK)被集成在芯片上同步输出，用于音频 ADC 和 DAC。输出 SysClk/WordClk 和 SysClk/BitClk 的比率均为定值，256 倍和 64 倍。bd3201-14A 只能接受左对齐 数字音频接口格式的数据，并输出同样格式的数据。

下图显示了 SysClk, BitClk and WordClk 之间的关系。

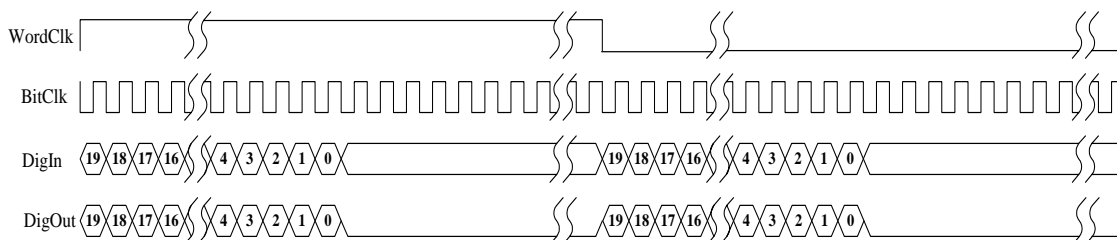


图. DigIn/DigOut 时序图

指令 RAM

除了在 16 个内嵌程序所在的程序 ROM，还有一个外部可编程 SRAM，可以通过串口时钟和数据引脚访问。将 bd3201-14A 芯片设置成外部模式，SCLK 和 SData 引脚 (引脚 6 和 5)即可用于串行通讯。除了外部可编程这一点外，指令 RAM 和编程 ROM 之间没有任何功能上的区别。

指令RAM由128个地址单元组成，这128个地址单元在每个word时钟周期内连续循环，每个周期以指令0为开始以指令127为结束。这与DigIn 输入和 DigOut 输出同步，因此，在一个周期结束即指令127 结束到下一个周期指令0开始之前，会收到一个新的采样频率。这种循环形式的优点是，处理流数据比如音频时，对于收到的每一个采样频率可以应用同样的程序。

用于指令RAM的程序可以是二进制文件，也可以是bd3201-14A本身所用软件的汇编语言。

关于bd3201-14A本身所用软件的汇编语言详细指令和用法，请参照文件“bd3201_AssembleLanguageGuide_cn.pdf”。

关于指令RAM的指令具体执行，请看下面的内部程序存储器映射。

内存图

地址	名称		
	地址	Name	
0:127	WCS RAM	0:3	LFO 系数
		4:127	MAC 指令
128	控制/状态 0		

LFO 系数字

比特	说明		
31	P: Pitch 转换模式选择 (S 必须为 1)		
30	S: 正弦波/三角波选择 1: 三角波; 0: 正弦波		
29:28	X[1:0]: Crossfade 系数选择, 这个值表明了在半锯齿波内用 Crossfade 所占的比例	X[1:0]	Xfade
		11	1/16
		10	1/8
		01	1/2
27:25	F [12:0]: 频率系数, 无符号		
14:0	A [14:0]: 振幅系数, 无符号		

说明 1: Crossfade 仅用于锯齿波。

说明 2: 如果选择了锯齿波 (P = 1 & S = 1), 那么输出波的频率就是三角波的两倍。

紧接着4个LFO系数字的是124个MAC指令字。这些指令可以处理数据RAM以及LFO产生的波形。

一个通用的NOP指令是0x00030000, 这个指令在所有的寄存器里被保留。当LFO系数被加载时, 在每一个采样周期的前4个周期内执行这个指令。

MAC 指令字

比特	说明	
31	S: 乘法器的符号位	
30:23	C[7:1]: 乘法器系数, 二进制补码 C[7:0] Chorus 指令。只有 7 MSBs 可用作乘法器系数, LSB 用于 chorus 模式, 如果 设置了[15], 则 C[7:0]见下表:	
	C 说明	
	7	Chorus/Xfade 选择 1: LFO 地址传递给地址产生器并选择 chorus 系数 0: LFO 地址不传递给地址产生器, 并选择 crossfade 系数
	6	LFO 地址符号位的 1 's 补码 (取反) ¹
	5	LFO 系数的 1 's 补码 (取反)
	4	LFO 地址的 1 's 补码 (取反)
	3	LFO 锁存, 1: 锁存新的 LFO 数据; 0:保持最近的 LFO 数据 ²
	2:1	LFO 选择
	0	LFO 正弦 / 余弦 选择 1: 余弦; 0: 正弦
22	W: Write 写选择 ^{3, 4}	
21:16	I[5:0]: 指令域	
	I 描述	
	5	Chorus 选择 (当设置为此值时, MAC 系数为 LFO 模块输出, LFO 地址偏移量被加入 SRAM 地址)
4	锁存寄存器 C. ³	

	3	锁存寄存器 B ⁵		
	2	保留 - 设置成 0		
	1:0	MAC 乘积 指令	I[1:0] 指令	
			11	Acc = Prod + Acc ⁶
			10	Acc = Prod + C ³
01			Acc = Prod + B ⁵	
00	Acc = Prod + 0			
15:0	A[15:0]: 被乘数地址, ^{7,8} (现在只使用了低 15 位, MSB 被保留以便日后扩展) Address 0x0000 = LeftIn / Out; Address 0x0001 = RightIn / Out.			

说明 1: 此补码仅用于MSB, 不影响扩展符号位.

说明 2: 锁定新数据时, LFO寄存器会存储一对正弦曲线/三角波的下部或上部, 以及一对crossfade系数的下部或上部。例如, 两对寄存器: LFO 0/1的正弦波/三角波/crossfade将会一起被锁定, LFO 2/3的正弦波/三角波/crossfade将会一起被锁定。

说明 3: LeftOut, RightOut, 以及C寄存器与累加器并行, 而且, 在时钟的最后一个周期他们与累加器获得相同的值。因此, 写入LeftOut或RightOut将会存储当前周期的结果。

说明 4: SRAM的写指令存储了最后一个周期的结果进入地址A。在写入的过程中, 被乘数被设为Acc, 因为A[15:0]用于地址偏移。写入LeftOut或RightOut可以用Acc = Product + Acc 指令, 将乘法器系数设成0可使所有的位不改变。

说明 5: 寄存器B如果在周期结束的时候被锁住, 那么它将存储当前周期的被乘数的值。当执行读指令时, B会锁存LeftIn, RightIn, 和SRAM。当执行写指令时, B会锁存累加器最后一个周期的值。

说明 6: 累加器包含了最近指令周期的结果, 并且在当前指令周期结束时更新。

说明 7: 内部数据RAM 地址偏移量在每一个字节时钟周期内会自动减一。

说明 8: 由于地址0x0000和0x0001是用来访问左右声道的, 因此那些SRAM内存地址不是直接被读取和写入的。

数据 RAM

数据RAM是一个SRAM, 由32768个存储位组成, 数据宽度14bit, 存储值为浮点型。所用格式为: S.E[2:0].F[9:0], 在这里, E是指数, S 是符号位, F是小数部分。

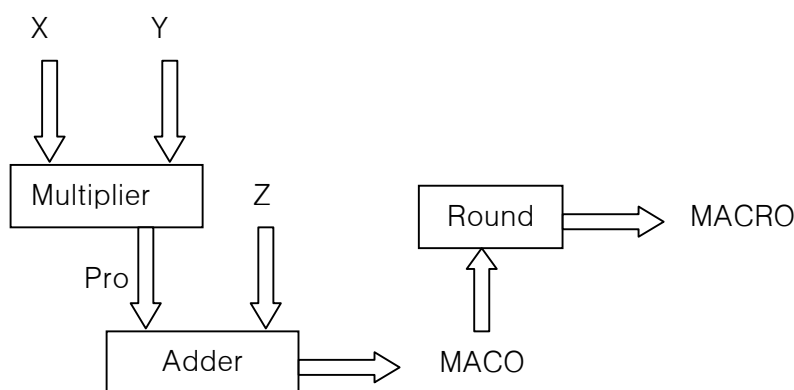
为了自动补充循环地址, 计算一个数据RAM内存位置的有效地址时要加上每一个采样周期减1的计数器的地址部分。此计数器与DigIn输入和DigOut输出同步, 因此程序计数器的减法在指令127执行之后指令0执行之前执行。由于不能访问计数器的偏移量, 所以此值所在的准确的物理地址也不能确定 (在编程时只有相对地址可以用来决定访问的位置)。

当上电或者Reset 引脚由低变高时, RAM数据将会用0x3FFF和0x0000模式进行自检

测并初始化为0。自检测过程需要5.33ms，并且在2.66ms之内完成初始化为0。对于指令RAM的人工编程，也能够合适的胜任清除数据RAM的工作。

MAC(乘法器/累加器)单元

MAC 构架图



说明:

X: [19:0] 乘法器的被乘数，20bit 符号数。它是 Acc 四舍五入的值，SRAM 数据或者 ADC 的直接输入数据。

Y: [7:0] 乘法器的乘数，8bit 符号数，它是乘法器系数（MAC INST [31:24]）值或者 LFOK。

Prod: [26:0] 乘法器的乘积，27bit 符号数。

Z: [26:0] 加法器的加数，27bit 符号数。它的值可以是 Acc，B 寄存器，C 寄存器或者 0。

MACO: [26:0] MAC 输出，27bit 符号数。它是加法器的和。当加法器溢出时，MAC 的输出根据符号位会是正负最大值。

MACRO: [19:0] MAC 四舍五入的输出，20bit 符号数。它为 SRAM 存储和 DigOut 生成。

MAC完成了数据在bd3201-14A的所有算术运算。所有的指令在一个时钟循环内被执行。它使用20bit宽的数据通道和27bit的高精度累加器。MAC生成20bit四舍五入值（四舍五入将会增加半个bit的精度）用于数据RAM存储和DigOut，最后生成27bit精度的累加器结果值。

用于MAC的寄存器组由以下组成:

Acc: [26:0] 累加器，27 位符号数，用于锁住前一个 MAC 输出值。

B: [19:0] B 寄存器，20 位符号数，当时钟寄存器 B 被设有效时（MAC INST [19]）用于锁存前一个 X 的值。

C: [26:0] C 寄存器，27 位符号数，当时钟寄存器 C 被设有效时（MAC INST [20]）用于锁存前一个 MAC 的输出。

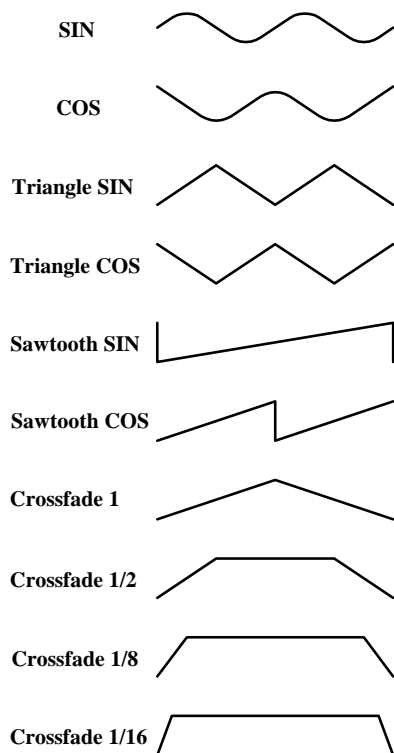
DigIn: [19:0] 数字音频输入，20 位符号数。

DigOut: [19:0] 数字音频输出，20位符号数。

LFO 发生器

bd3201-14A的LFO (Low-Frequency Oscillator低频振荡器) 产生三种类型的波：正弦波，三角波和锯齿波。LFO的参数包括，频率，振幅以及发生信号的形状。最开始的四个指令（LFO系数字）以及一些在指令RAM中的MAC指令字可以用来为LFO设置这些参数。

通过选择指令， bd3201-14A能生成10种不同的波形，有关波形的具体选择，参见下表。



WaveForm Select Table				
Waveforms	P	S	C[0]	X[1:0]
SIN	X	0	0	X
COS	X	0	1	X
Triangle SIN	0	1	0	X
Triangle COS	0	1	1	X
Sawtooth SIN	1	1	0	X
Sawtooth COS	1	1	1	X
Crossfade 1	1	1	X	00
Crossfade 1/2	1	1	X	01
Crossfade 1/8	1	1	X	10
Corssfade 1/16	1	1	X	11

Note 1: P: LFO Coefficient Word[31]
 S: LFO Coefficient Word[30]
 C[0]: MAC Instruction Word[23]
 X[1:0]: LFO Coefficient Word[29:28]
Note 2: I[5](MAC Instruction Word[21]) must be set.

由LFO产生的正弦曲线（sinusoid）用公式表示为 $A \cdot \sin(nF/M)$ or $A \cdot \cos(nF/M)$ ，这里n是时间， $F/M = 2\pi f/F_s$ ， $M = 262143$ (0x3FFFF，内部的最大值为18位数)，f是所选频率， F_s 是采样率，则所选频率为：

$$f = (F/M) \cdot F_s / (2\pi) = 0.029142 \cdot F \text{ @ sampling frequency } F_s = 48\text{kHz}$$

$$f_{\min} = f (F=1) = 0.029142\text{Hz}$$

$$f_{\max} = f (F=8191) = 238.7\text{Hz}$$

通过累计加减产生的三角波（Triangle） $C \cdot F/M$ ，其中 $C = 2^{22}$ ，是一个内部常量，从负的最大值到正的值H(H = 0x7FFFFFFF 最大正值)。四分之一波形经过 $H/(C \cdot F/M)$ ，则所选频率为：

$$f = F_s \cdot C \cdot (F/M) / (4 \cdot H) = 0.022888 \cdot F \text{ @ sampling frequency } F_s = 48\text{kHz}$$

$$f_{\min} = f (F=1) = 0.022888\text{Hz}$$

$$f_{\max} = f (F=8191) = 187.5\text{Hz}$$

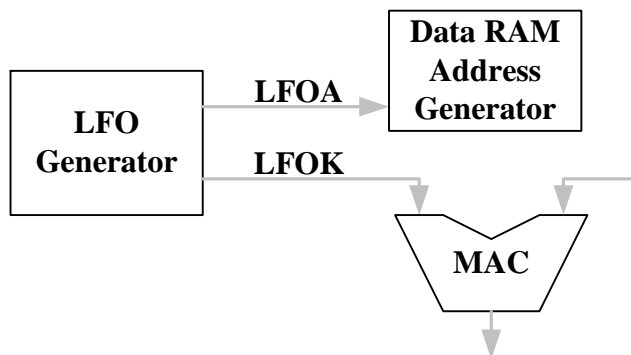
锯齿波（Sawtooths）就是三角波在不改变符号的情况下从一个最大值滚动到另一个最大值，因此所选频率 f 就是三角波的两倍：

$$f = F_s \cdot C \cdot (F/M) / (2 \cdot H) = 0.045777 \cdot F \text{ @ sampling frequency } F_s = 48\text{kHz}$$

$$f_{\min} = f(F=1) = 0.045777\text{Hz}$$

$$f_{\max} = f(F=8191) = 375.0\text{Hz}$$

当使用chorus指令时，地址与LFO的输出有偏移。偏移的范围是取样频率的 $\pm A/8$ （或者最大值 ± 4096 ），或者总取样频率的 $A/4$ （最大取样频率8192）。偏移量用LFOA和LFOK两个参数来表示。



1. LFOA 是地址偏移量，需要加到所选地址上，DRE bd3201-14A 将会读/写数据 RAM 的[地址+偏移量]。
2. 使用 xfade 时，LFOA 不会被加到所选地址上。
3. 当选择“LFO 地址的 1 ‘s 补码（取反）”时（MAC 指令字 27），地址偏移量为 -LFOA。
4. 当选择“LFO 地址符号位的 1 ‘s 补码（取反）”时（MAC 指令字 29），地址偏移量为 $LFOA + 2^7$ ($LFOA < 0$) 或 $LFOA - 2^7$ ($LFOA \geq 0$)。
5. LFOK 是插值系数，当使用 chorus 指令时，它将会替代 MAC 的乘数 $Y[7:0]$ 。
6. 当选择“LFO 系数的 1 ‘s 补码（取反）”时（MAC 指令字 29），乘法器系数为 $-LFOK-1$ 。

通过选择合适的通过数据RAM的LFO频率以及波形，就可以产生诸如pitch shifts, flanges, choruses, reverbs等等效果。具体应用和举例请参见不同的application note。

系统复位

当使用/Reset 引脚时，最小脉冲宽度为163ns，bd3201-14A被异步的复位。复位将会导致数据RAM进行自检测并初始化为0。复位之后，数据RAM将会开始自检并初始化为0，所有内部的计数器和状态寄存器也将被设为0。

串行微处理器接口

微处理器借口的基本格式为：

Attn Sel R/W A7 A6 A5 A4 A3 A2 A1 A0 DN DN-1 DN-2 ... D2 D1 D0 Attn Desel

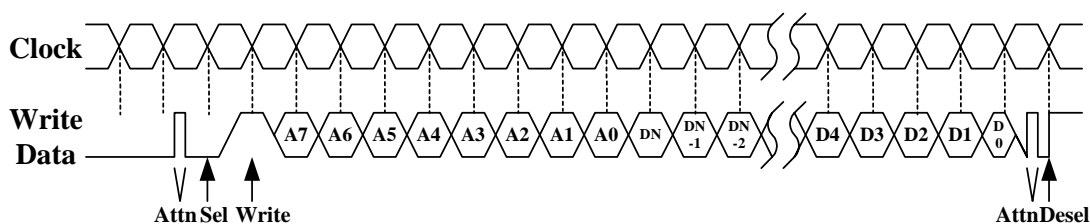
Attn : A 0-1-0 用于信号准备/开始

Sel / Desel : 0: 被选; 1: 不被选

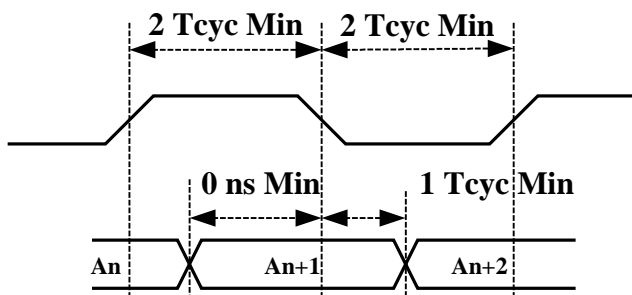
A7 – A0 : 地址
 R / W : 0: 读; 1: 写
 DN – D0 : 数据
 Attn Desel: 只有写模式

说明:

1. 只要在写入的时候数据被发送，则地址会自动增加，因此只需要发送一个起始地址即可。
2. 时钟的相位并不重要。
3. bd3201-14A 不支持微处理器串口的读模式。



Write Timing ($T_{cyc} = 1/F_{masterClk}$)



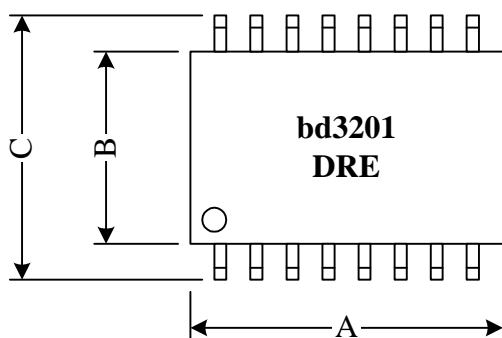
控制 / 状态字 0

比特	说明
31:8	保留字, 值为 0
7	M: 外部模式下的 DigOut 静音, 重置为 0
6	Z: SRAM 0, 一直进行 0 循环直到被设成 0, 重置值为 0 ¹
5	保留字, 值为 0
4	L: LFO 重置脉冲, 重置 LFO 内部寄存器并清除溢出标志, 重置值为 0
3	I: 指令 RAM 直接模式, 重置值为 1 1: 只要一接收到指令就进行写/读 0: 当地址计数器滚动至与地址匹配时才进行指令的读/写 ²
2:0	保留字, 值为 0

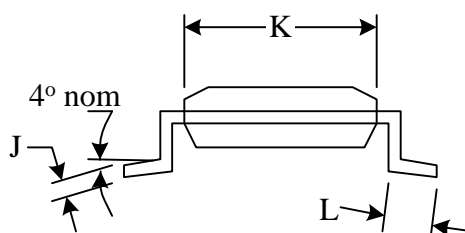
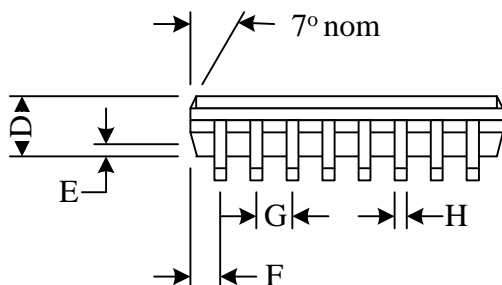
说明 1: 一个数据RAM 0循环在12.288MHz 晶振频率下（取样频率48KHz）进行初始化为0的周期需要2.66ms。完成初始化为0的周期后，在一个字节时钟周期内不会开始下一个循环。

说明 2: 关于动态编程，设I=0可以在不中断程序执行的条件下改变程序。否则，读写指令RAM将会抢占RAM的地址总线从而引起指令序列的地址跳转。在I=0的条件下，对每个地址的读和写操作会占据整个字节时钟周期。因此在持续写的过程中，每一个指令字的开始至少要相隔一个word clock。

尺寸描述 Package Dimensions



Dimensions(Typical)		
	Millinches	Millimeter
A	406	10.31
B	295	7.49
C	407	10.34
D	100	2.50
E	8	0.20
F	25	0.64
G	50	1.27
H	17	0.42
J	11	0.27
K	340	8.66
L	33	0.83



说明: 尺寸‘A’不包括 mold flash, protrusions, 或 gate burrs.

重要说明

bd3201-14A 和 AL3201 的主要区别在于 bd3201-14A(DRE)使用低电压(2.7V - 3.3V)供电，AL3201 的供电电压是 5V，除了电源之外，bd3201-14A 与 AL3201 的引脚完全兼容。对于习惯使用 5V 供电的 AL3201 开发板的客户来说，如果要在原来 AL3201 的开发板上将 AL3201 替换为 bd3201-14A，只需加一个简单的电路，bd3201-14A 就可以实现 5V 供电（详情参见“bd3201_ApplicationNote_DifferenceBetweenAL3201_cn.pdf”或与我们联系）。

修改日志

版本号 Revision	改动记录	版权
1.0 2005/12/12	bd3201-14A 的 datasheet 完成	BDNC
1.1 2006/03/24	增加了 bd3201-14A and AL3201 的区别	BDNC
1.2 2006/04/17	对 bd3201-14A and AL3201 的区别进行了补充	BDNC
1.3 2006/05/29	修正了以前版本的几个小错误，增加了一些新的章节	BDNC
1.4 2006/07/31	修正了以前版本的一个小错误	BDNC
1.5 2006/8/02	将 datasheet 中的一部分应用分出为 Application Note 文档	BDNC

bd3201-14A datasheet (中文版) V1.5

© 2006 BDNC ALL RIGHT RESERVED

www.bdnc.com

香港公司

比特联创(香港)有限公司

香港沙田科技大道西 6 号集成电路开发
中心 512-513 室

电话: 852-28542731/ 23916797

传真: 852-23916796

电子邮件: general@bdnc.com

北京公司

比特联创电子(北京)有限公司

北京市海淀区三里河路 21 号甘家口大厦
写字楼南座 1513 室, 邮编: 100037

电话: 86-10-88392985/88392986

传真: 86-10-88392980

电子邮件: bdncele@public.bta.net.cn