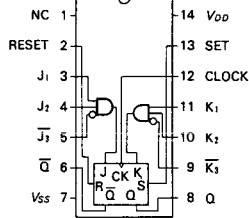
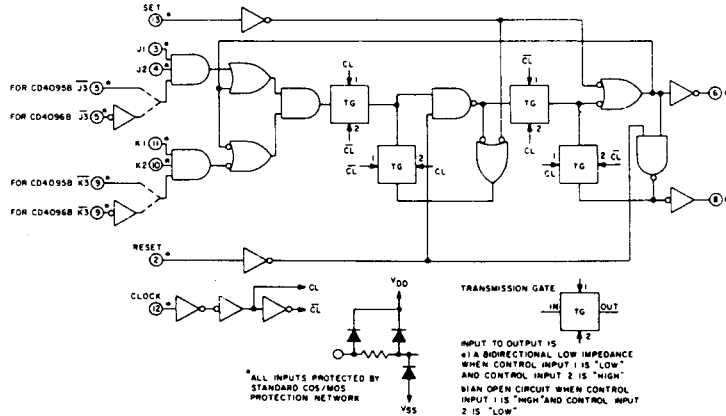


4096B Inverting Gated JK Master Slave Flip Flop

ピン接続



ロジック・ダイアグラム



機能	
分類	フリップフロップ
タイプ	JK
クロック	↑
クリア	H
プリセット	H
3ステート	なし

特徴

- ANDゲート入力を持つGATED JKマスター・スレーブ・フリップフロップ
- クロックの立ち上がりにて動作

真理値表

SYNCHRONOUS OPERATION (S=0 R=0)

Inputs Before Positive Clock Transition		Outputs After Positive Clock Transition	
J*	K*	Q	Q̄
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	Toggles	

ASYNCHRONOUS OPERATION (J and K - DON'T CARE)

S	R	Q	Q̄
0	0	No Change	
0	1	0	1
1	0	1	0
1	1	0	0

0 = V_{SS}, 1 = V_{DD}

* For CD4095B For CD4096B
 J = J1 · J2 · J3 J = J1 · J2 · J3
 K = K1 · K2 · K3 K = K1 · K2 · K3

■ スイッチング特性					■ メーカー別相当品		
	VDD	typ	max	単位	メーカー	型名	パッケージ
t _r	5V	100	200	ns			DIP SOP
	10V	50	100	ns	沖		
	15V	40	80	ns	三洋		
t _f	5V	100	200	ns	JRC		
	10V	50	100	ns	東芝		
	15V	40	80	ns	日電		
t _{PLH} (CLK → OUT)	5V	250	500	ns	日立		
	10V	100	200	ns	富士通		
	15V	75	150	ns	松下		
t _{PHL} (CLK → OUT)	5V	250	500	ns	三菱		
	10V	100	200	ns	ローム		
	15V	75	150	ns	MOT		
t _{PLH} (SET → OUT)	5V	150	300	ns	NS		
	10V	75	150	ns	RCA	CD4096B	●
	15V	50	100	ns	SGS	HCC4096B	●
t _{PHL} (SET → OUT)	5V	150	300	ns	S.I.G		
	10V	75	150	ns	SSS		
	15V	50	100	ns			
f _{CP}	VDD	min	typ	単位			
	5V	3.5	7	MHz			
	10V	8	16	MHz			
	15V	12	24	MHz			