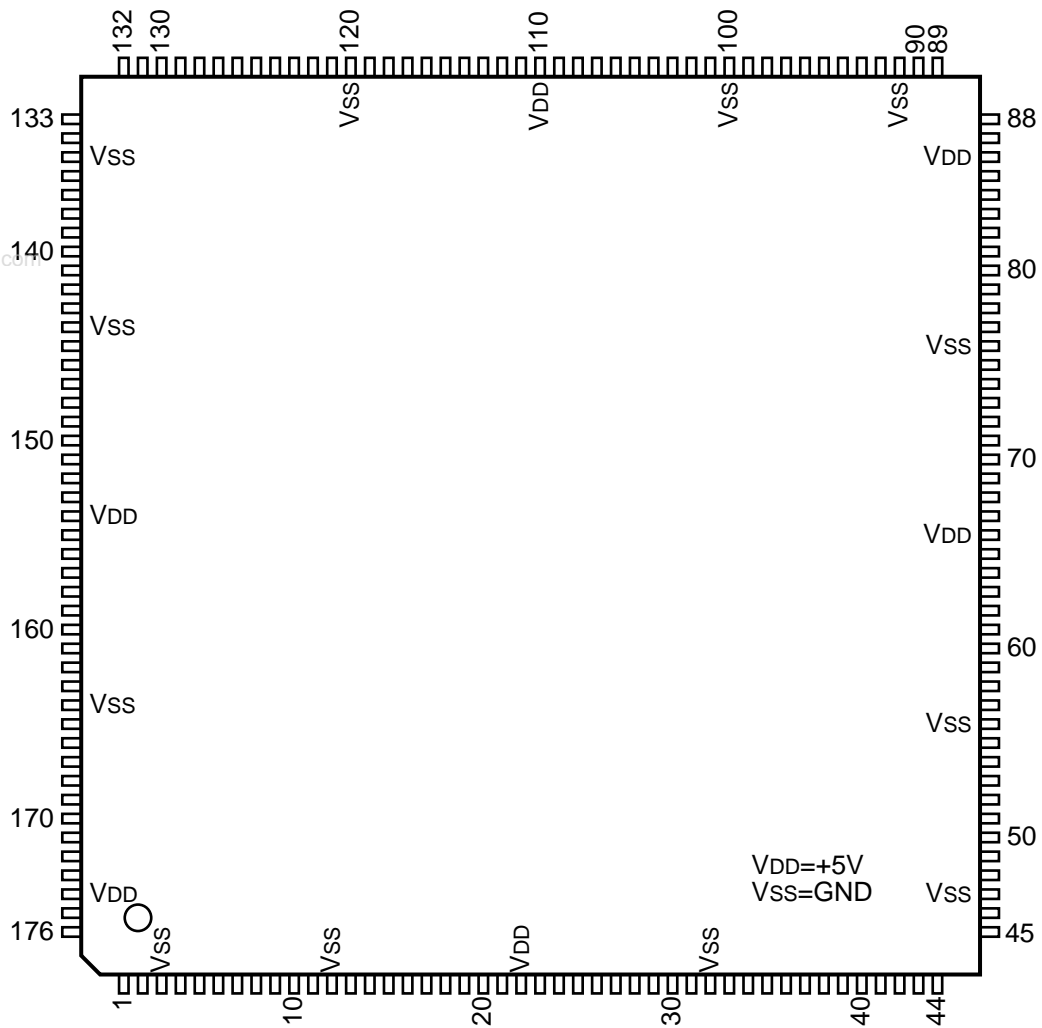


\*\*\*\*\*

### C-MOS BUFFER CONTROL (GATE ARRAY)

-TOP VIEW-



PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL
1	I/O	BUF1 D 0	45	I/O	BUF1 D 18	89	I/O	BUF2 D 3	133	I/O	BUF2 D 21
2	I/O	BUF1 D 1	46	I/O	BUF1 D 19	90	I/O	BUF2 D 4	134	I/O	BUF2 D 22
3	–	Vss	47	–	Vss	91	–	Vss	135	–	Vss
4	I/O	BUF1 D 2	48	I/O	BUF1 D 20	92	I/O	BUF2 D 5	136	I/O	BUF2 D 23
5	I/O	BUF1 D 3	49	I/O	BUF1 D 21	93	I/O	BUF2 D 6	137	I/O	BUF2 D 24
6	I/O	BUF1 D 4	50	I/O	BUF1 D 22	94	I/O	BUF2 D 7	138	I/O	BUF2 D 25
7	O	CK25M	51	I/O	DMA D 4	95	O	ADRS1 2	139	O	ADRS2 6
8	O	DACKN	52	I/O	DMA D 5	96	O	ADRS1 3	140	O	ADRS2 7
9	I/O	BUF1 D 5	53	I/O	BUF1 D 23	97	I/O	BUF2 D 8	141	I/O	BUF2 D 26
10	I/O	BUF1 D 6	54	I/O	BUF1 D 24	98	I/O	BUF2 D 9	142	I/O	BUF2 D 27
11	I/O	BUF1 D 7	55	I/O	BUF1 D 25	99	I/O	BUF2 D 10	143	I/O	BUF2 D 28
12	–	Vss	56	–	Vss	100	–	Vss	144	–	Vss
13	I/O	BUF1 D 8	57	I/O	BUF1 D 26	101	I/O	BUF2 D 11	145	I/O	BUF2 D 29
14	I/O	BUF1 D 9	58	I/O	BUF1 D 27	102	I/O	BUF2 D 12	146	I/O	BUF2 D 30
15	I/O	BUF1 D 10	59	I/O	BUF1 D 28	103	I/O	BUF2 D 13	147	I/O	BUF2 D 31
16	I/O	ECC2 D 0	60	I/O	DMA D 6	104	O	ADRS1 4	148	O	ADRS2 8
17	I/O	ECC2 D 1	61	I/O	DMA D 7	105	O	ADRS1 5	149	O	ADRS2 9
18	I/O	ECC2 D 2	62	I/O	DMA D 8	106	O	ADRS1 6	150	O	BUF2 OEN
19	O	CASN1	63	I/O	CPU D 5	107	O	DMDSN	151	I/O	CPU D 0
20	I	CPU A 1	64	I/O	CPU D 6	108	I	SPC CSN	152	I/O	CPU D 1
21	I	CPU A 2	65	I/O	CPU D 7	109	I	CSN	153	I/O	CPU D 2
22	–	VDD	66	–	VDD	110	–	VDD	154	–	VDD
23	I	CPU A 3	67	I/O	DMA D 9	111	I	DREQ	155	I	CPU OEN
24	I	CPU A 4	68	I/O	DMA D 10	112	–	(TFD1)	156	I	CPU WEN
25	O	SPC DIR	69	I/O	DMA D 11	113	O	CASN2	157	O	BUF1 OEN
26	I/O	ECC2 D 3	70	I/O	BUF1 D 29	114	O	ADRS1 7	158	I/O	ECC1 D 0
27	I/O	ECC2 D 4	71	I/O	BUF1 D 30	115	O	ADRS1 8	159	I/O	ECC1 D 1
28	I/O	ECC2 D 5	72	I/O	BUF1 D 31	116	O	ADRS1 9	160	O	CK10M
29	I/O	BUF1 D 11	73	I	TP1	117	I/O	BUF2 D 14	161	I	ECC1 EN
30	I/O	BUF1 D 12	74	I	TP2	118	I/O	BUF2 D 15	162	I	ECC1 DIR
31	I/O	BUF1 D 13	75	I	CK60M	119	I/O	BUF2 D 16	163	I	CLRN
32	–	Vss	76	–	Vss	120	–	Vss	164	–	Vss
33	I/O	BUF1 D 14	77	I	TP3	121	I/O	BUF2 D 17	165	I	ECC2 EN
34	I/O	BUF1 D 15	78	O	BUF2 WEN	122	I/O	BUF2 D 18	166	I	ECC2 DIR
35	I/O	BUF1 D 16	79	I/O	BUF2 D 0	123	I/O	BUF2 D 19	167	O	RASN
36	I/O	ECC2 D 6	80	I/O	BUF2 D 1	124	O	ADRS2 0	168	I/O	ECC1 D 2
37	I/O	ECC2 D 7	81	I/O	DMA D 12	125	O	ADRS2 1	169	I/O	ECC1 D 3
38	I/O	DMA D 0	82	I/O	DMA D 13	126	O	ADRS2 2	170	I/O	ECC1 D 4
39	I/O	CPU D 3	83	I/O	DMA D 14	127	I/O	CPU D 8	171	I	CPU A 0
40	I/O	CPU D 4	84	I/O	DMA D 15	128	I/O	CPU D 9	172	I/O	ECC1 D 5
41	I/O	DMA D 1	85	O	ADRS1 0	129	O	ADRS2 3	173	I/O	ECC1 D 6
42	I/O	DMA D 2	86	–	VDD	130	O	ADRS2 4	174	–	VDD
43	I/O	DMA D 3	87	O	ADRS1 1	131	O	ADRS2 5	175	I/O	ECC1 D 7
44	I/O	BUF1 D 17	88	I/O	BUF2 D 2	132	I/O	BUF2 D 20	176	O	BUF1 WEN

## INPUT

CK60M ; CLOCK 60MHz  
 CLRN ; SYSTEM CLEAR  
 CPU A 0-4 ; CPU ADDRESS BUS  
 CPU OEN ; CPU OUTPUT ENABLE  
 CPU WEN ; CPU WRITE ENABLE  
 CSN ; CHIP SELECT  
 DREQ ; DMA REQUEST FROM SPC  
 ECC1 DIR ; ECC 1 DIRECTION  
 ECC1 EN ; ECC 1 DATA ENABLE  
 ECC2 DIR ; ECC 2 DIRECTION  
 ECC2 EN ; ECC 2 DATA ENABLE  
 SPC CSN ; SPC CHIP SELECT  
 TP1-TP3 ; ACCEL TEST PIN

www.DataSheet4U.com

## OUTPUT

ADRS1 0-9 ; BUFFER 1 ADDRESS BUS  
 ADRS2 0-9 ; BUFFER 2 ADDRESS BUS  
 BUF1 OEN ; BUFFER 1 OUTPUT ENABLE  
 BUF1 WEN ; BUFFER 1 WRITE ENABLE  
 BUF2 OEN ; BUFFER 2 OUTPUT ENABLE  
 BUF2 WEN ; BUFFER 2 WRITE ENABLE  
 CASN1, 2 ; BUFFER CAS  
 CK10M ; CLOCK 10MHz  
 CK25M ; CLOCK 2.5MHz  
 DACKN ; ACKNOWLEDGE TO SPC  
 DMDSN ; DMA DATA STROBE  
 RASN ; BUFFER RAS  
 SPC DIR ; SPC DIRECTION

## INPUT/OUTPUT

BUF1 D 0-31 ; BUFFER 1 DATA BUS  
 BUF2 D 0-31 ; BUFFER 2 DATA BUS  
 CPU D 0-9 ; CPU DATA BUS  
 DMA D 0-15 ; DMA DATA BUS  
 ECC1 D 0-7 ; ECC 1 DATA BUS  
 ECC2 D 0-7 ; ECC 2 DATA BUS

## OTHER

(TFD1) ; TEST PIN