

---

**Ci520****13.56MHz 非接触式读写器芯片****1 简介**

本文档描述了非接触式读写器 Ci520 的功能特性和电气特性。

**2 概述**

Ci520 是一个高度集成的，工作在 13.56 MHz 的非接触式读写器芯片，阅读器支持 ISO/IEC 14443 A/MIFARE。

无需外围其他电路，Ci520 的内部发送器可驱动读写器天线与 ISO/IEC 14443 A/MIFARE 卡和应答机通信。接收器模块提供一个强大而高效的电路，用以解调译码 ISO/IEC 14443 A /MIFARE 兼容卡及应答机信号。数字模块处理完整的 ISO/IEC 14443 A 帧和错误检测功能（奇偶和 CRC）。

Ci520 支持 MIFARE 产品。Ci520 支持非接触式通信，与 MIFARE 系列双向通信速率高达 848 kBd。

Ci520 提供 SPI（串行外设接口）主机接口。

## 目 录

1 简介.....	1
2 概述.....	1
目 录.....	2
3 参数和特性.....	4
4 主要参数指标.....	5
5 框图.....	7
6 引脚信息.....	8
6.1 引脚描述.....	8
7 功能描述.....	11
7.1 数字接口.....	12
7.1.1 串行外设接口.....	12
7.1.2 SPI 读数据.....	12
7.1.3 SPI 写数据.....	13
7.1.4 SPI 典型时序.....	13
7.1.5 SPI 地址字节.....	14
7.2 FIFO 缓冲区.....	14
7.3 中断请求系统.....	15
7.4 省电模式.....	15
7.4.1 硬掉电.....	15
7.4.2 软掉电.....	15
7.4.3 发送器掉电.....	16
8 命令集.....	17
8.1 概述.....	17
8.2 通用特性.....	17
8.3 命令概览.....	18
9 寄存器映射表.....	19
10 典型应用图.....	31
11 封装尺寸.....	32
12 版本信息.....	34
13 订单信息.....	35

---

14 技术支持与联系方式.....36

### 3 参数和特性

- 高度集成的模拟电路，解调和译码响应
- 带缓冲的输出驱动器，使用最少的外围元件与天线连接
- 支持 ISO/IEC 14443 A/MIFARE
- 读写器模式的操作距离取决于天线的尺寸和圈数，典型操作距离为 50 mm，
- 读写器模式下支持 MIFARE 系列卡
- 支持 ISO/IEC 14443 A/Mifare 更高速率通信，最高达 848 kBd
- 支持 SPI 接口，通信速率高达 10 Mbit/s
- 64 字节发送和接收 FIFO 缓冲区
- 灵活的中断模式
- 低功耗硬复位功能
- 软件掉电模式
- 可编程定时器
- 内部振荡器，连接 27.12 MHz 石英晶体
- 2.3 V 至 4V 供电电压
- CRC 协处理器

## 4 主要参数指标

**表 4-1 极限参数**

工作条件	最小值	最大值	单位
电源电压			
VDD	2.3	4.0	V
温度			
工作温度	-40	+85	°C

**表 4-2 主要参数指标**

标志	参数	条件		最小值	典型值	最大值	单位
AVDD	模拟供电电压	AVDD = VDD (PVDD) = VDD (TVDD); VSS = 0 V	(1)	2.3	3.3	4.0	V
VDD (PVDD)	PVDD 供电电压			2.3	3.3	4.0	V
VDD (TVDD)	TVDD 供电电压			2.3	3.3	4.0	V
I <sub>pd</sub>	掉电电流	AVDD=VDD (PVDD) =VDD(TVDD)= 3.3V					
		硬掉电; NRSTPD 引脚置低	(2)	-	0.9	2.5	uA
		软掉电;	(2)	-	1.5	1.5	uA
IPVDD	PVDD 供电电流	VDD1 引脚; PVDD = 3.3 V		-	0.9	1.5	mA
IDDA	模拟供电电流	VDD4 引脚; VDDA = 3.3 V, CommandReg 寄存器的 RcvOff 位 = 0		-	2.9	4	mA
		VDD4 引脚; 接收器关闭; VDDA = 3.3 V, CommandReg 寄存器的 RcvOff 位 = 1		-	0.8	1	mA
IDD (TVDD)	TVDD 供电电流	VDD3 引脚; TVDD = 3.3 V	(3)	-	25	30	mA

1) VDDA, VDD (PVDD) 和 VDD (TVDD) 必须始终保持电压相同。

2) I<sub>pd</sub> 是所有供电电源的总电流。

3) 典型电路操作期间, 总电流小于 30mA。

**表 4-3 推荐值**

标志	参数	条件	最小值	典型值	最大值	单位
AVDD	模拟供电电压	AVDD = VDD (PVDD) = VDD (TVDD); VSS = 0 V	2.3	3.3	4.0	V
VDD (PVDD)	PVDD 供电电压		2.3	3.3	4.0	V
VDD (TVDD)	TVDD 供电电压		2.3	3.3	4.0	V
	存储温度	QFN32L	-55	-	+125	°C
	工作温度	QFN32L	-40	-	+85	°C

注：如果外加条件超过“极限额定参数”的额定值，将会对芯片造成永久性的破坏。

**表 4-4 芯片版本信息**

芯片型号	描述
Ci520	-

## 5 框图

模拟接口处理模拟信号的调制解调。非接触 UART 处理与主机合作通信的协议要求。FIFO 缓冲区保证主机和非接触式 UART 之间快速方便的通信。

配备 SPI 主机接口满足用户需求。

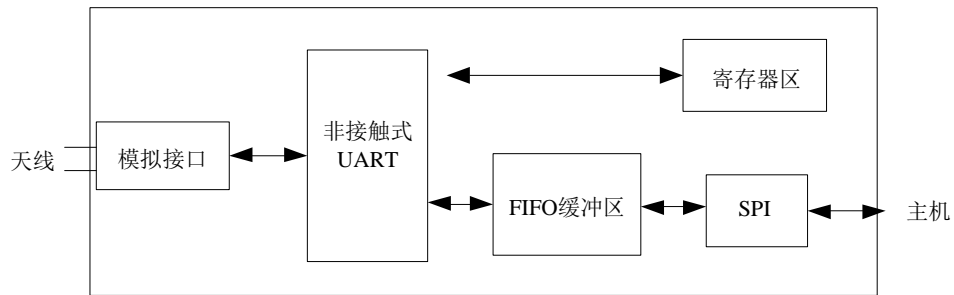


图 5-1 Ci520 简化框图

## 6 引脚信息

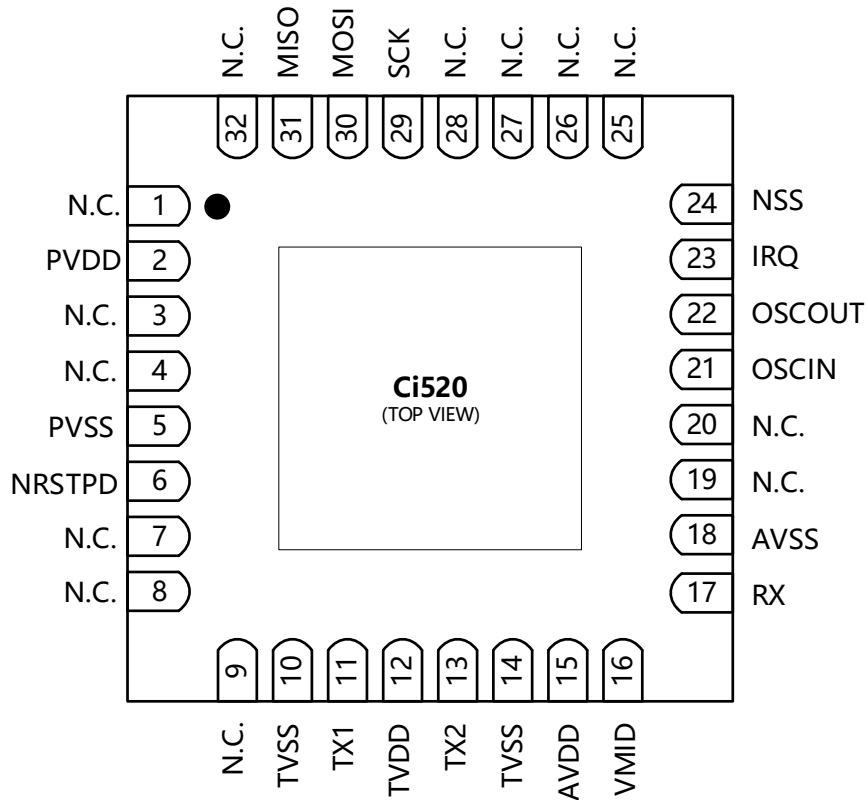


图 6-1 引脚配置图 (QFN32L)

### 6.1 引脚描述

表 6-1 引脚描述

引脚	标志	类型 [1]	描述
1	N.C.	-	悬空



2	PVDD	P	引脚电源供电
3	N.C.	-	悬空
4	N.C.	-	悬空
5	PVSS	G	引脚电源地
6	NRSTPD	I	复位和掉电输入： 掉电：低电平使能；关闭内部电流吸收，关闭振荡器，断开输入引脚与外部连接 复位：上升沿使能
7	N.C.	-	悬空
8	N.C.	-	悬空
9	N.C.	-	悬空
10	TVSS	G	发送器输出级 1 地
11	TX1	O	发送器 1 调制的载波信号输出
12	TVDD	P	发送器电源供电：给发送器 1 和 2 的输出级供电
13	TX2	O	发送器 2 调制的载波信号输出
14	TVSS	G	发送器输出级 2 地
15	AVDD	P	模拟电源供电
16	VMID	P	内部参考电压
17	RX	I	射频信号输入
18	AVSS	G	模拟地
19	N.C.	-	悬空
20	N.C.	-	悬空
21	OSCIN	I	晶体振荡器的反相放大器的输入；同时也是外部产生的时钟输入(fclk = 27.12MHz)
22	OSCOU	O	晶体振荡器的反相放大器的输出
23	IRQ	O	中断请求输出：指示一个中断事件
24	NSS	I	SPI 信号输入
25	N.C.	-	悬空
26	N.C.	-	悬空

27	N.C.	-	悬空
28	N.C.	-	悬空
29	SCK	I	SPI 串行时钟输入
30	MOSI	I/O	SPI 主机输出, 从机输入
31	MISO	I/O	SPI 主机输入, 从机输出
32	N.C.	-	悬空

引脚类型: I=输入, O=输出, I/O=输入/输出, P=电源, G=地

## 7 功能描述

Ci520 发送模块支持在不同的传输速率和调制协议下的 ISO/IEC 14443 A/MIFARE 读/写模式。

表 7-1 ISO/IEC 14443 A/MIFARE 读/写模式下通信概述

通信检测	信号类型	传输速率			
		106 kBd	212 kBd	424 kBd	848 kBd
阅读器至卡(Ci520 发送数据给卡)	阅读器方调制	100% ASK	100% ASK	100% ASK	100% ASK
	位编码	改进米勒编码	改进米勒编码	改进米勒编码	改进米勒编码
	位长度	128 (13.56 us)	64 (13.56 us)	32 (13.56 us)	16 (13.56 us)
卡至阅读器(Ci 522 接收卡发送的数据)	卡方面的调制	副载波装载调制	副载波装载调制	副载波装载调制	副载波装载调制
	副载波频率	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16
	位编码	曼彻斯特编码	BPSK	BPSK	BPSK

Ci520 的非接触式 UART 和专用外围主机必须处理完整的 ISO/IEC 14443 A/MIFARE 协议。图 7-1 展示了 ISO/IEC 14443 A 协议的数据编码和帧格式。

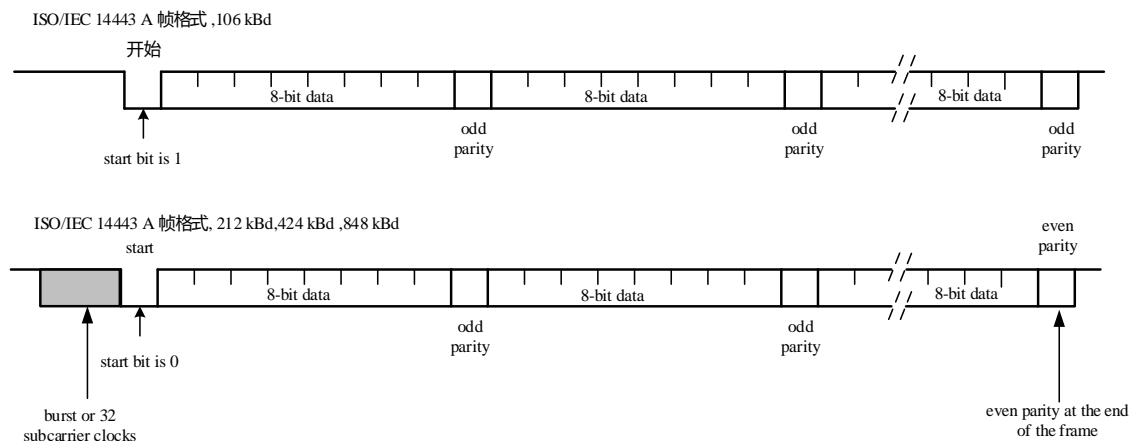


图 7-1 ISO/IEC 14443 A 协议下的数据编码和帧格式

内部CRC协处理器根据ISO/IEC 14443 A part3计算CRC值并且根据传输速率产生奇偶校验位。自动奇偶校验位产生功能通过配置MfRxReg寄存器的ParityDisable位关闭。

## 7.1 数字接口

### 7.1.1 串行外设接口

串行外设接口（兼容SPI）支持与主机高速通信，最高可达10 Mbit/s。当与主机通信时，Ci520作为从机，接收主机的寄存器配置以及发送或接收RF接口相关的通信数据。兼容SPI的接口实现Ci520和微控制器间的高速串行通信。该接口协议与SPI标准一致。

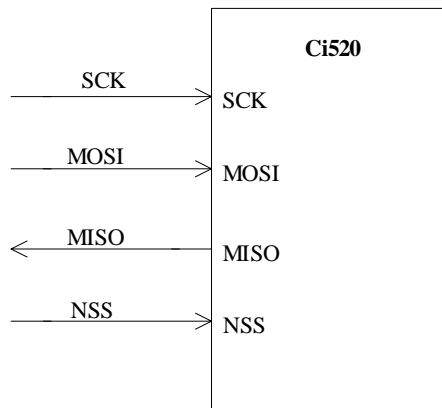


图 7-2 SPI 连接主机

SPI通信时Ci520作为从机，SPI时钟必须由主机产生。MOSI和MISO上的数据均为MSB在前，数据必须在时钟的上升沿时保持稳定，在下降沿时可修改。Ci520在时钟下降沿时提供数据，上升沿时保持稳定。

### 7.1.2 SPI 读数据

SPI读数据的字节顺序如下表所示，读最多n字节数据，发送的首字节定义了模式和地址。SPI读时序见图7-3。

表 7-2 MOSI 和 MISO 上的字节顺序

数据线	字节 0	字节 1	字节 2	至	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	...	地址 n	00
MISO	X	数据 0	数据 1	...	数据 n-1	数据 n

注：先发送最高位(MSB)

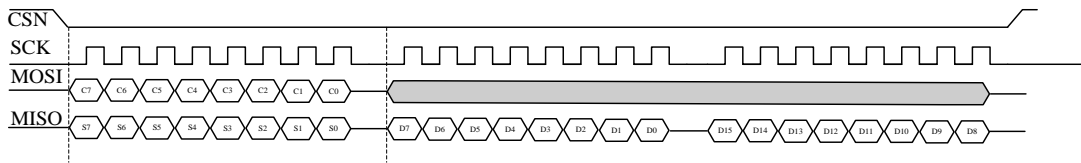


图 7-3 SPI 读操作

### 7.1.3 SPI 写数据

SPI 写数据的字节顺序如下表所示，发送一次地址，可写 n 字节数据，发送的首字节定义了模式和地址。SPI 写时序见图 7-4。

表 7-3 MOSI 和 MISO 上的字节顺序

数据线	字节 0	字节 1	字节 2	至	字节 n	字节 n+1
MOSI	地址 0	数据 0	数据 1	...	数据 n-1	数据 n
MISO	X	X	X	...	X	X

注：先发送最高位(MSB)

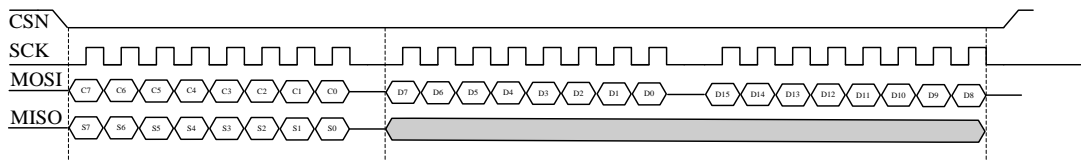


图 7-4 SPI 写操作

### 7.1.4 SPI 典型时序

图 7-5 为 SPI 典型时序图，表 7-4 为 SPI 典型时序参数

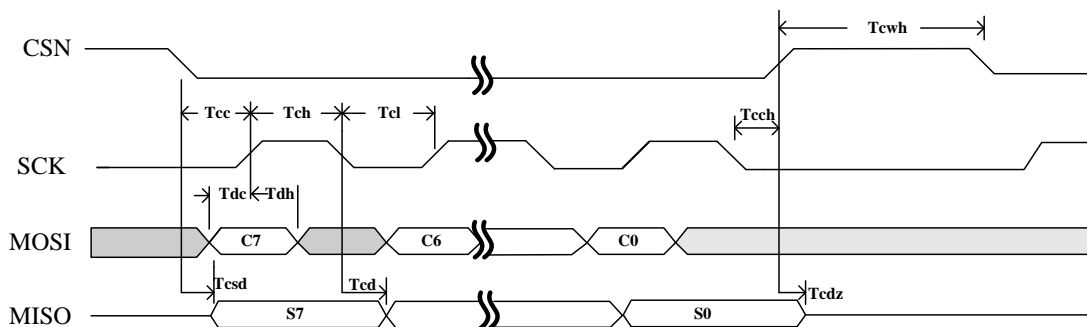


图 7-5 SPI 典型时序

**表 7-4 SPI 典型时序参数**

符号	参数	最小值	最大值	单位
Tdc	Data to SCK Setup	2		ns
Tdh	SCK to Data Hold	2		ns
Tcsd	CSN to Data Valid		42	ns
Tcd	SCK to Data Valid		58	ns
Tcl	SCK Low Time	40		ns
Tch	SCK High Time	40		ns
Fsck	SCK Frequency	0	10	MHz
Tr,Tf	SCK Rise and Fall		100	ns
Tcc	CSN to SCK Setup	2		ns
Tcch	SCK to CSN Hold	2		ns
Tcwh	CSN Inactive time	50		ns
Tcdz	CSN to Output High Z		42	ns

### 7.1.5 SPI 地址字节

SPI 地址字节必须符合以下格式。第一个字节的最高位（MSB）定义使用的模式，从 Ci520 读回的数据的最高位（MSB）为逻辑 1，写给 Ci520 的数据的最高位（MSB）必设为逻辑 0，第 1 至 6 位定义地址且最低位（LSB）设为逻辑 0。

**表 7-5 地址字节格式**

7 (MSB)	6: 1	0 (LSB)
1: 读/0: 写	地址	0

## 7.2 FIFO 缓冲区

Ci520 包含一个 64x8 位的 FIFO 缓冲区，用来缓冲 Ci520 和主机之间的输入输出数据流。输入输出接口为 FIFODataReg 寄存器，地址为 0x09，通过读写该寄存器读写 FIFO 缓冲区。FIFOLevelReg 寄存器指示 FIFO 缓冲区存储的字节数，读/写 FIFODataReg 寄存器分别减/增 FIFOLevel 值。

为主机及时了解 FIFO 缓冲区的状况，FIFO 缓冲区会产生两个中断：HiAlertIRq 和 LoAlertIRq:

FIFO 缓冲区中的字节数满足以下等式时，HiAlert 置位，若使能中断则产生

HiAlertIRq。

$$HiAlertIRq = (64 - FIFOLength) \leq WaterLevel$$

FIFO 缓冲区中的字节数满足以下等式，LoAlert 置位，若使能中断则产生 LoAlertIRq。

$$LoAlert = FIFOLength \leq WaterLevel$$

## 7.3 中断请求系统

Ci520 通过置位 Status1Reg 寄存器的 IRq 位或者激活 IRQ 引脚来指示中断。

表 7-6 中断源概览

中断标志	中断源	触发操作
TimerIRq	定时器单元	定时器计数到 0
TxIRq	发送器	一次数据流发送结束
CRCIRq	CRC 协处理器	处理完 FIFO 缓冲区的所有数据
RxIRq	接收器	一次数据流接收数据
IdleIRq	ComIrqReg 寄存器	执行完一个命令
HiAlertIRq	FIFO 缓冲区	FIFO 缓冲区将满
LoAlertIRq	FIFO 缓冲区	FIFO 缓冲区将空
ErrIRq	非接触式 UART	检测到一个错误

## 7.4 省电模式

### 7.4.1 硬掉电

当 NRSTPD 引脚为低电平时芯片进入硬掉电。从硬掉电退出后所有寄存器变为复位值。

### 7.4.2 软掉电

当 CommandReg 寄存器的 PowerDown 为置位时芯片立即进入软掉电，退出软掉电所有寄存器值不变。

### 7.4.3 发送器掉电

发送器掉电模式关闭内部天线驱动器，即关闭射频场。将 TxControlReg 寄存器的 Tx1RFEn 位或 Tx2RFEn 位设为 0 即进入发送器掉电模式。



## 8 命令集

### 8.1 概述

Ci520 的操作由可执行一系列命令的状态机决定，通过向命令寄存器 CommandReg 中写命令代码来执行命令。

### 8.2 通用特性

1) 除 Transceive 命令外，需要数据位流(或数据字节流)作为输入的命令立即处理 FIFO 缓冲区的任意数据，执行 Transceive 命令时，数据的发送由 BitFramingReg 寄存器的 StartSend 位启动。

2) 需要一定数量的参数的命令只有当从 FIFO 缓冲区接收到正确数量的参数时才开始处理。

3) 命令开始时 FIFO 缓冲区不会自动清除，支持往 FIFO 缓冲区中写命令参数、数据字节，然后启动命令

4) 主机往 CommandReg 寄存器中写一个新的命令代码中断当前执行的命令，比如，Idle 命令

### 8.3 命令概览

**表 8-1 命令概览**

命令	命令代码	操作
Idle	0000	无操作，取消当前命令的执行
Mem	0001	存储 25 个字节到 FIFO 缓冲区
Generate RandomID	0010	产生 10 字节随机 ID
CalcCRC	0011	激活 CRC 协处理器
Transmit	0100	发送缓冲区的数据
NoCmdChange	0111	无命令改变，用来修改 CommandReg 寄存器位而不影响命令的执行，比如，掉电位
Receive	1000	激活接收器电路
Transceive	1100	发送 FIFO 缓冲区的数据至天线并在发送完成后自动激活接收器
MFAAuthent	1110	作为阅读器执行 MIFARE 标准认证
SoftReset	1111	复位 Ci520

## 9 寄存器映射表

**表 9-1 寄存器映射表**

Address (Hex)	Mnemonic	Bit	Type	Reset Value	Description
00h	reserved			00h	保留
01h	CommandReg			20h	命令寄存器
	reserved	7:6	R/W		默认写 0
	RcvOff	5	R/W		1: 接收器的模拟部分关闭
	PowerDown	4	D		1: 进入软掉电 0: Ci520 启动唤醒过程中该位始终为 1, 0 表示 Ci520 已准备好 注: 如果 SoftReset 命令激活, 该位不能再置位
	Command[3:0]	3:0	D		根据命令值激活命令, 读该寄存器可知道正在执行的命令
02h	ComIEnReg			80h	中断控制和使能寄存器
	IRqInv	7	R/W		1: IRQ 引脚上的信号与 StatusReg 寄存器的 IRq 位的值相反 0: IRQ 引脚上的信号与 IRq 位的值相同, 与 DivIEnReg 寄存器的 IRqPushPull 位配合, 该位默认为 1 以确保 IRQ 引脚输出电平为三态
	TxIEn	6	R/W		1: 允许发送器中断请求 (TxIRq 位) 传递到 IRQ 引脚
	RxIEn	5	R/W		1: 允许接收器中断请求 (RxIRq 位) 传递到 IRQ 引脚
	IdleEn	4	R/W		1: 允许空闲中断请求 (IdleIRq 位) 传递到 IRQ 引脚
	HiAlertIEn	3	R/W		1: 允许高于阈值预警中断请求 (HiAlertIRq 位) 传递到 IRQ 引脚
	LoAlertIEn	2	R/W		1: 允许低于阈值预警中断请求 (LoAlertIRq 位) 传递到 IRQ 引脚
	ErrIEn	1	R/W		1: 允许错误中断请求 (ErrIRq 位) 传递到 IRQ

					引脚
	TimerIEn	0	R/W		1: 允许定时器中断请求 (TimerIRq 位) 传递到 IRQ 引脚
03h	DivIEnReg			00h	中断控制和使能寄存器
	IRQPushPull	7	R/W		1: IRQ 作标准 CMOS 引脚 0: IRQ 作开漏输出引脚
	reserved	6:3	R/W		默认写 0
	CRCIEn	2	R/W		1: 允许 CRC 中断请求 (由 DivIrqReg 寄存器的 CRCiRq 位指示) 传递到 IRQ 引脚
	reserved	1:0	-		保留
04h	ComIrqReg			14h	中断请求标志寄存器
	Set1	7	W		1: 指示 ComIrqReg 寄存器的标志位置位 0: 指示 ComIrqReg 寄存器的标志位清零
	TxIRq	6	D		1: 发送数据最后一位发出后立即置位
	RxIRq	5	D		1: 接收器检测到一个有效数据流的结束后置位 如果 RxModeReg 寄存器的 RxNoErr 位置位, 则 RxIRq 仅在 FIFO 中存在有效数据时置位
	IdleIRq	4	D		1: 如果一个命令终止 (比如, CommandReg 寄存器从其他命令改变为 Idle 命令时); 如果一个未知命令启动, CommandReg 寄存器的 Command[3:0]值则变为 idle 且该位置位; 微控制器开始执行 Idle 命令, 该位不置位
	HiAlertIRq	3	D		1: 当 StatusReg 寄存器的 HiAlertIrq 位置位与 HiAlert 位相反, HiAlertIRq 位保存中断事件, 只能在本寄存器 Set1 位指示后复位
	LoAlertIRq	2	D		1: 当 StatusReg 寄存器的 HiAlertIrq 位置位与 LoAlert 位相反, LoAlertIRq 位保存中断事件, 只能在本寄存器 Set1 位指示后复位
	ErrIRq	1	D		1: ErrorReg 的任何错误位置位
	TimerIRq	0	D		1: TCounterValReg 中的计数值计到 0
05h	DivIrqReg			x0h	中断请求标志寄存器
	Set2	7	W		1: DivIrqReg 寄存器的标志位置位 0: DivIrqReg 寄存器的标志位清零

	reserved	6:3	D		保留
	CRCIRq	2	D		1: CalcCRC 命令激活且所有数据被处理
	reserved	1:0	-		保留
06h	ErrorReg			00h	错误标志寄存器
	WrErr	7	R		1: 当执行 MFAuthent 命令期间或在 RF 接口发送最后一个字节和接收最后一个字节之间, 主机往 FIFO 缓冲区中写数据
	TempErr	6	R		1: 内部温度传感器检测到过温, 天线驱动器关断
	reserved	5	-		保留
	BufferOvfl	4	R		1: 主机或 Ci520 内部状态机(如接收器)在 FIFO 缓冲区已满情况下仍向其中写数据
	CollErr	3	R		1: 检测到位冲突 接收器启动阶段自动清零, 只在 106kBd 速率下位防冲突中有效, 其他速率下无效, 即 212/424/848kBd
	CRCErr	2	R		1: RxModeReg 寄存器的 RxCRCEn 位置位且 CRC 计算失败 接收器启动阶段自动清零
	ParityErr	1	R		1: 奇偶校验失败 在接受器启动阶段自动清零, 仅在 106kBd 的 ISO/IEC 14443 A/MIFARE 通信中有效
	ProtocolErr	0	R		1: SOF 错误 接收器启动阶段自动清零, 仅在 106kBd 速率下有效, 在 MFAuthent 命令执行期间, 若一个数据流收到的字节数错误则 ProtocolErr 位置位
07h	Status1Reg			21h	状态寄存器
	reserved	7	-		保留
	CRCOk	6	R		1: CRC 结果为 0 在数据发送和接收期间 CRCOk 未定义而使用 ErrorReg 寄存器的 CRCErr 位 该位指示 CRC 协处理器, 计算期间该位为 0, 当计算结束且正确该位置位
	CRCReady	5	R		1: CRC 计算结束

					仅在使用 CalcCRC 命令，CRC 协处理器计算期间有效
	IRq	4	R		根据中断使能配置（见 ComIEnReg 和 DivIEnReg），指示中断请求的中断源
	TRunning	3	R		1：定时器单元正在运行，当下一个时钟到来时定时器将递减 TCounterValReg 的值 注：在门控模式中，定时器通过 TModeReg 的寄存器的 TGate[1:0]使能后 TRunning 位置位，该位不受门控信号影响
	reserved	2	-		保留
	HiAlert	1	R		1：FIFO 缓冲区中的字节数满足以下等式 $HiAlert = (64 - FIFOLength) \leq WaterLevel$ 例： FIFO 长度 = 60，WaterLevel = 4 -> HiAlert = 1 FIFO 长度 = 59，WaterLevel = 4 -> HiAlert = 0
	LoAlert	0	R		1：FIFO 缓冲区中的字节数满足以下等式 $LoAlert = FIFOLength \leq WaterLevel$ 例： FIFO 长度 = 4，WaterLevel = 4 -> LoAlert = 1 FIFO 长度 = 5，WaterLevel = 4 -> LoAlert = 0
08h	Status2Reg			00h	状态寄存器
	TempSensClear	7	R/W		1：当温度低于报警阈值 125°C 时，温度错误被清除
	reserved	6:4	-		保留
	MFCrypto1On	3	D		指示 MIFARE Crypto1 单元开启和因此所有卡的通信数据被加密的情况 只有成功执行 MFAuthent 命令后才可置位 只在 MIFARE 标准卡的读/写模式中有效，软件清零
	ModemState[2:0]	2:0	R		指示发送器和接收器的状态机 000：空闲(idle) 001：等待 BitFramingReg 寄存器的 StartSend 位 010：发送等待(TxWait)，如果 TModeReg 寄存器的 TxWaitRF 位置位，则处于 TxWait 状态直到射

					<p>频场存在, 最小的 TxWait 时间由 TxWaitReg 寄存器定义</p> <p>011: 发送(transmitting)</p> <p>100: 接收等待(RxWait), 如果 TModeReg 寄存器的 TxWaitRF 位置位, 则处于 RxWait 状态直到射频频场存在, 最小的 RxWait 时间由 RxWaitReg 寄存器定义</p> <p>101: 等待数据</p> <p>110: 接收(receiving)</p>
09h	FIFODataReg			xxh	FIFO 缓冲区输入输出寄存器
	FIFOData[7:0]	7:0	D		<p>内部 64 字节 FIFO 缓冲区的数据输入输出口</p> <p>FIFO 缓冲区作为所有数据流输入输出的并行输入/输出转换器</p>
0Ah	FIFOLevelReg			00h	FIFO 缓冲区字节数指示寄存器
	FlushBuffer	7	W		<p>1: 立即清零内部 FIFO 的读写指针和 ErrorReg 寄存器的 BufferOvfl 位</p> <p>读该位一直返回 0</p>
	FIFOLevel[6:0]	6:0	R		<p>指示 FIFO 缓冲区存储的字节数</p> <p>读/写 FIFODataReg 寄存器分别减/增 FIFOLevel 值</p>
0Bh	WaterLevelReg			08h	FIFO 上/下溢出警告阈值寄存器
	reserved	7:6	-		保留
	WaterLevel[5:0]	6:0	R/W		<p>定义指示 FIFO 缓冲区上溢或下溢的警告值</p> <p>如果 FIFO 缓冲区的剩余字节数小于或等于定义的 WaterLevel 值, Status1Reg 寄存器的 HiAlert 位置位</p> <p>如果 FIFO 缓冲区长度小于或等于定义的 WaterLevel 值, Status1Reg 寄存器的 LoAlert 位置位</p>
0Ch	ControlReg			10h	控制寄存器
	TStopNow	7	W		<p>1: 定时器立即停止</p> <p>读该位一直返回 0</p>
	TStartNow	6	W		<p>1: 定时器立即启动</p> <p>读该位一直返回 0</p>

	reserved	5:3	-		保留
	RxLastBits[2:0]	2:0	R		指示最后接收的字节的有效位数 如果值为 000b，整个字节均有效
0Dh	BitFramingReg			00h	面向位的帧调节寄存器
	StartSend	7	W		1: 开始传输数据 只有与 Transceive 命令一起使用时有效
	RxAlign[2:0]	6:4	R/W		用于面向位的帧的接收：定义了接收到的第一个位在 FIFO 缓冲区中的存放位置，例如： 0: 收到的 LSB 存放在位 0，第 2 位存放在位 1 1: 收到的 LSB 存放在位 1，第 2 位存放在位 2 7: 收到的 LSB 存放在位 7，第 2 位存放紧接着的下一字节的位 0 这些位仅用于 106kBd 下的位防冲突功能，其他模式下均为 0
	reserved	3	-		保留
	TxLastBits[2:0]	2:0	R/W		用于面向帧的发送：定义了发送的最后一个字节的位数 000b 表示最后一个字节的所有位都应发送
0Eh	CollReg			xxh	射频接口第一个位冲突检测相关定义寄存器
	ValuesAfterColl	7	R/W		0: 所有接收的位在冲突后被清除 只在 106kBd 下的为防冲突中使用，其他情况下应设为 1
	reserved	6	-		保留
	CollPosNotValid	5	R		1: 未检测到冲突或冲突位在 CollPos[4:0]表示的范围外
	CollPos[4:0]	4:0	R		显示了接收帧中第一次检测到冲突的位的位置，只显示数据位位置，例如： 00h: 表明冲突位在起始位 01h: 表明冲突位在第 1 位 08h: 表明冲突位在第 8 位 只有在 CollPosNotValid 位为 0 时，这些位才有效
0Fh	reserved				保留
10h	reserved			00h	保留
11h	ModeReg			3Fh	收发相关的模式配置寄存器



	MSBFirst	7	R/W		1: CRC 协处理器计算 CRC 时先从 MSB 开始 CRCResultReg 寄存器的 CRCResultMSB[7:0]位 和 CRCResultLSB[7:0]位按照二进制位的顺序相 反的 注: 在射频通信期间该位被忽略
	reserved	6	-		保留
	TXWaitRF	5	R/W		1: 只有射频场产生后发送器才启动
	reserved	4:2	R/W		保留
	CRCPreset	1:0	R/W		定义 CRC 协处理器执行 CalcCRC 命令的预设值 注: 任何通信期间, 预设值根据 RxModeReg 和 TxModeReg 寄存器的定义位自动选择 00: 0000h 01: 6363h 10: A671h 11: FFFFh
12h	TxModeReg			00h	定义发送时的数据速率
	TxCRCEn	7	R/W		1: 使能数据发送期间的 CRC 产生 注: 只能在 106kBd 速率下设为 0
	TxSpeed[2:0]	6:4	D		定义发送数据的位速率, 最高可达 848 kBd 000: 106 kBd 001: 212 kBd 010: 424 kBd 011: 848 kBd 100-111: 保留
	InvMod	3	R/W		1: 发送数据的调制反相
	reserved	1:0	R/W		保留
13h	RxModeReg			00h	定义接收时的数据速率
	RxCRCEn	7	R/W		1: 使能数据接收期间的 CRC 产生 注: 只能在 106 kBd 速率下设为 0
	TxSpeed[2:0]	6:4	D		定义接收数据的位速率, 最高可达 848 kBd 000: 106 kBd 001: 212 kBd 010: 424 kBd 011: 848 kBd

					100-111: 保留
	RxNoErr	3	R/W		1: 忽略一个无效的数据流(接收少于 4 位), 接收器仍工作
	RxMultiple	2	R/W		0: 接收器在收到一个数据流后关闭 1: 能够接收多个数据流
	Reserve	1:0	R/W		保留
14h	TxControlReg			80h	控制天线驱动引脚 TX1 和 TX2
	InvTx2RFOn	7	R/W		1: 当 TX2 使能, TX2 引脚输出信号反相
	InvTx1RFOn	6	R/W		1: 当 TX1 使能, TX1 引脚输出信号反相
	InvTx2RFOff	5	R/W		1: 当 TX2 失能, TX2 引脚输出信号反相
	InvTx1RFOff	4	R/W		1: 当 TX1 失能, TX1 引脚输出信号反相
	Tx2CW	3	R/W		1: TX2 引脚输出为连续的未调制的 13.56 MHz 载波 0: Tx2CW 位使能调制 13.56 MHz 载波
	reserved	2	-		保留
	Tx2RFEn	1	R/W		1: TX2 引脚传输调制了发送数据的 13.56 MHz 载波
	Tx1RFEn	0	R/W		1: TX1 引脚传输调制了发送数据的 13.56 MHz 载波
15h	TxASKReg			00h	控制发送的调制配置
	reserved	7	-		保留
	Force100ASK	6	R/W		1: 独立于 ModGsPReg 寄存器配置, 强制 100%ASK 调制
	reserved	5:0	-		保留
16h	TxSelReg			10h	为模拟模块选择内部信号
	reserved	7:6	-		保留
	DriverSel[1:0]	5:4	R/W		选择驱动器 TX1 和 TX2 的输入 00: 三态, 如果 DriverSel[1:0]值设为三态模式, 软掉电模式下驱动器只有三态模式 01: 来自内部编码器的调制信号(包络), 米勒脉冲编码 10: 保留 11 : 高电平, 高电平取决于

					InvTx1RFOn/InvTx1RFOff 和 InvTx2RFOn/InvTx2RFOff 位的设置
	reserved	3:0	R/W		保留
17h	RxSelReg			84h	选择内部接收器配置
	UARTSel[1:0]	7:6	R/W		选择非接触式 UART 的输入 00: 恒定的低电平 01: 保留 10: 默认, 内部模拟模块的调制信号 11: 保留
	RxWait[5:0]	5:0	R/W		数据发送后, 接收器会延时 RxWait 个时钟后开启, 这段“帧保护时间”内, RX 引脚上的任何信号都被忽略 Receive 命令忽略该参数 其他所有命令, 比如 Transceive, MFAuthent 都使用这一参数 外部射频场开启后计数器立即开始计数
18h	RxThresholdReg				选择位译码器的阈值
	MinLevel[3:0]	7:4	R/W		定义译码器能接受的最小输入信号强度 信号强度低于该值的信号无效
	reserved	7:4	-		保留
	CollLevel[2:0]	3:0	R/W		定义译码器输入的最小信号强度, 曼彻斯特编码信号的弱半位必须达到该强度来产生于较强半位幅度相关的一个位冲突
19h	DemodReg				解调器设置寄存器
	AddIQ[1:0]	7:6	R/W		定义了接收过程中 I 和 Q 通道的使用 注: FixIQ 位必须设为 0 才能使能以下配置: 00: 选择较强的通道 01: 通信中选择较强的通道并冻结选择的通道 10: 保留 11: 保留
	FixIQ	5	R/W		1: 如果 AddIQ[1:0]设为 X0b, 接收固定为 I 通道; 如果 AddIQ[1:0]设为 X1b, 接收固定为 Q 通道
	TPrescalEven	4	R/W		设置分频模式
	TauRcv[1:0]	3:2	R/W		改变数据接收过程中内部 PLL 的时间常数

	TauSync[1:0]	1:0	R/W		改变突发过程中内部 PLL 的时间常数
1Ah	reserved			00h	保留
1Bh	reserved			00h	保留
1Ch	MfTxReg			62h	控制一些 MIFARE 通信的发送参数
	reserved	7:2	-		保留
	TxWait	1:0	R/W		定义额外响应时间
1Dh	MfRxReg			00h	控制一些 MIFARE 通信的接收参数
	reserved	7:5	-		保留
	ParityDisable	4	R/W		1: 产生发送所需的奇偶校验位，同时关闭接收的奇偶校验检查 收到的奇偶校验位当作数据位来处理
	reserved	3:0	-		保留
1Eh	reserved			00h	保留
1Fh	reserved			EBh	保留
20h	reserved			00h	保留
21h	CRCResultReg (higher bits)			FFh	CRC 计算结果的 MSB
	CRCResultMSB [7:0]	7:0	R		表示了 CRCResultReg 寄存器的高字节的值 仅在 Status1Reg 寄存器的 CRCReady 位为 1 时有效
22h	CRCResultReg (lower bits)			FFh	CRC 计算结果的 LSB
	CRCResultLSB [7:0]	7:0	R/W		表示了 CRCResultReg 寄存器的低字节的值 仅在 Status1Reg 寄存器的 CRCReady 位为 1 时有效
23h	reserved			88h	保留
24h	ModeWidthReg			26h	配置调制宽度
	ModWidth[7:0]	7:0	R/W		定义了米勒调制的宽度为载波频率发的倍数组成 (ModWidth+1/Fclk) 最大值为位周期的一半
25h	reserved			87h	保留
26h	RFCfgReg			48h	配置接收器的增益

	reserved	7	-		保留
	RxGain[2:0]	6:4	R/W		定义接收器的信号电压增益参数 000: 18dB 001: 23dB 010: 18dB 011: 23dB 100: 33dB 101: 38dB 110: 43dB 111: 48dB
	reserved	3:0	-		保留
27h	GsNReg			88h	定义 TX1 和 TX2 引脚的 n 驱动器的电导
28h	CWGSPReg			20h	定义无调制期间 p 驱动器的电导
29h	ModGsPReg			20h	定义调制期间 p 驱动器的电导
2Ah	TModeReg			00h	定义定时器的设置
	TAuto	7	R/W		1: 在所有的速率, 所有通信模式下, 定时器在发送结束后自动启动 0: 定时器不受协议的影响
	reserved	6:5			保留
	TAutoRestart	4	R/W		1: 定时器不计数到 0, 从 16 位的定时器重装载值开始重新计数 0: 定时器计数到 0 且 ComIrqReg 寄存器的 TimerIrq 为置位
	TPrescaler_Hi [3:0]	3:0	R/W		定义了分频器的高 4 位值
2Bh	TPrescalerReg			00h	定义了分频器的低 8 位值
	TPrescaler_Lo [7:0]	7	R/W		定义了分频器的低 8 位值
2Ch	TReloadReg (higher bits)			00h	定义了 16 位计数器的自动重装载值的高八位
2Dh	TReloadReg (lower bits)			00h	定义了 16 位计数器的自动重装载值的低八位

2Eh	TCounterValReg (higher bits)			xxh	定时器值的高八位
2Fh	TCounterValReg (lower bits)			xxh	定时器值的低 8 位
30h~36h	RFT			00h	
37h	Version		R	92h	版本号

注: R/W: 读/写; D: 动态; R: 只读; W: 只写

## 10 典型应用图

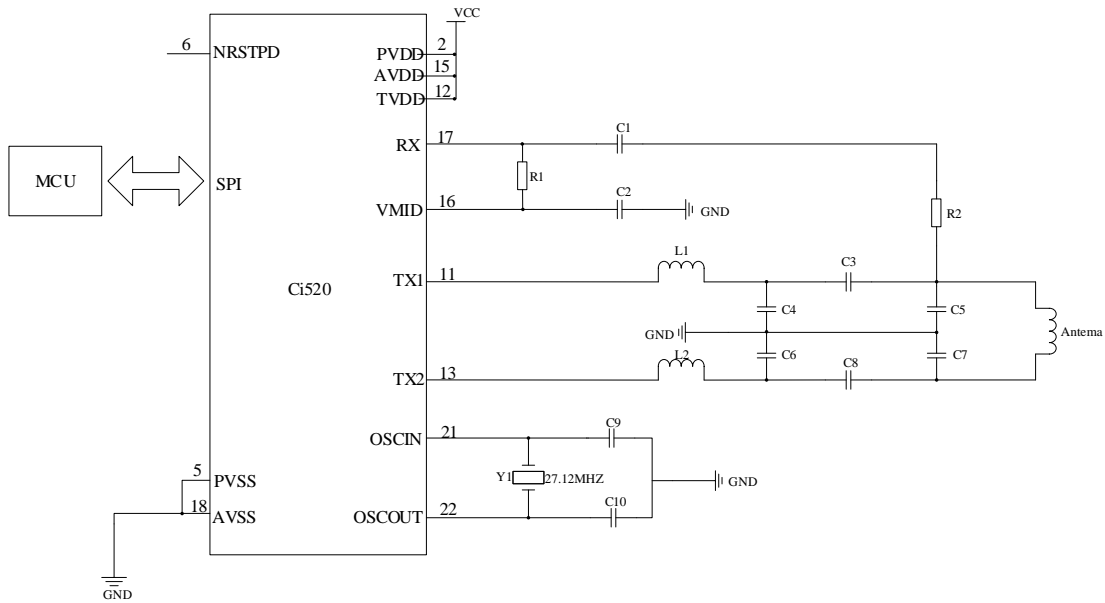


图 10-1 典型应用图-1

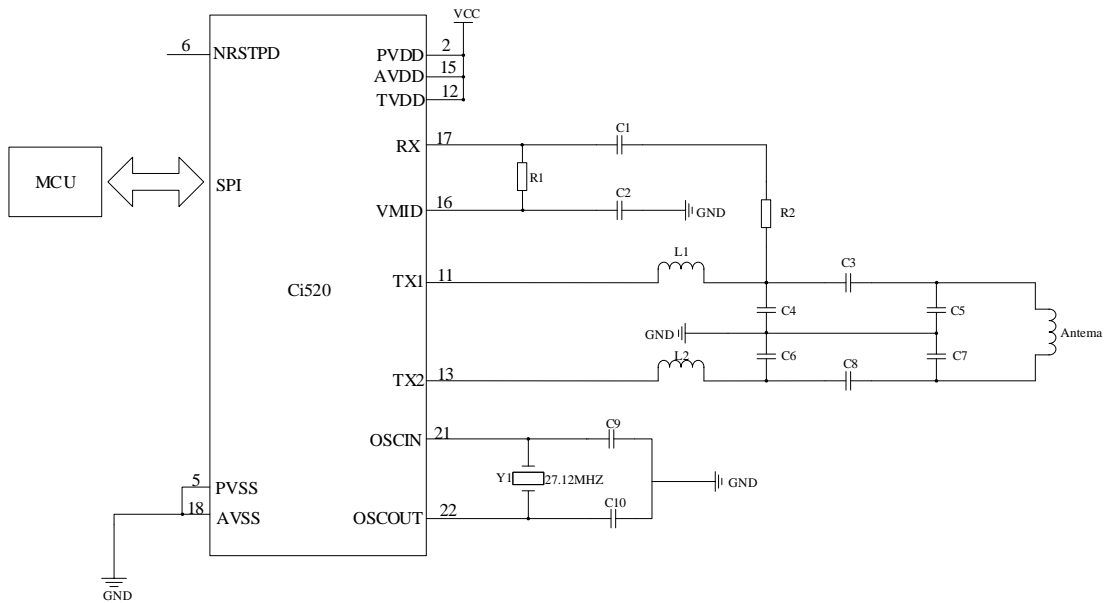


图 10-2 典型应用图-2

注：使用纽扣电池工作时，电源部分推荐加 100 uF 大电容；

## 11 封装尺寸

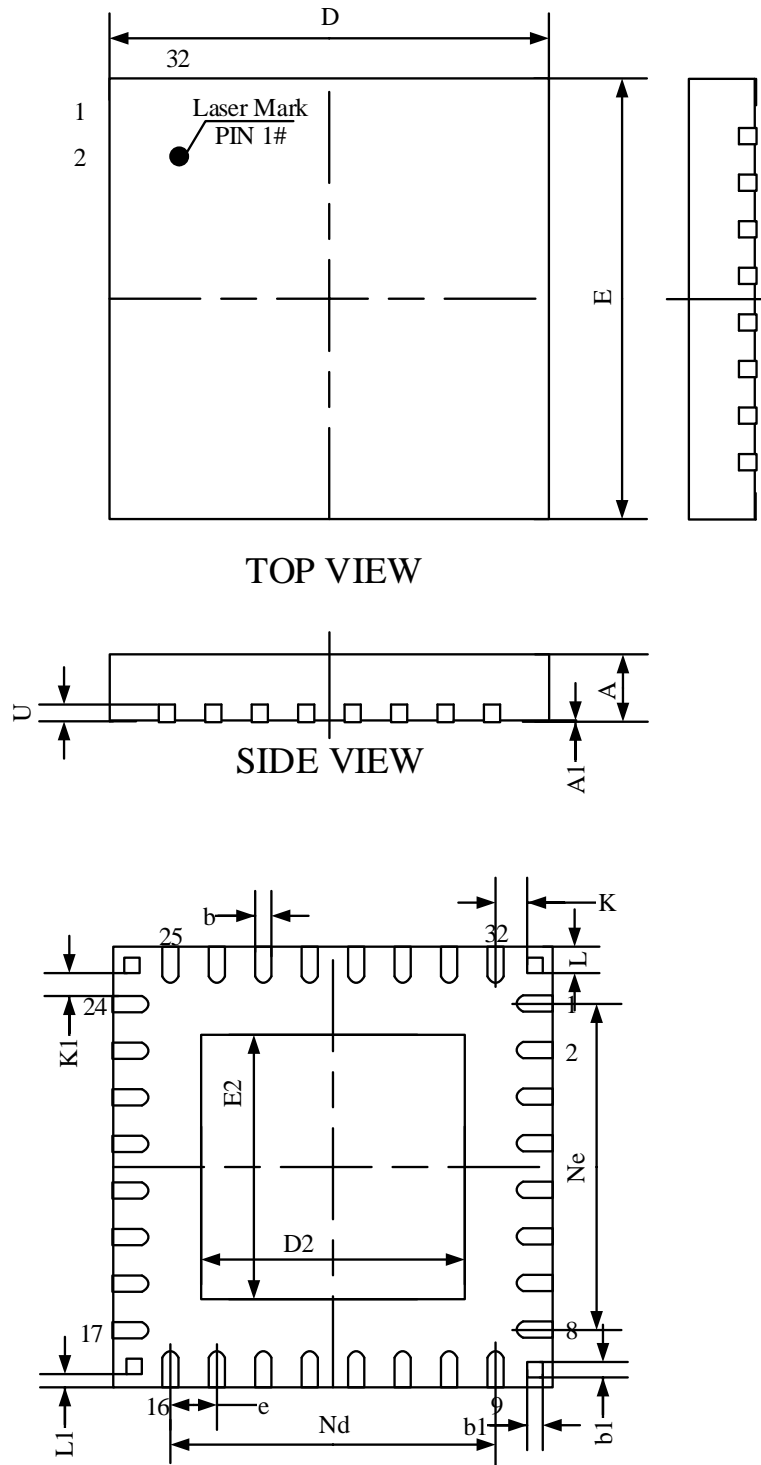


图 11-1 芯片封装 (QFN32L)



表 11-1 封装尺寸

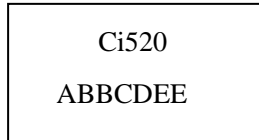
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.2	0.05
b	0.20	0.25	0.30
b1	0.20	0.25	0.30
c	0.203REF		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Nd	3.5BSC		
Ne	3.5BSC		
E	4.90	5.0	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
L1	0.15REF		
K	0.35REF		
K1	0.225REF		

## 12 版本信息

版本	修改日期	修改内容
V1.0	2022/06/28	初稿
V1.1	2022/10/24	更新订单信息
V1.2	2023/02/06	更新最大工作电压和温度参数
V1.3	2023/07/13	表 4-3 的 QFN16 更正为 QFN32L

## 13 订单信息

### 封装标志



Ci520: 芯片代码

A: 封装日期年代码，5 代表 2020 年

BB: 加工发出周记，例如 42 代表是 A 年的第 42 周发出加工

C: 封装工厂代码，为 A、HT、NJ 或 WA，也简写为 A、H、N 或 W

D: 测试工厂代码，为 A、Z、或 H

EE: 生产批次代码

表 16-1 订单信息表

订单代码	封装	包装	最小单位
Ci520-Sample	5×5mm 32-pin QFN	Box/Tube	5
Ci520	5×5mm 32-pin QFN	Tape and reel	4K

## 14 技术支持与联系方式

南京中科微电子有限公司 技术支持中心

电话：025-68517780

地址：南京市玄武区徐庄软件园研发三区 B 栋 201 室

网址：<http://www.csm-ic.com>

市场销售

手机：13645157034, 13645157035

邮箱：[sales@csmic.ac.cn](mailto:sales@csmic.ac.cn)

技术支持

手机：13645157034

邮箱：[supports@csmic.ac.cn](mailto:supports@csmic.ac.cn)