

クワッド SPST CMOS アナログ・スイッチ

$\mu$ PD5201 は、高耐圧 CMOS プロセスによる汎用高速アナログ・スイッチで、SPST（単極単投）のスイッチが 4 回路 1 チップ上に集積されています。CMOS 構造のため、スタンバイ時の回路電流が小さく、アナログ入力電圧範囲も電源電圧までとれます。低オン抵抗、高速、低リーク電流に加え、ラッチアップも起こしにくいいため、メカニカル・スイッチやリレーに換わる半導体スイッチとして最適です。

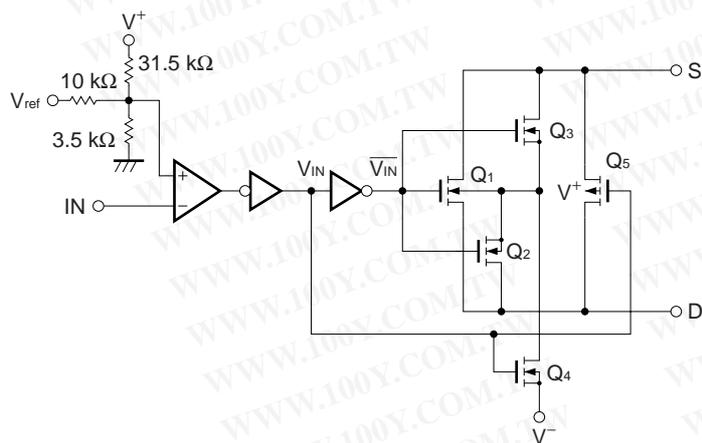
特 徴

電源耐圧	44 V	ラッチアップ・プルーフ構造です。
ON 抵抗	50 $\Omega$ (TYP.)	アナログ入力電圧範囲が電源電圧までとれます。
ON/OFF リーク電流	5 nA (MAX.)	TTL/CMOS コンパチブル・ロジック入力
ON タイム	220 ns (TYP.)	
OFF タイム	130 ns (TYP.)	

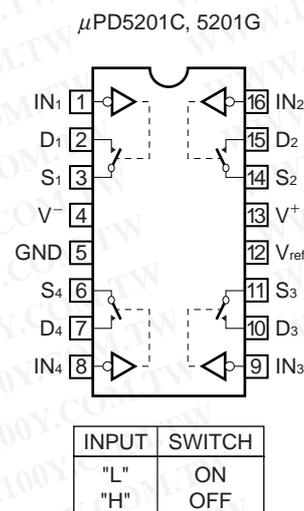
オーダ情報

オーダ名称	パッケージ
$\mu$ PD5201C	16 ピン・プラスチック DIP (300 mil)
$\mu$ PD5201G	16 ピン・プラスチック SOP (225 mil)

等価回路 (1/4 回路)



端子接続図 (Top View)



本資料の内容は予告なく変更することがありますので、最新のものをあらかじめご確認の上ご使用ください。

絶対最大定格 (TA = 25 )

項目	略号	μPD5201C	μPD5201G	単位
電源電圧	V <sup>+</sup> - V <sup>-</sup>	- 0.3 ~ +44		V
正電源 - GND 間電圧	V <sup>+</sup> - GND	- 0.3 ~ +25		V
負電源 - GND 間電圧	GND - V <sup>-</sup>	- 0.3 ~ +25		V
入力電流		±20		mA
ソース・ドレイン間電流		±20		mA
ソース・ドレイン間ピーク電流 (パルス幅 1ms, デューティ 10% MAX.)		±70		mA
全損失	P <sub>T</sub>	570	550	mW
動作周囲温度	T <sub>A</sub>	- 20 ~ +70		
保存温度	T <sub>stg</sub>	- 55 ~ +125		

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損害を与えかねない定格値です。必ずこの定格を越えない状態で、製品をご使用ください。

推奨動作範囲 (TA = 25 )

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧	V <sup>±</sup>	±8	±15	±16	V
ロウ・レベル・ロジック入力電圧 (V <sup>±</sup> = ±15V 時)	V <sub>INL</sub>	V <sup>-</sup>		+0.8	V
ハイ・レベル・ロジック入力電圧 (V <sup>±</sup> = ±15V 時)	V <sub>INH</sub>	+2.4		V <sup>+</sup>	V
アナログ入力電圧	V <sub>ANALOG</sub>	V <sup>-</sup>		V <sup>+</sup>	V
アナログ入力信号周波数		DC		1 注	MHz

注 オフ・アイソレーション 60dB

- 注意 1. 応用回路において V<sup>-</sup> 端子は必ず最低電位になるように設計し、オープン状態になったり、GND 端子の電位より高くないように注意してください。
2. 使用しない空き端子は GND に接続してください。
3. V<sub>ref</sub> 端子は、IC 内部で抵抗分割により構成されたロジック入力のスレッショールド電圧に接続されています。このため、スレッショールド電圧を変えない場合は、オープンにしてください。  
V<sup>+</sup>へプルアップしたり、外部より電圧を印可することにより、スレッショールド電圧を変えられます。

電気的特性 (V<sup>±</sup> = ±15 V, GND = 0 V)

項目	略号	条件	TYP.	MAX.		単位	
			+ 25	- 20	+ 25		+ 70
アナログ入力電圧範囲	V <sub>ANALOG</sub>		± 15		± 15	± 15	V
ドレイン・ソース間オン抵抗	R <sub>DS (ON)</sub>	V <sub>D</sub> = 10 V, V <sub>IN</sub> = 0.8 V, I <sub>S</sub> = - 1 mA	50	100	100	125	Ω
		V <sub>D</sub> = - 10 V, V <sub>IN</sub> = 0.8 V, I <sub>S</sub> = - 1 mA	50	100	100	125	Ω
ドレイン・ソース間オン抵抗 マッチング	R <sub>DS (ON)</sub> match	V <sub>D</sub> = 10 V, V <sub>IN</sub> = 0.8 V, I <sub>S</sub> = - 1 mA	1		30		Ω
		V <sub>D</sub> = - 10 V, V <sub>IN</sub> = 0.8 V, I <sub>S</sub> = - 1 mA	1		30		Ω
ソース・オフ・リーク電流	I <sub>S (OFF)</sub>	V <sub>S</sub> = 14 V, V <sub>D</sub> = - 14V, V <sub>IN</sub> = 2.4 V	0.01	5	5	100	nA
		V <sub>S</sub> = - 14 V, V <sub>D</sub> = 14V, V <sub>IN</sub> = 2.4 V	- 0.02	- 5	- 5	- 100	nA
ドレイン・オフ・リーク電流	I <sub>D (OFF)</sub>	V <sub>D</sub> = 14 V, V <sub>S</sub> = - 14V, V <sub>IN</sub> = 2.4 V	0.01	5	5	100	nA
		V <sub>D</sub> = - 14 V, V <sub>S</sub> = 14V, V <sub>IN</sub> = 2.4 V	- 0.02	- 5	- 5	- 100	nA
ドレイン・オン・リーク電流	I <sub>D (ON)</sub>	V <sub>D</sub> = V <sub>S</sub> = 14V, V <sub>IN</sub> = 0.8 V	0.01	5	5	200	nA
		V <sub>D</sub> = V <sub>S</sub> = - 14V, V <sub>IN</sub> = 0.8 V	- 0.20	- 5	- 5	- 200	nA
スイッチ・オン・タイム	t <sub>ON</sub>	V <sub>IN</sub> = 0 ↔ 3 V, R <sub>L</sub> = 1 kΩ,	220		600		ns
スイッチ・オフ・タイム	t <sub>OFF</sub>	C <sub>L</sub> = 35 pF, 図 1 参照	130		450		ns
オフ・アイソレーション	OIRR	V <sub>IN</sub> = 5 V, V <sub>S</sub> = 2 V <sub>p-p</sub> , f = 100 kHz, R <sub>L</sub> = 100 Ω, 図 2 参照	85				dB
チャンネル間クロストーク	CCRR	V <sub>S</sub> = 2 V <sub>p-p</sub> , f = 100 kHz, R <sub>L</sub> = 100 Ω, 図 3 参照	90				dB
スイッチング・トランジェント		V <sub>S</sub> = GND, C <sub>L</sub> = 10000 pF, 図 4 参照	2		10		mV
正電源電流	I <sup>+</sup>	全チャンネル, オンまたはオフ,	0.9		2		mA
負電源電流	I <sup>-</sup>	V <sub>IN</sub> = 0 V または 2.4 V	0.4		1		mA
ハイ・レベル・ロジック入力電流	I <sub>INH</sub>	V <sub>IN</sub> = 2.4 V	- 0.01		- 1	- 10	μA
		V <sub>IN</sub> = 15 V	0.05		1	10	μA
ロウ・レベル・ロジック入力電流	I <sub>INL</sub>	V <sub>IN</sub> = 0 V	- 0.006		- 1	- 10	μA
ソース・オフ・キャパシタンス	C <sub>S (OFF)</sub>	V <sub>S</sub> = 0 V, V <sub>IN</sub> = 5 V, f = 140 kHz	8				pF
ドレイン・オフ・キャパシタンス	C <sub>D (OFF)</sub>	V <sub>D</sub> = 0 V, V <sub>IN</sub> = 5 V, f = 140 kHz	8				pF
チャンネル・オン・キャパシタンス	C <sub>DS (ON)</sub>	V <sub>D</sub> = V <sub>S</sub> = 0 V, V <sub>IN</sub> = 0 V, f = 140 kHz	16				pF

測定回路

図1 スイッチング・タイム測定回路

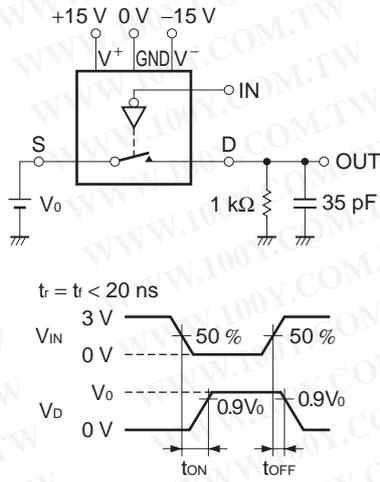


図2 オフ・アイソレーション測定回路

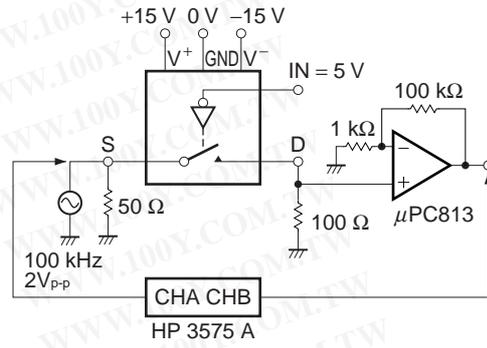


図3 チャネル間クロストーク測定回路

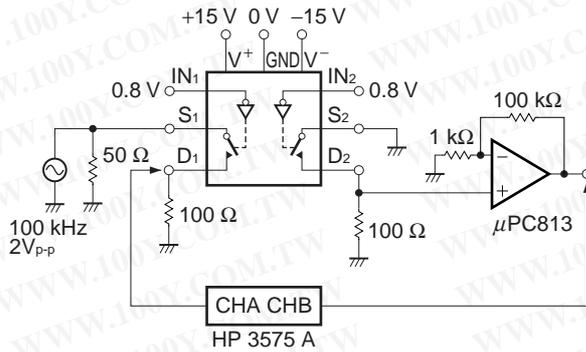
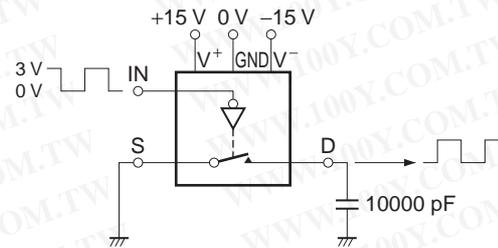
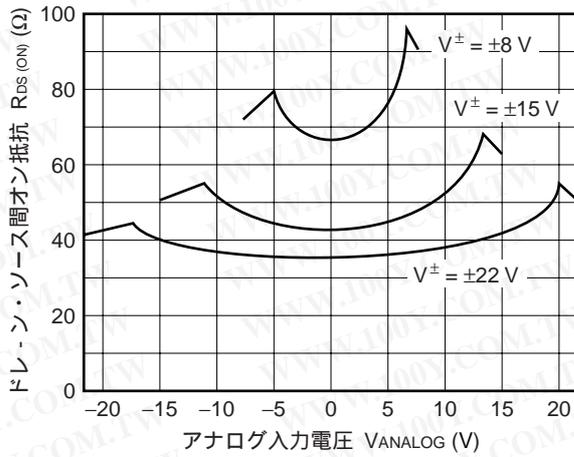


図4 スイッチング・トランジェント測定回路

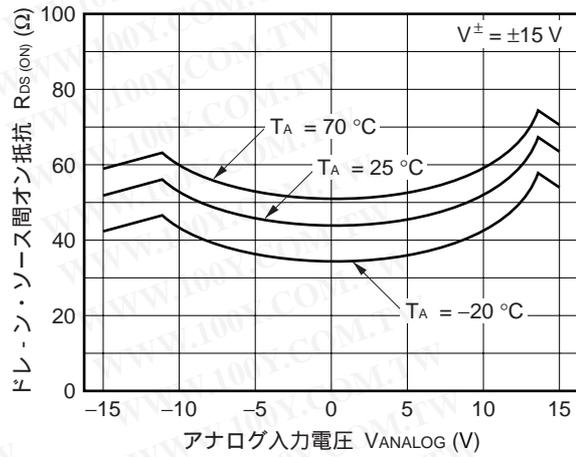


特性曲線 (TA = 25 , 参考値)

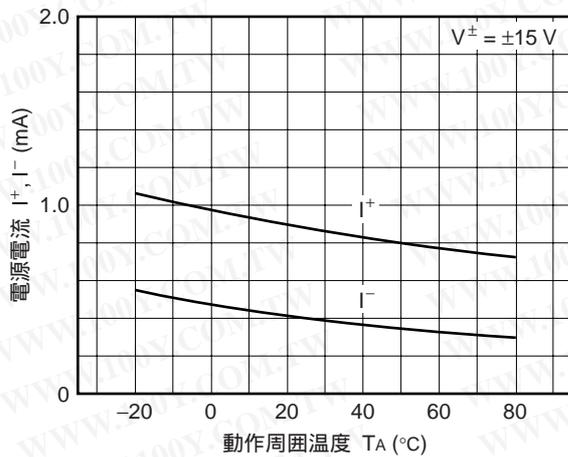
RDS(ON) - VANALOG 特性 ( )



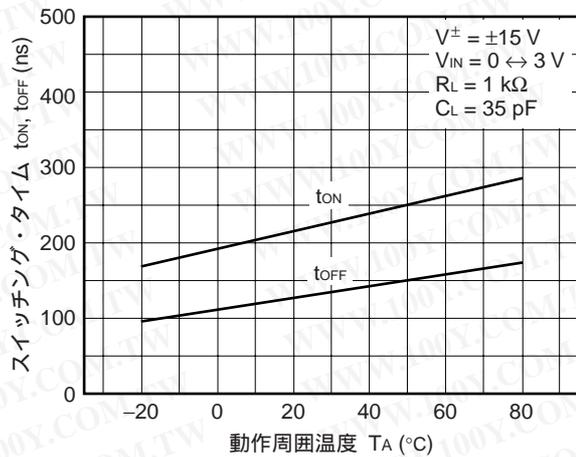
RDS(ON) - VANALOG 特性 ( )



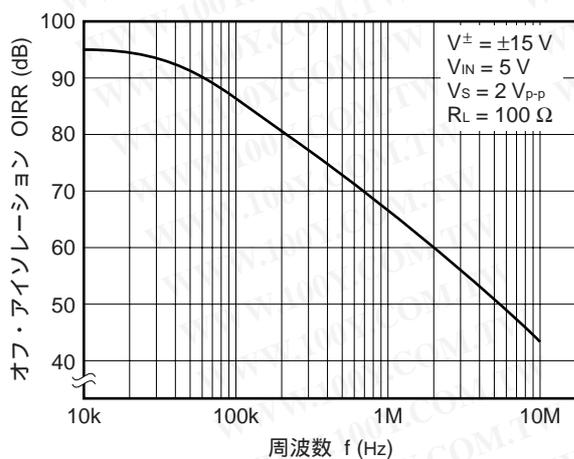
I+, I- - TA 特性



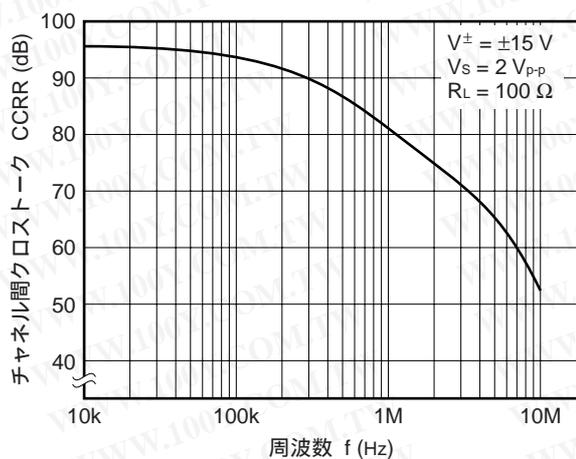
ton, toff - TA 特性



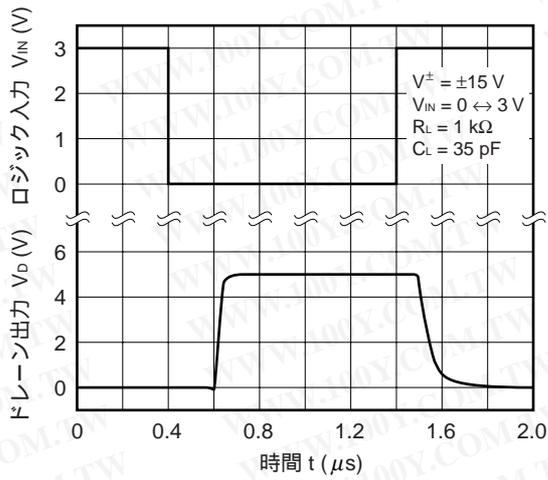
OIRR - f 特性



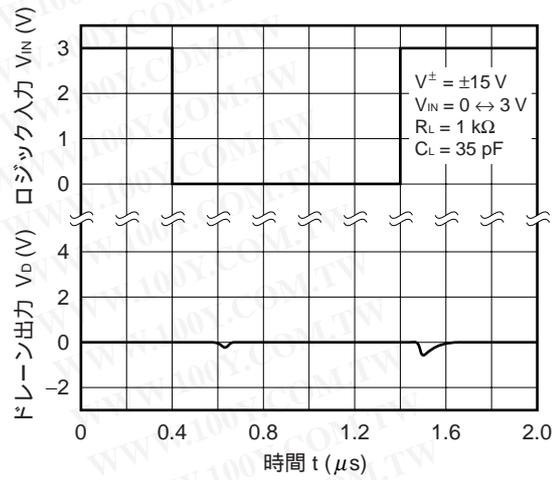
CCRR - f 特性



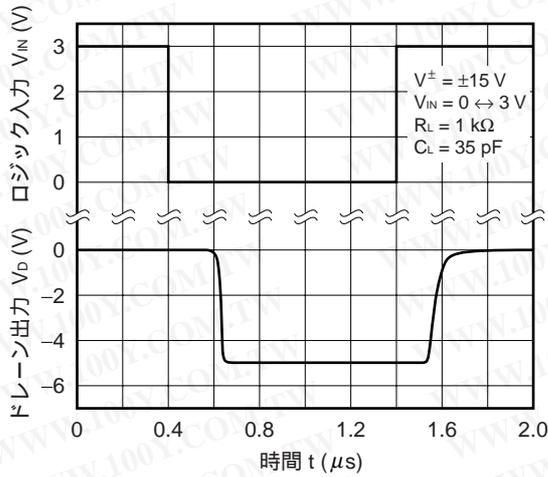
スイッチング特性 ( $V_{ANALOG} = 5V$ )



スイッチング特性 ( $V_{ANALOG} = 0V$ )

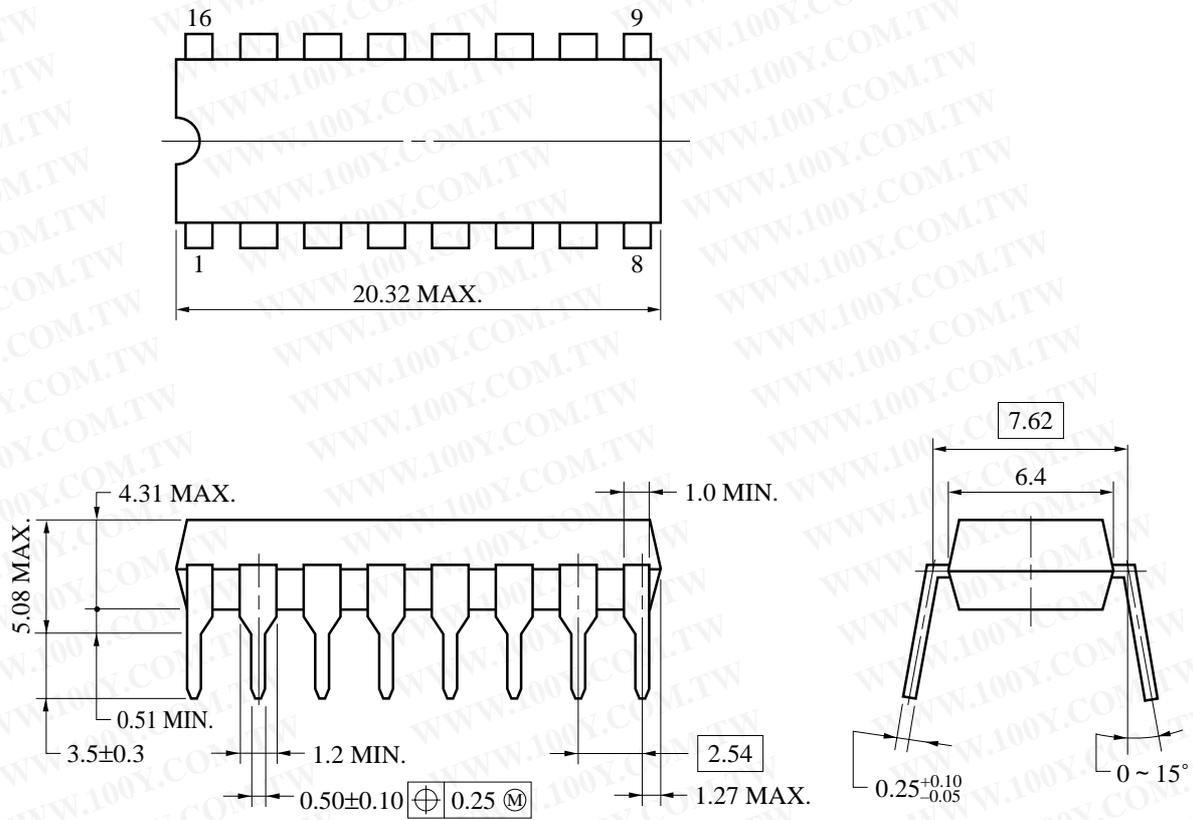


スイッチング特性 ( $V_{ANALOG} = -5V$ )



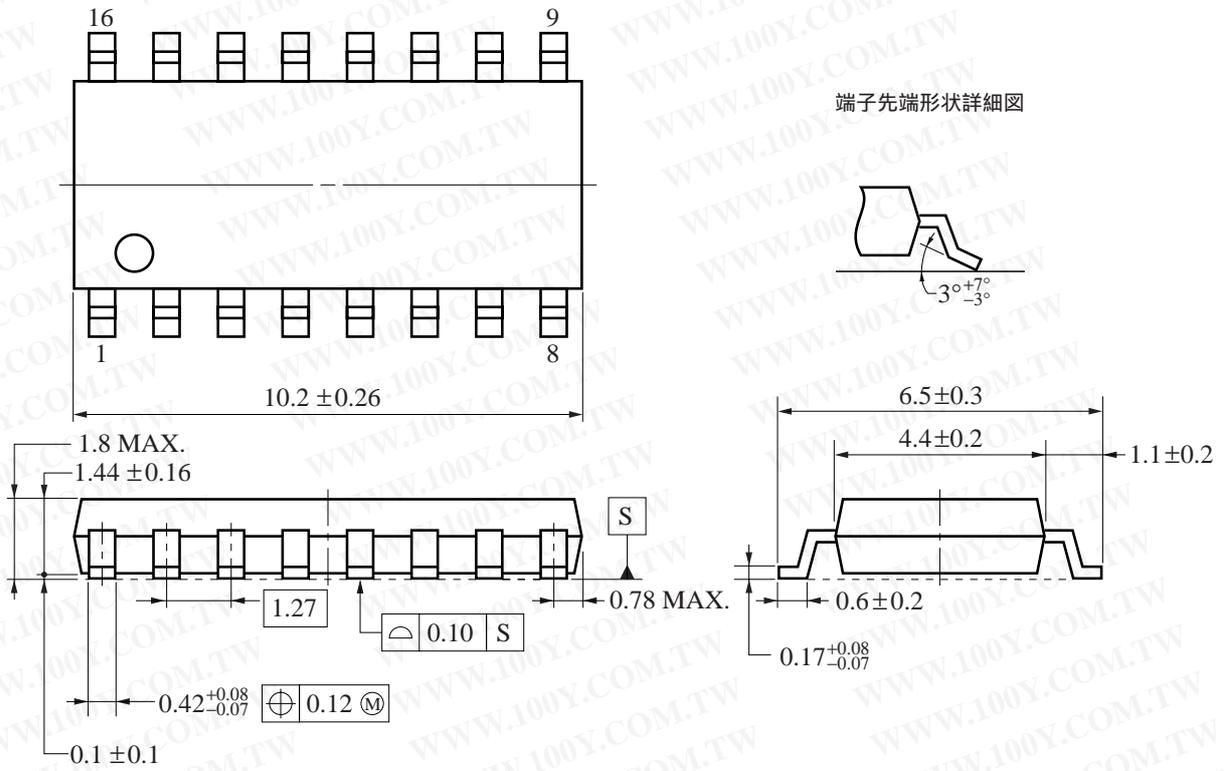
外形図

16ピン・プラスチック DIP (300 mil) 外形図 (単位: mm)



P16C-100-300A, C-1

16ピン・プラスチック SOP (225 mil) 外形図 (単位 : mm)



S16GM-50-225B, C-5

## 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

## 表面実装タイプ

## μPD5201G : 16 ピン・プラスチック SOP (225 mil)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230 ，時間：30 秒以内 (210 以上)，回数：1 回	IR30-00-1
VPS	パッケージ・ピーク温度：215 ，時間：40 秒以内 (200 以上)，回数：1 回	VP15-00-1
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10 秒以内，回数：1 回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3 秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし端子部分加熱を除く)

## 挿入タイプ

## μPD5201C : 16 ピン・プラスチック DIP (300 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260 以下，時間：10 秒以内
端子部分加熱	端子温度：300 以下，時間：3 秒以内 (1 端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにご注意ください。

[メ モ]

## CMOSデバイスの一般的注意事項

### 静電気対策 (MOS全般)

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理 (CMOS特有)

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態 (MOS全般)

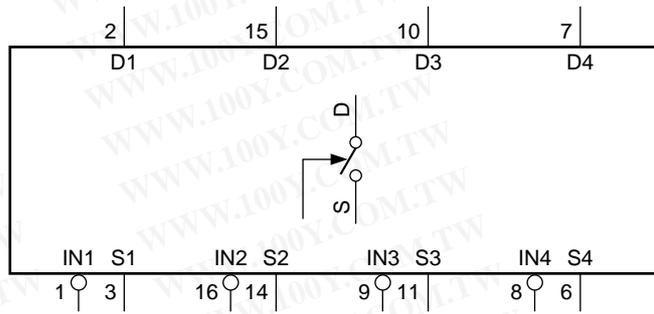
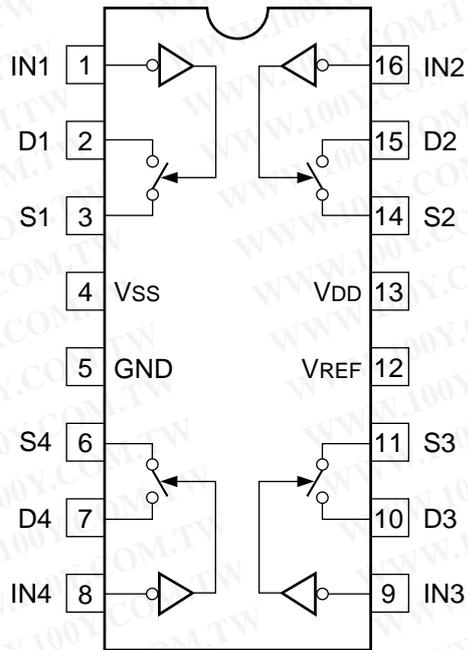
**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### C-MOS QUAD SPST ANALOG SWITCH

—TOP VIEW—



D1 - D4 : DRAIN  
 S1 - S4 : SOURCE  
 SPST : SINGLE-POLE, SINGLE-THROW

IN	SWITCH
0	ON
1	OFF

0 : LOW LEVEL  
 1 : HIGH LEVEL