

DL401 100 MHz FADC

1. Funktion	2
1.1. Übersicht.....	2
1.1.1. Anwendung	2
1.1.2. Daten	2
1.1.3. Besonderheiten.....	2
1.1.4. Aufbau	2
1.1.5. Stromversorgung	2
1.2. Blockdiagramm.....	3
1.3. Funktionsbeschreibung.....	3
1.4. Steckerbelegungen	4
1.4.1. P1-VME	4
1.4.2. P2-VME32/VXI	4
1.4.3. DL400C.....	5
2. Betrieb.....	6
2.1. Konfigurierung.....	6
2.1.1. Jumper	6
2.1.2. SHORT-Adresse.....	6
2.1.3. Interne/Externe Clock	6
2.1.4. Lineare/Nichtlineare Kennlinie.....	6
2.2. Bedienung.....	7
2.2.1. Eingangssignale.....	7
2.2.2. Steuerung.....	7
2.3. Programmierung	8
2.3.1. Reset	8
2.3.2. Initialisierung.....	8
2.3.3. Speicheraufteilung.....	9
2.3.4. Speicheraufteilung DL401Z.....	9
2.3.5. Serial DAC Programmierung.....	9

1. FUNKTION

1.1. Übersicht

1.1.1. Anwendung

Driftkammern, Transient Recording

1.1.2. Daten

Parameter	Wert
Kanalzahl	4
Abtastrate / Kanal	≤ 100 MHz
Speichertiefe	1024 Samples
Amplitudenauflösung linear	8 Bit
Amplitudenauflösung nichtlinear	10 Bit
Eingangsempfindlichkeit (im unteren Bereich)	195 μ V/LSB
Verstärkung (Anpaßverstärker)	10
Pedestal Korrektur	6 Bit

1.1.3. Besonderheiten

- COMMONSTART
- COMMONSTOP, Addresscounter lesbar
- AUTOSTOP bei Memory Overflow
- START und STOP per Software
- RUN und EOC (EndOfConversion) per Software lesbar
- Multiple Event Speicherung
- Auslese wahlfrei
- 100 MHz Quartzclock wahlweise

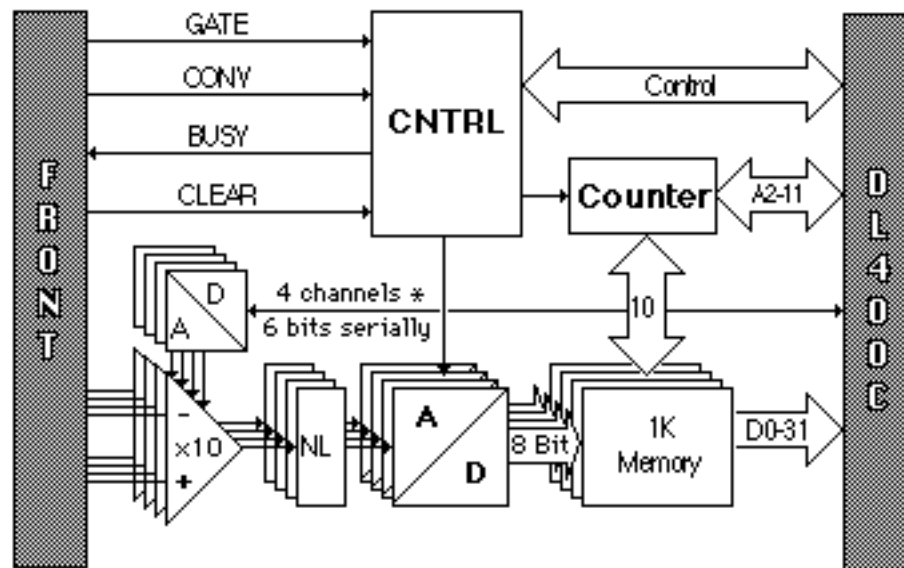
1.1.4. Aufbau

DL400 Application-Module, VME-Doppeleuropa, Breite 3TE, Höhe 6HE

1.1.5. Stromversorgung

Spannung	Strom	Leistung
+5V	.45 A	2.15 W
-5.2V	4.6 A	24 W
+12V	0.125 A	1.5 W
-12V	25 mA	.3 W
Gesamt		28.05 W

1.2. Blockdiagramm



1.3. Funktionsbeschreibung

Von einem Frontstecker werden die differentiellen Analogsignale von 4 Kanälen über Anpaßverstärker um den Faktor 10 verstärkt und können für eine optimale Ausnutzung des dynamischen Bereichs im Pedestal verschoben werden. Die Pedestalwerte werden für alle Kanäle unabhängig in einem 4 Kanal DAC mit 6 Bit Auflösung erzeugt.

Die Amplitudenauflösung der nachfolgenden FADCs beträgt 8 Bits. Durch ein vorgeschaltetes Netzwerk (NL) kann der dynamische Bereich um den Faktor 4 erweitert werden, so daß eine nichtlineare Übertragungsfunktion mit einer effektiven Amplitudenauflösung von 10 Bits (im unteren Bereich) erreicht wird.

Das GATE-Signal über einen Frontstecker, bzw. über Software gesetzt, bestimmt Beginn und Ende der Aufzeichnung. Auf jeden CONVERT-Impuls werden die momentanen Analogwerte an allen 4 Kanälen gleichzeitig digitalisiert und anschließend in die Speicher eingeschrieben. Der Impuls kann wiederum von der Frontplatte oder per Software generiert werden. Als Quelle kann auch ein 100 MHz Quarzoszillator auf dem Board verwendet werden.

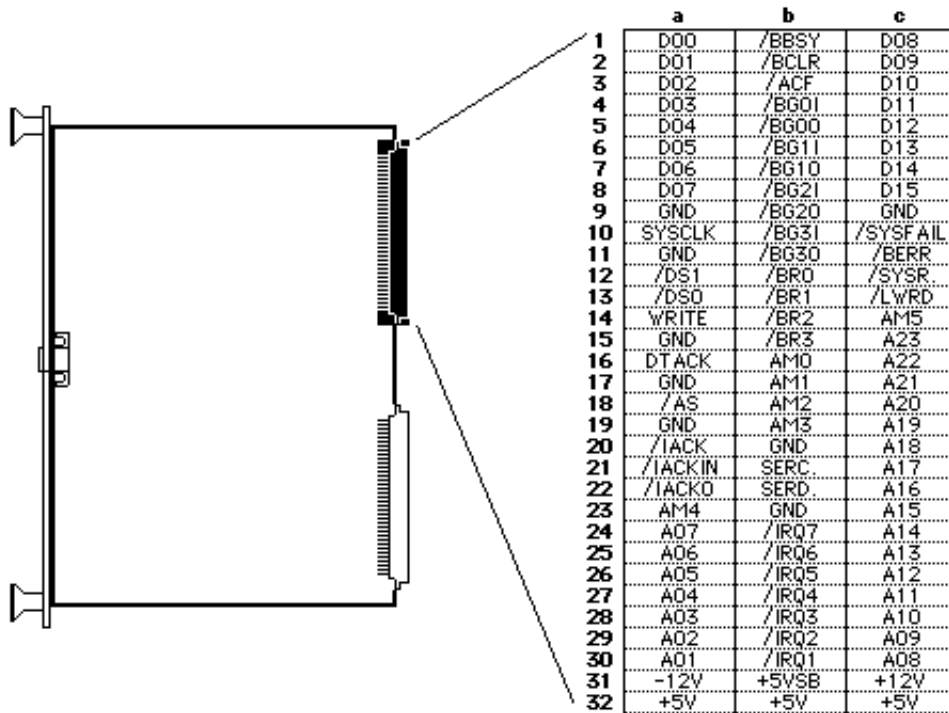
Nach dem Einschreiben wird der Adresszähler um 1 erhöht. In der Betriebsart 'AutoStop' wird bei einem Überlauf des Zählers (>1023) die Aufzeichnung gestoppt, im anderen Modus (CommonStop) beginnt die Aufzeichnung immer wieder bei 0!

Die Digitalisierung wird normalerweise durch Wegnahme des GATE-Signals beendet. Zu diesem Zeitpunkt wird ein Bit gesetzt und das Modul generiert (falls ermöglicht) einen Interrupt. Der Addresscounter wird dann gegebenenfalls ausgelesen und das wahlfreie Auslesen der Daten kann erfolgen.

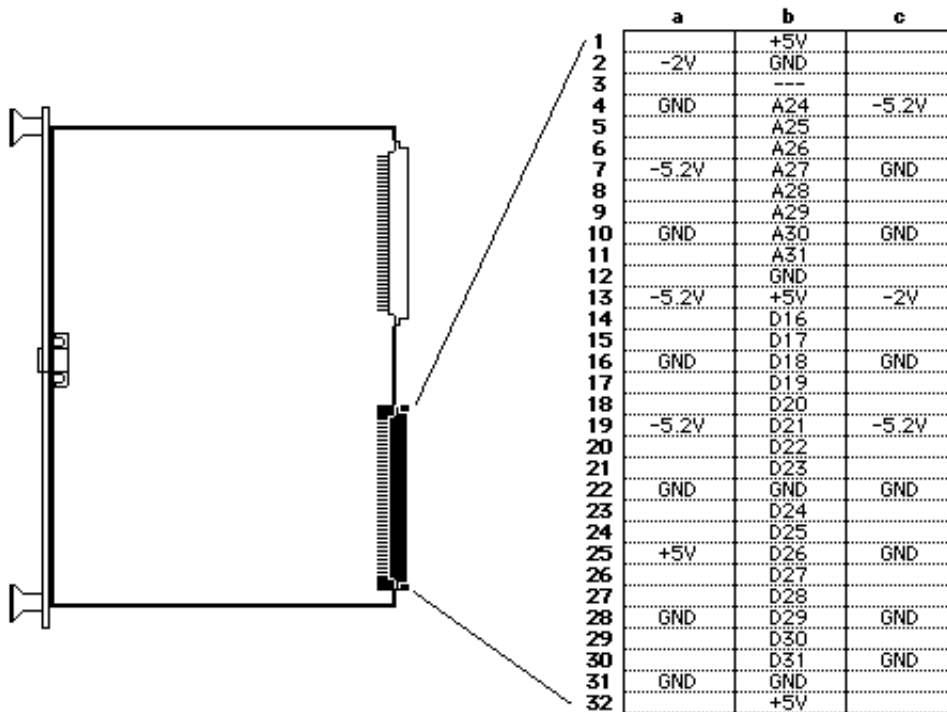
Falls die Tiefe der Memories dies erlaubt kann nach einem Stop auch die Wiederaufnahme der Aufzeichnung ohne Zwischenauslese erfolgen (Multi event storage). Bei einem RESET wird der Addresscounter auf 0 gesetzt.

1.4. Steckerbelegungen

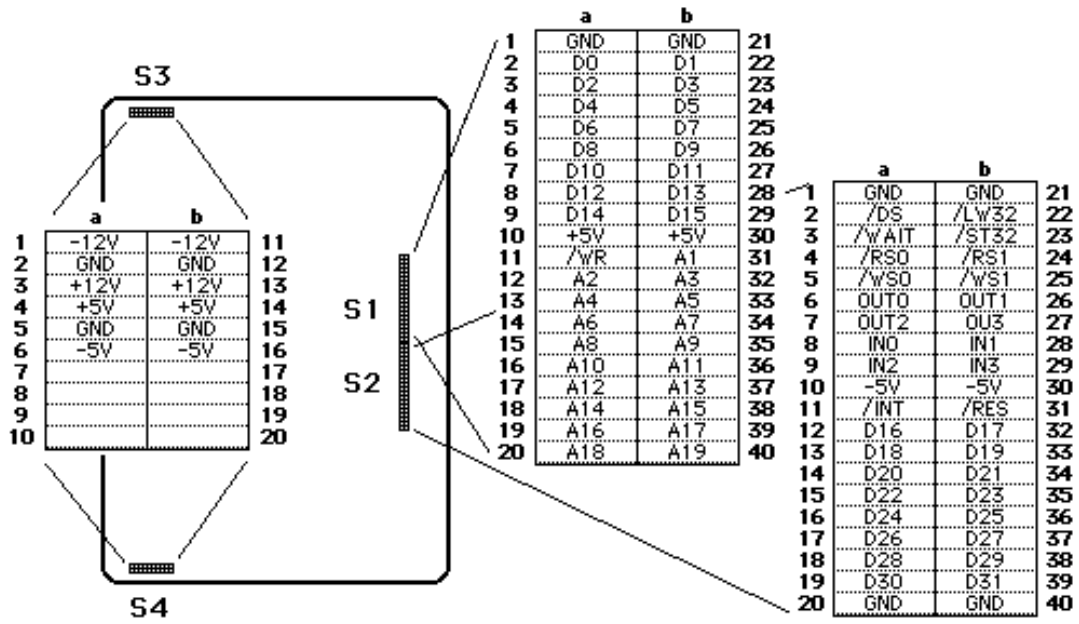
1.4.1. P1-VME



1.4.2. P2-VME32/VXI



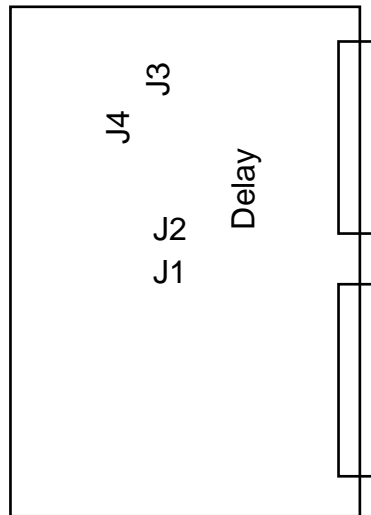
1.4.3. DL400C



2. BETRIEB

2.1. Konfigurierung

2.1.1. Jumper



Betriebsart	Jumper	Bemerkung
Internal Clock	J3,/J4	Quartz Clock
External Clock	J4,/J3	NIM-Input
Delay	Delay	do not change
Debug	J1, J2	do not change

2.1.2. SHORT-Adresse

Um das Modul im SHORT-Adressraum von VME ansprechen zu können, muß die gewünschte Adresse des Moduls mit den Rotary-HEX-Schaltern auf der DL400 Basisplatine eingestellt werden (siehe weiter unter 2.3. Programmierung).

2.1.3. Interne/Externe Clock

Falls die interne Clock mit 100 MHz benutzt werden soll, muß **Internal Clock** gesetzt werden.

2.1.4. Nichtlineare/Lineare Kennlinie

Bei nichtlinearer Eingangsbeschaltung der FADCs ist der Zusammenhang zwischen dem FADC-Code (C) und der Eingangsspannung (U_i) am Modul nach folgender Formel gegeben:

$$U_i = \frac{C}{256 - a * C} * U_0 / K;$$

K (=10) kennzeichnet die Verstärkung des Anpaßverstärkers.
 a (=0.75) ist der Expansionsfaktor.
 U_0 (=0.5V) ist die Referenzspannung bei $U_i = 0$;

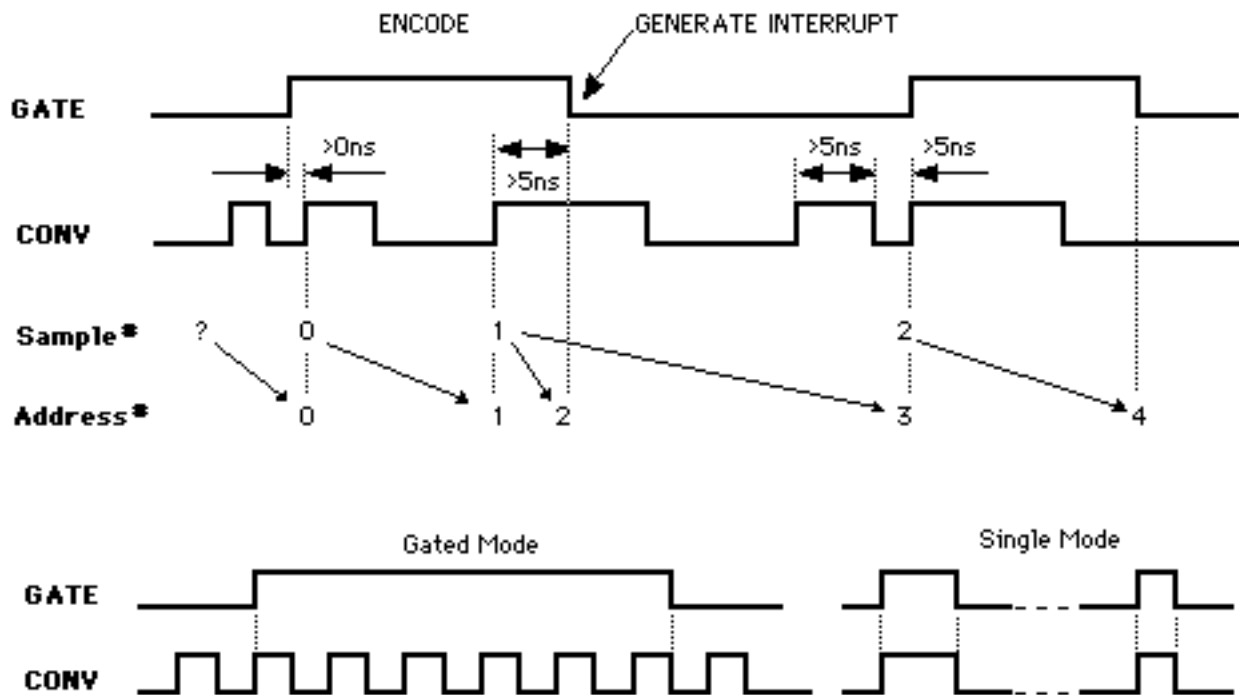
ACHTUNG: Bei linearer Eingangsbeschaltung des FADC müssen die Widerstände R79...R82 (=15.4 Ω) unter den FADC chips entfernt werden ($a=0$, $U_0 = 2V$).

2.2. Bedienung

2.2.1. Eingangssignale

Die analogen Signale für 4 Kanäle werden als differentielle Signale von der Frontseite zugeführt. Die Eingangsimpedanz zwischen den Eingangspins $\pm C_n$ beträgt **100 Ω** . Die Spannung für Vollaussteuerung beträgt **160mV**.

2.2.2. Steuerung



Zur externen Steuerung dienen im wesentlichen die 2 NIM-Signale GATE und CONVERT:

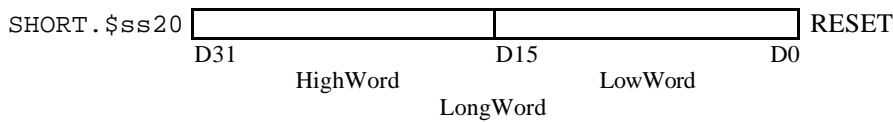
- CONVERT: Dieses Signal stellt die Clock für die Konvertierung dar.
- GATE: Dieses Signal bestimmt die Dauer der Konvertierung.

2.3. Programmierung über DL400

Das Modul ist ohne Programmierung zunächst nur im **Short**-Addressbereich (AM=\$2D oder \$29) ansprechbar. Die Bezeichnung "ss" in den folgenden Adressangaben steht für die Einstellung der HEX-Schalter!

2.3.1. Reset

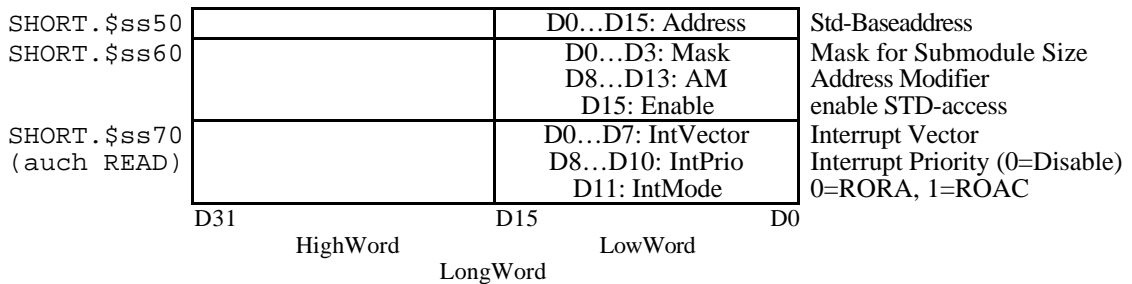
WRITE:



2.3.2. Initialisierung

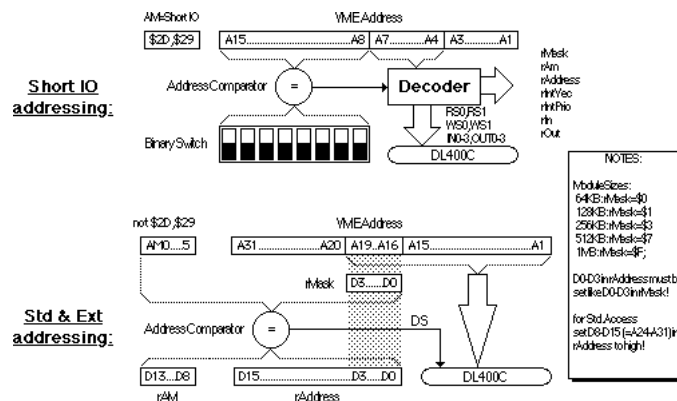
Für die Festlegung der Standard-Basisadresse des Moduls, der Modulgröße, der gewünschten Addressmodifier und der Parameter für einen Interrupt müssen verschiedene Register (im **Short**-bereich) auf der DL400 Basisplatine geladen werden!

WRITE:



Festlegung der Modulgröße:

ModuleSize	Mask
64KB	\$0
128KB	\$1
256KB	\$3
512KB	\$7
1MB	\$F



ACHTUNG:

- D0...D3 in Address muß genauso wie D0...D3 in Mask gesetzt werden!
- D8...D15 in Address bei **Standard**-Zugriff auf HIGH setzen!

2.3.3. Speicheraufteilung

READ:

SHORT. \$ss00	Convert		Convert		do Internal Convert test RUN test INTERRUPT FLAG read Serial DAC
SHORT. \$ss70			D12: Run D13: Interrupt D14: DACRead		
SHORT. \$ss90	D16...D25: Counter				Read Address Counter
STD. \$rAddr	Ch3	Ch2	Ch1	Ch0	Sample 0 ...
...	Ch3	Ch2	Ch1	Ch0	Sample 1023

WRITE:

SHORT. \$ss00	ClearInterrupt		ClearInterrupt		Clear Interrupt Flag Shift DAC and Serial Write
SHORT. \$ss10			D0: DACWrite		
SHORT. \$ss20	RESET		RESET		Module RESET
SHORT. \$ss70			D12: Internal D13: Gate /D14: DACEnable D15: AutoStop		set internal Mode set internal Gate enable Serial DAC enable AutoStop
	D31		D15		D0
	HighWord		LowWord		
	LongWord				

2.3.4. Speicheraufteilung DL401Z

READ:

SHORT. \$ss90			D0...D15: Counter		Read Address Counter Sample 0 ... Sample 32K
STD. \$rAddr	Ch1	Ch0		Digital	
...	Ch1	Ch0		Digital	
	D31		D15		D0
	HighWord		LowWord		
	LongWord				

2.3.5. Serial DAC Programmierung

Für die volle Ausnutzung der Dynamik kann von jedem Kanal die Schwelle unabhängig kalibriert werden. Zu diesem Zweck wird ein 4 Kanal DAC mit 6 bit Amplitudenaufösung programmiert. Bei einer Eingangsspannung von 0V am FADC ergeben sich etwa folgende Werte:

DAC=0 :	FADC pedestal < 0
DAC≈25 :	FADC pedestal ≈ 0
DAC=63 :	FADC pedestal ≈ 50

Die DACs müssen seriell gelesen bzw. beschrieben werden. Die Reihenfolge für die Datenbits ist von **D5 nach D0** über **Kanal 3 nach Kanal 0!**

SCHEMA für Lesen (und Setzen) der DACs:

- 1) Enable DAC
- 2) for ChannelNr:=3 downto 0 do
 - for DataBit:=5 downto 0 do
 - Read Bit at D14 of **DACRead**
 - WRITE Bit at D0 to **DACWrite**
- 3) Disable DAC