

---

# FH8536: User Datasheet

Rev: 0.1

 **上海富瀚微电子股份有限公司**  
Shanghai Fullhan Microelectronics Co., Ltd.

---

二〇一五年二月

## 前言

本文描述了 FH8536 芯片的规格定义。

## 修订记录

修订时间	修订版本	修订人	修订描述
2015.4.17	V1.0	胡晟标	新版建立

## 目录

<b>1</b>	<b>概述</b> .....	<b>4</b>
<b>2</b>	<b>框图</b> .....	<b>4</b>
<b>3</b>	<b>规格</b> .....	<b>4</b>
3.1	微处理器 (MCU) .....	4
3.2	视频输入.....	4
3.3	图像信号处理.....	5
3.4	VIDEO 输出 .....	5
3.5	I2C 接口.....	5
3.6	OSD.....	5
3.7	SPI 接口 .....	6
3.8	GPIO .....	6
3.9	UART.....	6
3.10	SAR-ADC .....	6
3.11	PWM.....	6
3.12	其他指标.....	6
<b>4</b>	<b>引脚定义 (QFN56)</b> .....	<b>6</b>
4.1	PIN MAP.....	6
4.2	PIN ARRANGEMENT .....	7
4.3	GPIO 使用说明 .....	9
<b>5</b>	<b>可靠性规格</b> .....	<b>10</b>
<b>6</b>	<b>参考应用</b> .....	<b>10</b>
6.1	时钟参考电路.....	10
6.2	复位参考电路.....	10
6.3	DAC 参考电路 .....	11
6.4	ADC 参考电路 .....	11
6.5	RS485 参考电路.....	11
<b>7</b>	<b>电气特性</b> .....	<b>12</b>
7.1	电源规格.....	12
7.2	工作条件.....	12
<b>8</b>	<b>封装</b> .....	<b>13</b>

## 1 概述

FH8536 是一款针对 CIS（CMOS Image Sensor）的图像信号处理芯片，符合 RoSH，可支持 2.0/1.3/1.0M Pixel CIS，支持标准 CVBS/960H/1280H 和 720P/1080P 模拟高清输出，主要应用于中低端高清摄像机。

## 2 框图

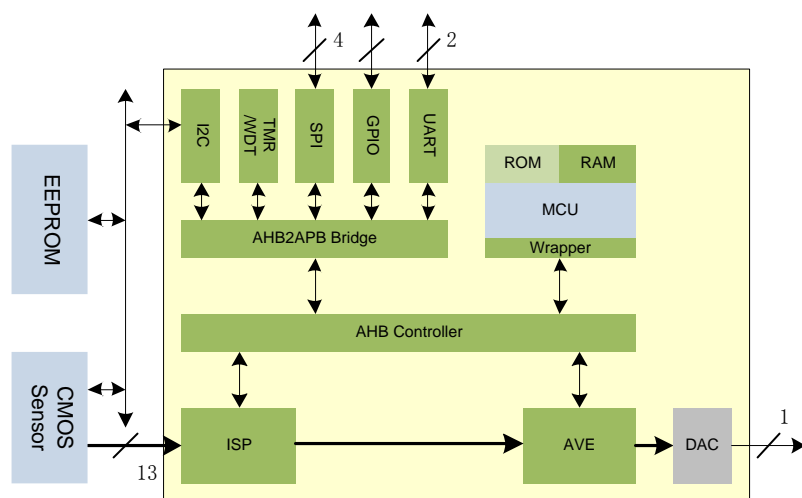


图 1 系统框图

## 3 规格

### 3.1 微处理器（MCU）

- 32-bit RISC Processor

### 3.2 视频输入

- CMOS Sensor 输出
  - 最高支持 2.0M(1920x1080@25/30 fps) CMOS sensor
  - 支持 RGB Bayer
  - 支持 RGBA Bayer
  - 支持最大数据位宽 10-bit
  - 时钟正、负沿采样可配置

- 帧有效、行有效信号极性可配置
- 最高像素时钟 108MHz

### 3.3 图像信号处理

- 支持 RGB/RGBA Bayer 数据格式，最高 10-bit
- 支持彩色转黑白
- 支持固定模式噪声的消除
  - 支持坏点的自动检测和消除
  - 支持 Sensor 列固定模式噪声消除
- 支持暗角补偿(Lens Shade Correction)
  - 镜头中心位置可配置
  - 补偿系数表可配置
- 支持自动黑底消除
- 自适应的 2D 去噪
- 支持 Y/C 去噪
- 图像信息统计
  - 统计窗口数量、位置和大小可配置
  - 统计窗口数目最大数目 64 个
  - 支持独立的 AE/AWB 统计
- 支持自动曝光
- 支持自动白平衡
- 支持高性能的 CFA 插值，支持 RGBA
- 支持颜色校正，实现可配置的色彩空间转换 RGB2RGB
- 支持 Gamma 校正，Gamma 表可配置
- 支持图像增强
  - 亮度对比度、色调和饱和度调整
  - 图像锐化

### 3.4 Video 输出

- 支持 CVBS/960H/1280H
- 支持 1920x1080@25/30fps 模拟高清
- 支持 1280x720@60/50/30/25fps 模拟高清

### 3.5 I2C 接口

I2C 总线控制器 I2C (master) 可用于 Sensor 配置、EEPROM 访问。

### 3.6 OSD

支持 1 个 TEXT 层叠加 (需外接 EEPROM/FLASH)

- 支持可配置字库，字库 Size 大于 16KB (32 x32 x64 bit)
- 点阵字符，大小可配置 (支持 32\*32、24\*32、24\*24、16\*24、16\*16)

### 3.7 SPI 接口

主要用于 Flash 访问或者控制外部串行设备，如 motor 控制。

- SPI 总线控制器工作在 master 模式，1-cs。

### 3.8 GPIO

- 32-bit GPIO
  - 17bit 可用
- 可定义成电平或沿有效的中断信号

### 3.9 UART

- 1 个全双工 UART
- 用于调试、通信、代码升级（RS232/485 扩展）

### 3.10 SAR-ADC

- 1 个双通道 SAR-ADC
- 10-bit@50K/s

### 3.11 PWM

2xPWM。

### 3.12 其他指标

- 电源供电
  - Analog 2.6~3.6V
  - IO 2.6~3.6V or 1.8V +/- 10%
  - Digital 1.08V ~ 1.32V
- 时钟
  - 要求接入 27MHz OSC（晶振）
- 功耗  $\leq 600\text{mW}$
- 工作温度  $-20^{\circ}\text{C} \sim 70^{\circ}\text{C}$
- 封装 QFN56 (6x6x0.4)

## 4 引脚定义（QFN56）

### 4.1 PIN Map

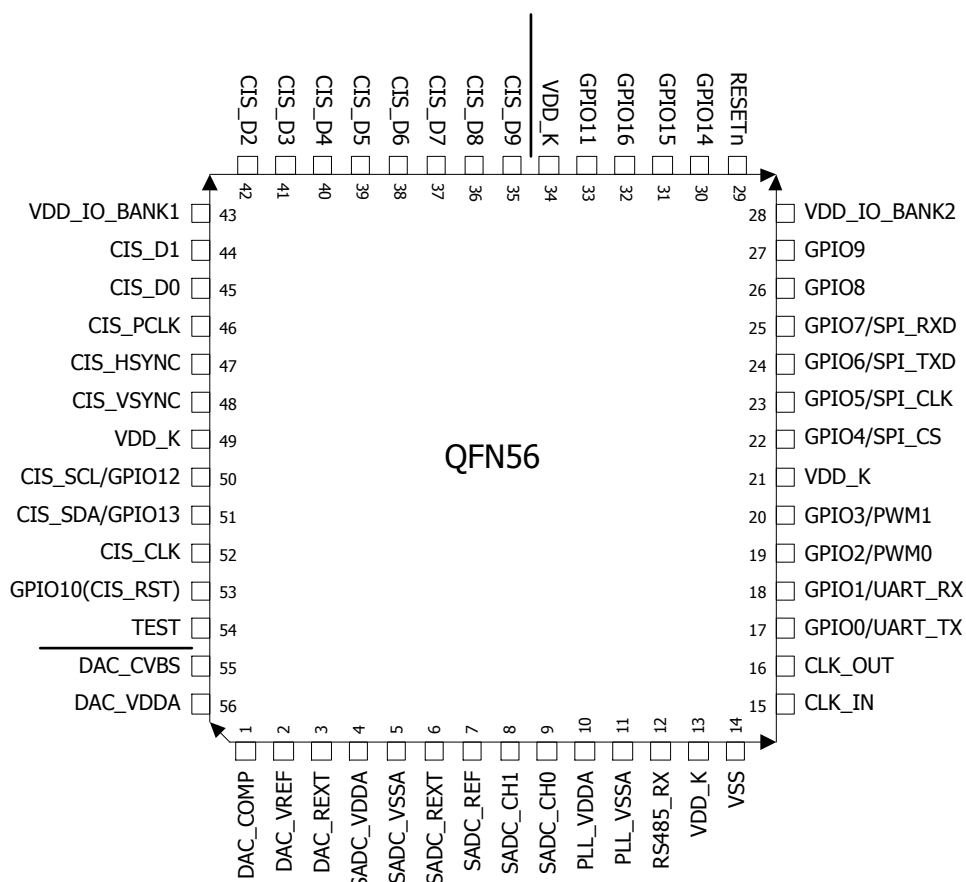


图 1 QFN56 PIN diagram

## 4.2 PIN Arrangement

编号	管脚名	类型	描述
1	DAC_COMP	I、A	Video DAC 补偿输入
2	DAC_VREF	I、A	Video DAC 参考电压输入
3	DAC_REXT	I、A	Video DAC 配置电阻
4	SADC_VDDA	P、A	SADC 电源 (3.3V)
5	SADC_VSSA	G、A	SADC 地
6	SADC_REXT	I、A	SADC 配置电阻
7	SADC_REF	I、A	SADC 参考电压输入
8	SADC_CH1	I、A	SADC 输入 CH1
9	SADC_CH0	I、A	SADC 输入 CH0
10	PLL_VDDA	P、A	PLL 电源 (3.3V)
11	PLL_VSSA	G、A	PLL 地
12	RS485_RX	I	RS485 信号输入
13	VDD_K	P	内核电源 (1.2V)
14	VSS	G	数字地

15	CLK_IN	I	27MHz 系统时钟输入
16	CLK_OUT	O	27MHz 系统时钟输出
17	GPIO0	I、O	GPIO 功能
18	GPIO1	I、O	GPIO 功能
19	GPIO2	I、O	GPIO 功能
20	GPIO3	I、O	GPIO 功能
21	VDD_K	P	内核电源 (1.2V)
22	GPIO4	I、O	GPIO 功能
23	GPIO5	I、O	GPIO 功能
24	GPIO6	I、O	GPIO 功能
25	GPIO7	I、O	GPIO 功能
26	GPIO8	I、O	GPIO 功能
27	GPIO9	I、O	GPIO 功能
28	VDDIO_BANK2	P	BANK2 IO 电源 (3.3V)
29	RESETN	I	系统复位输入：(内部弱上拉) 0：系统复位 1：正常工作
30	GPIO14	I、O	GPIO 功能
31	GPIO15	I、O	GPIO 功能
32	GPIO16	I、O	GPIO 功能
33	GPIO11	I、O	GPIO 功能
34	VDD_K	P	内核电源 (1.2V)
35	CIS_D9	I	CIS 数据 D9 (BANK1 电压域)
36	CIS_D8	I	CIS 数据 D8 (BANK1 电压域)
37	CIS_D7	I	CIS 数据 D7 (BANK1 电压域)
38	CIS_D6	I	CIS 数据 D6 (BANK1 电压域)
39	CIS_D5	I	CIS 数据 D5 (BANK1 电压域)
40	CIS_D4	I	CIS 数据 D4 (BANK1 电压域)
41	CIS_D3	I	CIS 数据 D3 (BANK1 电压域)
42	CIS_D2	I	CIS 数据 D2 (BANK1 电压域)
43	VDDIO_BANK1	P	BANK1 IO 电源 (1.8V or 3.3V)
44	CIS_D1	I	CIS 数据 D1 (BANK1 电压域)
45	CIS_D0	I	CIS 数据 D0 (BANK1 电压域)
46	CIS_PCLK	I	CIS 时钟 PCLK (BANK1 电压域)
47	CIS_HSYNC	I	CIS 行同步信号 (BANK1 电压域)
48	CIS_VSYNC	I	CIS 场同步信号 (BANK1 电压域)
49	VDD_K	P	内核电源 (1.2V)
50	CIS_SCL	O	I2C 时钟 (BANK1 电压域)
51	CIS_SDA	I、O	I2C 数据 (BANK1 电压域)
52	CIS_CLK	O	CIS 主时钟 (BANK1 电压域)
53	GPIO10	I、O	GPIO 功能 (BANK1 电压域)



54	TEST	I	TEST 模式选择：（内部弱下拉， <b>BANK1 电压域</b> ） 0：正常工作 1：测试模式
55	DAC_CVBS	O、A	Video DAC 视频输出
56	DAC_VDDA	P、A	Video DAC 电源（3.3V）
57	Exposed Thermal PAD	G	芯片底部散热焊盘 <b>注：必须接地！</b>

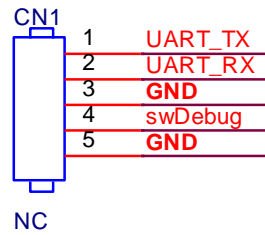
### 4.3 GPIO 使用说明

GPIO	Name	Direction	PU/PD	Description
0	FPN	I	U	1: 不做 FPN; 0: 做 FPN
	UART_TX	O		作为 UART 调试口
1	UART_RX	I	U	
2	PWM0	O	D	PWM0
3	PWM1	O	D	PWM1
4	SPI_BOOT	I	U	复用于选择 boot 方式，0: E2PROM 启动， 1: SPI Flash 启动
	SPI_CS	O		作为 SPI boot
5	SPI_CLK	O	D	作为 SPI boot
6	SPI_TXD	O	D	作为 SPI boot
7	SPI_RXD	I	D	作为 SPI boot
8	IRCUT_OFF	O		IRCUT_OFF
9	IRCUT_ON	O	U	IRCUT_ON
10	CIS Rst	O	U	sensor Reset, 低电平有效
11	Fmt_Sel	I	U	若为 CVBS 输出制式， 1: PAL, 0: NTSC; 若为模拟高清输出制式， 1: 25fps, 0: 30fps
12	CIS_SDA	I/O		IIC 数据信号
13	CIS_SCL	I/O		IIC 时钟信号
14	CVBS_HD_Sel	I	U	作为 CVBS/HD 选择信号，0: CVBS, 1: HD
15	Day/Night	I	U	日夜信号输入，1: 白天，0: 晚上
16	swDebug	I	U	1: 正常模式，0: 安全模式

注：swDebug 内部默认上拉，外部悬空时可识别为高电平，上电时检测 swDebug 电平状态可以进入正常模式或安全模式。

正常模式：芯片正常启动，GPIO0 和 GPIO1 作为串口的调试端，支持 COOLVIEW 工具的连接，在线调试。

安全模式：该模式下芯片不启动任何功能，SENSOR 也不进行配置，关闭看门狗。进入仅支持串口功能的死循环。GPIO0 和 GPIO1 作为串口的调试端，仅通过 COOLVIEW 工具把文件写入 EEPROM 或 SPI Flash 中。



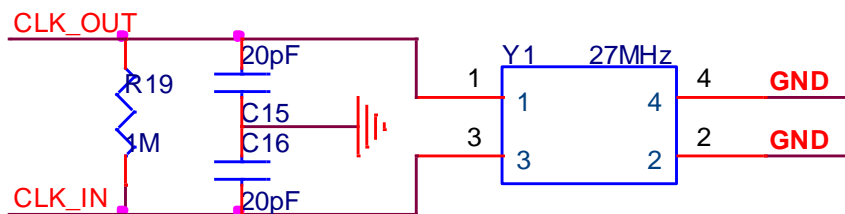
参考调试接口定义：

## 5 可靠性规格

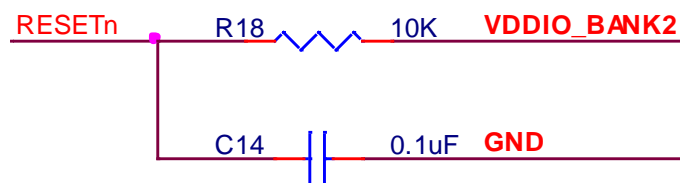
- HBM: 4000V
- CDM : 500V
- MM: 200V
- LATCH UP : 200mA
- HTOL 500 hrs

## 6 参考应用

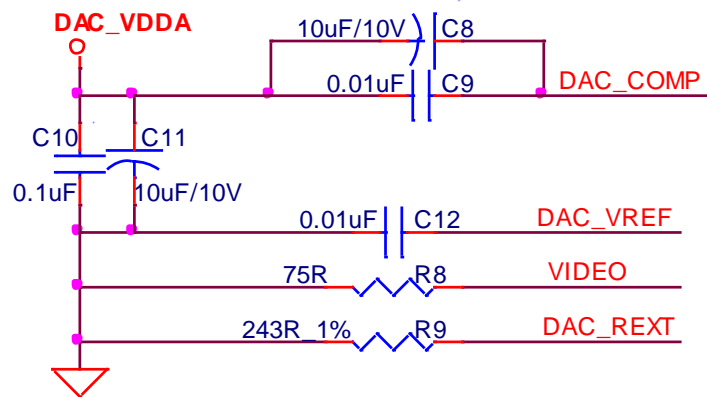
### 6.1 时钟参考电路



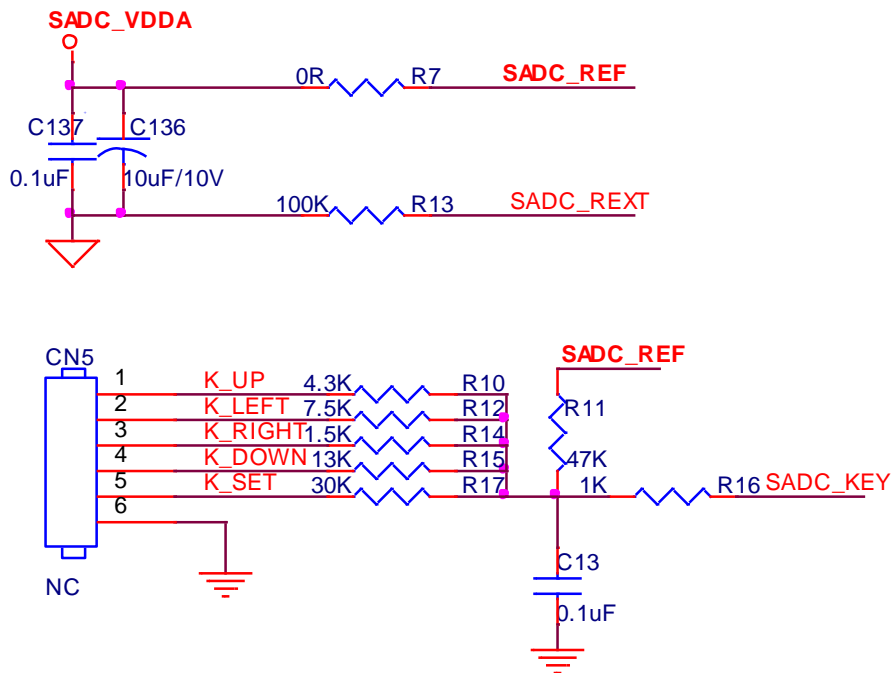
### 6.2 复位参考电路



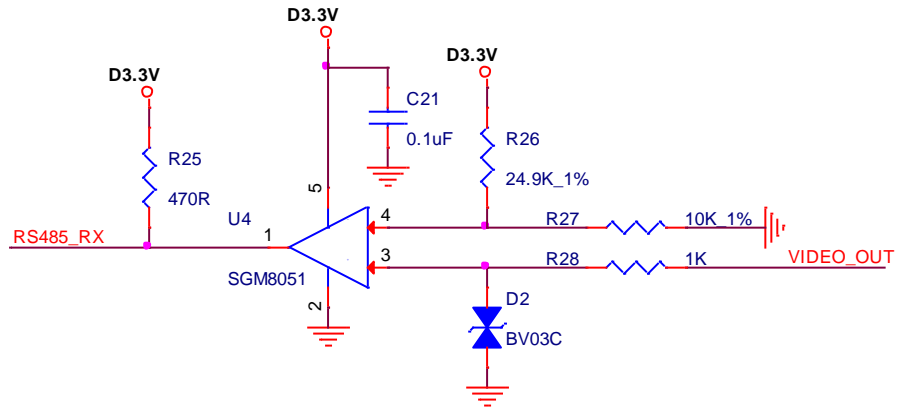
### 6.3 DAC 参考电路



### 6.4 ADC 参考电路



### 6.5 RS485 参考电路



## 7 电气特性

### 7.1 电源规格

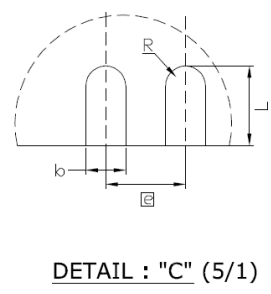
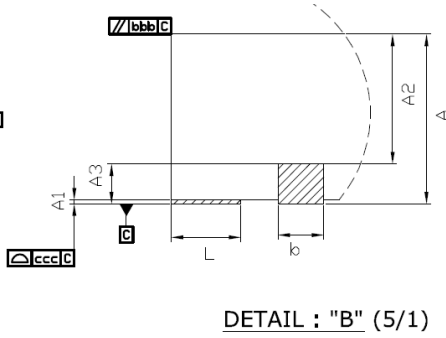
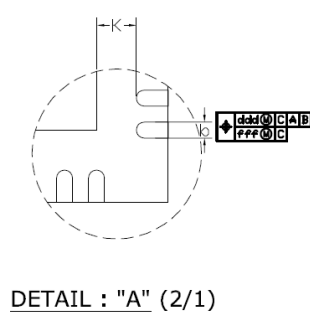
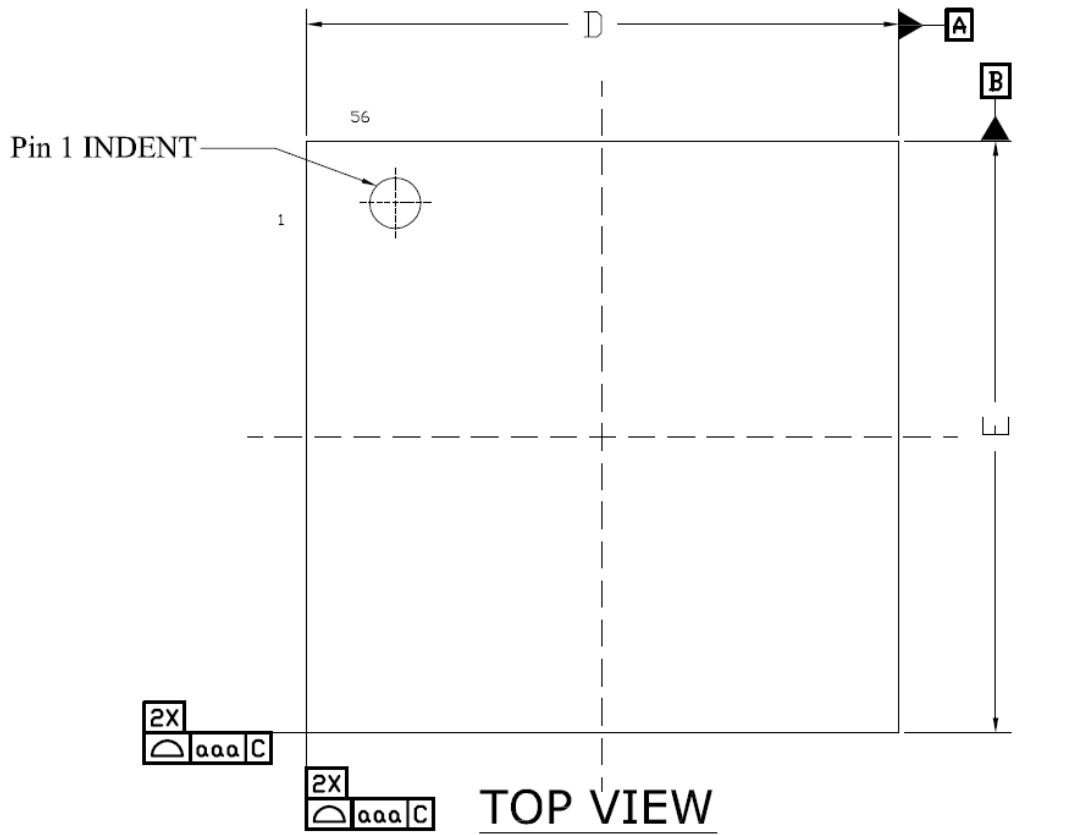
Power Type	Description	Min	Type	Max	Unit
VDD_K	Core Power	TBD	289	TBD	mA
DAC_VDDA	DAC Power	TBD	40	TBD	mA
PLL_VDDA	PLL Power	TBD	1	TBD	mA
VDDIO_BANK1	IO_BANK1 Power	TBD	2	TBD	mA
VDDIO_BANK2	IO_BANK2 Power	TBD	6	TBD	mA

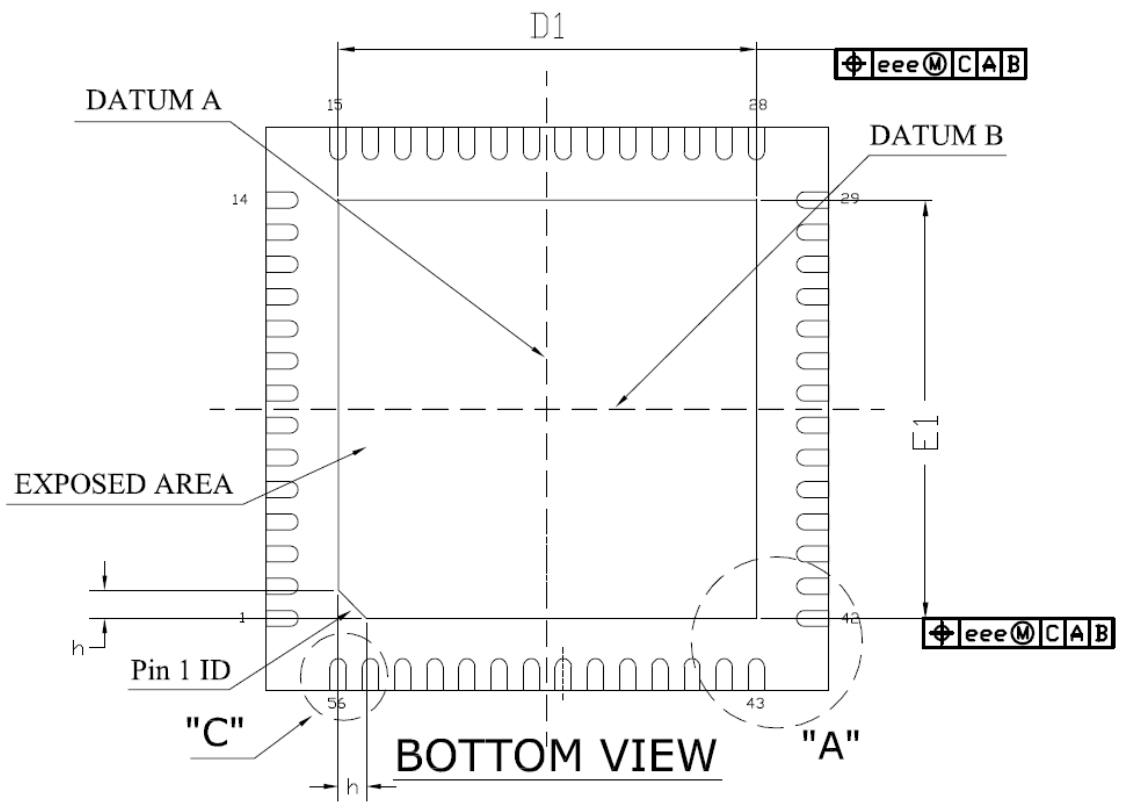
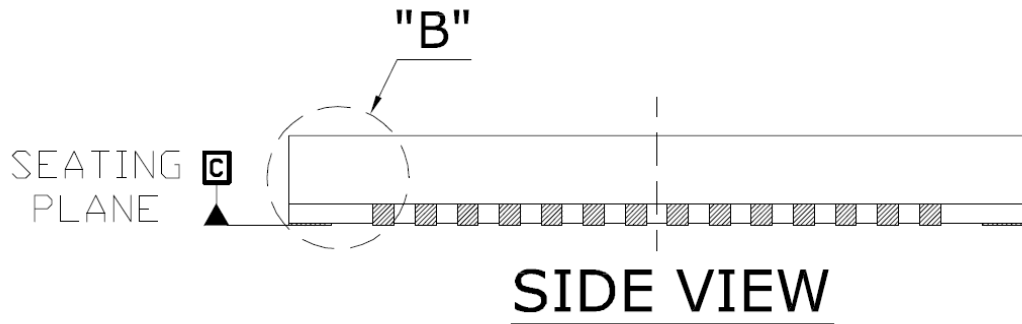
### 7.2 工作条件

Symbol	Parameter	Min	Type	Max	Unit
VDD_K	Core Power	TBD	1.2	TBD	V
DAC_VDDA	DAC Power	TBD	3.3	TBD	V
PLL_VDDA	PLL Power	TBD	3.3	TBD	V
VDDIO_BANK1	IO_BANK1 Power	TBD	3.3	TBD	V
		TBD	2.8	TBD	V
		TBD	1.8	TBD	V
VDDIO_BANK2	IO_BANK2 Power	TBD	3.3	TBD	V
		TBD	2.8	TBD	V

## 8 封装

FH8536 芯片采用 QFN56 封装, 封装尺寸为 7.00mm (长) × 7.00mm (宽) × 0.8mm (高), 管脚间距为 0.4mm, 管脚总数为 56 个。





## Dimension Matrix:

SYMBOL:	UNIT & DIMENSION:	DIMENSION UNIT:MM		
		MIN	NOM	MAX
@ (LEAD PITCH):		0.40 BSC		
D,E (PKG SIZE):		7 BSC		
L (LEAD LENGTH):		0.35	0.40	0.45
N (LEAD COUNT):		--	56	--
A (OVERALL HEIGHT):		0.70	0.75	0.80
A1 (STANDOFF):		--	0.02	0.05
A2 (MOLD HEIGHT):		--	0.55	--
A3 (L/F THICKNESS):		0.203 REF		
b (LEAD WIDTH):		0.15	0.20	0.25
h:		0.30	0.35	0.40
K (TIP TO EXPOSED PAD EDGE):		0.2	--	--
R (LEAD R-FILLET):		0.20 REF		
aaa PACKAGE EDGE TOLERANCE		0.10		
bbb MOLD FLATNESS		0.10		
ccc COPLANARITY		0.08		
ddd LEAD POSITION OFFEST		0.07		
eee EXPOSED PAD OFFEST		0.10		
fff		0.05		

L/F	D1 , E1 (EXPOSED PAD SIZE):		
	DIMENSION UNIT:MM		
	MIN	NOM	MAX
(1.)	5.10	5.20	5.30

### NOTES:

1. LEADFRAME MATERIAL: A194-FH.
2. MAIN UNIT IS MILLIMETER FOR PROCESS CONTROL.
3. DOCUMENT REFERENCE JEDEC MO-220.