

2.5GHz, 10 路输出超低附加抖动差分时钟缓冲器或电平转换器

特征

- 3:1 输入多路复用器
 - 两个通用输入的工作频率高达 2.5GHz，并接受 LVPECL、LVDS、CML、SSTL、HSTL、HCSL 或单端时钟
 - 一个晶体输入接受 10MHz 至 40MHz 晶体或单端时钟
- 具有 5 个差分输出的两组
 - LVPECL、LVDS、HCSL 或 高阻态 (Hi-Z) (每个组可选)
 - GM5528 作为时钟源，122.88MHz 时 LVPECL 附加抖动
 - 39.5 fs RMS (10KHz 至 1MHz)
 - 79.5 fs RMS (12KHz 至 20MHz)
- 高电源抑制比 (PSRR) :
-65/-76dBc (LVPECL/LVDS) @156.25MHz
- 具有同步使能输入的 LVCMOS 输出
- 引脚控制配置
- V_{CC} 内核电源: 3.3V ± 5%
- 3 个独立 V_{CCO} 输出电源: 3.3V/2.5V ± 5%
- 工业温度范围: -40°C 至 +85°C

应用

- ADC、DAC、多千兆以太网、XAUI、光纤通道、SATA/SAS、SONET/SDH、CPRI、高频背板的时钟分配和电平转换
- 交换机、路由器、线卡、定时卡
- 服务器、计算、串行总线 (PCIe)
- 远程无线电单元和基带单元

概述

GM50301 是一款 2.5GHz、10 路输出差分扇出缓冲器，用于高频、低抖动时钟/数据分配和电平转换。输入时钟可以从两个通用输入或一个晶体输入中选择。所选定的输入时钟被分配到三组输出，两组包含 5 个差分的输出和 1 个 LVCMOS 输出。两个差分输出组均可被独立配置为 LVPECL、LVDS 或 HCSL 驱动器，或者被禁用。LVCMOS 输出具有用于在启用或禁用时实现无短脉冲运行的同步使能输入。GM50301 采用一个 3.3V 内核电源和 3 个独立的 3.3V 或 2.5V 输出电源供电。

GM50301 具有高性能、高功效而且用途广泛，使其成为替代固定输出缓冲器器件的理想选择，同时增加系统中的时序裕度。

GM50301 在内核和输出电源域之间没有电源时序要求。

功能框图

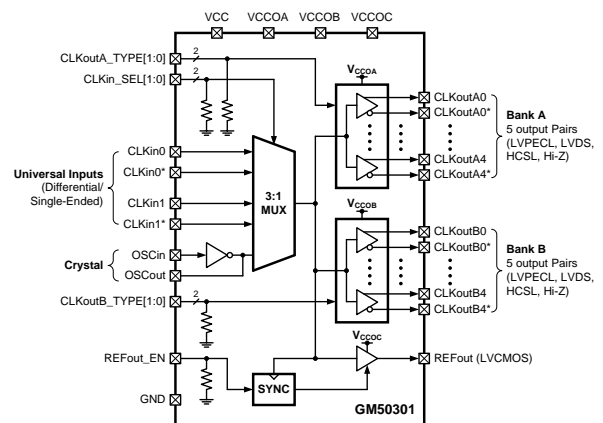


图 1, 功能框图

修订历史记录

备注：之前版本的页码可能与当前版本的页码不同。

版本	修订日期	修订内容
V01	2021/4	初始版本发布。
V02	2021/9	增加典型的性能参数。
V03	2022/3	1. 增加卷盘和卷带信息。 2. 更新丝印信息。
V05	2022/10	新增封装外形和产品型号 GM50301QNEG。
V06	2023/5	增加湿敏等级和 Pin1 脚位置说明。
V07	2024/3	更新 LVPECL 输出电气特性表中 V_{OH} 和 V_{OL} 的单位描述
V08	2024/3/25	1. 增加电气特性表中交流耦合模式输出的 VDDO 电流测试数据。 2. 增加电气特性表中直流耦合模式输出的 VDDO 电流测试条件描述。
V09	2024/4/11	1. 更新封装热阻信息。 2. 电气特性表中，LVPECL 直流耦合模式输出的 VDDO 电流，增加一组不同测试条件下的测试数据。

引脚配置 (QFN48-7.0x7.0x0.75)

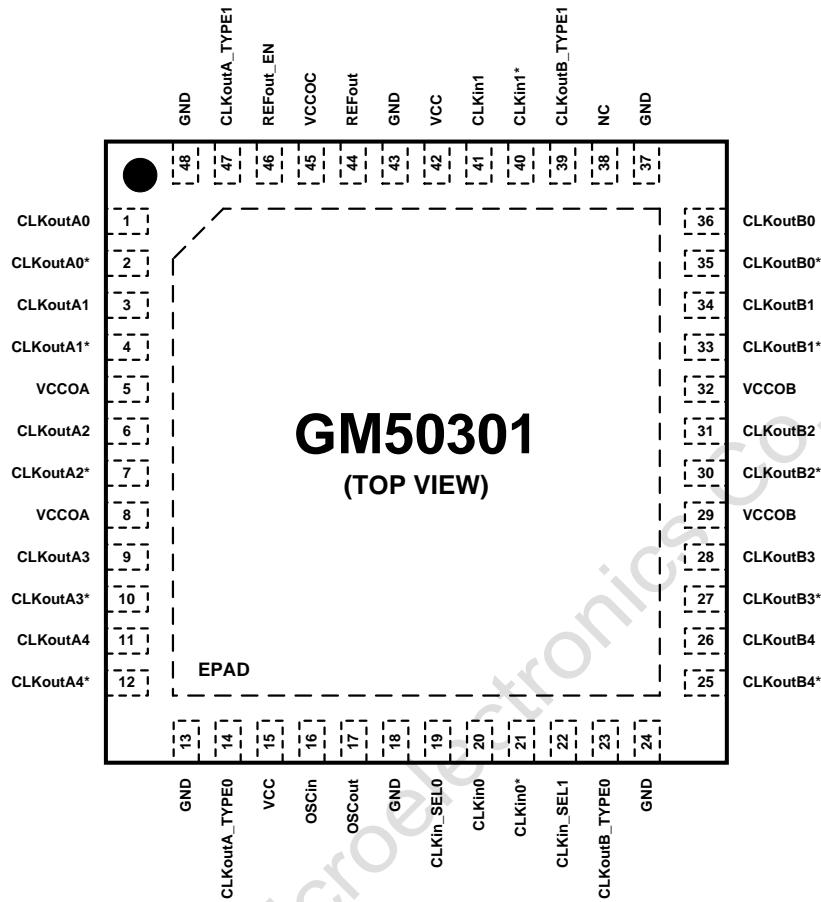


图 2, 引脚配置

引脚功能说明⁽¹⁾

引脚序号	引脚名称	类型	说明
0	EPAD	地	连接到 PCB 地便于散热。
1,2	CLKoutA0, CLKoutA0*	输出	差分时钟输出 A0。输出类型由 CLKoutA_TYPE 引脚设置。
3,4	CLKoutA1, CLKoutA1*	输出	差分时钟输出 A1。输出类型由 CLKoutA_TYPE 引脚设置。
5,8	VCCOA	电源	A 组输出缓冲器的电源。VCCOA 可以在 3.3V 或 2.5V 下工作。VCCOA 引脚在内部连接在一起。使用非常靠近每个 VCCO 引脚放置的 0.1uF 低 ESR 电容器进行旁路 ⁽²⁾ 。
6,7	CLKoutA2, CLKoutA2*	输出	差分时钟输出 A2。输出类型由 CLKoutA_TYPE 引脚设置。
9,10	CLKoutA3, CLKoutA3*	输出	差分时钟输出 A3。输出类型由 CLKoutA_TYPE 引脚设置。
11,12	CLKoutA4, CLKoutA4*	输出	差分时钟输出 A4。输出类型由 CLKoutA_TYPE 引脚设置。
13,18,24,37,43,48	GND	地	接地。
14,47	CLKoutA_TYPE0, CLKoutA_TYPE1	输入	A 组输出类型选择引脚 ⁽³⁾ 。
15,42	VCC	电源	内核和输入缓冲块的电源。VCC 电源从 3.3V 运行。使用非常靠近每个 VCC 引脚放置的 0.1uF 低 ESR 电容器进行旁路。
16	OSCin	输入	晶体的输入。可以由 XO、TCXO 或其他外部单端时钟驱动。
17	OSCout	输出	晶体的输出。如果 OSCin 由单端时钟驱动，则让 OSCout 悬置。
19,22	CLKin_SEL0, CLKin_SEL1	输入	时钟输入选择引脚 ⁽³⁾ 。
20,21	CLKin0, CLKin0*	输入	通用时钟输入 0（差分/单端）。
23,39	CLKoutB_TYPE0, CLKoutB_TYPE1	输入	B 组输出类型选择引脚 ⁽³⁾ 。
25,26	CLKoutB4*, CLKoutB4	输出	差分时钟输出 B4。输出类型由 CLKoutB_TYPE 引脚设置。
27,28	CLKoutB3*, CLKoutB3	输出	差分时钟输出 B3。输出类型由 CLKoutB_TYPE 引脚设置。
29,32	VCCOB	电源	B 组输出缓冲器的电源。VCCOB 可以在 3.3V 或 2.5V 下工作。VCCOB 引脚在内部连接在一起。使用非常靠近每个 VCCO 引脚放置的 0.1uF 低 ESR 电容器进行旁路 ⁽²⁾ 。
30,31	CLKoutB2*, CLKoutB2	输出	差分时钟输出 B2。输出类型由 CLKoutB_TYPE 引脚设置。
33,34	CLKoutB1*, CLKoutB1	输出	差分时钟输出 B1。输出类型由 CLKoutB_TYPE 引脚设置。
35,36	CLKoutB0*, CLKoutB0	输出	差分时钟输出 B0。输出类型由 CLKoutB_TYPE 引脚设置。
38	NC	--	内部未连接。引脚可以悬置或接地。
40,41	CLKin1*, CLKin1	输入	通用时钟输入 1（差分/单端）。
44	REFout	输出	LVC MOS 参考输出。通过将 REFout_EN 引脚拉高来启用输出。
45	VCCOC	电源	REFout 输出缓冲器的电源。VCCOC 可以在 3.3V 或 2.5V 下工作。使用非常靠近 VCCOC 引脚放置的 0.1uF 低 ESR 电容器进行旁路 ⁽²⁾ 。
46	REFout_EN	输入	REFout 使能输入。使能信号在内部同步以选择时钟输入 ⁽³⁾ 。

(1) 任何未使用的输出引脚都应保持悬置且铜线长度最短（参见时钟输出中的注释），或在连接到传输线时正确端接，或尽可能禁用/HI-Z。见用于输出配置和终止的时钟输出以及用于输出接口和端接技术的时钟驱动器的使用。

(2) 当不需要区分时，或者当输出电源可以从输出组/类型推断时，输出电源电压或引脚（VCCOA、VCCOB 和 VCCOC）通常称为 VCCO。

(3) CMOS 控制输入，带内部下拉电阻。

绝对最大额定值

如果超过绝对最大额定值，可能会发生永久性设备损坏。功能操作应限制在本数据表操作部分规定的条件下。长时间暴露在绝对最大额定值条件下可能会影响器件的可靠性。

参数	符号	额定值	单位
内核电源电压	V_{CC}	-0.3 至 3.6	V
输出电源电压	V_{CCO}	-0.3 至 3.6	V
输入电压	V_{IN}	-0.3 至 ($V_{CC} + 0.3$)	V
贮存温度范围	T_{STG}	-65 至 150	°C
引脚温度（焊接4秒）	T_L	+260	°C
结温	T_J	+150	°C
静电放电（人体模型）	V_{ESD_HBM}	±2000	V
静电放电（充电设备模型）	V_{ESD_CDM}	±800	V

建议工作条件

参数	符号	最小值	典型值	最大值	单位
环境温度	T_A	-40	25	85	°C
内核电源电压	V_{CC}	3.15	3.3	3.45	V
输出电源电压 ⁽¹⁾	V_{CCO}	3.135	3.3	3.465	V
		2.375	2.5	2.625	

(1) V_{CCO} 应小于或等于 V_{CC} ($V_{CCO} \leq V_{CC}$)

封装热阻

参数	符号	额定值	单位
4 层 Jdec 2s2p 板上从结到环境的热阻 ⁽¹⁾	θ_{JA}	26.3	°C/W
从结到壳(顶部)的热阻	$\theta_{JC(TOP)}$	16.4	°C/W
从结到 PCB 板的热阻	θ_{JB}	7.1	°C/W

(1) 规格假设有 5 个热过孔连接到芯片连接焊盘和 4 层 Jdec 板上的嵌入式铜平面。这些过孔在提高 QFN 的热性能方面发挥着关键作用。为获得最佳散热效果，建议在电路板布局上使用最大数量的过孔。

电气特性

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CCO} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位	
整体的器件特性							
V_{CC}	核心电源电压		3.135	3.3	3.465	V	
V_{CCO}	输出电源电压		3.135	3.3	3.465	V	
			2.375	2.5	2.625	V	
I_{CC_CORE}	内核电源电流, 所有输出禁用	选择 CLKinX		24	31	mA	
		选择 OSCin		23	30		
I_{CC_PECL}	附加内核电源电流, 每个 LVPECL 组启用	单组输出电流。		20	26	mA	
I_{CC_LVDS}	附加内核电源电流, 每个 LVDS 组启用	单组输出电流。		50	75	mA	
I_{CC_HCSL}	附加内核电源电流, 每个 HCSL 组启用	单组输出电流。		32	41.6	mA	
I_{CC_CMOS}	附加内核电源电流, 启用 LVCMOS 输出			4	5.2	mA	
$I_{CCO_PECL_DC1}$	附加 DC 耦合输出电源电流, 每个 LVPECL 组启用	包含输出级提供偏置的上下拉电阻功耗, $R_{PU}=120\Omega$, $R_{PD}=82\Omega$, 单组输出电流。参考图 25。		230	299	mA	
$I_{CCO_PECL_DC2}$	附加 DC 耦合输出电源电流, 每个 LVPECL 组启用	每组输出均 $R_T = 50\Omega$ 接到 1.3V ($V_{CCO} - 2V$), 单组输出电流。参考图 26。		160	209	mA	
$I_{CCO_PECL_AC}$	附加 AC 耦合输出电源电流, 每个 LVPECL 组启用	每组输出均 $R_T = 150\Omega$ 接地。(若在隔直电容后有提供偏置的上下拉电阻, 计算时不包含此电阻功耗), 单组输出电流。		162	183.5	mA	
I_{CCO_LVDS}	附加输出电源电流, 每个 LVDS 组启用	单组输出电流。		24	31	mA	
I_{CCO_HCSL}	附加输出电源电流, 每个 HCSL 组启用	包括每组输出的偏置和负载电流, 每组输出均 $R_T = 50\Omega$ 对地, 单组输出电流。	$V_{CCO} = 3.3V \pm 5\%$		72	93.6	mA
			$V_{CCO} = 2.5V \pm 5\%$		64	83	
I_{CCO_CMOS}	附加输出电源电流, LVCMOS 输出使能	200MHz, $C_L = 5pF$	$V_{CCO} = 3.3V \pm 5\%$		9	11.7	mA
			$V_{CCO} = 2.5V \pm 5\%$		7	9	
电源纹波抑制 (PSRR)							
$PSRR_{PECL}$	纹波引起的相位杂散电平, 差分 LVPECL 输出	V_{CCO} 上注入 100KHz、100mV _{PP} 纹波, $V_{CCO} = 2.5V$	156.25MHz		-65		dBc
			312.5MHz		-63		dBc
$PSRR_{HCSL}$	纹波引起的相位杂散电平, 差分 HCSL 输出		156.25MHz		-76		dBc
			312.5MHz		-74		dBc
$PSRR_{LVDS}$	纹波引起的相位杂散电平, 差分 LVDS 输出		156.25MHz		-72		dBc
			312.5MHz		-63		dBc

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CC0} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位
数字输入 (CLKin_SELn, CLKoutX_TYPEn, REFOut_EN)						
V_{LOW}	输入低电压				0.4	V
V_{HIGH}	输入高电压		1.6			V
I_{IH}	高电平输入电流	$V_{IH} = V_{CC}$, 内部下拉电阻			50	μA
I_{IL}	低电平输入电流	$V_{IH} = 0V$, 内部下拉电阻	-5	0.1	5	
CLKin0/0*和 CLKin1/1*输入时钟规范						
f_{CLKin}	输入频率范围 ⁽¹⁾	高达 2.5GHz, 每种输出类型指定的输出频率范围和时序 (请参阅 LVPECL、LVDS、HCSL、LVCMOS 输出规范)	直流		2.5	GHz
V_{IHD}	差分输入高压	CLKin 差分驱动			V_{CC}	V
V_{ILD}	差分输入低电压		接地			V
V_{ID}	差分输入电压摆幅 ⁽²⁾		0.15		1.3	V
V_{CMD}	差分输入共模电压	$V_{ID} = 150mV$	0.25		$V_{CC} - 1.2$	V
		$V_{ID} = 350mV$	0.25		$V_{CC} - 1.1$	
		$V_{ID} = 800mV$	0.25		$V_{CC} - 0.9$	
V_{IH}	单端输入高电压	CLKinX 驱动单端 (AC 或 DC 耦合), CLKinX* AC 耦合到地或外部偏置在 V_{CM} 范围内			V_{CC}	V
V_{IL}	单端输入低电压		接地			V
$V_{I,SE}$	单端输入电压摆幅 ⁽¹⁾⁽⁴⁾		0.3		2	V_{PP}
V_{CM}	单端输入共模电压		0.25		$V_{CC} - 1.2$	V
ISO_{MUX}	多路复用器隔离, CLKin0 到 CLKin1	$f_{OFFSET} > 50KHz$, $P_{CLKinX} = 0dBm$	$f_{CLKin0} = 0.1GHz$		-92	dBc
			$f_{CLKin0} = 0.2GHz$		-85	
			$f_{CLKin0} = 0.5GHz$		-74	
			$f_{CLKin0} = 1.0GHz$		-64	
OSCin/OSCout 引脚						
f_{OSCin}	外部时钟输入频率 ⁽³⁾	单端输入, OSCout 浮空	直流		250	MHz
f_{XTAL}	晶体频率输入范围	基本模式晶体, $ESR < 200 \Omega$ ($f_{XTAL} \leq 30MHz$) $ESR > 125 \Omega$ ($f_{XTAL} > 30MHz$) ⁽⁵⁾	10		40	MHz
C_{OSCin}	OSCin 输入电容			4		pF
V_{IH}	输入高电压	单端输入, OSCout 浮空			2.5	V

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CCO} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^\circ C \leq T_A \leq 85^\circ C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位	
LVPECL 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)							
f _{CLKout_FS}	最大输出频率, 全 V _{OD} 摆幅 ⁽³⁾⁽⁶⁾	V _{OD} $\geq 600mV$, R _L = 100 Ω 差分	V _{CCO} = 3.3V $\pm 5\%$, R _T = 160 Ω 对地	1.0	1.2	GHz	
			V _{CCO} = 2.5V $\pm 5\%$, R _T = 91 Ω 对地	0.75	1.0		
f _{CLKout_RS}	最大输出频率, 降低 V _{OD} 摆幅 ⁽³⁾⁽⁶⁾	V _{OD} $\geq 400mV$, R _L = 100 Ω 差分	V _{CCO} = 3.3V $\pm 5\%$, R _T = 160 Ω 对地	1.5	2.2	GHz	
			V _{CCO} = 2.5V $\pm 5\%$, R _T = 91 Ω 对地	1.5	2.2		
Jitter _{ADD}	附加 RMS 抖动, BW = 10KHz 至 20MHz ⁽³⁾⁽⁷⁾	V _{CCO} = 2.5V $\pm 5\%$: R _T = 91 Ω 对地; V _{CCO} = 3.3V $\pm 5\%$: R _T = 160 Ω 对地, R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$		60	98	fs
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$		30	78	
Jitter _{ADD}	附加 RMS 抖动, BW = 1MHz 至 20MHz ⁽⁷⁾	V _{CCO} = 3.3V, R _T = 160 Ω 对地, R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$		55	fs	
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$		35		
			时钟输入: 625MHz, 压摆率 $\geq 3V/ns$		25		
Jitter _{ADD}	GM5528 作为时钟源, 输出 LVPECL 时附加 RMS 抖动 ⁽⁷⁾⁽⁸⁾	V _{CCO} = 3.3V, R _T = 160 Ω 对地, R _L = 100 Ω 差分	时钟输入: 122.88 MHz, J _{SOURCE} = 73 fs RMS (10KHz 至 1MHz)		39.5	fs	
			时钟输入: 122.88 MHz, J _{SOURCE} = 148 fs RMS (12KHz 至 20MHz)		79.5		
NF	噪底, f _{OFFSET} $\geq 10MHz$ ⁽⁹⁾⁽¹⁰⁾	V _{CCO} = 3.3V, R _T = 160 Ω 对地, R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$		-161	dBc/Hz	
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$		-159		
			时钟输入: 625MHz, 压摆率 $\geq 3V/ns$		-154		
O _{DC}	输出占空比 ⁽¹⁾	输入时钟占空比 50%	45		55	%	
V _{OH}	输出高电压	T _A = 25 $^\circ C$, 直流测量, R _T = 50 Ω 至 V _{CCO} - 2V	V _{CCO} - 1.2	V _{CCO} - 0.9	V _{CCO} - 0.7	V	
V _{OL}	输出低电压		V _{CCO} - 2.0	V _{CCO} - 1.75	V _{CCO} - 1.5		
V _{OD}	输出电压摆幅 ⁽²⁾		600	830	1000	mV	
t _R	输出上升时间, 20%至 80% ⁽³⁾		R _T = 160 Ω 对地, 最长 10 英寸的均匀传输线, 具有 50 Ω 特性阻抗, R _L = 100 Ω 差分, C _L $\leq 5pF$		250	350	ps
t _F	输出下降时间, 80%至 20% ⁽³⁾			180	300		

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CCO} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位
LVDS 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)						
f _{CLKout_FS}	最大输出频率, 全 V _{OD} 摆幅 ⁽³⁾⁽⁶⁾	V _{OD} $\geq 250\text{mV}$, R _L = 100 Ω 差分	1.0	1.6		GHz
f _{CLKout_RS}	最大输出频率, 降低 V _{OD} 摆幅 ⁽³⁾⁽⁶⁾	V _{OD} $\geq 200\text{mV}$, R _L = 100 Ω 差分	1.5	2.1		GHz
Jitter _{ADD}	附加 RMS 抖动, BW = 10KHz 至 20MHz ⁽³⁾⁽⁷⁾	R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	138		fs
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$	99		
Jitter _{ADD}	附加 RMS 抖动, BW = 1MHz 至 20MHz ⁽⁷⁾	V _{CCO} = 3.3V, R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	132		fs
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$	103		
			时钟输入: 625MHz, 压摆率 $\geq 3V/ns$	33		
NF	噪底, f _{OFFSET} $\geq 10\text{MHz}$ ⁽⁹⁾⁽¹⁰⁾	V _{CCO} = 3.3V, R _L = 100 Ω 差分	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	-159.5		dBc/Hz
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$	-157.0		
			时钟输入: 625MHz, 压摆率 $\geq 3V/ns$	-152.5		
O _{DC}	输出占空比 ⁽¹⁾	输入时钟占空比 50%	45		55	%
V _{OD}	输出电压摆幅 ⁽²⁾	T _A = 25 $^\circ\text{C}$, 直流测量, R _L = 100 Ω 差分	250	400	450	mV
ΔV_{OD}	互补输出状态的 V _{OD} 幅度变化		-50		50	mV
V _O	输出失调电压		1.125	1.25	1.375	V
ΔV_{OS}	互补输出状态的 V _O 幅度变化		-35		35	mV
I _{SA} I _{SB}	单端输出短路电流		T _A = 25 $^\circ\text{C}$, 单端输出对地短路	-60		60
I _{SAB}	输出短路电流差	互补输出捆绑在一起	-12		12	mA
t _R	输出上升时间, 20%至 80% ⁽³⁾	长达 10 英寸的均匀传输线, 具有 50 Ω 特性阻抗, R _L = 100 Ω 差分, C _L $\leq 5\text{pF}$		175	300	ps
t _F	输出下降时间, 80%至 20% ⁽³⁾			175	300	

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CCO} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位
HCSL 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)						
f_{CLKout}	输出频率范围 ⁽³⁾	$R_L = 50\Omega$ 对地, $C_L \leq 5pF$	直流		400	MHz
J_{ADD_PCIe}	PCIe 3.0 的附加 RMS 抖动 ⁽³⁾	PCIe 3.0, 锁相环带宽 = 2~5MHz, CDR = 10MHz	时钟输入: 100MHz, 压摆率 $\geq 0.6V/ns$	0.03		ps
	PCIe 4.0 的附加 RMS 抖动 ⁽³⁾	PCIe 4.0, 锁相环带宽 = 2~5MHz, CDR = 10MHz	时钟输入: 100MHz, 压摆率 $\geq 1.8V/ns$	0.03	0.05	
	PCIe 5.0 的附加 RMS 抖动 ⁽³⁾	PCIe 5.0 滤波器	时钟输入: 100MHz, 压摆率 $\geq 0.5V/ns$	0.015	0.03	
$Jitter_{ADD}$	附加 RMS 抖动, BW = 1MHz 至 20MHz ⁽⁷⁾	$V_{CCO} = 3.3V$, $R_T = 50\Omega$ 对地	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	77		fs
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$	86		
NF	噪底, $f_{OFFSET} \geq 10MHz$ ⁽⁹⁾⁽¹⁰⁾	$V_{CCO} = 3.3V$, $R_T = 50\Omega$ 对地	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	-161		dBc/Hz
			时钟输入: 156.25MHz, 压摆率 $\geq 3V/ns$	-156		
O_{DC}	输出占空比 ⁽¹⁾	输入时钟占空比 50%	45		55	%
V_{OH}	输出高电压	$T_A = 25^{\circ}C$, 直流测量, $R_T = 50\Omega$ 对地	520	750	920	mV
V_{OL}	输出低电压		-150	0.5	150	mV
V_{CROSS}	绝对交叉电压 ⁽¹⁾⁽¹¹⁾	$R_L = 50\Omega$ 对地, $C_L \leq 5pF$	160	350	460	mV
ΔV_{CROSS}	V_{CROSS} 的总变化 ⁽¹⁾⁽¹¹⁾				140	mV
t_R	输出上升时间, 20%至 80% ⁽³⁾⁽¹¹⁾	250MHz, 长达 10 英寸的均匀传输线, 具有 50Ω 特性阻抗, $R_L = 50\Omega$ 对地, $C_L \leq 5pF$		300	500	ps
t_F	输出下降时间, 80%至 20% ⁽³⁾⁽¹¹⁾			300	500	

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CC0} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$ 。)

符号	参数	测试条件	最小值	典型值	最大值	单位
LVC MOS 输出 (REFout)						
f_{CLKout}	输出频率范围 ⁽¹⁾	$C_L \leq 5pF$	直流		300	MHz
Jitter _{ADD}	附加 RMS 抖动, BW = 1MHz 至 20MHz ⁽⁷⁾	$V_{CC0} = 3.3V$, $C_L \leq 5pF$	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	132		fs
NF	本底噪声, $f_{OFFSET} \geq 10MHz$ ⁽⁹⁾⁽¹⁰⁾	$V_{CC0} = 3.3V$, $C_L \leq 5pF$	时钟输入: 100MHz, 压摆率 $\geq 3V/ns$	-158		dBc/Hz
ODC	输出占空比 ⁽¹⁾	输入时钟占空比 50%	45		55	%
V_{OH}	输出高电压	1mA 负载	$V_{CC0} - 0.1$			V
V_{OL}	输出低电压				0.1	V
I_{OH}	输出高电流 (拉出)	$V_O = V_{CC0}/2$	$V_{CC0} = 3.3V$	28		mA
			$V_{CC0} = 2.5V$	20		
I_{OL}	输出低电流 (灌入)		$V_{CC0} = 3.3V$	28		mA
			$V_{CC0} = 2.5V$	20		
t_R	输出上升时间, 20%至 80% ⁽³⁾⁽¹¹⁾	250MHz, 长达 10 英寸的均匀传输线, 具有 50Ω 特性阻抗, $R_L = 50\Omega$ 对地, $C_L \leq 5pF$		225	500	ps
t_F	输出下降时间, 80%至 20% ⁽³⁾⁽¹¹⁾			225	400	
t_{EN}	输出使能时间 ⁽¹²⁾	$C_L \leq 5pF$, 见图 3			3	周期
t_{DIS}	输出禁用时间 ⁽¹²⁾				3	周期

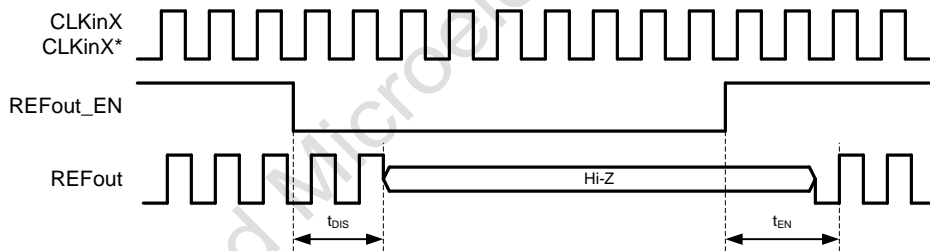


图 3, REFout_EN 时序图

电气特性 (续)

(除非另有说明: $V_{CC} = 3.3V \pm 5\%$, $V_{CC0} = 3.3V \pm 5\%$, $2.5V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

符号	参数	测试条件	最小值	典型值	最大值	单位	
传播延迟和输出偏斜							
t_{PD_PECL}	传播延迟, CLKin 到 LVPECL ⁽³⁾	$R_T = 160\Omega$ 对地, $R_L = 50\Omega$ 差分, $C_L \leq 5pF$	180	360	540	ps	
t_{PD_LVDS}	传播延迟, CLKin 到 LVDS ⁽³⁾	$R_L = 100\Omega$ 差分, $C_L \leq 5pF$	200	400	600	ps	
t_{PD_HCSL}	传播延迟, CLKin 到 HCSL ⁽³⁾⁽¹¹⁾	$R_T = 50\Omega$ 对地, $C_L \leq 5pF$	295	590	885	ps	
t_{PD_CMOS}	传播延迟, CLKin 到 LVCMOS ⁽³⁾⁽¹¹⁾	$C_L \leq 5pF$	$V_{CC0} = 3.3V$	900	1475	2300	ps
			$V_{CC0} = 2.5V$	1000	1550	2700	
$t_{Skew(O)}$	输出偏移, LVPECL/LVDS/HCSL ⁽¹⁾⁽¹¹⁾⁽¹³⁾	在具有相同缓冲器类型的任何两个 CLKout 之间指定的偏移。每种输出类型的负载条件与传播延迟规格相同。		30	50	ps	
$t_{Skew(P2P)}$	器件间输出偏移, LVPECL/LVDS/HCSL ⁽¹⁾⁽¹¹⁾⁽¹³⁾			80	120	ps	

- (1) 规格是通过特性来确保的, 而不是在生产中测试。
- (2) VID 和 VOD 电压的定义, 请参见**差分电压测量术语**。
- (3) 参数由设计指定, 未经生产测试。
- (4) 对于 $\geq 100MHz$ 的时钟输入频率, CLKinX 可以由高达 $3.3V_{PP}$ 的单端 (LVCMOS) 输入摆幅驱动。时钟输入频率 $< 100MHz$, 单端输入摆幅应限制在 $2V_{PP\ max}$ 以防止输入饱和 (请参阅**驱动时钟输入**用于连接 $2.5V/3.3V$ LVCMOS 时钟输入 $< 100MHz$ 到 CLKinX 的输入)。
- (5) 必须满足规定的 ESR 要求, 以确保振荡器电路没有启动问题。然而, 较低的 ESR 值的晶体可能需要保持在晶体的最大功耗 (驱动电平) 规格以下。参考晶体驱动电平考虑的**晶体接口**。
- (6) 输出工作在频率范围以外的情况请参见**典型特性**。
- (7) 对于 $100MHz$ 和 $156.25MHz$ 时钟输入条件, 附加 RMS Jitter (J_{ADD}) 使用方法#1 计算: $J_{ADD} = \sqrt{J_{OUT} * J_{OUT} - J_{SOURCE} * J_{SOURCE}}$, 其中 J_{OUT} 是在输出驱动器和 J_{SOURCE} 处测量的总 RMS 抖动是应用于时钟源的 RMS 抖动时钟输入。对于 $625MHz$ 时钟输入条件, 附加 RMS 抖动使用方法#2 进行近似计算: $J_{ADD} = \sqrt{2 * 10^{dBc/10}} / (2 * \pi * f_{CLK})$, 其中 dBc 是从 $1MHz$ 到 $20MHz$ 带宽集成的输出噪声底的相位噪声功率。相位噪声功率可以计算为: $dBc = \text{噪底} + 10 * \log_{10}(20MHz - 1MHz)$ 。附加 RMS 抖动近似为 $625MHz$ 使用方法#2, 因为时钟源的 RMS 抖动不够低, 无法实际使用方法#1。
- (8) 来自 GM5528 的 $122.88MHz$ LVPECL 时钟源。典型的 $J_{SOURCE} = 73fs$ RMS ($10KHz$ 至 $1MHz$) 和 $148fs$ RMS ($12KHz$ 至 $20MHz$)。有关详细信息, 请参阅 GM5528 数据表。
- (9) 输出缓冲器的噪底测量为缓冲器的远端相位噪声。通常这个偏移是 $\geq 10MHz$, 但对于由于测量设备的限制的较低频率, 这个测量偏移可以低至 $5MHz$ 。
- (10) 随着时钟输入压摆率的降低, 噪底会降低。与单端时钟相比, 差分时钟输入 (LVPECL, LVDS) 由于其共模噪声抑制, 在较低压摆率下噪底将不太容易下降。但是, 建议对差分时钟使用尽可能高的输入压摆率, 以实现最佳的噪底。
- (11) HCSL 或 CMOS 的交流时序参数取决于输出电容负载。
- (12) 参见图 3, 输出使能时间是 REFout_EN 拉高后使能输出所需的输入时钟周期数。相似地, 输出禁用时间是 REFout_EN 拉低后禁用输出所需的输入时钟周期数。要求 REFout_EN 信号的边沿转换应比输入时钟周期快得多, 以便进行准确测量。
- (13) 输出偏斜是在相同的电源电压和温度条件下工作时具有相同输出缓冲器类型和相同负载的任何两个输出之间的传播延迟差。

典型性能特征

(除非另有说明: $V_{CC} = 3.3V$, $V_{CCO} = 3.3V$, $T_A = 25^\circ C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

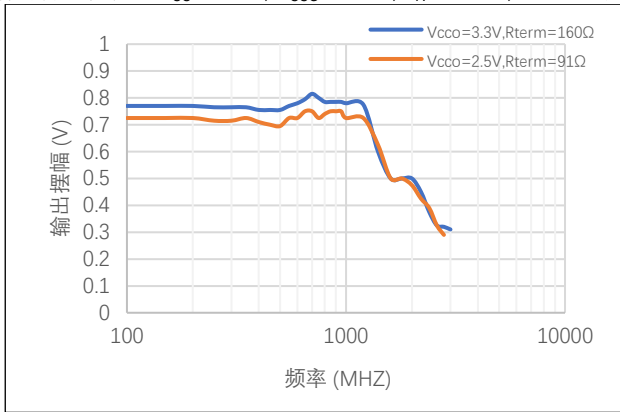


图 4, LVPECL 输出摆幅(V_{ob})与频率的关系

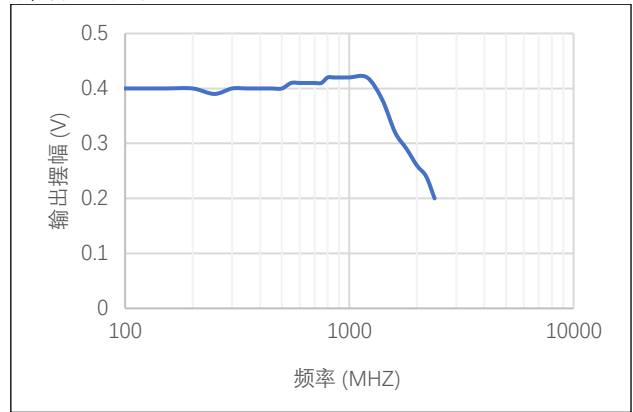


图 5, LVDS 输出摆幅(V_{ob})与频率的关系

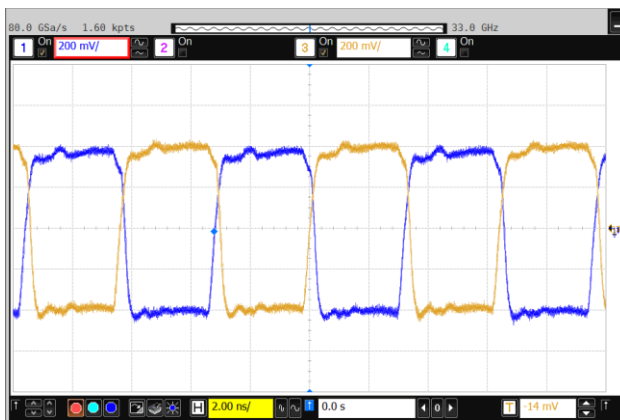


图 6, 156.25MHz 时 LVPECL 输出摆幅

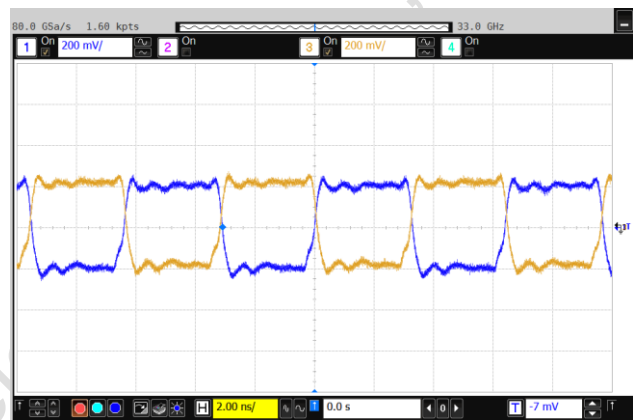


图 7, 156.25MHz 时 LVDS 输出摆幅

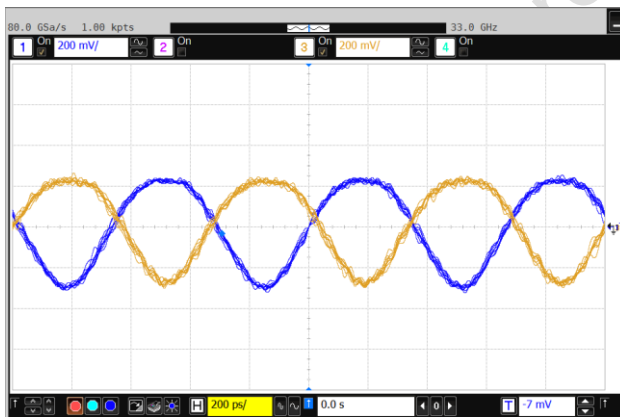


图 8, 1.5GHz 时 LVPECL 输出摆幅

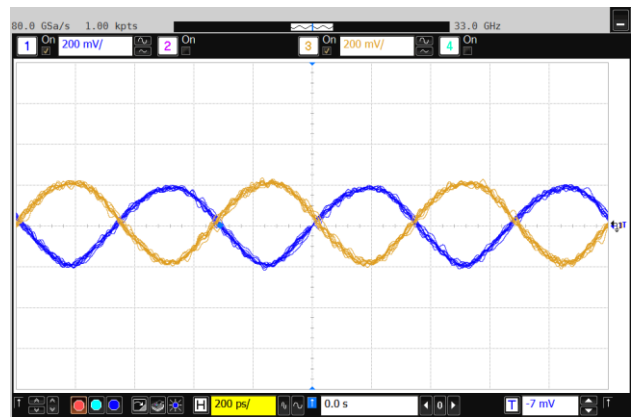


图 9, 1.5GHz 时 LVDS 输出摆幅

典型性能特征 (续)

(除非另有说明: $V_{CC}=3.3V$, $V_{CCO}=3.3V$, $T_A=25^\circ C$, CLKin 差分驱动, 输入压摆率 $\geq 3V/ns$.)

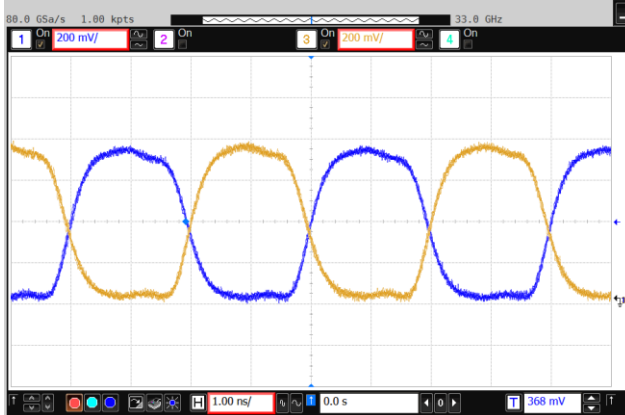


图 10, 250MHz 时 HCSL 输出摆幅

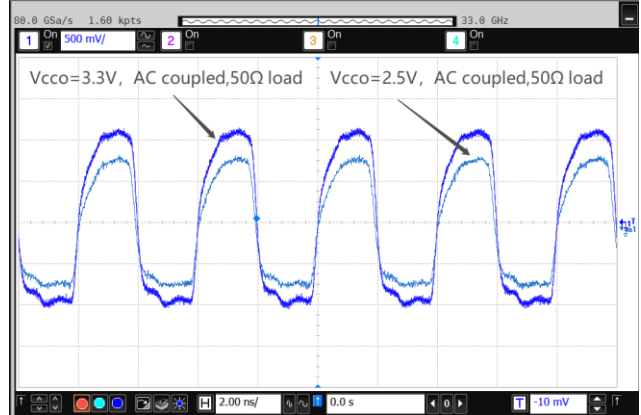


图 11, 250MHz 时 LVCMOS 输出摆幅

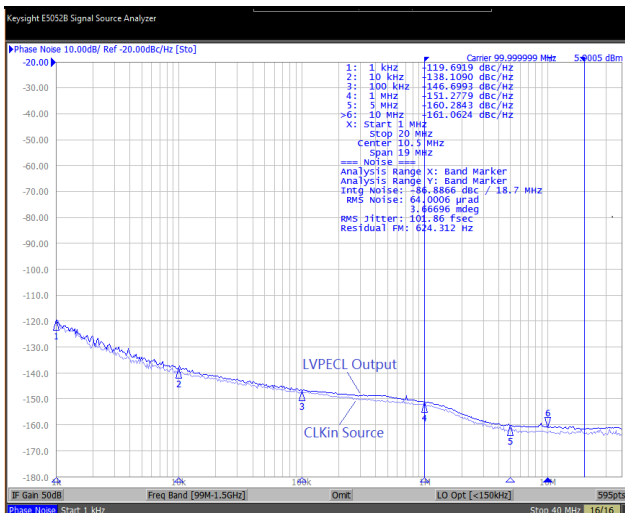


图 12, 100MHz 时 LVPECL 相位噪声

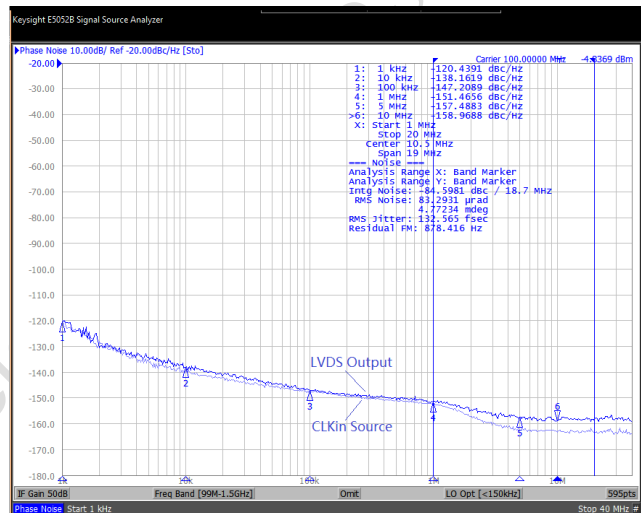


图 13, 100MHz 时 LVDS 相位噪声

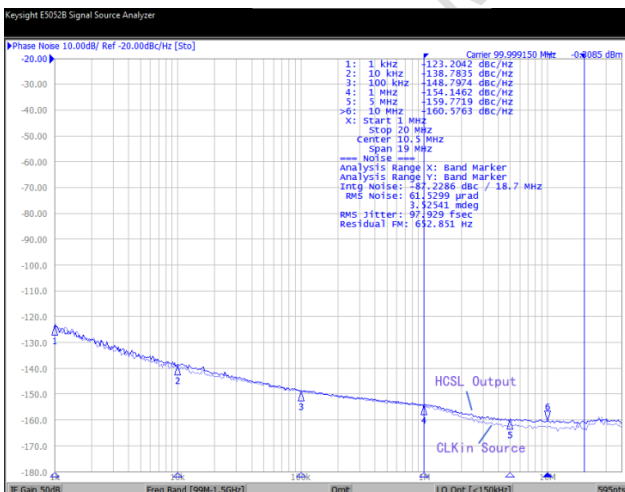


图 14, 100MHz 时 HCSL 相位噪声

测量定义

■ 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，在阅读数据表或与其他工程师交流时会造成混淆。本节将讨论差分信号的测量和描述，以便读者在使用时能够理解和辨别两种不同的定义。

用于描述差分信号的第一个定义是反相信号和同相信号两者之间的电压电位的绝对值。第一个测量的符号通常为 V_{ID} 或 V_{OD} ，具体取决于描述的是输入电压还是输出电压。

用于描述差分信号的第二个定义是测量同相信号相对于反相信号的电位差。第二次测量的符号是 V_{SS} 且是一个计算参数。该信号在芯片中的任何地方相对地而言都不存在，它仅存在于其参考差分对。 V_{SS} 可以通过带有浮动参考的示波器直接测量，否则，该值可以计算为 V_{OD} 值的两倍，如第一节所述。

图 15 并排说明了两种不同的输入定义，图 16 并排说明了两种不同的输出定义。 V_{ID} （或 V_{OD} ）定义显示了同相和反相信号相对于地之间相互切换的直流电平 V_{IH} 和 V_{IL} （或 V_{OH} 和 V_{OL} ）。 V_{SS} 输入和输出定义表明，如果将反相信号视为电压电位参考，则同相信号电压电位现在高于和低于反相参考电压时增加和减小。因此可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常以伏特 (V) 定义，而 V_{SS} 通常以电压峰峰值 (V_{PP}) 定义。

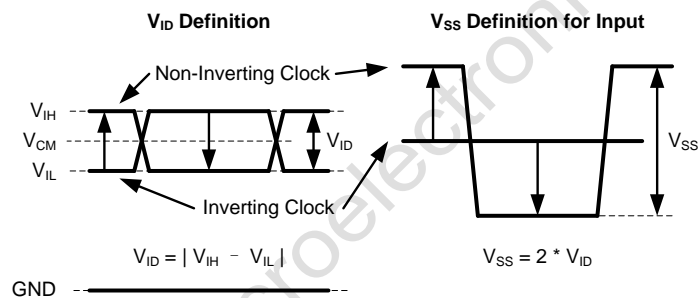


图 15，差分输入信号的两种不同定义

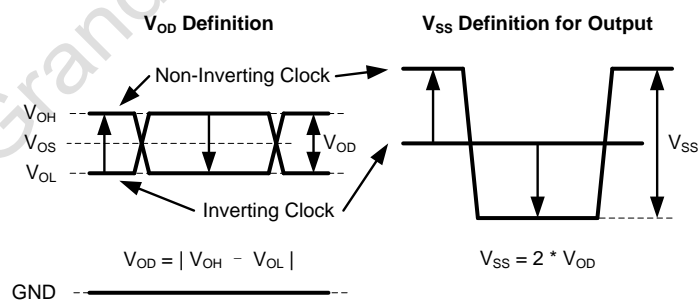


图 16，差分输出信号的两种不同定义

功能说明

■ 概述

GM50301 是一款 10 路输出差分时钟扇出缓冲器，具有超低附加抖动，可在高达 2.5GHz 的频率下工作。它具有一个 3:1 输入多路复用器和一个可选的晶体振荡器输入、两组 5 路差分输出缓冲器具有多种模式（LVPECL、LVDS、HCSL 或 Hi-Z）、1 个 LVCMOS 输出和 3 个独立的输出缓冲器电源。输入选择和输出缓冲模式通过引脚进行控制。该器件提供一个 48 引脚 QFN 封装形式。

■ 功能框图

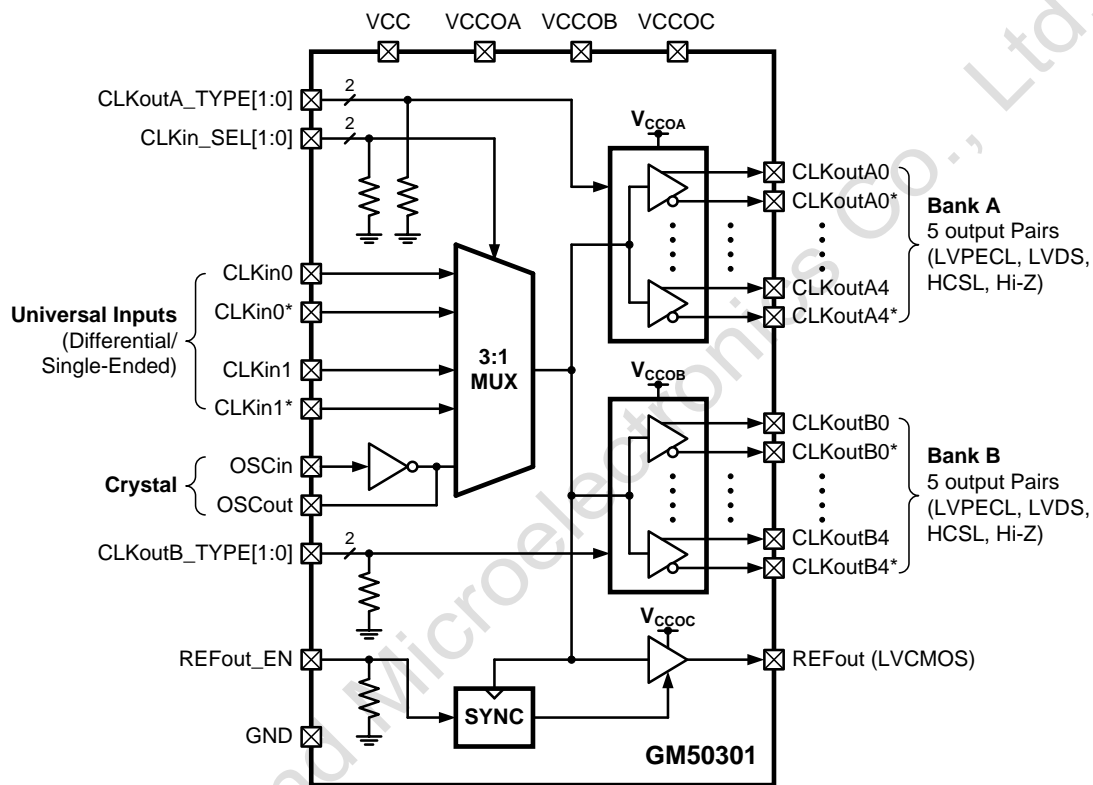


图 17, 功能框图

■ Vcc 和 Vcco 电源

GM50301 具有独立的 3.3V 内核电源 (V_{CC}) 和 3 个独立的 3.3V 或 2.5V 输出电源 (V_{CCOA} , V_{CCOB} 和 V_{CCOC}) 电源。2.5V 输出电源操作可降低功耗且输出电平可与 2.5V 接收器设备相兼容。LVPECL (V_{OH} , V_{OL}) 和 LVCMOS (V_{OH}) 的输出电平参考其各自的 VCCO 电源, 而 LVDS 和 HCSL 的输出电平在指定的 VCCO 范围内相对恒定。请参阅 [电源建议](#) 对于其他与电源相关的考虑, 例如电源旁路和电源纹波抑制 (PSRR)。

注意:

应注意确保 V_{CCO} 电压不超过 V_{CC} 电压, 以防止内部 ESD 保护电路导通。不要断开或接地任何 V_{CCO} 引脚, 因为 V_{CCO} 的引脚在输出组内部连接。

■ 时钟输入

GM50301 具有 3 个不同的输入，CLKin0/CLKin0*、CLKin1/CLKin1*和 OSCin，可以用不同方式驱动，如下节所述。

时钟输入的选择

时钟输入选择由 CLKin_SEL0 和 CLKin_SEL1 引脚控制，如表 1 所示。有关时钟输入要求，请参阅 [驱动时钟输入](#)。当 CLKin0 或 CLKin1 被选中时，晶体振荡器电路将被关断。当选择 OSCIN 时，晶体振荡器将启动，其时钟将分布到所有输出中。有关详细信息，请参阅 [晶体接口](#)。此外，OSCin 也可以由高达 250MHz 的单端时钟驱动，用以替代晶体。

表 1，输入选择

CLKin_SEL1	CLKin_SEL0	选定的输入
0	0	CLKin0, CLKin0*
0	1	CLKin1, CLKin1*
1	X	OSCin (晶体模式)

CLKin/CLKin*引脚

GM50301 有两个差分输入（CLKin0/CLKin0*和 CLKin1/CLKin1*），可以单端或差分驱动。它们可以接受交流或直流耦合的 3.3V 的 LVPECL、LVDS 或其他满足 [电气特性^{\(1\)}](#) 中“CLKin0/0*和 CLKin1/1*输入时钟规范”输入要求的差分 and 单端信号。有关驱动 GM50301 输入的更多详细信息，请参阅 [驱动时钟输入](#)。

注意：

1) 当使用 V_{CM} 超出指定 V_{ID} 可接受范围的差分信号时，时钟必须是交流耦合的。

如果未选择晶体模式且 CLKin 引脚上没有施加任何交流信号，则下表 2 将是输出状态。

表 2，CLKinX/CLKinX*输入与输出状态

时钟输入	时钟输入*	输出状态
断开	断开	逻辑低
逻辑低	逻辑低	逻辑低
逻辑高	逻辑低	逻辑高
逻辑低	逻辑高	逻辑低

OSCin/OSCout 引脚

当 OSCin 被选中时，GM50301 内部的晶体振荡器将启动。此外，OSCin 也可以由高达 250MHz 的单端时钟驱动，用于替代晶体。有关详细信息，请参阅 [晶体接口](#)。如果选择了晶体模式且引脚上没有施加任何交流信号，则表 3 将是输出状态。如果选择了晶体模式，则 OSCin 引脚上不允许处于断开状态，因为输出可能会因晶体振荡器电路而振荡。

表 3，OSCin 输入与输出状态

OSCin	输出状态
断开	不允许
逻辑低	逻辑高
逻辑高	逻辑低

■ 时钟输出

A 组和 B 组输出的差分输出缓冲器类型可以使用 CLKoutA_TYPE[1:0]和 CLKoutB_TYPE[1:0]输入分别配置，如表 4 所示。对于不需要所有差分输出的应用程序，任何未使用的输出引脚都应悬置，并使用最少的铜线长度（见下面的注释），以尽量减少电容和潜在耦合并降低功耗。如果将不会使用整个输出组，建议禁用（Hi-Z）该组以降低功率。参考 [时钟驱动器的端接和使用](#) 有关输出接口和端接技巧的更多信息。

注意：

为获得最佳焊接实践，任何未使用的输出引脚的最小走线长度应扩展到包括引脚阻焊层。这样在回流焊过程中，焊料与连接引脚具有相同的铜面积。这形成良好、均匀的圆角焊点有助于回流期间保持 IC 水平。

表 4，差分输出缓冲器类型选择

CLKoutX_TYPE1	CLKoutX_TYPE0	CLKoutX 缓冲器类型 (A 组或 B 组)
逻辑低	逻辑低	LVPECL
逻辑低	逻辑高	LVDS
逻辑高	逻辑低	HCSL
逻辑高	逻辑高	禁用 (Hi-Z)

参考输出

参考输出（REFout）提供所选输入时钟的 LVCMOS 副本。LVCMOS 输出的高电平以 V_{CC0} 电压为参考。REFout 可以使用启用输入引脚 REFout_EN 启用或禁用，如表 5 所示。

表 5，参考输出使能

REFout_EN	REFout 状态
逻辑低	禁用 (Hi-Z)
逻辑高	启用

REFout_EN 输入通过 SYNC 模块在内部与选定的输入时钟同步。这个同步功能可防止 REFout 上出现毛刺和短脉冲当 REFout 启用或被禁用时。REFout_EN 切换为高电平后，REFout 将在输入时钟的 3 个周期 (t_{EN}) 内被启用。当 REFout_EN 切换为低电平后，REFout 将在输入时钟的 3 个周期 (t_{DIS}) 内被禁用。禁用 REFout 时，可使用电阻负载将输出设置为预定电平。例如，如果 REFout 配置有 1K Ω 负载接地，则输出将被拉低禁用。

使用少于 10 个输出

虽然 GM50301 有 10 个输出，但并非所有应用都需要所有这些。在这种情况下，未使用的输出应保持悬置，并使用最短的铜线长度以最小化电容。这样，该输出将消耗最小的输出电流，因为它没有负载。

应用信息

■ 驱动时钟输入

GM50301 有两个差分输入 (CLKin0/CLKin0* 和 CLKin1/CLKin1*)，可以接受交流或直流耦合 3.3V 或 2.5V 的 LVPECL、LVDS、CML、SSTL 和其他满足 [电气特性](#) 中规定的输入要求的差分 and 单端信号。由于其宽输入共模电压范围 (V_{CM}) 和输入电压摆幅 (V_{ID})，该器件可以接受宽范围的信号。对于 50% 占空比和直流平衡信号，交流耦合也可用于将输入信号转换到 V_{CM} 范围内。有关信号接口和端接技术，请参阅 [时钟驱动器的端接和使用](#)。

为实现最佳相位噪声和抖动性能，建议输入具有 3V/ns 的高压摆率 (差分) 或更高。以较高的压摆率驱动输入会降低噪声和抖动。出于这个原因，建议使用差分输入信号而不是单端信号，因为它通常提供更高的压摆率和共模噪声抑制。

虽然建议使用差分信号输入去驱动 CLKin/CLKin* 对。当 [电气特性](#) 中列出的 CLKin 引脚的单端输入规范符合时，则可以使用单端时钟驱动它。对于大的单端输入信号，例如 3.3V 或 2.5V LVCMOS，应在输入附近放置一个 50Ω 负载电阻，用于信号衰减以防止输入过驱动以及用于线路端接以最大程度地减少反射。CLKin 输入具有大约 1.4V 的内部偏置电压，因此输入可以进行交流耦合，如图 18 所示。LVCMOS 驱动器的输出阻抗加上 R_s 应为 50Ω，以匹配传输线和负载终端的特性阻抗。

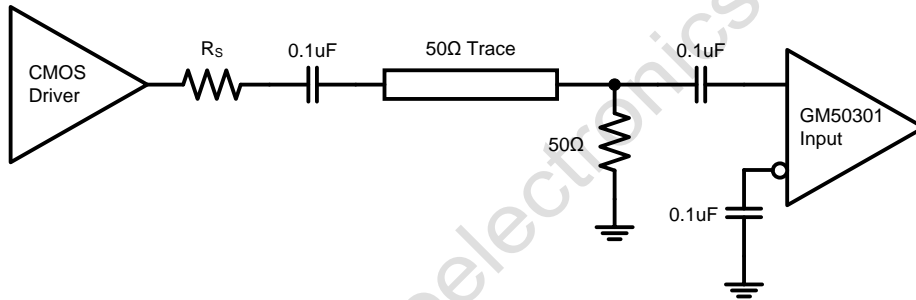


图 18，首选配置：单端 LVCMOS 输入，交流耦合，近端和远端端接

单端时钟也可以直流耦合到 CLKinX，如图 19 所示。应在 CLKinX 输入附近放置一个 50Ω 负载电阻，用于信号衰减和线路端接。因为一半的单端摆动驱动器 ($V_{O,PP}/2$) 驱动 CLKinX，CLKinX* 应外部偏置到衰减输入摆幅的中点电压 ($(V_{O,PP}/2) \times 0.5$)。外部偏置电压应在规定的输入公共电压 (V_{CM}) 范围内。这可以通过使用 kΩ 范围内的外部偏置电阻 (R_{B1} 和 R_{B2}) 或其他低噪声电压基准来实现。这将确保输入摆幅在输入摆率最高的点处于阈值电压以内。

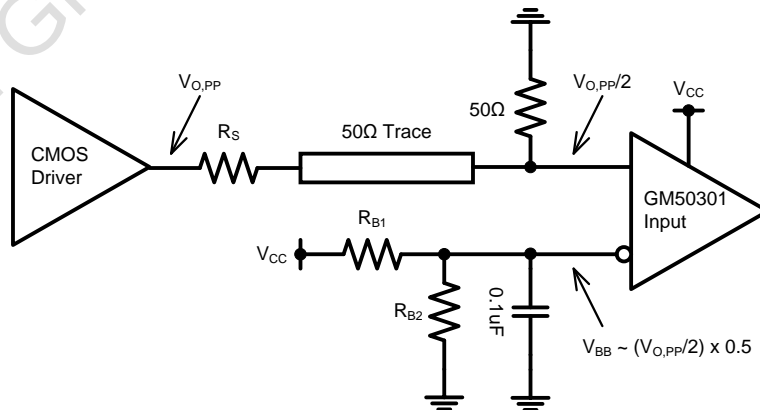


图 19，单端 LVCMOS 输入，直流耦合和共模偏置

如果不使用晶体电路，可以使用单端外部时钟驱动 OSCin 输入，如图 20 所示。输入时钟应交流耦合到 OSCin 引脚，该引脚内部产生输入偏置电压，并且 OSCout 引脚应保持悬置。虽然 OSCin 提供了一个可选的输入来复用外部时钟，还是建议使用任一差分输入（CLKinX），因为它提供更高的工作频率，更好的共模，改进的电源噪声抑制并在电源电压和温度变化时具有更高的性能。

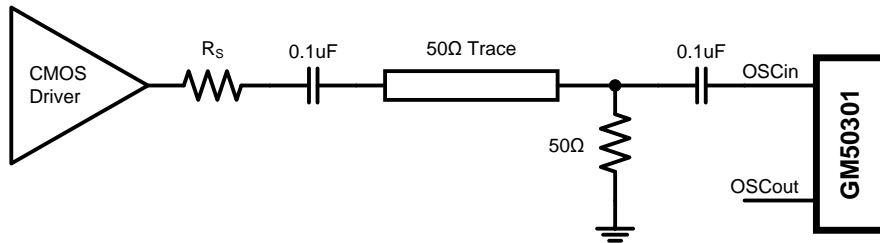


图 20，使用单端外部时钟驱动 OSCin

■ 晶体接口

GM50301 有一个集成的晶体振荡器电路，支持无源晶体。晶体接口如图 21 所示。

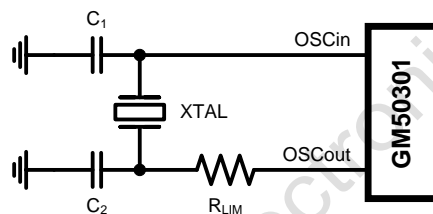


图 21，晶体接口

负载电容 (C_L) 取决于晶体，但通常在 18 到 20pF 的数量级。虽然 C_L 是为晶体指定的，但器件的 OSCin 输入电容 ($C_{IN} = 1\text{pF}$ 典型值) 和 PCB 杂散电容 ($C_{STRAY} \sim 1$ 至 3pF) 会影响分立负载电容值 C_1 和 C_2 。对于并联谐振电路，分立电容值可以计算如下：

$$C_L = (C_1 * C_2) / (C_1 + C_2) + C_{IN} + C_{STARY} \dots\dots\dots (1)$$

通常， $C_1 = C_2$ 以获得最佳对称性，因此等式 1 可以仅根据 C_1 重写：

$$C_L = (C_1^2) / (2 * C_1) + C_{IN} + C_{STARY} \dots\dots\dots (2)$$

最后，求解 C_1 ：

$$C_1 = (C_L - C_{IN} - C_{STARY}) * 2 \dots\dots\dots (3)$$

电气特性提供了晶体接口规范以及确保晶体启动的条件，但它没有指定晶体功耗。设计人员需要确保晶体功耗不超过晶体制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频移和最终故障。驱动电平应保持在启动和维持稳态运行所需的足够电平。

晶体的功耗 P_{XTAL} ，可以通过以下方式计算：

$$P_{XTAL} = I_{RMS}^2 * R_{ESR} * (1 + C_0 / C_L)^2 \dots\dots\dots (4)$$

这里：

- I_{RMS} 是通过晶体的 RMS 电流。
- R_{ESR} 是为晶体指定的最大等效串联电阻。
- C_L 是为晶体指定的负载电容。
- C_0 是为晶体指定的最小并联电容。

I_{RMS} 可以使用电流探头（例如泰克 CT-6 或同等产品）测量，该探头放置在连接到 OSCout 且振荡电路处于活动状态的晶体引脚上。

如图 21 所示，如有必要，可以使用外部电阻 R_{LIM} 来限制晶体驱动电平。如果所选晶体的功耗高于 R_{LIM} 短路时为晶体指定的驱动电平，则必须使用更大的电阻值以避免晶体过驱动。但是，如果晶体中的功耗小于 R_{LIM} 短路时的驱动电平，则可以使用 R_{LIM} 的零值。作为起点， R_{LIM} 的建议值为 $1.5k\Omega$ 。

■ 时钟驱动器的端接和使用

在端接时钟驱动器时，请牢记以下指南以获得最佳相位噪声和抖动性能：

- 应遵循传输线理论以获得良好的阻抗匹配以防止反射。
- 时钟驱动器应具有适当的负载。
 - LVDS 输出是电流驱动器，需要闭合电流环路。
 - HCSL 驱动器是开关电流输出，需要通过 50Ω 端接的直流路径接地。
 - LVPECL 输出为开路发射极，需要直接地路径。
- 为了正常运作，接收器应提供偏置到其指定直流偏置电平（共模电压）的信号。一些接收器具有自动偏置到适当电压的自偏置输入；在这种情况下，信号通常应该是交流耦合的。

只要满足上述条件，就可以使用 LVDS 或 LVPECL 驱动器驱动非 LVPECL 或非 LVDS 接收器遵循指导方针。检查接收器的数据表或被驱动的输入以确定最佳端接和耦合方法，以确保接收器偏置在最佳直流电压（共模电压）。

直流耦合差分操作的端接

对于 LVDS 驱动器的直流耦合操作，端接 100Ω ，尽可能靠近 LVDS 接收器，如图 22 所示。

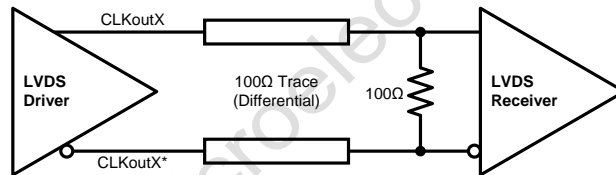


图 22，差分 LVDS 操作，直流耦合，接收器无偏置

对于 HCSL 驱动器的直流耦合操作，在驱动器输出附近以 50Ω 对地端接，如图所示在图 23。由于快速瞬态电流，串联电阻 R_S 可用于限制过冲。因为 HCSL 驱动器需要一个接地的直流路径，输出驱动器和输出驱动器之间不允许交流耦合 50Ω 终端电阻。

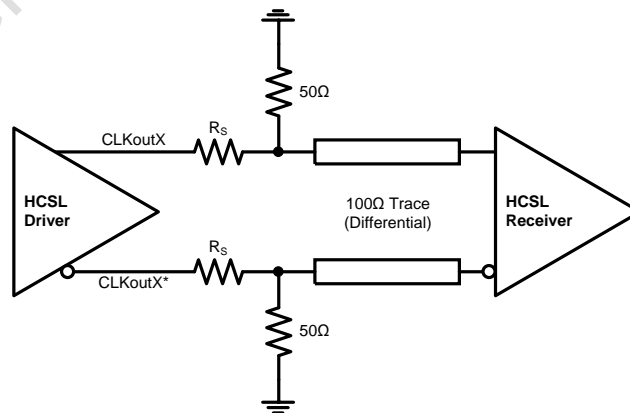


图 23，差分 HCSL 操作，直流耦合

对于 LVPECL 驱动器的直流耦合操作，以 50Ω 端接至 $V_{CC0} - 2V$ ，如图 24 所示。或者采用戴维南等效电路进行端接，如图 25 所示用于 $V_{CC0} = 3.3V$ 和 $2.5V$ 。在戴维南等效电路中，电阻分压器设置输出端接电压 (V_{TT}) 等于 $V_{CC0} - 2V$ 。

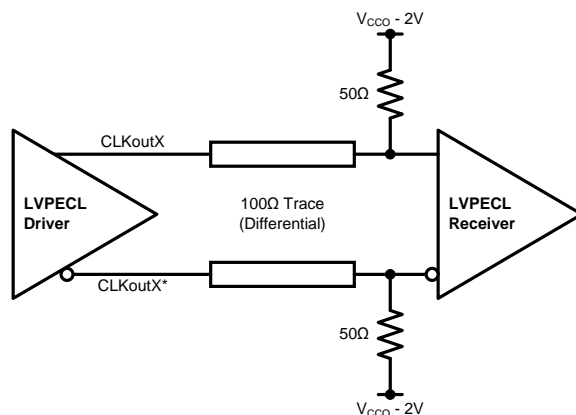


图 24, 差分 LVPECL 操作, 直流耦合

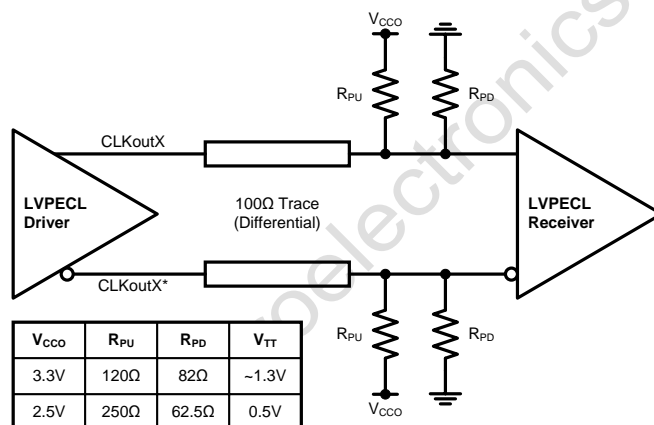


图 25, 差分 LVPECL 操作, 直流耦合, 戴维南等效

对于 LVPECL 驱动器的直流耦合操作，测试 V_{CC0} 电流时，以 50Ω 端接至 $V_{CC0} - 2V$ ，其中“ $V_{CC0} - 2V$ ”是由电子负载提供，采用 CV（恒压）模式。测试 V_{CC0} 值不包含电子负载 CV 模式消耗的电流。

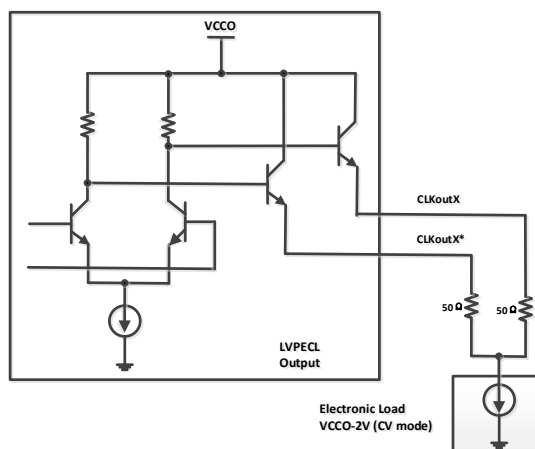


图 26, 差分 LVPECL 操作, 直流耦合, V_{CC0} 电流测试图

交流耦合差分操作的端接

交流耦合允许在驱动不同的接收器时改变直流偏置电平（共模电压）标准。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此确保接收器偏置到其理想的直流电平是很重要的。

当使用 LVDS 驱动器驱动差分接收器时，信号可以通过添加直流阻断电容器来进行交流耦合；然而，驱动端和接收端都需要建立适当的直流偏置点。推荐的端接方案取决于差分接收器是否集成了终端电阻。

当驱动没有内部 100Ω 差分终端的差分接收器时，交流耦合电容应放置在负载端接电阻器和接收器之间，以允许直流路径正确偏置 LVDS 驱动器。这如图 27 所示。负载终端电阻和交流耦合电容应放置在尽可能靠近接收器输入，以尽量减少短截线长度。接收器可以在内部或外部偏置到通过千欧范围内的电阻器连接到接收器共模输入范围内的参考电压。

当驱动具有内部 100Ω 差分终端的差分接收器时，源端接电阻应放置在交流耦合电容器之前，以便为驱动器提供适当的直流偏置，如图 28 所示。然而，在源极和负载端（即双端接）使用 100Ω 电阻时，LVDS 驱动器看到的等效电阻为 50Ω，这导致输入端的有效信号摆幅减少一半。如果一个自端接的接收器需要大于 250mV_{PP}（差分）的输入摆幅与交流耦合到其输入的一样，那么采用图 27 的双端接布置的 LVDS 驱动器可能达不到最低输入摆幅要求；

当 LVDS 输出采用交流耦合时，可能会在时钟输出中观察到启动延迟，这是由于电容充电。图 27 和图 28 中的示例使用 0.1μF 电容，但这个值可能会被调整以满足特定应用程序的启动要求。

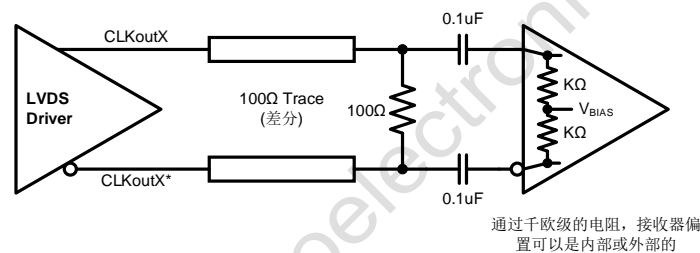


图 27，差分 LVDS 操作，交流耦合到接收器，没有内部 100Ω 端接

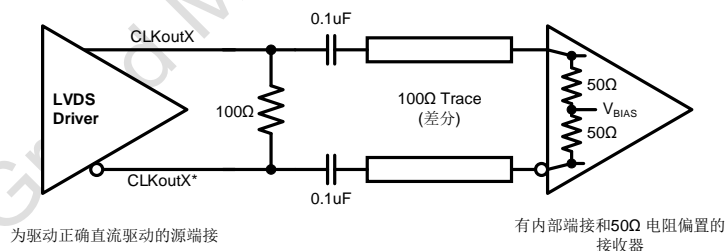


图 28，差分 LVDS 操作，交流耦合到具有内部 100Ω 端接的接收器

LVPECL 驱动器需要直流接地路径。当交流耦合 LVPECL 信号时，使用 160Ω 发射极电阻（或 91Ω，对于 $V_{CC0} = 2.5V$ ）靠近 LVPECL 驱动器，以提供接地的直流路径，如图 29 所示。为了正确的接收器操作，信号应偏置到由接收器指定的直流偏置电平（共模电压）。LVPECL 接收器的典型直流偏置电压（共模电压）为 2.0V。或者，采用戴维南等效电路形成有效端接，如图 29 所示，对于 $V_{CC0} = 3.3V$ 和 2.5V。

注意：

这个戴维南电路不同于图 25 中的直流耦合示例，因为分压器设置了接收器的输入共模电压。

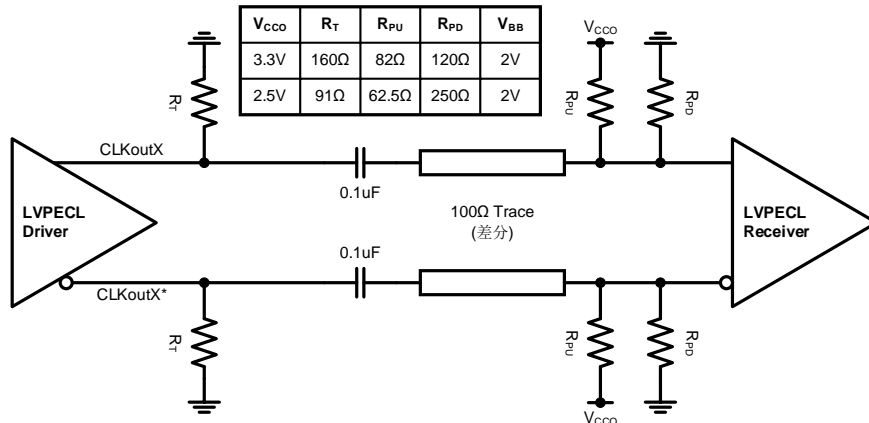


图 29, 差分 LVPECL 操作, 交流耦合, 戴维南等效

单端操作的端接

巴伦可与 LVDS 或 LVPECL 驱动器一起使用, 将平衡的差分信号转换为不平衡的单端信号。可以将 LVPECL 驱动器用作一个或两个独立的 800mV_{PP} 信号。当直流耦合 GM50301 的 LVPECL 驱动器的一个 CLKoutX/CLKoutX* 驱动对时, 请务必正确端接未使用的驱动。当直流耦合 GM50301 的 LVPECL 驱动器时, 应当端接 50Ω 至 (V_{CC0} - 2V), 如图 30 所示。当 V_{CC0} = 3.3V 时, 如图 31 所示的戴维南等效电路也是一个有效的端接。

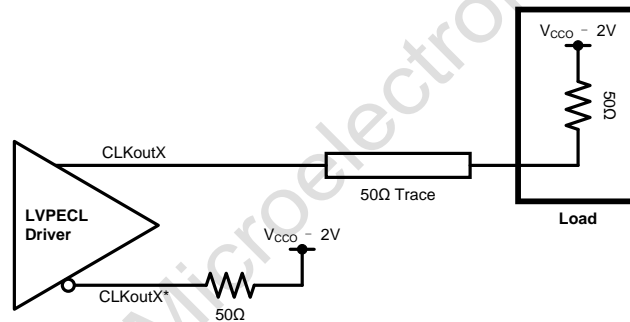


图 30, 单端 LVPECL 操作, 直流耦合

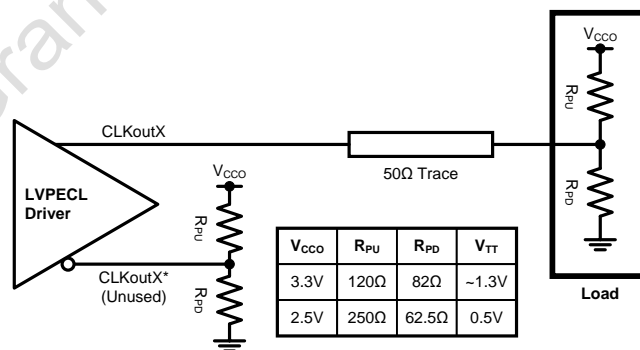


图 31, 单端 LVPECL 操作, 直流耦合, 戴维南等效

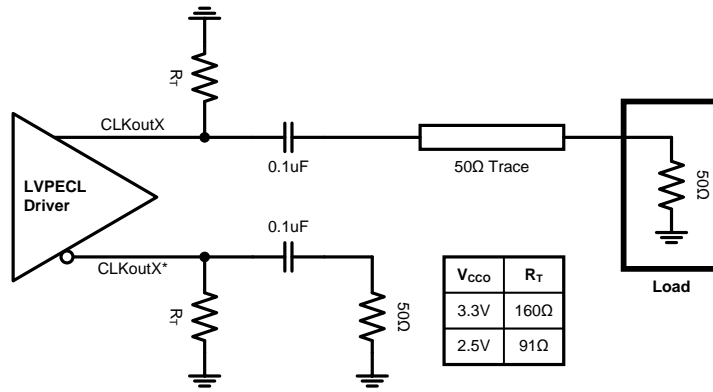


图 32, 单端 LVPECL 操作, 交流耦合

当交流耦合 LVPECL 驱动器时, 使用 160Ω 发射极电阻器 (或 91Ω 当 V_{cco} = 2.5V 时) 提供直流接地路径, 并确保 50Ω 端接并具有适当的接收器直流偏置电平。典型的直流偏置 LVPECL 接收器的电压为 2V。如果未使用配套驱动, 则应使用以下任一方式端接通过适当的交流或直流耦合。后一种交流耦合单端 LVPECL 信号的示例可用于使用频谱分析仪或相位噪声分析仪测量单端 LVPECL 性能。当使用大多数射频测试设备时, 没有直流偏置点 (0V DC) 是安全和正确操作所必需的。内部 50Ω 端接测试设备正确端接正在测量的 LVPECL 驱动器, 如图 32 所示。当仅使用 CLKoutX/CLKoutX* 对中的一个 LVPECL 驱动器时, 请务必正确端接未使用的驱动。

■ 电源建议

电源旁路

VCC 和 VCCO 电源应有一个高频旁路电容, 如 0.1uF 或 0.01uF, 放置在非常靠近每个电源引脚。1uF 至 10uF 去耦电容也应放置在靠近电源和地之间的设备。所有的旁路和去耦电容都应该短连接通过短走线或过孔连接到电源和接地层, 以最大限度地减少串联电感。

电源纹波抑制 (PSRR)

在实际系统应用中, 电源噪声 (纹波) 可能由开关电源、数字 ASIC 或 FPGA 产生等。虽然电源旁路有助于滤除部分噪声, 但了解电源纹波对器件性能的影响非常重要。当单音正弦信号加到时钟分配器 (如 GM50301) 的电源时, 它可以在时钟输出 (载波) 上产生窄带相位调制和幅度调制。在单边带相位噪声频谱中, 纹波引起的相位调制显示为相对于载波的相位杂散电平 (以 dBc 为单位)。

对于 GM50301, 电源纹波抑制 (PSRR), 测量为当纹波信号注入到 VCCO 电源时, 调制到时钟输出的单边带相位杂散电平 (以 dBc 为单位)。电源纹波抑制测试设置如图 33 所示。

使用信号发生器将正弦信号注入待测器件 (DUT) 板的 V_{cco} 电源, 并在器件的 VCCO 引脚处测量峰峰值纹波幅度。限幅放大器用于消除差分输出时钟上的幅度调制, 并将其转换为相位噪声分析仪的单端信号。在以下电源纹波条件下, 对 100MHz 时钟频率进行相位杂散电平测量:

- 纹波幅度: 100mV_{PP} 在 V_{cco} = 2.5V 之上
- 纹波频率: 100kHz

假设没有幅度调制效应和小指数调制, 峰峰值确定性抖动 (DJ) 可以被计算使用测量的单边带相位杂散电平 (PSRR) 如下:

$$DJ \text{ (ps, pk-pk)} = [(2 * 10^{(PSRR/20)}) / (\pi * f_{CLK})] * 10^{12} \dots\dots\dots (5)$$

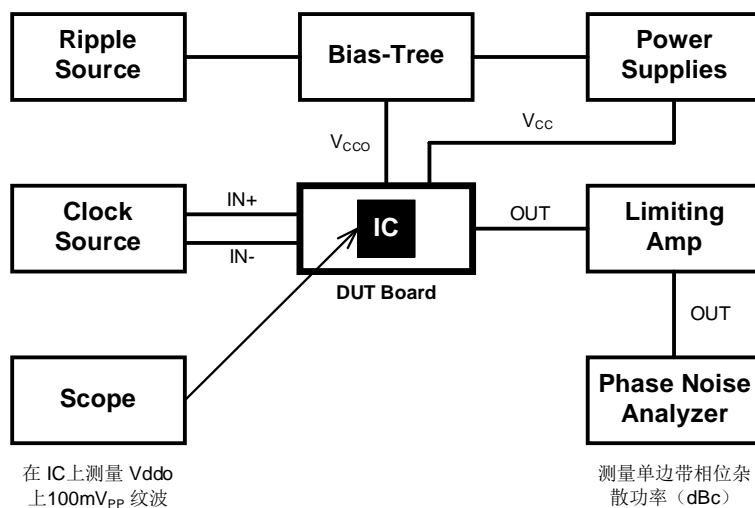
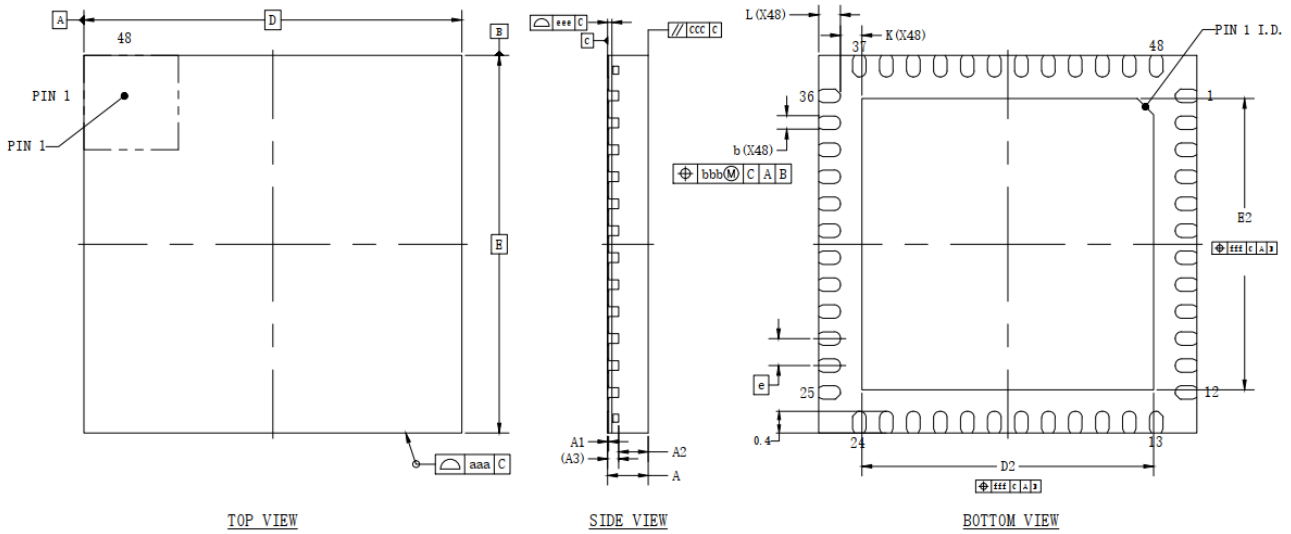


图 33, PSRR 测试设置

封装外形 (QFN48-7.0x7.0x0.75, 散热底座尺寸: 5.4x5.4,)

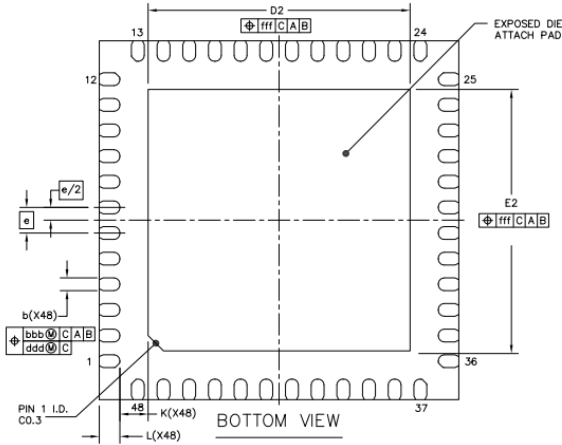
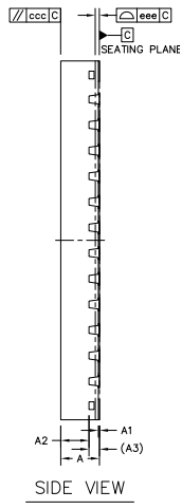
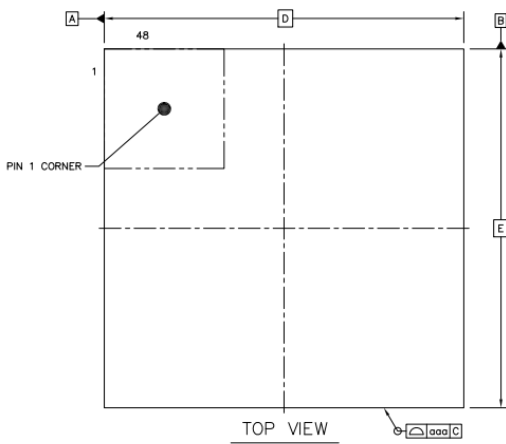
(单位: 毫米)



Item	Symbol	Minimum	Normal	Maximum
Body Size	X	D	7.0 BSC	
	Y	E	7.0 BSC	
Exposed Pad Size	X	p2	5.30	5.40 5.50
	Y	g2	5.30	5.40 5.50
Total Thickness	A	0.70	0.75	0.80
Stand Off	A1	0	0.02	0.05
Molding Thickness	A2		0.55	
LF Thickness	A3		0.203 REF	
Lead Width	b	0.20	0.25	0.30
Lead Length	L	0.35	0.40	0.45
Lead Pitch	e		0.50 BSC	
Lead tip to Exposed Pad	K		0.40 REF	
Package Edge Tolerance	aaa		0.10	
Lead Offset	bbb		0.10	
Molding Flatness	ccc		0.10	
Coplanarity	eee		0.08	
Exposed Pad Offset	fff		0.10	

封装外形 (QFN48-7.0x7.0x0.75, 散热底座尺寸: 5.1x5.1,)

(单位: 毫米)



	SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS	A	0.7	0.75	0.8
STAND OFF	A1	0	0.02	0.05
MOLD THICKNESS	A2	---	0.55	---
L/F THICKNESS	A3	0.203 REF		
LEAD WIDTH	b	0.2	0.25	0.3
BODY SIZE	X	D		
	Y	E		
LEAD PITCH	X	7 BSC		
	Y	7 BSC		
EP SIZE	X	5	5.1	5.2
	Y	5	5.1	5.2
LEAD LENGTH	L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE	K	0.55 REF		
PACKAGE EDGE TOLERANCE	aaa	0.1		
MOLD FLATNESS	ccc	0.1		
COPLANARITY	eee	0.08		
LEAD OFFSET	bbb	0.1		
	ddd	0.05		
EXPOSED PAD OFFSET	fff	0.1		

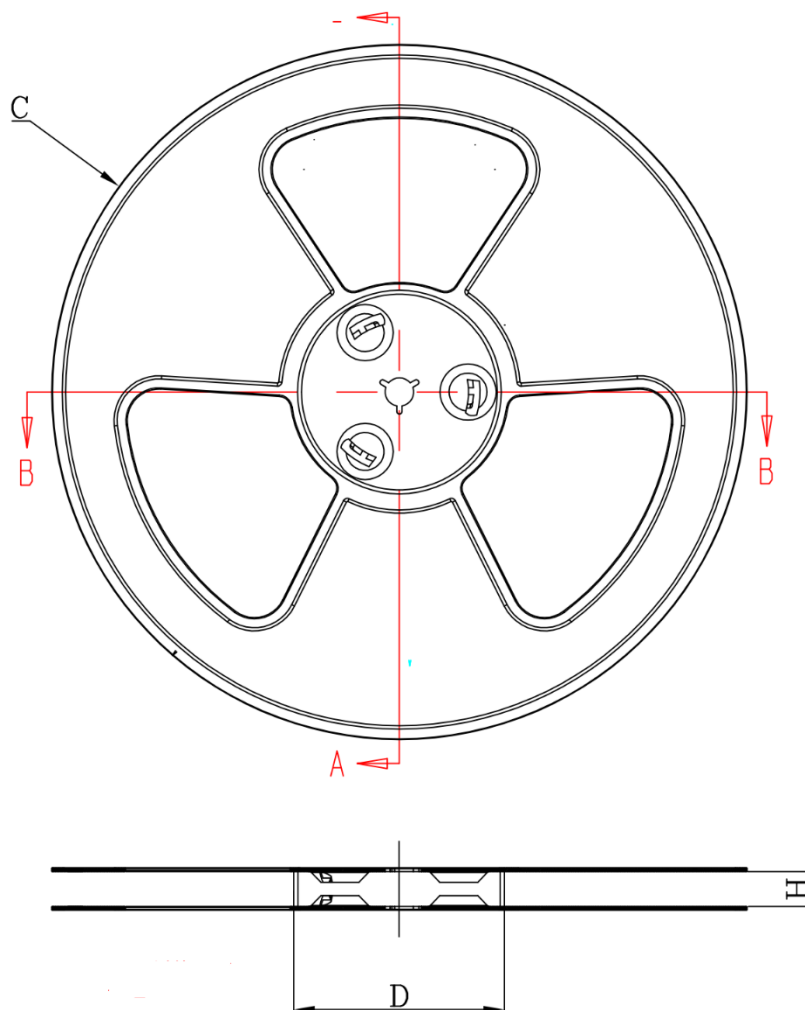
Notes:
 1. Refer To JEDEC MO-220.
 2. Coplanarity Applies To Leads, Corner Leads And Die Attach Pad.
 3. Finish: Cu/EP-Sn.

Wuxi Grand Micro

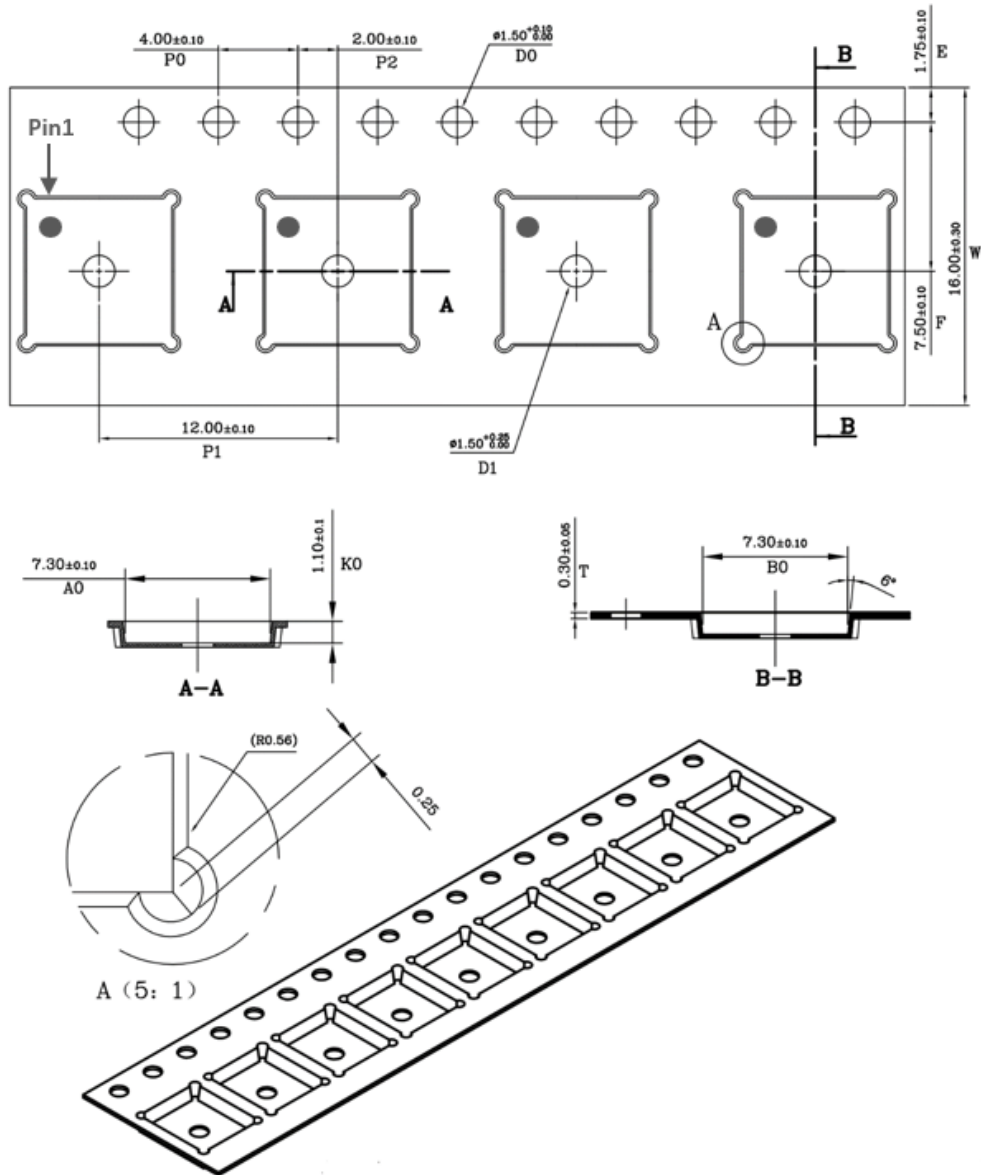
卷盘和卷带信息 (单位: 毫米)

卷盘信息



尺寸规格 (UNIT:mm)								
项目	H	D	C					
标准	16.50 \pm 0.4	ϕ 100 \pm 2.0	ϕ 330 \pm 1.0					



卷带信息



产品订购信息

器件编号	产品丝印	工作温度范围	封装信息	湿敏等级	包装方法
GM50301QNG	 GM50301QNG XXXXXXXX ⁽¹⁾ YYWW ⁽²⁾ ZZ ⁽³⁾	-40°C 至 +85°C	QFN48- 7.0x7.0x0.75 (散热底座尺 寸: 5.4x5.4)	MSL-3	卷带和卷盘 (每卷 3000 只)
GM50301QNEG	 GM50301QNEG XXXXXXXX ⁽¹⁾ YYWW ⁽²⁾ ZZ ⁽³⁾	-40°C 至 +85°C	QFN48- 7.0x7.0x0.75 (散热底座尺 寸: 5.1x5.1)	MSL-3	卷带和卷盘 (每卷 3000 只)

注：（1）XXXXXXXX 表示批次号；（2）YY 表示年号，WW 表示周号；（3）ZZ 表示产地的信息；