

DATA SHEET

HD814253FB 互換MULTI2 デコーダ

No.	Date	Modification
1	00/07/04	First module tested on simulation level
2	00/08/01	Revised specification
3	00/09/11	Revised for HD814253FB compatible specification
4	01/01/22	Revised specification
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		

FPGA	FPGA	D-FFs	Macro Cells	Embedded RAM	Speed (MHZ)	Gates
Xilinx	XC2S100-5		941/1200	6 BLKRAM	~34	
Altera						

HIROTECH, INC

17-6 Minami Fujisawa

Fujisawa City, Kanagawa-Ken, Japan 251-0055

Phone: 81-467-28-1171

fax: 81-467-29-6820

HD814253FB 互換 MULTI2 デコーダ

ヒロテック株式会社

〒251-0055 神奈川県藤沢市南藤沢 1 7 - 6

フォーラムビル 6 F

電話：0466-28-1171 FAX:0466-29-6820

Email: mkurisu@hirotech.com

特長

- BS デジタル放送、CS デジタル放送対応、MULTI2 デコーダ
 - 1) トランスポートストリーム入力、トランスポートストリーム出力形式
 - 2) 8 ビットパラレル/シリアル入出力モード選択
 - 3) 188/204 バイト入出力
- 暗号化方式 :ISO9909/0009 MULTI2 準拠方式
- 暗号化利用モード :ISO/IEC 10116 : 1991(CBC/OFB モード)準拠方式
- システムキー : 256ビット、初期レジスターデータ :64 ビット
- PID レジスター対応本数 : 16
- 対応鍵数 : 偶数鍵 = 16、奇数鍵 = 16
- CPU インターフェイス 8 ビットバス (32 ビットに変更可)

PIN OUT

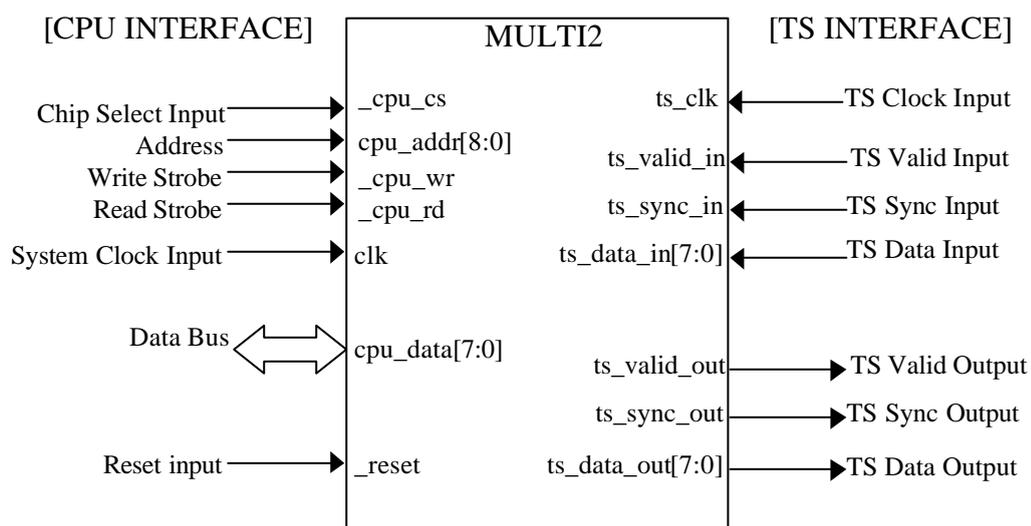


図 1 . HD814253FB 互換 MULTI2 モジュール

概略

MULTI2 デコーダはBS デジタル放送やCS デジタル放送から受信した暗号化されたトランスポートストリームのデータを解読し、トランスポートストリームとして出力するモジュールです。内部のブロック図を以下に記載します。

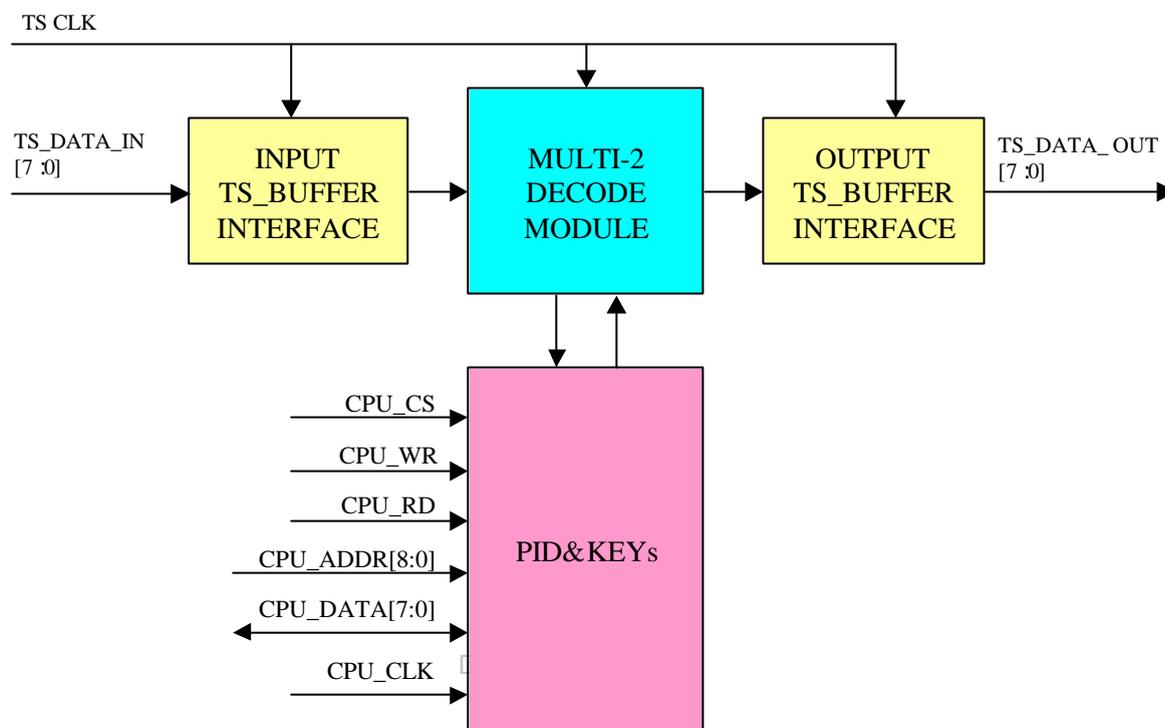


図2 . MULTI2 デコーダの内部ブロック

全てのPID、偶数キー、奇数キーにはFPGAの組み込みRAMが使われます。また、FFOにも組み込みRAMをベースにしたものが使われます。

ピン配置

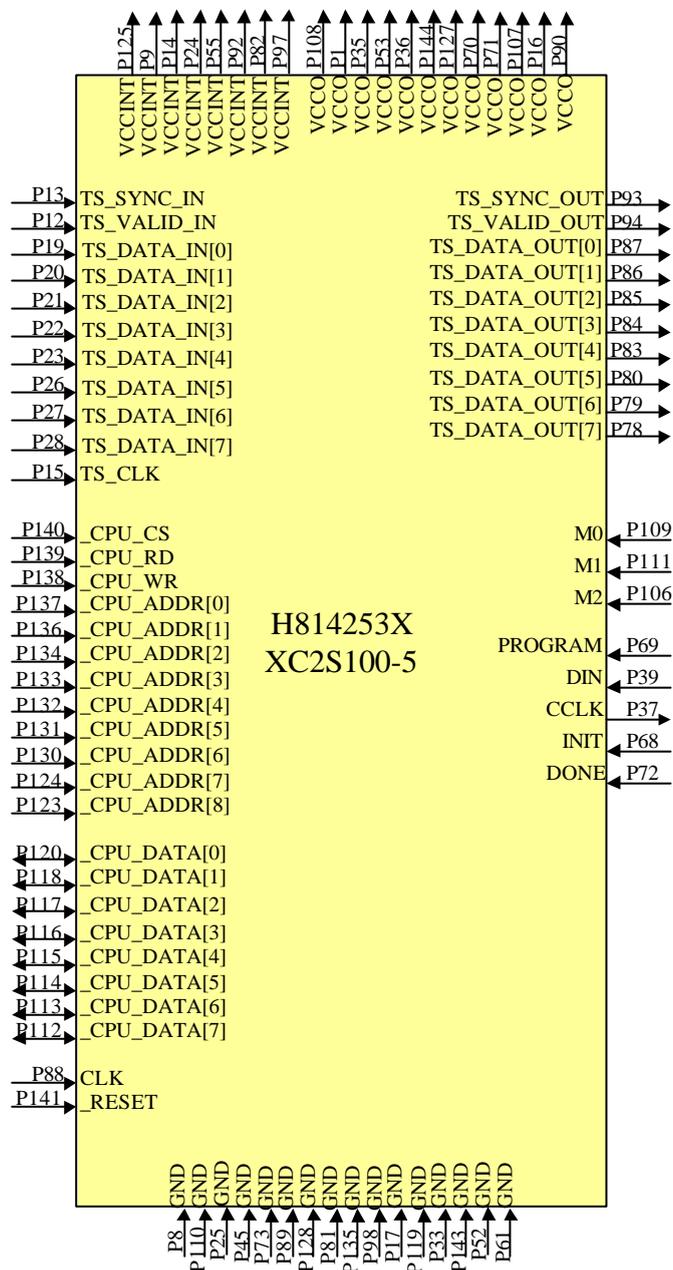
ピン名称	I/O	PORT	機能
clk	I	正極	システムクロック入力 (最大3.4MHz)
_reset	I	負極	システムリセット入力
cpu_data[7:0]	I/O	正極	入出力データバス
_cpu_cs	I	負極	チップセレクト入力
cpu_addr[8:0]	I	正極	アドレス入力
_cpu_wr	I	負極	書き込みストローク入力
_cpu_rd	I	負極	読み込みストローク入力

ts_clk	I	正極	TS クロック入力
ts_valid_in	I	正極	有効データストローク入力 (1:有効データ 0 無効データ)
ts_sync_in	I	正極	パケット同期信号入力
ts_data_in[7:0]	I	正極	パラレルデータ入力 ts_clk の立下りエッジでデータ取り込み

ts_valid_out	O	正極	有効データストローク出力 (1:有効データ 0 無効データ)
ts_sync_out	O	正極	パケット同期信号出力
ts_data_out[7:0]	O	正極	パラレルデータ出力 ts_clk の立ち上がりエッジでデータ出力

XILINXチップのピン配置

XC2S100-5 144 TQFPを使ったときの端子配列



et4U.com

DataSheet4U.com

インターフェイスタイミング

データライトタイミング

以下にCPU インターフェイスの為のタイミング波形を記載します。このFPGAはクロック同期で動作します。従って、書き込み制御信号が有効の場合、クロックの立ち上がりでデータが指定のレジスタに書き込まれます。

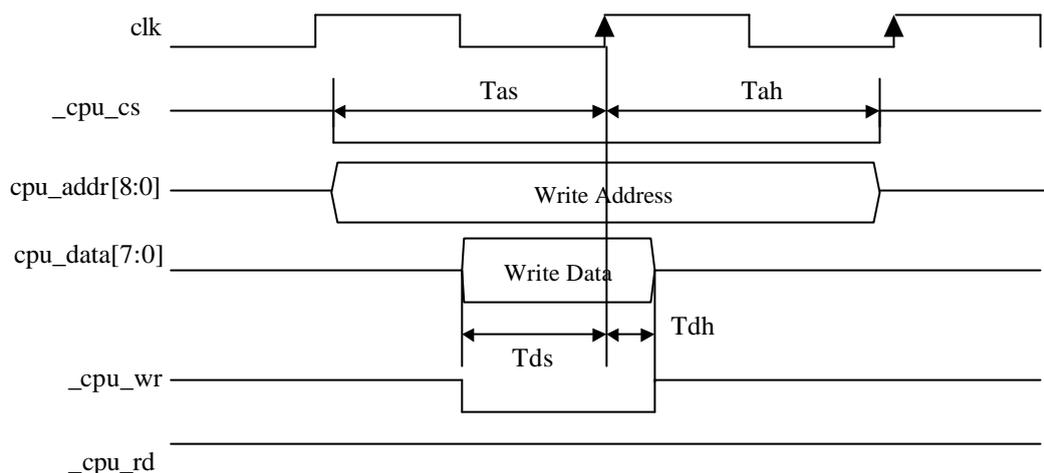


図3 - 1 CPU インターフェイスタイミング :データ書き込み

DataSheet4U.com

DataSheet4U.com

データリードタイミング

データの読み込みもクロック同期になります。MULT II の場合にはキーの書き込みが主体ですので、読み込みはあくまで、書き込みデータのチェックか、FPGA動作のチェックのために使います。読み込みアドレスはクロックでサンプルされ、その後で、読み出しデータが有効になります。

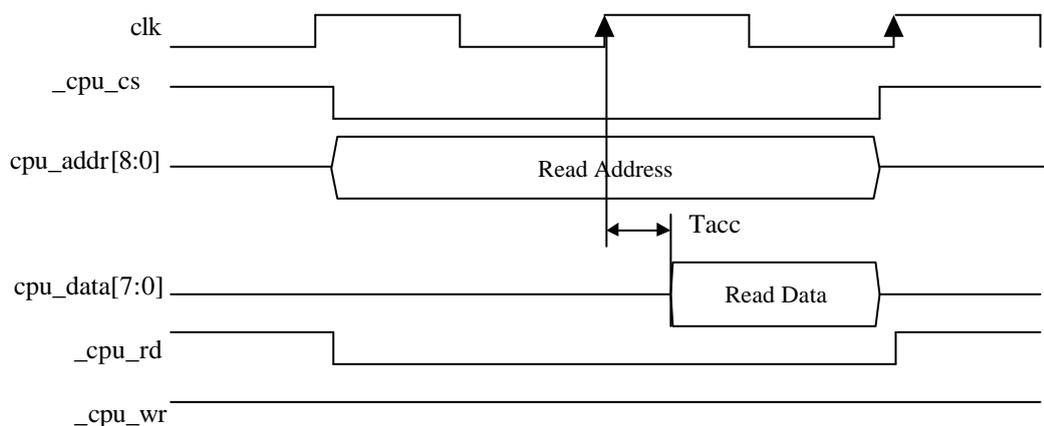


図3 - 2 CPU インターフェイスタイミング :データ読み込み

TSデータ入力タイミング

トランスポート入力は8ビットパラレルで、TS_CLKの立下りでサンプルされます。シンク信号とバリッド信号がハイのときにパケット同期がかかります。バリッド信号がハイのときのみデータは取り込まれます。188バイトを超えるデータはその部分についてのみバッファーに書き込まれず、捨てられます。パケットの同期バイト、47Hは検出しません。

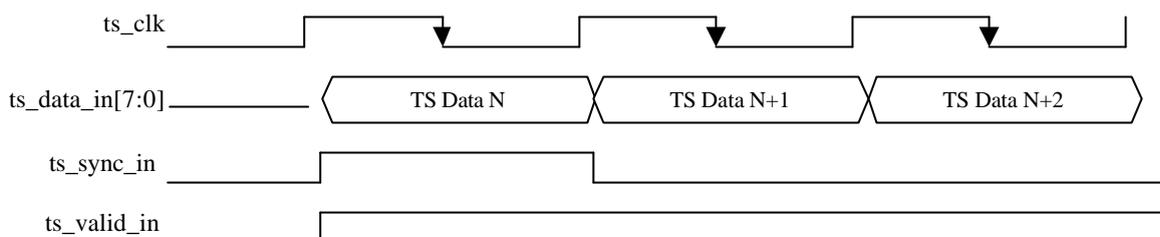


図3 - 3 TS 入力インターフェイス (負極性取り込み)

TSデータ出力タイミング

トランスポート出力は8ビットパラレルでTS_CLKの立ち上がりで出力されます。入力パケットに対する遅延は、ちょうど188バイトです。すなわち、188バイトの有効データが入力されてはじめて、出力動作が開始します。パケット入力が188バイト未満の場合はそのパケットは後段に転送されません。また、188バイトを超えるものについては最初の188バイトだけが、出力されます。後段のチップはデータ受信のマージンを十分に確保するため、TS_CLKの立下りでサンプルすることになります。

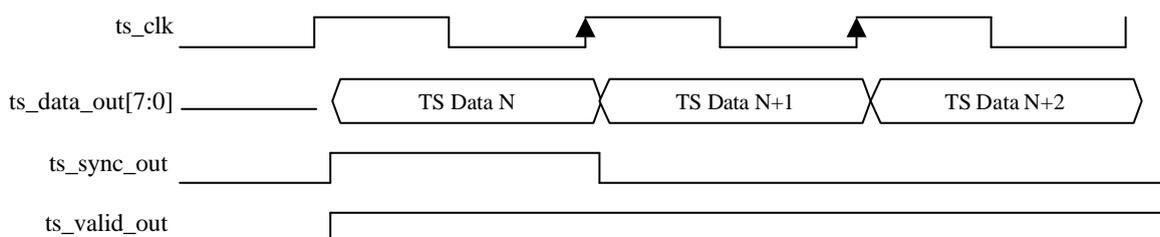


図3 - 4 TS 出力インターフェイス (正極性出力)

レジスタマップ

アドレス (8ビット アクセス)	RD/ WR	Label	Function
0x000	RD	Not used	
0x001	R/W	CTRL_REG	Control Register (Option、初期値はゼロ)
0x001-01F		Not used	
0x020	R/W	INIT_REG	Initial Register [7:0]
0x021	R/W	INIT_REG	Initial Register [15:8]
0x022	R/W	INIT_REG	Initial Register [23:16]
0x023	R/W	INIT_REG	Initial Register [31:24]
0x024	R/W	INIT_REG	Initial Register [39:32]
0x025	R/W	INIT_REG	Initial Register [47:40]
0x026	R/W	INIT_REG	Initial Register [55:48]
0x027	R/W	INIT_REG	Initial Register [63:56]
0x028-03F		Not used	
0x040	R/W	SYS_KEY_00	System Key 0 [7:0]
0x041	R/W	SYS_KEY_01	System Key 0 [15:8]
0x042	R/W	SYS_KEY_02	System Key 0 [23:16]
0x043	R/W	SYS_KEY_03	System Key 0 [31:24]
0x044	R/W	SYS_KEY_10	System Key 1 [7:0]
0x045	R/W	SYS_KEY_11	System Key 1 [15:8]
0x046	R/W	SYS_KEY_12	System Key 1 [23:16]
0x047	R/W	SYS_KEY_13	System Key 1 [31:24]
0x048	R/W	SYS_KEY_20	System Key 2 [7:0]
0x049	R/W	SYS_KEY_21	System Key 2 [15:8]
0x04a	R/W	SYS_KEY_22	System Key 2 [23:16]
0x04b	R/W	SYS_KEY_23	System Key 2 [31:24]
0x04c	R/W	SYS_KEY_30	System Key 3 [7:0]
0x04d	R/W	SYS_KEY_31	System Key 3 [15:8]
0x04e	R/W	SYS_KEY_32	System Key 3 [23:16]
0x04f	R/W	SYS_KEY_33	System Key 3 [31:24]
0x050	R/W	SYS_KEY_40	System Key 4 [7:0]
0x051	R/W	SYS_KEY_41	System Key 4 [15:8]
0x052	R/W	SYS_KEY_42	System Key 4 [23:16]
0x053	R/W	SYS_KEY_43	System Key 4 [31:24]
0x054	R/W	SYS_KEY_50	System Key 5 [7:0]
0x055	R/W	SYS_KEY_51	System Key 5 [15:8]
0x056	R/W	SYS_KEY_52	System Key 5 [23:16]
0x057	R/W	SYS_KEY_53	System Key 5 [31:24]
0x058	R/W	SYS_KEY_60	System Key 6 [7:0]
0x059	R/W	SYS_KEY_61	System Key 6 [15:8]
0x05a	R/W	SYS_KEY_62	System Key 6 [23:16]
0x05b	R/W	SYS_KEY_63	System Key 6 [31:24]

0x05c	R/W	SYS_KEY_70	System Key 7 [7:0]
0x05d	R/W	SYS_KEY_71	System Key 7 [15:8]
0x05e	R/W	SYS_KEY_72	System Key 7 [23:16]
0x05f	R/W	SYS_KEY_73	System Key 7 [31:24]
0x060-07F		Not used	
0x080	R/W	PID_00	PID register 0 [7:0]
0x081	R/W	PID_01	PID register 0 [12:8]
0x082	R/W	PID_10	PID register 1 [7:0]
0x083	R/W	PID_11	PID register 1 [12:8]
0x084	R/W	PID_20	PID register 2 [7:0]
0x085	R/W	PID_21	PID register 2 [12:8]
0x086	R/W	PID_30	PID register 3 [7:0]
0x087	R/W	PID_31	PID register 3 [12:8]
0x088	R/W	PID_40	PID register 4 [7:0]
0x089	R/W	PID_41	PID register 4 [12:8]
0x08a	R/W	PID_50	PID register 5 [7:0]
0x08b	R/W	PID_51	PID register 5 [12:8]
0x08c	R/W	PID_60	PID register 6 [7:0]
0x08d	R/W	PID_61	PID register 6 [12:8]
0x08e	R/W	PID_70	PID register 7 [7:0]
0x08f	R/W	PID_71	PID register 7 [12:8]
0x090	R/W	PID_80	PID register 8 [7:0]
0x091	R/W	PID_81	PID register 8 [12:8]
0x092	R/W	PID_90	PID register 9 [7:0]
0x093	R/W	PID_91	PID register 9 [12:8]
0x094	R/W	PID_a0	PID register a [7:0]
0x095	R/W	PID_a1	PID register a [12:8]
0x096	R/W	PID_b0	PID register b [7:0]
0x097	R/W	PID_b1	PID register b [12:8]
0x098	R/W	PID_c0	PID register c [7:0]
0x099	R/W	PID_c1	PID register c [12:8]
0x09a	R/W	PID_d0	PID register d [7:0]
0x09b	R/W	PID_d1	PID register d [12:8]
0x09c	R/W	PID_e0	PID register e [7:0]
0x09d	R/W	PID_e1	PID register e [12:8]
0x09e	R/W	PID_f0	PID register f [7:0]
0x09f	R/W	PID_f1	PID register f [12:8]
0x0a0	R	SCF0	Scrambling Flag Register 0 [1:0]
0x0a1	R	SCF1	Scrambling Flag Register 1 [1:0]
0x0a2	R	SCF2	Scrambling Flag Register 2 [1:0]
0x0a3	R	SCF3	Scrambling Flag Register 3 [1:0]
0x0a4	R	SCF4	Scrambling Flag Register 4 [1:0]
0x0a5	R	SCF5	Scrambling Flag Register 5 [1:0]
0x0a6	R	SCF6	Scrambling Flag Register 6 [1:0]
0x0a7	R	SCF7	Scrambling Flag Register 7 [1:0]
0x0a8	R	SCF8	Scrambling Flag Register 8 [1:0]

0x0a9	R	SCF9	Scrambling Flag Register 9 [1:0]
0x0aa	R	SCFa	Scrambling Flag Register a [1:0]
0x0ab	R	SCFb	Scrambling Flag Register b [1:0]
0x0ac	R	SCFc	Scrambling Flag Register c [1:0]
0x0ad	R	SCFd	Scrambling Flag Register d [1:0]
0x0ae	R	SCFe	Scrambling Flag Register e [1:0]
0x0af	R	SCFf	Scrambling Flag Register f [1:0]
0x0b0-0x0ff		Not Used	
0x100	R/W	KE_00	Key Even 0 [7:0]
0x101	R/W	KE_01	Key Even 0 [15:8]
0x102	R/W	KE_02	Key Even 0 [23:16]
0x103	R/W	KE_03	Key Even 0 [31:24]
0x104	R/W	KE_04	Key Even 0 [39:32]
0x105	R/W	KE_05	Key Even 0 [47:40]
0x106	R/W	KE_06	Key Even 0 [55:48]
0x107	R/W	KE_07	Key Even 0 [63:56]
0x108	R/W	KE_10	Key Even 1 [7:0]
0x109	R/W	KE_11	Key Even 1 [15:8]
0x10a	R/W	KE_12	Key Even 1 [23:16]
0x10b	R/W	KE_13	Key Even 1 [31:24]
0x10c	R/W	KE_14	Key Even 1 [39:32]
0x10d	R/W	KE_15	Key Even 1 [47:40]
0x10e	R/W	KE_16	Key Even 1 [55:48]
0x10f	R/W	KE_17	Key Even 1 [63:56]

0x170	R/W	KE_e0	Key Even e [7:0]
0x171	R/W	KE_e1	Key Even e [15:8]
0x172	R/W	KE_e2	Key Even e [23:16]
0x173	R/W	KE_e3	Key Even e [31:24]
0x174	R/W	KE_e4	Key Even e [39:32]
0x175	R/W	KE_e5	Key Even e [47:40]
0x176	R/W	KE_e6	Key Even e [55:48]
0x177	R/W	KE_e7	Key Even e [63:56]
0x178	R/W	KE_f0	Key Even f [7:0]
0x179	R/W	KE_f1	Key Even f [15:8]
0x17a	R/W	KE_f2	Key Even f [23:16]
0x17b	R/W	KE_f3	Key Even f [31:24]
0x17c	R/W	KE_f4	Key Even f [39:32]
0x17d	R/W	KE_f5	Key Even f [47:40]
0x17e	R/W	KE_f6	Key Even f [55:48]
0x17f	R/W	KE_f7	Key Even f [63:56]
0x180	R/W	KO_00	Key Odd 0 [7:0]
0x181	R/W	KO_01	Key Odd 0 [15:8]
0x182	R/W	KO_02	Key Odd 0 [23:16]
0x183	R/W	KO_03	Key Odd 0 [31:24]
0x184	R/W	KO_04	Key Odd 0 [39:32]

0x185	R/W	KO_05	Key Odd 0 [47:40]
0x186	R/W	KO_06	Key Odd 0 [55:48]
0x187	R/W	KO_07	Key Odd 0 [63:56]
0x188	R/W	KO_10	Key Odd 1 [7:0]
0x189	R/W	KO_11	Key Odd 1 [15:8]
0x18a	R/W	KO_12	Key Odd 1 [23:16]
0x18b	R/W	KO_13	Key Odd 1 [31:24]
0x18c	R/W	KO_14	Key Odd 1 [39:32]
0x18d	R/W	KO_15	Key Odd 1 [47:40]
0x18e	R/W	KO_16	Key Odd 1 [55:48]
0x18f	R/W	KO_17	Key Odd 1 [63:56]

0x1f0	R/W	KO_e0	Key Odd e [7:0]
0x1f1	R/W	KO_e1	Key Odd e [15:8]
0x1f2	R/W	KO_e2	Key Odd e [23:16]
0x1f3	R/W	KO_e3	Key Odd e [31:24]
0x1f4	R/W	KO_e4	Key Odd e [39:32]
0x1f5	R/W	KO_e5	Key Odd e [47:40]
0x1f6	R/W	KO_e6	Key Odd e [55:48]
0x1f7	R/W	KO_e7	Key Odd e [63:56]
0x1f8	R/W	KO_f0	Key Odd f [7:0]
0x1f9	R/W	KO_f1	Key Odd f [15:8]
0x1fa	R/W	KO_f2	Key Odd f [23:16]
0x1fb	R/W	KO_f3	Key Odd f [31:24]
0x1fc	R/W	KO_f4	Key Odd f [39:32]
0x1fd	R/W	KO_f5	Key Odd f [47:40]
0x1fe	R/W	KO_f6	Key Odd f [55:48]
0x1ff	R/W	KO_f7	Key Odd f [63:56]

レジスタ詳細

全てのレジスタは初期状態で不定になります。従って、動作開始前に必ず、データ設定が必要です。

CTRL_REG レジスタ

このレジスタは HD814253FB には装備されていない機能です。リセット後の初期状態では HD814253FB 互換モードで動作しますので、このレジスタを設定する必要はありません。

ビット	名称	R/W	POR	機能
7	デコード ディセーブル	R/W	0	デコードディセーブル機能 0:デコードイネーブル 1:デコードディセーブル
6	未使用	R/W	0	
5	NO_SYNC_MODE	R/W	0	SYNCパルス未使用モード シンクパルスを使わず、ts_valid_in のみで動作 0:シンクパルスを使用 1:シンクパルスが不用
4-0	未使用	R/W	0	

デコードディセーブル

DataSheet4U.com

このモードを設定すると、チップ自体がデコードを停止する以外に、ts_sync_out , ts_valid_out, ts_data_out の出力データがH I - Zになります。従って、MULTI以外のデコーダチップの出力をバス結合することが可能になります。

NO_SYNC_MODE

チューナからのTSパケットにシンクパルスがない場合に使用します。この場合には ts_valid_in 入力の立ち上がりから、最初の ts_clk の立下りまでを有効なシンク領域として、内部で ts_sync_in パルスに相当する状態を生成します。それを使ってパケット処理します。

PID レジスタ PID_0[12:0] – PID_f[12:0] (32bytes)

このレジスタは解読すべきパケットの PID レジスタを設定します。

ビット	名称	R/W	POR	機能
12:0	PID	R/W	不定	PID データ (13ビット)

PI D領域は初期状態で不定ですので、設定する必要があります。

入力パケットのPI Dが設定したPI Dレジスタに合致し、transport_scrambling_control_bit[1]が1の場合には該当するキー (偶数、奇数) でデコードされます。それ以外の場合にはそのまま、出力されます。パケットのPI Dが1 F F Fの場合には設定したPI Dレジスタには関係なく、そのまま、出力

されます。PIDの比較検出はPID0から始まり、一致した場合には、それ以降のPID検出は実行されません。

パケットがデコードされると、transport_scrambling_control_bit[1:0]と adaptaion_field_controlbit[1:0]は全て、0の値にセットされます。

偶数キー KE_0[63:0] – KE_f[63:0] (128 bytes)

PIDに対応した偶数キーを指定する。

ビット	名称	R/W	POR	機能
31:0	KE_RIGHT	R/W	不定	偶数キー 右 32 ビット
63:32	KE_LEFT	R/W	不定	偶数キー 左 32 ビット

PID検出が有効で、transport_scrambling_control_bit[0]が0のときに偶数キーを使ってデコードします。

奇数キー KO_0[63:0] – KO_f[63:0] (128 bytes)

PIDに対応した奇数キーを指定する。

ビット	名称	R/W	POR	機能
31:0	KO_RIGHT	R/W	不定	奇数キー 右 32 ビット
63:32	KO_LEFT	R/W	不定	奇数キー 左 32 ビット

PID検出が有効で、transport_scrambling_control_bit[0]が1のときに奇数キーを使ってデコードします。

CBC モード初期データレジスタ :

INIT_REG[63:0] (8 bytes)

CBC モード初期データレジスタを指定する。

ビット	名称	R/W	POR	機能
31:0	CBC_RIGHT	R/W	不定	CBC 初期データ 右 32 ビット
63:32	CBC_LEFT	R/W	不定	CBC 初期データ 左 32 ビット

送出側の運用によるデータで、固定データが設定されます。CBCモードの場合、このデータが初期データとしてデコード処理に使われます。

システムキー SYS_KEY_0[31:0] – SYS_KEY_7[31:0] (32 bytes)

256 ビットのシステムキーを格納する。

ビット	名称	R/W	POR	機能
31:0	SYS_KEY_0	R/W	不定	システムキー0 32 ビット
31:0	SYS_KEY_1	R/W	不定	システムキー1 32 ビット
31:0	SYS_KEY_2	R/W	不定	システムキー2 32 ビット
31:0	SYS_KEY_3	R/W	不定	システムキー3 32 ビット
31:0	SYS_KEY_4	R/W	不定	システムキー4 32 ビット
31:0	SYS_KEY_5	R/W	不定	システムキー5 32 ビット
31:0	SYS_KEY_6	R/W	不定	システムキー6 32 ビット
31:0	SYS_KEY_7	R/W	不定	システムキー7 32 ビット

送出側の運用によるデータで、システムキーが設定されます。このキーと偶数キー、或いは奇数キーから内部ワークキーを生成します。