



### 描述

HR3967是一种新近开发出来、专门用于双极步进电机的微步进电机驱动集成电路，能以全、1/2、1/4及1/8微步细分驱动马达，输出额定值能达到30V、±750mA。电路内置的固定衰减时间电流调整电路，使得马达能够在快、慢或混合衰减模式下工作，大大减小了马达转动时的噪声，增加了马达的步进精度，同时降低了电路的功耗。

内置转换器TRANSLATOR是电路工作的关键，它使得简单的施加一个脉冲给STEP就能够方便的控制马达的步进；通过选择MS1/MS2的电平就能够使马达在全、1/2、1/4、1/16步进模式间进行切换；它减少了负载相序表、高频控制线和外部编程接口；使得电路的外部控制界面变得简洁而高效；在微处理器比较简单或负担较重时，HR3967是一个理想的选择。

内置热关断保护电路、欠压保护电路，以及CROSSOVER电流保护电路，避免了电路对上电顺序的特殊要求。

HR3967提供24pin SOIC封装（SOP24）。

### Features and Benefits

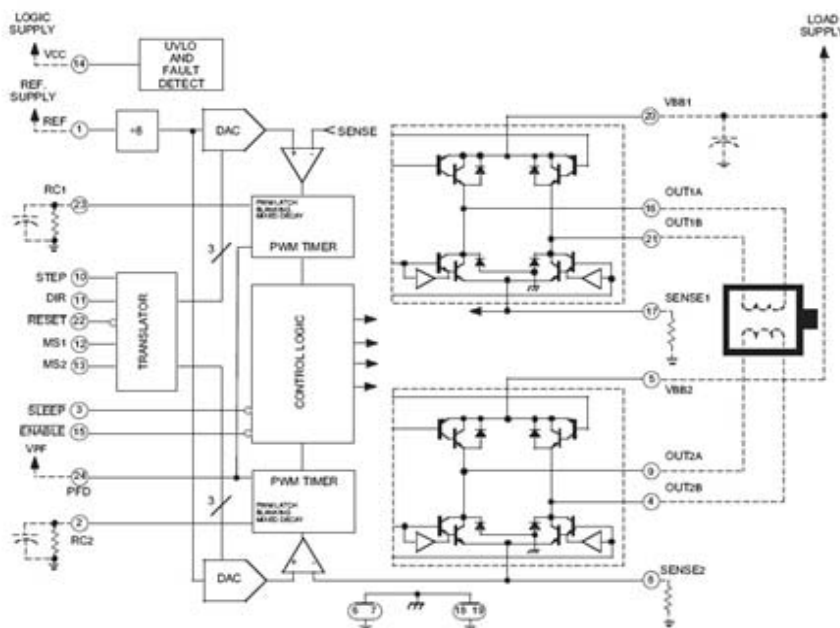
- ±750 mA, 30 V 额定输出
- 自动电流衰减检测
- 3.3V和5V兼容逻辑电平
- 支持混合、快、慢衰减模式
- 内置欠压锁定、过热关断等保护电路
- CROSSOVER电流保护电路

### 封装形式: SOP24



24 pin SOIC

### Functional Block Diagram



## 订购信息

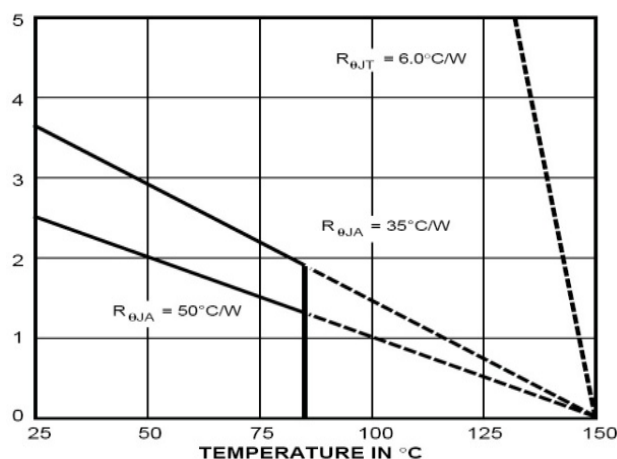
Part Number	Package	Packing
HR3967	24-pin SOIC (SOP24)	1000 per reel

## 工作极限

Characteristic	Symbol	Notes	Rating	Units	
电源电压	$V_{BB}$		30	V	
控制电路电源电压	$V_{CC}$		7.0	V	
逻辑控制电路电压	$V_{IN}$	$t_w > 30 \text{ ns}$	-0.3 to 7.0	V	
		$t_w < 30 \text{ ns}$	-1 to 7.0	V	
采样电压	$V_{SENSEx}$		0.68	V	
输入参考电压	$V_{REFx}$		$V_{CC}$	mA	
输出电流	$I_{OUT}$	输出电流大小受占空比、环境温度、封装散热等因素影响；不论在何种情况下，不要超过规范指定的额定值使用，并保证电路的结温不能超过150°C。	连续	$\pm 750$	mA
			峰值	$\pm 850$	mA
工作结温	$P_D$	见图	-	-	
工作环境温度	$T_A$	Range S	-20 to 85	°C	
工作结温	$T_J(\text{max})$	故障条件下产生的结温过高会启动芯片的热关断电路。芯片可承受这种条件，但仍因避免。	150	°C	
存储温度	$T_{stg}$		-55 to 150	°C	

## Thermal Characteristics

Characteristic	Symbol	Test Conditions	Value.	Units
Package Thermal Resistance Junction to Ambient	$R_{\theta JA}$	2-layer PCB, 1.3 in. <sup>2</sup> 2-oz. exposed copper	50	°C/W
		4-layer PCB, based on JEDEC standard	35	°C/W



电特性, 均在  $T_A = 25^\circ\text{C}$ ,  $V_{BB} = 35\text{V}$ ,  $V_{CC} = 3.0$  to  $5.5\text{V}$ 时测定, 除非特殊说明。

Characteristic	Symbol	Test Conditions	Limits			
			Min.	Typ.	Max.	Units
<b>输出驱动</b>						
电机电源电压范围	$V_{BB}$	Operating	4.75	-	30	V
		During sleep mode	0	-	30	V
输出漏电源	$I_{CEX}$	$V_{OUT} = V_{BB}$	-	<1.0	20	$\mu\text{A}$
		$V_{OUT} = 0\text{V}$	-	<-1.0	-20	$\mu\text{A}$
输出饱和电压	$V_{CE(sat)}$	Source driver, $I_{OUT} = -750\text{mA}$	-	1.9	2.1	V
		Source driver, $I_{OUT} = -400\text{mA}$	-	1.7	20	V
		Sink driver, $I_{OUT} = 750\text{mA}$	-	0.65	1.3	V
		Sink driver, $I_{OUT} = 400\text{mA}$	-	0.21	0.5	V
体二极管导通电压	$V_F$	$I_F = 750\text{mA}$	-	1.4	1.6	V
		$I_F = 400\text{mA}$	-	1.1	1.4	V
马达电源电流	$I_{BB}$	Outputs enabled	-	-	5.0	$\text{mA}$
		RESET high	-	-	200	$\mu\text{A}$
		Sleep mode	-	-	20	$\mu\text{A}$
<b>控制逻辑</b>						
逻辑电源电压范围	$V_{CC}$	Operating	3.0	5.0	5.5	V
逻辑输入电压	$V_{IN(1)}$		$0.7V_{CC}$	-	-	V
	$V_{IN(0)}$		-	-	$0.3V_{CC}$	V
逻辑输入漏电流	$I_{IN(1)}$	$V_{IN} = 0.7V_{CC}$	-20	<1.0	20	$\mu\text{A}$
	$I_{IN(0)}$	$V_{IN} = 0.3V_{CC}$	-20	<1.0	20	$\mu\text{A}$
最大STEP频率	$f_{STEP}$		500*	-	-	$\text{kHz}$
Blank Time	$t_{BLANK}$	$R_t = 56\text{k}\Omega$ , $C_t = 680\text{pF}$	700	950	1200	ns
固定衰减时间	$t_{off}$	$R_t = 56\text{k}\Omega$ , $C_t = 680\text{pF}$	30	38	46	$\mu\text{s}$

续下一页

表1: 微步进控制逻辑真值表

MS1	MS2	Resolution
L	L	全步进 (2 phase)
H	L	1/2步进
L	H	1/4步进
H	H	1/8步进

电特性, 均在  $T_A = 25^\circ\text{C}$ ,  $V_{BB} = 35\text{V}$ ,  $V_{CC} = 3.0$  to  $5.5\text{V}$ 时测定, 除非特殊说明。

Characteristic	Symbol	Test Conditions	Limits			
			Min.	Typ.	Max.	Units
<b>控制逻辑</b>						
混合衰减模式触发电压	PFDH		-	$0.6V_{CC}$	-	V
	PFDL		-	$0.21V_{CC}$	-	V
REF输入电压范围	$V_{REF}$	Operating	1.0	-	$V_{CC}$	V
REF输入阻抗	$Z_{REF}$		120	160	200	k $\Omega$
增益误差 $E_G$ (note 3)	$E_G$	$V_{REF} = 2\text{ V}$ , Phase Current = 38.37% †	-	-	$\pm 10$	%
		$V_{REF} = 2\text{ V}$ , Phase Current = 70.71% †	-	-	$\pm 5.0$	%
		$V_{REF} = 2\text{ V}$ , Phase Current = 100.00% †	-	-	$\pm 5.0$	%
热关断温度	$T_J$		-	165	-	$^\circ\text{C}$
热关断迟滞	$\Delta T_J$		-	15	-	$^\circ\text{C}$
开启电压	$V_{UVLO}$	Increasing $V_{CC}$	2.45	2.7	2.95	V
开启电压迟滞	$\Delta V_{UVLO}$		0.05	0.10	-	V
逻辑电平输入电流	$I_{CC}$	Outputs enabled	-	50	65	mA
		Outputs off	-	-	9.0	mA
		Sleep mode	-	-	20	$\mu\text{A}$

\*采用比该值高的 Step 频率工作是可行的, 但不推荐。

† 8 microstep/step operation

NOTES: 1. 典型参数只作为设计参考。

2. 负电流定义是针对特殊的电流流出的pin脚。

3.  $E_G = ([V_{REF}/8] - V_{SENSE})/(V_{REF}/8)$

## 模块功能描述

**器件工作：**HR3967是一款内置转换器的全微细分电机驱动芯片，以极少的控制线简化了操作，能驱动双极马达以全、1/2、1/4及1/8步进运行。其中流过每个半桥的电流都由一个有固定截止时间的PWM电路控制，以限制其负载电流在一个设定值。在每一个步进，流过电机的电流由外部的电流采样电阻 $R_S$ 、外部参考电压 $V_{REF}$ 以及DAC的输出电压决定。而DAC的输出电压由TRANSLATOR的逻辑输出进行精确控制，产生类似正弦波的台阶电压输出。

当电路上电或重启时，转换器将DAC的输出和相位电流设定为HOME输入对应的初始状态，将两相整流电路都设置为混合衰减模式；当STEP信号上升沿高电位触发时，DAC自动进入下一个台阶，相应的马达电流也作对应的调整；电流的大小由表2列表所示。电极的微步进控制由MS1、MS2设定，具体真值表见表1。

当STEP上升沿触发时，如果下一级的DAC输出低于当前一级的输出，电路进入PFD输入电压决定的衰减模式（快衰、慢衰或混合衰减）；如果下一级的DAC输出高于当前一级的输出，电路只能进入慢衰减模式。电流衰减模式的自动切换增强了马达运转的稳定性，减小了马达运转的噪音。

**复位输入 (nRESET)：**RESET输入（低电位有效）使得TRANSLATOR恢复初始状态，关断所有DMOS输出，HOME输出变为低电平，此时STEP输入无效，直到RESET冲洗变为高电平为止。

**STEP输入(STEP)：**STEP信号高电平触发有效，通过TRANSLATOR控制，每个STEP高电平触发使得电机有一个步进的变化。TRANSLATOR控制DAC的输入和流过马达线圈的电流方向；每一步进的电流大小和转动角度由MS1和MS2输入逻辑电平控制。具体逻辑控制真值表见表1。

**微步进方式选择 (MS1、MS2)：**MS1和MS2决定微步进的控制方式，具体逻辑控制真值表见表1。MS1、MS2的任何变化在下一个STEP上升沿到来之前对电路不产生影响。

**马达转动方向控制 (DIR)：**IDR输入控制马达的转动方向。

**内部PWM电流控制：**每一个H桥都有一个有固定截止时间的PWM电流控制电路，以限制其负载电流在一个设计值。初始时，对角线上的一对源接收DMOS（一对上下桥臂）处于输出状态，电流流经电机绕组和SENCE脚所接的电流取样电阻（见图1）。当取样电阻上的压降等于DAC的输出电压时，电流取样比较器将PWM锁存器复位，从而关断源驱动器（上桥臂），进入慢衰减模式；或同时关断源接收驱动器（上下桥臂）进入快或混合衰减模式，使产生环流或电流回流至源端。该环流或回流将持续衰减至固定截止时间结束为止。然后，正确的输出桥臂被再次启动，电机绕组电流再次增加，整个PWM循环完成。其中，最大限流 $I_{MAX}$ 是由取样电阻 $R_S$ 和电流取样比较器的输入电平 $V_{REF}$ 控制的：

$$I_{TRIPmax} = V_{REF} / 8R_S$$

每步的实际电流为最大电流的百分比，近似为：

$$I_{TRIP} = (\%I_{TRIPmax}/100)T_{TRIPmax}$$

**固定衰减时间 $t_{off}$ ：**内部PWM控制电路是用一个脉冲来控制器件的持续截止时间的。此脉冲时间，即 $t_{off}$ 由外部 $R_T$ 和 $C_T$ 决定。 $C_T = 470 \text{ pF} \sim 1500 \text{ pF}$ ， $R_T = 12 \text{ k}\Omega \sim 100 \text{ k}\Omega$ ，

$$t_{off} = R_T C_T$$

## 模块功能描述

**消隐(Blanking):** 除了PWM控制电路的固定衰减时间,  $C_T$  设定了比较器的消隐时间。当由内部电流控制电路控制输出开关时, 此功能屏蔽了比较器的输出电流检测, 以此防止二极管的反向恢复电流或负载容抗引起的开关瞬变引起的过流误检测。消隐时间  $t_{BLANK}$  可由下式估算:

$$t_{BLANK} = 1400C_T$$

**使能输入(nENABLE):** 该输入控制所有FET输出的开关。当其为逻辑高电平时, 输出关断。当其为逻辑低电平时, 内部控制使能起作用。译码器输入STEP, DIR, MS1和MS2, 以及内部时序逻辑, 全部有效, 独立于nENABLE输入。

**SHUTDOWN 关断:** 当电路发生过温保护或者发生VCP的欠压闭锁时, SHUTDOWN功能正常工作, 此时电路的正常功能被禁止, 直到电路脱离SHUTDOWN条件。在电路上电过程中, VDD电压还没有达到电压阈值时, VDD的欠压闭锁电路使输出DMOS电路全部关断, HOME输出被设置为初始状态。

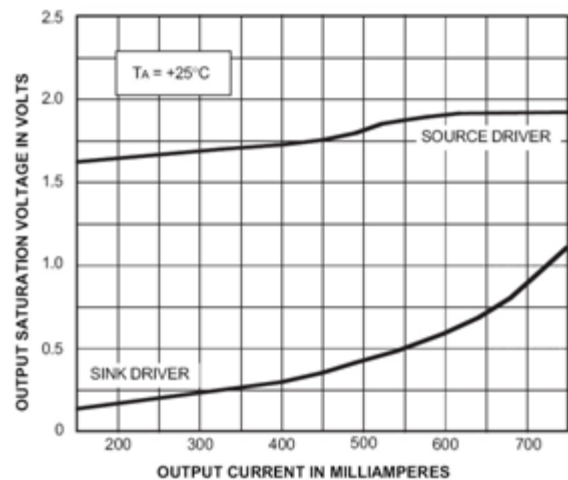
**休眠模式(nSLEEP):** 当 SLEEP 引脚输入为低电平时, 器件将进入休眠模式, 从而大大降低器件空闲的功耗。进入休眠模式后器件的大部分内部电路包括 DMOS 输出电路、调节器及电荷泵等都将停止工作。当其输入翻转为高电平时, 系统恢复到正常的操作状态并将器件的输出预置到 HOME 状态, 为了内部电荷泵恢复稳定工作, 在 SLEEP 恢复高电平并延时 1ms 后 STEP 信号才能起作用。

Typical output saturation voltages showing sink-driver operation.

**PFD:** 当外部输入一个新的STEP信号, 电流需要从前一个STEP中释放, 输出进入电流衰减模式: 慢衰、快衰或者混合衰减, 采用哪种模式由PFD的电压决定。当PFD电压大于  $0.6V_{CC}$  时, 其采用慢衰模式, 如果PFD电压小于  $0.21V_{CC}$ , 其采用快衰模式, 而在两者之间时, 则采用混合衰减模式。

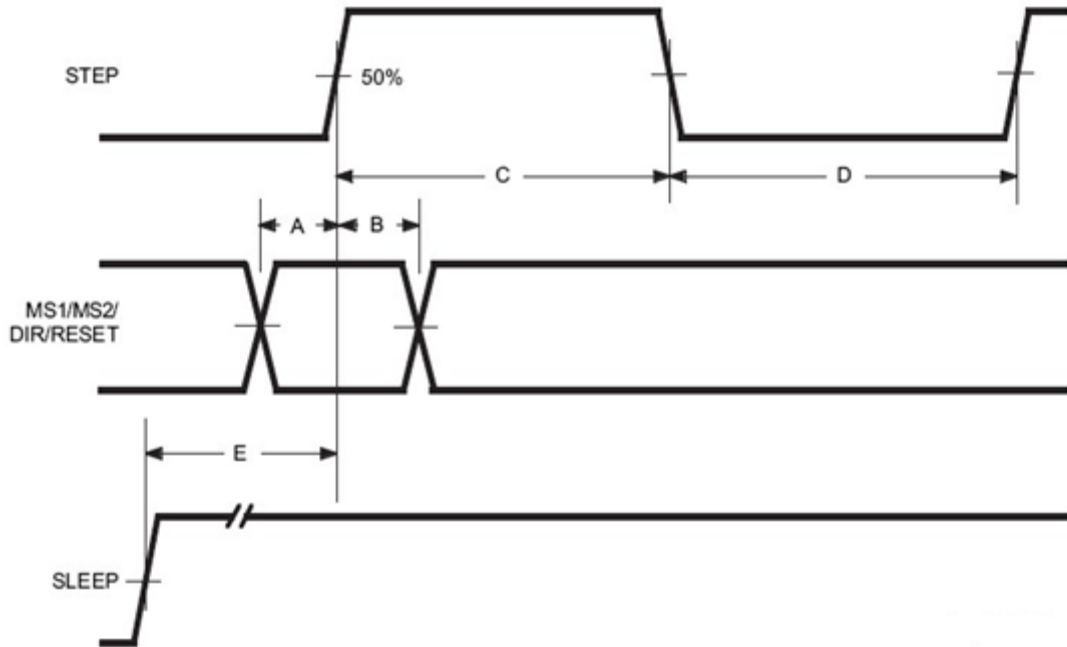
**混合衰减模式.:** 如果PFD介于  $0.6V_{CC}$  和  $0.21V_{CC}$  之间, 芯片将进入混合衰减模式。其中混合衰减模式将一个PWM周期的固定截止时间分为快、慢两个衰减部分。当电流达到最大限流  $I_{max}$  后, 系统将进入快衰减模式直至SENSE上的取样电压衰减至PFD的端电压  $V_{PFD}$ 。经过  $t_{FD}$  的快衰减后, 器件将切换至慢衰减模式直至固定截止时间结束。其中, 器件工作在快衰减模式的时间  $t_{FD}$  为:

$$t_{FD} = R_T * C_T * \ln(0.6V_{CC} / V_{PFD})$$



## 电路控制信号时序上的要求:

( $T_A = +25^\circ\text{C}$ ,  $V_{CC} = 5\text{ V}$ , Logic Levels are  $V_{CC}$  and Ground)



- A. Minimum Command Active Time  
Before Step Pulse (Data Set-Up Time)..... 200 ns
- B. Minimum Command Active Time  
After Step Pulse (Data Hold Time)..... 200 ns
- C. Minimum STEP Pulse Width ..... 1.0  $\mu\text{s}$
- D. Minimum STEP Low Time ..... 1.0  $\mu\text{s}$
- E. Maximum Wake-Up Time ..... 1.0 ms

## 电路应用信息

**Layout:** 建议使用大且后的地平面。

为得到最佳的电气和热性能，输出驱动引脚应直接焊接在电路板上。

对电机电源VBB，应该连接不小于47uF的电解电容对地耦合电容应尽可能的靠近器件摆放

为了避免因高速dv/dt变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。

**地线设置:** AGND和PGND的连线必须在芯片外部短接。所有的地线都应连接在一起，且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆设，将是一个优化的设计。

**电流取样设置:** 为了减小因为地线上的寄生电阻引起的误差，引起的误差。单独的地线最终要连接到星状分布的地线总线上，该连线要尽可能的短，

对小阻值的Rs，由于Rs上的压降 $V=I*Rs$ 很小，PCB上的连线压降与其比较将显得不可忽视，这一点要考虑进去。

PCB尽量避免使用测试转接插座，测试插座的连接电阻可能会改变Rs的大小，对电路造成误差。Rs值的选择遵循下列公式：

$$R_S=0.5/I_{TRIPmax}$$

**热保护:** 当内部电路结温超过150°C时，过温模块开始工作，关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题，而不应对输出短路的情况产生影响。热关断的阈值窗口大小为15°C。



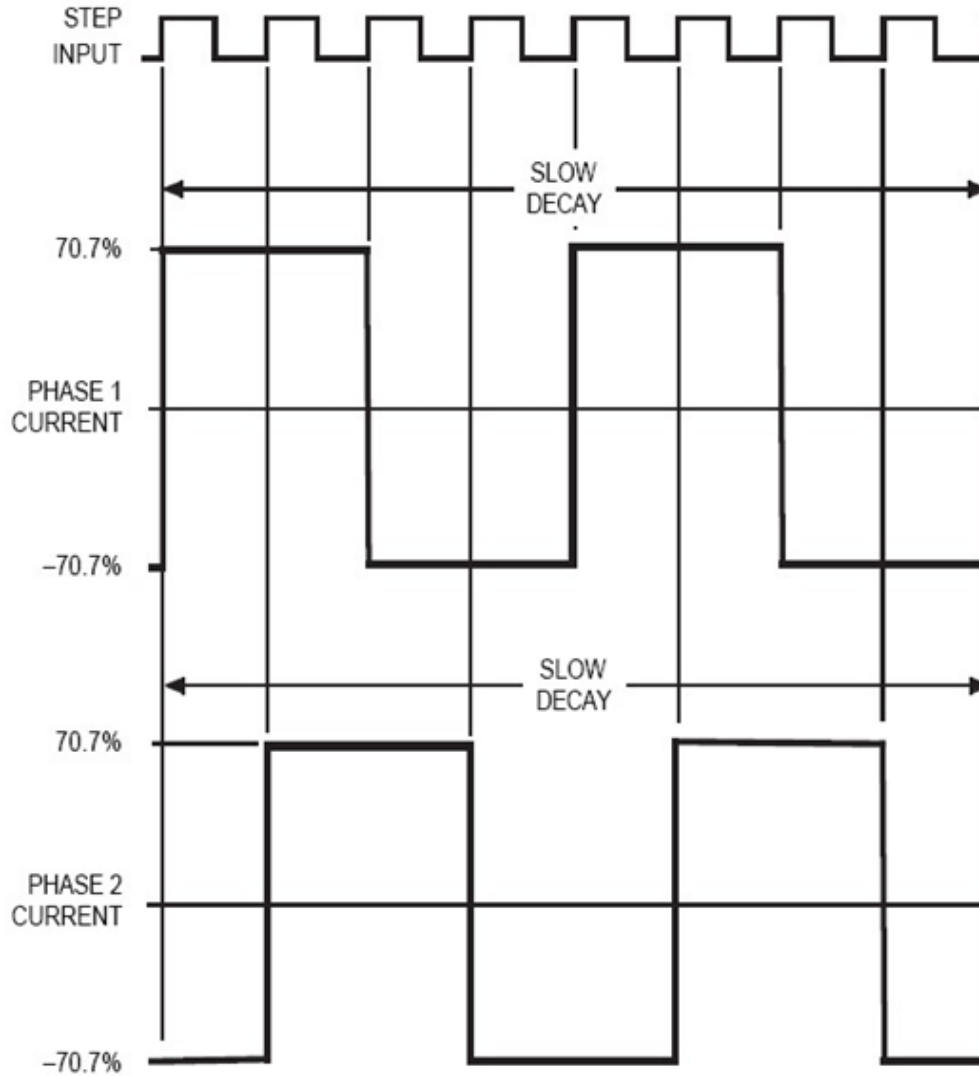
表2. Step Sequencing

Home State = 45°C Step Angle, DIR = H

Full Step	Half Step	¼ Step	1/8 Step	Phase 1 Current (%I <sub>trip,max</sub> ) (%)	Phase 2 Current (%I <sub>trip,max</sub> ) (%)	Step Angle (°)
	1	1	1	100.00	0.00	0.0
			2	98.08	19.51	11.3
		2	3	92.39	38.27	22.5
			4	83.15	55.56	33.8
1	2	3	5	70.71	70.71	45.0
			6	55.56	83.15	56.3
		4	7	38.27	92.39	67.5
			8	19.51	98.08	78.8
	3	5	9	0.00	100.00	90.0
			10	-19.51	98.08	101.3
		6	11	-38.27	92.39	112.5
			12	-55.56	83.15	123.8
2	4	7	13	-70.71	70.71	135.0
			14	-83.15	55.56	146.3
		8	15	-92.39	38.27	157.5
			16	-98.08	19.51	168.8
	5	9	17	-100.00	0.00	180.0
			18	-98.08	-19.51	191.3
		10	19	-92.39	-38.27	202.5
			20	-83.15	-55.56	213.8
3	6	11	21	-70.71	-70.71	225.0
			22	-55.56	-83.15	236.3
		12	23	-38.27	-92.39	247.5
			24	-19.51	-98.08	258.8
	7	13	25	0.00	-100.00	270.0
			26	19.51	-98.08	281.3
		14	27	38.27	-92.39	292.5
			28	55.56	-83.15	303.8
4	8	15	29	70.71	-70.71	315.0
			30	83.15	-55.56	326.3
		16	31	92.39	-38.27	337.5
			32	98.08	-19.51	348.8

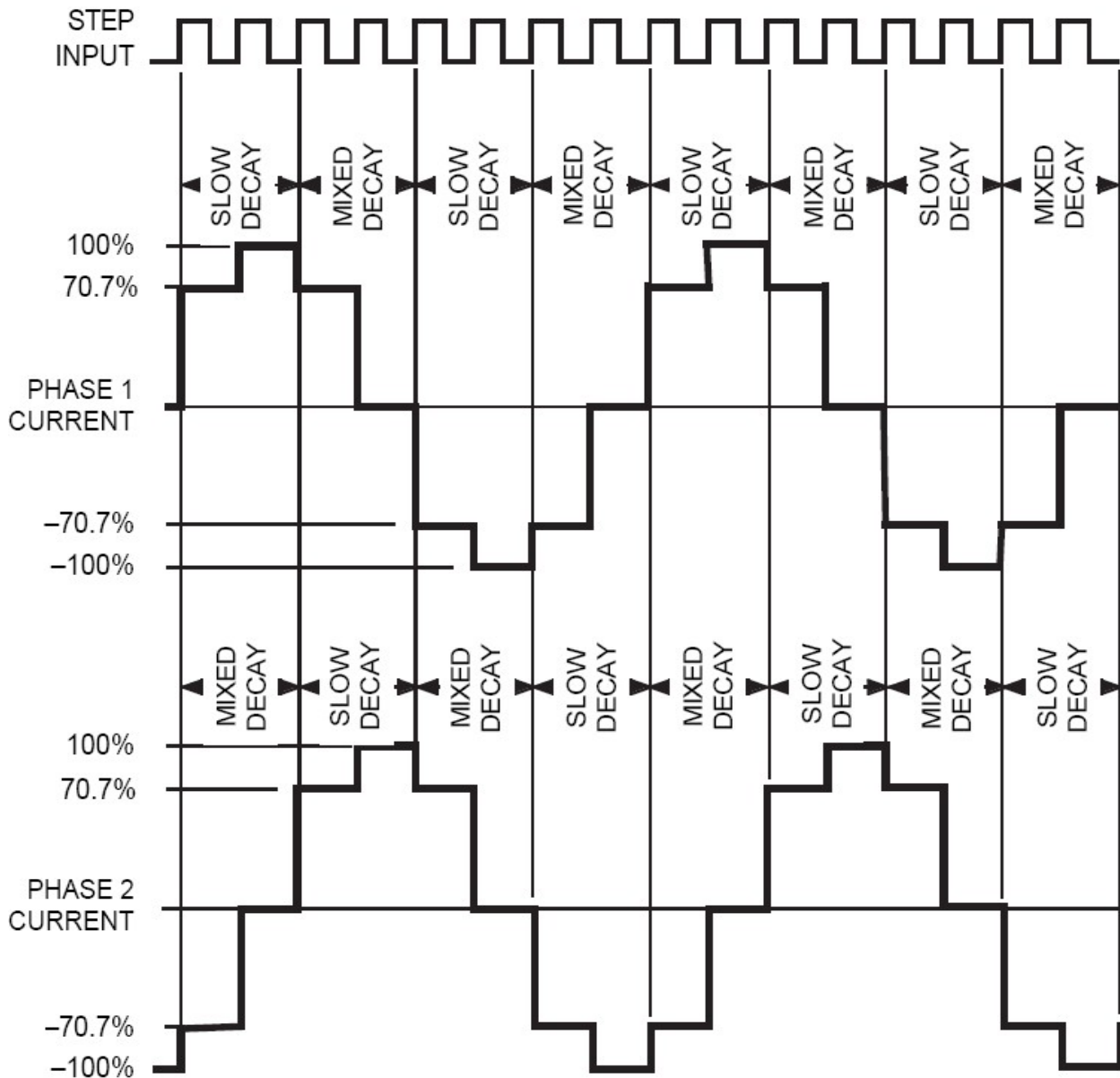
**Full Step Operation**

$MS_1 = MS_2 = L, DIR = H$



The vector addition of the output currents at any step is 100%.

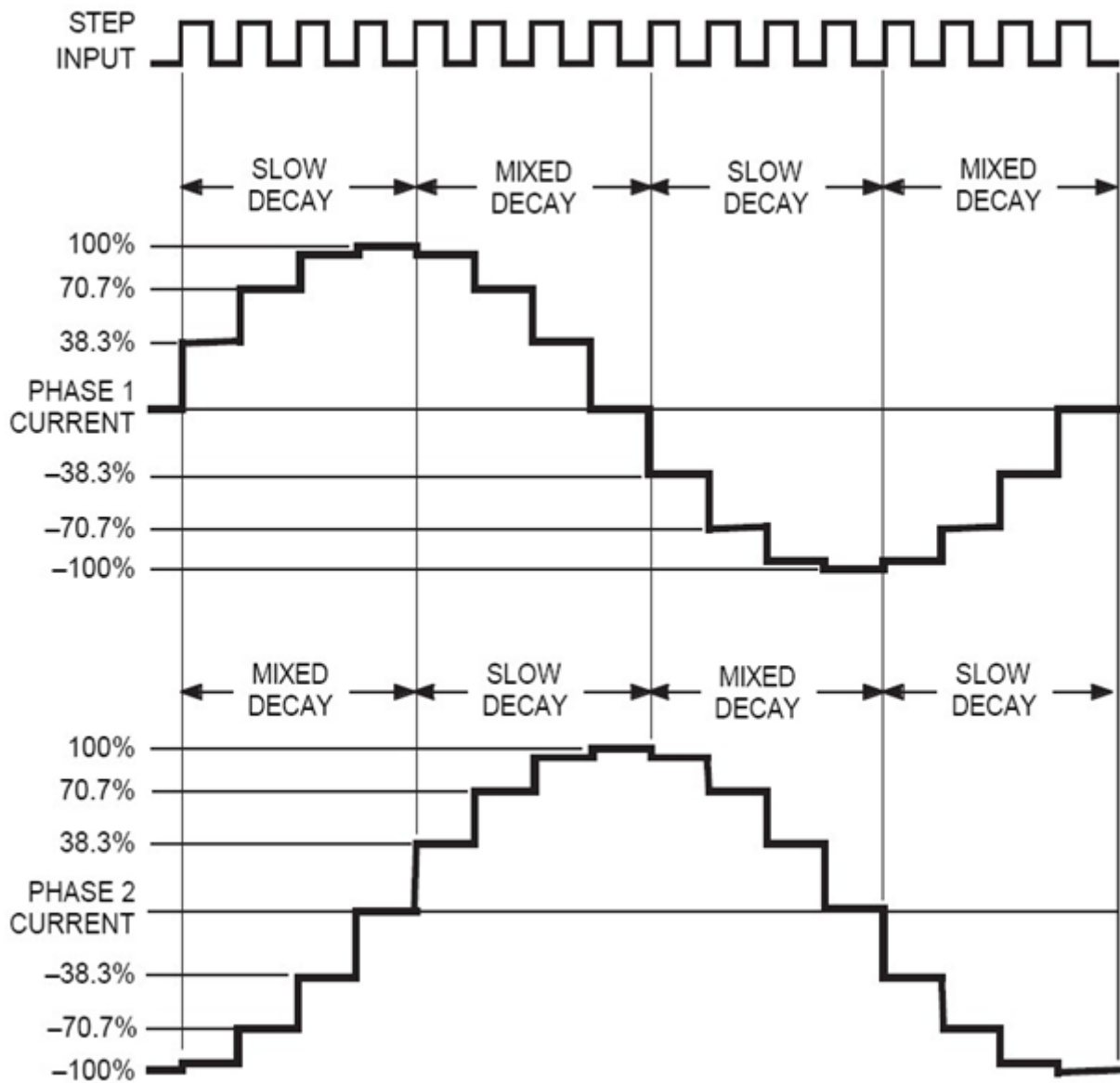
## Full Step Operation

MS<sub>1</sub> = H, MS<sub>2</sub> = L, DIR = H

The mixed-decay mode is controlled by the percent fast decay voltage ( $V_{PFD}$ ). If the voltage at the PFD input is greater than  $0.6V_{CC}$  then slow-decay mode is selected. If the voltage on the PFD input is less than  $0.21V_{CC}$  then fast-decay mode is selected. Mixed decay is between these two levels.

### Quarter Step Operation

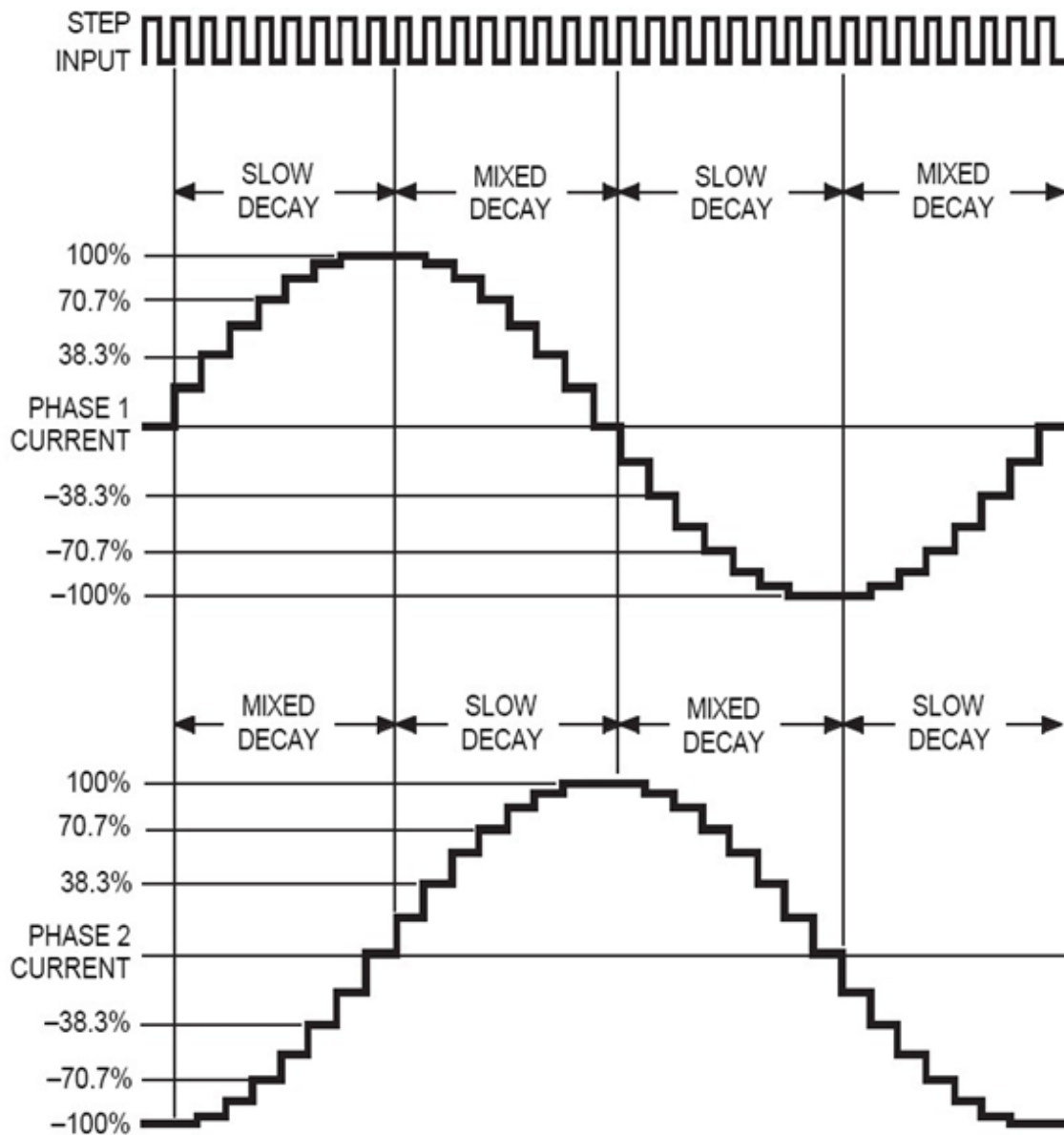
$MS_1 = L, MS_2 = H, DIR = H$



The mixed-decay mode is controlled by the percent fast decay voltage ( $V_{PFD}$ ). If the voltage at the PFD input is greater than  $0.6V_{CC}$  then slow-decay mode is selected. If the voltage on the PFD input is less than  $0.21V_{CC}$  then fast-decay mode is selected. Mixed decay is between these two levels

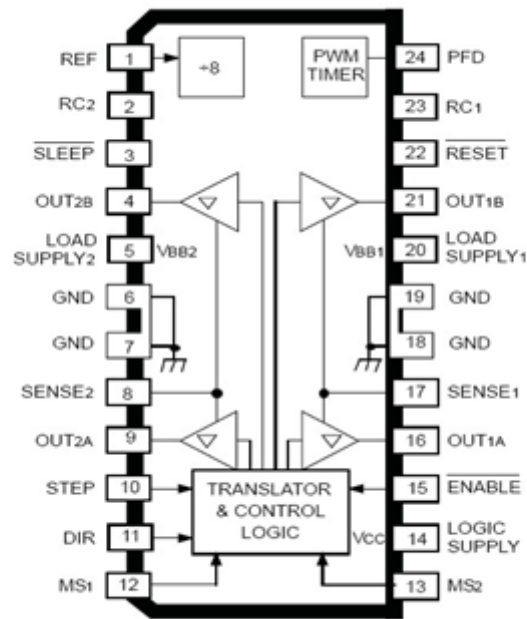
## 8 Microstep/Step Operation

$$MS_1 = MS_2 = H, DIR = H$$



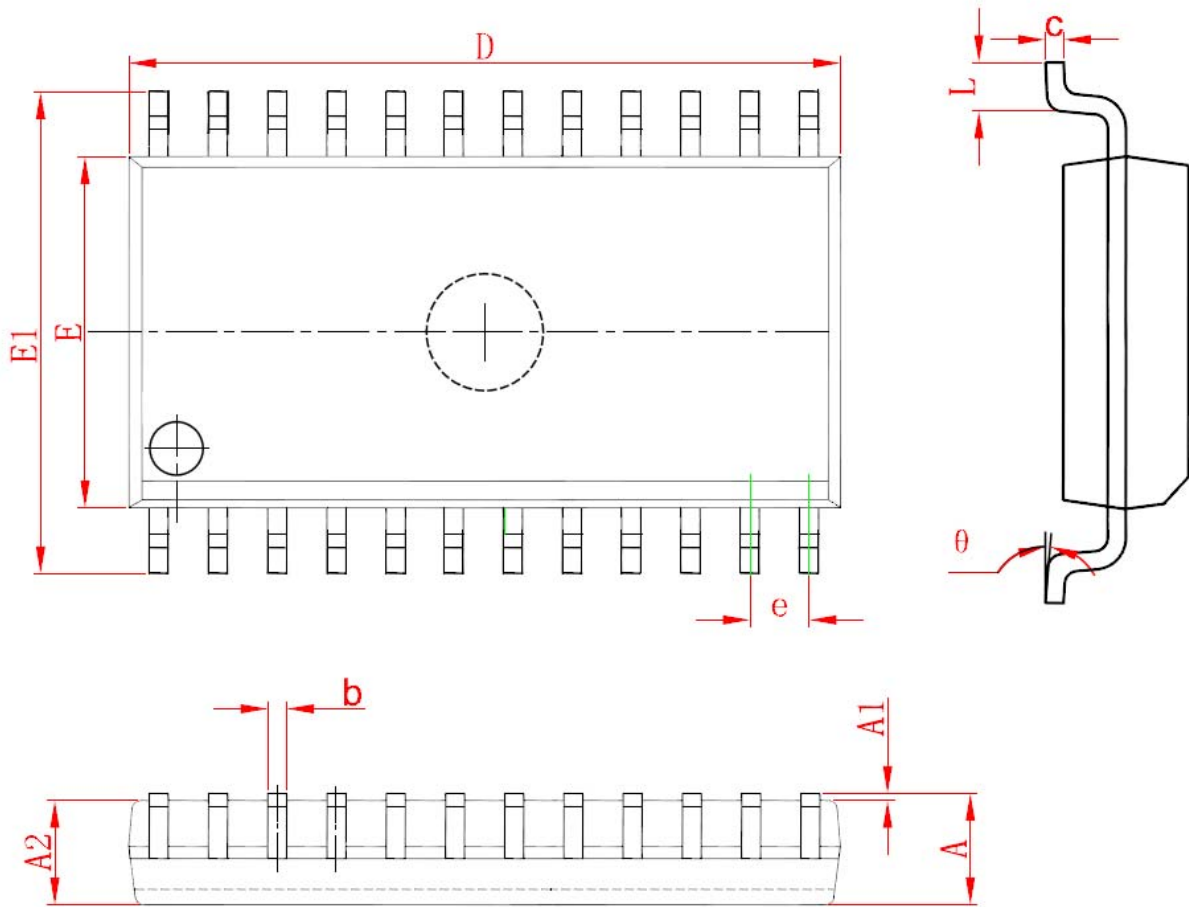
The mixed-decay mode is controlled by the percent fast decay voltage ( $V_{PFD}$ ). If the voltage at the PFD input is greater than  $0.6V_{CC}$  then slow-decay mode is selected. If the voltage on the PFD input is less than  $0.21V_{CC}$  then fast-decay mode is selected. Mixed decay is between these two levels.

## Pin-out Diagram



Terminal Name	Terminal Description	Terminal Number
REF	Gm reference input	1
RC2	Analog input for fixed offtime – bridge 2	2
SLEEP	Logic input	3
OUT2B	H bridge 2 output B	4
LOAD SUPPLY2	VBB2, the load supply for bridge 2	5
GND	Analog and power ground	6, 7
SENSE2	Sense resistor for bridge 2	8
OUT2A	H bridge 2 output A	9
STEP	Logic input	10
DIR	Logic Input	11
MS1	Logic input	12
MS2	Logic input	13
LOGIC SUPPLY	VCC, the logic supply voltage	14
ENABLE	Logic input	15
OUT1A	H bridge 1 output A	16
SENSE1	Sense resistor for bridge 1	17
GND	Analog and power ground	18, 19
LOAD SUPPLY1	VBB1, the load supply for bridge 1	20
OUT1B	H bridge 1 output B	21
RESET	Logic input	22
RC1	Analog Input for fixed offtime – bridge 1	23
PFD	Mixed decay setting	24

## Package SOP24



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	2.350	2.650	0.093	0.104
A1	0.100	0.300	0.004	0.012
A2	2.100	2.500	0.083	0.098
b	0.330	0.510	0.013	0.020
c	0.204	0.330	0.008	0.013
D	15.200	15.600	0.598	0.614
E	7.400	7.600	0.291	0.299
E1	10.210	10.610	0.402	0.418
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°