



雅仪科技——【嵌入式智能互联设备】软硬件方案供应商。  
专注【远程智能监控报警系统】研发设计。更多资讯浏览：  
<http://www.travellinux.com> 获取。

Hi3516 Full-HD IP-Cam SOC

## 用户指南

文档版本	00B60
发布日期	2011-08-12
部件编码	N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

## 深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编： 518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： [support@hisilicon.com](mailto:support@hisilicon.com)

**版权所有 © 深圳市海思半导体有限公司 2011。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

### 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

### 注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。



# 前言

## 概述

本文档介绍了 Hi3516 芯片的特性、逻辑结构，详细描述各个模块的功能、工作方式、相关寄存器定义，用图表的方式给出了接口时序关系和相关参数，并详细描述了芯片的管脚定义和用途以及芯片的性能参数和封装尺寸。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3516 Full-HD IP-Cam SOC	V100

## 读者对象

本文档主要适用于以下工程师：

- 电子产品设计维护人员
- 电子产品元器件市场销售人员

## 约定符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	以本标志开始的文本表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。



符号	说明
 <b>警告</b>	以本标志开始的文本表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 <b>注意</b>	以本标志开始的文本表示有潜在风险，如果忽视这些文本，可能导致设备或器件损坏、数据丢失、设备性能降低或不可预知的结果。
 <b>窍门</b>	以本标志开始的文本能帮助您解决某个问题或节省您的时间。
 <b>说明</b>	以本标志开始的文本是正文的附加信息，是对正文的强调和补充。

## 通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用黑体。
楷体	警告、提示等内容一律用楷体，并且在内容前后增加线条与正文隔离。
“Terminal Display”格式	“Terminal Display”格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。

## 表格内容约定

内容	说明
-	表格中的无内容单元。
*	表格中的内容用户可根据需要进行配置。

## 寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	W0C	可读，写 0 清零，写 1 保持不变。
WO	只写。	W1S	可读，写 1 置 1，写 0 保持不变。



类型	说明	类型	说明
RW	可读可写。	W0S	可读, 写 0 置 1, 写 1 保持不变。
RC	读清零。	OSW	可读, 写 1 后片内自清零, 即产生一个脉冲。
W1C	可读, 写 1 清零, 写 0 保持不变。		

## 数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量 (如 RAM 容量)	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列 (寄存器描述中除外)。

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2011-8-11	00B60	<b>第 4 章 存储器接口</b> 将 DDRC_WRDQSKEW、DDRC_RDDQSKEW、DDRC_WRDMSKEW 寄存器改为保留; 将 DDRC_LVLSKWEW[31:10]改为保留。



修订日期	版本	修订说明
		<p><b>第 8 章 视频接口</b></p> <p>新增几种典型的外同步时序配置小节；</p> <p>修改 HD_PORTA_CFG1 的 bit[9]和 bit[4]的描述。</p>
2011-5-24	00B50	<p><b>第 3 章 系统</b></p> <p>更新 Audio Codec 相关的寄存器：修改 ctrl0 bit[8]和 bit[0]的名称及描述；调整 bit[15:14]、bit[7:6]中 01 和 10 的描述。</p> <p>将 ctrl1 bit[21:20]和 bit[12:8]改为保留。</p> <p><b>第 9 章 音频接口</b></p> <p>将寄存器概览和寄存器描述中的内容删除，补充到第 3 章系统的链接。</p> <p><b>第 11 章 智能加速引擎</b></p> <p><b>11.3.4.2</b> 支持的功能中修改 IVE 所有算子的 stride 不满足条件时的公式；更新图 11-12 算子的参数 stride 取最小值时的情况。</p>
2011-5-16	00B40	<p>增加“<b>第 13 章 运动检测单元</b>”章节内容；</p> <p><b>第 1 章 产品概述</b></p> <p>修改 1.2.5 视频和图形处理中关于“支持前后 OSD(On Screen Display) 图像叠加功能”的描述；</p> <p>修改“1.3.4 地址空间映射”的 timer 编号，原编号 timer1/2、timer3/4 有误，改为 timer0/1、timer2/3；</p> <p>修改 1.2.11 智能加速引擎中“支持 3x3 高斯滤波加 YUV 到 RGB 转换的复合功能”改为“支持 3x3 模板滤波加 YUV 到 RGB 转换的复合功能”。</p> <p><b>第 2 章 硬件</b></p> <p>增加“硬件”的管脚复用寄存器的基地址。</p> <p>修改表 2-66。</p> <p><b>第 3 章 系统</b></p> <p>修改表 3-16 的 sfc_clk_sel 为 nfc_clk_sel；</p> <p>修改 CRG31 寄存器的 bit[3]；修改 SC_PLLCTRL；</p> <p>修改信号名 RGMII_TXCLKOUT 为 RGMII_TXCKOUT、修改信号名 RGMII_TXDAT0/1/2/3 为 RGMII_TXD0/1/2/3；</p> <p>修改 PERI_CRG31 bit[3]的描述；</p> <p>修改 sysstat 寄存器 bit[26:24]；修改表 3-23；修改“3.6.4 工作方式”中的“软复位”描述；修改“3.6.5”中的寄存器“INT_RAW、CHAN0_CIPHER_CTRL”描述；</p> <p>更正 RST_STATUS 寄存器笔误；更正 timer2/3 的基地址为 0x2001_0000；更新 3.11.2 章节关于 L2 Cache 的特点描述。</p>



修订日期	版本	修订说明
		<p><b>第 5 章 以太网接口</b></p> <p>删除 5.2 特性中的“提供按包从外部存储器中搬运包的功能”。</p> <p>更新图 5-5、图 5-6。</p> <p>删除 VLAN 相关的寄存器。</p> <p><b>第 6 章 视频编码器</b></p> <p><b>6.2.2 特点</b>中“图像宽度/高度的配置步长为 2”改为“配置步长为 4”。</p> <p>删除 6.2.3 功能描述和 6.3.3 功能描述中 VEDU 和 JPGE 关于码流缓冲区中的“也可直接由数据流接口模块读取”的描述。</p> <p><b>第 7 章 TDE</b></p> <p><b>7.2 特点</b>中删除“支持同步链表的软件接口”；增加“支持 Pattern Fill 功能”。</p> <p><b>第 8 章 视频接口</b></p> <p><b>8.1.2 特点</b>中增加支持的视频端口的最大位宽为 16bit；在“支持内嵌 ISP (VIO 支持、VI1 不支持内嵌) 处理功能”中增加“VIO 支持、VI1 不支持内嵌”的描述。</p> <p>更新图 8-11、图 8-12。</p> <p>修改 HD_PORTA_CFG1 的 bit9 的取值为 0 的描述。</p> <p><b>8.2.2.3 视频层功能</b>中实现色度水平上采样的方式按照效果由好差重新排列。</p> <p>由于不支持 package 格式，删除寄存器 VHCCADDR 和 VSDCCADDR 处的相关描述。</p> <p>以 word 为单位改为以 16B 为单位。</p> <p><b>第 9 章 音频接口</b></p> <p>将 SIO1 和 SIO2 改为 SIO0 和 SIO1；</p> <p>删除图 9-4 下面关于 SIO2 的描述。</p> <p>修改 ctrl0 bit[8]和 bit[0]的名称及描述；调整 bit[15:14]、bit[7:6]中 01 和 10 的描述。</p> <p>将 ctrl1 bit[21:20]和 bit[12:8]改为保留。</p> <p><b>第 10 章 外围设备</b></p> <p><b>10.1.2 功能描述</b>中增加“I<sup>2</sup>C 的工作参考时钟”的描述。</p> <p><b>10.2.1 概述</b>中修改支持外设接口协议的描述。</p> <p><b>10.2.2 特点</b>的注意中修改 SPI 的工作参考时钟及修改为“SPI_CLK 最大支持 40MHz。”</p> <p>修改寄存器 SPICR1 bit[2]的 1 的描述为 slave 模式。</p> <p>修改图 10-41。</p>



修订日期	版本	修订说明
		<p><b>10.7.3</b> 工作方式中增加“USB TX 信号质量调节”小节及说明。</p> <p><b>10.7.4</b> 和 <b>10.7.5</b> 中删除 0x94、0x98、0x9C 的寄存器。修改 MMC_CTRL、MMC_BLKSIZE 和 MMC_STATUS 的复位值。</p> <p><b>第 11 章 智能加速引擎</b></p> <p><b>11.3.4.2</b> 支持的功能中修改 IVE 所有算子的 stride 不满足条件时的公式；<b>3x3 模板滤波</b>的使用方法中删除“配置输出格式”，增加 mask0~mask9 的取值范围；<b>颜色空间转换 (CSC)</b> 中将原“Out_fmt = 0、1、2 或 3”的相关描述改为 csc_fmt = 0、1、2 或 3；<b>3x3 模板滤波加 CSC</b> 中增加 mask0~mask9 的取值范围；<b>SOBEL x/y 方向梯度计算</b>中增加 mask0~mask8 的取值范围；<b>CANNY 梯度幅值及角度</b>中增加 mask0~mask8 的取值范围；删除<b>图像二值化处理</b>中 mode=2 像素值&lt;阈值 threshold 时像素值情况；<b>双源图像与运算、双源图像减运算、双源图像或运算</b>中增加“要求源图 2 和源图 1 的高宽一致,但是 stride 不要求一致。”<b>双源图像或运算</b>中删除“支持任意字节地址”的描述。</p>
2011-3-15	00B30	<p>修改第 3 章“系统”的 CRG18 寄存器 bit[7]和 bit[4] 的频率选择描述。</p> <p>增加第 10 章“10.1 I2C”章节的功能描述第一句话。“10.2 SPI”特点中的注意内容。</p> <p>修改了第 3 章“系统”的 CRG 寄存器的 CRG16 的部分描述；修改 ISP 的部分描述内容。修改 CRG14 的 bit[16:15]的描述。</p>
2011-2-26	00B20	<p>修改了第 3 章“3.2.5 CRG 寄存器”前 19 个寄存器的默认值。</p> <p>删除第 3 章“3.2.5 PERI_CRG9 寄存器”的配置；</p> <p>删除第 3 章“3.4.6 系统控制器”的 SC_IMCTRL、SC_IMSTAT 两个寄存器；</p> <p>修改第 3 章寄存器“SC_CTRL”的错误描述；</p> <p>修改第 3 章“3.4.4 对关键寄存器的写保护”的描述。</p>
2011-02-10	00B10	初始版本。



---

# 目 录

---

<b>1 产品概述.....</b>	<b>1-1</b>
1.1 应用场景.....	1-1
1.1.1 单 Sensor 高清 IPCamera 应用.....	1-2
1.1.2 双 Sensor 高清 IPCamera 应用.....	1-3
1.2 架构.....	1-3
1.2.1 概述.....	1-3
1.2.2 处理器.....	1-4
1.2.3 加密引擎.....	1-4
1.2.4 存储器接口.....	1-5
1.2.5 视频和图形处理.....	1-6
1.2.6 视频编码处理.....	1-6
1.2.7 以太网接口.....	1-6
1.2.8 视频接口.....	1-7
1.2.9 音频接口.....	1-7
1.2.10 外围设备.....	1-7
1.2.11 智能加速引擎.....	1-9
1.2.12 硬件特性.....	1-10
1.3 启动模式.....	1-10
1.3.1 从 NAND Flash 启动.....	1-10
1.3.2 从 SPI Flash 启动.....	1-10
1.3.3 通过 PCIE 加载 DDR，从 DDR 启动.....	1-10
1.3.4 地址空间映射.....	1-11



## 插图目录

---

图 1-1 Hi3516 单 Sensor 高清 IPCamera 应用框图 .....	1-2
图 1-2 Hi3516 双 Sensor 高清 IPCamera 应用框图 .....	1-3
图 1-3 Hi3516 芯片逻辑框图.....	1-4



## 表格目录

---

表 1-1 地址空间映射表 ..... 1-11



# 1 产品概述

## 1.1 应用场景

Hi3516 为针对高清 IPCamera 产品应用开发的一款专业高端 SOC 芯片，其 1080P@30fps H264 多码流编码性能、优异的 ISP 和编码视频质量、高性能的智能加速引擎等特性，在满足客户差异化 IPCamera 产品功能、性能、图像质量要求的同时，可大大降低 ebom 成本。

Hi3516 的典型应用场景如下：

- 单 Sensor 高清 IPCamera
- 双 Sensor 高清 IPCamera

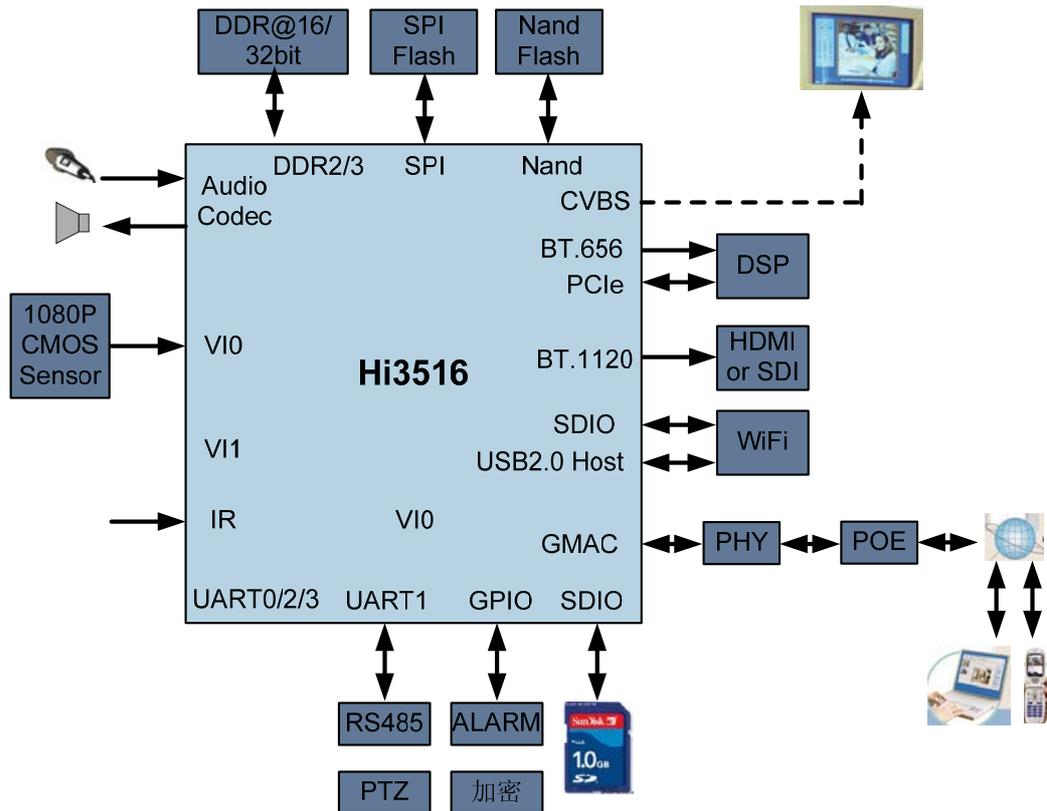


## 1.1.1 单 Sensor 高清 IPCamera 应用

Hi3516 应用于单 Sensor 高清 IPCamera 的应用框图如图 1-1 所示。其主要规格如下：

- 1080P+D1+CIF+QVGA H264 四码流实时编码
- JPEG 抓拍
- 支持外扩 HDMI/SDI 1080P@30fps 输出

图1-1 Hi3516 单 Sensor 高清 IPCamera 应用框图



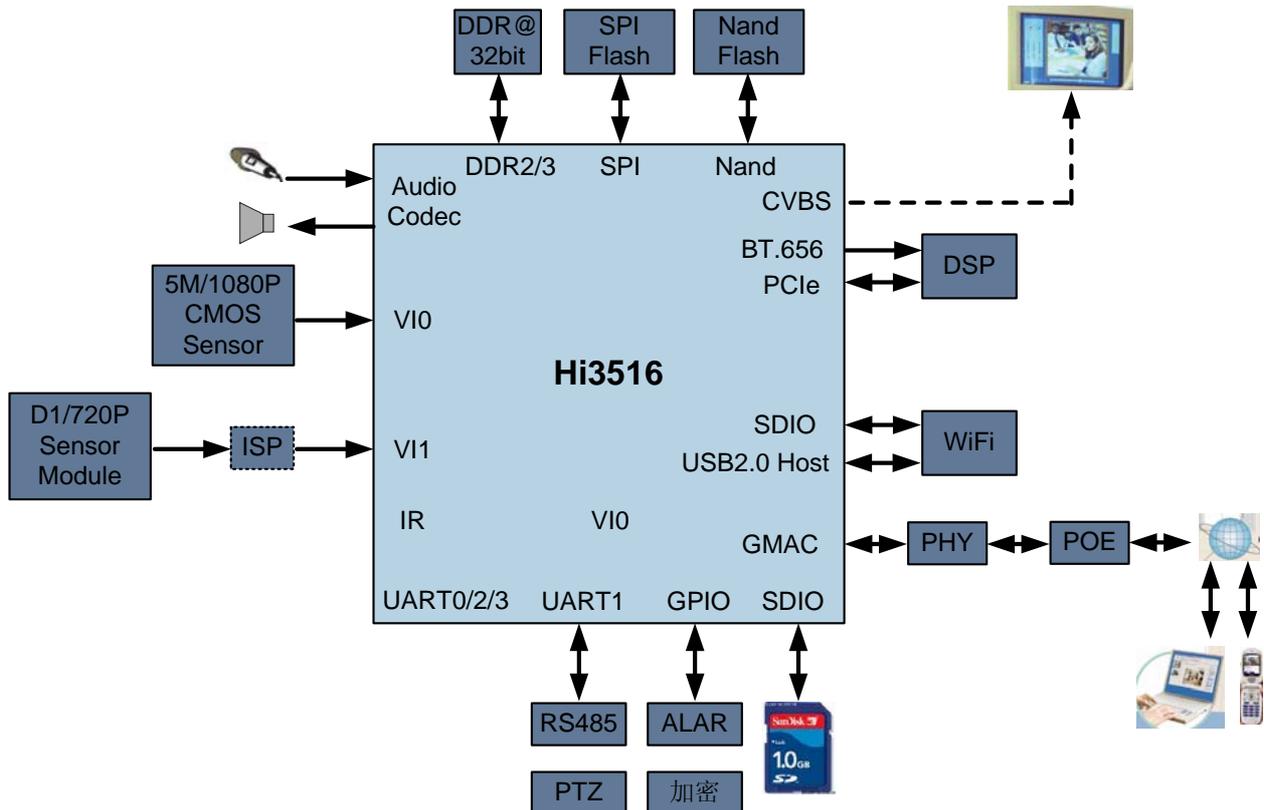


## 1.1.2 双 Sensor 高清 IPCamera 应用

Hi3516 应用于双 Sensor 高清 IPCamera 的应用框图如图 1-2 所示。其主要规格如下：

- 1080P+ D1 H264 实时编码 30fps 或 5M@5fps + D1 H264 实时编码
- 1080P 或 5M JPEG 抓拍

图1-2 Hi3516 双 Sensor 高清 IPCamera 应用框图



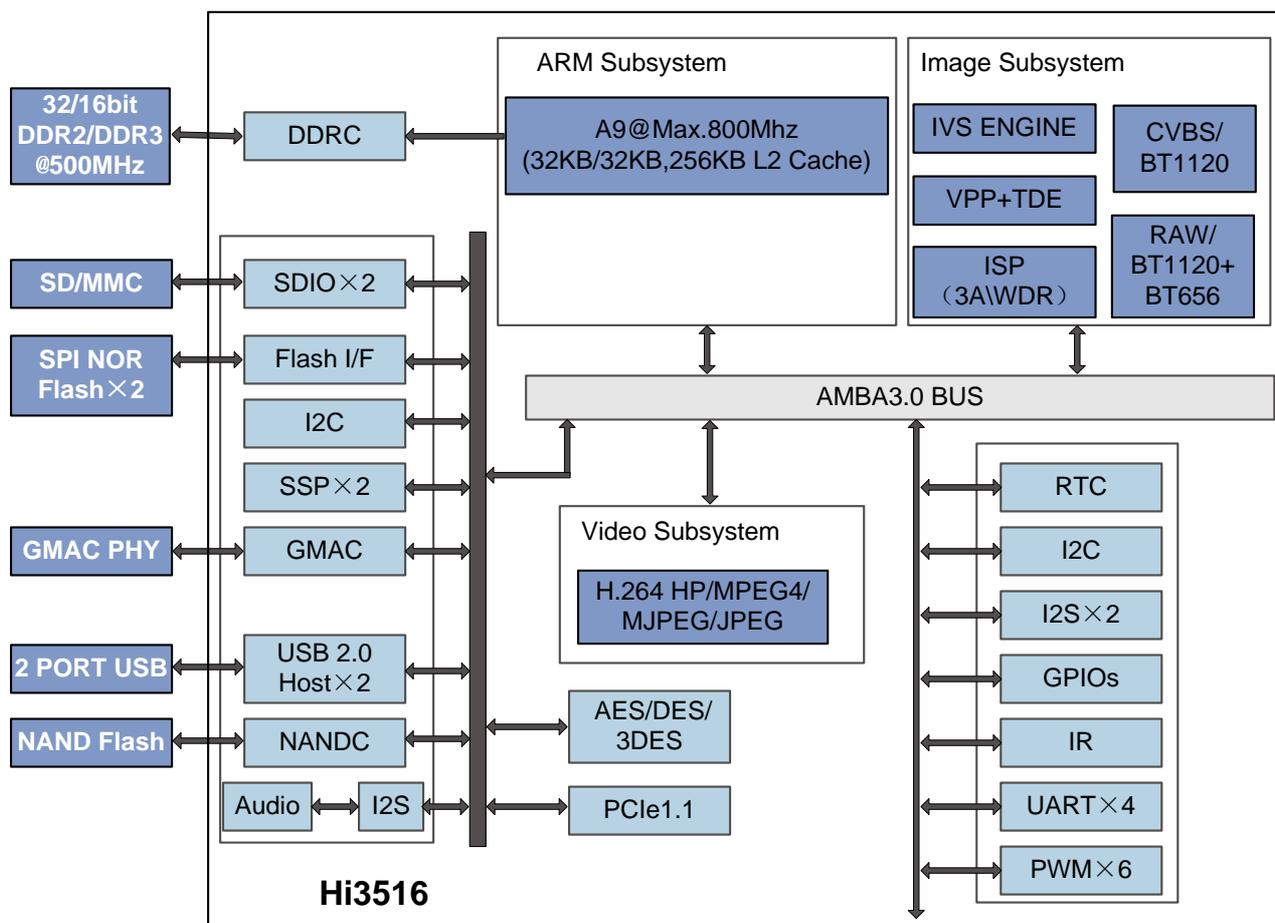
## 1.2 架构

### 1.2.1 概述

Hi3516 芯片逻辑框图如图 1-3 所示。



图1-3 Hi3516 芯片逻辑框图



## 1.2.2 处理器

Hi3516 集成高性能的 ARM Cortex A9 作为主控 CPU，完成系统任务和部分音视频处理功能。其主要规格如下：

- 集成 32KB L1 指令 Cache 和 32KB L1 数据 Cache
- 集成 256KB L2 Cache
- 集成 VFP 功能
- 最高频率 800MHz，处理能力可达 2000DMIPS

## 1.2.3 加密引擎

Hi3516 集成高性能 DES/3DES/AES 加解密引擎，主要特点如下：

- DES/3DES 和 AES 算法符合 FIPS46-3/FIPS 197 标准
- DES/3DES 和 AES 的工作模式均符合 FIPS -81/NIST special800-38a 标准



## 1.2.4 存储器接口

Hi3516 集成高性能 DDR2/DDR3 SDRAM 存储控制器 DDRC、NAND Flash 控制器 NANDC 和 SPI Flash 控制器 SFC。

### DDRC

DDRC 支持对动态存储器 DDR2/3 SDRAM 的存取控制，主要特点如下：

- 提供 1 个 DDR2/3 SDRAM 片选空间，支持数据总线位宽为 32/16bit
- 支持最大存储空间为：32bit 模式 1GB；16bit 模式 512MB。
- 支持最大 500MHz DDR2/3 SDRAM 总线工作频率。
- 支持 DDR2/3 SDRAM 的 Power Down、Self Refresh 等低功耗模式。
- 支持 DDR2 SDRAM 的 burst4、burst8 的传输模式；DDR3 的 burst8 传输模式。

### NANDC

NANDC (NAND Flash Controller) 提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取，支持从 NAND Flash 启动，主要特点如下：

- 提供 2KB (2048byte+320byte) 片内缓存，提高读取速度。
- 支持 2 个片选信号和 2 个 ready/busy 信号，同时也支持 2 个 NAND Flash 器件共用 1 个 ready/busy 信号。
- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8K page size 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。
  - 对于 SLC 器件，支持 512byte Hamming 码 ECC (Error Correcting Code) 校验和 1bit 纠错。
  - 对于 MLC 器件，支持 4bit /512byte 的校验和纠错。支持 8bits/512byte 校验纠错。支持 24bit/1024byte 的校验纠错。
- 支持读写、擦除、编程完成；ECC 校验错误等中断上报。
- 支持不定长数据读写。
- 可以灵活配置控制器发出的命令，从而可以支持各种 NAND Flash 命令操作（包括 cache 读写等）。
- 支持读写 NAND Flash 过程可以被打断，以支持存储器共享总线出让。
- 支持交替操作 2 个 NAND Flash 器件，并行工作以提高效率。
- 支持对 NAND Flash 写保护功能，写保护地址空间可配置。

### SFC

SFC (Serial Peripheral Interface Flash Controller) 是一个 SPI Flash 控制器。主要完成对 SPI Flash 的访问控制功能,系统支持从 SPI Flash 启动，主要特点如下：



- 支持 2 个片选，每个片选的存储空间最大支持到 128Mbit(3Bytes 地址模式)/8Gbit(4Bytes 地址模式)，两片选可以支持不同容量的 Flash。每个片选可分别映射到系统地址空间，映射基地址可配。其中 CS1 支持地址 Alias。
- 支持 Standard SPI、Dual-Input SPI、Dual-Input/Output SPI、Quad-Input/Output SPI、Serial Quad SPI 五种接口类型。上电后默认支持 Standard SPI 接口类型，可通过寄存器配置切换接口类型。
- 支持 3Bytes 和 4Bytes 两种 Flash 地址模式。上电后默认支持 3Bytes 地址模式，可通过寄存器配置切换地址模式。
- 读写操作支持总线直接读写和寄存器编程读写两种方式。
- 支持写保护操作。

## 1.2.5 视频和图形处理

Hi3516 图形处理模块对视频输入图像或者视频输出图像进行处理，使其能够适应各种不同的应用场景，达到更好的图像显示效果。主要特点如下：

- 支持对输入图像的 De-interlace 处理。
- 支持图像色彩和对比度增强及图像去噪功能。
- 支持 clip、alpha blending、ROP、colorkey 和 Gamma 校正等功能。
- 支持视频和图形缩放（不超过 16 倍的任意大小的缩放功能）。
- 支持前后 OSD（On Screen Display）图像叠加功能。
- 支持图像输出抗闪烁功能。
- 支持 2D 数据拷贝和数据填充等功能。

## 1.2.6 视频编码处理

视频编码器具有以下特点：

- 支持 H264 BP、MP(CABAC)、HP 编码
- 支持 JPEG Baseline 编码
- 支持 MPEG4 SP 编码
- H.264 编码可支持最大分辨率为 1600 万像素
- H.264 & JPEG 多码流实时编码能力
- 支持 JPEG 抓拍 3M Pixels@15fps~16M Pixels@2fps
- MPEG4 SP 编码支持最大 960H 实
- CBR/VBR/ABR 码率控制，16kbit/s~40Mbit/s
- 编码帧率支持 1/16~60fps
- 支持对感兴趣区域（ROI）编码功能
- 提供彩转灰编码功能

## 1.2.7 以太网接口

符合 802.3 标准的 10/100/1000 Mbit/s 以太网接口，实现外部端口和 A9 主控处理器间无阻塞的数据交换，主要特点如下：



- 支持 10/100 Mbit/s 全双工、半双工模式；支持 1000Mbit/s 全双工模式
- 提供 RGMII 和 MII 接口，RGMII 支持 10/100/1000Mbps
- 支持 MDIO 功能
- 支持流控帧的发送和接收
- 支持 MAC 地址过滤
- 提供流量限制功能。
- 提供错包、丢包、超短包、超长包、单播包、多播包等计数调试功能

## 1.2.8 视频接口

Hi3516 视频接口的主要特点如下：

- 输入
  - 支持 8/10/12/14/16 bit RGB Bayer 输入，时钟频率最高 150MHz
  - 支持 BT.601
  - 支持 BT.656
  - 支持 BT.1120 协议输入，支持内嵌同步、外置同步两种模式
  - 支持与 Aptina、OV、SONY 、Altasens 等主流高清 CMOS 无缝对接
  - 支持与 sharp、松下高清 CCD 无缝对接
  - 支持与 960H CCD sensor 无缝对接
  - 支持 16M@2fps; 5M@5fps; 3M@15fps; 1080P@30fps; 720P@60fps 视频输入能力
  - 支持双 sensor 输入
- 输出
  - 支持 1 路 CVBS 输出，同时提供 1 个 BT.656 输出
  - 提供 1 个 BT.1120 视频输出接口，用于外扩 HDMI 或 SDI 接口，最高性能 1080P@30fps

## 1.2.9 音频接口

Hi3516 音频接口主要特点如下：

- 2 个标准 I<sup>2</sup>S 接口
- 集成 1 个 Audio codec，支持 8/16bit 语音输入和输出
- 支持通过 I<sup>2</sup>S 接口外接 Audio codec，支持 8/16bit 语音输入和输出

## 1.2.10 外围设备

芯片提供丰富的外围接口，可以进行系统功能扩展。

### GPIO

芯片支持 10 组 GPIO (General Purpose Input/Output)，每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出



信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。

## UART

Hi3516 提供 4 个 UART 单元：UART0/2/3：2 线 UART；UART1：4 线 UART。主要特点如下：

- 支持 16×8bit 的发送 FIFO 和 16×12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特；停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- UART0/1/2 支持 DMA 操作。

## USB 2.0 Host

芯片集成了 USB2.0 Host 和 PHY，提供 2 个 USB 端口，支持 USB 2.0 协议，支持高速（480Mbit/s）、全速（12Mbit/s），以及低速（1.5Mbit/s）三种工作模式。USB 2.0 Host 控制器中包含一个 Root Hub（USB 系统中的一部分，通过 Hub 可以扩展 USB 接口）。

## I<sup>2</sup>C 控制器

芯片集成了 I<sup>2</sup>C（The Inter-Integrated Circuit）控制器，提供 1 个 I<sup>2</sup>C 端口，实现标准 I<sup>2</sup>C 主设备功能，可完成对 I<sup>2</sup>C 总线上的从设备的数据发送和接收。

## 红外接口

红外遥控接收单元 IR（Infrared Remoter）通过红外接口接收红外数据，可以灵活配置以适应多种数据格式解码，以及接收数据错误检测和红外遥控唤醒等功能。可支持的模式如下：

- 模式 0：支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码，及接收数据错误检测和红外遥控唤醒等功能。
- 模式 1：支持任意数据格式的 symbol 电平宽度检测。

## PCI Express

Hi3516 集成 PCIe x1 控制器和 PHY，用于连接 WiFi、DSP 等设备，主要特点如下：

- 支持 PCI Express spec Rev1.1
- 支持标准的 PIPE（PHY Interface for the PCI Express Architecture）接口，接口位宽为 16bit



- 支持一条 X1 的链路，工作速率 2.5Gbps
- 支持 RC (Root Complex) 和 EP (End Point) 模式
- 支持对外供 100MHz PCIe 差分时钟

## PWM

PWM 模块给系统提供 6 路独立的脉宽调制信号输出，每路 PWM 的高电平和完整周期可配，每路 PWM 主要特点如下：

- 内部 16bit 计数器，周期可配制。
- 高电平个数 16bit 可配置。

## SPI

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 SPI、TI 串行同步、MicroWire 三种外设接口。Hi3516 有 SPI0 和 SPI1 两组 SPI 接口，其中 SPI0 支持双片选，SPI1 支持单片选。

## MMC/SD/SDIO 控制器

MMC/SD/SDIO 控制器（以下简称 MMC）用于处理对 SD/MMC 卡的读写等操作，并通过 SDIO 协议实现对扩展外设（如蓝牙、WiFi 等）的支持。提供 2 个 MMC 控制器，可用于控制 SD/MMC 卡、SDIO 设备和 eMMC 器件。

该控制支持符合以下协议的设备：

- Secure Digital Memory (SD mem-version 2.00)
- Secure Digital I/O (SDIO-version 2.0)
- MultiMediaCard (MMC-version 4.3)

### 1.2.11 智能加速引擎

Hi3516 集成视频智能加速引擎，与 A9 处理器配合完成如运动检测、镜头检测、周界防范、人脸检测等视频智能处理功能，主要特点如下：

- 支持 3x3 模板滤波
- 支持 YUV 到 RGB 的颜色空间转换
- 支持 3x3 模板滤波加 YUV 到 RGB 转换的复合功能
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算
- 支持 CANNY 梯度幅值及方向计算
- 支持 3x3 腐蚀
- 支持 3x3 膨胀
- 支持图象二值化
- 支持两幅图象相与、相减、相或
- 支持积分图计算
- 支持直方图统计



- 支持链表级中断和节点级中断
- 支持查询模式

## 1.2.12 硬件特性

Hi3516 硬件特性如下：

- 1200mW 典型功耗
- 支持多级省电模式
- 1.0V、1.8/1.5V、2.5V、3.3 V 芯片供电电压
- 416-pin FC-CSP 封装，0.65mm 管脚间距，15mm×15mm 封装尺寸
- 工作环境温度：-20℃~+70℃
- 芯片结温：-40℃~+125℃

## 1.3 启动模式

支持以下三种启动方式：

- 片外 NAND Flash 启动
- 片外 SPI Flash 启动
- 通过 PCIE 加载到 DDR，从 DDR 启动

### 1.3.1 从 NAND Flash 启动

从 NAND Flash 启动时，外部连接的存储器为 NAND Flash，此时需要设置 BOOT\_SEL1（与芯片外部管脚 PWM1\_OUT0 复用）和 BOOT\_SEL0（与芯片外部管脚 PWM0\_OUT2 复用）的上下拉电平，用于选择 Boot 存储器：

当 BOOT\_SEL1=0、BOOT\_SEL0=1 时，芯片支持从 NANDC 接口挂接的 NAND Flash 启动。

### 1.3.2 从 SPI Flash 启动

从 SPI Flash 启动时，外部连接的存储器为 SPI Flash，此时需要设置 BOOT\_SEL1（与芯片外部管脚 PWM1\_OUT0 复用）和 BOOT\_SEL0（与芯片外部管脚 PWM0\_OUT2 复用）的上下拉电平，用于选择 Boot 存储器。当 BOOT\_SEL1=0、BOOT\_SEL0=0 时，芯片支持从 SFC 接口挂接的 SPI Flash 启动。

### 1.3.3 通过 PCIE 加载 DDR，从 DDR 启动

通过 PCIE 加载 DDR，从 DDR 启动时，需要设置 BOOT\_SEL1（与芯片外部管脚 PWM1\_OUT0 复用）和 BOOT\_SEL0（与芯片外部管脚 PWM0\_OUT2 复用）的上下拉电平，用于选择 Boot 存储器。当 BOOT\_SEL1=1 时，外部复位撤销后，A9 复位不撤销，等待外部通过 PCIE 配置、加载程序到 DDR 中后，外部控制 A9 撤销复位，A9 从零地址启动。此时零地址为 DDR 地址。



### 1.3.4 地址空间映射

地址空间映射如表 1-1 所示。

表1-1 地址空间映射表

起始地址	结束地址	功能	大小	说明
0x8000_0000	0xFFFF_FFFF	DDR 地址空间	2GB	-
0x5C00_0000	0x7FFF_FFFF	保留	-	-
0x5800_0000	0x5BFF_FFFF	SPI FLASH 存储空间	64MB	-
0x5400_0000	0x57FF_FFFF	保留	-	-
0x5000_0000	0x53FF_FFFF	NANDC 存储空间	64MB	-
0x4000_0000	0x4FFF_FFFF	PCIE 配置空间	256MB	-
0x3000_0000	0x3FFF_FFFF	PCIE MEMORY 地址空间	256MB	-
0x2081_0000	0x2FFF_FFFF	保留	-	-
0x2080_0000	0x2080_FFFF	PCIE 寄存器	64KB	请参见外围设备的 PCIE 章节
0x2070_0000	0x207F_FFFF	L2 CACHE 空间	1MB	不需引到外部总线。修改 ARM 内部宏定义
0x2069_0000	0x206F_FFFF	保留	-	-
0x2065_0000	0x2068_FFFF	VICAP 寄存器	256KB	请参见视频接口的 VICAP 章节
0x2064_0000	0x2064_FFFF	VDP 寄存器	64KB	请参见视频接口的 VDP 章节
0x2063_0000	0x2063_FFFF	TDE 寄存器	64KB	请参见 TDE 章节
0x2062_0000	0x2062_FFFF	MD 寄存器	64KB	-
0x2061_0000	0x2061_FFFF	JPEG 寄存器	64KB	请参见视频编码章节
0x2060_0000	0x2060_FFFF	VEDU 寄存器	-	请参见视频编码章节
0x2052_0000	0x205F_FFFF	保留	-	-
0x2040_0000	0x2051_FFFF	ARM DEBUG	1152KB	请参见系统章节
0x2031_0000	0x203F_FFFF	保留	-	-
0x2030_0000	0x2030_FFFF	ARM wdg/timer/gic 等内部寄存器	64KB	请参见系统章节
0x2024_0000	0x202F_FFFF	保留	-	-
0x2022_0000	0x2022_FFFF	GPIO10	64KB	请参见外设接口 GPIO 章节



起始地址	结束地址	功能	大小	说明
0x2021_0000	0x2021_FFFF	GPIO9	64KB	请参见外设接口 GPIO 章节
0x2020_0000	0x2020_FFFF	GPIO8	64KB	请参见外设接口 GPIO 章节
0x201F_0000	0x201F_FFFF	保留	-	-
0x201E_0000	0x201E_FFFF	PWM1	64KB	请参见外设接口 PWM 章节
0x201D_0000	0x201D_FFFF	PWM0	64KB	请参见外设接口 PWM 章节
0x201C_0000	0x201C_FFFF	GPIO7	64KB	请参见外设接口 GPIO 章节
0x201B_0000	0x201B_FFFF	GPIO6	64KB	请参见外设接口 GPIO 章节
0x201A_0000	0x201A_FFFF	GPIO5	64KB	请参见外设接口 GPIO 章节
0x2019_0000	0x2019_FFFF	GPIO4	64KB	请参见外设接口 GPIO 章节
0x2018_0000	0x2018_FFFF	GPIO3	64KB	请参见外设接口 GPIO 章节
0x2017_0000	0x2017_FFFF	GPIO2	64KB	请参见外设接口 GPIO 章节
0x2016_0000	0x2016_FFFF	GPIO1	64KB	请参见外设接口 GPIO 章节
0x2015_0000	0x2015_FFFF	保留	64KB	-
0x2014_0000	0x2014_FFFF	保留	64KB	-
0x2013_0000	0x2013_FFFF	IVE	64KB	请参见智能加速引擎章节
0x2012_0000	0x2012_FFFF	保留	64KB	-
0x2011_0000	0x2011_FFFF	DDRC	64KB	请参见存储器接口的 DDRC 章节
0x2010_0000	0x2010_FFFF	保留	64KB	-
0x200F_0000	0x200F_FFFF	IO config 寄存器	64KB	请参见硬件章节
0x200E_0000	0x200E_FFFF	SPI1 寄存器	64KB	请参见外设接口 SPI 章节
0x200D_0000	0x200D_FFFF	I2C 寄存器	64KB	请参见外设接口 I2C 章节
0x200C_0000	0x200C_FFFF	SPI0 寄存器	64KB	请参见外设接口 SPI 章节
0x200B_0000	0x200B_FFFF	UART3 寄存器	64KB	请参见外设接口 UART 章节
0x200A_0000	0x200A_FFFF	UART2 寄存器	64KB	请参见外设接口 UART 章节
0x2009_0000	0x2009_FFFF	UART1 寄存器	64KB	请参见外设接口 UART 章节
0x2008_0000	0x2008_FFFF	UART0 寄存器	64KB	请参见外设接口 UART 章节
0x2007_0000	0x2007_FFFF	IR	64KB	请参见外设接口 IR 章节
0x2006_0000	0x2006_FFFF	RTC	64KB	请参见系统的实时时钟章节



起始地址	结束地址	功能	大小	说明
0x2005_0000	0x2005_FFFF	SYS_CTRL	64KB	请参见系统的系统控制器章节
0x2004_0000	0x2004_FFFF	WDG	64KB	请参见系统的看门狗章节
0x2003_0000	0x2003_FFFF	CRG	64KB	请参见系统的复位、时钟章节
0x2002_0000	0x2002_FFFF	保留	64KB	
0x2001_0000	0x2001_FFFF	Timer2/3	64KB	请参见系统的 Timer 章节
0x2000_0000	0x2000_FFFF	Timer0/1	64KB	请参见系统的 Timer 章节
0x1011_0000	0x1FFF_FFFF	保留	-	-
0x1010_0000	0x1010_FFFF	保留	64KB	
0x100F_0000	0x100F_FFFF	保留	64KB	-
0x100E_0000	0x100E_FFFF	保留	64KB	-
0x100D_0000	0x100D_FFFF	DMAC 寄存器	64KB	请参见系统的直接存储控制器章节
0x100C_0000	0x100C_FFFF	CIPHER 寄存器	64KB	请参见系统的 CIPHER 章节
0x100B_0000	0x100B_FFFF	USB20HOST EHCI 寄存器	64KB	请参见外围设备的 USB 章节
0x100A_0000	0x100A_FFFF	USB20HOST OHCI 寄存器	64KB	请参见外围设备的 USB 章节
0x1009_0000	0x1009_FFFF	GMAC 寄存器	64KB	请参见 GMAC 章节
0x1008_0000	0x1008_FFFF	保留	64KB	-
0x1007_0000	0x1007_FFFF	Efuse 寄存器	64KB	-
0x1006_0000	0x1006_FFFF	SIO2 寄存器	64KB	请参见音频接口 SIO 章节
0x1005_0000	0x1005_FFFF	SIO 1 寄存器	64KB	请参见音频接口 SIO 章节
0x1004_0000	0x1004_FFFF	SIO 0 寄存器	64KB	请参见音频接口 SIO 章节
0x1003_0000	0x1003_FFFF	SDIO1 寄存器	64KB	请参见外设接口的 MMC/SD/SDIO 章节
0x1002_0000	0x1002_FFFF	SDIO0 寄存器	64KB	请参见外设接口的 MMC/SD/SDIO 章节
0x1001_0000	0x1001_FFFF	SPI FLASH 寄存器	64KB	请参见存储控制器的 SFC 章节
0x1000_0000	0x1000_FFFF	NANDC 寄存器	64KB	请参见存储控制器的 NANDC 章节
0x0400_0000	0x0FFF_FFFF	保留	-	-



## 1 产品概述

起始地址	结束地址	功能	大小	说明
0x0000_0000	0x03FF_FFFF	地址重映射选定的存储器。	64MB	[BOOT_SEL1,BOOT_SEL0]: 00: SPI FLASH 存储空间 01: NAND FLASH 存储空间 10/11: DDR 存储空间 (PCIE 从加载模式) 重映射撤销后该地址段保留



# 目 录

<b>2 硬件特性</b> .....	<b>2-1</b>
2.1 封装与管脚.....	2-1
2.1.1 封装 .....	2-1
2.1.2 管脚分布 .....	2-5
2.1.3 管脚描述 .....	2-16
2.1.4 管脚复用寄存器概览.....	2-51
2.1.5 复用寄存器描述.....	2-54
2.1.6 软件复用管脚描述.....	2-96
2.1.7 硬件管脚复用描述.....	2-109
2.2 电性能参数.....	2-113
2.2.1 推荐工作条件.....	2-113
2.2.2 上下电顺序 .....	2-114
2.2.3 DC/AC 电气参数 .....	2-114
2.3 PCB 设计建议 .....	2-116
2.4 接口时序.....	2-116
2.4.1 DDR 接口时序.....	2-116
2.4.2 NANDC 接口时序 .....	2-120
2.4.3 SFC 接口时序 .....	2-124
2.4.4 Ethernet MAC 接口时序.....	2-125
2.4.5 VI 接口时序 .....	2-130
2.4.6 VO 接口时序.....	2-130
2.4.7 SIO 接口时序.....	2-131
2.4.8 I <sup>2</sup> C 时序.....	2-132
2.4.9 SPI 接口时序.....	2-134





## 插图目录

图 2-1 芯片封装顶视图 .....	2-2
图 2-2 芯片封装底视图 .....	2-3
图 2-3 芯片封装侧视图 .....	2-3
图 2-4 Detail B 放大图 .....	2-4
图 2-5 Detail A 放大图 .....	2-4
图 2-6 管脚分布图 part1 (A1~L11) .....	2-6
图 2-7 管脚分布图 part2 (M1~AB11) .....	2-7
图 2-8 管脚分布图 part3 (M12~AB22) .....	2-8
图 2-9 管脚分布图 part4 (A12~L22) .....	2-9
图 2-10 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图 .....	2-117
图 2-11 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图 .....	2-117
图 2-12 DDR2 中 dqs_out 相对于 ck 的写操作时序图 .....	2-117
图 2-13 DDR3 中 dqs_out 相对于 ck 的写操作时序图 .....	2-118
图 2-14 命令和地址相对于 ck 的写操作时序图 .....	2-118
图 2-15 DDRn SDRAM 输出时序图 .....	2-119
图 2-16 NANDC 命令周期时序图 .....	2-121
图 2-17 NANDC 地址周期时序图 .....	2-122
图 2-18 NANDC 写数据时序图 .....	2-123
图 2-19 NANDC 读数据时序图 .....	2-124
图 2-20 SFC 输入方向时序图 .....	2-124
图 2-21 SFC 输出方向时序图 .....	2-125
图 2-22 MII 接口 100Mbit/s 接收时序 .....	2-126
图 2-23 MII 接口 100Mbit/s 发送时序 .....	2-126
图 2-24 MII 接口 10Mbit/s 接收时序 .....	2-126
图 2-25 MII 接口 10Mbit/s 发送时序 .....	2-126

图 2-26 MII 接口接收时序参数 .....	2-127
图 2-27 MII 接口发送时序参数 .....	2-127
图 2-28 RGMII 接口 1000Mbit/s 接收时序.....	2-128
图 2-29 RGMII 接口 1000Mbit/s 发送时序.....	2-128
图 2-30 MDIO 接口读时序.....	2-129
图 2-31 MDIO 接口写时序.....	2-129
图 2-32 MDIO 接口接收时序参数.....	2-129
图 2-33 VI 接口时序图 .....	2-130
图 2-34 VO 接口时序.....	2-130
图 2-35 I <sup>2</sup> S 接口接收时序图.....	2-131
图 2-36 I <sup>2</sup> S 接口发送时序图.....	2-131
图 2-37 PCM 接口接收时序图 .....	2-132
图 2-38 PCM 接口发送时序图 .....	2-132
图 2-39 I <sup>2</sup> C 传输时序图 .....	2-133
图 2-40 SPICK 时序 .....	2-134
图 2-41 SPI 主模式下接口时序 (sph=0) .....	2-134
图 2-42 SPI 主模式下接口时序 (sph=1) .....	2-135



## 表格目录

表 2-1 封装参数说明表 .....	2-5
表 2-2 Hi3516 管脚数目统计表.....	2-5
表 2-3 管脚排列表 .....	2-9
表 2-4 管脚 I/O 类型说明 .....	2-16
表 2-5 Audio codec 管脚 .....	2-17
表 2-6 VDAC 管脚 .....	2-18
表 2-7 PLL 管脚 .....	2-19
表 2-8 USB 管脚.....	2-19
表 2-9 DDR_DRV_R 管脚 .....	2-21
表 2-10 DDR 管脚.....	2-21
表 2-11 IR/RST/OSC 管脚 .....	2-25
表 2-12 ETH 管脚.....	2-26
表 2-13 I2C 管脚 .....	2-28
表 2-14 JTAG 管脚 .....	2-28
表 2-15 NF 管脚 .....	2-29
表 2-16 PCIE 管脚.....	2-31
表 2-17 PWM0 管脚.....	2-32
表 2-18 PWM1 管脚.....	2-33
表 2-19 SDIO 管脚 .....	2-33
表 2-20 VI0 管脚 .....	2-35
表 2-21 VII 管脚 .....	2-37
表 2-22 SFC 管脚 .....	2-42
表 2-23 SIO 管脚.....	2-44
表 2-24 SPI0 管脚.....	2-45
表 2-25 UART0 管脚.....	2-46

表 2-26 UART1 管脚.....	2-46
表 2-27 EFUSE 管脚.....	2-47
表 2-28 VOUI 管脚.....	2-47
表 2-29 PG 管脚.....	2-50
表 2-30 管脚复用寄存器概览（基地址为 0x200F_0000）.....	2-51
表 2-31 VIU0 的软件复用管脚.....	2-96
表 2-32 VIU0 的软件复用管脚描述.....	2-96
表 2-33 VIU1 的软件复用管脚.....	2-97
表 2-34 VIU1 的软件复用管脚描述.....	2-98
表 2-35 SIO0 的软件复用管脚.....	2-100
表 2-36 SIO0 的软件复用管脚描述.....	2-100
表 2-37 SPI0 的软件复用管脚.....	2-101
表 2-38 SPI0 的软件复用管脚描述.....	2-101
表 2-39 I2C 的软件复用管脚.....	2-102
表 2-40 I2C 的软件复用管脚描述.....	2-102
表 2-41 UART1 的软件复用管脚.....	2-102
表 2-42 UART1 的软件复用管脚描述.....	2-102
表 2-43 RGMII 的软件复用管脚.....	2-103
表 2-44 RGMII 的软件复用管脚描述.....	2-103
表 2-45 IR 的软件复用管脚.....	2-103
表 2-46 IR 的软件复用管脚描述.....	2-104
表 2-47 NF 的软件复用管脚.....	2-104
表 2-48 NF 的软件复用管脚描述.....	2-104
表 2-49 SDIO0 的软件复用管脚.....	2-105
表 2-50 SDIO0 的软件复用管脚描述.....	2-106
表 2-51 SF 的软件复用管脚.....	2-106
表 2-52 SF 的软件复用管脚描述.....	2-106
表 2-53 VOUI 的软件复用管脚.....	2-107
表 2-54 VOUI 的软件复用管脚描述.....	2-107
表 2-55 USB 的软件复用管脚.....	2-108
表 2-56 USB 的软件复用管脚描述.....	2-109
表 2-57 VIUX 的软件复用管脚.....	2-109



表 2-58 VIUX 的软件复用管脚描述.....	2-109
表 2-59 RGMII 硬件管脚复用.....	2-109
表 2-60 与 RGMII 复用的管脚描述.....	2-110
表 2-61 NF 硬件管脚复用.....	2-110
表 2-62 与 NF 复用的管脚描述.....	2-110
表 2-63 PWM 硬件管脚复用.....	2-111
表 2-64 与 PWM 复用的管脚描述.....	2-111
表 2-65 功耗参数.....	2-113
表 2-66 推荐工作条件.....	2-113
表 2-67 DC 电气参数表 (DVDD33=3.3V, 5V 输入兼容, 部分接口不支持 5V 输入兼容).....	2-114
表 2-68 DC 电气参数表 (DVDD1518=1.8V, DDR2 SSTL18 模式).....	2-115
表 2-69 AC 电气参数表 (DVDD1518=1.8V, DDR2 模式).....	2-115
表 2-70 DC 电气参数表 (DVDD1518=1.5V, DDR3 模式).....	2-115
表 2-71 AC 电气参数表 (DVDD1518=1.5V, DDR3 模式).....	2-116
表 2-72 DDR2 时钟参数表.....	2-119
表 2-73 DDR2 SDRAM 存储器参数表 (DDR2-800).....	2-119
表 2-74 DDR3 时钟参数表.....	2-120
表 2-75 DDR3 SDRAM 存储器参数表 (DDR3-1066).....	2-120
表 2-76 NANDC 命令周期时序参数表.....	2-121
表 2-77 NANDC 地址周期时序参数表.....	2-122
表 2-78 NANDC 写数据时序参数表.....	2-123
表 2-79 NANDC 读数据时序参数表.....	2-124
表 2-80 SFC 输入方向时序参数表.....	2-125
表 2-81 SFC 输出方向时序参数表.....	2-125
表 2-82 MII 接口时序参数说明.....	2-127
表 2-83 RGMII 接口时序参数说明.....	2-128
表 2-84 MDIO 接口时序参数.....	2-129
表 2-85 VI 接口时序参数表.....	2-130
表 2-86 VO 接口时序参数表.....	2-130
表 2-87 I <sup>2</sup> S 接口时序参数表.....	2-131
表 2-88 PCM 接口时序参数表.....	2-132
表 2-89 I <sup>2</sup> C 接口时序参数表.....	2-133

表 2-90 SPI 接口时序参数.....	2-135
------------------------	-------



# 2 硬件特性

## 2.1 封装与管脚

### 2.1.1 封装

Hi3516 芯片采用 ED (Exposed die) FCCSP 封装，封装尺寸为 15mm%15mm，管脚间距为 0.65mm，详细封装请参见图 2-1~图 2-5，封装尺寸参数请参见表 2-1。



图2-1 芯片封装顶视图

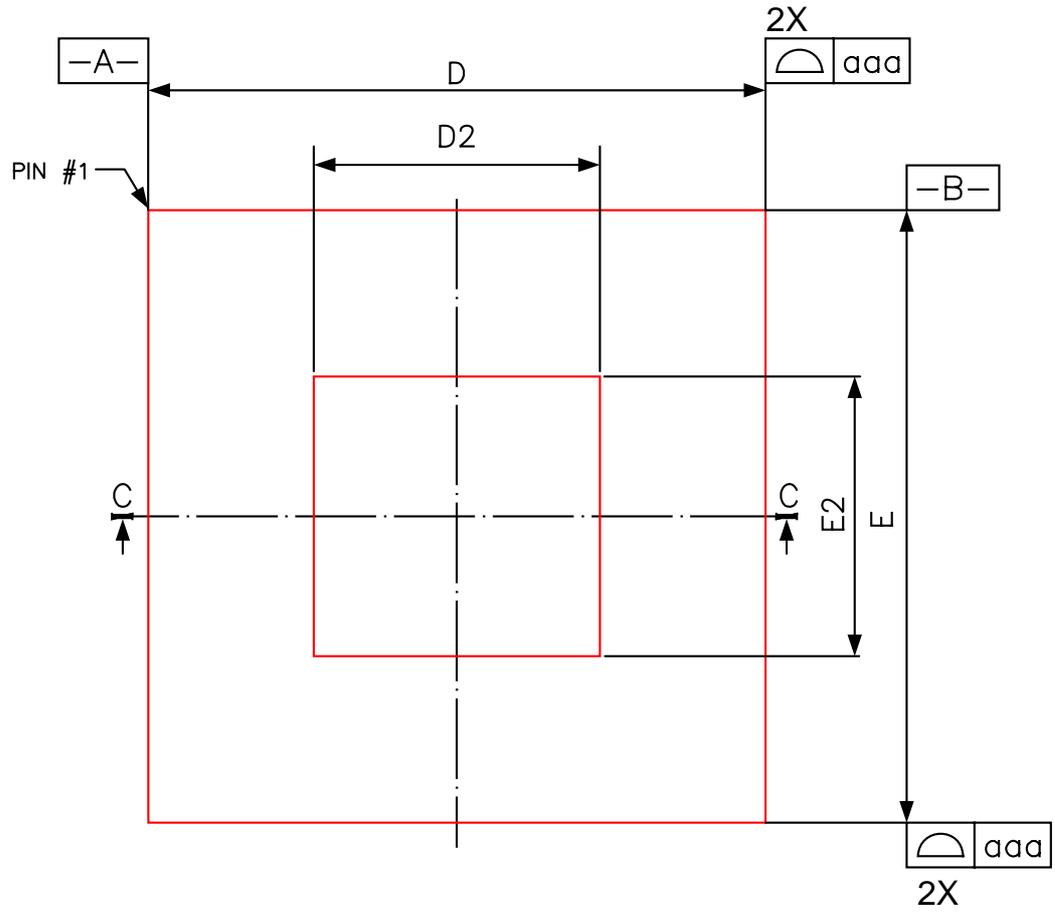




图2-2 芯片封装底视图

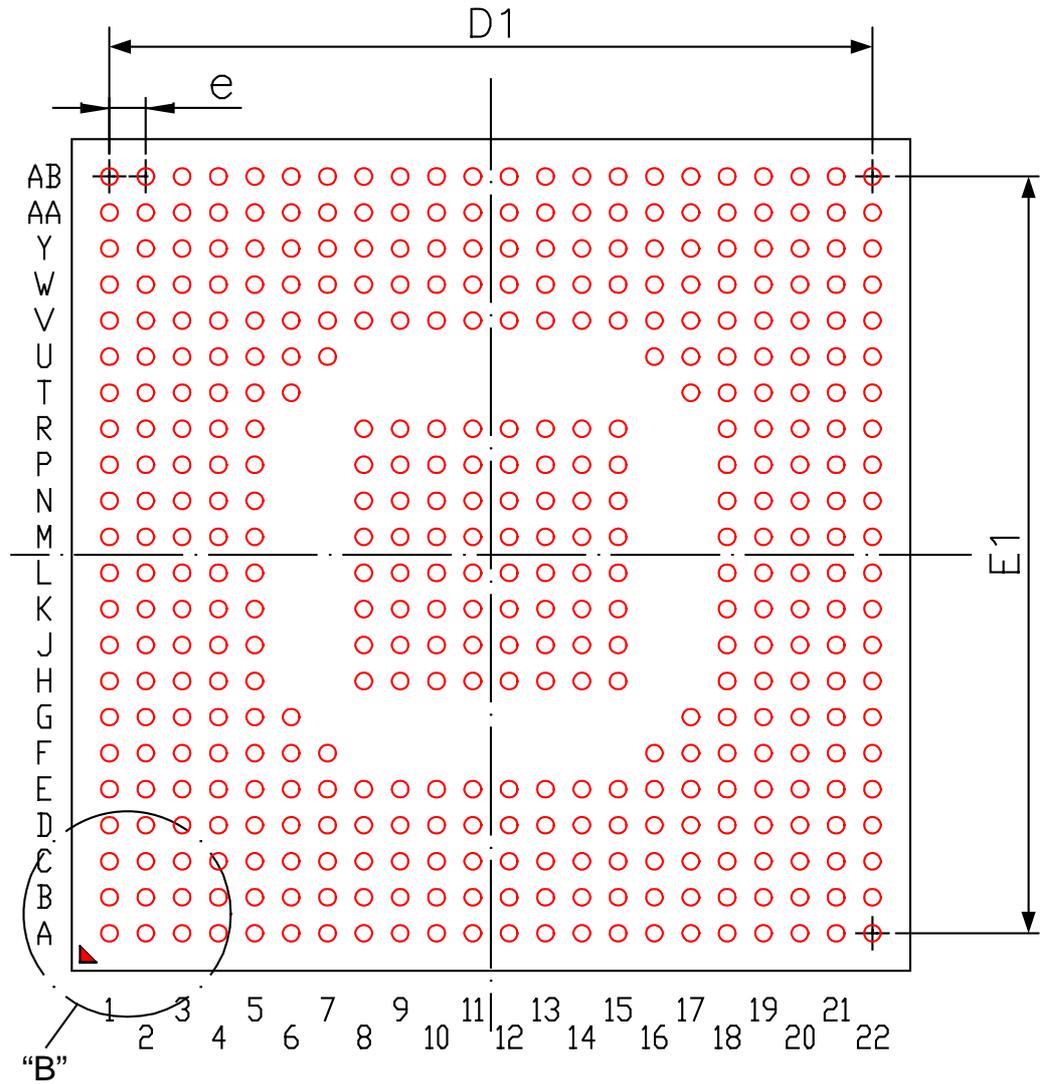


图2-3 芯片封装侧视图

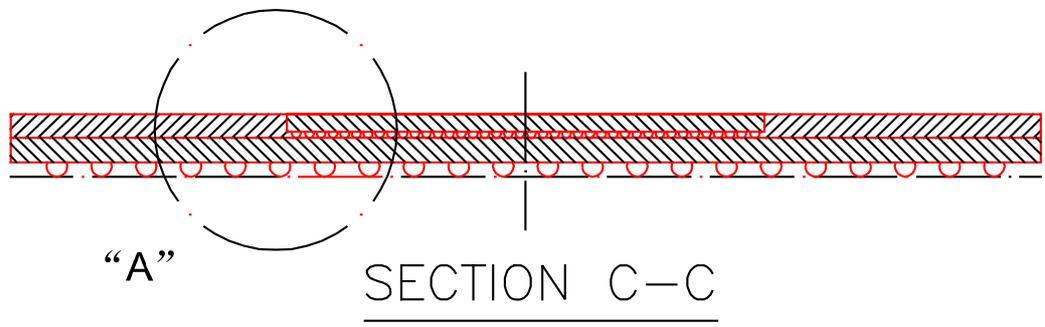




图2-4 Detail B 放大图

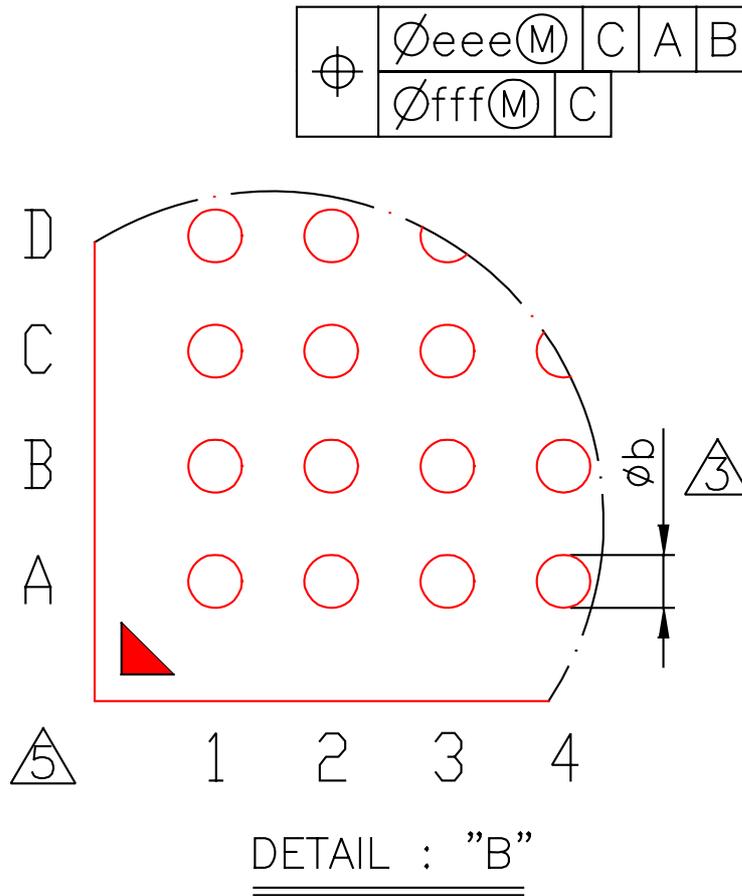


图2-5 Detail A 放大图

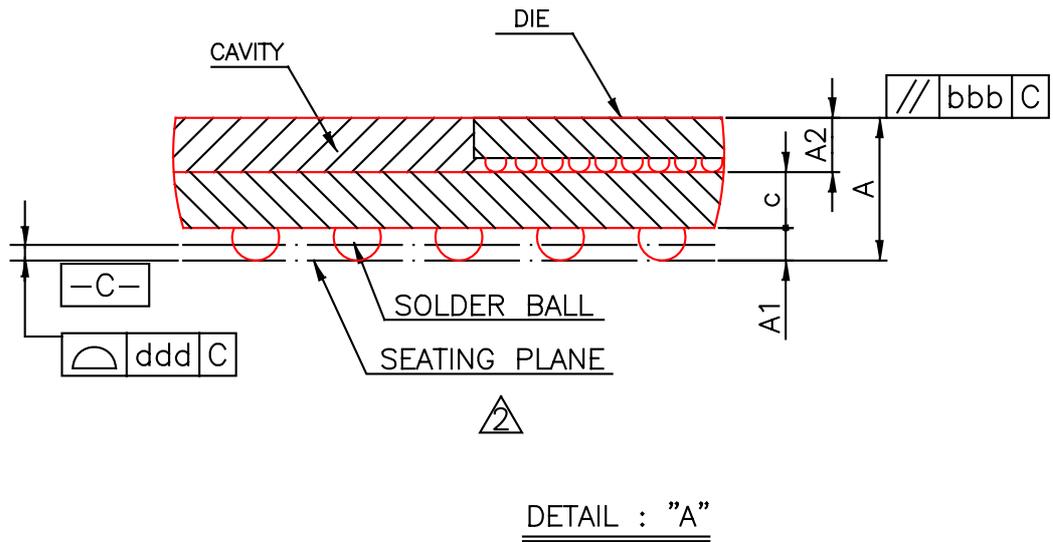




表2-1 封装参数说明表

参数	尺寸 (mm)		
	最小值	典型值	最大值
A	0.84	0.92	1.00
A1	0.15	0.21	0.26
A2	0.30	0.35	0.40
c	0.32	0.36	0.40
D	14.90	15.00	15.10
E	14.90	15.00	15.10
D1	-	13.65	-
E1	-	13.65	-
D2	-	6.975	-
E2	-	6.849	-
e	-	0.65	24.20
b	-	0.30	-
aaa	0.10		
bbb	0.10		
ddd	0.125		
eee	0.15		
fff	0.08		

## 2.1.2 管脚分布

Hi3516 的管脚有 416 个，管脚数目统计表如表 2-2 所示。

表2-2 Hi3516 管脚数目统计表

管脚类别	数量
数字 I/O	223
模拟信号管脚	24
数字电源	54
模拟电源	12
数字地	80



管脚类别	数量
模拟地	23
总计	416

## 管脚分布图

Hi3516 管脚分布如图 2-6~图 2-9 所示。

图2-6 管脚分布图 part1 (A1~L11)

	1	2	3	4	5	6	7	8	9	10	11		
<b>A</b>	VSS	DDR_DQ1 8	DDR_DQ1 6	DDR_PAD HI_T	DDR_A10	DDR_A9	DDR_CLK 1_N	DDR_A1	DDR_BA1	DDR_CLK 0_N	DDR_CKE		
<b>B</b>	DDR_DQS 2_P	DDR_DQS 2_N	DDR_DQ1 7	DDR_PAD LO_T	DDR_A13	DDR_A12	DDR_CLK 1_P	DDR_A3	DDR_BA2	DDR_CLK 0_P	DDR_WE_ N		
<b>C</b>	DDR_DQ2 0	DDR_DM2	DDR_DQ1 9	DDR_RTT _R	DDR_A14	DDR_A8	DDR_A6	DDR_A4	DDR_A0	DDR_CAS _N	DDR_RAS _N		
<b>D</b>	DDR_DQ2 4	DDR_DQ2 3	DDR_DQ2 2	DDR_DQ2 1	VSS	DDR_A7	DDR_A11	DDR_A5	DDR_A2	DDR_BA0	DDR_ODT		
<b>E</b>	DDR_DQS 3_N	DDR_DQS 3_P	DDR_DQ2 6	DDR_DQ2 5	VSS	DVDD1518	DVDD1518	VSS	VSS	DVDD1518	DVDD1518		
<b>F</b>	DDR_DQ2 9	DDR_DQ2 8	DDR_DM3	DDR_DQ2 7	VSS	DVDD1518	DVDD1518						
<b>G</b>	DDR_DQ3 1	DDR_DQ3 0	VSS	VSS	VSS	DVDD1518							
<b>H</b>	DDR_PAD LO_R	DDR_PAD HI_R	VIU0_DAT 1	VIU0_DAT 0	VSS					DDR_REF	VSS	DVDD10	VSS
<b>J</b>	VIU0_DAT 5	VIU0_DAT 4	VIU0_DAT 3	VIU0_DAT 2	VSS					VSS	DVDD10	VSS	DVDD10
<b>K</b>	VIU0_DAT 8	VIU0_DAT 7	VIU0_DAT 6	SENS_CL K	DVDD33					DVDD10	VSS	DVDD10	VSS
<b>L</b>	VIU0_HS	VIU0_DAT 11	VIU0_DAT 10	VIU0_DAT 9	DVDD33					VSS	DVDD10	VSS	DVDD10



图2-7 管脚分布图 part2 (M1~AB11)

<b>M</b>	VIU0_CLK	VIU0_DAT 13	VIU0_DAT 12	VIU0_VS	VSS								DVDD10	VSS	DVDD10	VSS
<b>N</b>	VIU0_DAT 14	VIU0_DAT 15	VIU1_HS	VIU1_VS	VSS								VSS	DVDD10	VSS	DVDD10
<b>P</b>	VIU1_CLK	VIU1_DAT 0	VIU1_DAT 1	VIU1_DAT 2	DVDD33								DVDD10	VSS	DVDD10	VSS
<b>R</b>	VIU1_DAT 3	VIU1_DAT 4	VIU1_DAT 5	VIU1_DAT 6	DVDD33								VSS	DVDD10	VSS	DVDD10
<b>T</b>	VIU1_DAT 7	VIU1_DAT 8	VIU1_DAT 9	VIU1_DAT 10	VSS	DVDD33										
<b>U</b>	VIU1_DAT 11	VIU1_DAT 12	VIU1_DAT 13	VIU1_DAT 14	VSS	DVDD33	DVDD33									
<b>V</b>	VIU1_DAT 15	SPI0_CSN 1	SPI0_CSN 0	SPI0_SDI	VSS	VSS	DVDD33	VSS	VSS	DVDD33	DVDD33					
<b>W</b>	SPI0_SDO	SPI0_SCL K	PWM0_OU T2	NF_DQ4	NF_CSN1	NF_RDY1	SFC_HOL D_IO3	SFC_CS0 N	SIO0_DOU T	VOU1_DA TA7	VOU1_DA TA3					
<b>Y</b>	PWM0_OU T1	PWM0_OU T0	NF_DQ5	NF_DQ0	NF_WEN	NF_RDY0	SFC_WP_I O2	SIO0_RCL K	SIO0_RFS	VOU1_DA TA6	VOU1_DA TA2					
<b>AA</b>	NF_DQ7	NF_DQ6	NF_DQ2	NF_ALE	NF_CSN0	SFC_DOI	SFC_DIO	SIO0_XCL K	SIO0_XFS	VOU1_DA TA5	VOU1_DA TA1					
<b>AB</b>	VSS	NF_DQ3	NF_DQ1	NF_CLE	NF_REN	SFC_CLK	SFC_CS1 N	SIO0_MCL K	SIO0_DIN	VOU1_DA TA4	VOU1_DA TA0					
	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>	<b>6</b>	<b>7</b>	<b>8</b>	<b>9</b>	<b>10</b>	<b>11</b>					



图2-8 管脚分布图 part3 (M12~AB22)

DVDD10	VSS	DVDD10	DVDD10_USB					AVSS_US B	PWM1_OUT0	USB0_OVRCUR	USB0_DP	USB0_DM	<b>M</b>	
VSS	DVDD10	VSS	DVSS_US B					AVDD33_USB	AVDD33_USB	USB0_PWREN	AVSS_US B	AVSS_US B	<b>N</b>	
DVDD10	VSS	DVDD10	DVDD10_DAC					AC_AVDD	USB1_PWREN	USB1_OVRCUR	USB1_DM	USB1_DP	<b>P</b>	
VSS	PCIE_VP10	VDD10_PL L	AVSS_PLL234					DVDD33_DAC	DVSS_DAC	AC_MICBIAS	AC_AGND	AC_AGND	<b>R</b>	
								AVDD33_DAC	AVSS_DAC	AC_VREF	AC_AGND	AC_LINEL	AC_MICR	<b>T</b>
				VDDREF10_PLL	AVDD33_PLL1	AVDD33_PLL234	AVSS_DAC	AC_AGND	AC_LINER	AC_MICL			<b>U</b>	
VSS	VSS	VDD25_EFUSE	PCIE_VPH25	AVSS_PLL1	VSS	VSS	VSS	DAC_RST	AC_AGND	AC_AGND			<b>V</b>	
JTAG_TRSTN	JTAG_TDI	VSS	PCIE_REFCLKP	VSS	VSS	TEST_MODE	WDG_RSTN	AVSS_DAC	AC_OUTR	AC_OUTL			<b>W</b>	
UART0_RXD	JTAG_TMS	VSS	PCIE_REFCLKM	VSS	PCIE_REXT	RSTN	IR_IN	AVSS_DAC	AC_AGND	AC_AGND			<b>Y</b>	
UART0_TXD	JTAG_TDO	VSS	PCIE_RX0M	VSS	PCIE_TX0P	VSS	XIN	AVSS_DAC	DAC_IOR	DAC_VREFIN			<b>AA</b>	
VOU1_CLK	JTAG_TCK	VSS	PCIE_RX0P	VSS	PCIE_TX0M	VSS	XOUT	AVSS_DAC	DAC_COM P	AVSS_DAC			<b>AB</b>	
<b>12</b>	<b>13</b>	<b>14</b>	<b>15</b>	<b>16</b>	<b>17</b>	<b>18</b>	<b>19</b>	<b>20</b>	<b>21</b>	<b>22</b>				



图2-9 管脚分布图 part4 (A12~L22)

12	13	14	15	16	17	18	19	20	21	22	
VSS	DDR_DQ0	DDR_DM0	DDR_DQS_0_P	DDR_DQ8	DDR_DQS_1_P	DDR_DQ1_3	VSS	UART1_R_TSN	UART1_R_XD	VSS	<b>A</b>
VSS	DDR_DQ1	DDR_DQ3	DDR_DQS_0_N	DDR_DQ9	DDR_DQS_1_N	DDR_DQ1_4	VSS	UART1_C_TSN	UART1_T_XD	I2C_SDA	<b>B</b>
DDR3_RE_SET_N	DDR_DQ2	DDR_DQ4	DDR_DQ6	DDR_DQ1_0	DDR_DQ1_1	DDR_DQ1_5	VSS	I2C_SCL	EPHY_CLK	RGMII_RX_DV	<b>C</b>
DDR_CS_N	VSS	DDR_DQ5	DDR_DQ7	DDR_DM1	DDR_DQ1_2	DDR_RTT_T	RGMII_RX_D3	RGMII_RX_CK	RGMII_RX_D2	RGMII_RX_D1	<b>D</b>
VSS	VSS	DVDD1518	DVDD1518	DVDD1518	VSS	VSS	RGMII_RX_D0	RGMII_CR_S	RGMII_TX_CK	RGMII_CO_L	<b>E</b>
			DVDD1518	VSS	DVDD33	RGMII_TX_EN	RGMII_TX_D3	RGMII_TX_D2	RGMII_TX_D1		<b>F</b>
				VSS	DVDD33	RGMII_TX_D0	RGMII_TX_CKOUT	MDIO	MDCK		<b>G</b>
DDR_REF	VSS	DVDD10	VSS		VSS	SDIO0_CARD_DETECT	SDIO0_C_WPR	SDIO0_CCMD_ODPULLUP_EN	SDIO0_CARD_POWER_EN		<b>H</b>
VSS	DVDD10	VSS	DVDD10		VSS	SDIO0_CCLK_OUT	SDIO0_CCMD	SDIO0_CDATA4	SDIO0_CDATA5		<b>J</b>
DVDD10	VSS	DVDD10	VSS		DVDD33	SDIO0_CDATA6	SDIO0_CDATA7	SDIO0_CDATA0	SDIO0_CDATA1		<b>K</b>
VSS	DVDD10	VSS	DVDD10		DVDD33	SDIO0_CDATA2	SDIO0_CDATA3	AVSS_USB	USB_REXT		<b>L</b>

### 管脚排列表

Hi3516 的管脚按位置排列如表 2-3 所示。

表2-3 管脚排列表

位置	管脚名称	位置	管脚名称
A1	VSS	J13	DVDD10
A2	DDR_DQ18	J14	VSS
A3	DDR_DQ16	J15	DVDD10
A4	DDR_PADHI_T	J18	VSS
A5	DDR_A10	J19	SDIO0_CCLK_OUT
A6	DDR_A9	J20	SDIO0_CCMD
A7	DDR_CLK1_N	J21	SDIO0_CDATA4
A8	DDR_A1	J22	SDIO0_CDATA5
A9	DDR_BA1	K1	VIU0_DAT8



位置	管脚名称	位置	管脚名称
A10	DDR_CLK0_N	K2	VIU0_DAT7
A11	DDR_CKE	K3	VIU0_DAT6
A12	VSS	K4	SENS_CLK
A13	DDR_DQ0	K5	DVDD33
A14	DDR_DM0	K8	DVDD10
A15	DDR_DQS0_P	K9	VSS
A16	DDR_DQ8	K10	DVDD10
A17	DDR_DQS1_P	K11	VSS
A18	DDR_DQ13	K12	DVDD10
A19	VSS	K13	VSS
A20	UART1_RTSN	K14	DVDD10
A21	UART1_RXD	K15	VSS
A22	VSS	K18	DVDD33
AA1	NF_DQ7	K19	SDIO0_CDATA6
AA2	NF_DQ6	K20	SDIO0_CDATA7
AA3	NF_DQ2	K21	SDIO0_CDATA0
AA4	NF_ALE	K22	SDIO0_CDATA1
AA5	NF_CSN0	L1	VIU0_HS
AA6	SFC_DOI	L2	VIU0_DAT11
AA7	SFC_DIO	L3	VIU0_DAT10
AA8	SIO0_XCLK	L4	VIU0_DAT9
AA9	SIO0_XFS	L5	DVDD33
AA10	VOU1_DATA5	L8	VSS
AA11	VOU1_DATA1	L9	DVDD10
AA12	UART0_TXD	L10	VSS
AA13	JTAG_TDO	L11	DVDD10
AA14	VSS	L12	VSS
AA15	PCIE_RX0M	L13	DVDD10
AA16	VSS	L14	VSS
AA17	PCIE_TX0P	L15	DVDD10
AA18	VSS	L18	DVDD33



位置	管脚名称	位置	管脚名称
AA19	XIN	L19	SDIO0_CDATA2
AA20	AVSS_DAC	L20	SDIO0_CDATA3
AA21	DAC_IOR	L21	AVSS_USB
AA22	DAC_VREFIN	L22	USB_REXT
AB1	VSS	M1	VIU0_CLK
AB2	NF_DQ3	M2	VIU0_DAT13
AB3	NF_DQ1	M3	VIU0_DAT12
AB4	NF_CLE	M4	VIU0_VS
AB5	NF_REN	M5	VSS
AB6	SFC_CLK	M8	DVDD10
AB7	SFC_CSIN	M9	VSS
AB8	SIO0_MCLK	M10	DVDD10
AB9	SIO0_DIN	M11	VSS
AB10	VOU1_DATA4	M12	DVDD10
AB11	VOU1_DATA0	M13	VSS
AB12	VOU1_CLK	M14	DVDD10
AB13	JTAG_TCK	M15	DVDD10_USB
AB14	VSS	M18	AVSS_USB
AB15	PCIE_RX0P	M19	PWM1_OUT0
AB16	VSS	M20	USB0_OVRCUR
AB17	PCIE_TX0M	M21	USB0_DP
AB18	VSS	M22	USB0_DM
AB19	XOUT	N1	VIU0_DAT14
AB20	AVSS_DAC	N2	VIU0_DAT15
AB21	DAC_COMP	N3	VIU1_HS
AB22	AVSS_DAC	N4	VIU1_VS
B1	DDR_DQS2_P	N5	VSS
B2	DDR_DQS2_N	N8	VSS
B3	DDR_DQ17	N9	DVDD10
B4	DDR_PADLO_T	N10	VSS
B5	DDR_A13	N11	DVDD10



位置	管脚名称	位置	管脚名称
B6	DDR_A12	N12	VSS
B7	DDR_CLK1_P	N13	DVDD10
B8	DDR_A3	N14	VSS
B9	DDR_BA2	N15	DVSS_USB
B10	DDR_CLK0_P	N18	AVDD33_USB
B11	DDR_WE_N	N19	AVDD33_USB
B12	VSS	N20	USB0_PWREN
B13	DDR_DQ1	N21	AVSS_USB
B14	DDR_DQ3	N22	AVSS_USB
B15	DDR_DQS0_N	P1	VIU1_CLK
B16	DDR_DQ9	P2	VIU1_DAT0
B17	DDR_DQS1_N	P3	VIU1_DAT1
B18	DDR_DQ14	P4	VIU1_DAT2
B19	VSS	P5	DVDD33
B20	UART1_CTSN	P8	DVDD10
B21	UART1_TXD	P9	VSS
B22	I2C_SDA	P10	DVDD10
C1	DDR_DQ20	P11	VSS
C2	DDR_DM2	P12	DVDD10
C3	DDR_DQ19	P13	VSS
C4	DDR_RTT_R	P14	DVDD10
C5	DDR_A14	P15	DVDD10_DAC
C6	DDR_A8	P18	AC_AVDD
C7	DDR_A6	P19	USB1_PWREN
C8	DDR_A4	P20	USB1_OVRCUR
C9	DDR_A0	P21	USB1_DM
C10	DDR_CAS_N	P22	USB1_DP
C11	DDR_RAS_N	R1	VIU1_DAT3
C12	DDR3_RESET_N	R2	VIU1_DAT4
C13	DDR_DQ2	R3	VIU1_DAT5
C14	DDR_DQ4	R4	VIU1_DAT6



位置	管脚名称	位置	管脚名称
C15	DDR_DQ6	R5	DVDD33
C16	DDR_DQ10	R8	VSS
C17	DDR_DQ11	R9	DVDD10
C18	DDR_DQ15	R10	VSS
C19	VSS	R11	DVDD10
C20	I2C_SCL	R12	VSS
C21	EPHY_CLK	R13	PCIE_VP10
C22	RGMII_RXDV	R14	VDD10_PLL
D1	DDR_DQ24	R15	AVSS_PLL234
D2	DDR_DQ23	R18	DVDD33_DAC
D3	DDR_DQ22	R19	DVSS_DAC
D4	DDR_DQ21	R20	AC_MICBIAS
D5	VSS	R21	AC_AGND
D6	DDR_A7	R22	AC_AGND
D7	DDR_A11	T1	VIU1_DAT7
D8	DDR_A5	T2	VIU1_DAT8
D9	DDR_A2	T3	VIU1_DAT9
D10	DDR_BA0	T4	VIU1_DAT10
D11	DDR_ODT	T5	VSS
D12	DDR_CS_N	T6	DVDD33
D13	VSS	T17	AVDD33_DAC
D14	DDR_DQ5	T18	AVSS_DAC
D15	DDR_DQ7	T19	AC_VREF
D16	DDR_DM1	T20	AC_AGND
D17	DDR_DQ12	T21	AC_LINEL
D18	DDR_RTT_T	T22	AC_MICR
D19	RGMII_RXD3	U1	VIU1_DAT11
D20	RGMII_RXCK	U2	VIU1_DAT12
D21	RGMII_RXD2	U3	VIU1_DAT13
D22	RGMII_RXD1	U4	VIU1_DAT14
E1	DDR_DQS3_N	U5	VSS



位置	管脚名称	位置	管脚名称
E2	DDR_DQS3_P	U6	DVDD33
E3	DDR_DQ26	U7	DVDD33
E4	DDR_DQ25	U16	VDDREF10_PLL
E5	VSS	U17	AVDD33_PLL1
E6	DVDD1518	U18	AVDD33_PLL234
E7	DVDD1518	U19	AVSS_DAC
E8	VSS	U20	AC_AGND
E9	VSS	U21	AC_LINER
E10	DVDD1518	U22	AC_MICL
E11	DVDD1518	V1	VIU1_DAT15
E12	VSS	V2	SPI0_CSN1
E13	VSS	V3	SPI0_CSN0
E14	DVDD1518	V4	SPI0_SDI
E15	DVDD1518	V5	VSS
E16	DVDD1518	V6	VSS
E17	VSS	V7	DVDD33
E18	VSS	V8	VSS
E19	RGMII_RXD0	V9	VSS
E20	RGMII_CRS	V10	DVDD33
E21	RGMII_TXCK	V11	DVDD33
E22	RGMII_COL	V12	VSS
F1	DDR_DQ29	V13	VSS
F2	DDR_DQ28	V14	VDD25_EFUSE
F3	DDR_DM3	V15	PCIE_VPH25
F4	DDR_DQ27	V16	AVSS_PLL1
F5	VSS	V17	VSS
F6	DVDD1518	V18	VSS
F7	DVDD1518	V19	VSS
F16	DVDD1518	V20	DAC_RSET
F17	VSS	V21	AC_AGND
F18	DVDD33	V22	AC_AGND



位置	管脚名称	位置	管脚名称
F19	RGMII_TXEN	W1	SPI0_SDO
F20	RGMII_TXD3	W2	SPI0_SCLK
F21	RGMII_TXD2	W3	PWM0_OUT2
F22	RGMII_TXD1	W4	NF_DQ4
G1	DDR_DQ31	W5	NF_CSN1
G2	DDR_DQ30	W6	NF_RDY1
G3	VSS	W7	SFC_HOLD_IO3
G4	VSS	W8	SFC_CS0N
G5	VSS	W9	SIO0_DOUT
G6	DVDD1518	W10	VOU1_DATA7
G17	VSS	W11	VOU1_DATA3
G18	DVDD33	W12	JTAG_TRSTN
G19	RGMII_TXD0	W13	JTAG_TDI
G20	RGMII_TXCKOUT	W14	VSS
G21	MDIO	W15	PCIE_REFCLKP
G22	MDCK	W16	VSS
H1	DDR_PADLO_R	W17	VSS
H2	DDR_PADHI_R	W18	TEST_MODE
H3	VIU0_DAT1	W19	WDG_RSTN
H4	VIU0_DAT0	W20	AVSS_DAC
H5	VSS	W21	AC_OUTR
H8	DDR_REF	W22	AC_OUTL
H9	VSS	Y1	PWM0_OUT1
H10	DVDD10	Y2	PWM0_OUT0
H11	VSS	Y3	NF_DQ5
H12	DDR_REF	Y4	NF_DQ0
H13	VSS	Y5	NF_WEN
H14	DVDD10	Y6	NF_RDY0
H15	VSS	Y7	SFC_WP_IO2
H18	VSS	Y8	SIO0_RCLK
H19	SDIO0_CARD_DETECT	Y9	SIO0_RFS



位置	管脚名称	位置	管脚名称
H20	SDIO0_CWPR	Y10	VOU1_DATA6
H21	SDIO0_CCMD_ODPULL UP_EN_N	Y11	VOU1_DATA2
H22	SDIO0_CARD_POWER_ EN	Y12	UART0_RXD
J1	VIU0_DAT5	Y13	JTAG_TMS
J2	VIU0_DAT4	Y14	VSS
J3	VIU0_DAT3	Y15	PCIE_REFCLKM
J4	VIU0_DAT2	Y16	VSS
J5	VSS	Y17	PCIE_REXT
J8	VSS	Y18	RSTN
J9	DVDD10	Y19	IR_IN
J10	VSS	Y20	AVSS_DAC
J11	DVDD10	Y21	AC_AGND
J12	VSS	Y22	AC_AGND

## 2.1.3 管脚描述

### 2.1.3.1 管脚类型说明

管脚 I/O 类型说明如表 2-4 所示。

表2-4 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I <sub>PD</sub>	输入信号，内部下拉。
I <sub>PU</sub>	输入信号，内部上拉。
I <sub>S</sub>	输入信号，带施密特触发器。
I <sub>SPD</sub>	输入信号，带施密特触发器，内部下拉。
I <sub>SPU</sub>	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O <sub>OD</sub>	输出，漏极开路。



I/O	说明
I/O	双向输入/输出信号。
I <sub>PD</sub> /O	双向，输入下拉。
I <sub>PU</sub> /O	双向，输入上拉。
I <sub>SPU</sub> /O	双向，输入上拉，带施密特触发器。
I <sub>PD</sub> /O <sub>OD</sub>	双向，输入下拉，输出漏极开路。
I <sub>PU</sub> /O <sub>OD</sub>	双向，输入上拉，输出漏极开路。
I <sub>S</sub> /O	双向，输入带施密特触发器。
I <sub>S</sub> /O <sub>OD</sub>	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

### 2.1.3.2 Audio codec 管脚

Audio codec 管脚如表 2-5 所示。

表2-5 Audio codec 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
R21、R22、T20、U20、V21、V22、Y21、Y22	AC_AGND	G	-	3.3	音频模拟地
P18	AC_AVDD	P	-	3.3	音频模拟电源
T21	AC_LINEL	I/O	-	3.3	左声道输入
U21	AC_LINER	I/O	-	3.3	右声道输入
R20	AC_MICBI AS <sup>-</sup>	I/O	-	3.3	麦克风偏置电压，外接 4.7μF 电容到地。
U22	AC_MICL	I/O	-	3.3	左声道麦克风输入
T22	AC_MICR	I/O	-	3.3	右声道麦克风输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W22	AC_OUTL	I/O	-	3.3	左声道输出
W21	AC_OUTR	I/O	-	3.3	右声道输出
T19	AC_VREF	P	-	3.3	音频参考电压

### 2.1.3.3 VDAC 管脚

VDAC 管脚如表 2-6 所示。

表2-6 VDAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T17	AVDD33_DAC	P	-	3.3	视频 DAC 模拟电源
AA20、 AB20、 AB22、 T18、 U19、 W20、 Y20	AVSS_DAC	G	-	-	视频 DAC 模拟地
AB21	DAC_COMP	O	-	3.3	视频 DAC 补偿管脚，外接 0.1 $\mu$ F 电容到 AVDD33_DAC
AA21	DAC_IOR	O	-	3.3	视频模拟信号输出 (CVBS)
V20	DAC_RSET	I/O	-	3.3	视频 DAC 匹配 1.58k $\Omega$ !1%电阻配置
AA22	DAC_VREFIN	I/O	-	3.3	外部去耦参考电压，接 100nF 到地
P15	DVDD10_DAC	P	-	1.0	视频 DAC 数字电源
R18	DVDD33_DAC	P	-	3.3	视频 DAC 数字电源
R19	DVSS_DAC	G	-	-	视频 DAC 数字地

### 2.1.3.4 PLL 管脚

PLL 管脚如表 2-7 所示。



表2-7 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U17	AVDD33_PLL1	P	-	3.3	PLL 模拟 3.3V 电源
U18	AVDD33_PLL234	P	-	3.3	PLL 模拟 3.3V 电源
V16	AVSS_PLL1	G	-	-	PLL 模拟地
R15	AVSS_PLL234	G	-	-	PLL 模拟地
R14	VDD10_PLL	P	-	1.0	PLL 模拟 1.0V 电源
U16	VDDREF10_PLL	P	-	1.0	PLL 模拟 1.0V 电源

### 2.1.3.5 USB 管脚

USB 管脚如表 2-8 所示。

表2-8 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N18、N19	AVDD33_USB	P	-	3.3	USB 模拟电源
L21、M18、N21、N22	AVSS_USB	G	-	-	USB 模拟地
M15	DVDD10_USB	P	-	1.0	USB 数字电源
N15	DVSS_USB	G	-	-	USB 数字地
L22	USB_REXT	I/O	-	3.3	USB 外接电阻接口，外接电阻 43.2!1%Ω 到地
M22	USB0_DM	I/O	-	0.4/3.3	USB0 D-信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V 的
M21	USB0_DP	I/O	-	0.4/3.3	USB0 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M20	USB0_OVRCUR	I <sub>SPD</sub> /O	4	3.3	功能 0: USB0_OVRCUR USB 端口 0 的端口过流指示信号, 高低电平可配, 默认为高电平有效 功能 2: GPIO9_7 通用输入输出
N20	USB0_PWREN	I <sub>PD</sub> /O	4	3.3	功能 0: USB0_PWREN USB 端口 0 电源控制输出管脚, 高低电平可配, 默认为低电平有效 功能 2: GPIO10_0 通用输入输出
P21	USB1_DM	I/O	-	0.4/3.3	USB D-信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
P22	USB1_DP	I/O	-	0.4/3.3	USB 的 D+信号, 在高速模式下, 该端口最大的电压是 800mV 或 400mV, 在全速和低速模式下, 该端口的电压是 3.3V 的
P20	USB1_OVRCUR	I <sub>SPD</sub> /O	4	3.3	功能 0: USB1_OVRCUR USB 端口 1 的端口过流指示信号, 高低电平可配, 默认为高电平有效 功能 2: GPIO10_1 通用输入输出
P19	USB1_PWREN	I <sub>PD</sub> /O	4	3.3	功能 0: USB1_PWREN USB 端口 1 电源控制输出管脚, 高低电平可配, 默认为低电平有效 功能 2: GPIO10_2 通用输入输出



### 2.1.3.6 DDR 管脚

#### DDR 电源

DDR 电源管脚如表 2-9 所示。

表2-9 DDR\_DRV\_R 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E10、E11、E14、E15、E16、E6、E7、F16、F6、F7 G6	DVDD1518	P	-	1.5/1.8	DDR2/3 IO 电源

#### DDR 信号管脚



说明

所有 DDR IO 依据 DDR 工作模式，可支持 SSTL\_1.8V\_ClassI、SSTL\_1.8V\_ClassII 和 SSTL\_1.5V 三种驱动能力。

DDR 管脚如表 2-10 所示。

表2-10 DDR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C9	DDR_A0	O	-	1.5/1.8	DDR SDRAM 地址信号 0
A8	DDR_A1	O	-	1.5/1.8	DDR SDRAM 地址信号 1
D9	DDR_A2	O	-	1.5/1.8	DDR SDRAM 地址信号 2
B8	DDR_A3	O	-	1.5/1.8	DDR SDRAM 地址信号 3
C8	DDR_A4	O	-	1.5/1.8	DDR SDRAM 地址信号 4
D8	DDR_A5	O	-	1.5/1.8	DDR SDRAM 地址信号 5
C7	DDR_A6	O	-	1.5/1.8	DDR SDRAM 地址信号 6
D6	DDR_A7	O	-	1.5/1.8	DDR SDRAM 地址信号 7
C6	DDR_A8	O	-	1.5/1.8	DDR SDRAM 地址信号 8
A6	DDR_A9	O	-	1.5/1.8	DDR SDRAM 地址信号 9



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A5	DDR_A10	O	-	1.5/1.8	DDR SDRAM 地址信号 10
D7	DDR_A11	O	-	1.5/1.8	DDR SDRAM 地址信号 11
B6	DDR_A12	O	-	1.5/1.8	DDR SDRAM 地址信号 12
B5	DDR_A13	O	-	1.5/1.8	DDR SDRAM 地址信号 13
C5	DDR_A14	O	-	1.5/1.8	DDR SDRAM 地址信号 14
D10	DDR_BA0	O	-	1.5/1.8	DDR SDRAM Bank 地址信号
A9	DDR_BA1	O	-	1.5/1.8	DDR SDRAM Bank 地址信号
B9	DDR_BA2	O	-	1.5/1.8	DDR SDRAM Bank 地址信号
C10	DDR_CAS_N	O	-	1.5/1.8	DDR SDRAM 列地址选择
A11	DDR_CKE	O	-	1.5/1.8	DDR SDRAM 时钟使能
A10	DDR_CLK0_N	O	-	1.5/1.8	DDR SDRAM 反向差分时钟 0
B10	DDR_CLK0_P	O	-	1.5/1.8	DDR SDRAM 正向差分时钟 0
A7	DDR_CLK1_N	O	-	1.5/1.8	DDR SDRAM 反向差分时钟 1
B7	DDR_CLK1_P	O	-	1.5/1.8	DDR SDRAM 正向差分时钟 1
D12	DDR_CS_N	O	-	1.5/1.8	DDR SDRAM 片选信号
A14	DDR_DM0	I/O	-	1.5/1.8	DDR SDRAM 数据屏蔽信号 0
D16	DDR_DM1	I/O	-	1.5/1.8	DDR SDRAM 数据屏蔽信号 1
C2	DDR_DM2	I/O	-	1.5/1.8	DDR SDRAM 数据屏蔽信号 2
F3	DDR_DM3	I/O	-	1.5/1.8	DDR SDRAM 数据屏蔽信号 3
A13	DDR_DQ0	I/O	-	1.5/1.8	DDR SDRAM 数据线 0
B13	DDR_DQ1	I/O	-	1.5/1.8	DDR SDRAM 数据线 1
C13	DDR_DQ2	I/O	-	1.5/1.8	DDR SDRAM 数据线 2
B14	DDR_DQ3	I/O	-	1.5/1.8	DDR SDRAM 数据线 3
C14	DDR_DQ4	I/O	-	1.5/1.8	DDR SDRAM 数据线 4



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D14	DDR_DQ5	I/O	-	1.5/1.8	DDR SDRAM 数据线 5
C15	DDR_DQ6	I/O	-	1.5/1.8	DDR SDRAM 数据线 6
D15	DDR_DQ7	I/O	-	1.5/1.8	DDR SDRAM 数据线 7
A16	DDR_DQ8	I/O	-	1.5/1.8	DDR SDRAM 数据线 8
B16	DDR_DQ9	I/O	-	1.5/1.8	DDR SDRAM 数据线 9
C16	DDR_DQ10	I/O	-	1.5/1.8	DDR SDRAM 数据线 10
C17	DDR_DQ11	I/O	-	1.5/1.8	DDR SDRAM 数据线 11
D17	DDR_DQ12	I/O	-	1.5/1.8	DDR SDRAM 数据线 12
A18	DDR_DQ13	I/O	-	1.5/1.8	DDR SDRAM 数据线 13
B18	DDR_DQ14	I/O	-	1.5/1.8	DDR SDRAM 数据线 14
C18	DDR_DQ15	I/O	-	1.5/1.8	DDR SDRAM 数据线 15
A3	DDR_DQ16	I/O	-	1.5/1.8	DDR SDRAM 数据线 16
B3	DDR_DQ17	I/O	-	1.5/1.8	DDR SDRAM 数据线 17
A2	DDR_DQ18	I/O	-	1.5/1.8	DDR SDRAM 数据线 18
C3	DDR_DQ19	I/O	-	1.5/1.8	DDR SDRAM 数据线 19
C1	DDR_DQ20	I/O	-	1.5/1.8	DDR SDRAM 数据线 20
D4	DDR_DQ21	I/O	-	1.5/1.8	DDR SDRAM 数据线 21
D3	DDR_DQ22	I/O	-	1.5/1.8	DDR SDRAM 数据线 22
D2	DDR_DQ23	I/O	-	1.5/1.8	DDR SDRAM 数据线 23
D1	DDR_DQ24	I/O	-	1.5/1.8	DDR SDRAM 数据线 24
E4	DDR_DQ25	I/O	-	1.5/1.8	DDR SDRAM 数据线 25
E3	DDR_DQ26	I/O	-	1.5/1.8	DDR SDRAM 数据线 26
F4	DDR_DQ27	I/O	-	1.5/1.8	DDR SDRAM 数据线 27
F2	DDR_DQ28	I/O	-	1.5/1.8	DDR SDRAM 数据线 28



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
F1	DDR_DQ29	I/O	-	1.5/1.8	DDR SDRAM 数据线 29
G2	DDR_DQ30	I/O	-	1.5/1.8	DDR SDRAM 数据线 30
G1	DDR_DQ31	I/O	-	1.5/1.8	DDR SDRAM 数据线 31
B15	DDR_DQS0_N	I/O	-	1.5/1.8	DDR 反向 DQS Strobe 信号 0, 对应 DQ[7:0]
A15	DDR_DQS0_P	I/O	-	1.5/1.8	DDR 正向 DQS Strobe 信号 0, 对应 DQ[7:0]
B17	DDR_DQS1_N	I/O	-	1.5/1.8	DDR 反向 DQS Strobe 信号 1, 对应 DQ[15:8]
A17	DDR_DQS1_P	I/O	-	1.5/1.8	DDR 正向 DQS Strobe 信号 1, 对应 DQ[15:8]
B2	DDR_DQS2_N	I/O	-	1.5/1.8	DDR 反向 DQS Strobe 信号 2, 对应 DQ[23:16]
B1	DDR_DQS2_P	I/O	-	1.5/1.8	DDR 正向 DQS Strobe 信号 2, 对应 DQ[23:16]
E1	DDR_DQS3_N	I/O	-	1.5/1.8	DDR 反向 DQS Strobe 信号 3, 对应 DQ[31:24]
E2	DDR_DQS3_P	I/O	-	1.5/1.8	DDR 正向 DQS Strobe 信号 3, 对应 DQ[31:24]
D11	DDR_ODT	-	-	1.5/1.8	DDR 外接匹配参考电阻
H2	DDR_PADHI_R	-	-	1.5/1.8	DDR 外接下拉电阻
A4	DDR_PADHI_T	-	-	1.5/1.8	DDR 外接下拉电阻
H1	DDR_PADLO_R	-	-	1.5/1.8	DDR 外接上拉电阻
B4	DDR_PADLO_T	-	-	1.5/1.8	DDR 外接上拉电阻
C11	DDR_RAS_N	O	-	1.5/1.8	DDR SDRAM 行地址选择
H12、H8	DDR_REF	P	-	0.5%D VDD1 518	DDR 参考电压
C4	DDR_RTT_R	-	-	1.5/1.8	DDR 外接下拉电阻



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D18	DDR_RTT_T	-	-	1.5/1.8	DDR 外接下拉电阻
B11	DDR_WE_N	O	-	1.5/1.8	DDR SDRAM 写使能信号
C12	DDR3_RESET_N	O	-	1.5/1.8	DDR3 SDRAM 复位信号

### 2.1.3.7 IR/RST/OSC 管脚

IR/RST/OSC 管脚如表 2-11 所示。

表2-11 IR/RST/OSC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y19	IR_IN	I <sub>SPU</sub> / O	4	3.3	功能 0: IR_IN 红外输入 功能 1: GPIO6_4 通用输入输出
Y18	RSTN	I <sub>SPU</sub>	-	3.3	功能 0: RSTN 系统上电复位信号输入, 低电平有效
W18	TEST_M ODE	I <sub>SPD</sub>	-	3.3	功能 0: TEST_MODE 功能模式和测试模式选择: 0: 功能模式 1: 测试模式
W19	WDG_RS TN	O	4	3.3	功能 0: WDG_RSTN 看门狗复位输出, 低电平 有效, 可以支持 OD 输出
AA19	XIN	I	-	3.3	晶体输入
AB19	XOUT	O	-	3.3	晶体输出

### 2.1.3.8 ETH 管脚

ETH 管脚如表 2-12 所示。



表2-12 ETH 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C21	EPHY_CLK	I/O	-	3.3	功能 0: GPIO10_4 通用输入输出 功能 1: EPHY_CLK 供网口 phy 用主时钟
G22	MDCK	I <sub>SPU</sub> /O	8	3.3	功能 0: MDCK MDIO 接口时钟输出 功能 1: NF_ADNUM 发给 NANDFlash 器件的地址数目, 只在上电的瞬间有效: NF_ADNUM+4,默认是 5 个地址
G21	MDIO	I <sub>PJ</sub> /O	4	3.3	功能 0: MDIO MDIO 接口的输入/输出信号
E22	RGMII_COL	I/O	-	3.3	功能 0: RGMII_COL RGMII 碰撞指示信号 功能 1: GPIO6_3 通用输入输出
E20	RGMII_CRS	I/O	-	3.3	功能 0: RGMII_CRS RGMII 载波侦听信号 功能 1: GPIO6_2 通用输入输出
D20	RGMII_RXCK	I	-	3.3	功能 0: RGMII_RXCK RGMII 接口接收时钟, 双沿有效, 或 MII2_RXCK
E19	RGMII_RXD0	I	-	3.3	功能 0: RGMII_RXD0 RGMII 接口接收的数据, 或 MII 接收数据,
D22	RGMII_RXD1	I	-	3.3	功能 0: RGMII_RXD1 RGMII 接口接收的数据, 或 MII 接收数据,
D21	RGMII_RXD2	I	-	3.3	功能 0: RGMII_RXD2 RGMII 接口接收的数据, 或 MII 接收数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D19	RGMII_RXD3	I	-	3.3	功能 0: RGMII_RXD3 RGMII 接口接收的数据, 或 MII 接收数据
C22	RGMII_RXDV	I	-	3.3	功能 0: RGMII_RXDV RGMII 接口接收使能, 或 MII 接收使能
E21	RGMII_TXCK	I	-	3.3	功能 0: RGMII_TXCK MII 发送时钟。
G20	RGMII_TXCKOUT	I/O	-	3.3	功能 0: GPIO6_1 通用输入输出 功能 1: RGMII_TXCKOUT RGMII 发送时钟, 双沿有效
G19	RGMII_TXD0	O	-	3.3	功能 0: RGMII_TXD0 RGMII 接口发送数据, 或 MII 发送数据。
F22	RGMII_TXD1	O	-	3.3	功能 0: RGMII_TXD1 RGMII 接口发送数据, 或 MII 发送数据。
F21	RGMII_TXD2	O	-	3.3	功能 0: RGMII_TXD2 RGMII 接口发送数据, 或 MII 发送数据
F20	RGMII_TXD3	O	-	3.3	功能 0: RGMII_TXD3 RGMII 接口发送数据, 或 MII 发送数据
F19	RGMII_TXEN	O	-	3.3	功能 0: RGMII_TXEN RGMII 接口发送数据使能, 或 MII 接口发送数据使能。

### 2.1.3.9 I2C 管脚

I2C 管脚如表 2-13 所示。



表2-13 I2C 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C20	I2C_SCL	I <sub>SPU</sub> /O	4	3.3	功能 0: GPIO5_4 通用输入输出 功能 1: I2C_SCL I2C1 总线时钟, 可以支持 OD 输出
B22	I2C_SDA	I <sub>SPU</sub> /O	4	3.3	功能 0: GPIO5_3 通用输入输出 功能 1: I2C_SDA I2C1 总线数据/地址, 可以支持 OD 输出

### 2.1.3.10 JTAG 管脚

JTAG 管脚如表 2-14 所示。

表2-14 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB13	JTAG_TCK	I <sub>PD</sub> /O	-	3.3	功能 0: JTAG_TCK JTAG 时钟输入
W13	JTAG_TDI	I <sub>SPU</sub>	-	3.3	功能 0: JTAG_TDI JTAG 数据输入
AA13	JTAG_TDO	O	4	3.3	功能 0: JTAG_TDO JTAG 数据输出
Y13	JTAG_TMS	I <sub>SPU</sub> /O	4	3.3	功能 0: JTAG_TMS JTAG 模式选择输入, 或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
W12	JTAG_TRSTN	I <sub>SPD</sub>	-	3.3	功能 0: JTAG_TRSTN JTAG 复位输入

### 2.1.3.11 NF 管脚

NF 管脚如表 2-15 所示。



表2-15 NF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA4	NF_ALE	I <sub>SPD</sub> /O	8	3.3	功能 0: NF_ALE NANDFlash 地址锁存信号 功能 1: NF_ECC_TYPE1
AB4	NF_CLE	I <sub>SPD</sub> /O	8	3.3	功能 0: NF_CLE NANDFlash 命令锁存信号 功能 1: NF_ECC_TYPE2
AA5	NF_CSN0	I <sub>PU</sub> /O	4	3.3	功能 0: NF_CSN0 Nandflash 片选信号, 低电平有效。用来挂接启动的 Nandflash。 功能 1: GPIO7_7 通用输入输出
W5	NF_CSN1	I <sub>PU</sub> /O	4	3.3	功能 0: NF_CSN1 Nandflash 片选信号, 低电平有效。用来挂接启动的 Nandflash。 功能 1: GPIO8_0 通用输入输出
Y4	NF_DQ0	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ0 NANDFLASH 数据总线 功能 1: GPIO6_5 通用输入输出
AB3	NF_DQ1	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ1 NANDFLASH 数据总线 功能 1: GPIO6_6 通用输入输出
AA3	NF_DQ2	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ2 NANDFLASH 数据总线 功能 1: GPIO6_7 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB2	NF_DQ3	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ3 NANDFLASH 数据总线 功能 1: GPIO7_0 通用输入输出
W4	NF_DQ4	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ4 NANDFLASH 数据总线 功能 1: GPIO7_1 通用输入输出
Y3	NF_DQ5	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ5 NANDFLASH 数据总线 功能 1: GPIO7_2 通用输入输出
AA2	NF_DQ6	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ6 NANDFLASH 数据总线 功能 1: GPIO7_3 通用输入输出
AA1	NF_DQ7	I <sub>PD</sub> /O	8	3.3	功能 0: NF_DQ7 NANDFLASH 数据总线 功能 1: GPIO7_4 通用输入输出
Y6	NF_RDY0	I <sub>SPU</sub> /O	4	3.3	功能 0: NF_RDY0 NandFlash 忙/空闲指示。1: 空闲；0: 忙 功能 1: GPIO7_5 通用输入输出
W6	NF_RDY1	I <sub>SPU</sub> /O	4	3.3	功能 0: NF_RDY1 NandFlash 忙/空闲指示。1: 空闲；0: 忙 功能 1: GPIO7_6 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB5	NF_REN	I <sub>SPD</sub> /O	8	3.3	功能 0: NF_REN NANDFlash 读使能信号, 低电平有效 功能 1: NF_BLKSIZE boot 时, NandFlash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件;
Y5	NF_WEN	I <sub>SPU</sub> /O	8	3.3	功能 0: NF_WEN NANDFlash 写使能信号, 低电平有效 功能 1: NF_ECC_TYPE0 boot 时, 选择 ECC 模式。 000: 无 ECC。 001: 1bit 模式。 010: 4bit 模式。 011: 8bit 模式。 100: 24bits 模式 for 1KB。 101: 24bits 模式 for 512B。 110~111:保留。

### 2.1.3.12 PCIE 管脚

PCIE 管脚如表 2-16 所示。

表2-16 PCIE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y15	PCIE_REF CLKM	I/O	-	.7	PCIE 差分时钟接口
W15	PCIE_REF CLKP	I/O	-	.7	PCIE 差分时钟接口
Y17	PCIE_REX T	I	-	2.5	PCIE 外接电阻, 阻值是 191!!%Ω
AA15	PCIE_RX0 M	I	-	.7	PCIE 通道 0 接收的差分信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB15	PCIE_RX0 P	I	-	.7	PCIE 通道 0 接收的差分信号
AB17	PCIE_TX0 M	O	-	.7	PCIE 通道 0 发送的差分信号 (实际的 pin 的方向是 O)
AA17	PCIE_TX0 P	O	-	.7	PCIE 通道 0 发送的差分信号 (实际的 pin 的方向是 O)
R13	PCIE_VP1 0	P	-	1.0	PCIE 数字 1.0V 电源
V15	PCIE_VPH 25	P	-	2.5	PCIE 模拟 2.5V 电源

### 2.1.3.13 PWM 管脚

#### PWM0 管脚

PWM0 管脚如表 2-17 所示。

表2-17 PWM0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y2	PWM0_OUT0	I <sub>SPD</sub> /O	4	3.3	功能 0: PWM0_OUT0 PWM 输出 功能 1: JTAG_SEL0 JTAG 功能选择 {JTAGSEL1,JTAG_SEL0}: 00: A9 01: 保留 1x: PCIE
Y1	PWM0_OUT1	I <sub>SPD</sub> /O	4	3.3	功能 0: PWM0_OUT1 PWM 输出 功能 1: JTAG_SEL1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W3	PWM0_OUT2	I <sub>SPD</sub> /O	4	3.3	功能 0: PWM0_OUT2 PWM 输出 功能 1: BOOT_SEL0 启动 memory 类型选择, {BOOTSEL1,BOOTSEL0}的关系是: 00: SPIflash 01: Nandflash 1x: DDR

## PWM1 管脚

PWM1 管脚如表 2-18 所示。

表2-18 PWM1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M19	PWM1_OUT0	I <sub>SPD</sub> /O	4	3.3	功能 0: PWM1_OUT0 PWM 输出 功能 1: BOOT_SEL1

## 2.1.3.14 SDIO 管脚

SDIO 管脚如表 2-19 所示。

表2-19 SDIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H19	SDIO0_CARD_DETECT	I <sub>PD</sub> /O	4	3.3	功能 0: SDIO0_CARD_DETECT 卡检查信号, 低电平有效 功能 1: GPIO8_2 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H22	SDIO0_CARD_POWER_EN	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO8_1 通用输入输出 功能 1: SDIO0_CARD_POWER_EN 电源使能控制信号, 为 1 时 power on
J19	SDIO0_CCLK_OUT	O	8	3.3	功能 0: SDIO0_CCLK_OUT 输出给卡使用的工作时钟
H21	SDIO0_CCMD_ODPULLUP_EN_N	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO8_4 通用输入输出 功能 1: SDIO0_CCMD_ODPULLUP_EN_N 卡命令 OD 模式选择
J20	SDIO0_CCMD	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CCMD 卡命令 功能 1: GPIO8_5 通用输入输出
K21	SDIO0_CDATA0	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA0 卡数据 功能 1: GPIO8_6 通用输入输出
K22	SDIO0_CDATA1	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA1 卡数据 功能 1: 保留
L19	SDIO0_CDATA2	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA2 卡数据
L20	SDIO0_CDATA3	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA3 卡数据
J21	SDIO0_CDATA4	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA4 卡数据 功能 1: UART2_RXD UART0 数据接收



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
J22	SDIO0_CD ATA5	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA5 卡数据 功能 1: UART2_TXD UART0 数据发送
K19	SDIO0_CD ATA6	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA6 卡数据 功能 1: UART3_RXD UART3 数据接收 功能 2: PWM1_OUT1 PWM 输出
K20	SDIO0_CD ATA7	I <sub>PU</sub> /O	8	3.3	功能 0: SDIO0_CDATA7 卡数据 功能 1: UART3_TXD UART3 数据发送 功能 2: PWM1_OUT2 PWM 输出
H20	SDIO0_C WPR	I <sub>PD</sub> /O	4	3.3	功能 0: SDIO0_CWPR 卡写保护检测 功能 1: GPIO8_3 通用输入输出

### 2.1.3.15 VI 管脚

#### VI0 管脚

VI0 管脚如表 2-20 所示。

表2-20 VI0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K4	SENS_CL K	I <sub>PD</sub> /O	12	3.3	功能 0: GPIO10_3 通用输入输出 功能 1: SENS_CLK 供 sensor 用主时钟



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M1	VIU0_CLK	I <sub>PD</sub>	-	3.3	功能 0: VIU0_CLK .VIU0 的时钟信号.
H4	VIU0_DAT0	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT0 VIU0 的数据输入
H3	VIU0_DAT1	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT1 VIU0 的数据输入
J4	VIU0_DAT2	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT2 VIU0 的数据输入
J3	VIU0_DAT3	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT3 VIU0 的数据输入
J2	VIU0_DAT4	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT4 VIU0 的数据输入
J1	VIU0_DAT5	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT5 VIU0 的数据输入
K3	VIU0_DAT6	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT6 VIU0 的数据输入
K2	VIU0_DAT7	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT7 VIU0 的数据输入
K1	VIU0_DAT8	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT8 VIU0 的数据输入
L4	VIU0_DAT9	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT9 VIU0 的数据输入
L3	VIU0_DAT10	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT10 VIU0 的数据输入
L2	VIU0_DAT11	I <sub>PD</sub>	-	3.3	功能 0: VIU0_DAT11 VIU0 的数据输入
M3	VIU0_DAT12	I <sub>PD</sub> /O	4	3.3	功能 0: VIU0_DAT12 VIU0 的数据输入 功能 1: GPIO1_3 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
M2	VIU0_DAT13	I <sub>PD</sub> /O	4	3.3	功能 0: VIU0_DAT13 VIU0 的数据输入 功能 1: GPIO1_2 通用输入输出
N1	VIU0_DAT14	I <sub>PD</sub> /O	4	3.3	功能 0: VIU0_DAT14 VIU0 的数据输入 功能 1: GPIO1_1 通用输入输出
N2	VIU0_DAT15	I <sub>PD</sub> /O	4	3.3	功能 0: VIU0_DAT15 VIU0 的数据输入 功能 1: GPIO1_0 通用输入输出
L1	VIU0_HS	I <sub>PD</sub>	-	3.3	功能 0: VIU0_HS VIU0 的行同步信号, 高有效
M4	VIU0_VS	I <sub>PD</sub>	-	3.3	功能 0: VIU0_VS VIU0 的场同步信号, 高有效

## VI1 管脚

VI1 管脚如表 2-21 所示。

表2-21 VI1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
P1	VIU1_CLK	I <sub>PD</sub> /O	12	3.3	功能 0: VIU1_CLK VIU1 时钟信号 功能 1: GPIO1_4 通用输入输出 功能 2: VOU0_CLK BT.1120 接口时钟输出 功能 3: SDIO1_CCLK_OUT 输出给卡使用的工作时钟



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
P2	VIU1_DAT0	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT0 VIU1 的数据输入 功能 1: GPIO3_6 通用输入输出 功能 2: VOU0_DATA0 BT.1120 接口的色度信号输出
P3	VIU1_DAT1	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT1 VIU1 的数据输入 功能 1: GPIO3_5 通用输入输出 功能 2: VOU0_DATA1 BT.1120 接口的色度信号输出
P4	VIU1_DAT2	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT2 VIU1 的数据输入 功能 1: GPIO3_4 通用输入输出 功能 2: VOU0_DATA2 BT.1120 接口的色度信号输出
R1	VIU1_DAT3	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT3 VIU1 的数据输入 功能 1: GPIO3_3 通用输入输出 功能 2: VOU0_DATA3 BT.1120 接口的色度信号输出
R2	VIU1_DAT4	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT4 VIU1 的数据输入 功能 1: GPIO3_2 通用输入输出 功能 2: VOU0_DATA4 BT.1120 接口的色度信号输出 功能 3: SDIO1_CDATA7 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
R3	VIU1_DAT5	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT5 VIU1 的数据输入 功能 1: GPIO3_1 通用输入输出 功能 2: VOU0_DATA5 BT.1120 接口的色度信号输出 功能 3: SDIO1_CDATA6 卡数据
R4	VIU1_DAT6	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT6 VIU1 的数据输入 功能 1: GPIO3_0 通用输入输出 功能 2: VOU0_DATA6 BT.1120 接口的色度信号输出 功能 3: SDIO1_CDATA5 卡数据
T1	VIU1_DAT7	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT7 VIU1 的数据输入 功能 1: GPIO2_7 通用输入输出 功能 2: VOU0_DATA7 BT.1120 接口的色度信号输出 功能 3: SDIO1_CDATA4 卡数据
T2	VIU1_DAT8	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT8 VIU1 的数据输入 功能 1: GPIO2_6 通用输入输出 功能 2: VOU0_DATA8 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CDATA3 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T3	VIU1_DAT9	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT9 VIU1 的数据输入 功能 1: GPIO2_5 通用输入输出 功能 2: VOU0_DATA9 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CDATA2 卡数据
T4	VIU1_DAT10	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT10 VIU1 的数据输入 功能 1: GPIO2_4 通用输入输出 功能 2: VOU0_DATA10 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CDATA1 卡数据
U1	VIU1_DAT11	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT11 VIU1 的数据输入 功能 1: GPIO2_3 通用输入输出 功能 2: VOU0_DATA11 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CDATA0 卡数据
U2	VIU1_DAT12	I <sub>PU</sub> /O	8	3.3	功能 0: VIU1_DAT12 VIU1 的数据输入 功能 1: GPIO2_2 通用输入输出 功能 2: VOU0_DATA12 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CCMD 卡命令



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
U3	VIU1_DAT13	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT13 VIU1 的数据输入 功能 1: GPIO2_1 通用输入输出 功能 2: VOU0_DATA13 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CCMD_ODPULLUP_EN_N 卡命令 OD 模式选择
U4	VIU1_DAT14	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT14 VIU1 的数据输入 功能 1: GPIO2_0 通用输入输出 功能 2: VOU0_DATA14 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CARD_DETECT 卡检查信号, 低电平有效
V1	VIU1_DAT15	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_DAT15 VIU1 的数据输入 功能 1: GPIO1_7 通用输入输出 功能 2: VOU0_DATA15 BT.1120 接口的亮度信号输出 功能 3: SDIO1_CARD_POWER_EN 电源使能控制信号, 为 1 时 power on



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N3	VIU1_HS	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_HS VIU1 的行同步, 高有效 功能 1: GPIO1_6 通用输入输出 功能 2: VOU0_HS BT.1120 行同步输出 功能 3: SDIO1_CWPR 卡写保护检测
N4	VIU1_VS	I <sub>PD</sub> /O	8	3.3	功能 0: VIU1_VS VIU1 的场同步信号, 高有效 功能 1: GPIO1_5 通用输入输出 功能 2: VOU0_VS BT.1120 接口场同步输出

### 2.1.3.16 SFC 管脚

SFC 管脚如表 2-22 所示。

表2-22 SFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB6	SFC_CLK	O	12	3.3	功能 0: SFC_CLK 送给 SPI Flash 的时钟信号, 时钟停靠的高低电平可选
W8	SFC_CS0N	I <sub>PU</sub> /O	4	3.3	功能 0: SFC_CS0N 片选 0 信号, 低有效 功能 1: GPIO8_7 通用输入输出
AB7	SFC_CS1N	O	4	3.3	功能 0: SFC_CS1N 片选 1 信号, 低有效, 用来挂接启动的 SPIflash。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA7	SFC_DIO	I <sub>PD</sub> /O	8	3.3	功能 0: SFC_DIO 在 Standard SPI 模式, 为数据的输出信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。
AA6	SFC_DOI	I <sub>PD</sub> /O	8	3.3	功能 0: SFC_DOI 在 Standard SPI 模式, 为数据的输入信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。
W7	SFC_HOLD_IO3	I <sub>PD</sub> /O	8	3.3	功能 0: SFC_HOLD_IO3 在 Standard SPI 模式, 作为 hold 功能, 低有效; 在 Dual SPI 模式下, 作为 hold 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。
Y7	SFC_WP_IO2	I <sub>PD</sub> /O	8	3.3	功能 0: SFC_WP_IO2 在 Standard SPI 模式, 作为 write protect 功能, 低有效; 在 Dual SPI 模式下, 作为 write protect 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。

### 2.1.3.17 SIO 管脚

SIO 管脚如表 2-23 所示。



表2-23 SIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB9	SIO0_DIN	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO4_5 通用输入输出 功能 1: SIO0_DIN I2S 或 PCM 接口数据输入。 功能 2: SPI1_SDI SPI 数据输入
W9	SIO0_DOUT	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO4_4 通用输入输出 功能 1: SIO0_DOUT I2S 或 PCM 接口数据输出。 功能 2: SPI1_SDO SPI 数据输出
AB8	SIO0_MCLK	I <sub>PD</sub> /O	8	3.3	功能 0: GPIO3_7 通用输入输出 功能 1: SIO0_MCLK I2S 或 PCM 接口主时钟, 可以作为音频 CODEC 的工作时钟
Y8	SIO0_RCLK	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO4_2 通用输入输出 功能 1: SIO0_RCLK I2S 或 PCM 接口位流时钟
Y9	SIO0_RFS	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO4_3 通用输入输出 功能 1: SIO0_RFS I2S 或 PCM 接口位流时钟
AA8	SIO0_XCLK	I <sub>PD</sub> /O	8	3.3	功能 0: GPIO4_0 通用输入输出 功能 1: SIO0_XCLK I2S 或 PCM 接口位流时钟 功能 2: SPI1_SCLK SPI 时钟信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA9	SIO0_XFS	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO4_1 通用输入输出 功能 1: SIO0_XFS I2S 或 PCM 接口位流时钟 功能 2: SPI1_CSN0 SPI 的片选 0 输出

### 2.1.3.18 SPI0 管脚

SPI0 管脚如表 2-24 所示。

表2-24 SPI0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V3	SPI0_CSN0	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO5_1 通用输入输出 功能 1: SPI0_CSN0 SPI 的片选 0 输出
V2	SPI0_CSN1	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO5_2 通用输入输出 功能 1: SPI0_CSN1 SPI 的片选 1 输出 功能 2: VOU0_DV BT.1120 数据有效信号
W2	SPI0_SCLK	I <sub>PD</sub> /O	8	3.3	功能 0: GPIO4_6 通用输入输出 功能 1: SPI0_SCLK SPI 时钟信号
V4	SPI0_SDI	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO5_0 通用输入输出 功能 1: SPI0_SDI SPI 数据输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W1	SPI0_SDO	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO4_7 通用输入输出 功能 1: SPI0_SDO SPI 数据输出

### 2.1.3.19 UART 管脚

#### UART0 管脚

UART0 管脚如表 2-25 所示。

表2-25 UART0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
Y12	UART0_RXD	I <sub>PU</sub>	-	3.3	功能 0: UART0_RXD UART0 数据接收
AA12	UART0_TXD	O	4	3.3	功能 0: UART0_TXD UART0 数据发送

#### UART1 管脚

UART1 管脚如表 2-26 所示。

表2-26 UART1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B20	UART1_CTSN	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO5_7 通用输入输出 功能 1: UART1_CTSN Modem 状态输入: Clear To Send.低有效。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A20	UART1_R TSN	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO5_5 通用输入输出 功能 1: UART1_RTSN Modem 状态输出: request to send, 低有效。复位值为 0
A21	UART1_R XD	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO5_6 通用输入输出 功能 1: UART1_RXD UART1 数据接收
B21	UART1_T XD	I <sub>PU</sub> /O	4	3.3	功能 0: GPIO6_0 通用输入输出 功能 1: UART1_TXD UART1 数据发送

### 2.1.3.20 EFUSE 管脚

EFUSE 管脚如表 2-27 所示。

表2-27 EFUSE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V14	VDD25_EF USE	P	-	2.5	EFUSE 2.5V 烧写电源。 注意: 不烧写时, 严禁供电

### 2.1.3.21 VOU1 管脚

VOU1 管脚如表 2-28 所示。

表2-28 VOU1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB12	VOU1_CL K	I <sub>PD</sub> /O	8	3.3	功能 0: GPIO9_0 通用输入输出 功能 1: VOU1_CLK BT.656 接口时钟输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB11	VOU1_DATA0	I <sub>SPU</sub> /O	4	3.3	功能 0: PLL_TEST_OUT0 PLL 测试时钟输出 功能 1: VOU1_DATA0 BT.656 接口的数据输出 功能 2: NF_PAGE0 boot 时, NandFlash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。 功能 3: PLL_TEST_OUT1 PLL 测试时钟输出 功能 4: PLL_TEST_OUT2 PLL 测试时钟输出 功能 5: PLL_TEST_OUT3 PLL 测试时钟输出
AA11	VOU1_DATA1	I <sub>SPD</sub> /O	4	3.3	功能 0: CLK_TEST_OUT0 主测试时钟输出 功能 1: VOU1_DATA1 BT.656 接口的数据输出 功能 2: NF_PAGE1 功能 3: CLK_TEST_OUT1 主测试时钟输出 功能 4: CLK_TEST_OUT2 主测试时钟输出 功能 5: CLK_TEST_OUT3 主测试时钟输出
Y11	VOU1_DATA2	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_6 通用输入输出 功能 1: VOU1_DATA2 BT.656 接口的数据输出 功能 2: SIO1_DIN I2S 或 PCM 接口数据输入。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W11	VOU1_DATA3	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_5 通用输入输出 功能 1: VOU1_DATA3 BT.656 接口的数据输出 功能 2: SIO1_DOUT I2S 或 PCM 接口数据输出。
AB10	VOU1_DATA4	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_4 通用输入输出 功能 1: VOU1_DATA4 BT.656 接口的数据输出 功能 2: SIO1_RFS I2S 或 PCM 接口位流时钟
AA10	VOU1_DATA5	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_3 通用输入输出 功能 1: VOU1_DATA5 BT.656 接口的数据输出 功能 2: SIO1_RCLK I2S 或 PCM 接口位流时钟
Y10	VOU1_DATA6	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_2 通用输入输出 功能 1: VOU1_DATA6 BT.656 接口的数据输出 功能 2: SIO1_XFS I2S 或 PCM 接口位流时钟
W10	VOU1_DATA7	I <sub>PD</sub> /O	4	3.3	功能 0: GPIO9_1 通用输入输出 功能 1: VOU1_DATA7 BT.656 接口的数据输出 功能 2: SIO1_XCLK I2S 或 PCM 接口位流时钟

### 2.1.3.22 PG (Power/Grand) 管脚

PG 管脚如表 2-29 所示。



表2-29 PG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H10、H14、J11、J13、J15、J9、K10、K12、K14、K8、L11、L13、L15、L9、M10、M12、M14、M8、N11、N13、N9、P10、P12、P14、P8、R11、R9	DVDD10	P	-	1.0	芯片 Core 电源
F18、G18、K18、K5、L18、L5、P5、R5、T6、U6、U7、V10、V11、V7	DVDD33	P	-	3.3	芯片 3.3V I/O 数字电源
A1、A12、A19、A22、AA14、AA16、AA18、AB1、AB14、AB16、AB18、B12、B19、C19、D13、D5、E12、E13、E17、E18、E5、E8、E9、F17、F5、G17、G3、G4、G5、H11、H13、H15、H18、H5、H9、J10、J12、J14、J18、J5、J8、K11、K13、K15、K9、L10、L12、L14、L8、M11、M13、M5、M9、N10、N12、N14、N5、N8、P11、P13、P9、R10、R12、R8、T5、U5、V12、V13、V17、V18、V19、V5、V6、V8、V9、W14、W16、W17、Y14、Y16	VSS	G	-	-	数字地



## 2.1.4 管脚复用寄存器概览

管脚复用寄存器概览如表 2-30 所示。

表2-30 管脚复用寄存器概览（基地址为 0x200F\_0000）

偏移地址	名称	描述	页码
0x0000	muxctrl_reg0	VIU0_DAT15 管脚的复用控制寄存器	2-54
0x0004	muxctrl_reg1	VIU0_DAT14 管脚的复用控制寄存器	2-54
0x0008	muxctrl_reg2	VIU0_DAT13 管脚的复用控制寄存器	2-55
0x000C	muxctrl_reg3	VIU0_DAT12 管脚的复用控制寄存器	2-55
0x0010	muxctrl_reg4	VIU1_CLK 管脚的复用控制寄存器	2-56
0x0014	muxctrl_reg5	VIU1_VS 管脚的复用控制寄存器	2-56
0x0018	muxctrl_reg6	VIU1_HS 管脚的复用控制寄存器	2-57
0x001C	muxctrl_reg7	VIU1_DAT15 管脚的复用控制寄存器	2-57
0x0020	muxctrl_reg8	VIU1_DAT14 管脚的复用控制寄存器	2-58
0x0024	muxctrl_reg9	VIU1_DAT13 管脚的复用控制寄存器	2-58
0x0028	muxctrl_reg10	VIU1_DAT12 管脚的复用控制寄存器	2-59
0x002C	muxctrl_reg11	VIU1_DAT11 管脚的复用控制寄存器	2-59
0x0030	muxctrl_reg12	VIU1_DAT10 管脚的复用控制寄存器	2-60
0x0034	muxctrl_reg13	VIU1_DAT9 管脚的复用控制寄存器	2-60
0x0038	muxctrl_reg14	VIU1_DAT8 管脚的复用控制寄存器	2-61
0x003C	muxctrl_reg15	VIU1_DAT7 管脚的复用控制寄存器	2-61
0x0040	muxctrl_reg16	VIU1_DAT6 管脚的复用控制寄存器	2-62
0x0044	muxctrl_reg17	VIU1_DAT5 管脚的复用控制寄存器	2-62
0x0048	muxctrl_reg18	VIU1_DAT4 管脚的复用控制寄存器	2-63
0x004C	muxctrl_reg19	VIU1_DAT3 管脚的复用控制寄存器	2-63
0x0050	muxctrl_reg20	VIU1_DAT2 管脚的复用控制寄存器	2-64
0x0054	muxctrl_reg21	VIU1_DAT1 管脚的复用控制寄存器	2-64
0x0058	muxctrl_reg22	VIU1_DAT0 管脚的复用控制寄存器	2-65
0x005C	muxctrl_reg23	SIO0_MCLK 管脚的复用控制寄存器	2-65
0x0060	muxctrl_reg24	SIO0_XCLK 管脚的复用控制寄存器	2-66



偏移地址	名称	描述	页码
0x0064	muxctrl_reg25	SIO0_XFS 管脚的复用控制寄存器	2-66
0x0068	muxctrl_reg26	SIO0_RCLK 管脚的复用控制寄存器	2-67
0x006C	muxctrl_reg27	SIO0_RFS 管脚的复用控制寄存器	2-67
0x0070	muxctrl_reg28	SIO0_DOUT 管脚的复用控制寄存器	2-68
0x0074	muxctrl_reg29	SIO0_DIN 管脚的复用控制寄存器	2-68
0x0078	muxctrl_reg30	SPI0_SCLK 管脚的复用控制寄存器	2-69
0x007C	muxctrl_reg31	SPI0_SDO 管脚的复用控制寄存器	2-69
0x0080	muxctrl_reg32	SPI0_SDI 管脚的复用控制寄存器	2-70
0x0084	muxctrl_reg33	SPI0_CSN0 管脚的复用控制寄存器	2-70
0x0088	muxctrl_reg34	SPI0_CSN1 管脚的复用控制寄存器	2-71
0x008C	muxctrl_reg35	I2C_SDA 管脚的复用控制寄存器	2-71
0x0090	muxctrl_reg36	I2C_SCL 管脚的复用控制寄存器	2-72
0x0094	muxctrl_reg37	UART1_RTSN 管脚的复用控制寄存器	2-72
0x0098	muxctrl_reg38	UART1_RXD 管脚的复用控制寄存器	2-73
0x009C	muxctrl_reg39	UART1_CTSN 管脚的复用控制寄存器	2-73
0x00A0	muxctrl_reg40	UART1_TXD 管脚的复用控制寄存器	2-74
0x00A4	muxctrl_reg41	RGMIITXCKOUT 管脚的复用控制寄存器	2-74
0x00A8	muxctrl_reg42	RGMIICRS 管脚的复用控制寄存器	2-75
0x00AC	muxctrl_reg43	RGMIICOL 管脚的复用控制寄存器	2-75
0x00B0	muxctrl_reg44	IR_IN 管脚的复用控制寄存器	2-76
0x00B4	muxctrl_reg45	NF_DQ0 管脚的复用控制寄存器	2-76
0x00B8	muxctrl_reg46	NF_DQ1 管脚的复用控制寄存器	2-77
0x00BC	muxctrl_reg47	NF_DQ2 管脚的复用控制寄存器	2-77
0x00C0	muxctrl_reg48	NF_DQ3 管脚的复用控制寄存器	2-78
0x00C4	muxctrl_reg49	NF_DQ4 管脚的复用控制寄存器	2-78
0x00C8	muxctrl_reg50	NF_DQ5 管脚的复用控制寄存器	2-79
0x00CC	muxctrl_reg51	NF_DQ6 管脚的复用控制寄存器	2-79
0x00D0	muxctrl_reg52	NF_DQ7 管脚的复用控制寄存器	2-80



偏移地址	名称	描述	页码
0x00D4	muxctrl_reg53	NF_RDY0 管脚的复用控制寄存器	2-80
0x00D8	muxctrl_reg54	NF_RDY1 管脚的复用控制寄存器	2-81
0x00DC	muxctrl_reg55	NF_CSN0 管脚的复用控制寄存器	2-81
0x00E0	muxctrl_reg56	NF_CSN1 管脚的复用控制寄存器	2-82
0x00E4	muxctrl_reg57	SDIO0_CARD_POWER_EN 管脚的复用控制寄存器	2-82
0x00E8	muxctrl_reg58	SDIO0_CARD_DETECT 管脚的复用控制寄存器	2-83
0x00EC	muxctrl_reg59	SDIO0_CWPR 管脚的复用控制寄存器	2-83
0x00F0	muxctrl_reg60	SDIO0_CCMD_ODPULLUP_EN_N 管脚的复用控制寄存器	2-84
0x00F4	muxctrl_reg61	SDIO0_CCMD 管脚的复用控制寄存器	2-84
0x00F8	muxctrl_reg62	SDIO0_CDATA0 管脚的复用控制寄存器	2-85
0x00FC	muxctrl_reg63	SDIO0_CDATA1 管脚的复用控制寄存器	2-85
0x0100	muxctrl_reg64	SDIO0_CDATA4 管脚的复用控制寄存器	2-86
0x0104	muxctrl_reg65	SDIO0_CDATA5 管脚的复用控制寄存器	2-86
0x0108	muxctrl_reg66	SDIO0_CDATA6 管脚的复用控制寄存器	2-87
0x010C	muxctrl_reg67	SDIO0_CDATA7 管脚的复用控制寄存器	2-87
0x0110	muxctrl_reg68	SFC_CS0N 管脚的复用控制寄存器	2-88
0x0114	muxctrl_reg69	VOU1_CLK 管脚的复用控制寄存器	2-88
0x0118	muxctrl_reg70	VOU1_DATA7 管脚的复用控制寄存器	2-89
0x011C	muxctrl_reg71	VOU1_DATA6 管脚的复用控制寄存器	2-89
0x0120	muxctrl_reg72	VOU1_DATA5 管脚的复用控制寄存器	2-90
0x0124	muxctrl_reg73	VOU1_DATA4 管脚的复用控制寄存器	2-90
0x0128	muxctrl_reg74	VOU1_DATA3 管脚的复用控制寄存器	2-91
0x012C	muxctrl_reg75	VOU1_DATA2 管脚的复用控制寄存器	2-91



偏移地址	名称	描述	页码
0x0130	muxctrl_reg76	VOU1_DATA1 管脚的复用控制寄存器	2-92
0x0134	muxctrl_reg77	VOU1_DATA0 管脚的复用控制寄存器	2-93
0x0138	muxctrl_reg78	USB0_OVRCUR 管脚的复用控制寄存器	2-93
0x013C	muxctrl_reg79	USB0_PWREN 管脚的复用控制寄存器	2-94
0x0140	muxctrl_reg80	USB1_OVRCUR 管脚的复用控制寄存器	2-94
0x0144	muxctrl_reg81	USB1_PWREN 管脚的复用控制寄存器	2-95
0x0148	muxctrl_reg82	SENS_CLK 管脚的复用控制寄存器	2-95
0x014C	muxctrl_reg83	EPHY_CLK 管脚的复用控制寄存器	2-95

## 2.1.5 复用寄存器描述

### muxctrl\_reg0

VIU0\_DAT15 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000	muxctrl_reg0	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		muxctrl_reg0
Reset	0 0		
	Bits	Access	Name
	[0]	RW	muxctrl_reg0
	Description		
	VIU0_DAT15 管脚的具体复用情况。 0: VIU0_DAT15; 1: GPIO1_0。		

### muxctrl\_reg1

VIU0\_DAT14 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0004		muxctrl_reg1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg1	VIU0_DAT14 管脚的具体复用情况。 0: VIU0_DAT14; 1: GPIO1_1。						

### muxctrl\_reg2

VIU0\_DAT13 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0008		muxctrl_reg2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg2	VIU0_DAT13 管脚的具体复用情况。 0: VIU0_DAT13; 1: GPIO1_2。						

### muxctrl\_reg3

VIU0\_DAT12 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x000C		muxctrl_reg3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg3
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg3	VIU0_DAT12 管脚的具体复用情况。 0: VIU0_DAT12; 1: GPIO1_3。						

### muxctrl\_reg4

VIU1\_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0010		muxctrl_reg4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg4
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg4	VIU1_CLK 管脚的具体复用情况。 00: VIU1_CLK; 01: GPIO1_4; 10: VOU0_CLK; 11: SDIO1_CCLK_OUT。						

### muxctrl\_reg5

VIU1\_VS 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0014				muxctrl_reg5				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg 5					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg5		VIU1_VS 管脚的具体复用情况。 00: VIU1_VS; 01: GPIO1_5; 10: VOU0_VS; 其它: 保留。																											

### muxctrl\_reg6

VIU1\_HS 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0018				muxctrl_reg6				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										muxctrl_reg 6					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[1:0]	RW	muxctrl_reg6		VIU1_HS 管脚的具体复用情况。 00: VIU1_HS; 01: GPIO1_6; 10: VOU0_HS; 11: SDIO1_CWPR。																											

### muxctrl\_reg7

VIU1\_DAT15 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x001C		muxctrl_reg7		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg7	VIU1_DAT15 管脚的具体复用情况。 00: VIU1_DAT15; 01: GPIO1_7; 10: VOU0_DATA15; 11: SDIO1_CARD_POWER_EN。						

### muxctrl\_reg8

VIU1\_DAT14 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		muxctrl_reg8		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 8
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg8	VIU1_DAT14 管脚的具体复用情况。 00: VIU1_DAT14; 01: GPIO2_0; 10: VOU0_DATA14; 11: SDIO1_CARD_DETECT。						

### muxctrl\_reg9

VIU1\_DAT13 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0024		muxctrl_reg9		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 9
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg9	VIU1_DAT13 管脚的具体复用情况。 00: VIU1_DAT13; 01: GPIO2_1; 10: VOU0_DATA13; 11: SDIO1_CCMD_ODPULLUP_EN_N。						

### muxctrl\_reg10

VIU1\_DAT12 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		muxctrl_reg10		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 10
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg10	VIU1_DAT12 管脚的具体复用情况。 00: VIU1_DAT12; 01: GPIO2_2; 10: VOU0_DATA12; 11: SDIO1_CCMD。						

### muxctrl\_reg11

VIU1\_DAT11 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x002C		muxctrl_reg11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 11
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg11	VIU1_DAT11 管脚的具体复用情况。 00: VIU1_DAT11; 01: GPIO2_3; 10: VOU0_DATA11; 11: SDIO1_CDATA0。						

## muxctrl\_reg12

VIU1\_DAT10 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0030		muxctrl_reg12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg12	VIU1_DAT10 管脚的具体复用情况。 00: VIU1_DAT10; 01: GPIO2_4; 10: VOU0_DATA10; 11: SDIO1_CDATA1。						

## muxctrl\_reg13

VIU1\_DAT9 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0034		muxctrl_reg13		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 13
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg13	VIU1_DAT9 管脚的具体复用情况。 00: VIU1_DAT9; 01: GPIO2_5; 10: VOU0_DATA9; 11: SDIO1_CDATA2。						

### muxctrl\_reg14

VIU1\_DAT8 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0038		muxctrl_reg14		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 14
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg14	VIU1_DAT8 管脚的具体复用情况。 00: VIU1_DAT8; 01: GPIO2_6; 10: VOU0_DATA8; 11: SDIO1_CDATA3。						

### muxctrl\_reg15

VIU1\_DAT7 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x003C		muxctrl_reg15		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 15
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg15	VIU1_DAT7 管脚的具体复用情况。 00: VIU1_DAT7; 01: GPIO2_7; 10: VOU0_DATA7; 11: SDIO1_CDATA4。						

## muxctrl\_reg16

VIU1\_DAT6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0040		muxctrl_reg16		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 16
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg16	VIU1_DAT6 管脚的具体复用情况。 00: VIU1_DAT6; 01: GPIO3_0; 10: VOU0_DATA6; 11: SDIO1_CDATA5。						

## muxctrl\_reg17

VIU1\_DAT5 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0044		muxctrl_reg17		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 17
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg17	VIU1_DAT5 管脚的具体复用情况。 00: VIU1_DAT5; 01: GPIO3_1; 10: VOU0_DATA5; 11: SDIO1_CDATA6。						

### muxctrl\_reg18

VIU1\_DAT4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0048		muxctrl_reg18		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 18
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg18	VIU1_DAT4 管脚的具体复用情况。 00: VIU1_DAT4; 01: GPIO3_2; 10: VOU0_DATA4; 11: SDIO1_CDATA7。						

### muxctrl\_reg19

VIU1\_DAT3 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		muxctrl_reg19		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 19
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg19	VIU1_DAT3 管脚的具体复用情况。 00: VIU1_DAT3; 01: GPIO3_3; 10: VOU0_DATA3; 其它: 保留。						

## muxctrl\_reg20

VIU1\_DAT2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0050		muxctrl_reg20		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 20
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg20	VIU1_DAT2 管脚的具体复用情况。 00: VIU1_DAT2; 01: GPIO3_4; 10: VOU0_DATA2; 其它: 保留。						

## muxctrl\_reg21

VIU1\_DAT1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0054		muxctrl_reg21		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 21
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg21	VIU1_DAT1 管脚的具体复用情况。 00: VIU1_DAT1; 01: GPIO3_5; 10: VOU0_DATA1; 其它: 保留。						

### muxctrl\_reg22

VIU1\_DAT0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0058		muxctrl_reg22		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 22
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg22	VIU1_DAT0 管脚的具体复用情况。 00: VIU1_DAT0; 01: GPIO3_6; 10: VOU0_DATA0; 其它: 保留。						

### muxctrl\_reg23

SIO0\_MCLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x005C		muxctrl_reg23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 23
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg23	SIO0_MCLK 管脚的具体复用情况。 0: GPIO3_7; 1: SIO0_MCLK。						

## muxctrl\_reg24

SIO0\_XCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0060		muxctrl_reg24		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 24
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg24	SIO0_XCLK 管脚的具体复用情况。 00: GPIO4_0; 01: SIO0_XCLK; 10: SPI1_SCLK; 其它: 保留。						

## muxctrl\_reg25

SIO0\_XFS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0064		muxctrl_reg25		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg25
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg25	SIO0_XFS 管脚的具体复用情况。 00: GPIO4_1; 01: SIO0_XFS; 10: SPI1_CSN0; 其它: 保留。						

### muxctrl\_reg26

SIO0\_RCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0068		muxctrl_reg26		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg26
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg26	SIO0_RCLK 管脚的具体复用情况。 0: GPIO4_2; 1: SIO0_RCLK。						

### muxctrl\_reg27

SIO0\_RFS 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x006C		muxctrl_reg27		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg27	SIO0_RFS 管脚的具体复用情况。 0: GPIO4_3; 1: SIO0_RFS。						

## muxctrl\_reg28

SIO0\_DOUT 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0070		muxctrl_reg28		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg28
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg28	SIO0_DOUT 管脚的具体复用情况。 00: GPIO4_4; 01: SIO0_DOUT; 10: SPI1_SDO; 其它: 保留。						

## muxctrl\_reg29

SIO0\_DIN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0074		muxctrl_reg29		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 29
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg29	SIO0_DIN 管脚的具体复用情况。 00: GPIO4_5; 01: SIO0_DIN; 10: SPI1_SDI; 其它: 保留。						

### muxctrl\_reg30

SPI0\_SCLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0078		muxctrl_reg30		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 30
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg30	SPI0_SCLK 管脚的具体复用情况。 0: GPIO4_6; 1: SPI0_SCLK。						

### muxctrl\_reg31

SPI0\_SDO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x007C		muxctrl_reg31		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg31
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg31	SPI0_SDO 管脚的具体复用情况。 0: GPIO4_7; 1: SPI0_SDO。						

## muxctrl\_reg32

SPI0\_SDI 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0080		muxctrl_reg32		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg32
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg32	SPI0_SDI 管脚的具体复用情况。 0: GPIO5_0; 1: SPI0_SDI。						

## muxctrl\_reg33

SPI0\_CSN0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0084		muxctrl_reg33		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg33
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg33	SPI0_CSN0 管脚的具体复用情况。 0: GPIO5_1; 1: SPI0_CSN0。						

### muxctrl\_reg34

SPI0\_CSN1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0088		muxctrl_reg34		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 34
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg34	SPI0_CSN1 管脚的具体复用情况。 00: GPIO5_2; 01: SPI0_CSN1; 10: VOU0_DV; 其它: 保留。						

### muxctrl\_reg35

I2C\_SDA 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x008C		muxctrl_reg35		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg35
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg35	I2C_SDA 管脚的具体复用情况。 0: GPIO5_3; 1: I2C_SDA。						

## muxctrl\_reg36

I2C\_SCL 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0090		muxctrl_reg36		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg36
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg36	I2C_SCL 管脚的具体复用情况。 0: GPIO5_4; 1: I2C_SCL。						

## muxctrl\_reg37

UART1\_RTSM 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0094		muxctrl_reg37		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg37	UART1_RTSN 管脚的具体复用情况。 0: GPIO5_5; 1: UART1_RTSN。						

### muxctrl\_reg38

UART1\_RXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		muxctrl_reg38		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg38
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg38	UART1_RXD 管脚的具体复用情况。 0: GPIO5_6; 1: UART1_RXD。						

### muxctrl\_reg39

UART1\_CTSN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x009C		muxctrl_reg39		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg39
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg39	UART1_CTSN 管脚的具体复用情况。 0: GPIO5_7; 1: UART1_CTSN。						

## muxctrl\_reg40

UART1\_TXD 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00A0		muxctrl_reg40		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg40	UART1_TXD 管脚的具体复用情况。 0: GPIO6_0; 1: UART1_TXD。						

## muxctrl\_reg41

RGMIITXCKOUT 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00A4		muxctrl_reg41		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg41
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg41	RGMII_TXCKOUT 管脚的具体复用情况。 0: GPIO6_1; 1: RGMII_TXCKOUT。						

### muxctrl\_reg42

RGMII\_CRS 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00A8		muxctrl_reg42		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg42
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg42	RGMII_CRS 管脚的具体复用情况。 0: RGMII_CRS; 1: GPIO6_2。						

### muxctrl\_reg43

RGMII\_COL 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00AC		muxctrl_reg43		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg43
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg43	RGMII_COL 管脚的具体复用情况。 0: RGMII_COL; 1: GPIO6_3。						

## muxctrl\_reg44

IR\_IN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00B0		muxctrl_reg44		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg44
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg44	IR_IN 管脚的具体复用情况。 0: IR_IN; 1: GPIO6_4。						

## muxctrl\_reg45

NF\_DQ0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00B4		muxctrl_reg45		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg45
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg45	NF_DQ0 管脚的具体复用情况。 0: NF_DQ0; 1: GPIO6_5。						

### muxctrl\_reg46

NF\_DQ1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00B8		muxctrl_reg46		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg46
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg46	NF_DQ1 管脚的具体复用情况。 0: NF_DQ1; 1: GPIO6_6。						

### muxctrl\_reg47

NF\_DQ2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00BC		muxctrl_reg47		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg47
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg47	NF_DQ2 管脚的具体复用情况。 0: NF_DQ2; 1: GPIO6_7。						

## muxctrl\_reg48

NF\_DQ3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00C0		muxctrl_reg48		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg48
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg48	NF_DQ3 管脚的具体复用情况。 0: NF_DQ3; 1: GPIO7_0。						

## muxctrl\_reg49

NF\_DQ4 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00C4		muxctrl_reg49		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg49
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg49	NF_DQ4 管脚的具体复用情况。 0: NF_DQ4; 1: GPIO7_1。						

### muxctrl\_reg50

NF\_DQ5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00C8		muxctrl_reg50		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg50
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg50	NF_DQ5 管脚的具体复用情况。 0: NF_DQ5; 1: GPIO7_2。						

### muxctrl\_reg51

NF\_DQ6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00CC		muxctrl_reg51		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg51
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg51	NF_DQ6 管脚的具体复用情况。 0: NF_DQ6; 1: GPIO7_3。						

## muxctrl\_reg52

NF\_DQ7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00D0		muxctrl_reg52		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg52
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg52	NF_DQ7 管脚的具体复用情况。 0: NF_DQ7; 1: GPIO7_4。						

## muxctrl\_reg53

NF\_RDY0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00D4		muxctrl_reg53		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg53
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg53	NF_RDY0 管脚的具体复用情况。 0: NF_RDY0; 1: GPIO7_5。						

### muxctrl\_reg54

NF\_RDY1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00D8		muxctrl_reg54		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg54
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg54	NF_RDY1 管脚的具体复用情况。 0: NF_RDY1; 1: GPIO7_6。						

### muxctrl\_reg55

NF\_CSN0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00DC		muxctrl_reg55		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg55
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg55	NF_CSN0 管脚的具体复用情况。 0: NF_CSN0; 1: GPIO7_7。						

## muxctrl\_reg56

NF\_CSN1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00E0		muxctrl_reg56		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg56
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg56	NF_CSN1 管脚的具体复用情况。 0: NF_CSN1; 1: GPIO8_0。						

## muxctrl\_reg57

SDIO0\_CARD\_POWER\_EN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00E4		muxctrl_reg57		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg57
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg57	SDIO0_CARD_POWER_EN 管脚的具体复用情况。 0: GPIO8_1; 1: SDIO0_CARD_POWER_EN。						

### muxctrl\_reg58

SDIO0\_CARD\_DETECT 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00E8		muxctrl_reg58		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg58
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg58	SDIO0_CARD_DETECT 管脚的具体复用情况。 0: SDIO0_CARD_DETECT; 1: GPIO8_2。						

### muxctrl\_reg59

SDIO0\_CWPR 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00EC		muxctrl_reg59		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg59
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg59	SDIO0_CWPR 管脚的具体复用情况。 0: SDIO0_CWPR; 1: GPIO8_3。						

## muxctrl\_reg60

SDIO0\_CCMD\_ODPULLUP\_EN\_N 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00F0		muxctrl_reg60		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg60
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg60	SDIO0_CCMD_ODPULLUP_EN_N 管脚的具体复用情况。 0: GPIO8_4; 1: SDIO0_CCMD_ODPULLUP_EN_N。						

## muxctrl\_reg61

SDIO0\_CCMD 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00F4		muxctrl_reg61		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg61
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg61	SDIO0_CCMD 管脚的具体复用情况。 0: SDIO0_CCMD; 1: GPIO8_5。						

### muxctrl\_reg62

SDIO0\_CDATA0 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00F8		muxctrl_reg62		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg62
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg62	SDIO0_CDATA0 管脚的具体复用情况。 0: SDIO0_CDATA0; 1: GPIO8_6。						

### muxctrl\_reg63

SDIO0\_CDATA1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x00FC		muxctrl_reg63		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg63
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg63	SDIO0_CDATA1 管脚的具体复用情况。 0: SDIO0_CDATA1; 1: RESERVE。						

### muxctrl\_reg64

SDIO0\_CDATA4 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0100		muxctrl_reg64		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg64
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg64	SDIO0_CDATA4 管脚的具体复用情况。 0: SDIO0_CDATA4; 1: UART2_RXD。						

### muxctrl\_reg65

SDIO0\_CDATA5 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0104		muxctrl_reg65		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg65
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg65	SDIO0_CDATA5 管脚的具体复用情况。 0: SDIO0_CDATA5; 1: UART2_TXD。						

### muxctrl\_reg66

SDIO0\_CDATA6 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0108		muxctrl_reg66		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg66
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg66	SDIO0_CDATA6 管脚的具体复用情况。 00: SDIO0_CDATA6; 01: UART3_RXD; 10: PWM1_OUT1; 其它: 保留。						

### muxctrl\_reg67

SDIO0\_CDATA7 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x010C		muxctrl_reg67		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 67
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg67	SDIO0_CDATA7 管脚的具体复用情况。 00: SDIO0_CDATA7; 01: UART3_TXD; 10: PWM1_OUT2; 其它: 保留。						

## muxctrl\_reg68

SFC\_CS0N 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0110		muxctrl_reg68		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 68
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg68	SFC_CS0N 管脚的具体复用情况。 0: SFC_CS0N; 1: GPIO8_7。						

## muxctrl\_reg69

VOU1\_CLK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0114		muxctrl_reg69		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg69
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg69	VOU1_CLK 管脚的具体复用情况。 0: GPIO9_0; 1: VOU1_CLK。						

### muxctrl\_reg70

VOU1\_DATA7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0118		muxctrl_reg70		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg70
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg70	VOU1_DATA7 管脚的具体复用情况。 00: GPIO9_1; 01: VOU1_DATA7; 10: SIO1_XCLK; 其它: 保留。						

### muxctrl\_reg71

VOU1\_DATA6 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x011C		muxctrl_reg71		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 71
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg71	VOU1_DATA6 管脚的具体复用情况。 00: GPIO9_2; 01: VOU1_DATA6; 10: SIO1_XFS; 其它: 保留。						

### muxctrl\_reg72

VOU1\_DATA5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0120		muxctrl_reg72		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 72
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg72	VOU1_DATA5 管脚的具体复用情况。 00: GPIO9_3; 01: VOU1_DATA5; 10: SIO1_RCLK; 其它: 保留。						

### muxctrl\_reg73

VOU1\_DATA4 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0124		muxctrl_reg73		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 73
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg73	VOU1_DATA4 管脚的具体复用情况。 00: GPIO9_4; 01: VOU1_DATA4; 10: SIO1_RFS; 其它: 保留。						

### muxctrl\_reg74

VOU1\_DATA3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0128		muxctrl_reg74		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 74
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg74	VOU1_DATA3 管脚的具体复用情况。 00: GPIO9_5; 01: VOU1_DATA3; 10: SIO1_DOUT; 其它: 保留。						

### muxctrl\_reg75

VOU1\_DATA2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x012C		muxctrl_reg75		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 75
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg75	VOU1_DATA2 管脚的具体复用情况。 00: GPIO9_6; 01: VOU1_DATA2; 10: SIO1_DIN; 其它: 保留。						

## muxctrl\_reg76

VOU1\_DATA1 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0130		muxctrl_reg76		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg76
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	muxctrl_reg76	VOU1_DATA1 管脚的具体复用情况。 000: CLK_TEST_OUT0; 001: VOU1_DATA1; 010: NF_PAGE1; 011: CLK_TEST_OUT1; 100: CLK_TEST_OUT2; 101: CLK_TEST_OUT3; 其它: 保留。						





## muxctrl\_reg79

USB0\_PWREN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x013C		muxctrl_reg79		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 79
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg79	USB0_PWREN 管脚的具体复用情况。 00: USB0_PWREN; 10: GPIO10_0; 其它: 保留。						

## muxctrl\_reg80

USB1\_OVRCUR 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0140		muxctrl_reg80		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg 80
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg80	USB1_OVRCUR 管脚的具体复用情况。 00: USB1_OVRCUR; 10: GPIO10_1; 其它: 保留。						



## muxctrl\_reg81

USB1\_PWREN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0144		muxctrl_reg81		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg81
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[1:0]	RW	muxctrl_reg81	USB1_PWREN 管脚的具体复用情况。 00: USB1_PWREN; 10: GPIO10_2; 其它: 保留。						

## muxctrl\_reg82

SENS\_CLK 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0148		muxctrl_reg82		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								muxctrl_reg82
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[0]	RW	muxctrl_reg82	SENS_CLK 管脚的具体复用情况。 0: GPIO10_3; 1: SENS_CLK。						

## muxctrl\_reg83

EPHY\_CLK 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x014C				muxctrl_reg83				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												muxctrl_reg83			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[0]	RW	muxctrl_reg83		EPHY_CLK 管脚的具体复用情况。 0: GPIO10_4; 1: EPHY_CLK。																											

## 2.1.6 软件复用管脚描述

### VIU0

VIU0 的软件复用管脚如表 2-31 所示。

表2-31 VIU0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
N2	VIU0_DAT15	<a href="#">muxctrl_reg0</a>	GPIO1_0
N1	VIU0_DAT14	<a href="#">muxctrl_reg1</a>	GPIO1_1
M2	VIU0_DAT13	<a href="#">muxctrl_reg2</a>	GPIO1_2
M3	VIU0_DAT12	<a href="#">muxctrl_reg3</a>	GPIO1_3

VIU0 的软件复用管脚如表 2-32 所示。

表2-32 VIU0 的软件复用管脚描述

信号名	方向	说明
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出



信号名	方向	说明
GPIO1_3	I/O	通用输入输出

## VIU1

VIU1 的软件复用管脚如表 2-33 所示。

表2-33 VIU1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
P1	VIU1_CLK	<a href="#">muxctrl_reg4</a>	GPIO1_4	VOU0_CLK	SDIO1_CCLK_OUT
N4	VIU1_VS	<a href="#">muxctrl_reg5</a>	GPIO1_5	VOU0_VS	-
N3	VIU1_HS	<a href="#">muxctrl_reg6</a>	GPIO1_6	VOU0_HS	SDIO1_CWPR
V1	VIU1_DAT15	<a href="#">muxctrl_reg7</a>	GPIO1_7	VOU0_DATA15	SDIO1_CARD_POWER_EN
U4	VIU1_DAT14	<a href="#">muxctrl_reg8</a>	GPIO2_0	VOU0_DATA14	SDIO1_CARD_DETECT
U3	VIU1_DAT13	<a href="#">muxctrl_reg9</a>	GPIO2_1	VOU0_DATA13	SDIO1_CCMD_ODPULLUP_EN_N
U2	VIU1_DAT12	<a href="#">muxctrl_reg10</a>	GPIO2_2	VOU0_DATA12	SDIO1_CCMD
U1	VIU1_DAT11	<a href="#">muxctrl_reg11</a>	GPIO2_3	VOU0_DATA11	SDIO1_CDATA0
T4	VIU1_DAT10	<a href="#">muxctrl_reg12</a>	GPIO2_4	VOU0_DATA10	SDIO1_CDATA1
T3	VIU1_DAT9	<a href="#">muxctrl_reg13</a>	GPIO2_5	VOU0_DATA9	SDIO1_CDATA2
T2	VIU1_DAT8	<a href="#">muxctrl_reg14</a>	GPIO2_6	VOU0_DATA8	SDIO1_CDATA3
T1	VIU1_DAT7	<a href="#">muxctrl_reg15</a>	GPIO2_7	VOU0_DATA7	SDIO1_CDATA4
R4	VIU1_DAT6	<a href="#">muxctrl_reg16</a>	GPIO3_0	VOU0_DATA6	SDIO1_CDATA5
R3	VIU1_DAT5	<a href="#">muxctrl_reg17</a>	GPIO3_1	VOU0_DATA5	SDIO1_CDATA6
R2	VIU1_DAT4	<a href="#">muxctrl_reg18</a>	GPIO3_2	VOU0_DATA4	SDIO1_CDATA7
R1	VIU1_DAT3	<a href="#">muxctrl_reg19</a>	GPIO3_3	VOU0_DATA3	-
P4	VIU1_DAT2	<a href="#">muxctrl_reg20</a>	GPIO3_4	VOU0_DATA2	-
P3	VIU1_DAT1	<a href="#">muxctrl_reg21</a>	GPIO3_5	VOU0_DATA1	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
P2	VIU1_DAT0	<a href="#">muxctrl_reg22</a>	GPIO3_6	VOU0_DATA0	-

VIU1 的软件复用管脚如表 2-34 所示。

表2-34 VIU1 的软件复用管脚描述

信号名	方向	说明
GPIO1_4	I/O	通用输入输出
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出
GPIO2_3	I/O	通用输入输出
GPIO2_4	I/O	通用输入输出
GPIO2_5	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
SDIO1_CARD_DETECT	I	卡检查信号，低电平有效
SDIO1_CARD_POWER_EN	O	电源使能控制信号，为 1 时 power on
SDIO1_CCLK_OUT	O	输出给卡使用的工作时钟



信号名	方向	说明
SDIO1_CCMD	I/O	卡命令
SDIO1_CCMD_ODPULLUP_EN_N	O	卡命令 OD 模式选择
SDIO1_CDATA0	I/O	卡数据
SDIO1_CDATA1	I/O	卡数据
SDIO1_CDATA2	I/O	卡数据
SDIO1_CDATA3	I/O	卡数据
SDIO1_CDATA4	I/O	卡数据
SDIO1_CDATA5	I/O	卡数据
SDIO1_CDATA6	I/O	卡数据
SDIO1_CDATA7	I/O	卡数据
SDIO1_CWPR	I	卡写保护检测
VOU0_CLK	O	BT.1120 接口时钟输出
VOU0_DATA0	O	BT.1120 接口的色度信号输出
VOU0_DATA1	O	BT.1120 接口的色度信号输出
VOU0_DATA10	O	BT.1120 接口的亮度信号输出
VOU0_DATA11	O	BT.1120 接口的亮度信号输出
VOU0_DATA12	O	BT.1120 接口的亮度信号输出
VOU0_DATA13	O	BT.1120 接口的亮度信号输出
VOU0_DATA14	O	BT.1120 接口的亮度信号输出
VOU0_DATA15	O	BT.1120 接口的亮度信号输出
VOU0_DATA2	O	BT.1120 接口的色度信号输出
VOU0_DATA3	O	BT.1120 接口的色度信号输出
VOU0_DATA4	O	BT.1120 接口的色度信号输出
VOU0_DATA5	O	BT.1120 接口的色度信号输出
VOU0_DATA6	O	BT.1120 接口的色度信号输出
VOU0_DATA7	O	BT.1120 接口的色度信号输出
VOU0_DATA8	O	BT.1120 接口的亮度信号输出
VOU0_DATA9	O	BT.1120 接口的亮度信号输出
VOU0_HS	O	BT.1120 行同步输出



信号名	方向	说明
VOU0_VS	O	BT.1120 接口场同步输出

## SIO0

SIO0 的软件复用管脚如表 2-35 所示。

表2-35 SIO0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AB8	SIO0_MCLK	<a href="#">muxctrl_reg23</a>	GPIO3_7	-
AA8	SIO0_XCLK	<a href="#">muxctrl_reg24</a>	GPIO4_0	SPI1_SCLK
AA9	SIO0_XFS	<a href="#">muxctrl_reg25</a>	GPIO4_1	SPI1_CSN0
Y8	SIO0_RCLK	<a href="#">muxctrl_reg26</a>	GPIO4_2	-
Y9	SIO0_RFS	<a href="#">muxctrl_reg27</a>	GPIO4_3	-
W9	SIO0_DOUT	<a href="#">muxctrl_reg28</a>	GPIO4_4	SPI1_SDO

SIO0 的软件复用管脚如表 2-36 所示。

表2-36 SIO0 的软件复用管脚描述

信号名	方向	说明
GPIO3_7	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出
SPI1_CSN0	I/O	SPI 的片选 0 输出
SPI1_SCLK	I/O	SPI 时钟信号
SPI1_SDO	O	SPI 数据输出



## SPI0

SPI0 的软件复用管脚如表 2-37 所示。

表2-37 SPI0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AB9	SIO0_DIN	<a href="#">muxctrl_reg29</a>	GPIO4_5	SPI1_SDI
W2	SPI0_SCLK	<a href="#">muxctrl_reg30</a>	GPIO4_6	-
W1	SPI0_SDO	<a href="#">muxctrl_reg31</a>	GPIO4_7	-
V4	SPI0_SDI	<a href="#">muxctrl_reg32</a>	GPIO5_0	-
V3	SPI0_CSN0	<a href="#">muxctrl_reg33</a>	GPIO5_1	-
V2	SPI0_CSN1	<a href="#">muxctrl_reg34</a>	GPIO5_2	VOU0_DV

SPI0 的软件复用管脚如表 2-38 所示。

表2-38 SPI0 的软件复用管脚描述

信号名	方向	说明
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
GPIO5_0	I/O	通用输入输出
GPIO5_1	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
SPI1_SDI	I	SPI 数据输入
VOU0_DV	O	BT.1120 数据有效信号

## I2C

I2C 的软件复用管脚如表 2-39 所示。



表2-39 I2C 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
B22	I2C_SDA	<a href="#">muxctrl_reg35</a>	GPIO5_3
C20	I2C_SCL	<a href="#">muxctrl_reg36</a>	GPIO5_4

I2C 的软件复用管脚如表 2-40 所示。

表2-40 I2C 的软件复用管脚描述

信号名	方向	说明
GPIO5_3	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出

## UART1

UART1 的软件复用管脚如表 2-41 所示。

表2-41 UART1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
A20	UART1_RTSN	<a href="#">muxctrl_reg37</a>	GPIO5_5
A21	UART1_RXD	<a href="#">muxctrl_reg38</a>	GPIO5_6
B20	UART1_CTSN	<a href="#">muxctrl_reg39</a>	GPIO5_7
B21	UART1_TXD	<a href="#">muxctrl_reg40</a>	GPIO6_0

UART1 的软件复用管脚如表 2-42 所示。

表2-42 UART1 的软件复用管脚描述

信号名	方向	说明
GPIO5_5	I/O	通用输入输出
GPIO5_6	I/O	通用输入输出
GPIO5_7	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出



## RGMII

RGMII 的软件复用管脚如表 2-43 所示。

表2-43 RGMII 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
G20	RGMII_TXCKOUT	<a href="#">muxctrl_reg41</a>	GPIO6_1
E20	RGMII_CRS	<a href="#">muxctrl_reg42</a>	GPIO6_2
E22	RGMII_COL	<a href="#">muxctrl_reg43</a>	GPIO6_3
C21	EPHY_CLK	<a href="#">muxctrl_reg83</a>	GPIO10_4

RGMII 的软件复用管脚如表 2-44 所示。

表2-44 RGMII 的软件复用管脚描述

信号名	方向	说明
GPIO10_4	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出

## IR

IR 的软件复用管脚如表 2-45 所示。

表2-45 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
Y19	IR_IN	<a href="#">muxctrl_reg44</a>	GPIO6_4

IR 的软件复用管脚如表 2-46 所示。



表2-46 IR 的软件复用管脚描述

信号名	方向	说明
GPIO6_4	I/O	通用输入输出

## NF

NF 的软件复用管脚如表 2-47 所示。

表2-47 NF 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
Y4	NF_DQ0	<a href="#">muxctrl_reg45</a>	GPIO6_5
AB3	NF_DQ1	<a href="#">muxctrl_reg46</a>	GPIO6_6
AA3	NF_DQ2	<a href="#">muxctrl_reg47</a>	GPIO6_7
AB2	NF_DQ3	<a href="#">muxctrl_reg48</a>	GPIO7_0
W4	NF_DQ4	<a href="#">muxctrl_reg49</a>	GPIO7_1
Y3	NF_DQ5	<a href="#">muxctrl_reg50</a>	GPIO7_2
AA2	NF_DQ6	<a href="#">muxctrl_reg51</a>	GPIO7_3
AA1	NF_DQ7	<a href="#">muxctrl_reg52</a>	GPIO7_4
Y6	NF_RDY0	<a href="#">muxctrl_reg53</a>	GPIO7_5
W6	NF_RDY1	<a href="#">muxctrl_reg54</a>	GPIO7_6
AA5	NF_CSN0	<a href="#">muxctrl_reg55</a>	GPIO7_7
W5	NF_CSN1	<a href="#">muxctrl_reg56</a>	GPIO8_0

NF 的软件复用管脚如表 2-48 所示。

表2-48 NF 的软件复用管脚描述

信号名	方向	说明
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出



GPIO7_0	I/O	通用输入输出
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
GPIO7_6	I/O	通用输入输出
GPIO7_7	I/O	通用输入输出
GPIO8_0	I/O	通用输入输出

## SDIO0

SDIO0 的软件复用管脚如表 2-49 所示。

表2-49 SDIO0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
H22	SDIO0_CARD_POWER_EN	<a href="#">muxctrl_reg57</a>	GPIO8_1	-
H19	SDIO0_CARD_DETECT	<a href="#">muxctrl_reg58</a>	GPIO8_2	-
H20	SDIO0_CWPR	<a href="#">muxctrl_reg59</a>	GPIO8_3	-
H21	SDIO0_CCMD_ODPULLUP_EN_N	<a href="#">muxctrl_reg60</a>	GPIO8_4	-
J20	SDIO0_CCMD	<a href="#">muxctrl_reg61</a>	GPIO8_5	-
K21	SDIO0_CDATA0	<a href="#">muxctrl_reg62</a>	GPIO8_6	-
K22	SDIO0_CDATA1	<a href="#">muxctrl_reg63</a>	RESERVE	-
J21	SDIO0_CDATA4	<a href="#">muxctrl_reg64</a>	UART2_RXD	-
J22	SDIO0_CDATA5	<a href="#">muxctrl_reg65</a>	UART2_TXD	-
K19	SDIO0_CDATA6	<a href="#">muxctrl_reg66</a>	UART3_RXD	PWM1_OUT1
K20	SDIO0_CDATA7	<a href="#">muxctrl_reg67</a>	UART3_TXD	PWM1_OUT2

SDIO0 的软件复用管脚如表 2-50 所示。



表2-50 SDIO0 的软件复用管脚描述

信号名	方向	说明
GPIO8_1	I/O	通用输入输出
GPIO8_2	I/O	通用输入输出
GPIO8_3	I/O	通用输入输出
GPIO8_4	I/O	通用输入输出
GPIO8_5	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出
PWM1_OUT1	O	PWM 输出
PWM1_OUT2	O	PWM 输出
RESERVE	O	保留
UART2_RXD	I	UART0 数据接收
UART2_TXD	O	UART0 数据发送
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送

## SF

SF 的软件复用管脚如表 2-51 所示。

表2-51 SF 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
W8	SFC_CS0N	<a href="#">muxctrl_reg68</a>	GPIO8_7

SF 的软件复用管脚如表 2-52 所示。

表2-52 SF 的软件复用管脚描述

信号名	方向	说明
GPIO8_7	I/O	通用输入输出



## VOU1

VOU1 的软件复用管脚如表 2-53 所示。

表2-53 VOU1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
AB12	VOU1_CLK	<a href="#">muxctrl_reg69</a>	GPIO9_0	-	-	-	-
W10	VOU1_DATA7	<a href="#">muxctrl_reg70</a>	GPIO9_1	SIO1_XCLK	-	-	-
Y10	VOU1_DATA6	<a href="#">muxctrl_reg71</a>	GPIO9_2	SIO1_XFS	-	-	-
AA10	VOU1_DATA5	<a href="#">muxctrl_reg72</a>	GPIO9_3	SIO1_RCLK	-	-	-
AB10	VOU1_DATA4	<a href="#">muxctrl_reg73</a>	GPIO9_4	SIO1_RFS	-	-	-
W11	VOU1_DATA3	<a href="#">muxctrl_reg74</a>	GPIO9_5	SIO1_OUTPUT	-	-	-
Y11	VOU1_DATA2	<a href="#">muxctrl_reg75</a>	GPIO9_6	SIO1_DIN	-	-	-
AA11	VOU1_DATA1	<a href="#">muxctrl_reg76</a>	CLK_TEST_OUT0	NF_PAGE1	CLK_TEST_OUT1	CLK_TEST_OUT2	CLK_TEST_OUT3
AB11	VOU1_DATA0	<a href="#">muxctrl_reg77</a>	PLL_TEST_OUT0	NF_PAGE0	PLL_TEST_OUT1	PLL_TEST_OUT2	PLL_TEST_OUT3

VOU1 的软件复用管脚如表 2-54 所示。

表2-54 VOU1 的软件复用管脚描述

信号名	方向	说明
CLK_TEST_OUT0	O	主测试时钟输出
CLK_TEST_OUT1	O	主测试时钟输出
CLK_TEST_OUT2	O	主测试时钟输出
CLK_TEST_OUT3	O	主测试时钟输出
GPIO9_0	I/O	通用输入输出
GPIO9_1	I/O	通用输入输出
GPIO9_2	I/O	通用输入输出



信号名	方向	说明
GPIO9_3	I/O	通用输入输出
GPIO9_4	I/O	通用输入输出
GPIO9_5	I/O	通用输入输出
GPIO9_6	I/O	通用输入输出
NF_PAGE0	I	boot 时, NandFlash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
NF_PAGE1	I	
PLL_TEST_OUT0	O	PLL 测试时钟输出
PLL_TEST_OUT1	O	PLL 测试时钟输出
PLL_TEST_OUT2	O	PLL 测试时钟输出
PLL_TEST_OUT3	O	PLL 测试时钟输出
SIO1_DIN	I	I2S 或 PCM 接口数据输入。
SIO1_DOUT	O	I2S 或 PCM 接口数据输出。
SIO1_RCLK	I/O	I2S 或 PCM 接口位流时钟
SIO1_RFS	I/O	I2S 或 PCM 接口位流时钟
SIO1_XCLK	I/O	I2S 或 PCM 接口位流时钟
SIO1_XFS	I/O	I2S 或 PCM 接口位流时钟

## USB

USB 的软件复用管脚如表 2-55 所示。

表2-55 USB 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
M20	USB0_OVRCUR	<a href="#">muxctrl_reg78</a>	GPIO9_7
N20	USB0_PWREN	<a href="#">muxctrl_reg79</a>	GPIO10_0
P20	USB1_OVRCUR	<a href="#">muxctrl_reg80</a>	GPIO10_1
P19	USB1_PWREN	<a href="#">muxctrl_reg81</a>	GPIO10_2



USB 的软件复用管脚如表 2-56 所示。

表2-56 USB 的软件复用管脚描述

信号名	方向	说明
GPIO10_0	I/O	通用输入输出
GPIO10_1	I/O	通用输入输出
GPIO10_2	I/O	通用输入输出
GPIO9_7	I/O	通用输入输出

## VIUX

VIUX 的软件复用管脚如表 2-57 所示。

表2-57 VIUX 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
K4	SENS_CLK	<a href="#">muxctrl_reg82</a>	GPIO10_3

VIUX 的软件复用管脚如表 2-58 所示。

表2-58 VIUX 的软件复用管脚描述

信号名	方向	说明
GPIO10_3	I/O	通用输入输出

## 2.1.7 硬件管脚复用描述

### RGMII 管脚复用

RGMII 管脚复用如表 2-59 所示。

表2-59 RGMII 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
G22	MDCK	NF_ADNUM



RGMII 的硬件复用管脚如表 2-60 所示。

表2-60 与 RGMII 复用的管脚描述

信号名	方向	说明
NF_ADNUM	I	发给 NANDFlash 器件的地址数目，只在上电的瞬间有效:NF_ADNUM+4,默认是 5 个地址

## NF 管脚复用

NF 管脚复用如表 2-61 所示。

表2-61 NF 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AB5	NF_REN	NF_BLKSIZE
AB4	NF_CLE	NF_ECC_TYPE2
AA4	NF_ALE	NF_ECC_TYPE1
Y5	NF_WEN	NF_ECC_TYPE0

NF 的硬件复用管脚如表 2-62 所示。

表2-62 与 NF 复用的管脚描述

信号名	方向	说明
NF_BLKSIZE	I	boot 时，NandFlash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件;
NF_ECC_TYPE2	I	boot 时，选择 ECC 模式。
NF_ECC_TYPE1	I	000: 无 ECC。
NF_ECC_TYPE0	I	001: 1bit 模式。 010: 4bit 模式。 011: 8bit 模式。 100: 24bits 模式 for 1KB。 101: 24bits 模式 for 512B。 110~111:保留。



## PWM 管脚复用

PWM 管脚复用如表 2-63 所示。

表2-63 PWM 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
Y2	PWM0_OUT0	JTAG_SEL0
Y1	PWM0_OUT1	JTAG_SEL1
W3	PWM0_OUT2	BOOT_SEL0
M19	PWM1_OUT0	BOOT_SEL1

PWM 的硬件复用管脚如表 2-64 所示。

表2-64 与 PWM 复用的管脚描述

信号名	方向	说明
JTAG_SEL0	I	JTAG 功能选择 {JTAGSEL1,JTAG_SEL0}： 00: A9; 01: 保留; 1x: PCIE。
JTAG_SEL1	I	
BOOT_SEL0	I	启动 mememory 类型选择， {BOOTSEL1,BOOTSEL0}的关系是： 00: SPIflash; 01: Nandflash; 10: DDR; 11: DDR。
BOOT_SEL1	I	





## 2.2 电性能参数

### 2.2.1 推荐工作条件

Hi3516 的功耗参数和推荐工作条件如表 2-65、表 2-66 所示。

表2-65 功耗参数

符号	参数	最小值	典型值	最大值	单位
内核电源	内核电源	TBD	TBD	TBD	mA
3.3V 电源	接口电源	TBD	TBD	TBD	mA
2.5V 电源	接口电源	TBD	TBD	TBD	mA
DVDD1518 电源	DDR 接口电源	TBD	TBD	TBD	mA

表2-66 推荐工作条件

管脚名	描述	Min	Typ	Max
DVDD10	内核电源	0.9V	1.0V	1.1V
DVDD33	I/O 电源	3.0V	3.3V	3.6V
DVDD1518	DDR2 I/O 电源	1.7V	1.8V	1.9V
	DDR 3 I/O 电源	1.425V	1.5V	1.575V
DDR_REF	DDR2 参考电压	0.49*DVDD1518	0.5*DVDD1518	0.51*DVDD1518
	DDR3 参考电压	0.49*DVDD1518	0.5*DVDD1518	0.51*DVDD1518
DVDD10_USB	USB 数字电源	-7%	1.0V	+10%
AVDD33_USB	USB 模拟电源	-7%	3.3V	+10%
VDD10_PLL VDDREF10_PLL	PLL 数字电源	-10%	1.0V	+10%
AVDD33_PLL1 AVDD33_PLL234	PLL 模拟电源	-10%	3.3V	+10%
PCIE-VP10	PCIE 数字电源	-10%	1.0V	+10%
PCIE-VPH25	PCIE 数字电源	-10%	2.5V	+10%



管脚名	描述	Min	Typ	Max
DVDD10_DAC	DAC 数字电源	0.9V	1.0V	1.1V
DVDD33_DAC	DAC 数字电源	2.97V	3.3V	3.63V
AVDD33_DAC	DAC 模拟电源	2.97V	3.3V	3.63V
AC_AVDD	音频模拟电源	2.97V	3.3V	3.63V

## 2.2.2 上下电顺序

为避免 IO 在上电过程中产生大电流，推荐先上 DVDD33，后上 DVDD10。对下电顺序没有要求。

## 2.2.3 DC/AC 电气参数

Hi3516 DC 电气参数如表 2-67 所示。

表2-67 DC 电气参数表（DVDD33=3.3V，5V 输入兼容，部分接口不支持 5V 输入兼容）

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.0	3.3	3.6	V	-
V <sub>IH</sub>	高电平输入电压	2.0	-	5.5	V	兼容 5V 输入，部分接口不支持 5V 输入，最大输入要求不高于 DVDD33+0.3V，这些信号有 RGMII_RXDV、RGMII_RXD3、RGMII_RXD2、RGMII_RXD1、RGMII_RXD0、RGMII_RXCK、EPHY_CLK、RGMII_TXCK、RGMII_TXCKOUT、RGMII_CRS、RGMII_COL
V <sub>IL</sub>	低电平输入电压	-0.3	-	0.8	V	-
I <sub>L</sub>	输入漏电流	-	-	±10	μA	-
I <sub>OZ</sub>	三态输出漏电流	-	-	±10	μA	-
V <sub>OH</sub>	高电平输出电压	2.4	-	-	V	-
V <sub>OL</sub>	低电平输出电压	-	-	0.4	V	-
R <sub>PU</sub>	内部上拉电阻	27	38	59	kΩ	-
R <sub>PD</sub>	内部下拉电阻	31	46	80	kΩ	-

DDR2 模式下，DC 电气参数如表 2-68 所示。



表2-68 DC 电气参数表 (DVDD1518=1.8V, DDR2 SSTL18 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.7	1.8	1.9	V	-
Vref	参考电压	833	900	969	mV	(0.49~0.51) %DVDD1518
VTT	端接电压	Vref-40	Vref	Vref+40	mV	-
V <sub>IH(DC)</sub>	高电平输入电压	Vref+0.125	-	DVDD1518+0.3	V	-
V <sub>IL(DC)</sub>	低电平输入电压	-0.3	-	Vref-0.125	V	-
I <sub>OH</sub>	高电平输出电流	-8.1	-	-13.4	mA	-
I <sub>OL</sub>	低电平输出电流	8.1	-	13.4	mA	-
V <sub>OH</sub>	高电平输出	DVDD1518 -0.28	-	DVDD1518(1+10%)	V	-
V <sub>OL</sub>	低电平输出	0	-	0.28	V	I <sub>OH</sub> =13.4mA

DDR2 模式下, AC 电气参数如表 2-69 所示。

表2-69 AC 电气参数表 (DVDD1518=1.8V, DDR2 模式)

符号	参数	400~533 Mbps		667~800 Mbps		单位	说明
		最小值	最大值	最小值	最大值		
V <sub>IH(AC)</sub>	AC 高电平输入电压	Vref + 0.25	-	Vref+0.2	-	V	-
V <sub>IL(AC)</sub>	AC 低电平输入电压	-	Vref-0.25	-	Vref-0.2	V	-

DDR3 模式下, DC 电气参数如表 2-70 所示。

表2-70 DC 电气参数表 (DVDD1518=1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD1518	接口电压	1.425	1.5	1.575	V	-
Vref	参考电压	698	750	803	mV	(0.49~0.51) )*DVDD1518
VTT	端接电压	698	750	803	mV	-



符号	参数	最小值	典型值	最大值	单位	说明
$V_{IH(DC)}$	高电平输入电压	$V_{ref}+0.1$	-	$DVDD1518+0.3$	V	-
$V_{IL(DC)}$	低电平输入电压	-0.3	-	$V_{ref}-0.1$	V	-
$V_{OH}$	高电平输出电压	$0.8\%DVDD1518$	-	$(1+0.1)\%DVDD1518$	V	-
$V_{OL}$	低电平输出电压	0	-	$0.2\%DVDD1518$	V	-
$I_{OH}$	高电平输出电流	8	-	-	mA	
$I_{OL}$	低电平输出电流	-8	-	-	mA	

DDR3 模式下，AC 电气参数如表 2-71 所示。

表2-71 AC 电气参数表 (DVDD1518=1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
$V_{IH(AC)}$	高电平输入电压	$V_{ref} + 0.175$	$DVDD1518+0.3$	V	-
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref}-0.175$	V	-
$V_{OH}$	高电平输出电压	$V_{TT}+0.1\%DVDD1518$	-	V	-
$V_{OL}$	低电平输出电压	-	$V_{TT}-0.1\%DVDD1518$	V	-

## 2.3 PCB 设计建议

PCB 设计的详细内容请参见《Hi3516 硬件设计 用户指南》。

## 2.4 接口时序

### 2.4.1 DDR 接口时序

#### 2.4.1.1 写操作时序

##### dqs\_out 相对于 dq\_out 的写操作时序

dqs\_out 相对于 dq\_out 的写操作时序的主要时序参数是  $t_{DS}$  和  $t_{DH}$ 。在 DDR2-800 中， $t_{DS}$  和  $t_{DH}$  分别为 0.05ns 和 0.125ns。



图2-10 DDR2 中 dqs\_out 相对于 dq\_out 的写操作时序图

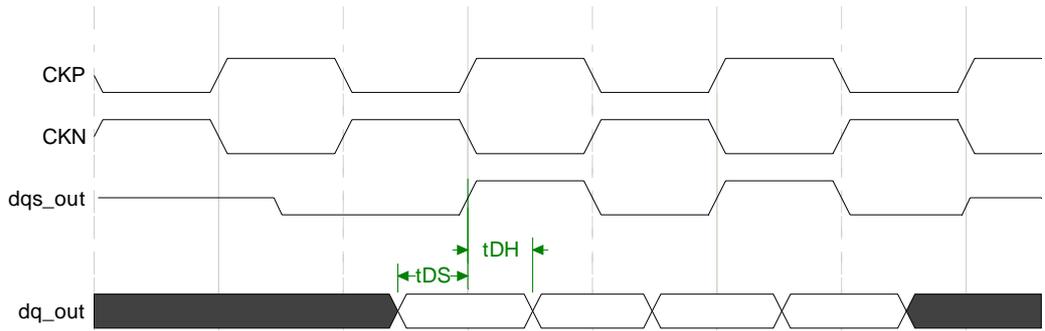
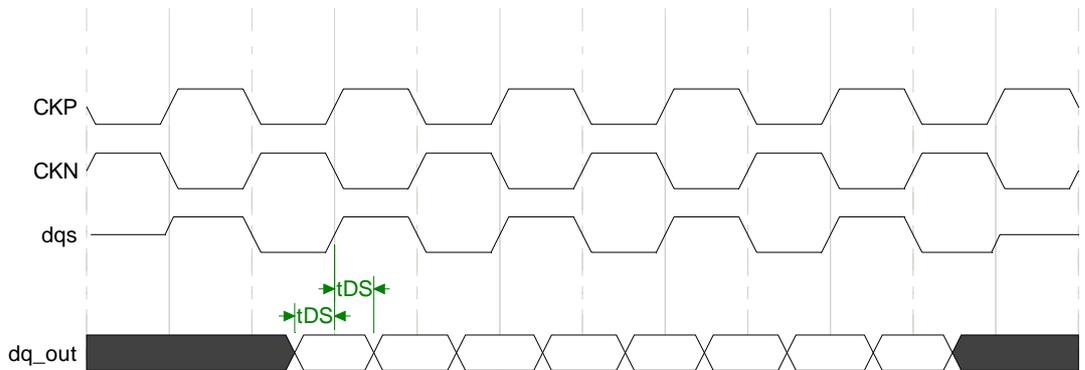


图2-11 DDR3 中 dqs\_out 相对于 dq\_out 的写操作时序图



### dqs\_out 相对于 ck 的写操作时序

dqs\_out 相对于 ck 的写操作时序。DDR2、DDR3 的时序如图 2-12 和图 2-13 所示。

图2-12 DDR2 中 dqs\_out 相对于 ck 的写操作时序图

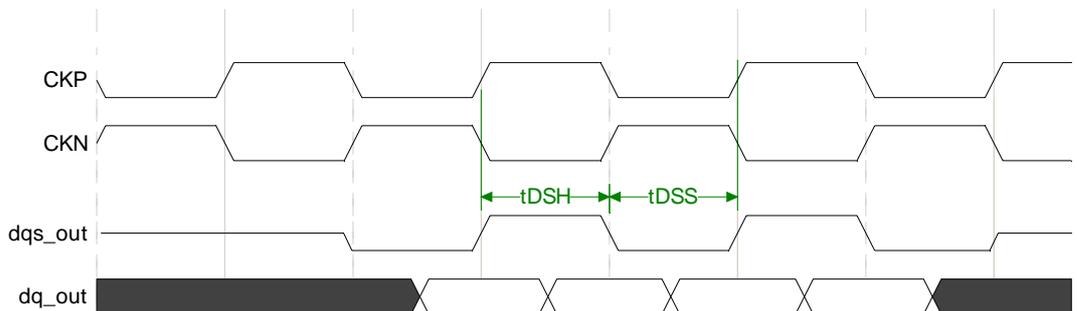
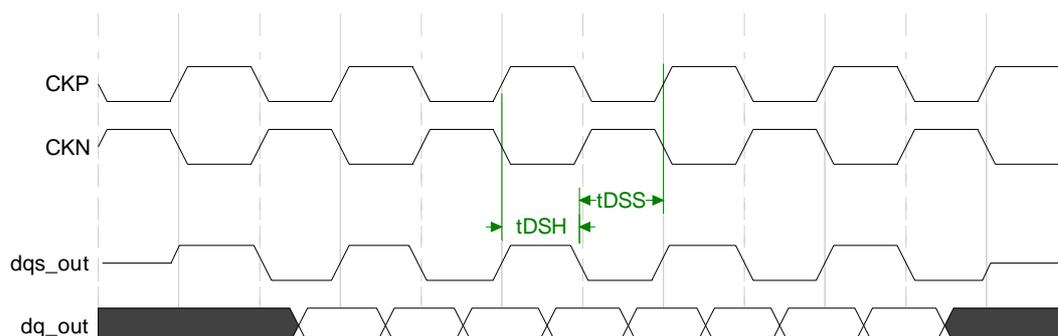




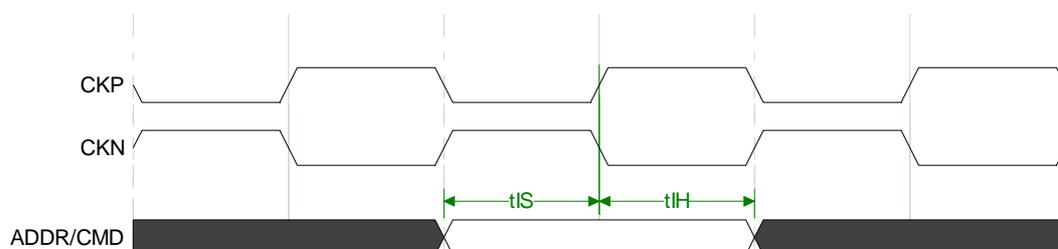
图2-13 DDR3 中 dqs\_out 相对于 ck 的写操作时序图



## 命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 2-14 所示。

图2-14 命令和地址相对于 ck 的写操作时序图



### 2.4.1.2 读操作时序

#### 命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

#### dqs\_in 相对于 dq\_in 的读操作时序

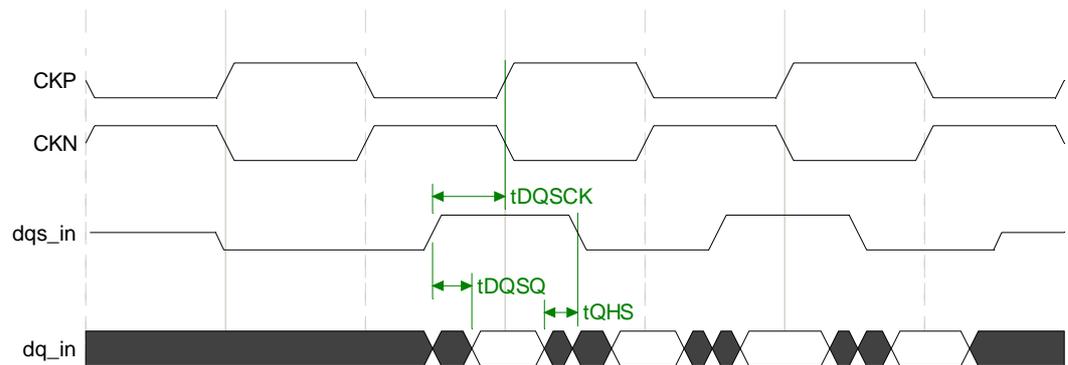
dqs\_in 相对于 dq\_in 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 dqs\_in 和 dq\_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有  $t_{DQSCK}$  的偏斜。 $t_{DQSCK}$  为 0.35ns。 $t_{DQSQ}$  是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns， $t_{QHS}$  是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 2-15 所示。



图2-15 DDRn SDRAM 输出时序图



### 2.4.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-2E 和 JESD79-3B) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于 Hi3516，以 DDR2-800 和 DDR3-1066 的时序参数为依据。

DDR2-800 SDRAM 时钟参数如表 2-72 和表 2-73 所示。

DDR3-1066 SDRAM 时钟参数如表 2-74 和表 2-75 所示。

表2-72 DDR2 时钟参数表

参数	典型值	单位
存储器时钟频率	400.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	48.000	%
时钟偏斜	0.100	ns

DDR2 SDRAM 存储器参数如表 2-73 所示。

表2-73 DDR2 SDRAM 存储器参数表 (DDR2-800)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.050	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.125	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns



参数	符号	典型值	单位
数据保持的偏斜	tQHS	0.300	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.175	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.250	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.350	ns

注：部分时序参数可参见后面的时序图。

表2-74 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	500.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表2-75 DDR3 SDRAM 存储器参数表（DDR3-1066）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.2	tCK
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.2	tCK
DQ/DM 相对于 DQS 的建立时间	tDS	0.025	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.100	ns
DQS 与 DQ 的偏斜	tDQSQ	0.150	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.125	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.200	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.300	ns

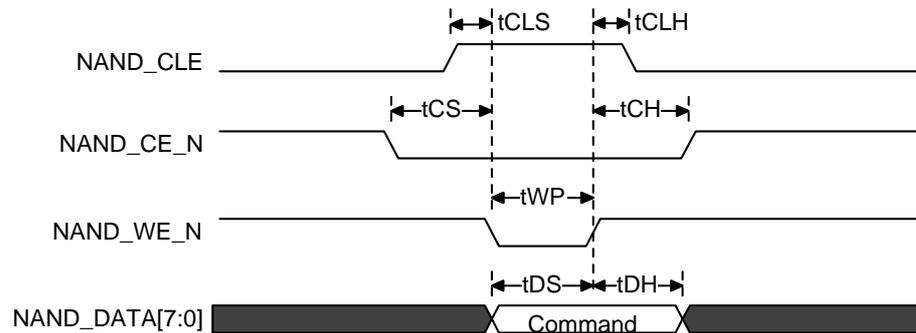
## 2.4.2 NANDC 接口时序

### 2.4.2.1 命令周期时序

NANDC 命令周期时序如图 2-16 所示。



图2-16 NANDC 命令周期时序图



说明

NAND\_WE\_N 和 NAND\_RE\_N 的高电平宽度和低电平宽度是可以通过 NANDFLASH 控制器的 NF\_PULSE\_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以配置”表示。

NANDC 命令周期时序参数如表 2-76 所示。

表2-76 NANDC 命令周期时序参数表

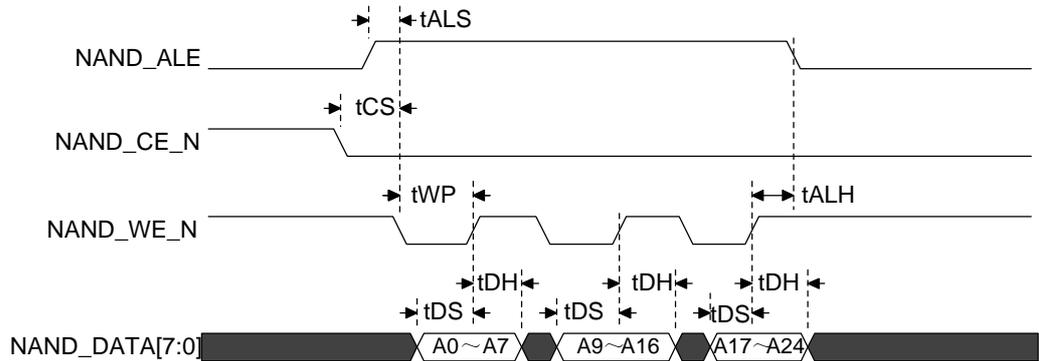
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

### 2.4.2.2 地址周期时序

NANDC 地址周期时序如图 2-17 所示。



图2-17 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 2-77 所示。

表2-77 NANDC 地址周期时序参数表

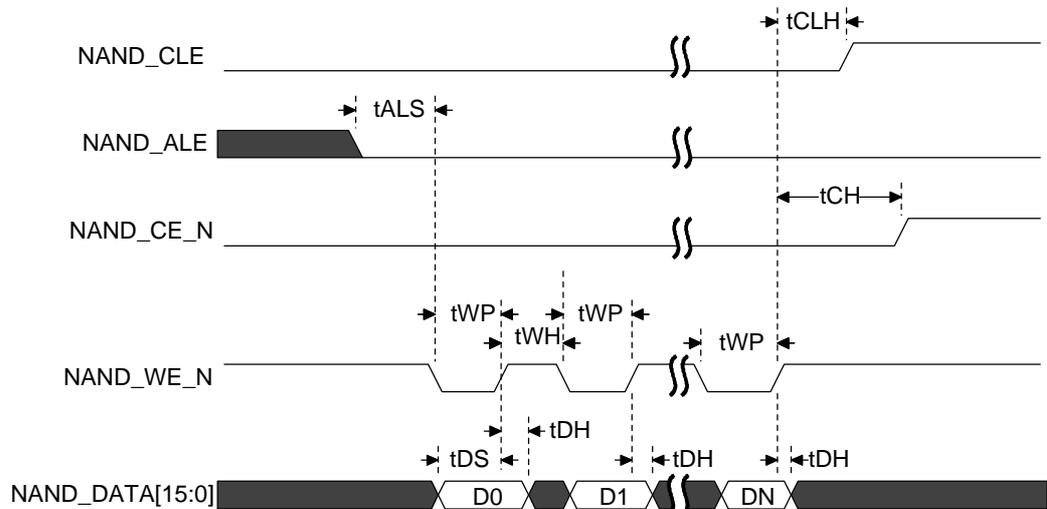
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置

### 2.4.2.3 写数据时序

NANDC 写数据时序如图 2-18 所示。



图2-18 NANDC 写数据时序图



NANDC 写数据时序参数如表 2-78 所示。

表2-78 NANDC 写数据时序参数表

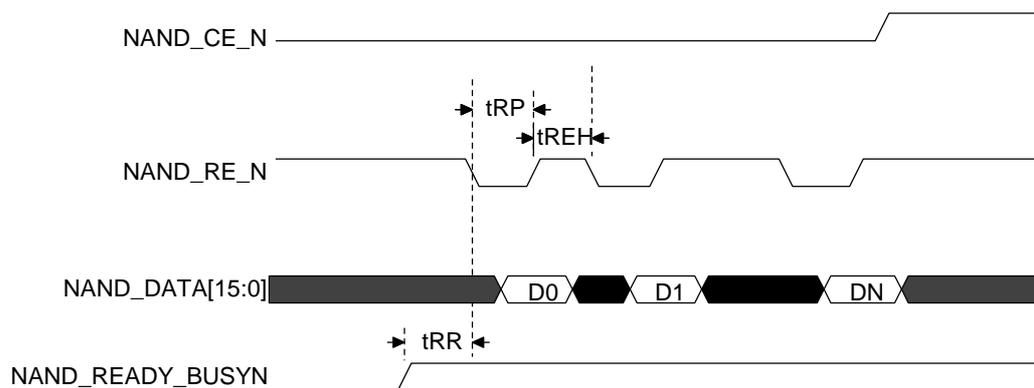
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以配置
NAND_CE_N 保持时间	tCH	10	-	ns	可以配置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以配置
NAND_ALE 建立时间	tALS	0	-	ns	可以配置
数据建立时间	tDS	10	-	ns	可以配置
数据保持时间	tDH	10	-	ns	可以配置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以配置

#### 2.4.2.4 读数据时序

NANDC 读数据时序如图 2-19 所示。



图2-19 NANDC 读数据时序图



NANDC 读数据时序参数如表 2-79 所示。

表2-79 NANDC 读数据时序参数表

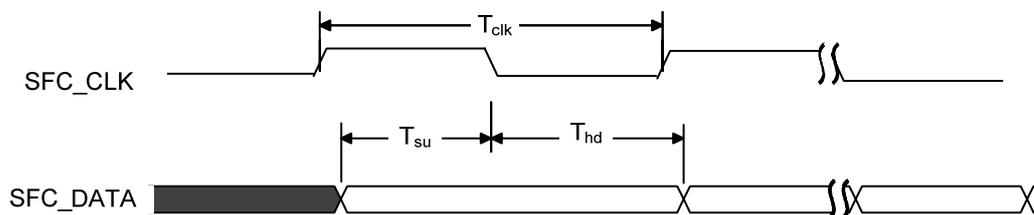
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以配置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以配置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以配置

注：tRR 延时是可以配置的。

## 2.4.3 SFC 接口时序

SFC 输入方向时序如图 2-20 所示。

图2-20 SFC 输入方向时序图



SFC 输入方向时序参数如表 2-80 所示。

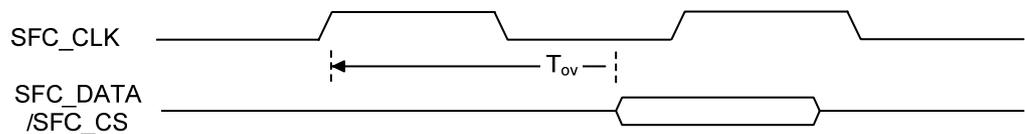


表2-80 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	$T_{clk}$	13.47	-	83.2	ns
输入信号建立时间要求	$T_{su}$	1.0	-	-	ns
输入信号保持时间要求	$T_{hd}$	2.0	-	-	ns

SFC 输出方向时序如图 2-21 所示。

图2-21 SFC 输出方向时序图



SFC 输出方向时序参数如表 2-81 所示。

表2-81 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	13.47	-	83.2	ns
输出数据信号延时	$T_{ov}$	2	-	5	ns
输出片选信号延时	$T_{ov}$	2	-	5	ns

## 2.4.4 Ethernet MAC 接口时序

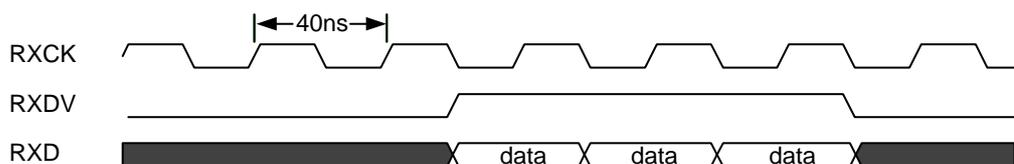
### 2.4.4.1 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Entity Sublayer）芯片，符合 MII 接口时序标准。

MII 接口 100Mbit/s 接收时序如图 2-22 所示。

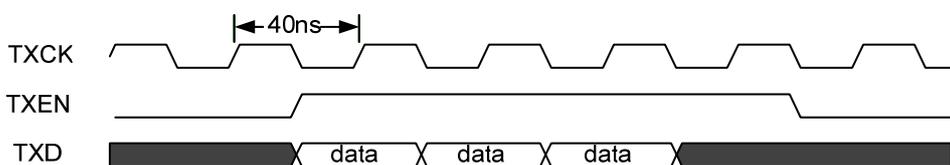


图2-22 MII 接口 100Mbit/s 接收时序



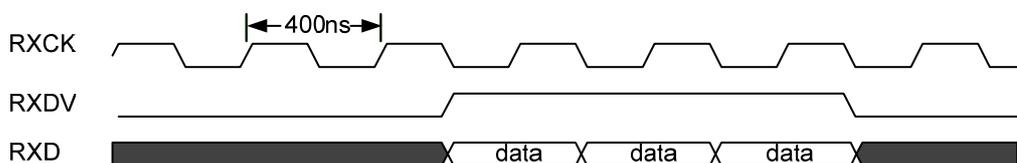
MII 接口 100Mbit/s 发送时序如图 2-23 所示。

图2-23 MII 接口 100Mbit/s 发送时序



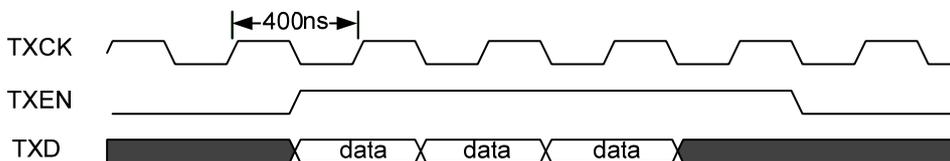
MII 接口 10Mbit/s 接收时序如图 2-24 所示。

图2-24 MII 接口 10Mbit/s 接收时序



MII 接口 10Mbit/s 发送时序如图 2-25 所示。

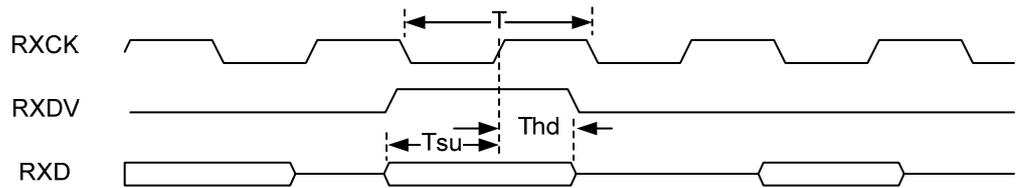
图2-25 MII 接口 10Mbit/s 发送时序



MII 接口接收时序参数如图 2-26 所示。

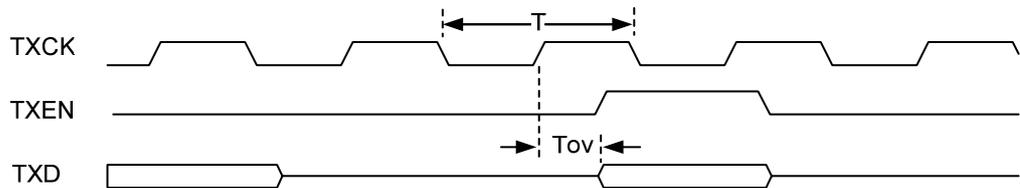


图2-26 MII 接口接收时序参数



MII 接口发送时序参数如图 2-27 所示。

图2-27 MII 接口发送时序参数



MII 接口时序参数说明如表 2-82 所示。

表2-82 MII 接口时序参数说明

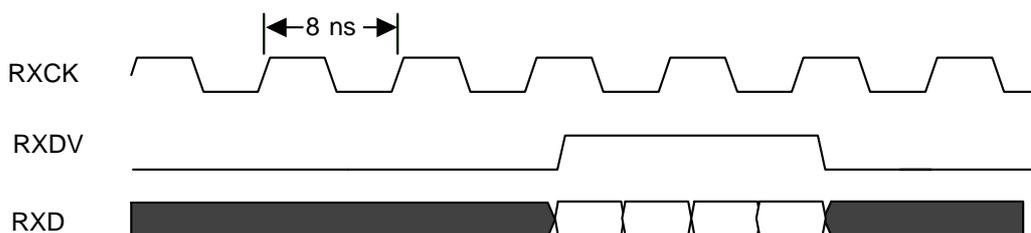
参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	RXCK、TXCK	40	40	ns
MII 信号建立时间	Tsu (RX)	RXER、RXDV、RXD[3:0]	6	-	ns
MII 信号保持时间	Thd (RX)	RXER、RXDV、RXD[3:0]	2	-	ns
MII 输出信号延时	Tov (TX)	TXD[3:0]、TXEN	4	16	ns

## 2.4.4.2 RGMII 接口时序

RGMII 接口 1000Mbit/s 接收时序如图 2-22 所示。

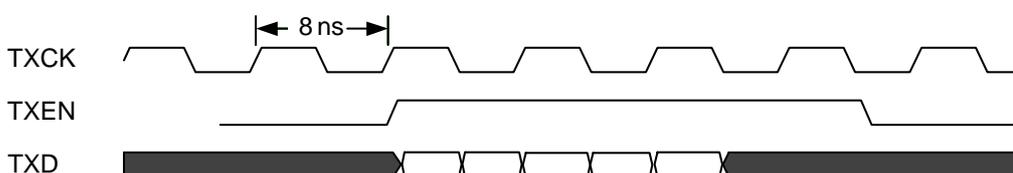


图2-28 RGMII 接口 1000Mbit/s 接收时序



RGMII 接口 1000Mbit/s 发送时序如图 2-23 所示。

图2-29 RGMII 接口 1000Mbit/s 发送时序



RGMII 接口时序参数说明如表 2-82 所示。

表2-83 RGMII 接口时序参数说明

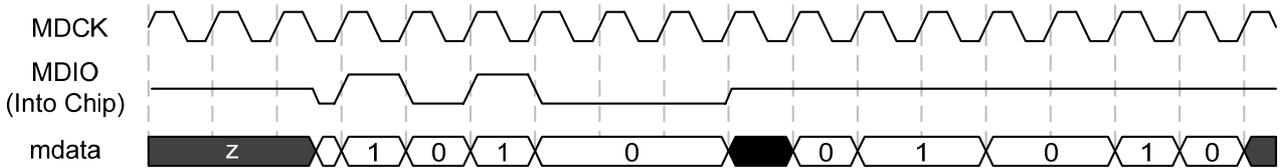
参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	T <sub>su</sub> (RX)	RXER、RXDV、RXD[3:0]	0.65	-	ns
RGMII 信号保持时间	T <sub>hd</sub> (RX)	RXER、RXDV、RXD[3:0]	0.65	-	ns
RGMII 输出信号延时	T <sub>ov</sub> (TX)	TXD[3:0]、TXEN	-0.6	0.6	ns

### 2.4.4.3 MDIO 接口时序

MDIO 接口读时序如图 2-30 所示。

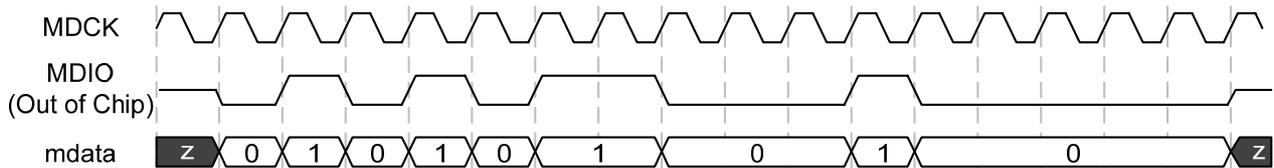


图2-30 MDIO 接口读时序



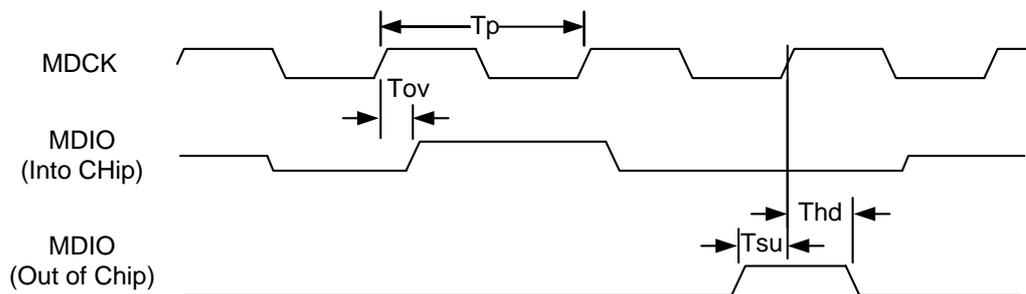
MDIO 接口写时序如图 2-31 所示。

图2-31 MDIO 接口写时序



MDIO 接口时序参数如图 2-32 所示。

图2-32 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 2-84 所示。

表2-84 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	166	-	ns
MDIO 时钟周期	Tp	MDCK	333	-	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

注：MDC 时钟周期  $T_p$  可通过调整 MDC 频率（MDIO\_RWCTRL[frq\_dv]）进行改变，选择 Ethernet 工作时钟 150MHz 的 100 分频、50 分频或者其他分频。 $T_{ov}$  与 MDC 时钟周期  $T_p$  相关，约为  $T_{mdc}/2$ 。

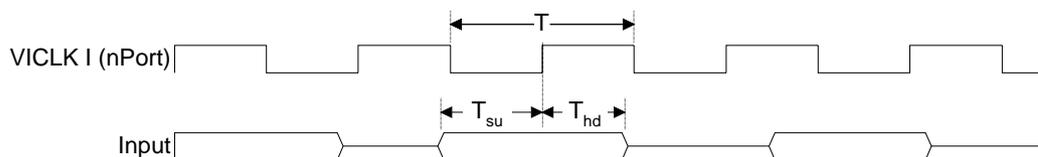


## 2.4.5 VI 接口时序

外部提供 VI 时钟。当 VI 工作于从模式时，全部为输入接口。

VI 接口时序如图 2-33 所示。

图2-33 VI 接口时序图



VI 接口时序参数如表 2-85 所示。

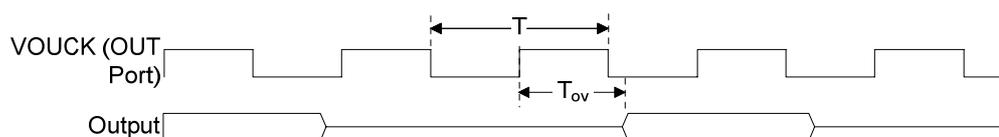
表2-85 VI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VICLK 时钟周期	T	6.67	-	-	ns
输入信号建立时间要求	$T_{su}$	2	-	-	ns
输入信号保持时间要求	$T_{hd}$	0.5	-	-	ns

## 2.4.6 VO 接口时序

VO 接口时序如图 2-34 所示。

图2-34 VO 接口时序



VO 接口时序参数如表 2-86 所示。

表2-86 VO 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
工作频率一					
VOICLK 时钟周期	T	-	.37	-	ns
输出信号延时	$T_{ov}$	17	-	22	ns



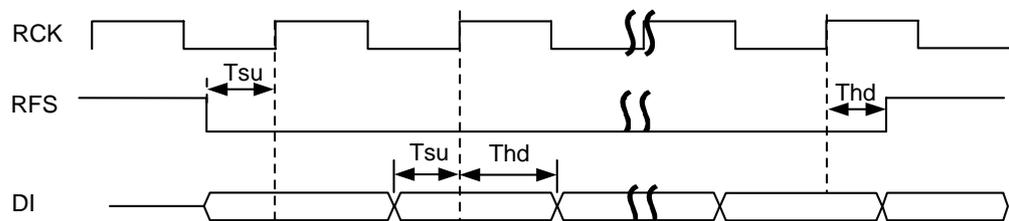
参数	符号	最小值	典型值	最大值	单位
工作频率二					
VO0CLK 时钟周期	T	-	13.47	-	ns
输出信号延时	$T_{ov}$	6	-	8	ns

## 2.4.7 SIO 接口时序

### 2.4.7.1 I<sup>2</sup>S 模式接口时序

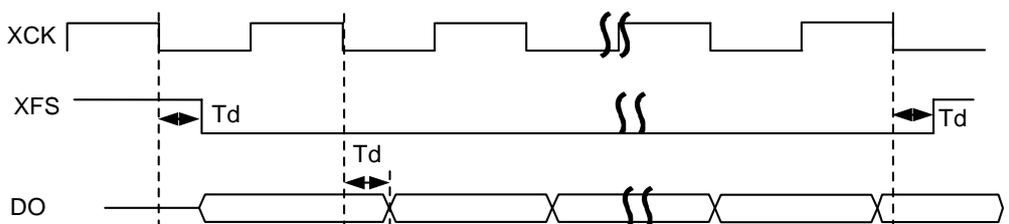
I<sup>2</sup>S 接口接收时序如图 2-35 所示。

图2-35 I<sup>2</sup>S 接口接收时序图



I<sup>2</sup>S 接口发送时序如图 2-36 所示。

图2-36 I<sup>2</sup>S 接口发送时序图



I<sup>2</sup>S 接口时序参数如表 2-87 所示。

表2-87 I<sup>2</sup>S 接口时序参数表

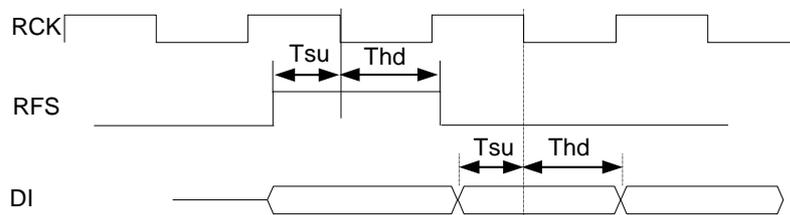
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	$T_{su}$	10	-	-	ns
输入信号保持时间	$T_{hd}$	10	-	-	ns
输出信号延时	$T_d$	0	-	8	ns



## 2.4.7.2 PCM 模式接口时序

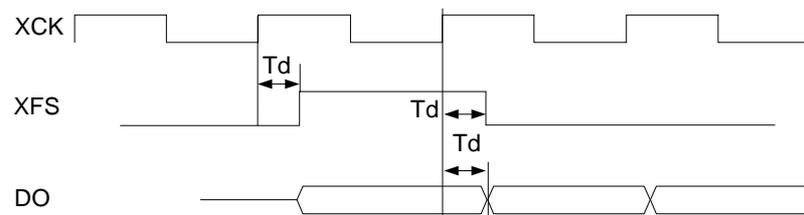
PCM 接口接收时序如图 2-37 所示。

图2-37 PCM 接口接收时序图



PCM 接口发送时序如图 2-38 所示。

图2-38 PCM 接口发送时序图



PCM 接口时序参数如表 2-88 所示。

表2-88 PCM 接口时序参数表

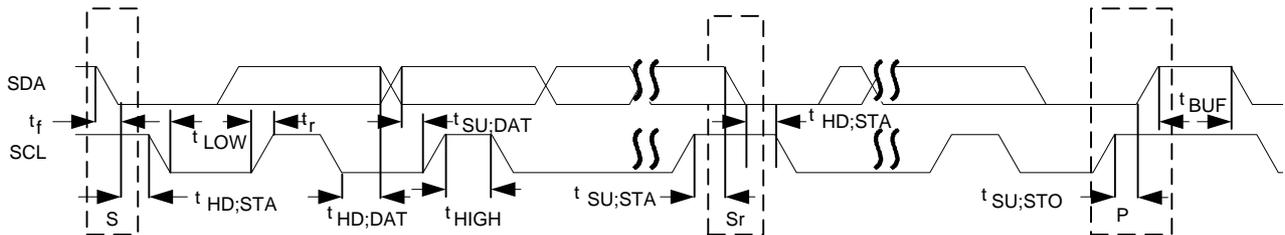
参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	$T_{su}$	10	-	-	ns
输入信号保持时间	$T_{hd}$	10	-	-	ns
输出信号延时	$T_d$	0	-	8	ns

## 2.4.8 I<sup>2</sup>C 时序

I<sup>2</sup>C 传输时序如图 2-39 所示。



图2-39 I<sup>2</sup>C 传输时序图



I<sup>2</sup>C 接口时序参数如表 2-89 所示。

表2-89 I<sup>2</sup>C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	$f_{SCL}$	0	100	0	400	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	$\mu s$
SCL 低电平周期	$t_{LOW}$	4.7	-	1.3	-	$\mu s$
SCL 高电平周期	$t_{HIGH}$	4.0	-	0.6	-	$\mu s$
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	$\mu s$
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	$\mu s$
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	$t_r$	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	$t_f$	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	$\mu s$
开始与结束之间的总线释放时间	$t_{BUF}$	4.7	-	1.3	-	$\mu s$
总线负载	$C_b$	-	400	-	400	pF
低电平噪声容限	$V_{nL}$	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	$V_{nH}$	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V



## 2.4.9 SPI 接口时序

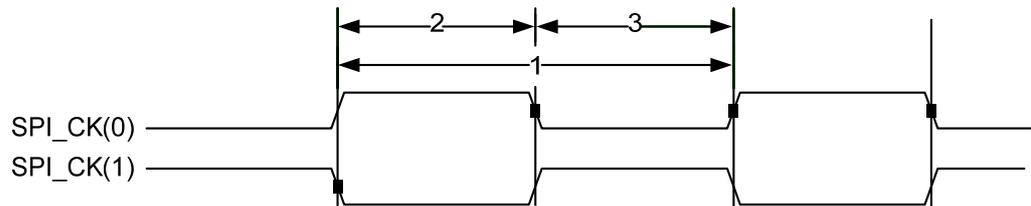
### 说明

图 2-40 ~ 图 2-42 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI\_CK(0):spo=0
- SPI\_CK(1):spo=1

SPI 接口时钟时序如图 2-40 所示。

图2-40 SPICK 时序



SPI 主模式下接口时序分别如图 2-41 和图 2-42 所示。

图2-41 SPI 主模式下接口时序 (sph=0)

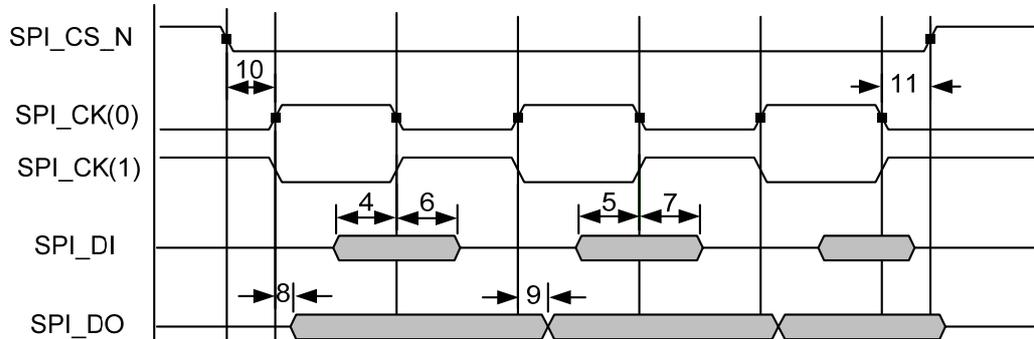
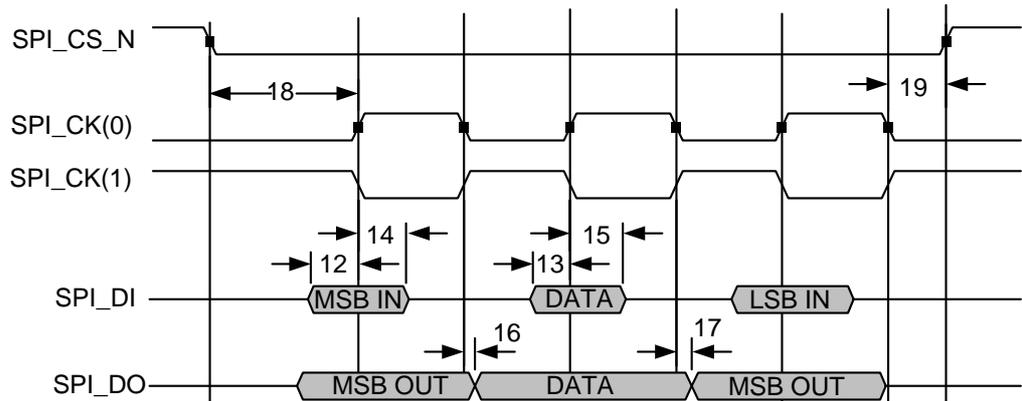




图2-42 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 2-90 所示。

表2-90 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu2	-	-	-	ns
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



# 目 录

<b>3 系统</b> .....	<b>3-1</b>
3.1 复位.....	3-1
3.1.1 概述 .....	3-1
3.1.2 复位控制 .....	3-1
3.1.3 复位配置 .....	3-2
3.2 时钟.....	3-3
3.2.1 概述 .....	3-3
3.2.2 时钟控制框图.....	3-3
3.2.3 时钟配置 .....	3-4
3.2.4 peri_ctrl_reg 寄存器概览.....	3-14
3.2.5 peri_ctrl_reg 寄存器描述.....	3-16
3.3 中断系统.....	3-56
3.4 系统控制器.....	3-58
3.4.1 概述 .....	3-58
3.4.2 特点 .....	3-58
3.4.3 功能描述 .....	3-58
3.4.4 系统运行模式控制.....	3-58
3.4.5 寄存器概览 .....	3-63
3.4.6 寄存器描述 .....	3-64
3.5 直接存储器访问控制器.....	3-117
3.5.1 概述 .....	3-117
3.5.2 特点 .....	3-117
3.5.3 功能描述 .....	3-118
3.5.4 工作方式 .....	3-121
3.5.5 寄存器概览 .....	3-123
3.5.6 DMA 寄存器描述 .....	3-124
3.6 CIPHER .....	3-141
3.6.1 概述 .....	3-141
3.6.2 特点 .....	3-141
3.6.3 功能描述 .....	3-142



3.6.4 工作方式 .....	3-152
3.6.5 CIPHER 寄存器概览 .....	3-154
3.6.6 CIPHER 寄存器描述 .....	3-156
3.7 定时器.....	3-176
3.7.1 概述 .....	3-176
3.7.2 特点 .....	3-176
3.7.3 功能描述 .....	3-176
3.7.4 工作方式 .....	3-177
3.7.5 寄存器概览 .....	3-178
3.7.6 寄存器描述 .....	3-179
3.8 看门狗.....	3-187
3.8.1 概述 .....	3-187
3.8.2 特点 .....	3-187
3.8.3 功能描述 .....	3-187
3.8.4 工作方式 .....	3-189
3.8.5 WatchDog 寄存器概览.....	3-190
3.8.6 WatchDog 寄存器描述.....	3-190
3.9 实时时钟.....	3-193
3.9.1 概述 .....	3-193
3.9.2 特点 .....	3-194
3.9.3 功能描述 .....	3-194
3.9.4 工作方式 .....	3-194
3.9.5 寄存器概览 .....	3-195
3.9.6 寄存器描述 .....	3-196
3.10 电源管理与低功耗模式控制.....	3-199
3.10.1 概述 .....	3-199
3.10.2 系统工作模式.....	3-200
3.10.3 时钟门控和时钟频率调整.....	3-200
3.10.4 模块级低功耗控制.....	3-200
3.10.5 DDR 低功耗控制 .....	3-201
3.11 处理器子系统.....	3-201
3.11.1 ARMCortex-A9 处理器.....	3-201
3.11.2 L2 Cache .....	3-202



## 插图目录

图 3-1 复位信号控制图 .....	3-1
图 3-2 时钟管理模块功能框图.....	3-3
图 3-3 系统模式切换图 .....	3-60
图 3-4 芯片 ID 寄存器位分配图 .....	3-62
图 3-5 DMAC 功能框图 .....	3-118
图 3-6 LLI 更新通道寄存器示意图 .....	3-119
图 3-7 DMAC 链表结构示例.....	3-133
图 3-8 3 个密钥和 2 个密钥的 3DES 加密操作 .....	3-142
图 3-9 3 个密钥和 2 个密钥的 3DES 解密操作 .....	3-143
图 3-10 AES/DES 的电子密码本 (ECB) 模式.....	3-143
图 3-11 3DES 的电子密码本 (ECB) 模式.....	3-144
图 3-12 AES/DES 的密码分组链接 (CBC) 模式.....	3-145
图 3-13 3DES 的密码分组链接 (CBC) 模式 .....	3-146
图 3-14 AES/DES 的 s 位密码反馈 (CFB) 模式.....	3-147
图 3-15 3DES 的 s 位密码反馈 (CFB) 模式 .....	3-148
图 3-16 AES 的输出反馈 (OFB) 模式.....	3-149
图 3-17 DES 的 s 位输出反馈 (OFB) 模式.....	3-150
图 3-18 3DES 的 s 位输出反馈 (OFB) 模式.....	3-151
图 3-19 AES 的 CTR 模式 .....	3-152
图 3-20 多分组加解密通道链表头结构如下: .....	3-153
图 3-21 CAS 各个 bit 标志.....	3-153
图 3-22 WatchDog 应用框图.....	3-188



## 表格目录

表 3-1 复位信号分类表 .....	3-2
表 3-2 Hi3516 PLL 配置寄存器 .....	3-4
表 3-3 Hi3516 PLL 频率计算方法 .....	3-4
表 3-4 A9/AXI 频率配置 .....	3-5
表 3-5 系统控制器状态和时钟切换对应关系 .....	3-6
表 3-6 DDR 时钟频率比配置 .....	3-6
表 3-7 VICAP 时钟频率配置 .....	3-6
表 3-8 GMAC 时钟模式配置 .....	3-7
表 3-9 VO 管脚输出时钟频率配置 .....	3-7
表 3-10 VEDU 时钟频率配置 .....	3-8
表 3-11 JPGE 时钟频率配置 .....	3-9
表 3-12 MD 时钟频率配置 .....	3-9
表 3-13 TDE 时钟频率配置 .....	3-9
表 3-14 IVE 时钟频率配置 .....	3-10
表 3-15 SFC 时钟频率配置 .....	3-10
表 3-16 NFC 时钟频率配置 .....	3-10
表 3-17 SIO0/SIO1/SIO2 时钟频率配置 .....	3-11
表 3-18 peri_ctrl_reg 寄存器概览（基址是 0x2003_0000） .....	3-14
表 3-19 A9 中断源分配表 .....	3-56
表 3-20 寄存器概览（基址是 0x2005_0000） .....	3-63
表 3-21 DMA 的外设请求分配定义 .....	3-120
表 3-22 DMAC 寄存器概览（基址是 0x100D_0000） .....	3-123
表 3-23 DBSize 及 SBSize 的值与其对应的 burst 长度 .....	3-136
表 3-24 DWidth 和 SWidth 的值与其对应传输位宽 .....	3-136
表 3-25 DMAC_CX_CONTROL 寄存器 Prot 段属性及定义 .....	3-137



表 3-26 流控制器及传输类型位定义.....	3-140
表 3-27 CIPHER 寄存器概览（基址是 0x100c_0000） .....	3-154
表 3-28 CIPHER 寄存器偏移地址变量表.....	3-156
表 3-29 Timer 寄存器概览（基址是 0x20000000、0x2001_0000） .....	3-178
表 3-30 WatchDog 寄存器概览（基址是 0x2004_0000） .....	3-190
表 3-31 RTC 寄存器概览（基址是 0x2006_0000） .....	3-195
表 3-32 L2 Cache 与 AXI 总线之间的工作频率关系 .....	3-201



# 3 系统

## 3.1 复位

### 3.1.1 概述

复位管理模块对整个芯片的复位、各功能模块的复位进行统一的管理，包括：

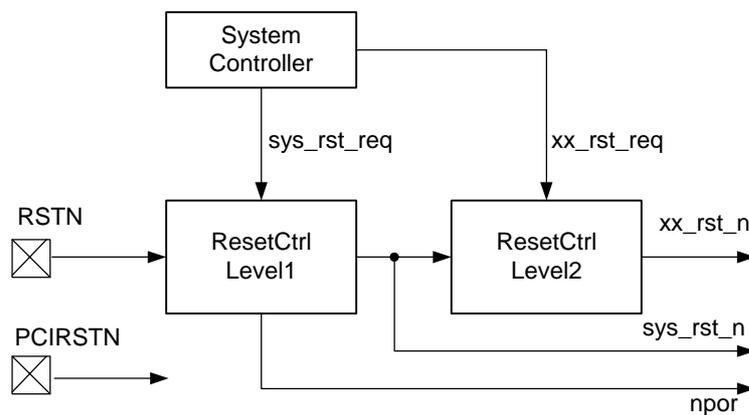
- 上电复位的管理和控制
- 系统软复位、功能模块单独软复位控制
- 复位信号同步到各模块对应时钟域

复位管理模块生成芯片内部各功能模块的复位信号。

### 3.1.2 复位控制

复位信号控制如图 3-1 所示。

图3-1 复位信号控制图



RSTN: 上电复位信号，源自芯片管脚 RSTN 输入。  
sys\_rst\_req: 全局软复位请求信号，源自系统控制器。  
xx\_rst\_req: 子模块单独软复位请求信号，源自 CRG 控制寄存器。  
xx\_rst\_n、sys\_rst\_n、npor: 复位信号。



表3-1 复位信号分类表

复位信号类型	产生方式	用途
全局硬复位 npor	来自复位管脚 RSTN	对整芯片进行全局复位。
全局软复位 sys_rst_n	软件配置系统控制器的全局软复位寄存器	对整芯片中除了时钟复位电路和测试电路的所有模块进行全局复位。
子模块复位 xx_rst_n	软件配置 CRG 控制寄存器的子模块复位控制寄存器	芯片各子模块的单独复位。

### 3.1.3 复位配置

#### 上电复位

RSTN 是 Hi3516 芯片的功能复位输入 IO，完成上电复位过程必须同时满足以下条件：

- 上电复位 IO 输入一个低电平脉冲。
- 晶振时钟输入管脚 XIN 输入的时钟稳定。
- 输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。

#### 系统复位

实现系统复位有两种途径：

- 上电复位。
- 全局软复位，通过系统控制器控制。

#### 软复位

软复位控制通过配置相应的系统控制器来实现，具体配置请参见个模块的复位寄存器描述。



#### 注意

- 系统软复位请求发出后，电路必须等待至少 360 个系统时钟周期才完成复位撤消。
- 各模块单独软复位不会自动撤消，比如某模块的复位是配置 1 时，模块处于复位状态，那么必须再配置为 0，该模块复位才会撤消。



## 3.2 时钟

### 3.2.1 概述

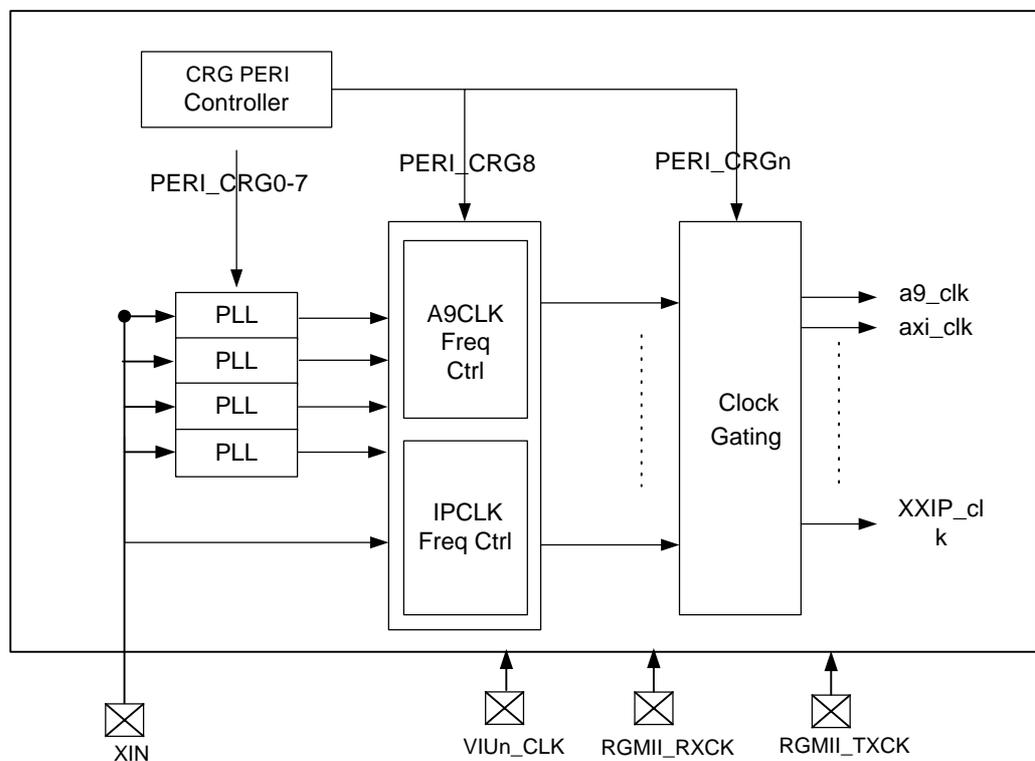
时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 时钟输入的管理和控制
- 时钟分频和控制
- 生成各模块的工作时钟

### 3.2.2 时钟控制框图

时钟管理模块功能框图如图 3-2 所示。

图3-2 时钟管理模块功能框图



注：图中的 VInCK 中的 n 取值范围为 0~1。

时钟管理模块有以下两部分输入：

- 源自芯片管脚的时钟输入：XIN、VIU0\_CLK、VIU1\_CLK、RGMII\_RXCK、RGMII\_TXCK。
  - XIN 为 PLL 输入时钟,固定连接 24MHz 晶体
  - VIU0\_CLK、VIU1\_CLK 为视频输入时钟
  - RGMII\_RXCK、RGMII\_TXCK 为 GMAC 模块接口时钟



- 源自 CRG 系统控制器的时钟控制寄存器。
  - PLL 频率配置
  - IP 时钟频率配置
  - 时钟门控配置

时钟管理模块功能主体主要包括三部分：

- PLL 单元，用于产生 A9 和总线时钟，以及其它外设所需时钟。
- A9 频率控制单元 A9 Freq Ctrl 和模块时钟频率控制单元 IPCLK Freq Ctrl。
- 时钟门控管理单元 Clock Gating。

### 3.2.3 时钟配置

#### PLL 配置寄存器

Hi3516 内部使用了四个 PLL，每个 PLL 使用两组配置寄存器。

表3-2 Hi3516 PLL 配置寄存器

PLL	配置寄存器	备注
APLL	PERI_CRG0	APLL 主要用于输出 A9/DDR 控制器和总线时钟
	PERI_CRG1	
VPLL0	PERI_CRG2	VPLL0 主要用于产生 VOSD 模块时钟
	PERI_CRG3	
VPLL1	PERI_CRG4	VPLL1 主要用于产生 VOHD 模块时钟
	PERI_CRG5	
EPLL	PERI_CRG6	EPLL 主要用于输出 GMAC/PCIE 的时钟
	PERI_CRG7	

所有 PLL 采用管脚 XIN 输入的晶振时钟作为输入时钟，PLL 输出频率配置方法请参见表 3-3。

表3-3 Hi3516 PLL 频率计算方法

PLL Pin	计算方法描述	注意事项
FREF	PLL 输入参考时钟	Hi3516 要求固定输入 24MHz
FOUTVCO	$FREF * (fbdiv + frac/2^{24}) / refdiv$	PLL 工作频率，要求大于等于 800MHz，且小于等于 2.4GHz
FOUTPOSTDIV	$FOUTVCO / pstdiv1 * pstdiv2$	-



PLL Pin	计算方法描述	注意事项
FOUT1ph0	$FOUTVCO / (pstdiv1 * pstdiv2 * 2)$	-
FOUT2	$FOUTVCO / (pstdiv1 * pstdiv2 * 4)$	-
FOUT3	$FOUTVCO / (pstdiv1 * pstdiv2 * 6)$	-
FOUT4	$FOUTVCO / (pstdiv1 * pstdiv2 * 8)$	-

以配置 VPLL1 为例，VPLL1 输出 FOUTPOSTDIV 的 2 分频给 VOU 模块，VOU 模块需要工作时钟 74.25MHz，下面我们来计算配置寄存器的值：

取  $postdiv2=2$ ， $postdiv1=4$ ，则  $FOUTVCO=1188MHz$ 。

取  $refdiv=2$ ，则  $24 * (fbdiv + frac / 2^{24}) / 2 = 1485MHz$ 。

由上面的条件推出： $fbdiv=99$ ， $frac=000000$ 。

APLL 配置注意事项：当  $a9\_max\_freq\_mode$  配置为 0，配置 A9 在 800MHz 工作时，APLL FOUTPOSTDIV 需配置到 800MHz。当  $a9\_max\_freq\_mode$  配置为 1，配置 A9 工作在 750MHz 时，APLL FOUTPOSTDIV 需配置到 1500MHz。

## A9/AXI 频率模式配置

A9 频率配置方法如表 3-4 所示。

表3-4 A9/AXI 频率配置

信号名	描述
$a9\_max\_freq\_mode$	A9 最大频率模式配置。 0: 最大 800MHz 模式; 1: 最大 750MHz 模式。 可通过配置 PERI_CRG8[0]控制该信号，不支持动态切换，只支持在 SLOW 到 NORMAL 切换之前可配置。
$a9\_axi\_freq\_mode$	A9 与 AXI 频率比配置。 11: A9: AXI = 1:1; 10: A9: AXI = 2:1; 01: A9: AXI = 3:1; 00: A9: AXI = 4:1。 $a9\_max\_freq\_mode=1$ 时，不支持 4:1 模式，支持动态切换。 可通过配置 PERI_CRG8[2:1]控制该信号。

系统控制器的状态和时钟切换的对应关系如表 3-5 所示。



表3-5 系统控制器状态和时钟切换对应关系

系统控制器状态	46.875kHz 时钟使能状态	24MHz 晶振使能状态	APLL 使能状态	系统时钟状态
NORMAL	使能	使能	使能	ARM 子系统的工作时钟都来自 PLL 输出。
SLOW	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振输入。
DOZE	使能	使能	不使能	ARM 子系统的工作时钟都来自 24MHz 晶振时钟分频得到的 46.875KHz 时钟。

## 模块时钟频率配置

DDR 时钟频率比配置方法如表 3-6 所示。

表3-6 DDR 时钟频率比配置

信号名	描述
ddrc_freq_mode	DDR 频率比配置。 0: DDR PHY: AXI = 2:1; 1: DDR PHY: AXI = 1:1。 可通过配置 PERI_CRG10[0]控制该信号。

VICAP 时钟配置方式如表 3-7 所示。

表3-7 VICAP 时钟频率配置

信号名	描述
vi0_ctrl	VI0 通道的接口时钟相位控制，可通过配置 PERI_CRG16[4] 控制该信号。
vi1_ctrl	VI1 通道的接口时钟相位控制，可通过配置 PERI_CRG16[5] 控制该信号。



信号名	描述
vi_dll_rst	VI 倍频 DLL 的软复位请求。需要切换到 NORMAL 后再撤销复位。默认保持复位状态 0: 复位; 1: 撤销复位。 注意若使用倍频模式，此复位必须撤销，若使用单沿模式，不撤销复位。可通过配置 PERI_CRG16[3] 控制该信号。
vi0_dll_bypass	VI0 通道的倍频 DLL Bypass 配置。默认不使能。请在 vi_dll_rst 复位撤销之后再使能 DLL。 1: 使能 DLL,需要双沿时使能 DLL; 0: bypass DLL。 可通过配置 PERI_CRG16[25] 控制该信号。
vi1_dll_bypass	VI1 通道的倍频 DLL Bypass 配置。默认不使能。请在 vi_dll_rst 复位撤销之后再使能 DLL。 1: 使能 DLL,需要双沿时使能 DLL; 0: bypass DLL。 可通过配置 PERI_CRG16[26] 控制该信号。

GMAC 配置方式如表 3-8 所示。

表3-8 GMAC 时钟模式配置

信号名	描述
gmac_txclk_mode	GMAC TX 时钟 Mode 选择。 00: MII ; 01: RGMII 10M; 10: RGMII 100M; 11: RGMII 1000M。 可通过配置 PERI_CRG21[5:4] 控制该信号。此配置信号控制了 RGMII_TXCKOUT 上的时钟输出。

VO 管脚输出时钟配置方式如表 3-9 所示。

表3-9 VO 管脚输出时钟频率配置

信号名	描述
vou_sd_pctrl	VO 模块 BT656 输出时钟相位选择，提供 VO 工作时钟的正反相输出。可通过配置 PERI_CRG17[6]控制该信号。



信号名	描述
vou_hd_pctrl	VO 模块 BT1120 输出时钟相位选择, 提供 VO 工作时钟的正反相输出。可通过配置 PERI_CRG17[5]控制该信号。

VEDU 时钟配置方式如表 3-10 所示。

表3-10 VEDU 时钟频率配置

信号名	描述
vedu_clk_sel_1	VEDU 时钟频率配置 1 0: 选择 396M 源头; 1: 选择 360M 源头。 可通过配置 PERI_CRG18[4]控制该信号。
vedu_clk_sel_2	VEDU 时钟频率配置 2 0: 选择 396M/360MHz 源头; 1: 选择 300M 源头。 可通过配置 PERI_CRG18[7]控制该信号。 配置 VEDU 时钟源头为 396MHz, 则配置 vedu_clk_sel_1=0 vedu_clk_sel_2=0; 配置 VEDU 时钟源头为 360MHz, 则配置 vedu_clk_sel_1=1 vedu_clk_sel_2=0; 配置 VEDU 时钟源头为 300MHz, 则配置 vedu_clk_sel_1=1 vedu_clk_sel_2=1。

JPGE 模块时钟配置方式如下表 3-11 所示。

表3-11 JPGE 时钟频率配置

信号名	描述
jpge_clk_sel	JPGE 时钟频率配置: 00: full speed, 270MHz; 01: 3/4 speed, $270\text{MHz} * 3/4 = 202.5\text{Mhz}$ ; 10: 2/3 speed, $270\text{MHz} * 2/3 = 180\text{ Mhz}$ ; 11: 2/4 speed, $270\text{MHz} * 1/2 = 135\text{ Mhz}$ 。 可通过配置 PERI_CRG19[3:2]控制该信号。

MD 模块时钟配置方式如表 3-12 所示。



表3-12 MD 时钟频率配置

信号名	描述
md_clk_sel	MD 时钟频率配置： 00: full speed, 270MHz; 01: 3/4 speed, 270MHz * 3/4= 202.5Mhz; 10: 2/3 speed, 270MHz * 2/3= 180 Mhz; 11: 2/4 speed, 270MHz * 1/2= 135 Mhz。 可通过配置 PERI_CRG20[3:2]控制该信号。

TDE 模块时钟配置方式如表 3-13 所示。

表3-13 TDE 时钟频率配置

信号名	描述
tde_clk_sel	TDE 工作时钟源头选择。 0: 270MHz; 1: 300MHz。 可通过配置 PERI_CRG23[2]控制该信号。
tde_speed_sel	TDE 工作时钟速率选择。 0: full speed; 1: 3/4 speed。 可通过配置 PERI_CRG23[3]控制该信号。

IVE 模块时钟配置方式如表 3-14 所示。

表3-14 IVE 时钟频率配置

信号名	描述
ive_clk_sel	IVE 工作时钟源头选择。 0: 270MHz; 1: 300MHz。 可通过配置 PERI_CRG22[3]控制该信号。
ive_speed_sel	IVE 工作时钟速率选择。 0: full speed; 1: 3/4 speed。 可通过配置 PERI_CRG22[2]控制该信号。



SFC 模块时钟配置方式如表 3-15 所示。

表3-15 SFC 时钟频率配置

信号名	描述
sfc_clk_sel	SFC 2X 时钟源选择。 00: 24M 时钟; 10: 24M 时钟; 01: 100M 时钟; 11: 148.5M 时钟。 可通过配置 PERI_CRG25[3:2]控制该信号。

NFC 模块时钟配置方式如表 3-16 所示。

表3-16 NFC 时钟频率配置

信号名	描述
nfc_clk_sel	NFC 时钟源选择。 0: 24M 晶振时钟; 1: 100M 时钟。 可通过配置 PERI_CRG24[2]控制该信号。

SIO0/SIO1/SIO2 时钟频率配置方法如表 3-17 所示。

表3-17 SIO0/SIO1/SIO2 时钟频率配置

信号名	描述
sio0_ckcfg[23:0]	sio0/sio1 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，可通过配置 PERI_CRG11[[23:0]控制该信号。 注意 SIO0 和 SIO1 共享了一个 mclk。
sio2_ckcfg[23:0]	sio2 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率) $\times 2^{27}$ 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz，可通过配置 PERI_CRG12[[23:0]控制该信号。 注意 SIO2 和 Audio Codec 共享了一个 mclk。



信号名	描述
sio0_fsclk_div	<p>SIO0 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG13[[14:12]控制该信号。</p>
sio0_bclk_div	<p>SIO0 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG13[[11:8]控制该信号。</p>
sio0_bclk_sel	<p>SIO0 BCLK 时钟源头的选择:</p> <p>0: 选择 3516 芯片外部产生的 bclk; 1: 选择 3516 芯片内部产生的 bclk。</p> <p>可通过配置 PERI_CRG13[[4]控制该信号。</p> <p>注意若 BCLK 选择 3516 内部产生的 BCLK, 则 FS CLK 也相应由 3516 内部产生。</p>



信号名	描述
sio1_fsclk_div	<p>SIO1 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频;            001: FS 是 BCLK 的 32 分频;            010: FS 是 BCLK 的 48 分频;            011: FS 是 BCLK 的 64 分频;            100: FS 是 BCLK 的 128 分频;            101: FS 是 BCLK 的 256 分频;            其他: FS 是 BCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG14[[14:12]控制该信号。</p>
sio1_bclk_div	<p>SIO1 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频;            0001: BCLK 是 MCLK 的 3 分频;            0010: BCLK 是 MCLK 的 2 分频;            0011: BCLK 是 MCLK 的 4 分频;            0100: BCLK 是 MCLK 的 6 分频;            0101: BCLK 是 MCLK 的 8 分频;            0110: BCLK 是 MCLK 的 12 分频;            0111: BCLK 是 MCLK 的 16 分频;            1000: BCLK 是 MCLK 的 24 分频;            1001: BCLK 是 MCLK 的 32 分频;            1010: BCLK 是 MCLK 的 48 分频;            1011: BCLK 是 MCLK 的 64 分频;            其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG14[[11:8]控制该信号。</p>
sio1_bclk_sel	<p>SIO1 BCLK 时钟源头的选择:</p> <p>0: 选择 3516 芯片外部产生的 bclk;            1: 选择 3516 芯片内部产生的 bclk。</p> <p>可通过配置 PERI_CRG14[[4]控制该信号。</p> <p>注意若 BCLK 选择 3516 内部产生的 BCLK, 则 FS CLK 也相应由 3516 内部产生。</p>



信号名	描述
Sio2_fsclk_div	<p>SIO2 位时钟 BCLK 与采样时钟 FS 的分频关系。</p> <p>000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG15[[14:12]控制该信号。</p>
sio2_bclk_div	<p>SIO2 主时钟 MCLK 与位时钟 BCLK 分频关系。</p> <p>0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。</p> <p>可通过配置 PERI_CRG15[[11:8]控制该信号。</p>
sio2_bclk_sel	<p>SIO2 BCLK 时钟源头的选择:</p> <p>0: 选择 3516 芯片外部产生的 bclk; 1: 选择 3516 芯片内部产生的 bclk。</p> <p>可通过配置 PERI_CRG15[[4]控制该信号。</p> <p>注意若 BCLK 选择 3516 内部产生的 BCLK, 则 FS CLK 也相应由 3516 内部产生。</p>

一般的应用场景会给定采样率时钟频率 FSCLK, 而比特时钟 BCLK 和主时钟 MCLK 相对于 FSCLK 分别具有可变的倍数关系, 时钟频率配置方法示例如下:

SIO0 小数分频的时钟源为固定 500MHz, 此时要求配置出 SIO0 工作时钟频率为 FSCLK=48kHz、MCLK=256FSCLK=12.288MHz、BCLK=16FSCLK=768kHz。配置方法如下:



- 500MHz 到 MCLK 分频比计算为： $N=12.288/500$ ，则  $\text{sioclk\_sel}[23:0]=N \times 2^{27}$ ，根据四舍五入取整原则计算为 3298535，因此配置  $\text{sioclk\_sel}=0x0032\_54E7$ ，即可得到 MCLK 的正确频率。
- BCLK 由 MCLK 分频获得，分频比为  $\text{BCLK}/\text{MCLK}=16/256=1/16$ ，因此根据配置表中的对应关系，配置  $\text{sio0\_bclk\_div}[3:0]=0b0111$ （对应 16 分频）便可得到 BCLK 的正确频率。
- FSCLK 由 BCLK 分频得到，分频比为  $1/16$ ，因此根据配置表中的对应关系，配置  $\text{sio0\_fsclk\_div}=0b000$ （对应 16 分频）便可得到 FSCLK 的正确频率。

## 注意事项

时钟配置需要注意以下事项：

- A9 工作时钟上电默认为晶振模式，即选择 XIN 输入的晶振时钟。
- PLL 在变更频率配置时，需要等待 0.1ms 才能输出稳定的时钟。更改 PLL 频率配置只能在系统处于 SLOW 模式下进行。
- 在 PLL 输出时钟未稳定的情况下，不能执行系统切换到 PLL 模式，可通过观测 PLL LOCK 指示位判断 PLL 是否 LOCK。PLL LOCK 指示位可通过读 PERI\_CRG43[3:0] 状态获取。

## 3.2.4 peri\_ctrl\_reg 寄存器概览

peri\_ctrl\_reg 寄存器概览如表 3-18 所示。

表3-18 peri\_ctrl\_reg 寄存器概览（基址是 0x2003\_0000）

偏移地址	名称	描述	页码
0x0000	PERI_CRG0	APLL 配置寄存器 0	3-16
0x0004	PERI_CRG1	APLL 配置寄存器 1	3-16
0x0008	PERI_CRG2	VPLL0 配置寄存器 0	3-17
0x000C	PERI_CRG3	VPLL0 配置寄存器 1	3-18
0x0010	PERI_CRG4	VPLL1 配置寄存器 0	3-19
0x0014	PERI_CRG5	VPLL1 配置寄存器 1	3-20
0x0018	PERI_CRG6	EPLL 配置寄存器 0	3-21
0x001C	PERI_CRG7	EPLL 配置寄存器 1	3-21
0x0020	PERI_CRG8	A9 频率模式及复位配置寄存器	3-22
0x0028	PERI_CRG10	DDR 相关的时钟及软复位控制寄存器	3-24
0x002C	PERI_CRG11	SIO0/SIO1 mclk 时钟分频控制寄存器	3-24
0x0030	PERI_CRG12	SIO2 mclk 时钟分频配置寄存器	3-25
0x0034	PERI_CRG13	SIO0 相关的时钟及软复位控制寄存器	3-25



偏移地址	名称	描述	页码
0x0038	PERI_CRG14	SIO1 相关的时钟及软复位控制寄存器	3-27
0x003C	PERI_CRG15	SIO2 相关的时钟及软复位控制寄存器	3-29
0x0040	PERI_CRG16	VIU(ISP)时钟及复位配置寄存器	3-31
0x0044	PERI_CRG17	VOU 时钟及复位控制寄存器	3-34
0x0048	PERI_CRG18	VEDU 时钟及软复位控制寄存器	3-35
0x004C	PERI_CRG19	JPGE 时钟及软复位控制寄存器	3-36
0x0050	PERI_CRG20	MD 相关的时钟及软复位控制寄存器	3-37
0x0054	PERI_CRG21	GMAC 相关的时钟及软复位控制寄存器	3-37
0x0058	PERI_CRG22	ive 相关的时钟及软复位控制寄存器	3-38
0x005C	PERI_CRG23	TDE 相关的时钟及软复位控制寄存器	3-39
0x0060	PERI_CRG24	NFC 相关的时钟及软复位控制寄存器	3-40
0x0064	PERI_CRG25	SFC 相关的时钟及软复位控制寄存器	3-41
0x0068	PERI_CRG26	PWM0/PWM1/EFUSE/相关的时钟及软复位控制寄存器	3-42
0x006C	PERI_CRG27	DMA 相关的时钟及软复位控制寄存器	3-43
0x0070	PERI_CRG28	SSP0 相关的时钟及软复位控制寄存器	3-44
0x0074	PERI_CRG29	SSP1 相关的时钟及软复位控制寄存器	3-45
0x0078	PERI_CRG30	USB 相关的时钟及软复位控制寄存器	3-45
0x007C	PERI_CRG31	PCIE 相关的时钟及软复位控制寄存器	3-47
0x0080	PERI_CRG32	SDIO0/SDIO1 相关的时钟及软复位控制寄存器	3-47
0x0084	PERI_CRG33	UART0 时钟软复位控制寄存器	3-49
0x0088	PERI_CRG34	UART1 时钟软复位控制寄存器	3-49
0x008C	PERI_CRG35	UART2 时钟软复位控制寄存器	3-50
0x0090	PERI_CRG36	UART3 时钟软复位控制寄存器	3-51
0x0094	PERI_CRG37	I2C 时钟软复位控制寄存器	3-51
0x0098	PERI_CRG38	IR/RTC/CIPHER 时钟软复位控制寄存器	3-52
0x009C	PERI_CRG39	SENSE 输出时钟配置寄存器	3-53
0x00A8	PERI_CRG42	CRG 测试寄存器	3-54



偏移地址	名称	描述	页码
0x000000 AC	PERI_CRG43	CRG 状态寄存器	3-55

### 3.2.5 peri\_ctrl\_reg 寄存器描述

#### PERI\_CRG0

PERI\_CRG0 为 APLL 配置寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x0000	PERI_CRG0	0x8900_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved apll_bypass apll_postdiv2 apll_postdiv1 apll_frac		
Reset	1 0 0 0 1 0 0 1 0		
Bits	Access	Name	Description
[31]	RW	reserved	保留。
[30]	RW	apll_bypass	APLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[29:27]	RW	apll_postdiv2	APLL 第二级输出分频系数。
[26:24]	RW	apll_postdiv1	APLL 第一级输出分频系数。
[23:0]	RW	apll_frac	APLL 小数分频系数。

#### PERI\_CRG1

PERI\_CRG1 为 APLL 配置寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x0004		PERI_CRG1		0x006C_3064																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								apll_pd	apll_foutvcopd	apll_postdivpd	apll_fout4phasepd	apll_refdiv				apll_fbdiv															
Reset	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	1	1	0	0	0	0	0	1	1	0	0	1	0	0
Bits	Access		Name		Description																											
[31:22]	RW		reserved		保留。																											
[21]	RW		apll_pd		APLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。																											
[20]	RW		apll_foutvcopd		APLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。																											
[19]	RW		apll_postdivpd		APLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。																											
[18]	RW		apll_fout4phasepd		APLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。																											
[17:12]	RW		apll_refdiv		APLL 参考时钟分频系数。																											
[11:0]	RW		apll_fbdiv		APLL 整数倍频系数。																											

## PERI\_CRG2

PERI\_CRG2 为 VPLL0 配置寄存器 0。



Offset Address		Register Name		Total Reset Value				
0x0008		PERI_CRG2		0x8A00_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved vpll0_bypass vpll0_postdiv2 vpll0_postdiv1	vpll0_frac						
Reset	1 0 0 0	1 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	reserved	保留。					
[30]	RW	vpll0_bypass	VPLL0 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。					
[29:27]	RW	vpll0_postdiv2	VPLL0 第二级输出分频系数。					
[26:24]	RW	vpll0_postdiv1	VPLL0 第一级输出分频系数。					
[23:0]	RW	vpll0_frac	VPLL0 小数分频系数。					

### PERI\_CRG3

PERI\_CRG3 为 VPLL0 配置寄存器 1。

Offset Address		Register Name		Total Reset Value					
0x000C		PERI_CRG3		0x006C_102D					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			vpll0_pd vpll0_foutvcopd vpll0_postdivpd vpll0_fout4phasepd	vpll0_refdiv		vpll0_fbdiv		
Reset	0 0 0 0	0 0 0 0	0 1 1 0	1 1 0 0	0 0 0 1	0 0 0 0	0 0 1 0	1 1 0 1	
Bits	Access	Name	Description						
[31:22]	RW	reserved	保留。						



[21]	RW	vpll0_pd	VPLL0 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。
[20]	RW	vpll0_foutvcopd	VPLL0 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。
[19]	RW	vpll0_postdivpd	VPLL0 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[18]	RW	vpll0_fout4phasepd	VPLL0 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。
[17:12]	RW	vpll0_refdiv	VPLL0 参考时钟分频系数。
[11:0]	RW	vpll0_fbdiv	VPLL0 整数倍频系数。

## PERI\_CRG4

PERI\_CRG4 为 VPLL1 配置寄存器 0。

	Offset Address	Register Name	Total Reset Value
	0x0010	PERI_CRG4	0x9400_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved vpll1_bypass vpll1_postdiv2 vpll1_postdiv1	vpll1_frac	
Reset	1 0 0 1 0 1 0		
Bits	Access	Name	Description
[31]	RW	reserved	保留。
[30]	RW	vpll1_bypass	VPLL1 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。
[29:27]	RW	vpll1_postdiv2	VPLL1 第二级输出分频系数。



[26:24]	RW	vpll1_postdiv1	VPLL1 第一级输出分频系数。
[23:0]	RW	vpll1_frac	VPLL1 小数分频系数。

## PERI\_CRG5

PERI\_CRG5 为 VPLL1 配置寄存器 1。

	Offset Address	Register Name	Total Reset Value										
	0x0014	PERI_CRG5	0x007C_2063										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				vpll1_pd	vpll1_foutvcopd	vpll1_postdivpd	vpll1_fout4phasepd	vpll1_refdiv	vpll1_fbdiv			
Reset	0 0 0 0	0 0 0 0	0 1 1 1	1 1 0 0	0 0 1 0	0 0 0 0	0 1 1 0	0 0 1 1					
Bits	Access	Name	Description										
[31:22]	RW	reserved	保留。										
[21]	RW	vpll1_pd	VPLL1 Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。										
[20]	RW	vpll1_foutvcopd	VPLL1 VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。										
[19]	RW	vpll1_postdivpd	VPLL1 POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。										
[18]	RW	vpll1_fout4phasepd	VPLL1 FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。										
[17:12]	RW	vpll1_refdiv	VPLL1 参考时钟分频系数。										
[11:0]	RW	vpll1_fbdiv	VPLL1 整数倍频系数。										



## PERI\_CRG6

PERI\_CRG6 为 EPLL 配置寄存器 0。

	Offset Address								Register Name								Total Reset Value															
	0x0018								PERI_CRG6								0x9900_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		epll_bypass		epll_postdiv2				epll_postdiv1				epll_frac																			
Reset	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits																																
Access																																
Name	reserved		epll_bypass		epll_postdiv2				epll_postdiv1				epll_frac																			
Description	保留。		EPLL 时钟分频旁路(bypass)控制。 0: 非旁路; 1: 旁路。		EPLL 第二级输出分频系数。				EPLL 第一级输出分频系数。				EPLL 小数分频系数。																			

## PERI\_CRG7

PERI\_CRG7 为 EPLL 配置寄存器 1。



	Offset Address				Register Name								Total Reset Value																			
	0x001C				PERI_CRG7								0x007C_207D																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								epll_pd	epll_foutvcopd	epll_postdivpd	epll_fout4phasepd	epll_refdiv				epll_fbdiv															
Reset	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	0	1
Bits	Access		Name		Description																											
[31:22]	RW		reserved		保留。																											
[21]	RW		epll_pd		EPLL Power Down 控制。 0: power down 工作状态; 1: 正常工作状态。																											
[20]	RW		epll_foutvcopd		EPLL VCO 输出 Power Down 控制。 0: 不输出时钟; 1: 正常输出时钟。																											
[19]	RW		epll_postdivpd		EPLL POSTDIV 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。																											
[18]	RW		epll_fout4phasepd		EPLL FOUT 输出 Power Down 控制。 0: 不输出时钟; 1: 正常时钟输出。																											
[17:12]	RW		epll_refdiv		EPLL 参考时钟分频系数。																											
[11:0]	RW		epll_fbdiv		EPLL 整数倍频系数。																											

## PERI\_CRG8

PERI\_CRG8 为 A9 频率模式及复位配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0020		PERI_CRG8		0x0000_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																cs_srst_req	cluster_scu_srst_req	cluster_peri_srst_req	wd_srst_req	cluster_dbg_srst_req	cpu_srst_req	reserved	a9_axi_freq_mode	a9_max_freq_mode							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	RW	reserved	保留。																													
[9]	RW	cs_srst_req	CS 的软复位请求。 0: 撤消复位; 1: 复位。																													
[8]	RW	cluster_scu_srst_req	SCU 的软复位请求。 0: 撤消复位; 1: 复位。																													
[7]	RW	cluster_peri_srst_req	PERI 的软复位请求。 0: 撤消复位; 1: 复位。																													
[6]	RW	wd_srst_req	WDG 的软复位请求。 0: 撤消复位; 1: 复位。																													
[5]	RW	cluster_dbg_srst_req	DBG 模块的软复位请求。 0: 撤消复位; 1: 复位。																													
[4]	RW	cpu_srst_req	CPU 的软复位请求, 仅在从加载模式下有效。 0: 撤消复位; 1: 复位。																													
[3]	RW	reserved	保留。																													





Offset Address		Register Name		Total Reset Value					
0x002C		PERI_CRG11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			sio0_ckcfg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	sio0_ckcfg	sio0 mclk 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率)×2 <sup>27</sup> 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz。						

## PERI\_CRG12

PERI\_CRG12 为 SIO2 mclk 时钟分频配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0030		PERI_CRG12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			sio2_ckcfg					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RO	reserved	保留。						
[23:0]	RW	sio2_ckcfg	sio2 mclk0 的分频时钟配置值，配置值为(MCLK0/SIO 时钟源头频率)×2 <sup>27</sup> 。时钟源头频率为 500MHz。Mclk 最大支持 62.5MHz。						

## PERI\_CRG13

PERI\_CRG13 为 SIO0 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value										
0x0034		PERI_CRG13		0x0000_0001										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				sio0_fs_rxtx_sel	sio0_blk_rxtx_sel	sio0_fsclk_div	sio0_bclk_div	reserved	sio0_bclk_sel	sio0_bclkout_ptcl	sio0_bclk_ptcl	sio0_cken	sio0_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1
Bits	Access	Name	Description											
[31:17]	RW	reserved	保留。											
[16]	RW	sio0_fs_rxtx_sel	SIO TX RX FS 复用关系配置。 0: RX, TX 独立; 1: TX 复用 RX 的 BCLK。											
[15]	RW	sio0_blk_rxtx_sel	SIO TX Rx BCK 复用关系配置。 0: RX, TX 独立。 1: TX 复用 RX 的 BCLK。											
[14:12]	RW	sio0_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。											



[11:8]	RW	sio0_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。
[7:5]	RW	reserved	保留。
[4]	RW	sio0_bclk_sel	SIO0 BCLK 时钟的选择。 0: 选择 3516 芯片外部产生的 bclk; 1: 选择 3516 芯片内部产生的 bclk。
[3]	RW	sio0_bclkout_pctl	SIO0 BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	sio0_bclk_pctl	SIO0 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	sio0_cken	SIO0 时钟门控。默认关闭。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sio0_srst_req	SIO0 的软复位请求。默认复位。 0: 撤消复位; 1: 复位。

## PERI\_CRG14

PERI\_CRG14 为 SIO1 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0038		PERI_CRG14		0x0000_0001									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			Sio1_fs_rxtx_sel	Sio1_blk_rxtx_sel	sio1_fsclk_div	sio1_bclk_div	reserved	sio1_bclk_sel	sio1_belkout_pctl	sio1_bclk_pctl	sio1_cken	sio1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1
Bits	Access	Name	Description										
[31:17]	RW	reserved	保留。										
[16]	RW	sio1_fs_rxtx_sel	SIO TX RX FS 复用关系配置。 0: RX, TX 独立; 1: TX 复用 RX 的 BCLK。										
[15]	RW	sio1_blk_rxtx_sel	SIO TX Rx BCK 复用关系配置。 0: RX, TX 独立; 1: TX 复用 RX 的 BCLK。										
[14:12]	RW	sio1_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。										



[11:8]	RW	sio1_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。
[7:5]	RW	reserved	保留。
[4]	RW	sio1_bclk_sel	sio1 BCLK 时钟的选择。 0: 选择 3516 芯片外部产生的 bclk; 1: 选择 3516 芯片内部产生的 bclk。
[3]	RW	sio1_bclkout_pctl	sio1 BCLK OUT 的极性控制。 0: 正向; 1: 反向。
[2]	RW	sio1_bclk_pctl	sio1 BCLK 的极性控制。 0: 正向; 1: 反向。
[1]	RW	sio1_cken	sio1 时钟门控。默认关闭。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sio1_srst_req	sio1 的软复位请求。默认复位。 0: 撤消复位; 1: 复位。

## PERI\_CRG15

PERI\_CRG15 为 SIO2 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x003C		PERI_CRG15		0x0000_8003					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				audio_codec_rst_req	sio2_fsclk_div	sio2_bclk_div	reserved	sio2_cken sio2_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。						
[15]	RW	audio_codec_rst_req	audio codec 的软复位请求。默认复位。 0: 撤消复位; 1: 复位。						
[14:12]	RW	sio2_fsclk_div	位时钟 BCLK 与采样时钟 FS 的分频关系。 000: FS 是 BCLK 的 16 分频; 001: FS 是 BCLK 的 32 分频; 010: FS 是 BCLK 的 48 分频; 011: FS 是 BCLK 的 64 分频; 100: FS 是 BCLK 的 128 分频; 101: FS 是 BCLK 的 256 分频; 其他: FS 是 BCLK 的 8 分频。						



[11:8]	RW	sio2_bclk_div	主时钟 MCLK 与位时钟 BCLK 分频关系。 0000: BCLK 是 MCLK 的 1 分频; 0001: BCLK 是 MCLK 的 3 分频; 0010: BCLK 是 MCLK 的 2 分频; 0011: BCLK 是 MCLK 的 4 分频; 0100: BCLK 是 MCLK 的 6 分频; 0101: BCLK 是 MCLK 的 8 分频; 0110: BCLK 是 MCLK 的 12 分频; 0111: BCLK 是 MCLK 的 16 分频; 1000: BCLK 是 MCLK 的 24 分频; 1001: BCLK 是 MCLK 的 32 分频; 1010: BCLK 是 MCLK 的 48 分频; 1011: BCLK 是 MCLK 的 64 分频; 其他: BCLK 是 MCLK 的 8 分频。
[7:2]	RW	reserved	保留。
[1]	RW	sio2_cken	sio2 时钟门控。默认打开。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	sio2_srst_req	sio2 的软复位请求。默认复位。 0: 撤消复位; 1: 复位。

## PERI\_CRG16

PERI\_CRG16 为 VIU(ISP)时钟及复位配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0040		PERI_CRG16		0x0000_00CF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	vi1_dll_bypass vi0_dll_bypass	vi1_dll_dlyctrl vi0_dll_dlyctrl	vi_p1_clken vi_p0_clken	reserved vi_ch4_clken vi_ch3_clken	vi_ch2_clken vi_ch1_clken vi_ch0_clken	vi_hclk_en	reserved vi1_pctrl vi0_pctrl vi_dll_rst vi1_rst_req vi0_rst_req viu_hrst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:27]	RW	reserved	保留。					
[26]	RW	vi1_dll_bypass	VI1 端口的 DLL Bypass 配置。 1: 使能 DLL, 需要 2 倍时钟时使能 DLL; 0: bypass DLL。					
[25]	RW	vi0_dll_bypass	VI0 端口的 DLL Bypass 配置。 1: 使能 DLL, 需要 2 倍时钟时使能 DLL; 0: bypass DLL。					
[24:21]	RW	vi1_dll_dlyctrl	VI1 倍频时钟脉宽微调, 可左右调节各 8 级; 每级 TT Corner 下 Delay 约为 90ps。 1xxx: 展宽 N 级; 0xxx: 缩窄 N 级。					
[20:17]	RW	vi0_dll_dlyctrl	VI0 倍频时钟脉宽微调, 可左右调节各 8 级; 每级 TT Corner 下 Delay 约为 90ps。 1xxx: 展宽 N 级; 0xxx: 缩窄 N 级。					
[16]	RW	vi_p1_clken	VI 端口 1 时钟门控。 0: 时钟关闭; 1: 时钟打开。					
[15]	RW	vi_p0_clken	VI 端口 0 时钟门控。 0: 时钟关闭; 1: 时钟打开。					
[14]	RW	reserved	保留。					



[13]	RW	vi_ch4_clken	VI ch4 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[12]	RW	vi_ch3_clken	VI ch3 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[11]	RW	vi_ch2_clken	VI ch2 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[10]	RW	vi_ch1_clken	VI ch1 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[9]	RW	vi_ch0_clken	VI ch0 时钟门控。 0: 时钟关闭; 1: 时钟打开。
[8]	RW	vi_hclk_en	VI 总线侧时钟门控。 0: 时钟关闭; 1: 时钟打开。
[7:6]	RW	reserved	保留。
[5]	RW	vi1_pctrl	VI 端口 1 时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[4]	RW	vi0_pctrl	VI 端口 0 时钟相位控制。 0: 正向时钟; 1: 反向时钟。
[3]	RW	vi_dll_rst	VI DLL 的软复位请求。需要切换到 NORMAL 后再撤销复位。 0: 复位; 1: 撤销复位。
[2]	RW	vi1_rst_req	VI1 端口侧的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	vi0_rst_req	VI0 端口侧的软复位请求。 0: 撤消复位; 1: 复位。



[0]	RW	viu_hrst_req	VIU 总线侧的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	--------------	--------------------------------------

## PERI\_CRG17

PERI\_CRG17 为 VOU 时钟及复位控制寄存器。

	Offset Address 0x0044								Register Name PERI_CRG17								Total Reset Value 0x0000_00E9																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved																				vou_dac_pd	vou_sd_pctrl	vou_hd_pctrl	vou_vi_sel	vou_clk_sel	vou_hd_cken	vou_sd_cken	vou_srst_req							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1			
Bits	Access		Name		Description																														
[31:8]	RW		reserved		保留。																														
[7]	RW		vou_dac_pd		VOU DAC Power Down 控制。 0: 打开 VDAC; 1: 关闭 VDAC。																														
[6]	RW		vou_sd_pctrl		VOU SD 输出随路时钟相位控制, 默认反向。 0: 正向时钟; 1: 反向时钟。																														
[5]	RW		vou_hd_pctrl		VOU HD 输出随路时钟相位控制, 默认反向。 0: 正向时钟; 1: 反向时钟。																														
[4]	RW		vou_vi_sel		VOU HD 时钟选择配置寄存器。 0: 内部时钟; 1: 保留。																														
[3]	RW		vou_clk_sel		VOU HD 时钟选择配置寄存器。 0: 148.5M; 1: 74.25M。																														



[2]	RW	vou_hd_cken	VOU HD 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。
[1]	RW	vou_sd_cken	VOU SD 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	vou_srst_req	VOU 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG18

PERI\_CRG18 为 VEDU 时钟及软复位控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0048								PERI_CRG18								0x0000_0002															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								vedu_clk_sel_2	reserved	vedu_clk_sel_1	reserved	vedu_cken	vedu_srst_req		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:8]	RO		reserved		保留。																											
[7]	RW		vedu_clk_sel_2		VEDU 时钟频率配置 2。 0: 选择 396M/360MHz 源头; 1: 选择 300MHz 源头。																											
[6:5]	RO		reserved		保留。																											
[4]	RW		vedu_clk_sel_1		VEDU 时钟频率配置 1。 0: 选择 396MHz 源头; 1: 选择 360MHz 源头。																											
[3:2]	RW		reserved		保留。																											



[1]	RW	vedu_cken	VEDU 时钟门控配置寄存器， 0：关闭时钟； 1：打开时钟。
[0]	RW	vedu_srst_req	VEDU 的软复位请求。上电默认复位。 0：复位； 1：撤销复位。

### PERI\_CRG19

PERI\_CRG19 为 JPGE 时钟及软复位控制寄存器。

	Offset Address 0x004C								Register Name PERI_CRG19								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								jpge_clk_sel		jpge_cken		jpge_srst_req			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	RO		reserved		保留。																											
[3:2]	RW		jpge_clk_sel		JPGE[3: 2]时钟频率配置。 00: full speed, 270MHz; 01: 3/4 speed, 270MHz×3/4; 10: 2/3 speed, 270MHz×2/3; 11: 2/4 speed, 270MHz×1/2。																											
[1]	RW		jpge_cken		JPGE 时钟门控配置寄存器，默认关闭。 0：关闭时钟； 1：打开时钟。																											
[0]	RW		jpge_srst_req		JPGE 的软复位请求。上电默认复位。 0：复位； 1：撤销复位。																											



## PERI\_CRG20

PERI\_CRG20 为 MD 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0050				PERI_CRG20				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								md_clk_sel	md_cken	md_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:4]																															
Access	RO																															
Name	reserved																															
Description	保留。																															
Bits	[3:2]																															
Access	RW																															
Name	md_clk_sel																															
Description	MD 时钟频率配置。 00: full speed, 270MHz; 01: 3/4 speed, 270MHz×3/4; 10: 2/3 speed, 270MHz×2/3; 11: 2/4 speed, 270MHz×1/2。																															
Bits	[1]																															
Access	RW																															
Name	md_cken																															
Description	MD 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。																															
Bits	[0]																															
Access	RW																															
Name	md_srst_req																															
Description	MD 的软复位请求。 0: 撤消复位; 1: 复位。																															

## PERI\_CRG21

PERI\_CRG21 为 GMAC 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x0054		PERI_CRG21		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							gmac_txclk_mode	reserved	gmac_cken	gmac_rst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:6]	RO	reserved	保留。								
[5:4]	RW	gmac_txclk_mode	GMAC TX 时钟 Mode 选择。 00: MII Mode; 01: RGMII 10M; 10: RGMII 100M; 11: RGMII 1000M。								
[3:2]	RW	reserved	保留。								
[1]	RW	gmac_cken	GMAC 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。								
[0]	RW	gmac_rst_req	GMAC 的软复位请求。 0: 撤消复位; 1: 复位。								

### PERI\_CRG22

PERI\_CRG22 为 ive 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0058		PERI_CRG22		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ive_clk_sel	ive_speed_sel	ive_cken	ive_srst_req													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	ive_clk_sel	IVE 工作时钟选择。 0: 270MHz; 1: 300MHz。																													
[2]	RW	ive_speed_sel	IVE 工作时钟选择。 0: full speed; 1: 3/4 speed。																													
[1]	RW	ive_cken	IVE 时钟状态。 0: 关闭; 1: 打开。																													
[0]	RW	ive_srst_req	IVE 的软复位请求。 0: 撤消复位; 1: 复位。																													

## PERI\_CRG23

PERI\_CRG23 为 TDE 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x005C		PERI_CRG23		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								tde_speed_sel	tde_clk_sel	tde_cken	tde_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	tde_speed_sel	TDE 工作时钟速率选择。 0: full speed; 1: 3/4 speed。																													
[2]	RW	tde_clk_sel	TDE 工作时钟源头选择。 0: 270MHz; 1: 300MHz。																													
[1]	RW	tde_cken	TDE 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	tde_srst_req	TDE 的软复位请求，默认不复位。 0: 撤消复位; 1: 复位。																													

## PERI\_CRG24

PERI\_CRG24 为 NFC 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0060		PERI_CRG24		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								nfc_clk_sel	nfc_cken	nfc_srst_req					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													
[2]	RW	nfc_clk_sel	NFC 时钟源选择。 0: 24M 晶振时钟; 1: 100M 时钟。																													
[1]	RW	nfc_cken	NFC 时钟门控配置寄存器, 默认打开。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	nfc_srst_req	NFC 的软复位请求。 0: 撤消复位; 1: 复位。																													

### PERI\_CRG25

PERI\_CRG25 为 SFC 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0064		PERI_CRG25		0x0000_0002																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															sfc_clk_sel		sfc_cken	sfc_srst_req													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3:2]	RW	sfc_clk_sel	SFC2X 时钟源选择。 00: 24M 时钟; 10: 24M 时钟; 01: 100M 时钟; 11: 148.5M 时钟。																													
[1]	RW	sfc_cken	SFC 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	sfc_srst_req	SFC 的软复位请求。 0: 撤消复位; 1: 复位。																													

### PERI\_CRG26

PERI\_CRG26 为 PWM0/PWM1/EFUSE/相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0068		PERI_CRG26		0x0000_0020																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								efuse_cken	efuse_srst_req	pwm1_cken	pwm1_srst_req	pwm0_cken	pwm0_srst_req		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	RO	reserved	保留。																													
[5]	RW	efuse_cken	EFUSE 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。																													
[4]	RW	efuse_srst_req	EFUSE 的软复位请求。 0: 撤消复位; 1: 复位。																													
[3]	RW	pwm1_cken	PWM1 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。																													
[2]	RW	pwm1_srst_req	PWM1 的软复位请求。 0: 撤消复位; 1: 复位。																													
[1]	RW	pwm0_cken	PWM0 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	pwm0_srst_req	PWM0 的软复位请求。 0: 撤消复位; 1: 复位。																													

## PERI\_CRG27

PERI\_CRG27 为 DMA 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x006C		PERI_CRG27		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							dma_cken	dma_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	dma_cken	DMA 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	dma_srst_req	DMA 的软复位请求。 0: 撤消复位; 1: 复位。						

## PERI\_CRG28

PERI\_CRG28 为 SSP0 相关的时钟及软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0070		PERI_CRG28		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							ssp0_cken	ssp0_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RW	ssp0_cken	SSP0 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	ssp0_srst_req	SSP0 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG29

PERI\_CRG29 为 SSP1 相关的时钟及软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0074				PERI_CRG29				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ssp1_cken	ssp1_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	[31:2]		[1]		[0]																											
Access	RO		RW		RW																											
Name	reserved		ssp1_cken		ssp1_srst_req																											
Description	保留。		SSP1 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。		SSP1 的软复位请求。 0: 撤消复位; 1: 复位。																											

## PERI\_CRG30

PERI\_CRG30 为 USB 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																																			
0x0078		PERI_CRG30		0x0000_00FF																																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Name	reserved																								usb_cken	usb_ctrl_utmi1_req	usb_ctrl_utmi0_req	usb_ctrl_hub_req	usbphy_port1_treq	usbphy_port0_treq	usbphy_req	usb_ahb_srst_req							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				1	1	1	1	1	1	1	1											
Bits	Access	Name	Description																																				
[31:8]	RO	reserved	保留。																																				
[7]	RW	usb_cken	USBPHY 参考时钟门控。 0: 关闭; 1: 打开。																																				
[6]	RW	usb_ctrl_utmi1_req	USB controller port1 的软复位请求。 0: 撤消复位; 1: 复位。																																				
[5]	RW	usb_ctrl_utmi0_req	USB controller port0 的软复位请求。 0: 撤消复位; 1: 复位。																																				
[4]	RW	usb_ctrl_hub_req	USB controller hub 的软复位请求。 0: 撤消复位; 1: 复位。																																				
[3]	RW	usbphy_port1_treq	USBPHY PORT1 的软复位请求。 0: 撤消复位; 1: 复位。																																				
[2]	RW	usbphy_port0_treq	USBPHY PORT0 的软复位请求。 0: 撤消复位; 1: 复位。																																				
[1]	RW	usbphy_req	USBPHY 的软复位请求。 0: 撤消复位; 1: 复位。																																				



[0]	RW	usb_ahb_srst_req	USB controller 总线软复位请求。 0: 撤消复位; 1: 复位。
-----	----	------------------	---

## PERI\_CRG31

PERI\_CRG31 为 PCIE 相关的时钟及软复位控制寄存器。

	Offset Address 0x007C								Register Name PERI_CRG31								Total Reset Value 0x0000_000E															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								pcie_slot_oen	reserved	pcie_cken	pcie_srst_req				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
Bits	[31:4]		[3]		[2]		[1]		[0]																							
Access	RO		RW		RW		RW		RW																							
Name	reserved		pcie_slot_oen		reserved		pcie_cken		pcie_srst_req																							
Description	保留。		PCIE SLOT 时钟状态。 0: 打开; 1: 关闭。		保留。		pcie controller 时钟状态。 0: 关闭; 1: 打开。		pcie0 controller 软复位控制。 0: 撤消复位; 1: 复位。																							

## PERI\_CRG32

PERI\_CRG32 为 SDIO0/SDIO1 相关的时钟及软复位控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0080		PERI_CRG32		0x0000_0022																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sdio1clk_ctrl	sdio1clk_sel	sdio1_cken	sdio1_srst_req	sdio0clk_ctrl	sdio0clk_sel	sdio0_cken	sdio0_srst_req
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
Bits	Access	Name	Description																													
[31:8]	RO	reserved	保留。																													
[7]	RW	sdio1clk_ctrl	SDIO1 SAP 时钟极性控制。 0: 正向; 1: 反向。																													
[6]	RW	sdio1clk_sel	SDIO1 工作时钟选择。 0: 25MHz; 1: 50MHz。																													
[5]	RW	sdio1_cken	SDIO1 时钟门控配置, 默认打开。 0: 关闭; 1: 打开。																													
[4]	RW	sdio1_srst_req	SDIO0 的软复位请求。 0: 撤消复位; 1: 复位。																													
[3]	RW	sdio0clk_ctrl	SDIO0 SAP 时钟极性控制。 0: 正向; 1: 反向。																													
[2]	RW	sdio0clk_sel	SDIO0 工作时钟选择。 0: 24MHz; 1: 50MHz。																													
[1]	RW	sdio0_cken	SDIO0 时钟门控配置, 默认打开。 0: 关闭; 1: 打开。																													



[0]	RW	sdio0_srst_req	SDIO0 的软复位请求。 0: 撤消复位; 1: 复位。
-----	----	----------------	-------------------------------------

### PERI\_CRG33

PERI\_CRG33 为 UART0 时钟软复位控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0084				PERI_CRG33				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												uart0_cken	uart0_srst_req		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:2]	RO	reserved	保留。																													
[1]	RW	uart0_cken	UART0 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。																													
[0]	RW	uart0_srst_req	UART0 的软复位请求。 0: 撤消复位; 1: 复位。																													

### PERI\_CRG34

PERI\_CRG34 为 UART1 时钟软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0088		PERI_CRG34		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							uart1_cken	uart1_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	uart1_cken	UART1 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	uart1_srst_req	UART1 的软复位请求。 0: 撤消复位; 1: 复位。						

### PERI\_CRG35

PERI\_CRG35 为 UART2 时钟软复位控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x008C		PERI_CRG35		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							uart2_cken	uart2_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						



[1]	RW	uart2_cken	UART2 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	uart2_srst_req	UART2 的软复位请求。 0: 撤消复位; 1: 复位。

### PERI\_CRG36

PERI\_CRG36 为 UART3 时钟软复位控制寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x0090	PERI_CRG36	0x0000_0002														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															uart3_cken	uart3_srst_req
Reset	0 0																
Bits	Access	Name	Description														
[31:2]	RO	reserved	保留。														
[1]	RW	uart3_cken	UART3 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。														
[0]	RW	uart3_srst_req	UART3 的软复位请求。 0: 撤消复位; 1: 复位。														

### PERI\_CRG37

PERI\_CRG37 为 I2C 时钟软复位控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0094		PERI_CRG37		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							i2c_cken	i2c_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	i2c_cken	I2C 时钟门控配置寄存器，默认打开。 0: 关闭时钟; 1: 打开时钟。						
[0]	RW	i2c_srst_req	I2C 的软复位请求。 0: 撤消复位; 1: 复位。						

## PERI\_CRG38

PERI\_CRG38 为 IR/RTC/CIPHER 时钟软复位控制寄存器。

Offset Address		Register Name		Total Reset Value										
0x0098		PERI_CRG38		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved							cipher_clk_sel	cipher_cken	cipher_srst_req	rtc_cken	rtc_srst_req	ir_cken	ir_srst_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0						
Bits	Access	Name	Description											
[31:8]	RO	reserved	保留。											



[7:6]	RW	cipher_clk_sel	CIPHER 工作时钟选择。 00: 148.5MHz; 01: 100MHz; 10: 148.5MHz×1/2; 11: 100MHz×1/2;
[5]	RW	cipher_cken	CIPHER 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。
[4]	RW	cipher_srst_req	CIPHER 的软复位请求。 0: 撤消复位; 1: 复位。
[3]	RW	rtc_cken	RTC 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。
[2]	RW	rtc_srst_req	RTC 的软复位请求。 0: 撤消复位; 1: 复位。
[1]	RW	ir_cken	IR 时钟门控配置寄存器，默认关闭。 0: 关闭时钟; 1: 打开时钟。
[0]	RW	ir_srst_req	IR 的软复位请求。 0: 撤消复位; 1: 复位。

## PERI\_CRG39

PERI\_CRG39 为 SENSE 输出时钟配置寄存器。



Offset Address		Register Name		Total Reset Value																												
0x009C		PERI_CRG39		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														pcie_iddq		sense_cksel															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RW	reserved	保留。																													
[3]	RW	pcie_iddq	PCIE PHY Power Down 配置。 0: 打开 PCIE PHY; 1: 关闭 PCIE PHY。																													
[2:0]	RW	sense_cksel	SENSE CLKOUT 时钟配置。 000: 12M; 001: 24M; 010: 27M; 011: 54M; 100: 13.5M; 101: 27M; 110: 37.125M; 111: 74.25M。																													

### PERI\_CRG42

PERI\_CRG42 为 CRG 测试寄存器。



Offset Address		Register Name		Total Reset Value					
0x00A8		PERI_CRG42		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								test_clk_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	test_clk_en	测试时钟使能寄存器。 0: 所有测试时钟关闭; 1: 所有测试时钟打开。						

## PERI\_CRG43

PERI\_CRG43 为 CRG 状态寄存器。

Offset Address		Register Name		Total Reset Value							
0x000000AC		PERI_CRG43		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							epll_lock	vpll1_lock	vpll0_lock	apll_lock
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								
[3]	RO	epll_lock	EPLL LOCK 状态。 0: Unlock; 1: Locked。								
[2]	RO	vpll1_lock	VPLL1 LOCK 状态。 0: Unlock; 1: Locked。								



[1]	RO	vpll0_lock	VPLL0 LOCK 状态。 0: Unlock; 1: Locked。
[0]	RO	apll_lock	APLL LOCK 状态。 0: Unlock; 1: Locked。

### 3.3 中断系统

芯片使用 Cortex-A9 内部集成的中断控制器 GIC，最多可支持 64 个中断源，对应的中断映射如表 3-19 所示。

表3-19 A9 中断源分配表

中断位	中断源
0~31	A9 内部使用
32	COMMTX (为 CPU 调试使用)
33	COMMRX (为 CPU 调试使用)
34	WatchDog
35	Timer0/1
36	Timer2/3
37	GPIO0
38	GPIO1
39	GPIO2
40	GPIO3
41	GPIO4
42	GPIO5
43	GPIO6
44	GPIO7
45	I2C
46	UART0
47	UART1
48	UART2



中断位	中断源
49	UART3
50	VICAP
51	VEDU
52	VOU
53	TDE
54	JPEG
55	MD
56	VAPU
57	SIO0
58	SIO1
59	SIO2
60	GMAC
61	Cipher
62	IR
63	NandC
64	SFC (SPI FLASH 控制器)
65	SSP0
66	SSP1
67	DMAC
68	USB0_EHCI
69	USB0_OHCI
70	SDIO0
71	SDIO1
72	L2CHAE_CHK0_INT
73	L2CHAE_CHK1_INT
74	L2CACHE_INT_COMB
75	A9_PMU_INT0
76	Pcie_radm_inta
77	Pcie_radm_intb
78	Pcie_radm_intc



中断位	中断源
79	Pcie_radm_intd
80	Pcie_cfg_pme_int
81	Pcie_hp_pme_int
82	Pcie_hp_int
83	Pcie_cfg_aer_rc_err_int
84	保留
85	保留
86	RTC
87	GPIO8_INT
88	GPIO9_INT
89	GPIO10_INT
90~95	保留

## 3.4 系统控制器

### 3.4.1 概述

系统控制器提供了控制系统运行的手段，它控制系统运行的模式，监控系统运行状态，管理系统中的重要功能，完成对外设的某些功能的配置。

### 3.4.2 特点

系统控制器具有以下特点：

- 控制并监控系统的运行模式
- 提供系统时钟控制和状态查询
- 提供对系统地址重映射的控制和状态监控
- 提供通用外设寄存器
- 提供对关键寄存器的写保护功能
- 提供芯片的标识寄存器

### 3.4.3 功能描述

### 3.4.4 系统运行模式控制

系统工作在以下三种工作模式：



- **NORMAL 模式**  
系统正常工作在 NORMAL 模式下。在此模式下，系统由片内 APLL 的输出时钟驱动。所有的模块均能正常工作于此时钟源。（部分外设可选择被 VPLL0、VPLL1、EPLL 的输出时钟驱动）
- **SLOW 模式**  
SLOW 模式是一种慢速模式。在此模式下，系统由外接晶振时钟驱动，只有部分片内外设可以工作，如系统控制器、Timer、NANDC、SFC 等。所有对高速时钟有要求的模块在此时钟下无法工作，如 DDR 等。
- **DOZE 模式**  
DOZE 模式是一种低速模式。只有少量片内外设可以工作于 DOZE 模式。在此模式下，系统由外接晶振分频的 46.875kHz 低频时钟驱动。大部分片内外设无法工作，存储器接口无法工作，CPU 和少量模块（如系统控制器、Timer、IR 和 UART 等）可以工作于该模式。

系统控制器提供了一个系统模式切换机制，用于控制系统时钟源的切换。模式切换由模式控制寄存器 **SC\_CTRL** [modectrl] 来配置，这 3 位定义了系统当前需要进入的操作模式：

- 000：保留
- 001：系统切换到 DOZE 模式
- 010：系统切换到 SLOW 模式
- 100：系统切换到 NORMAL 模式
- 其它：保留

当要求的系统操作模式已在系统模式控制寄存器中作出指定，系统模式控制系统即开始朝指定的模式移动，在此期间不再需要其他的软件（命令）干预。

当前系统状态可通过读取 **SC\_CTRL** [modestatus] 获得。这几位描述的系统当前状态不仅包括了上述的三个主要模式：NORMAL、SLOW、DOZE，还包括了 3 个主要模式之间的几个中间态：SWfromPLL、SWtoPLL、PLLCTL、SWfromXTAL、SWtoXTAL、XTALCTL。

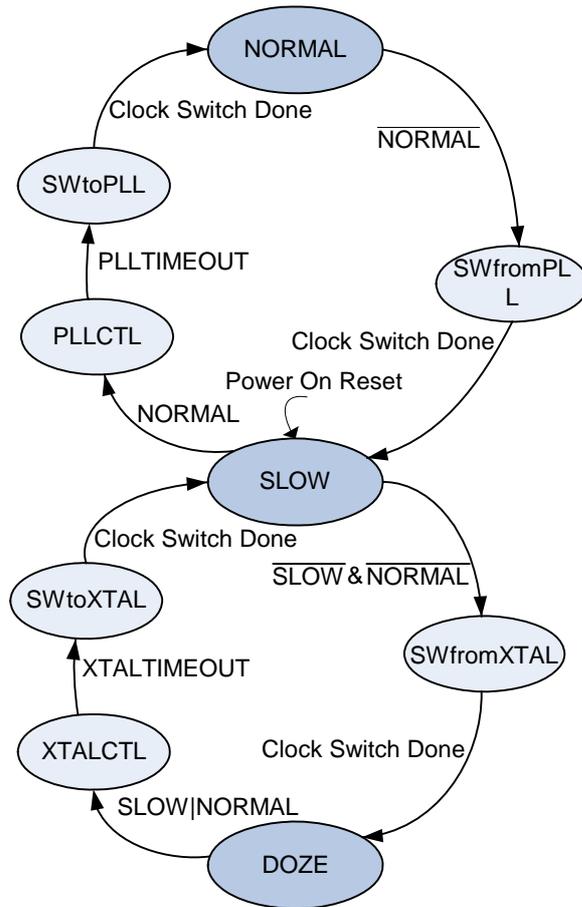
#### 说明

NORMAL、SLOW、DOZE 三种模式切换，可配置为直接切换，如系统当前处于 NORMAL 模式，可通过配置寄存器 **SC\_CTRL** [modectrl] 为“001”进入 DOZE 模式。但实际系统运行过程中，是经历了“SWfromPLL”、“SLOW”、“SWfromXTAL”等模式或中间态的。

系统的状态切换过程如图 3-3 所示。



图3-3 系统模式切换图



各种模式之间的切换涉及到的操作如下：

- 将 `SC_CTRL [modectrl]` 的最高位设置为 0，系统会离开 NORMAL 模式，向慢速模式 SLOW 方向切换。
- 在系统由 NORMAL 模式进入 SLOW 模式过程中，系统首先进入 SWfromPLL 中间态。这标志着系统时钟源将从 PLL 切换到晶振。当时钟切换完成后（Clock Switch Done），系统进入 SLOW 模式。
- 上电复位之后，系统处于 SLOW 模式。设置 `SC_CTRL [modectrl]` 的最高位为 1，可以让系统进入 NORMAL 模式。切换到 NORMAL 模式的过程中，首先进入 PLLCTL 中间态以使能 ARMPLL，在一个固定的等待时间（等待时间受 `SC_XTALCTRL [plltime]` 影响）之后，进入 SWtoPLL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 NORMAL 模式。
- 设置 `SC_CTRL [modectrl]` 的高两位均为 0，可以让系统向低速的 DOZE 模式方向切换。系统首先会进入 SWfromXTAL 中间态。这标志着系统时钟源将从晶振时钟



切换到晶振时钟分频得到的 46.875kHz 低频时钟。当时钟切换完成后（Clock Switch Done），系统进入 DOZE 模式。

- 设置 `SC_CTRL [modectrl]` 的高两位中的某位为 1，可以让系统向慢速的 SLOW 模式方向切换。切换到 SLOW 模式的过程中，首先进入 XTALCTL 中间态以初始化时钟模块，在一个固定的等待时间（等待时间受 `SC_XTALCTRL [xtaltime]` 影响）之后，进入 SWtoXTAL 中间态进行时钟源切换，切换完成（Clock Switch Done）之后系统进入 SLOW 模式。

系统控制器状态机状态和系统时钟之间的关系请参见表 3-5。

## 软复位控制

系统控制器支持对芯片全局以及局部模块进行软复位：

当配置全局软复位寄存器 `SC_SYSRES` 后，系统控制器将给片内复位模块发起请求，芯片将被复位。

## 系统地址重映射控制



### 注意

从 NAND Flash 启动时，外部连接的存储器为 NAND Flash，此时需要设置 `BOOT_SEL1`（与芯片外部管脚 `PWM1_OUT0` 复用）和 `BOOT_SEL0`（与芯片外部管脚 `PWM0_OUT2` 复用）的上下拉电平，用于选择 Boot 存储器：当 `BOOT_SEL1=0`、`BOOT_SEL0=1` 时，芯片支持从 NANDC 接口挂接的 NAND Flash 启动。

从 SPI Flash 启动时，外部连接的存储器为 SPI Flash，此时需要设置 `BOOT_SEL1`（与芯片外部管脚 `PWM1_OUT0` 复用）和 `BOOT_SEL0`（与芯片外部管脚 `PWM0_OUT2` 复用）的上下拉电平，用于选择 Boot 存储器：。当 `BOOT_SEL1=0`、`BOOT_SEL0=0` 时，芯片支持从 SFC 接口挂接的 SPI Flash 启动。

通过 PCIE 加载 DDR，从 DDR 启动时，需要设置 `BOOT_SEL1`（与芯片外部管脚 `PWM1_OUT0` 复用）和 `BOOT_SEL0`（与芯片外部管脚 `PWM0_OUT2` 复用）的上下拉电平，用于选择 Boot 存储器：。当 `BOOT_SEL1=1` 时，外部复位撤销后，A9 复位不撤销，等待外部通过 PCIE 配置、加载程序到 DDR 中后，外部控制 A9 撤销复位，A9 从 0 地址启动。此时 0 地址为 DDR 地址。

地址重映射清除以后，零地址保留。

系统控制器提供地址重映射功能，支持地址译码单元对系统存储地址空间进行重新映射和分配：

- 通过 PCIE 加载 DDR，从 DDR 启动时

上电复位后，系统地址分配处于地址重映射(REMAP) 状态。0x0000\_0000~0x03FF\_FFFF 地址空间被映射到片外 DDR 空间，通过系统控制器提供的寄存器 `SC_CTRL [remapclear]` 清除地址重映射后，系统地址分配处于地址重映射清除 (REMAP CLEAR) 状态，此时 0x0000\_0000~0x03FF\_FFFF 地址空间保留。

- 采用片外 NANDC 启动时



上电复位后，系统地址分配处于地址重映射（REMAP）状态。0x0000\_0000~0x03FF\_FFFF 地址空间被映射到 NANDC 的存储器地址空间；通过系统控制器提供的寄存器 `SC_CTRL[remapclear]` 清除地址重映射后，系统地址分配处于地址重映射清除（REMAP CLEAR）状态，此时 0x0000\_0000~0x03FF\_FFFF 地址空间保留。

- 采用片外 SPI Flash 启动时

上电复位后，系统地址分配处于地址重映射（REMAP）状态。0x0000\_0000~0x03FF\_FFFF 地址空间被映射到 SPI Flash 的 1 通道存储器地址空间；通过系统控制器提供的寄存器 `SC_CTRL[remapclear]` 清除地址重映射后，系统地址分配处于地址重映射清除（REMAP CLEAR）状态，此时 0x0000\_0000~0x03FF\_FFFF 地址空间保留。

## 对关键寄存器的写保护

为防止软件对系统控制器的误操作对整个系统产生严重影响，系统控制器提供了一些关键配置寄存器的写保护功能。包括：

- 模式切换的控制寄存器：`SC_CTRL`
- 系统全局软复位控制寄存器：`SC_SYSRES`
- 外设控制寄存器 0/1：`periphctrl0/1`

对这些关键寄存器进行写操作之前，必须配置寄存器 `SC_LOCKEN` 打开写保护。操作完成之后配置寄存器 `SC_LOCKEN` 关闭写保护，让这些关键寄存器不会被软件随意改写。

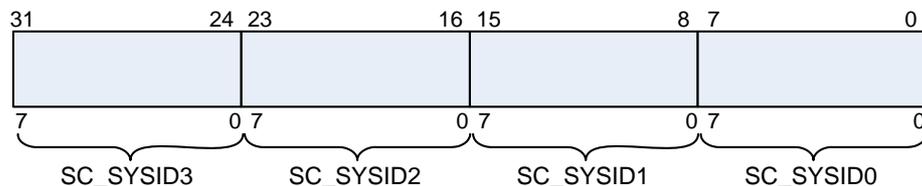
### 说明

系统默认为复位后不对这些关键寄存器进行写保护处理。为启用此功能，建议在系统启动时利用该寄存器对这些关键寄存器进行写保护处理。

## 芯片的标识寄存器

系统控制器提供了芯片标识（ID）寄存器 `SC_SYSID`。这个标识寄存器是一个概念上的 32bit 的标识只读寄存器，实际上由 4 个 8bit 标识寄存器组成：`SC_SYSID3`、`SC_SYSID2`、`SC_SYSID1`、`SC_SYSID0`。读出这 4 个寄存器的值，通过组合得到芯片的 32bit 标识只读寄存器的值 0x3516\_0100，组合的方法如图 3-4 所示。

图3-4 芯片 ID 寄存器位分配图





### 3.4.5 寄存器概览

系统控制器寄存器概览如表 3-20 所示。

表3-20 寄存器概览（基址是 0x2005\_0000）

偏移地址	名称	描述	页码
0x000	SC_CTRL	系统控制寄存器	3-64
0x004	SC_SYSRES	系统状态寄存器	3-67
0x010	SC_XTALCTRL	晶振控制寄存器	3-67
0x014	SC_PLLCTRL	PLL 控制寄存器	3-68
0x01C	periphctrl0	外设控制寄存器 0	3-69
0x020	periphctrl1	外设控制寄存器 1	3-70
0x003C	periphctrl4	外设控制寄存器 4	3-71
0x0044	SC_LOCKEN	SC_PERLOCK 为关键系统控制寄存器的锁定寄存器	3-72
0x0058	periphctrl10	外设控制寄存器 10	3-73
0x005C	periphctrl11	外设控制寄存器 11	3-74
0x0060	periphctrl12	外设控制寄存器 12	3-74
0x0064	periphctrl13	外设控制寄存器 13	3-75
0x0068	periphctrl14	外设控制寄存器 14	3-76
0x0070	periphctrl16	外设控制寄存器 16	3-77
0x0074	periphctrl17	外设控制寄存器 17	3-77
0x0078	periphctrl18	外设控制寄存器 18	3-78
0x007C	periphctrl19	外设控制寄存器 19	3-79
0x0080	periphctrl20	usb 控制寄存器	3-80
0x0084	periphctrl21	usb phy 控制寄存器 0	3-83
0x0088	periphctrl22	usb phy 控制寄存器 1	3-85
0x008C	sysstat	系统状态寄存器	3-88
0x0090	periphctrl23	PCIe Controller 控制寄存器 0	3-90
0x0094	periphctrl24	PCIe Controller 控制寄存器 1	3-91
0x0098	periphctrl25	PCIe Controller 控制寄存器 2	3-92
0x009C	periphctrl26	PCIe Controller 控制寄存器 3	3-92



偏移地址	名称	描述	页码
0x00A0	periphctrl27	PCIe Controller 控制寄存器 4	3-93
0x00A4	periphctrl28	PCIe Controller 控制寄存器 5	3-94
0x00A8	periphctrl29	PCIe Controller 控制寄存器 6	3-94
0x00AC	periphctrl30	PCIe Controller 控制寄存器 7	3-95
0x00B0	periphctrl31	PCIe PHY 控制寄存器 0	3-97
0x00B4	periphctrl32	PCIe PHY 控制寄存器 1	3-98
0x00B8	periphctrl33	codec 控制寄存器 0	3-100
0x00BC	periphctrl34	codec 控制寄存器 1	3-102
0x00C0	periphctrl35	dac 控制寄存器 0	3-105
0x00C4	periphctrl36	dac 控制寄存器 1	3-107
0x00C8	periphctrl37	adc 控制寄存器 0	3-109
0x00CC	periphctrl38	adc 控制寄存器 1	3-111
0x00D0	periphctrl39	PCIe 控制器状态寄存器	3-112
0xEE0	SCSYSID0	芯片 ID 寄存器 0	3-115
0xEE4	SCSYSID1	芯片 ID 寄存器 1	3-115
0xEE8	SCSYSID2	芯片 ID 寄存器 2	3-116
0xEEC	SCSYSID3	芯片 ID 寄存器 3	3-116

### 3.4.6 寄存器描述

#### SC\_CTRL

SC\_CTRL 为系统控制寄存器。用于指定需要系统完成的操作。



#### 注意

该寄存器可被寄存器 SC\_PERLOCK 写保护，只有不使用写保护模式时，对这个寄存器的写操作才有效。



Offset Address		Register Name		Total Reset Value					
0x000		SC_CTRL		0x0000_0212					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		wdogenov timeren3ov timeren3sel timeren2ov	timeren2sel timeren1ov timeren1sel timeren0ov timeren0sel	reserved		remapstat remapclear reserved	modestatus	modectrl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 0	
Bits	Access	Name	Description						
[31:24]	RW	reserved	保留。						
[23]	RW	wdogenov	WDG 计数时钟选择。 0: WDG 使用 3MHz 时钟进行计数; 1: WDG 使用总线时钟进行计数。						
[22]	RW	timeren3ov	Timer3 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren3sel]指定; 1: 由总线时钟进行计数。						
[21]	RW	timeren3sel	Timer3 计数时钟频率选择(必须配置为 0)。 0: 使用 3MHz 时钟进行计数; 1: 保留。						
[20]	RW	timeren2ov	Timer2 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren2sel]指定; 1: 由总线时钟进行计数。						
[19]	RW	timeren2sel	Timer2 计数时钟频率选择(必须配置为 0)。 0: 使用 3MHz 时钟进行计数; 1: 保留。						
[18]	RW	timeren1ov	Timer1 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren1sel]指定。 1: 由总线时钟进行计数。						
[17]	RW	timeren1sel	Timer1 计数时钟频率选择(必须配置为 0)。 0: 使用 3MHz 时钟进行计数; 1: 保留。						



[16]	RW	timeren0ov	Timer0 计数时钟选择。 0: 使能信号通过采用参考时钟得到, 参考时钟的选择由 [timeren0sel]指定; 1: 由总线时钟进行计数
[15]	RW	timeren0sel	Timer0 计数时钟频率选择(必须配置为 0)。 0: 使用 3MHz 时钟进行计数; 1: 保留。
[14:10]	RW	reserved	保留。读时返回 0, 写时无影响。
[9]	RO	remapstat	地址重映射的状态。 0: 未进行地址重映射; 1: 进行地址重映射。具体如下所述: 当加载模式为自加载时, NANDC CS0 或 SFC CS1 被 Remap 到地址 0。 当加载模式为从加载时, DDRCSN 被 Remap 到地址 0。
[8]	RW	remapclear	地址重映射清除选择。 0: 保持 Remap 状态。 1: 清除 Remap。 Clear Remap 前后地址映射关系请参见地址分配。
[7]	RW	reserved	保留。读时返回 0, 写时无影响。
[6:3]	RW	modestatus	模式状态位。 这些位返回系统当前的操作模式; 这 4 位定义如下: 0000: 保留; 0001: DOZE; 0010: SLOW; 0011: XTAL CTL; 0100: NORMAL; 0110: PLL CTL; 1001: SW from XTAL; 1010: SW from PLL; 1011: SW to XTAL; 1110: SW to PLL; 其余: 保留, 未使用。



[2:0]	RW	modectrl	<p>模式控制位。这些位定义了要求系统控制器进入的操作模式。这 3 位定义如下：</p> <p>000：保留；</p> <p>001：DOZE；</p> <p>010：SLOW；</p> <p>100：NORMAL。</p>
-------	----	----------	--

## SC\_SYSRES

SC\_SYSRES 为系统状态寄存器。向该寄存器写入任何值都会使系统控制器向复位模块发出系统软复位请求，复位模块进行系统软复位。



### 注意

该寄存器可被寄存器 SC\_PERLOCK 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。

	Offset Address				Register Name				Total Reset Value																							
	0x004				SC_SYSRES				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	softresreq																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:0]	WO		softresreq		对该寄存器的任意写操作都会导致系统软复位。																											

## SC\_XTALCTRL

SC\_XTALCTRL 为晶振控制寄存器，用于控制初始化时钟模块的稳定等待时间，也就是从 XTAL CTL 中间态跳转到 SW to XTAL 中间态的等待时间。



	Offset Address								Register Name								Total Reset Value															
	0x010								SC_XTALCTRL								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								xtaltime								reserved															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:19]	-	reserved		保留，读时返回 0，写时无影响。																											
	[18:3]	RW	xtaltime		晶振切换等待时间。 该字段的值用于指定系统模式切换时从 XTAL CTL 状态跳转到 SW to XTAL 状态的等待时间。等待周期数可通过计算得到(T46.8K 为 46.8KHz 低频时钟周期): $(65536 - \text{xtaltime}) \times T46.8K$ 。																											
	[2]	RW	reserved		保留。读时返回 0，写时无影响。																											
	[1:0]	RW	reserved		保留。读时返回写入值，写时无影响。																											

## SC\_PLLCTRL

SC\_PLLCTRL 为 PLL 控制寄存器。用于控制片内 ARM 锁相环 (ARMPLL) 的使能控制，由软件控制使能，或由系统模式切换来控制使能。此外，该寄存器还用于设置 ARMPLL 锁相环稳定等待时间。



### 注意

该寄存器可被寄存器 SC\_PERLOCK 写保护，只有禁用写保护时，对这个寄存器的写操作才有效。



### 说明

系统要求 PLL 在变更频率配置时，需要等待 0.5ms 才能输出稳定的时钟。因此该寄存器的 plltime 的配置必须满足此要求。



Offset Address		Register Name		Total Reset Value					
0x014		SC_PLLCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		plltime				reserved		pllover
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	RW	reserved	保留。读时返回 0，写时无影响。						
[27:3]	RW	plltime	ARMPLL 锁相环稳定等待时间。 这段时间用于等待 PLL 启动到 PLL 输出达到稳定的状态。也就是指定从系统模式切换时从 PLL CTL 状态跳转到 SW to PLL 状态的等待时间。超时时间值由下式计算得到(TXIN 为芯片外接晶振的时钟周期): $(33554432 - plltime) \times TXIN$ 。						
[2:1]	RW	reserved	保留。读时返回 0，写时无影响。						
[0]	RW	pllover	此位必须配置为 0。 0: 由系统模式切换来使能 ARMPLL 锁相环。 1: 保留。						

## periphctrl0

periphctrl0 为外设控制寄存器 0。

Offset Address		Register Name		Total Reset Value					
0x01C		periphctrl0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ddr_odis_datah ddr_odis_datah		reserved		cpu_set
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RW	reserved	保留。						



[9]	RW	ddr_odis_datah	ddr 高 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。
[8]	RW	ddr_odis_datah	ddr 低 16 位数据管脚关闭控制。 0: 不关闭; 1: 关闭。
[7:3]	RW	reserved	保留。
[2:0]	RW	cpu_set	cpu set。

## periphctrl1

periphctrl1 为外设控制寄存器 1。

	Offset Address 0x020								Register Name periphctrl1								Total Reset Value 0xC7CF_CFCF																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	ephy_clk_sl		ephy_clk_drive						rgmii_txclkout_sl		rgmii_txclkout_drive				rgmii_dat_sl		rgmii_dat_drive				rgmii_txen_sl		rgmii_txen_drive										
Reset	1	1	0	0	0	0	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1
Bits	[31:30]		[29:24]						[23:22]																								
Access	RW		RW						RW																								
Name	ephy_clk_sl		ephy_clk_drive						rgmii_txclkout_sl																								
Description	EPHY_CLK IO 的 slew rate 控制。 2'b11, 沿变化速度最快。		EPHY_CLK IO 的驱动能力。 6b'000001: 3mA; 6b'000011: 6mA; 6b'000111: 9mA; 6b'001111: 12mA; 6b'011111: 15mA; 6b'111111: 18mA。						RGMII_TXCKOUT IO 的 slew rate 控制。 2'b11, 沿变化速度最快。																								



[21:16]	RW	rgmii_txclkout_drive	<p>RGMIIO_TXCKOUT IO 的驱动能力。</p> <p>6b'000001: 3mA; 6b'000011: 6mA; 6b'000111: 9mA; 6b'001111: 12mA; 6b'011111: 15mA; 6b'111111: 18mA。</p>
[15:14]	RW	rgmii_dat_sl	<p>RGMIIO_TXD0/1/2/3 IO 的 slew rate 控制。</p> <p>2'b11, 沿变化速度最快。</p>
[13:8]	RW	rgmii_dat_drive	<p>RGMIIO_TXD0/1/2/3 IO 的驱动能力。</p> <p>6b'000001: 3mA; 6b'000011: 6mA; 6b'000111: 9mA; 6b'001111: 12mA; 6b'011111: 15mA; 6b'111111: 18mA。</p>
[7:6]	RW	rgmii_txen_sl	<p>RGMIIO_TXEN IO 的 slew rate 控制。</p> <p>2'b11, 沿变化速度最快。</p>
[5:0]	RW	rgmii_txen_drive	<p>RGMIIO_TXEN IO 的驱动能力。</p> <p>6b'000001: 3mA; 6b'000011: 6mA; 6b'000111: 9mA; 6b'001111: 12mA; 6b'011111: 15mA; 6b'111111: 18mA。</p>

## periphctrl4

periphctrl4 为外设控制寄存器 4。



Offset Address		Register Name		Total Reset Value							
0x003C		periphctrl4		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved			cbar_en	reserved			sdio1_det_mode	sdio0_det_mode	uart1_rts_ctrl	ssp0_cs_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:17]	RW	reserved	保留。								
[16]	RW	cbar_en	cbar_en 输出使能。 0: 不使能; 1: 使能。								
[15:4]	RW	reserved	保留。								
[3]	RW	sdio1_det_mode	sdio1 卡检测信号模式控制。 0: 低有效; 1: 高有效。								
[2]	RW	sdio0_det_mode	sdio0 卡检测信号模式控制。 0: 低有效; 1: 高有效。								
[1]	RW	uart1_rts_ctrl	uart1 rts 输出控制。 0: 正常输出; 1: 取反输出。								
[0]	RW	ssp0_cs_sel	ssp0 片选选择。 0: 片选 0; 1: 片选 1。								

### SC\_LOCKEN

SC\_LOCKEN 为 SC\_PERLOCK 为关键系统控制寄存器的锁定寄存器。



Offset Address		Register Name		Total Reset Value				
0x0044		SC_LOCKEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	scper_lockl							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	scper_lockl	<p>关键系统控制寄存器的锁定寄存器，涉及寄存器包括 SC_CTRL、SC_SYSSTAT、SC_PLLCTRL、SC_PLLFCTRL。</p> <p>向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限，写入其他值则关闭写权限。</p> <p>读该寄存器返回加锁的状态而不是写入该寄存器的值。</p> <p>0x0000_0000：允许上述写访问(未加锁)。</p> <p>0x0000_0001：禁止上述写访问(已加锁)。</p>					

## periphctrl10

periphctrl10 为外设控制寄存器 10。

Offset Address		Register Name		Total Reset Value				
0x0058		periphctrl10		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	count_en_port2	over_value_port2		count_en_port1	over_value_port1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_port2	保留。					
[30:16]	RW	over_value_port2	保留。					
[15]	RW	count_en_port1	<p>AHB 桥端口的 timeout 计数使能。</p> <p>0：不使能；</p> <p>1：使能。</p>					



[14:0]	RW	over_value_port1	AHB 桥端口的 timeout 计数值。 计数值 = over_value_port1 × 2。
--------	----	------------------	--

## periphctrl11

periphctrl11 为外设控制寄存器 11。

	Offset Address				Register Name				Total Reset Value																							
	0x005C				periphctrl11				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	count_en_port4				over_value_port4								count_en_port3				over_value_port3															
Reset																									0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RW	count_en_port4	PCIE 端口的 timeout 计数使能。 0: 不使能; 1: 使能。																												
	[30:16]	RW	over_value_port4	PCIE 端口的 timeout 计数值。 计数值 = over_value_port4 × 2。																												
	[15]	RW	count_en_port3	IVE 端口的 timeout 计数使能。 0: 不使能; 1: 使能。																												
	[14:0]	RW	over_value_port3	IVE 端口的 timeout 计数值。 计数值 = over_value_port3 × 2。																												

## periphctrl12

periphctrl12 为外设控制寄存器 12。



Offset Address		Register Name		Total Reset Value					
0x0060		periphctrl12		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				count_en_port5	over_value_port5			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	reserved	保留。						
[15]	RW	count_en_port5	A9 端口的 timeout 计数使能。 0: 不使能; 1: 使能。						
[14:0]	RW	over_value_port5	A9 端口的 timeout 计数值。 计数值 = over_value_port5 × 2。						

## periphctrl13

periphctrl13 为外设控制寄存器 13。

Offset Address		Register Name		Total Reset Value									
0x0064		periphctrl13		0x0001_2345									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				mst_pri5	reserved	mst_pri4	reserved	mst_pri3	reserved	mst_pri2	reserved	mst_pri1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1					
Bits	Access	Name	Description										
[31:19]	RW	reserved	保留。										
[18:16]	RW	mst_pri5	A9 优先级。										
[15]	RW	reserved	保留。										
[14:12]	RW	mst_pri4	PCIE 优先级。										



[11]	RW	reserved	保留。
[10:8]	RW	mst_pri3	IVE 优先级。
[7]	RW	reserved	保留。
[6:4]	RW	mst_pri2	保留。
[3]	RW	reserved	保留。
[2:0]	RW	mst_pri1	AHB 桥优先级。

## periphctrl14

periphctrl14 为外设控制寄存器 14。

	Offset Address	Register Name	Total Reset Value
	0x0068	periphctrl14	0x0065_4321
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	reserved		
		slave_priority_s6	reserved
		reserved	slave_priority_s5
		reserved	slave_priority_s4
		reserved	slave_priority_s3
		reserved	slave_priority_s2
		reserved	slave_priority_s1
Reset	0 0 0 0	0 0 0 0	0 1 1 0
			0 1 0 1
			0 1 0 0
			0 0 1 1
			0 0 1 0
			0 0 0 1
Bits	Access	Name	Description
[31:23]	-	reserved	保留。
[22:20]	RW	slave_priority_s6	SYS AXI s6 端口总线访问优先级。
[19]	RW	reserved	保留。
[18:16]	RW	slave_priority_s5	SYS AXI s5 端口总线访问优先级。
[15]	RW	reserved	保留。
[14:12]	RW	slave_priority_s4	SYS AXI s4 端口总线访问优先级。
[11]	RW	reserved	保留。
[10:8]	RW	slave_priority_s3	SYS AXI s3 端口总线访问优先级。
[7]	RW	reserved	保留。
[6:4]	RW	slave_priority_s2	SYS AXI s2 端口总线访问优先级。
[3]	RW	reserved	保留。



[2:0]	RW	slave_priority_s1	SYS AXI s1 端口总线访问优先级。
-------	----	-------------------	-----------------------

## periphctrl16

periphctrl16 为外设控制寄存器 16。

Offset Address		Register Name		Total Reset Value				
0x0070		periphctrl16		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	over_value_port2_media				over_value_port1_media			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	count_en_port2_media	vedu 端口的 timeout 计数使能。 0: 不使能; 1: 使能。					
[30:16]	RW	over_value_port2_media	vedu 端口的 timeout 计数值。 计数值 = over_value_port2_media × 2。					
[15]	RW	count_en_port1_media	tde 端口的 timeout 计数使能。 0: 不使能; 1: 使能。					
[14:0]	RW	over_value_port1_media	tde 端口的 timeout 计数值。 计数值 = over_value_port1_media × 2。					

## periphctrl17

periphctrl17 为外设控制寄存器 17。



Offset Address		Register Name		Total Reset Value												
0x0074		periphctrl17		0x0000_0000												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	count_en_port4_media				over_value_port4_media				count_en_port3_media				over_value_port3_media			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0								
Bits	Access	Name	Description													
[31]	RW	count_en_port4_media	jpge 端口的 timeout 计数使能。 0: 不使能; 1: 使能。													
[30:16]	RW	over_value_port4_media	jpge 端口的 timeout 计数值。 计数值 = over_value_port4_media × 2。													
[15]	RW	count_en_port3_media	mdu 端口的 timeout 计数使能。 0: 不使能; 1: 使能。													
[14:0]	RW	over_value_port3_media	mdu 端口的 timeout 计数值。 计数值 = over_value_port3_media × 2。													

### periphctrl18

periphctrl18 为外设控制寄存器 18。



Offset Address		Register Name		Total Reset Value																												
0x0078		periphctrl18		0x0000_1234																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															mst_pri3_media		reserved	mst_pri2_media		reserved	mst_pri1_media		reserved	mst_pri0_media							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0
Bits	Access	Name	Description																													
[31:15]	RW	reserved	保留。																													
[14:12]	RW	mst_pri3_media	jpge 默认优先级。																													
[11]	RW	reserved	保留。																													
[10:8]	RW	mst_pri2_media	md 默认优先级。																													
[7]	RW	reserved	保留。																													
[6:4]	RW	mst_pri1_media	vedu 默认优先级。																													
[3]	RW	reserved	保留。																													
[2:0]	RW	mst_pri0_media	tde 默认优先级。																													

## periphctrl19

periphctrl19 为外设控制寄存器 19。



	Offset Address 0x007C								Register Name periphctrl19								Total Reset Value 0x0000_0007															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								ive_ctrl	jpgge_ctrl	md_ctrl	vedu_ctrl	tde_ctrl	vou_ctrl	vicapid1_ctrl	vicapid0_ctrl
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
	Bits	Access	Name		Description																											
	[31:8]	RW	reserved		保留。																											
	[7]	RW	ive_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[6]	RW	jpgge_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[5]	RW	md_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[4]	RW	vedu_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[3]	RW	tde_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[2]	RW	vou_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[1]	RW	vicapid1_ctrl		0: 不允许乱序; 1: 允许乱序。																											
	[0]	RW	vicapid0_ctrl		0: 不允许乱序; 1: 允许乱序。																											

## periphctrl20

periphctrl20 为 usb 控制寄存器。



Offset Address		Register Name		Total Reset Value																				
0x0080		periphctrl20		0x0003_33A8																				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																
Name	reserved				preamble_sel	ovr_merge_en	pwr_merge_en	usbovr_p_ctrl	usbpwr_p_ctrl	phy1_ovrcur_en	phy0_ovrcur_en	phy1_pwr_en	phy0_pwr_en	reserved	ss_ena_incr16_i	ss_ena_incr8_i	ss_ena_incr4_i	ss_ena_incrx_align_i	ss_autopwd_on_ovrcur_en_i	reserved	ulpi_bypass_en	app_start_clk_i	ohci_susp_lgcy_i	wordinterface
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 1 1	0 0 1 1	1 0 1 0	1 0 0 0																
Bits	Access	Name	Description																					
[31:21]	RW	reserved	保留。																					
[20]	RW	preamble_sel	全速信号前导包后全速空闲周期个数。 0: 全速信号前导包后有 5 个全速空闲周期; 1: 全速信号前导包后有 4 个全速空闲周期。																					
[19]	RW	ovr_merge_en	两个 port 共用同一个过流信号, 即 phy1_ovrcur_en 或 phy0_ovrcur_en 为 1 的端口的过流信号。 0: 不使能; 1: 使能。																					
[18]	RW	pwr_merge_en	只要有一个端口上电, phy1_pwr_en 和 phy0_pwr_en 就都使能。 0: 不使能; 1: 使能。																					
[17]	RW	usbovr_p_ctrl	过流保护极性控制。 0: 低电平有效; 1: 高电平有效。																					
[16]	RW	usbpwr_p_ctrl	电源使能极性控制。 0: 低电平有效; 1: 高电平有效。																					
[15]	RW	phy1_ovrcur_en	phy1 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。																					



[14]	RW	phy0_ovrcur_en	phy0 过流保护关闭控制。 0: 关闭过流保护; 1: 使能过流保护。
[13]	RW	phy1_pwr_en	phy1 电源关断控制。 0: 关掉电源; 1: 使能 controller 的电源输出。
[12]	RW	phy0_pwr_en	phy0 电源关断。 0: 关掉电源; 1: 使能 controller 的电源输出。
[11:10]	RW	reserved	保留。
[9]	RW	ss_ena_incr16_i	AHB burst16 使能信号。默认为 1。 0: 不使能; 1: 使能。
[8]	RW	ss_ena_incr8_i	AHB burst8 使能信号。默认为 1。 0: 不使能; 1: 使能。
[7]	RW	ss_ena_incr4_i	AHB burst4 使能信号。默认为 1。 0: 不使能; 1: 使能。
[6]	RW	ss_ena_incrx_align_i	burst 对齐使能信号。默认为 0。 0: 不使能; 1: 使能。
[5]	RW	ss_autoppd_on_ovrcur_en_i	过流时自动关断端口电源。默认为 1。 0: 不使能; 1: 使能。
[4]	RW	reserved	保留(ulpi mode16_en)。
[3]	RW	ulpi_bypass_en	ULPI 旁路控制, 必须设置为 1。 0: ULPI mode ; 1: utmi mode。
[2]	RW	app_start_clk_i	OHCI 时钟控制信号。默认为 0。 0: OHCI 正常工作; 1: 在挂起模式下打开 OHCI 时钟。
[1]	RW	ohci_susp_lgcy_i	OHCI 挂起的 strap 输入信号,默认为 0。



[0]	RW	wordinterface	UTMI 接口数据位宽选择信号。默认为 0。 0: 8bit; 1: 16bit。
-----	----	---------------	---

## periphctrl21

periphctrl21 为 usb phy 控制寄存器 0。

	Offset Address				Register Name								Total Reset Value																			
	0x0084				periphctrl21								0x001D_2188																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				siddq	commononn	phy0_txhsxvtune		phy0_sleepm	phy0_loopbackenb		phy0_compdistune		phy0_sqrxtune		phy0_txflstune		phy0_txpreemphasistune	rev0	phy0_txristune	phy0_txverftune											
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:23]	RW		reserved		保留。																											
[22]	RW		siddq		PHY 的模拟关断测试使能信号。 0: 不关断模拟电源; 1: 关断模拟电源。 默认为 0, BIST 测试的时候需要确保为 0。																											
[21]	RW		commononn		PHY 在 suspend 时, XO BIAS BANDGAP PLL 是否工作。默认为 0。 0: 任何时候, 包括 suspend 时, clk48m_ohci 输出有效; 1: 除了在 suspend 时, clk48m_ohci 输出有效。																											
[20:19]	RW		phy0_txhsxvtune		dp/dm 的 crossover 电压调节。默认为 3。 11: 缺省。 10: +15mV; 01: -15mV; 00: 保留。																											



[18]	RW	phy0_sleepm	端口 0 的 sleep 模式控制。 1: normal 模式; 0: sleep 模式。
[17]	RW	phy0_loopbackenb	PHY0 的环回测试(到 D+D-的环回)的使能信号, 缺省值为 0。 必须配置为 0。
[16:14]	RW	phy0_compdistune	PHY0 的 HOST disconect 门限电平调试信号。 111: +4.5%; 110: +3.0%; 101: +1.5%; 100: 缺省值; 010: -3%; 001: -4.5%; 000: -6%。 其它: 保留。
[13:11]	RW	phy0_sqrxtune	PHY0 的 squelch 电路调试信号。 111: -15%; 110: -10%; 101: -5%; 100: 缺省值; 011: +5%; 010: +10%; 001: +15%; 000: +20%。
[10:7]	RW	phy0_txflstune	PHY0 的 FS LS 阻抗调试信号。 1111: -5%; 0111: -2.5%; 0011: 缺省值; 0001: +2.5%; 0000: +5%; 其他: 保留。
[6]	RW	phy0_txpreemphasi stune	PHY0 的 HS 模式发送预加重使能信号。 1: 使能; 0: 不使能。默认为 0。
[5]	RW	rev0	保留。



[4]	RW	phy0_txrisetune	PHY0 的高速信号上升/下降时间调节。 1: -8%; 0: 缺省值。
[3:0]	RW	phy0_txverftune	PHY0 的 HS 模式下的 DC 电平调节。 1111: +8.75%; 1110: +7.5%; 1101: +6.25%; 1100: +5%; 1011: +3.7%; 1010: +2.5%; 1001: +1.25%; 1000: 缺省值; 0111: -1.25%; 0110: -2.5%; 0101: -3.75%; 0100: -5%; 0011: -6.25%; 0010: -7.5%; 0001: -8.75%; 0000: -10%。

## periphctrl22

periphctrl22 为 usb phy 控制寄存器 1。



Offset Address		Register Name		Total Reset Value										
0x0088		periphctrl22		0x001D_2188										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				phy1_txhsxvtune	phy1_sleepm	phy1_loopbackenb	phy1_compdistune	phy1_sqrxtune	phy1_txflstune	phy1_txpreemphasistune	rsv	phy1_txrisetune	phy1_txvrefune
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 0 1	0 0 1 0	0 0 0 1	1 0 0 0	1 0 0 0						
Bits	Access	Name	Description											
[31:21]	RW	reserved	保留。											
[20:19]	RW	phy1_txhsxvtune	dp/dm 的 crossover 电压调节。 默认为 3。 11: 缺省; 10: +15mV; 01: -15mV; 00: 保留。											
[18]	RW	phy1_sleepm	端口 1 的 sleep 模式控制。 1: normal 模式; 0: sleep 模式。											
[17]	RW	phy1_loopbackenb	PHY1 的环回测试(到 D+D-的环回)的使能信号。 缺省值为 0, 必须配置为 0。											
[16:14]	RW	phy1_compdistune	PHY1 的 HOSDISCONNECT 门限电平调试信号。 111: +4.5%; 110: +3.0% ; 101: +1.5% ; 100: 缺省值 ; 010: -3% ; 001: -4.5% ; 000: -6%; 其它: 保留。											



[13:11]	RW	phy1_sqrxtune	PHY1 的 squelch 电路调试信号。 111: -15%; 110: -10%; 101: -5% ; 100: 缺省值 ; 011: +5% ; 010: +10% ; 001: +15%; 000: +20%。
[10:7]	RW	phy1_txflstune	PHY1 的 FS LS 阻抗调试信号。 1111: -5%; 0111: -2.5%; 0011: 缺省值; 0001: +2.5%; 0000: +5%; 其他: 保留。
[6]	RW	phy1_txpreemphasis	PHY1 的 HS 模式发送预加重使能信号。 1: 使能; 0: 不使能, 默认值为 0。
[5]	RW	rsv	保留。
[4]	RW	phy1_txrisetune	PHY1 的高速信号上升/下降时间调节。 1: -8%; 0: 缺省值。



[3:0]	RW	phy1_txvrefune	PHY1 的 HS 模式下的 DC 电平调节。 1111: +8.75%; 1110: +7.5%; 1101: +6.25%; 1100: +5%; 1011: +3.7%; 1010: +2.5%; 1001: +1.25%; 1000: 缺省值; 0111: -1.25%; 0110: -2.5%; 0101: -3.75%; 0100: -5%; 0011: -6.25%; 0010: -7.5%; 0001: -8.75%; 0000: -10%。
-------	----	----------------	---

## sysstat

sysstat 为系统状态寄存器。

	Offset Address 0x008C				Register Name sysstat								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				a9_l2_idle	a9_smp_namp				a9_dflags0								a9_standbywfe	a9_standbywfi	a9_pmupriv	a9_secure	reserved	nf_ecc_type				nf_block_size	nf_addr_num	nf_page_size	jtag_sel	boot_mode	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:29]	RO		reserved		保留。																															
[28]	RO		a9_l2_idle		指示 L2 cache 活动状态。 0: 非 IDLE 状态; 1: IDLE 状态。																															



[27]	RO	a9_smp_namp	表明每个 Cortex-A9 processor 是均衡还是非均衡模式。 0: 非均衡; 1: 均衡。
[26:20]	RO	a9_dflags0	数据引擎输出标志。 bit[26]为 0; bit[25]为 FPSCR[7]值; bit[24:20]为 FPSCR[4; 0]值。
[19]	RO	a9_standbywfe	表明 Cortex-A9 processor 是否在 WFE 状态。 0: 不在 WFE 状态; 1: 处在 WFE 状态。
[18]	RO	a9_standbywfi	表明 Cortex-A9 processor 是否在 WFI 状态。 0: 不在 WFI 状态; 1: 处在 WFI 状态。
[17]	RO	a9_pmupriv	指示 Cortex-A9 processor 状况。 0: 处于 user 模式; 1: 处于 privileged 模式。
[16]	RO	a9_secure	指示 Cortex-A9 processor 安全状况。 0: 处于 Non-secure 状态; 1: 处于 Secure 状态。
[15]	RO	reserved	保留。
[14:12]	RO	nf_ecc_type	boot 时, 选择的 Nand Flash ECC 模式。 000: 无 ECC; 001: 1bit 模式; 010: 4byte 模式; 011: 8byte 模式; 100: 24bit 模式(1KB); 101: 24bit 模式(512bit); 其他: 保留。
[11]	RO	nf_block_size	boot 时, Nand Flash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件。
[10]	RO	nf_addr_num	发给 NANDFlash 器件的地址数目, 只在上电的瞬间有效。 0: 4 个; 1: 5 个。



[9:8]	RO	mf_page_size	boot 时, Nand Flash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
[7:6]	RO	jtag_sel	芯片选定的 debug 模式。 00: debug A9; 10: 保留; 01: debug pcie phy; 11: 保留。
[5:4]	RO	boot_mode	芯片选定的启动模式。 00: 从 SPI Flash 启动; 01: 从 Nand Flash 启动; 1X: 从 DDR 启动。
[3:0]	RO	reserved	保留。

## periphctrl23

periphctrl23 为 PCIe Controller 控制寄存器 0。

(选择控制器工作模式: RC/EP)

	Offset Address								Register Name								Total Reset Value															
	0x0090								periphctrl23								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie0_slv_device_type				pcie0_slv_resp_err_map				pcie0_slv_awmisc_info																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:28]	RW		pcie0_slv_device_type		PCIe0(X1)控制器的类型。 0000: PCI Express EP 设备; 0001: Legacy PCI Express 设备; 0100: PCI Express RC 设备; 其他: 保留。																											



[27:22]	RW	pcie0_slv_resp_err_map	PCI Express AXI slave 端口错误映射。 控制从 PCIe 完成事务（CPL）错误到 AXI 总线的错误映射关系，共有 6bit，其中每一比特对应一种 PCIe 完成事务（CPL）错误，当对应的位设置为 1 时即将此位对应的 PCIe CPL 错误映射至 AXI 总线的 SLVERR 错误，否则转换为 DECERR。
[21:0]	RW	pcie0_slv_awmisc_info	AXI Slave 写请求的附加信息。

## periphctrl24

periphctrl24 为 PCIe Controller 控制寄存器 1。

	Offset Address				Register Name				Total Reset Value																							
	0x0094				periphctrl24				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie0_ven_msg_code				pcie0_app_clk_req_n		pcie0_common_clocks		pcie0_slv_armisc_info																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		pcie0_ven_msg_code		Vendor 定义的 Message TLP 的 Message Core。																											
[23]	RW		pcie0_app_clk_req_n		应用层时钟请求。 0: 申请时钟; 1: 不申请时钟。																											
[22]	RW		pcie0_common_clocks		表明远端的发送和近端的接收之间是否为 OPPM。 0: 不是; 1: 是。																											
[21:0]	RW		pcie0_slv_armisc_info		AXI Slave 读请求的附加信息。																											



## periphctrl25

periphctrl25 为 PCIe Controller 控制寄存器 2。

Offset Address		Register Name		Total Reset Value																												
0x0098		periphctrl25		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pcie0_ven_msi_venctor				pcie0_ven_msi_req	pcie0_mstr_rmisc_info								pcie0_mstr_bmisc_info																		
Reset	0 0 0 0				0 0	0 0 0 0								0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0						
Bits	Access	Name		Description																												
[31:27]	RW	pcie0_ven_msi_venctor		当多 Message 模式使能的时候，用来调整 MSI 数据寄存器的最低 5bits。																												
[26]	RW	pcie0_ven_msi_req		表明应用层是否请求发送 MSI。 0: 无请求； 1: 请求。																												
[25:14]	RW	pcie0_mstr_rmisc_info		AXI Master 读响应的附加信息。																												
[13:0]	RW	pcie0_mstr_bmisc_info		AXI Master 写响应的附加信息。																												

## periphctrl26

periphctrl26 为 PCIe Controller 控制寄存器 3。

(Vendor Message 相关)



Offset Address		Register Name		Total Reset Value					
0x009C		periphctrl26		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	pcie0_ven_msg_tag	pcie0_ven_msg_len	pcie0_ven_msg_attr	pcie0_ven_msg_ep	pcie0_ven_msg_td	pcie0_ven_msg_type	pcie0_ven_msg_fmt	pcie0_ven_msg_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留，读反馈 0，写无效。						
[29:22]	RW	pcie0_ven_msg_tag	厂商定义的消息 TLP 的 Tag 域。						
[21:12]	RW	pcie0_ven_msg_len	厂商定义的消息 TLP 的 Length 域。						
[11:10]	RW	pcie0_ven_msg_attr	厂商定义的消息 TLP 的 Attributes 域。						
[9]	RW	pcie0_ven_msg_ep	厂商定义的消息 TLP 的 EP 域。						
[8]	RW	pcie0_ven_msg_td	厂商定义的消息 TLP 的 Digest bit 域。						
[7:3]	RW	pcie0_ven_msg_type	厂商定义的消息 TLP 的 Type bit 域。						
[2:1]	RW	pcie0_ven_msg_fmt	厂商定义的消息 TLP 的 Format bit 域。						
[0]	RW	pcie0_ven_msg_req	表明应用层请求发送一个厂商定义的消息。 0: 不请求; 1: 请求。						

## periphctrl27

periphctrl27 为 PCIe Controller 控制寄存器 4。

(Vendor Message 相关)



Offset Address		Register Name		Total Reset Value				
0x00A0		periphctrl27		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pice0_ven_msg_data_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	pice0_ven_msg_data_low	Vendor 定义的 Message TLP 的 Message 数据的低 32bit。					

## periphctrl28

periphctrl28 为 PCIe Controller 控制寄存器 5。

(Vendor Message 相关)

Offset Address		Register Name		Total Reset Value				
0x00A4		periphctrl28		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pice0_ven_msg_data_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	pice0_ven_msg_data_high	Vendor 定义的 Message TLP 的 Message 数据的高 32bit。					

## periphctrl29

periphctrl29 为 PCIe Controller 控制寄存器 6。

(用于控制热插拔指示灯的闪烁周期)

Offset Address		Register Name		Total Reset Value				
0x00A8		periphctrl29		0x0400_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	slot_led_blink_period							
Reset	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	slot_led_blink_period	Slot 状态指示 LED 闪烁周期控制。 LED 灯闪烁周期 = 该寄存器的值 × Period_of_pcie_clk(8ns)。					



## periphctrl30

periphctrl30 为 PCIe Controller 控制寄存器 7。

Offset Address		Register Name		Total Reset Value																					
0x00AC		periphctrl30		0x0000_0800																					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																	
Name	reserved				pcie0_cfg_l2_clk_removal_en	reserved	pcie0_sys_cmd_cpld_int	pcie0_sys_pre_det_chged	pcie0_sys_mrl_sensor_chged	pcie0_sys_pwr_fault_det	pcie0_sys_mrl_sensor_state	pcie0_sys_pre_det_state	pcie0_cfg_pwr_ctrler_ctrl_pol	pcie0_app_l1ssm_enable	pcie0_sys_aux_pwr_det	pcie0_apps_pm_xmt_pme	pcie0_apps_pm_xmt_turnoff	pcie0_app_unlock_msg	pcie0_outband_pwrup_cmd	pcie0_sys_int	pcie0_app_req_retry_en	pcie0_app_req_exit_l1	pcie0_app_ready_entr_l23	pcie0_app_req_entr_l1	pcie0_app_init_rst
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description																						
[31:21]	RO	reserved	保留，读反馈 0，写无效。																						
[20]	RW	pcie0_cfg_l2_clk_removal_en	表明在 L1 状态是否使能移除参考时钟。 0：禁止； 1：使能；																						
[19]	RW	reserved	保留。																						
[18]	RW	pcie0_sys_cmd_cpld_int	命令完成中断。表明 Hot-Plug 控制器完成一个命令。 0：中断无效； 1：中断有效。																						
[17]	RW	pcie0_sys_pre_det_chged	表明卡状态已经改变。 0：未改变； 1：改变。																						
[16]	RW	pcie0_sys_mrl_sensor_chged	表明 MRL sensor 的状态是否改变。 0：未改变； 1：改变。																						
[15]	RW	pcie0_sys_pwr_fault_det	表明电源控制器在插槽中侦测到电源故障。 0：未侦测到； 1：侦测到。																						



[14]	RW	pcie0_sys_mrl_sensor_state	MRL 传感器状态.表明 PCI Express 插槽锁扣传感器当前状态。 0: PCI Express 卡槽锁扣已扣上; 1: PCI Express 卡槽锁扣已松开。
[13]	RW	pcie0_sys_pre_det_state	卡存在检测状态。表明 PCI Express 卡槽里是否插入了卡。 0: PCI Express 卡槽无卡; 1: PCI Express 卡槽有卡。
[12]	RW	pcie0_cfg_pwr_ctrler_ctrl_pol	Socket 电源控制极性控制。 0: 低有效; 1: 高有效。
[11]	RW	pcie0_app_ltssm_enable	应用层需要在复位保持 LTSSM 在侦测状态, 驱动这个信号为 0, 直到应用层准备好。
[10]	RW	pcie0_sys_aux_pwr_det	辅助电源侦测, 表明是否存在辅助电源。 0: 不存在; 1: 存在。
[9]	RW	pcie0_apps_pm_xmt_pme	表明应用逻辑将 Core 从低功耗状态唤醒。 0: 无效; 1: 有效。
[8]	RW	pcie0_apps_pm_xmt_turnoff	PCI Express PM_TRUN_OFF 消息请求。表明 PCI Express 应用层请求产生一个 PM_TURN_OFF 消息请求。 0: 无效; 1: 有效。
[7]	RW	pcie0_app_unlock_msg	应用层请求产生一个 Unlock 消息。有效一个 cycle, Core 不会反馈确认信息。 0: 无效; 1: 有效。
[6]	RW	pcie0_outband_pwrup_cmd	应用层用来将 PMC 状态机从低功耗状态唤醒; 需要有效一个时钟周期。 0: 无效; 1: 有效。
[5]	RW	pcie0_sys_int	当 sys_int 从低变高的时候, Core 产生一个 Assert_INTx 消息。当 sys_int 从高变低的时候, Core 产生一个 Deassert_INTx 消息。
[4]	RW	pcie0_app_req_retr_y_en	当这个信号有效, Core 完成输入配置请求。 0: 无效; 1: 有效。



[3]	RW	pcie0_app_req_exit_11	PCIe0(X1)控制器。 应用层请求退出 L1 状态。 0: 无效; 1: 有效。
[2]	RW	pcie0_app_ready_entr_123	应用层准备进入 L2/L3 状态。 0: 无效; 1: 有效。
[1]	RW	pcie0_app_req_entr_11	应用层请求进入 L1 状态。 0: 无效; 1: 有效。
[0]	RW	pcie0_app_init_rst	应用层请求发送一个 Hot Reset 给下游端口设备。 0: 无效; 1: 有效。

## periphctrl31

periphctrl31 为 PCIe PHY 控制寄存器 0。

	Offset Address				Register Name								Total Reset Value																							
	0x00B0				periphctrl31								0x0560_5000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				mpll_ncy				mppll_ncy5		mppll_prescale		mppll_ss_en		mppll_ss_sel		cko_alive_con		los_lvl				ref_clk_sel				rtune_do_tune		use_refclk_alt							
Reset	0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:29]	RO		reserved		保留，读反馈 0，写无效。																															
[28:24]	RW		mppll_ncy		PHY 内部 MPLL 工作参数，需要和 mppll_ncy5 配合使用，表示使用的倍频值。																															
[23:22]	RW		mppll_ncy5		PHY 内部 MPLL 工作参数，需要和 mppll_ncy 配合使用，表示使用的倍频值。																															



[21:20]	RW	mppll_prescale	当参考时钟改变时，此值需要随之改变。 00: 直接使用参考时钟; 01: 将参考时钟两倍频; 10: 将参考时钟二分频; 11: 保留。
[19]	RW	mppll_ss_en	扩频功能使能。 0: 禁止; 1: 使能。 如果参考时钟已经经过扩频处理，此处必须设置为 0。一般只对 SATA PHY 有效。
[18:17]	RW	mppll_ss_sel	扩频选择。 保留，必须设置为 0。
[16:15]	RW	cko_alive_con	cko_alive 输出信号选择。 00: 无效; 01: 保持 prescaler 的频率输出; 10: 输出低频，为 prescaler/16; 11: 保留。
[14:10]	RW	los_lvl	LOS 信号侦测电平控制，建议配置为 10100。
[9:2]	RW	ref_clk_sel	参考时钟频率选择。对 MPLL 输出的时钟设置一个固定的 ppm 移相: 0x00: 没有移相 (缺省); 0x01~0xFF: 保留。
[1]	RW	rtune_do_tune	电阻调节使能信号。 0: 不进行校准; 1: 重新对电阻进行校准。
[0]	RW	use_refclk_alt	PHY 参考时钟选择信号。 0: 使用 refclk 这组差分信号作为参考时钟; 1: 使用 refclk_alt 这组差分信号作为参考时钟。

## periphctrl32

periphctrl32 为 PCIe PHY 控制寄存器 1。



		Offset Address 0x00B4				Register Name periphctrl32								Total Reset Value 0x2005_0006																															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
Name		reserved				rx_eq_val_0				reserved				tx_atten_0				reserved				tx_boost_0				reserved				tx_clk_align				tx_edgerate_0				reserved				tx_lvl			
Reset		0 0 1 0				0 0 0 0				0 0 0 0				0 1 0 1				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 1 1 0											
Bits	Access	Name		Description																																									
[31]	RO	reserved		保留，读反馈 0，写无效。																																									
[30:28]	RW	rx_eq_val_0		接收均衡控制。表示内部的均衡值为- (rx_eq_val + 1) × 0.5dB。																																									
[27:25]	RW	reserved		保留。																																									
[24:22]	RW	tx_atten_0		PCI Express PHY 发送衰减控制。 000: 16/16; 001: 14/16; 010: 12/16; 011: 10/16; 100: 9/16; 101: 8/16; 11X: 保留。																																									
[21:19]	RW	reserved		保留。																																									
[18:15]	RW	tx_boost_0		PCI Express PHY 发送 boost 控制。值为-20log(1-(tx_boost[3:0]+ 0.5)/32)dB。																																									
[14:11]	RW	reserved		保留。																																									
[10:9]	RW	tx_clk_align		PCI Express PHY 发送时钟对齐。 0: 不对齐; 1: 对齐。																																									
[8:7]	RW	tx_edgerate_0		PCI Express PHYlane0 发送信号时钟延控制控制。 00: 普通; 其他: 保留。																																									
[6:5]	RW	reserved		保留。																																									
[4:0]	RW	tx_lvl		发送电平参数，建议设置为 00110。																																									



## periphctrl33

periphctrl33 为 AUDIO\_CODEC\_CTRL0 控制寄存器。

		Offset Address 0x00B8								Register Name periphctrl33								Total Reset Value 0xFCCC_0000																			
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name		pd_adcl	pd_adcr	pd_dacl	pd_dacr	pd_micbias	pd_vref	fstarup	analog_loop	mute_dacl	mute_dacr	popfreel	popfreer	mute_micl	mute_micr	melk_ana_sel	dacclk_sel	mixer_micl				gain_micl				adc_vref_sel1	mixer_micr			gain_micr				adc_vref_sel2			
Reset		1	1	1	1	1	1	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																																	
[31]	WO	pd_adcl		左声道 ADC 下电控制信号。 0: ADCL 数字模拟正常工作; 1: ADCL 数字模拟 power down。																																	
[30]	WO	pd_adcr		右声道 ADC 下电控制信号。 0: ADCR 数字模拟正常工作; 1: ADCR 数字模拟 power down。																																	
[29]	WO	pd_dacl		左声道 DAC 下电控制信号。 0: DAACL 数字模拟正常工作; 1: DAACL 数字模拟 power down。																																	
[28]	WO	pd_dacr		右声道 DAC 下电控制信号。 0: DACR 数字模拟正常工作; 1: DACR 数字模拟 power down。																																	
[27]	WO	pd_micbias		MICBIAS 下电控制信号。 0: MICBIAS 正常工作; 1: MICBIAS power down。																																	
[26]	WO	pd_vref		参考电压下电控制信号。 0: 参考电压正常工作; 1: 参考电压 power down。																																	
[25]	WO	fstarup		参考电压快速上电控制信号。 0: 参考电压正常上电; 1: 参考电压快速上电 (0.1s)。																																	



[24]	WO	analog_loop	模拟环回控制信号。 0: 正常模式; 1: 模拟环回模式。
[23]	WO	mute_dacl	左声道 DAC 模拟 mute 控制。 0: 左声道 DAC 正常工作; 1: 左声道 DAC mute。
[22]	WO	mute_dacr	右声道 DAC 模拟 mute 控制。 0: 右声道 DAC 正常工作; 1: 右声道 DAC mute。
[21]	WO	popfreel	左声道 DAC 去 pop 音控制信号。 0: 去 pop 音功能关闭; 1: 开启去 pop 音功能, 当参考电压上电, 其它通路都不开通时, 进入超低功耗模式, 将 DAcl 输出充电到 AVDD/2。
[20]	WO	popfreer	右声道 DAC 去 pop 音控制信号。 0: 去 pop 音功能关闭; 1: 开启去 pop 音功能, 当参考电压上电, 其它通路都不开通时, 进入超低功耗模式, 将 DACR 输出充电到 AVDD/2。
[19]	WO	mute_micl	左声道 MIC mute 控制。 0: 左声道 MIC 正常工作; 1: 左声道 MIC mute。
[18]	WO	mute_micr	右声道 MIC mute 控制。 0: 右声道 MIC 正常工作; 1: 右声道 MIC mute。
[17]	WO	mclk_ana_sel	MCLK_ANA 时钟沿选择控制信号。 0: 与数字的 MCLK 同沿; 1: 与数字的 MCLK 反沿。
[16]	WO	dacclk_sel	CLK_DAC 的时钟沿控制信号。 0: 与 CLK_ADC 同沿; 1: 与 CLK_ADC 反沿。
[15:14]	WO	mixer_micl	左声道 MICPGA 混音控制信号。 00: 等效于 MICPGA mute; 01: 打开 LINEINL 输入信号; 10: 打开 MICINL 输入信号。



[13:9]	WO	gain_micl	左声道 MICPGA 增益控制信号。 0x00: 6dB; 0x01: 7dB; 0x06: 8dB; ... 0x1F: 37dB。
[8]	WO	adc_vref_sel1	adcl 参考电压测试控制信号。 0: 1 倍参考电压正常条件（默认值）; 1: 0.9 倍参考电压。
[7:6]	WO	mixer_micr	右声道 MICPGA 混音控制信号。 00: 等效于 MICPGA mute; 01: 打开 LINEINR 输入信号; 10: 打开 MICINR 输入信号。
[5:1]	WO	gain_micr	右声道 MICPGA 增益控制信号。 0x00: 6dB; 0x01: 7dB; 0x06: 8dB; ... 0x1F: 37dB。
[0]	WO	adc_vref_sel2	adcr 参考电压测试控制信号。 0: 1 倍参考电压正常条件（默认值）; 1: 0.9 倍参考电压。

## periphctrl34

periphctrl34 为 AUDIO\_CODEC\_CTRL1 控制寄存器。



		Offset Address 0x00BC								Register Name periphctrl34								Total Reset Value 0x00F3_DE75															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		dacl_rst_n	dacr_rst_n	adcl_rst_n	adcr_rst_n	dacl_en	dacr_en	adcl_en	adcr_en	i2sl_data_bits	reserved			dig_bypass	dig_loop	i2sl_fs_sel				reserved				ibadj_vrefbf	ibadj_micbias	ibadj_micpga	ibadj_dac		ibadj_adc				
Reset		0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	1	1	0	1	1	1	1	0	0	1	1	1	0	1	0	1
Bits	Access	Name		Description																													
[31]	WO	dacl_rst_n		dacl 复位信号。 0: 复位有效; 1: 复位无效。																													
[30]	WO	dacr_rst_n		dacr 复位信号。 0: 复位有效; 1: 复位无效。																													
[29]	WO	adcl_rst_n		adcl 复位信号。 0: 复位有效; 1: 复位无效。																													
[28]	WO	adcr_rst_n		adcr 复位信号。 0: 复位有效; 1: 复位无效。																													
[27]	WO	dacl_en		dacl 使能信号。 0: 不使能; 1: 使能。																													
[26]	WO	dacr_en		dacr 使能信号。 0: 不使能; 1: 使能。																													
[25]	WO	adcl_en		adcl 使能信号。 0: 不使能; 1: 使能。																													
[24]	WO	adcr_en		adcr 使能信号。 0: 不使能; 1: 使能。																													



[23:22]	WO	i2s1_data_bits	i2s1 数据接口宽度。 00: 16bit; 01: 18bit; 10: 20bit; 11: 24bit。
[21:20]	WO	reserved	保留。
[19]	WO	dig_bypass	数字部分 bypass 位，用于模拟测试模式。 0: 数字部分正常工作; 1: 数字部分 bypass。
[18]	WO	dig_loop	数字环回控制信号。 0: 数字环回无效; 1: 数字环回有效。
[17:13]	WO	i2s1_fs_sel	i2s1 采样率选择。 00000: 8kHz, 16.896MHz mclk; 00001: 16kHz, 16.896MHz mclk; 00010: 32kHz, 16.896MHz mclk; 00011: 64kHz, 16.896MHz mclk; 001xx: 128kHz, 16.896MHz mclk; 01000: 11kHz, 16.896MHz mclk; 01001: 22kHz, 16.896MHz mclk; 01010: 44kHz, 16.896MHz mclk; 01011: 88kHz, 16.896MHz mclk; 011xx: 176kHz, 16.896MHz mclk; 10000: 12kHz, 16.896MHz mclk; 10001: 24kHz, 16.896MHz mclk; 10010: 48kHz, 16.896MHz mclk; 10011: 96kHz, 16.896MHz mclk; 101xx: 192kHz, 16.896MHz mclk; 11000: mclk/1024; 11001: mclk/512; 11010: mclk/256; 11011: mclk/128; 111xx: mclk/64。
[12:8]	WO	reserved	保留。



[7:6]	WO	ibadj_vrefbf	VRBFCMSC、VRBFADCL、VRBFADCR、VRBFDACL、VRBFDACR、FILTERL 和 FILTERR 等的偏置电流控制信号。 00: 3uA; 01: 5uA; 10: 7uA; 11: 10uA。
[5]	WO	ibadj_micbias	MICBIAS 偏置电流控制信号。 0: 5uA（推荐值）; 1: 10uA。
[4]	WO	ibadj_micpga	MICPGA 偏置电流控制信号。 0: 5uA（推荐值）; 1: 10uA。
[3:2]	WO	ibadj_dac	dac 偏置电流控制信号。 00: 3uA; 01: 5uA; 10: 7uA; 11: 10uA。
[1:0]	WO	ibadj_adc	adc 偏置电流控制信号。 00: 3uA; 01: 5uA; 10: 7uA; 11: 10uA。

## periphctrl35

periphctrl35 为 AUDIO\_CODEC\_CTRL2 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00C0		periphctrl35		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	smutel	smuter	sunmutel	sunmuter	dacvu	mutel_rate	muter_rate		dac1_deemph	dacr_deemph	reserved																dac1_i2ssel	dac1_l1ssel	dacr_i2ssel	dacr_l1ssel		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31]	WO	smutel	dac1 soft mute 控制位。 0: 关闭 soft mute; 1: 开启 soft mute。																													
[30]	WO	smuter	dacr soft mute 控制位。 0: 关闭 soft mute; 1: 开启 soft mute。																													
[29]	WO	sunmutel	dac1 soft unmute 控制位。 0: 关闭 soft unmute; 1: 开启 soft unmute。																													
[28]	WO	sunmuter	dacr soft unmute 控制位。 0: 关闭 soft unmute; 1: 开启 soft unmute。																													
[27]	WO	dacvu	dac volume update 控制位。 0: 不更新音量; 1: 更新音量。																													
[26:25]	WO	mutel_rate	dac1 soft mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。																													
[24:23]	WO	muter_rate	dacr soft mute 速率控制位。 00: fs/2; 01: fs/8; 10: fs/32; 11: fs/64。																													



[22:21]	WO	dac1_deemph	dac1 de-emphasis 控制信号。 00: none; 01: 32kHz; 10: 44kHz; 11: 48kHz。
[20:19]	WO	dacr_deemph	dacr de-emphasis 控制信号。 00: none; 01: 32kHz; 10: 44kHz; 11: 48kHz。
[18:4]	WO	reserved	reserved。
[3]	WO	dac1_i2ssel	dac1 i2s 接口选择。 0: 选择 i2s1; 1: 选择 i2s2。
[2]	WO	dac1_lrsl	dac1 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。
[1]	WO	dacr_i2ssel	dacr i2s 接口选择。 0: 选择 i2s1; 1: 选择 i2s2。
[0]	WO	dacr_lrsl	dacr 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。

## periphctrl36

periphctrl36 为 AUDIO\_CODEC\_CTRL3 控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00C4		periphctrl36		0x0606_2424																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dacl_mute		dacl_vol				dacr_mute		dacr_vol				dacr2dacl_en				dacr2dacl_vol				dacr2dacr_en		dacr2dacr_vol									
Reset	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0
Bits	Access	Name	Description																													
[31]	RW	dacl_mute	dacl mute 控制。 0: 正常工作; 1: 静音。																													
[30:24]	WO	dacl_vol	dacl 音量控制。 0x00: 6dB; 0x01: 5dB; 0x02: 4dB; ... 0x7E: -120dB; 0x7F: mute。																													
[23]	WO	dacr_mute	dacr mute 控制。 0: 正常工作; 1: 静音。																													
[22:16]	WO	dacr_vol	dacr 音量控制。 0x00: 6dB; 0x01: 5dB; 0x02: 4dB; ... 0x7E: -120dB; 0x7F: mute。																													
[15]	WO	dacr2dacl_en	dacr2dacl mixer 控制信号。 0: 关闭; 1: 打开。																													



[14:8]	WO	dacr2dacl_vol	dacr to dacl 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。
[7]		dacl2dacr_en	dacl2dacr mixer 控制信号。 0: 关闭; 1: 打开。
[6:0]	WO	dacl2dacr_vol	dacl to dacr 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。

## periphctrl37

periphctrl37 为 AUDIO\_CODEC\_CTRL4 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00C8	periphctrl37	0x1E1E_0001
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	adcl_mute	adcl_vol	adcr_mute
			adcr_vol
			adcl_hpf_en
			adcr_hpf_en
			reserved
			adcl_i2ssel
			adcl_lrsl
			adcr_i2ssel
			adcr_lrsl
Reset	0 0 0 1	1 1 1 0	0 0 0 1
			1 1 1 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 1
Bits	Access	Name	Description
[31]	WO	adcl_mute	adcl mute 控制位。 0: adcl unmute; 1: adcl mute。



[30:24]	WO	adcl_vol	adcl 音量控制位。 00: 30dB; 01: 29dB; 02: 28dB; ... 7E: -96dB; 7F: -97dB。
[23]	WO	adcr_mute	adcr mute 控制位。 0: adcr unmute; 1: adcr mute。
[22:16]	WO	adcr_vol	adcr 音量控制位。 00: 30dB; 01: 29dB; 02: 28dB; ... 7E: -96dB; 7F: -97dB。
[15]	WO	adcl_hpf_en	adc 左声道高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。
[14]	WO	adcr_hpf_en	adc 右声道高通滤波器使能控制。 0: 关闭高通滤波器; 1: 使能高通滤波器。
[13:4]	WO	reserved	reserved。
[3]	WO	adcl_i2ssel	adc i2s 接口选择（高优先级）。 0: 选择 i2s1; 1: 选择 i2s2。
[2]	WO	adcl_lrsel	adcl 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。
[1]	WO	adcr_i2ssel	adcr i2s 接口选择（低优先级）。 0: 选择 i2s1; 1: 选择 i2s2。



[0]	WO	adcr_lrsel	adcr 左右声道数据选择。 0: 选择左声道; 1: 选择右声道。
-----	----	------------	--

## periphctrl38

periphctrl38 为 AUDIO\_CODEC\_CTRL5 控制寄存器。

	Offset Address 0x00CC				Register Name periphctrl38				Total Reset Value 0x2424_2424																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	adcl2dacl_en				adcl2dacl_vol				adcr2dacl_en				adcr2dacl_vol				adcl2dacr_en				adcl2dacr_vol				adcr2dacr_en				adcr2dacr_vol			
Reset	0 0 1 0				0 0 1 0 0				0 0 1 0				0 1 0 0				0 0 1 0				0 1 0 0				0 0 1 0				0 1 0 0			
Bits	Access				Name				Description																							
[31]	WO				adcl2dacl_en				adcl2dacl mixer 控制信号。 0: 关闭; 1: 打开。																							
[30:24]	WO				adcl2dacl_vol				adcl to dacl 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。																							
[23]	WO				adcr2dacl_en				adcr2dacl mixer 控制信号。 0: 关闭; 1: 打开。																							



[22:16]	WO	adcr2dacl_vol	adcr to dacl 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。
[15]	WO	adcl2dacr_en	adcl2dacr mixer 控制信号。 0: 关闭; 1: 打开。
[14:8]	WO	adcl2dacr_vol	adcl to dacr 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。
[7]	WO	adcr2dacr_en	adcr2dacr mixer 控制信号。 0: 关闭; 1: 打开。
[6:0]	WO	adcr2dacr_vol	adcr to dacr 音量控制位。 00: 36dB; 01: 35dB; 02: 34dB; ... 7E: -90dB; 7F: -91dB。

## periphctrl39

periphctrl39 为 PCIe 控制器状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00D0		periphctrl39		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved			pcie0_ref_clk_req_n	pcie0_pm_status	pcie0_hp_msi	pcie0_hp_int	pcie0_hp_pme	reserved	pcie0_wake	pcie0_xmlh_link_up	pcie0_cfg_sys_err_rc	pcie0_cfg_aer_int_msg_num		pcie0_cfg_aer_rc_err_msi	pcie0_cfg_aer_rc_err_int	pcie0_pm_curmt_state			pcie0_rdlh_link_up	pcie0_cfg_reb	pcie0_cfg_mem_space_en	pcie0_pm_xtlh_block_tlp	pcie0_cfg_pwr_ctrler_ctrl	pcie0_cfg_atten_ind		pcie0_cfg_pwr_ind		reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name	Description																													
[31:30]	RO	reserved	保留，读反馈 0，写无效。																													
[29]	RO	pcie0_ref_clk_req_n	PCI Express 参考时钟移除请求信号状态。 0: 有效; 1: 无效。																													
[28]	RO	pcie0_pm_status	PCI Express 控制器 PME 状态。 0: 无效; 1: 有效。																													
[27]	RO	pcie0_hp_msi	PCI Express 热插拔消息中断。 0: 无效; 1: 有效。																													
[26]	RO	pcie0_hp_int	PCI Express 热插拔中断。 0: 无效; 1: 有效。																													
[25]	RO	pcie0_hp_pme	PCI Express 电源管理事件中断。 0: 无效; 1: 有效。																													
[24]	RO	reserved	保留。																													
[23]	RO	pcie0_wake	PCI Express Wake 信号。																													



[22]	RO	pcie0_xmlh_link_up	PCI Express PHY 连接状态指示。 0: 连接已断开; 1: 连接已建立。
[21]	RO	pcie0_cfg_sys_err_rc	表明侦测到系统错误。 0: 无效; 1: 有效。
[20:16]	RO	pcie0_cfg_aer_int_msg_num	PCI Express 控制器高级错误中断消息数量。
[15]	RO	pcie0_cfg_aer_rc_err_msi	PCI Express RC 高级错误消息中断。 0: 无效; 1: 有效。
[14]	RO	pcie0_cfg_aer_rc_err_int	PCI Express RC 高级错误中断。 0: 无效; 1: 有效。
[13:11]	RO	pcie0_pm_currt_state	PCI Express 控制器当前的电源状态。
[10]	RO	pcie0_rdlh_link_up	PCI Express 控制器数据链路层(DLLP)连接状态指示。 0: 连接已断开; 1: 连接已建立。
[9]	RO	pcie0_cfg_rcb	PCI Express 控制器 Link 控制寄存器中的 RCB bit 位状态。 0: 无效; 1: 有效。
[8]	RO	pcie0_cfg_mem_space_en	PCI Express 控制器 PCI 兼容命令寄存器中的 Memory Space Enable 位的状态。 0: 无效; 1: 有效。
[7]	RO	pcie0_pm_xtlh_block_tlp	表明通知 PCI Express 控制器应用层停止发送新请求。 0: 无效; 1: 有效。
[6]	RO	pcie0_cfg_pwr_ctrler_ctrl	PCI Express 控制器插槽电源控制位状态(Slot Control Register 中的第 10 位)。 0: 电源开; 1: 电源关。



[5:4]	RO	pcie0_cfg_attn_ind	PCI Express 控制器插槽警告指示位状态(Slot Control Register 中的第 7~6 位)。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[3:2]	RO	pcie0_cfg_pwr_ind	PCI Express 控制器插槽电源指示位状态(Slot Control Register 中的第 9~8 位)。 00: 保留; 01: 开; 10: 闪烁; 11: 关。
[1:0]	RO	reserved	保留。

## SC\_SYSID0

SC\_SYSID0 为芯片 ID 寄存器 0。

	Offset Address			Register Name			Total Reset Value		
	0xEE0			SCSYSID0			0x00		
Bit	7	6	5	4	3	2	1	0	
Name	sysid0								
Reset	0	0	0	0	0	0	0	0	
	Bits	Access	Name	Description					
	[7:0]	RO	sysid0	读该寄存器返回 0x00。					

## SC\_SYSID1

SC\_SYSID1 为芯片 ID 寄存器 1。



	Offset Address			Register Name			Total Reset Value		
	0xEE4			SCSYSID1			0x01		
Bit	7	6	5	4	3	2	1	0	
Name	sysid1								
Reset	0	0	0	0	0	0	0	1	
Bits	Access	Name	Description						
[7:0]	RO	sysid1	读该寄存器返回 0x01。						

## SC\_SYSID2

SC\_SYSID2 为芯片 ID 寄存器 2。

	Offset Address			Register Name			Total Reset Value		
	0xEE8			SCSYSID2			0x20		
Bit	7	6	5	4	3	2	1	0	
Name	sysid2								
Reset	0	0	1	0	0	0	0	0	
Bits	Access	Name	Description						
[7:0]	RO	sysid2	读该寄存器返回 0x16。						

## SC\_SYSID3

SC\_SYSID3 为芯片 ID 寄存器 3。

	Offset Address			Register Name			Total Reset Value		
	0xEEC			SCSYSID3			0x35		
Bit	7	6	5	4	3	2	1	0	
Name	sysid3								
Reset	0	0	1	1	0	1	0	1	
Bits	Access	Name	Description						
[7:0]	RO	sysid3	读该寄存器返回 0x35。						



## 3.5 直接存储器访问控制器

### 3.5.1 概述

直接存储器访问（DMA）方式，是一种完全由硬件执行 I/O 交换的工作方式。在这种方式中，直接存储器访问控制器（DMAC）直接在存储器和外设、外设和外设、存储器和存储器之间进行数据传输，避免处理器干涉并减少了处理器中断处理开销。DMA（Directory Memory Access）方式一般用于高速传输成组的数据。DMAC（Directory Memory Access Controller）在收到 DMA 传输请求后根据 CPU 对通道的配置启动总线主控制器，向存储器和外设发出地址和控制信号，对传输数据的个数计数，并且以中断方式向 CPU 报告传输操作的结束或错误。

### 3.5.2 特点

DMA 控制器有如下特点：

- 支持 8bit、16bit、32bit 数据位宽方式传输。
- 提供 8 个 DMA 通道，每个通道可配置用于一种单向传输。
- DMA 通道优先级固定，优先级从高到低对应的通道号依次为 0~7。当来自 2 个外设的 DMA 请求同时有效时，优先级高的通道先开始传输。
- DMAC 通道 0~通道 5 中各包含 1 个 4×32bit 的 FIFO，DMAC 通道 6~7 中各包含 1 个 16×32bit 的 FIFO。
- 提供 2 个总线宽度为 32bit 的 Master 总线接口用于数据传输。
- 外设可使用单次传输（single）和连续传输（burst）2 种 DMA 请求。
- 提供 16 组 DMA 请求输入，可通过配置，作为通道的源端请求或目的端请求。
- 支持软件控制的 DMA 请求。
- 支持通过编程决定 DMA burst 长度。
- 源地址和目的地址可分别配置为在 DMA 传输过程中自动递增或不递增。
- 支持 4 种数据传输方向：
  - 存储器至外设
  - 存储器至存储器
  - 外设至存储器
  - 外设至外设
- 支持链表 DMA 传输。
- 支持 DMAC 流控。
- 提供 1 个可屏蔽中断输出，支持 DMA 错误和 DMA 传输完成中断屏蔽前后状态查询，及两者的组合中断状态查询。
- 支持 DMAC 使能禁止，用于功耗控制，支持 DMAC 时钟门控。

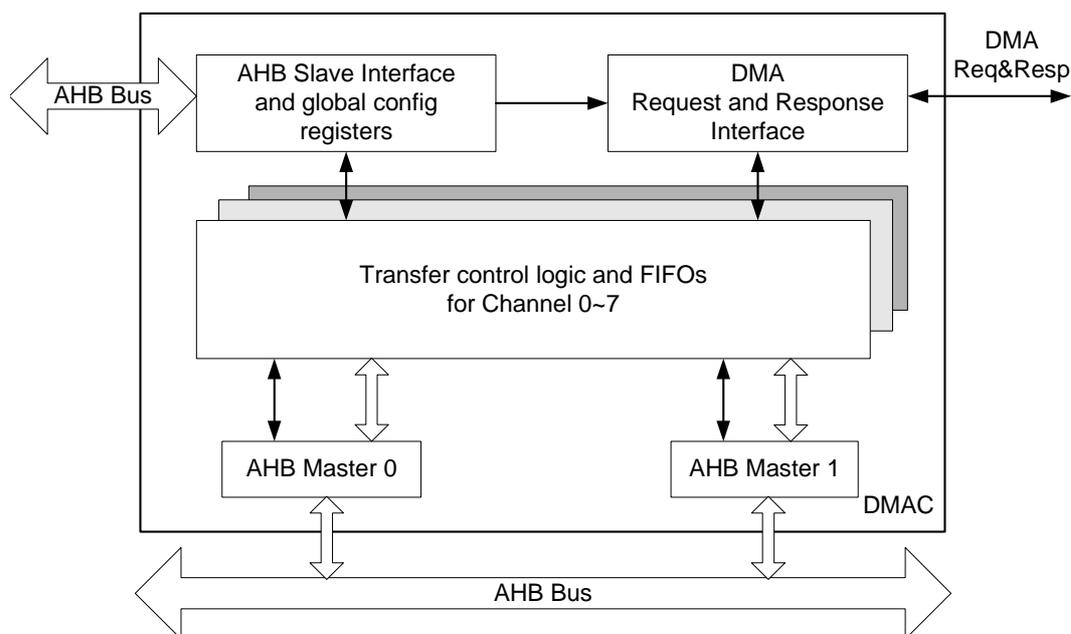


### 3.5.3 功能描述

#### 功能框图

DMAC 的功能框图如图 3-5 所示。

图3-5 DMAC 功能框图



DMAC 的每一个通道都内含一组传输控制逻辑和一个 FIFO，传输控制逻辑自动完成以下过程：

- 步骤 1 从软件指定的源地址位置读取数据。
- 步骤 2 缓存到通道内含的 FIFO 中。
- 步骤 3 从通道 FIFO 中取出数据。
- 步骤 4 写入到软件指定的目的地址位置。

----结束

#### 工作流程

DMAC 基本工作流程如下：

- 步骤 1 软件选定 DMAC 的一个通道用于 DMA 传输，配置该通道的源地址、目的地址、链表头指针、传输数据个数、源设备和目的设备对应的 DMAC 请求线号、源设备和目的设备使用的 Master，并启动该通道。一旦通道被启动，DMAC 硬件即开始检测与该通道相连的源外设和目的设备的 DMA 请求线上的活动。

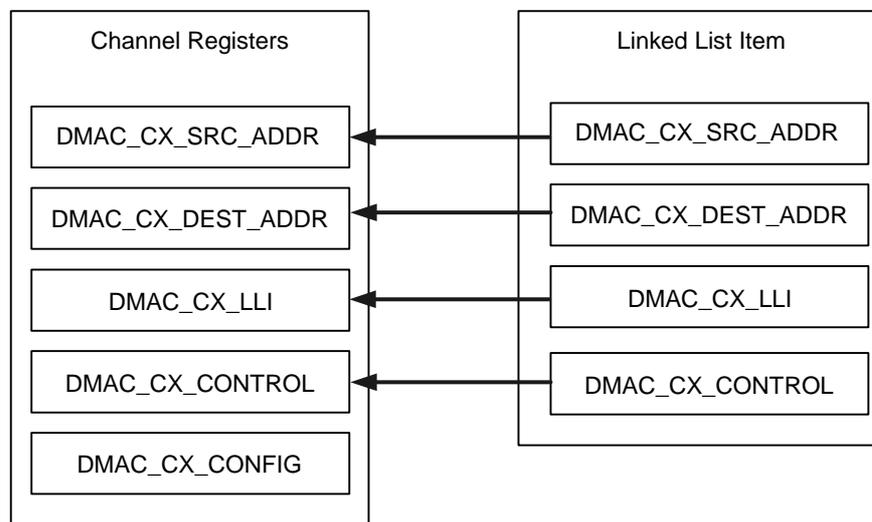


- 步骤 2 源设备向 DMAC 发起 DMA 请求（如果源设备为存储器，DMAC 默认其 DMA 请求始终有效）。
- 步骤 3 DMAC 通道响应源设备 DMA 请求，从源设备读取数据并存入通道内部的 FIFO 中。
- 步骤 4 目的设备向 DMAC 发起 DMA 请求（如果目的设备为存储器，DMAC 默认其 DMA 请求始终有效）。
- 步骤 5 DMAC 通道响应目的设备 DMA 请求，从通道内部的 FIFO 中取出数据并写入目的设备。
- 步骤 6 步骤 2、3 和步骤 4、5 可能是并发执行的，因为源设备和目的设备有可能同时向 DMAC 发起 DMA 请求。当出现 DMA 通道 FIFO 被写满而目的设备来不及读走、或 DMA 通道 FIFO 被读空而源设备来不及写入时，DMAC 自动阻塞源设备或目的设备的 DMA 请求，直到相应的 FIFO 空满状态解除为止。在 DMAC 与源设备、目的设备的多次交互过程中，步骤 2~5 反复被执行，直到软件指定的数据传输全部完成时，发出传输完成中断（该中断可被屏蔽）。如果寄存器 `DMAC_CXLLI` 不为 0，则以该寄存器的值为地址读取链表结点，并将读取值依次载入 `DMAC_CX_SRC_ADDR`、`DMAC_CX_DEST_ADDR`、`DMAC_CXLLI` 以及 `DMAC_CX_CONTROL` 这四个寄存器（如图 3-6 所示），然后回到步骤 2。若寄存器 `DMAC_CXLLI` 的值为 0 则停止当前的 DMA 传输，通道自动关闭，传输过程结束。

----结束

LLI 更新通道寄存器示意如图 3-6 所示。

图3-6 LLI 更新通道寄存器示意图



## DMA 与外设的连接关系

外设利用 DMA 请求信号向 DMAC 请求发起数据传输。

DMAC 为每个外设提供了 2 种 DMA 请求信号，分别为：

- `DMACBREQ`



burst 传输请求信号。该信号引发一次 burst 传输，burst 长度为预先设定值。

- **DMACSREQ**

单次传输请求信号。该信号引发一次单次传输，即 DMAC 从外设读取一个数据或向外设写一个数据。

DMAC 提供一个请求清除信号 DMACLR:

DMAC 向每个外设发出的 DMA 请求清除信号，用于应答外设的 DMA 请求信号。

## DMAC 请求线

DMAC 的硬件请求和相应设备的对应关系如表 3-21 所示。

表3-21 DMA 的外设请求分配定义

DMAC 控制器硬件 请求线编号	对应设备
0	SIO0 接收通道
1	SIO0 发送通道
2	SIO1 接收通道
3	SIO1 发送通道
4	SIO2 发送通道
5	SIO2 发送通道
6	SSP0 接收通道
7	SSP0 发送通道
8	SSP1 接收通道
9	SSP1 发送通道
10	UART0 RX 通道 DMA 请求
11	UART0 TX 通道 DMA 请求
12	UART1 RX 通道 DMA 请求
13	UART1 TX 通道 DMA 请求
14	UART2 RX 通道 DMA 请求
15	UART2 TX 通道 DMA 请求

DMA 通道对应的源端和目的端请求由软件配置。例如，DMA 请求号 0 为 SIO0 的接收通道请求，若希望使用通道 3 传输 SIO0 的接收数据，则应配置 DMA 请求号 0 作为通道 3 的源端请求。



存储器没有 DMA 请求线，当 DMA 传输的一方为存储器时，DMAC 默认其 DMA 请求是始终有效的。由于 DMAC 的通道 6、7 上的传输，每次总线操作之后，都会插入 IDLE 周期，供高优先级通道的 Master 占用总线进行传输；因此，建议将存储器到存储器的传输配置到通道 6、7 进行，以免总线上其它通道较长时间无法占用总线。

## 3.5.4 工作方式

### 时钟门控

当出现以下情况时，可以通过软件关闭 DMAC，并关断 DMAC 时钟以降低功耗：

- DMAC 的各个通道均处于空闲状态且没有 DMA 传输请求
- `DMAC_CX_CONFIG[e]=0`，DMAC 通道被关闭

关断 DMAC 时钟的步骤如下：

- 步骤 1 向 `DMAC_CX_CONFIG[e]`写 0 关闭 DMAC 通道。
- 步骤 2 向 `DMAC_CX_CONFIG[e]`写 0 禁止 DMAC。
- 步骤 3 向 `PERI_CRG27[dma_cken]`写 0，使能 DMA 模块总线时钟门控，最终关闭 DMAC 时钟。
- 步骤 4 当需要使用 DMAC 进行数据传输时，重新打开时钟并启动 DMAC。

----结束

### 初始化

初始化 DMAC 步骤如下：

- 步骤 1 写寄存器 `DMAC_CONFIG`，设置 DMAC 的 Master1、Master2 的 Endianness，向 `DMAC_CONFIG[e]`写 1，启动 DMAC。
- 步骤 2 写寄存器 `DMAC_INT_ERR_CLR` 和 `DMAC_INT_TC_CLR` 的所有位为 1，清除所有中断状态。
- 步骤 3 写寄存器 `DMAC_SYNC` 相应位为 0，设置需要进行同步的 DMA 请求信号组。
- 步骤 4 依次配置并关闭各个通道。向每个通道的 `DMAC_CX_CONFIG[e]`写 0，关闭通道。

----结束

### 启动通道

DMAC 初始化完成之后，需要配置并启动 DMAC 通道，才可以使用 DMAC 来进行数据传输。通道的配置启动步骤如下：

- 步骤 1 读 `DMAC_ENBLD_CHNS` 寄存器，找出处于非传输状态的通道，并从中选择一个通道用于配置。
- 步骤 2 向寄存器 `DMAC_INT_ERR_CLR` 和 `DMAC_INT_TC_CLR` 的相应位写 1，清除选定通道的中断状态。



步骤 3 配置并启动选定的通道。配置步骤如下：

1. 写通道寄存器 `DMAC_CX_SRC_ADDR`，设置源设备访问首地址。
2. 写通道寄存器 `DMAC_CX_DEST_ADDR`，设置目的设备访问首地址。
3. 如果配置通道用于单块数据传输，则将通道寄存器 `DMAC_CXLLI` 配置为 0。
4. 如果配置通道用于链表数据传输，则将通道寄存器 `DMAC_CXLLI` 配置为链表头指针。
5. 写通道寄存器 `DMAC_CX_CONTROL`，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。
6. 写通道寄存器 `DMAC_CX_CONFIG`，设置本通道的 DMA 请求信号、流控方式及中断屏蔽。`DMAC_CX_CONFIG[e]` 此时应写入 0，即暂不启动该通道。
7. 写通道寄存器 `DMAC_CX_CONFIG`，启动该通道。注意此时该寄存器的写入值除 Channel Enable 位改为 1 外，其他位不变。

----结束

## 中断处理

DMAC 通道配置启动传输完成之后或传输过程中出现错误，都会上报中断给中断控制器。中断程序的处理步骤如下：

步骤 1 读中断状态寄存器 `DMAC_INT_STAT`，找出发出中断请求的通道。当多个通道同时发出中断请求时，先服务优先级最高的中断。

步骤 2 读寄存器 `DMAC_INT_TC_STAT`，比较选定的位是否为 1，以确定对应通道发出的中断为传输完成中断。若是，则转到步骤 4 执行；否则转到步骤 3 继续执行。

步骤 3 读寄存器 `DMAC_INT_ERR_STAT`，比较选定的位是否为 1，以确定对应通道发出的中断为错误中断。若是则转到步骤 5 执行；否则退出中断处理。

步骤 4 传输完成中断处理。可分为以下几个子步骤：

1. 写寄存器 `DMAC_INT_TC_CLR`，对选定的位写入 1，清除对应通道的中断状态。
2. 取走或使用掉内存中 buffer 中的数据，有必要的话（如：需在内存中新开辟一个 buffer）重新配置并启动该通道。
3. 退出中断处理。

步骤 5 错误中断处理。可分为以下几个子步骤：

1. 写寄存器 `DMAC_INT_ERR_CLR`，对选定的位写入 1，清除对应通道的中断状态。
2. 给出错误信息，有必要的话重新配置并启动该通道。
3. 退出中断处理。

----结束



### 3.5.5 寄存器概览

表3-22 DMAC 寄存器概览（基址是 0x100D\_0000）

偏移地址	寄存器名	功能简述	页码
0x000	DMAC_INT_STAT	DMAC 中断状态寄存器	3-124
0x004	DMAC_INT_TC_STAT	DMAC 传输完成中断状态寄存器	3-124
0x008	DMAC_INT_TC_CLR	DMAC 传输完成中断清除寄存器	3-125
0x00C	DMAC_INT_ERR_STAT	DMAC 错误中断状态寄存器	3-125
0x010	DMAC_INT_ERR_CLR	DMAC 错误中断清除寄存器	3-126
0x014	DMAC_RAW_INT_TC_STAT	DMAC 原始传输完成中断状态寄存器	3-126
0x018	DMAC_RAW_INT_ERR_STAT	DMAC 原始错误中断状态寄存器	3-126
0x01C	DMAC_ENBLD_CHNS	DMAC 通道使能状态寄存器	3-127
0x020	DMAC_SOFT_BREQ	软件 Burst DMA 请求寄存器	3-127
0x024	DMAC_SOFT_SREQ	软件 Single DMA 请求寄存器	3-128
0x028	DMAC_SOFT_LBREQ	软件 Last Burst DMA 请求寄存器	3-129
0x02C	DMAC_SOFT_LSREQ	软件 Last Single DMA 请求寄存器	3-129
0x030	DMAC_CONFIG	DMAC 配置寄存器	3-130
0x034	DMAC_SYNC	DMAC 请求同步寄存器	3-131
0x100+X %0x20。	DMAC_CX_SRC_ADDR	源地址寄存器	3-131
0x104+X ×0x20	DMAC_CX_DEST_ADDR	目的地址寄存器	3-132
0x108+X ×0x20	DMAC_CX_LLI	链表项寄存器	3-133
0x10C+X ×0x20	DMAC_CX_CONTROL	控制寄存器	3-134
0x110+ X×0x20	DMAC_CX_CONFIG	配置寄存器	3-138



## 3.5.6 DMA 寄存器描述

### DMAC\_INT\_STAT

中断状态寄存器，给出经过屏蔽后的中断状态。若寄存器

[DMAC\\_INT\\_TC\\_STAT](#) 和 [DMAC\\_INT\\_ERR\\_STAT](#) 的相应位同时被屏蔽，则该寄存器的对应位被屏蔽。该寄存器的每 1 位对应着 DMAC 的 1 个通道。当某 1 位为 1 时，表示相应的通道有中断请求产生，该中断请求可能来自该通道的错误中断或传输完成中断。

Offset Address		Register Name		Total Reset Value					
0x000		DMAC_INT_STAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						int_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RO	int_stat	DMA 各通道经屏蔽后的中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生中断； 1: 已产生中断，该中断请求可能来自该通道的错误中断或传输完成中断。						

### DMAC\_INT\_TC\_STAT

DMAC 传输完成中断状态寄存器，给出经过屏蔽后的传输完成中断状态，对应的屏蔽位为寄存器 [DMAC\\_CX\\_CONFIG\[itc\]](#)（其中 X 表示通道号 0~7）。该寄存器必须和寄存器 [DMAC\\_INT\\_STAT](#) 结合在一起使用。

Offset Address		Register Name		Total Reset Value					
0x004		DMAC_INT_TC_STAT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						int_tc_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						



[7:0]	RO	int_tc_stat	经过屏蔽后的传输完成中断状态，bit[7:0]分别对应通道 7~0。 0：未产生传输完成中断； 1：已产生传输完成中断。
-------	----	-------------	--

## DMAC\_INT\_TC\_CLR

传输结束状态清除寄存器，用于清除传输完成中断。

Offset Address		Register Name		Total Reset Value						
0x008		DMAC_INT_TC_CLR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						int_tc_clr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	WO	int_tc_clr	清除传输完成中断，bit[7:0]分别对应通道 7~0。 0：不清除该中断； 1：清除该中断。							

## DMAC\_INT\_ERR\_STAT

错误中断状态寄存器，给出经过屏蔽后的错误中断状态，对应的屏蔽位为寄存器 [DMAC\\_CX\\_CONFIG\[ie\]](#)。该寄存器必须和 [DMAC\\_INT\\_STAT](#) 寄存器结合在一起使用。

Offset Address		Register Name		Total Reset Value						
0x00C		DMAC_INT_ERR_STAT		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						int_err_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	int_err_stat	经过屏蔽后的错误中断状态，bit[7:0]分别对应通道 7~0。 0：未产生错误中断； 1：产生了错误中断。							



## DMAC\_INT\_ERR\_CLR

错误中断清除寄存器，用于清除出错中断。

Offset Address		Register Name		Total Reset Value					
0x010		DMAC_INT_ERR_CLR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						int_err_clr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	WO	int_err_clr	清除出错中断，bit[7:0]分别对应通道 7~0。 0: 不清除该中断； 1: 清除该中断。						

## DMAC\_RAW\_INT\_TC\_STATUS

原始传输完成中断状态寄存器，给出各通道屏蔽前的传输完成中断状态。

Offset Address		Register Name		Total Reset Value					
0x014		DMAC_RAW_INT_TC_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						raw_int_tc_stat		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RO	raw_int_tc_stat	原始传输完成中断状态，bit[7:0]分别对应通道 7~0。 0: 未产生传输完成中断； 1: 产生了传输完成中断。						

## DMAC\_RAW\_INT\_ERR\_STATUS

原始传输错误中断状态寄存器，给出各通道屏蔽前的错误中断状态。



Offset Address		Register Name		Total Reset Value						
0x018		DMAC_RAW_INT_ERR_STATUS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						raw_int_err_stat			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	raw_int_err_stat	各通道屏蔽前的错误中断状态，bit[7:0]分别对应通道 7~0。 0：未产生错误中断； 1：产生了错误中断。							

## DMAC\_ENBLD\_CHNS

通道使能寄存器，用于表明被使能的通道。

如寄存器 [DMAC\\_ENBLD\\_CHNS](#) 的某位为 1，表示对应的通道被使能。使能某个通道，由该通道的通道寄存器 [DMAC\\_CX\\_CONFIG](#) 的使能位决定。当某个通道的 DMA 传输结束时，寄存器 [DMAC\\_ENBLD\\_CHNS](#) 中与该通道对应的位被清零。

Offset Address		Register Name		Total Reset Value						
0x01C		DMAC_ENBLD_CHNS		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						enabled_channels			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RO	enabled_channels	通道使能状态，bit[7:0]分别对应通道 7~0。 0：禁止； 1：使能。							

## DMAC\_SOFT\_BREQ

软件 Burst 请求寄存器，用于供软件控制产生 DMA burst 请求。

读该寄存器，可得知当前正在请求 DMA Burst 传输的设备。外设和该寄存器都可以产生 1 个 DMA 请求。

说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。



Offset Address		Register Name		Total Reset Value				
0x020		DMAC_SOFT_BREQ		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				soft_breq			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	soft_breq	用于软件控制产生 DMA burst 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 当写该寄存器时： 0：无影响； 1：产生 DMA burst 传输请求，当传输结束时该寄存器中的相应位被清零。 当读该寄存器时： 0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA Burst 请求； 1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA Burst 传输。					

## DMAC\_SOFT\_SREQ

软件 Single 请求寄存器，用于供软件控制产生 DMA 单次传输请求。

如读该寄存器，可得知当前正在请求 DMA 单次传输的设备。通过 DMAC 的 16 个 DMA 请求输入信号和该寄存器都可以产生 1 个 DMA 请求。

### 说明

建议不要同时使用软件 DMA 请求和硬件 DMA 请求。

Offset Address		Register Name		Total Reset Value				
0x024		DMAC_SOFT_SREQ		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				soft_sreq			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					



[15:0]	RW	soft_sreq	<p>用于软件控制产生 DMA signal 传输请求，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。</p> <p>当写该寄存器时：</p> <p>0：无影响；</p> <p>1：产生 DMA signal 传输请求，当传输结束时该寄存器中的相应位被清零。</p> <p>当读该寄存器时：</p> <p>0：与请求线 DMACBREQ[15:0]对应的外设未发出 DMA signal 请求；</p> <p>1：与请求线 DMACBREQ[15:0]对应的外设正在请求 DMA signal 传输。</p>
--------	----	-----------	--

### DMAC\_SOFT\_LBREQ

软件最后一个 Burst 请求寄存器，用于供软件控制产生 DMA last burst 传输请求。

	Offset Address	Register Name	Total Reset Value													
	0x028	DMAC_SOFT_LBREQ	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								soft_lbreq							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	WO	soft_lbreq	<p>由软件发起 last burst 请求。</p> <p>0：无影响；</p> <p>1：产生 DMA last burst 传输请求，当传输结束时该寄存器中的相应位被清零。</p>													

### DMAC\_SOFT\_LSREQ

软件最后一个 Single 请求寄存器，用于供软件控制产生 DMA last single 传输请求。



Offset Address		Register Name		Total Reset Value					
0x02C		DMAC_SOFT_LSREQ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				soft_lsreq				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	WO	soft_lsreq	由软件发起 last single 传输请求。 0: 无影响; 1: 产生一个 DMA last single 传输请求, 当传输结束时该寄存器中的相应位被清零。						

## DMAC\_CONFIG

配置寄存器，用于配置 DMAC 的操作。通过写该寄存器的 m1 (bit[1]) 和 m2 (bit[2])，可改变 DMAC 的 2 个 master 接口的 endianness。复位时，DMAC 的 2 个 master 接口被设为 little endian 模式。

说明

2 个 master 均采用 little endian。

Offset Address		Register Name		Total Reset Value					
0x030		DMAC_CONFIG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						m2	m1	e
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	-	reserved	保留。						
[2]	RW	m2	Master 2 endianness 配置位。 0: little endian 模式; 1: big endian 模式。						
[1]	RW	m1	Master 1 endianness 配置位。 0: little endian 模式; 1: big endian 模式。						



[0]	RW	e	DMAC 使能。 0: 禁止 DMAC; 1: 使能 DMAC。
-----	----	---	--

## DMAC\_SYNC

同步寄存器 DMAC\_SYNC 用于启用或禁用为 DMA 请求信号提供的同步逻辑。

	Offset Address				Register Name				Total Reset Value																							
	0x034				DMAC_SYNC				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												dmac_sync																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		dmac_sync		控制是否需要请求线进行同步，每比特对应请求请参见 DMAC 硬件请求和相应设备的对应关系。 0: 使能对应外设的 DMA 请求信号同步逻辑; 1: 禁止对应外设的 DMA 请求信号同步逻辑。																											

建议各请求均不启用同步。

## DMAC\_CX\_SRC\_ADDR

源地址寄存器，给出当前待传数据的源地址（字节排序）。

寄存器的偏移地址为  $0x100 + X \times 0x20$ 。其中 X 的取值为 0~7，分别对应 DMA 通道 0~7。

每个寄存器在对应的通道被启动前都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 当源地址递增时。
- 当传完一个完整的数据块后，从链表结点中载入时。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道停止传输的时候，此时读取值显示的是 DMAC 读最后一项时的源地址。

源地址和目的地址必须与源设备和目的设备的传输宽度对齐。



	Offset Address				Register Name								Total Reset Value																			
	0x100+X%0x20				DMAC_CX_SRC_ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	src_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	src_addr		DMA 源地址。																											

DMAC 提供了 8 个通道，每个通道都包括 5 个通道寄存器：

[DMAC\\_CX\\_SRC\\_ADDR](#) 寄存器

[DMAC\\_CX\\_DEST\\_ADDR](#) 寄存器

[DMAC\\_CXLLI](#) 寄存器

[DMAC\\_CX\\_CONTROL](#) 寄存器

[DMAC\\_CX\\_CONFIG](#) 寄存器

当 DMA 从存储器中载入链表结点时，前 4 个寄存器由 DMAC 自动更新。



**注意**

在 DMA 传输正在进行时，更新通道寄存器会导致 DMAC 产生不可预测的行为。要改变通道的配置，必须先关闭通道然后再配置相关寄存器。

## DMAC\_CX\_DEST\_ADDR

目的地址寄存器，偏移地址为：0x104+X×0x20。其中，X 的取值为 0~7，分别对应 DMA 通道 0~7。

通道目的地址寄存器 DMAC\_CX\_DEST\_ADDR 包含了当前待传数据的目的地址（字节排序）。每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器在下列情况下更新：

- 目的地址递增。
- 传完一个完整的数据块后，从链表结点中载入。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，读该寄存器，此时读取值显示的是 DMAC 写最后一项时的目的地址。



Offset Address		Register Name		Total Reset Value				
0x104+X%0x20		DMAC_CX_DEST_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_addr	DMA 目的地址。					

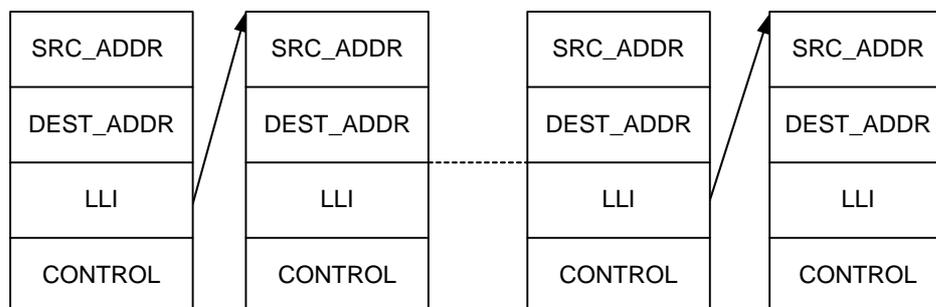
## DMAC\_CXLLI

链表寄存器，偏移地址为：0x108+X×0x20。其中，X 的取值为 0~7，分别对应 DMA 通道 0~DMA 通道 7。

DMAC 的链表结点数据结构为：

- 通道寄存器 **DMAC\_CX\_SRC\_ADDR**，设置源设备首地址。
- 通道寄存器 **DMAC\_CX\_DEST\_ADDR**，设置目的设备首地址。
- 通道寄存器 **DMAC\_CXLLI**，设置下一个结点的地址。
- 通道寄存器 **DMAC\_CX\_CONTROL**，设置访问源/目的设备所采用的 Master、源/目的设备的位宽、burst size、地址递增以及 transfer size 等参数。

图3-7 DMAC 链表结构示例



### 注意

该寄存器的 LLI 字段不应指定 1 个大于 0xFFFF\_FFF0 的数。否则，1 个 4 字的 burst 传输将使地址回卷到 0x0000\_0000 处，导致链表结点数据结构不能存储在连续的地址区域中。

如果 LLI 的值为 0，表示当前结点是链表的链尾，则当本结点对应的数据块全部传完后，该通道就会被关闭。



Offset Address		Register Name		Total Reset Value					
0x108+X%0x20		DMAC_CXLLI		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	lli							r	lm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	lli	Linked list item。下一个链表结点地址的[31:2]位，地址位[1:0]为0。要求链表地址4字节对齐。						
[1]	RW	r	保留，写入时必须写0，读出时应屏蔽该位。						
[0]	RW	lm	用于载入下一个链表结点的 Master。 0: Master1; 1: Master2。						

### DMAC\_CX\_CONTROL

通道控制寄存器，偏移地址为：0x10C+X×0x20。其中，X的取值为0~7，分别对应DMA通道0~DMA通道7。

通道控制寄存器包含了DMA通道控制信息，如传输长度、burst长度、传输位宽等。

每个寄存器在对应的通道被启动前，都要由软件对其直接编程。当通道被启动后，该寄存器的值在传完1个完整的数据块后，从链表结点载入时更新。

当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。在通道停止传输时，可进行该寄存器的读操作。

Offset Address		Register Name		Total Reset Value									
0x10C+X%0x20		DMAC_CX_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	r	prot	di	si	d	s	dwidth	swidth	dbsize	sbsize	transfersize		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31]	RW	i	传输完成中断使能位。该位用于决定当前链表结点是否触发传输完成中断。 0: 当前链表结点不触发传输完成中断; 1: 当前链表结点触发传输完成中断。										



[30:28]	RW	prot	master 发出的访问保护 HPROT[2:0]信号。
[27]	RW	di	目的地址递增。 0: 目的地址不递增; 1: 目的地址每传一个数就递增一次。 目的设备为外设时目的地址不递增; 目的设备为存储器时目的地址递增。
[26]	RW	si	源地址递增: 0: 源地址不递增; 1: 源地址每传一个数就递增一次。 源设备为外设时源地址不递增; 源设备为存储器时源地址递增。
[25]	RW	d	设置访问目的设备的 master: 0: SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 master1 访问; 1: SPIFlash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[24]	RW	s	设置访问源设备的 master: 0: SPDIF、SIO0、SIO1、UART0、UART1、SCI 使用 Master1 访问; 1: SPI Flash、Nand Flash、Nor Flash、DDRC 使用 Master2 访问。
[23:21]	RW	dwidth	目的设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样, 硬件自动对数据进行 pack 和 unpack。 DWidth 的值和具体的位宽对应关系请参见表 3-24。
[20:18]	RW	swidth	源设备传输位宽。 宽于 Master 位宽的传输位宽是非法的。 目的设备和源设备的位宽可以不一样, 硬件自动对数据进行 pack 和 unpack。 SWidth 的值和具体的位宽对应关系请参见表 3-24。
[17:15]	RW	dbsize	目的设备 burst 长度。 表示 1 次目的设备 burst 传输所需传输的数据个数, 即当 DMACCxBREQ 有效时, 传输的数据个数。 该值必须被设为目的设备支持的 burst 大小, 或者若目的设备为存储器, 被设为到存储地址边界的存储区域大小。 DBSize 的值和具体的传输长度的对应关系请参见表 3-23。



[14:12]	RW	sbsize	<p>源设备 burst 长度。</p> <p>表示 1 次源设备 burst 传输所需传输的数据个数，即当 DMACCxBREQ 有效时，传输的数据个数。</p> <p>该值必须被设为源设备支持的 burst 大小，或者若源设备为存储器时，被设为到存储地址边界的存储区域大小。</p> <p>SBSIZE 的值和具体的传输长度的对应关系请参见表 3-23。</p>
[11:0]	RW	transfersize	<p>通过写该寄存器可设定 DMA 传输的长度，前提是 DMAC 是流控制器。这里 transfer size 表示的源设备待传数据的个数。</p> <p>读该寄存器可得到在与目的设备相连的总线上已传出的数据个数。</p> <p>当该通道处于活动状态时，读该寄存器得不到有效信息。这是因为当软件得到读出的寄存器值，该寄存器的值已经随着通道传输改变了。对该寄存器的读操作一般是用在通道被启动后然后又停止传输时。</p>

DMAC\_CX\_CONTROL 寄存器的 DBSize 及 SBSIZE 的值与其对应的 burst 长度如表 3-23 所示。

表3-23 DBSize 及 SBSIZE 的值与其对应的 burst 长度

DBSize 或 SBSIZE 的值	burst 长度
000	1
001	4
010	8
011	16
100	32
101	64
110	128
111	256

DMAC\_CX\_CONTROL 寄存器的 DWidth 和 SWidth 的值与其对应传输位宽如表 3-24 所示。

表3-24 DWidth 和 SWidth 的值与其对应传输位宽

SWidth 或 DWidth 的值	传输位宽
000	Byte (8bit)
001	Halfword (16bit)



SWidth 或 DWidth 的值	传输位宽
010	Word (32bit)
011	reserved
100	reserved
101	reserved
110	reserved
111	reserved

配置寄存器 **DMAC\_CX\_CONTROL** 时需注意：

- 当源设备的传输宽度小于目的设备传输宽度时，源设备的传输宽度与 transfer size 的乘积应为目的设备传输宽度的整数倍，否则 FIFO 中的数据将会滞留并丢失。
- SWidth 和 DWidth 字段不能设置为未定义的位宽。
- transfer size 字段若被写为 0 且 DMAC 又是流控制器，则 DMAC 将不会发生任何传输动作。编程者应负责关闭此 DMA 通道并对此通道重新编程。
- 不应将 **DMAC\_CX\_CONTROL** 寄存器进行普通的写入/读出测试。由于 transfer size 字段不是一个普通的可写入并读回相同值的寄存器字段。当写入时，该字段如一个控制寄存器，因为其决定了 DMAC 应传输多少个数据；当读回时，该字段则相当于一个状态寄存器，因为其返回的剩下的待传输数据个数（以源设备位宽为单位）。
- 当 transfer size 字段的设置值大于源设备或目的设备中的 FIFO 的深度（是外设的 FIFO，不是 DMAC 的 FIFO），则 DMAC 的源地址或目的地址必须被设为不递增模式，否则有可能导致外设的 FIFO 溢出。

总线访问信息在传输发生时由 master 接口信号提供给源设备或目的设备。这些访问信息是通过对通道寄存器编程设定的 **DMAC\_CX\_CONTROL**[Prot]和 **DMAC\_CX\_CONFIG**[Lock]位。表 3-25 给出了使用 prot 的 3 个保护位的含义。

表3-25 **DMAC\_CX\_CONTROL** 寄存器 Prot 段属性及定义

比特	描述	目的
[2]	Cacheable or noncacheable	指明访问是可 cache 还是不可 cache。 0: 不可 cache; 1: 可 cache。 例如，该位可用于告知 1 个 AMBA 桥：当其发现 8 个数的 burst 读的第 1 个读操作时，该桥可在目标总线上直接发起一个 8 个数的 burst 读，而不用将源总线上的读操作 1 次 1 个的传到目标总线。 该位控制总线信号 HPROT[3]的输出。



比特	描述	目的
[1]	Bufferable or nonbufferable	指明访问是可缓冲还是不可缓冲。 0: 不可缓冲; 1: 可缓冲。 例如, 该位可用于告知一个 AMBA 桥在源端总线上写操作可以以零等待状态完成, 而无需等待该桥把操作仲裁到目的总线上, 也无需等 slave 接收完数据。 该位控制总线信号 HPROT[2]的输出。
[0]	Privileged or User	指明访问是用户模式还是特权模式。 0: 用户模式; 1: 特权模式。 该位控制总线信号 HPROT[1]的输出。

注: AMBA: Advanced Microcontroller Bus Architecture。

### DMAC\_CX\_CONFIG

通道配置寄存器, 偏移地址为: 0x110+X×0x20。其中, X 的取值为 0~7, 分别对应 DMA 通道 0~DMA 通道 7。

该寄存器在新的链表结点被载入时不会被更新。

Offset Address	Register Name	Total Reset Value	
0x110+X% 0x20	DMAC_CX_CONFIG	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved h a l itc ie flow_cntrl reserved dest_peripheral reserved src_peripheral e		
Reset	0 0		
Bits	Access	Name	Description
[31:19]	-	reserved	保留。 写入时必须写入 0, 读出时应被屏蔽。
[18]	RW	h	Halt 位。 0: 允许 DMA 请求; 1: 忽略后来的 DMA 请求, 通道 FIFO 中的内容都被传完。 该位可以和 Active 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。



[17]	RO	a	Active 位。 0: 通道 FIFO 中没有数据; 1: 通道 FIFO 中有数据。 该位可以和 Halt 位以及 Channel Enable 位一起用于无数据丢失地关闭一个 DMA 通道。
[16]	RW	l	Lock 位。 0: 禁止总线上 lock 传输; 1: 使能总线上 lock 传输。
[15]	RW	itc	传输完成中断屏蔽位。 0: 屏蔽本通道的传输完成中断。 1: 不屏蔽本通道的传输完成中断。
[14]	RW	ie	错误中断屏蔽位。 0: 屏蔽本通道的错误中断。 1: 不屏蔽本通道的错误中断。
[13:11]	RW	flow_cntrl	流控及传输类型字段。 该字段用于指定流控制器和传输类型。流控制器可以是 DMAC、源设备和目的设备。 传输类型可以是存储器到外设、外设到存储器、外设到外设、存储器到存储器。详细描述请参见表 3-26 所示。
[10]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[9:6]	RW	dest_peripheral	目的设备。该字段用于选择一个外设请求信号作为本通道的 DMA 目的设备的请求信号。 如果 DMA 传输的目的设备是存储器则该字段被忽略。
[5]	-	reserved	保留。 写入时必须写入 0，读出时应被屏蔽。
[4:1]	RW	src_peripheral	源设备。该字段用于选择一个外设请求信号作为本通道的 DMA 源设备的请求信号。 如果 DMA 传输的源设备是存储器则该字段被忽略。



[0]	RW	e	<p>通道使能位。读该寄存器可得知本通道当前是处于什么状态（也可通过读寄存器 DMACEnbldChns 得到）。</p> <p>0：关闭通道； 1：启动通道。</p> <p>通过清零可关闭通道。将该位被清零时，当前的总线传输会继续执行直到完成。然后通道关闭，FIFO 中剩余的数据全部丢失；当最后一个 LLI 完成或传输中出现错误时，通道也会被关闭，同时该位被清零；如果要关闭通道，而又不使通道 FIFO 中的数据丢失，则 Halt 位也必须同时被置位，使通道忽略后来的 DMA 请求。然后必须轮询 active 位，直到其值变为 0，表明通道 FIFO 中不再留有数据。此时才能够清除 enable 位。</p> <p>通过置位启动通道必须先重新初始化通道，然后才能再次启动通道；若通过简单的置位启动通道，会引发不可预测性的后果。</p>
-----	----	---	---

注：当刚通过写 Channel Enable 位关闭一个通道时，必须要等到轮询到寄存器 `DMAC_ENBLD_CHNS` 中的相应 bit 为 0 之后，才能将 Channel Enable 位重新置位。这是因为通道实际的关闭并没有在将 Channel Enable 位清零后立即生效。总线 burst 的运行延时也必须考虑到。

表 3-26 描述了 `DMAC_CX_CONFIG` 寄存器的 `flow_cntrl` 字段对应的流控和传输类型。

表3-26 流控制器及传输类型位定义

比特值	传输类型	控制器
000	存储器至存储器	DMAC
001	存储器至外设	DMAC
010	外设至存储器	DMAC
011	源设备至目的设备	DMAC
100	源设备至目的设备	目的设备
101	存储器至外设	目的设备
110	外设至存储器	源设备
111	源设备至目的设备	源设备



## 3.6 CIPHER

### 3.6.1 概述

CIPHER 是一个实现 DES (Data Encryption Standard) /3DES 和 AES (Advanced Encryption Standard) 加解密处理的模块, DES/3DES 和 AES 算法的实现符合 FIPS46-3/FIPS 197 标准。DES/3DES 和 AES 的工作模式符合 FIPS -81/NIST special800-38a 标准。

CIPHER 模块适用于进行大量数据的高效加解密处理, 可支持一次实现单个分组的加解密或多个分组的加解密。

### 3.6.2 特点

CIPHER 模块有如下特点:

- AES 密钥长度支持 128 位、192 位、256 位。
- DES 密钥长度支持 64 位。
- 3DES 支持 3 个密钥的方式, 也支持 2 个密钥的方式。
- AES 支持 ECB (Electronic CodeBook)、CBC (Cipher Block Chaining)、1/8/128-CFB (Cipher FeedBack)、128-OFB (Output FeedBack) 和 CTR (Counter) 几种工作模式, 工作模式符合 NIST special800-38a 标准。
- DES/3DES 支持 ECB、CBC、1/8/64-CFB、1/8/64-OFB 几种工作模式, 工作模式符合 FIPS-81 标准。
- ECB、CBC、CFB、OFB 工作模式下, 支持一次实现多个分组的加解密运算, 也支持一次实现单个分组的加解密运算。
- AES 的 CTR 工作模式下, 只支持一次实现单个分组的加解密运算。
- 提供对输入数据 (包括分组输入、向量输入、密钥) 和输出数据 (包括分组输出、向量输出) 的字节序调整功能。
- 提供 8 个 CPU 配置的加解密密钥, 可以配置为 64bits, 128bits, 192bits 或者 256bits。
- 提供 8 个芯片密钥管理模块配置的密钥, 固定为 128bits, 主 CPU 不可以读写。
- 提供一个单分组加解密通道和 7 个通道的多分组加解密通道。单分组加解密通道每次只能完成一个单分组加解密, 由 CPU 将数据写入通道寄存器中, 结果由 CPU 读取。多分组加解密通道由逻辑自动从 DDR 中读取数据完成加解密后再自动写回到 DDR 中。
- 各个通道采用加权轮循的工作方法, 各个通道权值可以配置。
- 任何通道可以使用同一组密钥或者不同组密钥。
- 当多分组通道数据不是加解密分组的整数倍时, 最后不足一个分组的数据不进行加解密。
- 多分组加解密通道支持字节地址。
- 多分组加解密通道支持多链表结构, 支持拼接多个链表数据。
- 提供中断状态查询、中断屏蔽和中断清除功能。
- 支持多包中断和老化时间中断。



### 3.6.3 功能描述

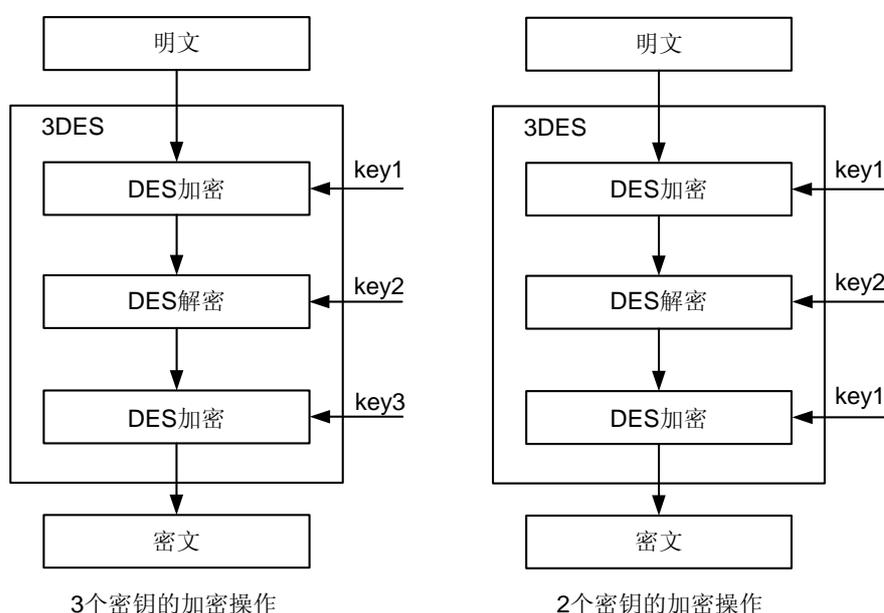
DES/3DES、AES 算法支持的几种工作模式分别符合 FIPS-81 标准和 NIST special800-38a 标准，对于 DES/3DES 和 AES 算法，ECB、CBC 和 CFB 工作模式相同，OFB 和 CTR（只有 AES 算法中包括）工作模式略有区别。

#### 3DES 算法

3DES 支持 3 个密钥和 2 个密钥的运算，2 个密钥的运算可以看作 3 个密钥的一种简化情况，在 2 个密钥的操作中的第三个密钥（key3）都使用第一个密钥（key1）代替。

3 个密钥和 2 个密钥的 3DES 加密运算过程如图 3-8 所示。

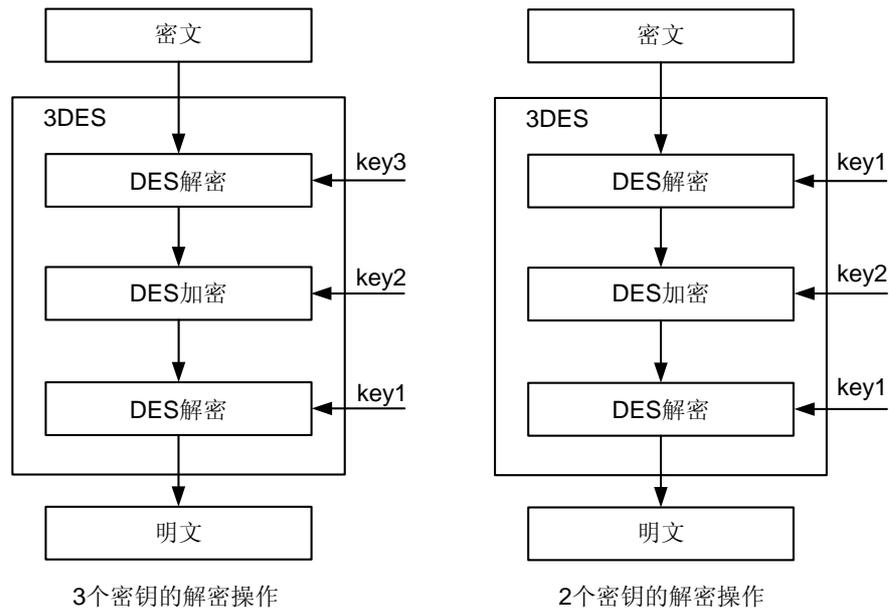
图3-8 3 个密钥和 2 个密钥的 3DES 加密操作



3 个密钥和 2 个密钥的 3DES 解密运算过程如图 3-9 所示。



图3-9 3个密钥和2个密钥的3DES解密操作



## ECB 模式

ECB (Electronic CodeBook) 模式中，加、解密算法是直接应用到各个分组数据，而且各个分组的运算均独立。这个特点使得明文的加密操作和密文的解密操作可以并行进行。AES/DES 和 3DES 的电子密码本 (ECB) 模式分别如图 3-10 和图 3-11 所示。

图3-10 AES/DES 的电子密码本 (ECB) 模式

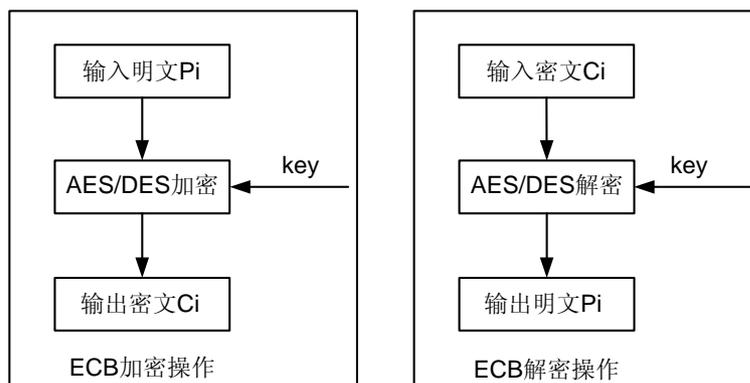
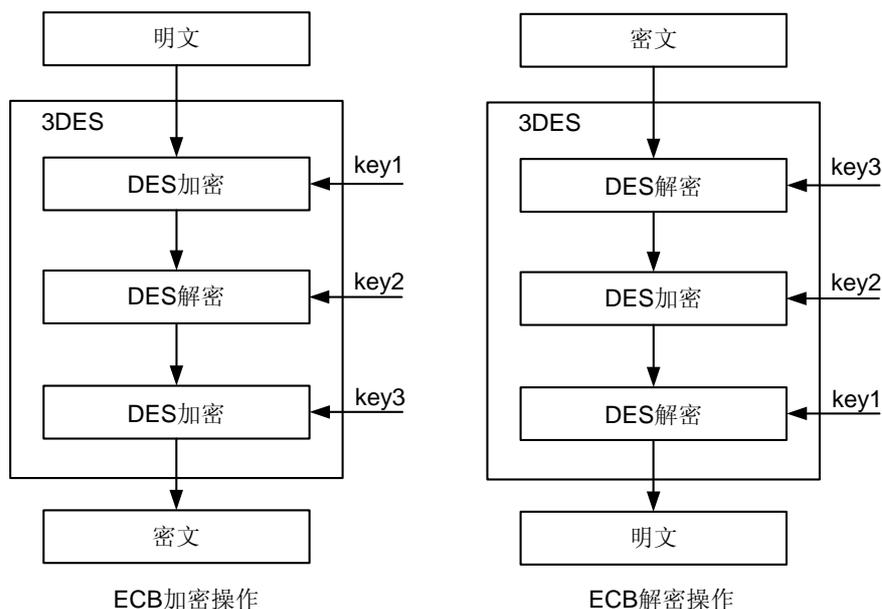




图3-11 3DES 的电子密码本（ECB）模式



## CBC 模式

CBC (Cipher Block Chaining) 模式下，加密的输入明文分组需要先与输入向量 IV (Initialization Vector) 进行异或操作，才进入加密操作，而每个明文分组的加密处理都与上一个明文分组处理的结果（即密文）相关，因此 CBC 模式下的加密操作是不能进行并行处理的。但是解密操作不依赖于上一个分组的明文输出，是可以进行并行处理的。AES/DES 和 3DES 的密码分组链接（CBC）模式分别如图 3-12 和图 3-13 所示。



图3-12 AES/DES 的密码分组链接 (CBC) 模式

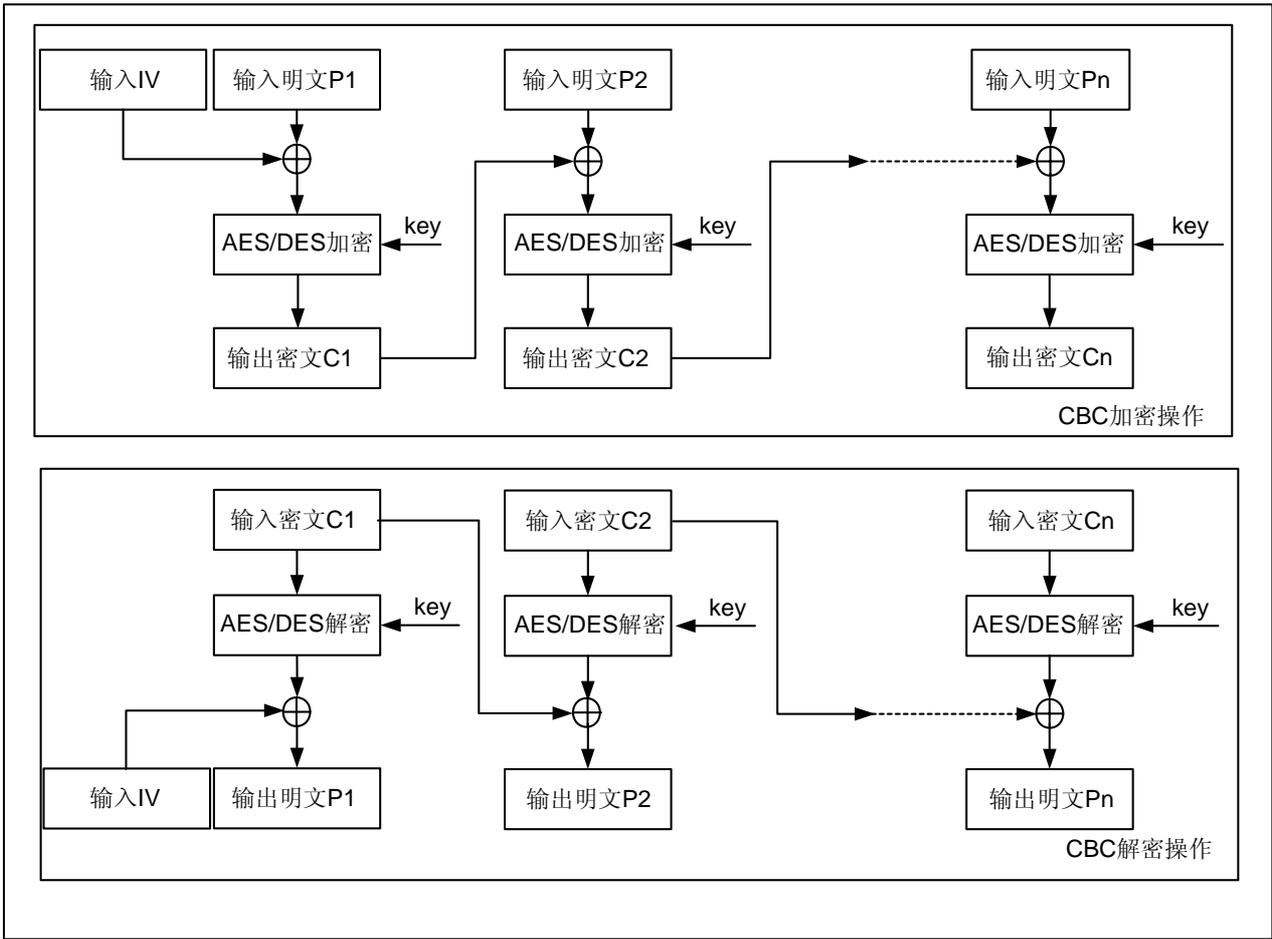
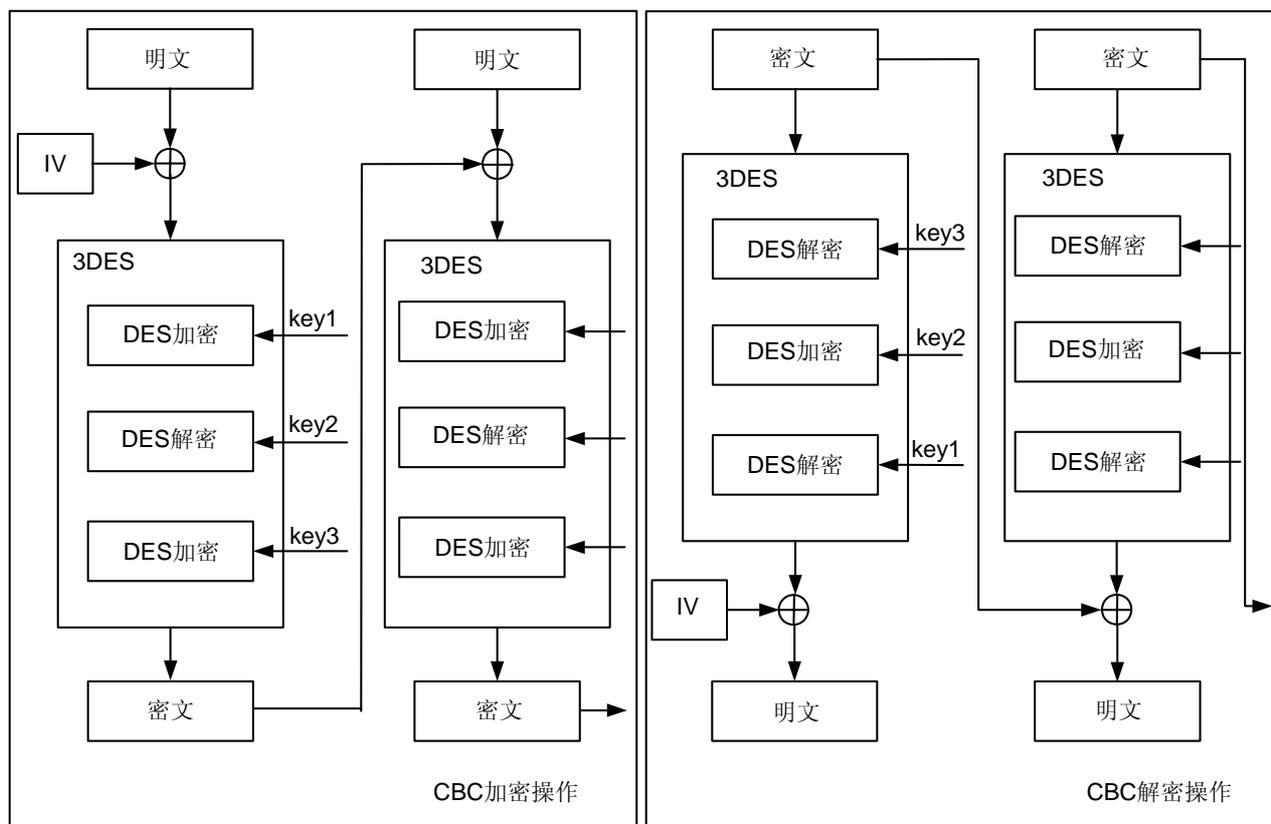




图3-13 3DES 的密码分组链接（CBC）模式



## CFB 模式

CFB (Cipher FeedBack) 模式是将分组密码转换成流密码的一种工作模式，可以通过选择 CFB 的操作位数来实现。移位操作的位数用  $s$  位表示，关于  $s$  位，存在以下 2 种情况：

- 对于 DES/3DES， $s$  位可以是 1 位、8 位或 64 位。
- 对于 AES， $s$  位可以是 1 位、8 位或 128 位。

AES/DES 的  $s$  位密码反馈 (CFB) 模式和 3DES 的  $s$  位密码反馈 (CFB) 模式分别如图 3-14 和图 3-15 所示。



图3-14 AES/DES 的 s 位密码反馈 (CFB) 模式

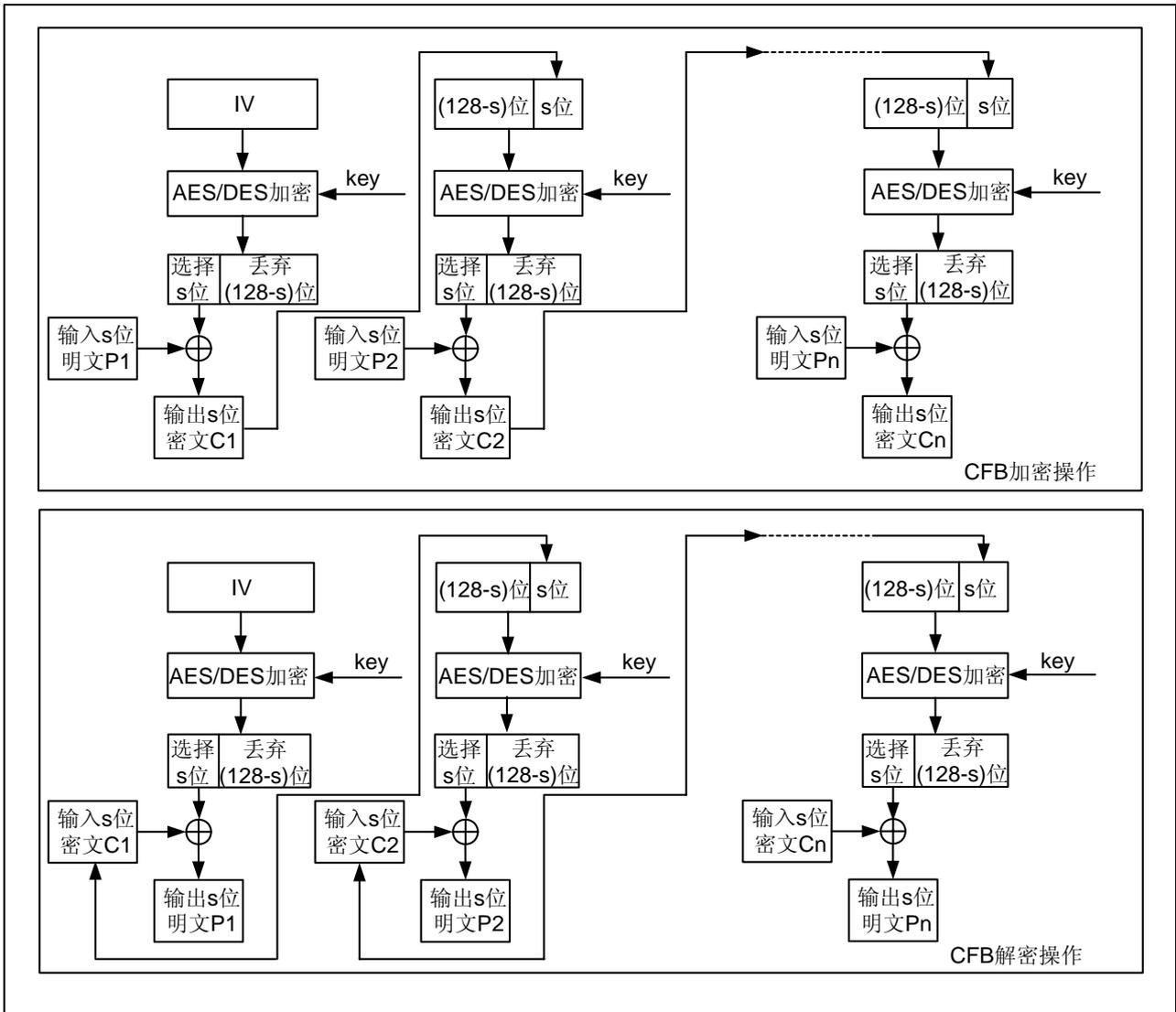
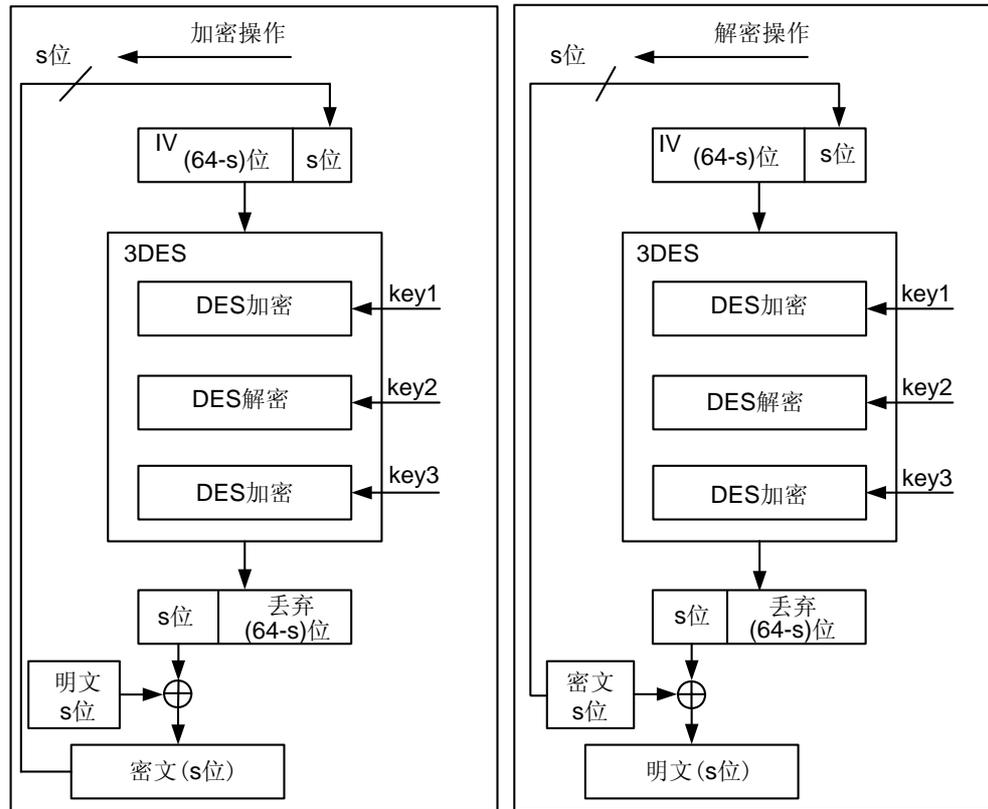




图3-15 3DES 的 s 位密码反馈（CFB）模式



## OFB 模式

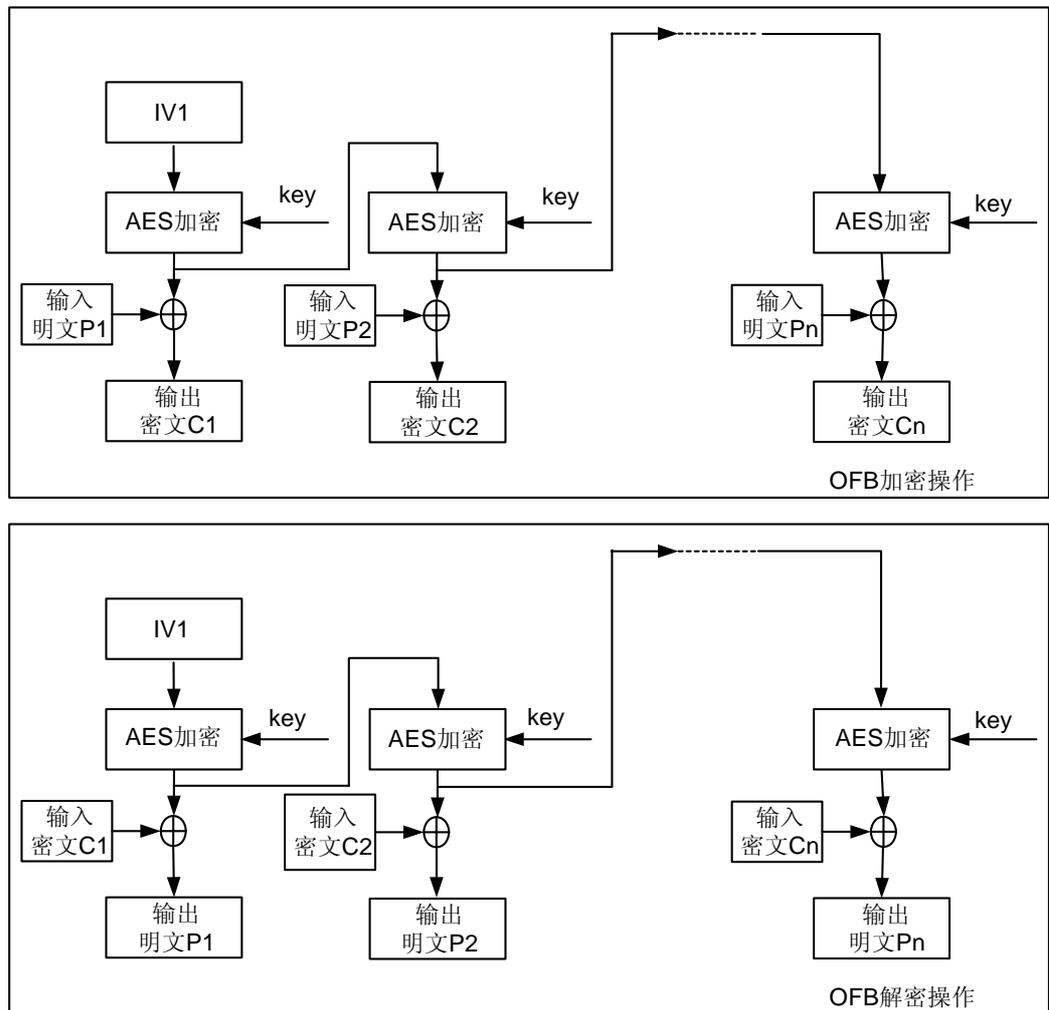
OFB (Output FeedBack) 模式下，将 IV 直接作为加密操作的输入，因此对同一个密钥的操作情况下，应该使用不相同的 IV，避免降低操作的安全性。关于 s 位，存在以下 2 种情况：

- 对于 DES/3DES，s 位可以是 1 位、8 位或 64 位。
- 对于 AES，s 位只能是 128 位。



AES 的输出反馈（OFB）模式如图 3-16 所示。

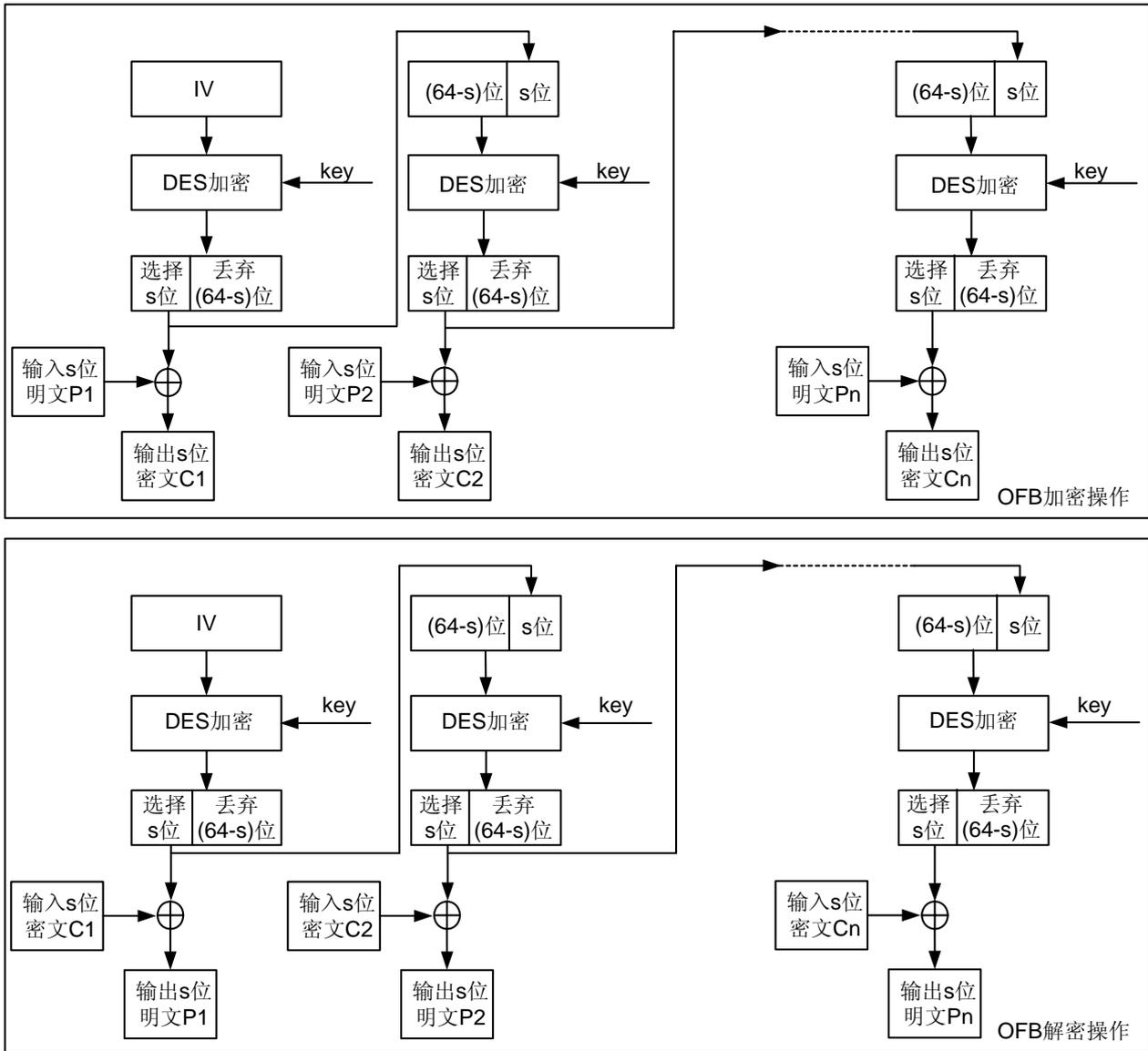
图3-16 AES 的输出反馈（OFB）模式



DES 的 s 位输出反馈模式如图 3-17 所示。

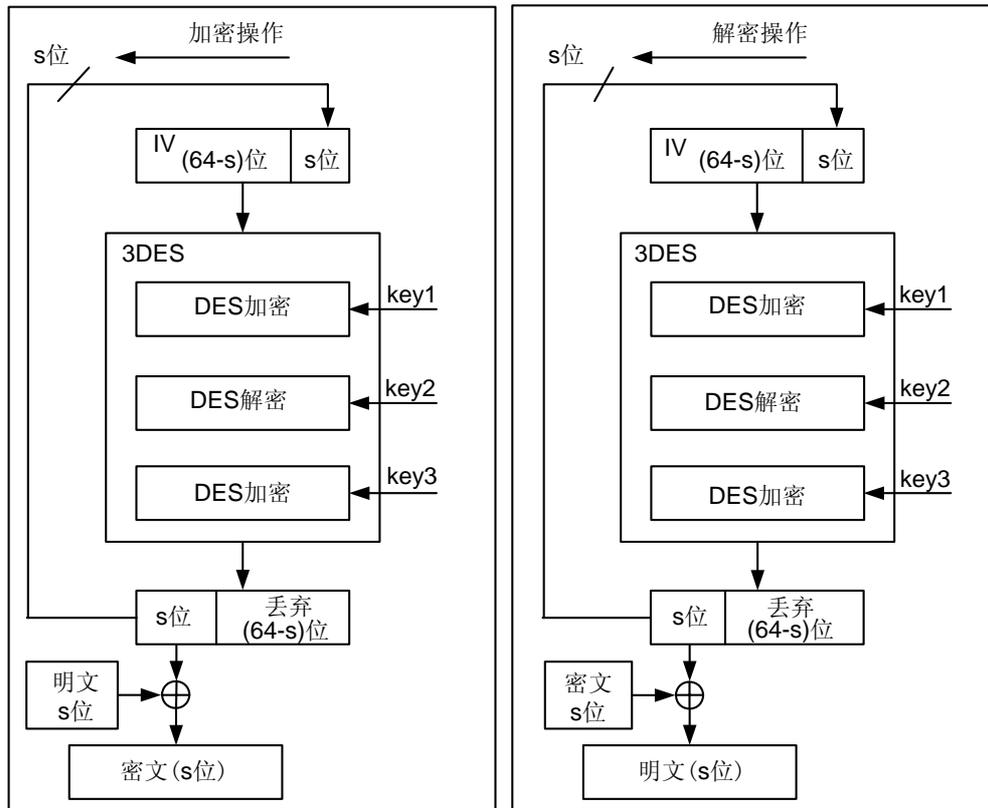


图3-17 DES 的 s 位输出反馈（OFB）模式



3DES 的 s 位输出反馈模式如图 3-18 所示。

图3-18 3DES 的 s 位输出反馈（OFB）模式



## CTR 模式

CTR（Counter）模式下，向 AES 加密或解密处理模块输入不同的数据来保证数据处理的安全性，这种数据可以是计数的值。因此，计数值 CTRn 的选取也决定了这种方式应用的安全性。

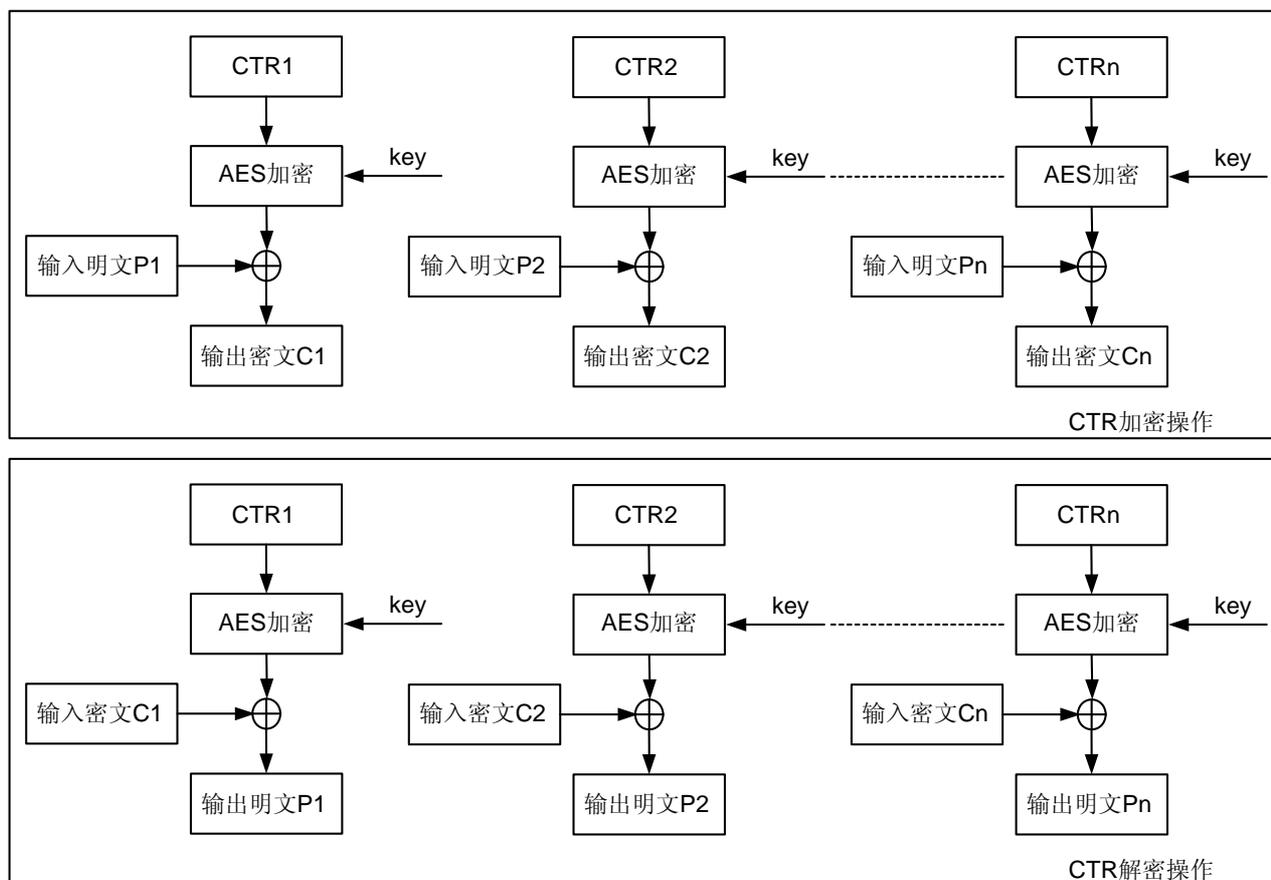
### 说明

CTRn 一般采用累加计数的方式获取。

AES 的 CTR 模式如图 3-19 所示。



图3-19 AES 的 CTR 模式



### 3.6.4 工作方式

#### CIPHER 的单分组操作流程

CIPHER 提供通道 0 作为单分组加解密通道，操作流程如下：

- 步骤 1 查询通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_busy` 域，如果通道 0 不忙，则配置通道 0 的数据输入和将相关配置信息写入通道 0 的寄存器中。
- 步骤 2 写通道 0 配置寄存器 `CHAN0_CFG` 的 `ch0_start` 域，启动通道 0 加解密。
- 步骤 3 判断通道 0 加解密结束，有两种方式：
  - 查询等待通道 0 加解密结束后 `ch0_busy` 变为不忙。
  - 使能通道 0 中断，在通道 0 数据完成中断有效后读取数据。
- 步骤 4 通道 0 加解密完成，从通道 0 的 `CHAN0_CIPHER_DOUT` 和 `CHAN0_CIPHER_IVOUT` 寄存器中读取相应结果。

----结束





**iv\_set:** 标志当前链表头指示的数据需要重新更换初始向量，此时需要通过 **iv\_start\_addr** 指示当前 IV 在 DDR 中的初始地址，此地址必须是 WORD 对齐地址。

**last\_1st:** 标志当前链表头指示的数据是一个数据块的最后一个链表，逻辑在该链表处理结束时如果遇到不足一个加解密分组的数据，逻辑将剩余数据直接写入到输出 Buffer 中，不进行加解密。

## 时钟门控

当不需要进行加密操作，且 CIPHER 模块处于空闲状态时，可以通过配置系统控制器的寄存器，关断 CIPHER 模块时钟以降低功耗。

## 软复位

可以通过配置系统控制器的寄存器对 CIPHER 模块进行软复位。

## 3.6.5 CIPHER 寄存器概览

CIPHER 寄存器概览如表 3-27 所示。

表3-27 CIPHER 寄存器概览（基址是 0x100c\_0000）

偏移地址	名称	描述	页码
0x0000~ 0x000C	CHAN0_CIPHER_D OUT	CIPHER 模块通道 0（单分组加解密） 输出寄存器	3-156
0x0010~ 0x001C	CHAN0_CIPHER_IV OUT	CIPHER 操作完成之后的向量输出寄存 器	3-157
0x0020~ 0x008C	CHAN_CIPHER_IV OUT	通道 1~7 向量输出寄存器	3-157
0x0090~ 0x018C	CIPHER_KEY	CIPHER 模块的 CPU 配置密钥寄存器	3-158
0x1000	CHAN0_CIPHER_C TRL	通道 0 加解密控制寄存器	3-159
0x1004~ 0x1010	CHAN0_CIPHER_IV IN	CIPHER 模块通道 0 的向量分组的输入 寄存器	3-162
0x1014~ 0x1020	CHAN0_CIPHER_DI N	CIPHER 模块的 128 位分组输入寄存器	3-163
0x1000+n *128	CHANn_IBUF_NUM	通道 n（n 为 1~7）输入队列总深度， 即为可以配置链表头的总个数寄存器	3-164
0x1000+n *128+0x4	CHANn_IBUF_CNT	通道 n 输入队列中待处理的数据 Buffer 的个数寄存器	3-164
0x1000+n *128+0x8	CHANn_IEMPTY_C NT	通道 n 输入队列中处理完成的数据 Buffer 个数寄存器	3-165



偏移地址	名称	描述	页码
0x1000+n *128+0xC	CHANn_INT_ICNT CFG	通道 n 输入队列多包中断流水线寄存器	3-165
0x1000+n *128+0x1 0	CHANn_CIPHER_C TRL	通道 n 加解密控制寄存器	3-166
0x1000+n *128+0x1 4	CHANn_SRC_LST_ SADDR	通道 n 输入队列的起始地址寄存器	3-168
0x1000+n *128+0x1 8	CHANn_IAGE_TIM ER	通道 n 输入队列中断的老化时间配置寄存器	3-168
0x1000+n *128+0x3 C	CHANn_OBUF_NU M	通道 n 输出队列总深度，即为可以配置链表头的总个数寄存器	3-169
0x1000+n *128+0x4 0	CHANn_OBUF_CN T	通道 n 输出队列中待处理的数据 Buffer 的个数寄存器	3-169
0x1000+n *128+0x4 4	CHANn_OFULL_CN T	通道 n 输出队列中处理完成的数据 Buffer 个数寄存器	3-170
0x1000+n *128+0x4 8	CHANn_INT_OCNT CFG	通道 n 输出队列多包中断流水线寄存器	3-170
0x1000+n *128+0x4 C	CHANn_DEST_LST_ _SADDR	通道 n 输出队列的起始地址寄存器	3-170
0x1000+n *128+0x5 0	CHANn_OAGE_TIM ER	通道 n 输出队列中断的老化时间配置寄存器	3-171
0x1400	INT_STATUS	中断状态寄存器	3-171
0x1404	INT_EN	中断使能寄存器	3-172
0x1408	INT_RAW	原始中断状态寄存器	3-173
0x140C	RST_STATUS	复位状态指示寄存器	3-174
0x1410	CHAN0_CFG	通道 0 配置寄存器	3-175

CIPHER 寄存器偏移地址中变量的取值范围和含义如表 3-28 所示。



表3-28 CIPHER 寄存器偏移地址变量表

变量名称	取值范围	描述
n	1~7	Cipher 模块的通道 1 至通道 7。

### 3.6.6 CIPHER 寄存器描述

#### CHAN0\_CIPHER\_DOUT

CHAN0\_CIPHER\_DOUT 为 CIPHER 模块通道 0（单分组加解密）输出寄存器。

读取本寄存器时需要注意：

- 从该寄存器中读取的数据是单分组的运算的结果数据。AES 运算和 DES 或 3DES 运算对应的情况不同：
  - 如果选择进行 AES 运算
    - 如果选择 1-CFB 模式，最低位有效，即 CIPHER\_DOUT bit[0]为有效数据。
    - 如果选择 8-CFB 模式，低 8 位有效，即 CIPHER\_DOUT bit[7:0]为有效数据。
    - 如果选择 128-CFB 操作，128 位数据均有效。
    - 其它模式下 128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算
    - 如果选择 1-CFB 或 1-OFB 模式，低 1 位有效，即 CIPHER\_DOUT bit[0]为有效数据。
    - 如果选择 8-CFB 或 8-OFB 模式，低 8 位有效，即 CIPHER\_DOUT bit[7:0]为有效数据。
    - 如果选择 64-CFB 或 64-OFB 模式，低 64 位数据有效，即 CIPHER\_DOUT bit[63:0]为有效数据。
    - 其它模式下低 64 位数据有效，即 CIPHER\_DOUT bit[63:0]为有效数据。

	Offset Address	Register Name	Total Reset Value
	0x0000~0x000C	CHAN0_CIPHER_DOUT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	chan0_cipher_dout		
Reset	0 0		
	Bits	Access	Name
	[31:0]	RO	chan0_cipher_dout
	Description		
	CIPHER 模块 128 位分组输出，每 1 个地址对应 32 位的数据。		
	CIPHER_DOUT[31:0]: 0x0000 地址;		
	CIPHER_DOUT[63:32]: 0x0004 地址;		
	CIPHER_DOUT[95:64]: 0x0008 地址;		
	CIPHER_DOUT[127:96]: 0x000C 地址。		



## CHAN0\_CIPHER\_IVOUT

CHAN0\_CIPHER\_IVOUT 为 CIPHER 操作完成之后的向量输出寄存器。

读取本寄存器时需要注意：

- 如果执行的是 ECB 或 CTR 工作模式，不需要关注此寄存器。
- 如果选择进行单分组的处理，该寄存器中的数据是该分组的向量结果输出，可以作为同一数据包的下一个分组运算的向量输入。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[cipher\_mode]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER\_IVOUT bit[63:0]为有效数据。
- 如果选择进行多分组的处理，该寄存器中读取的数据是最后一个分组运算的向量结果输出。
  - 如果选择进行 AES 运算，128 位数据均有效。
  - 如果选择进行 DES 或 3DES 运算，低 64 位数据有效，即 CIPHER\_IVOUT bit[63:0]为有效数据。

Offset Address		Register Name		Total Reset Value				
0x0010~0x001C		CHAN0_CIPHER_IVOUT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_ivout							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	chan0_cipher_ivout	CIPHER 模块操作完成之后的向量 IV 的输出（ECB、CTR 工作模式下无需关注），每 1 地址对应 32 位的数据。 CIPHER_IVOUT[31:0]: 0x0010 地址; CIPHER_IVOUT[63:32]: 0x0014 地址; CIPHER_IVOUT[95:64]: 0x0018 地址; CIPHER_IVOUT[127:96]: 0x001C 地址。					

## CHAN\_CIPHER\_IVOUT

CHAN\_CIPHER\_IVOUT 为通道 1~7 向量输出寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0020~0x008C		CHAN_CIPHER_IVOUT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	chan_cipher_ivout																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name	Description																												
[31:0]	RO		chan_cipher_ivout	0x0020~0x002C: 通道 1; 0x0030~0x003C: 通道 2; 0x0040~0x004C: 通道 3; 0x0050~0x005C: 通道 4; 0x0060~0x006C: 通道 5; 0x0070~0x007C: 通道 6; 0x0080~0x008C: 通道 7。																												

## CIPHER\_KEY

CIPHER\_KEY 为 CIPHER 模块的 CPU 配置密钥寄存器，该密钥为 CPU 配置值，CPU 可以读写。

配置本寄存器时需要注意：

- 选择 DES 运算时，低 64 位数据有效，即 CIPHER\_KEY[63:0]为有效数据。
- 选择 3DES 运算：
 

选择 3 个密钥运算（CIPHER\_CTRL[key\_length]=0b00、0b01 或 0b10）时，低 192 位数据有效，此时：

  - CIPHER\_KEY bit[63:0]表示第一个密钥。
  - CIPHER\_KEY bit[127:64]表示第二个密钥。
  - CIPHER\_KEY bit[191:128]表示第三个密钥。

选择 2 个密钥运算（即 CIPHER\_CTRL[key\_length]=0b11）时，低 128 位数据有效，此时：

  - CIPHER\_KEY bit[63:0]表示第一个密钥。
  - CIPHER\_KEY bit[127:64]表示第二个密钥。
- 选择 AES 运算时：
  - 如果选择 128 位密钥操作，低 128 位数据有效，即 CIPHER\_KEY bit[127:0]为有效数据。
  - 如果选择 192 位密钥操作，低 192 位数据有效，即 CIPHER\_KEY bit[191:0]为有效数据。
  - 如果选择 256 位密钥操作，256 位数据均有效。



CIPHER 模块共支持配置 8 个密钥，每个通道可以配置使用其中一个密钥，可以多个通道共同使用同一个密钥。

Offset Address		Register Name		Total Reset Value				
0x0090~0x018C		CIPHER_KEY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cipher_key							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cipher_key	CIPHER 模块的密钥输入，每 1 个地址对应一个 32 位宽的数据。 CIPHER_KEY[31:0]: 0x0090 地址; CIPHER_KEY[63:32]: 0x0094 地址; CIPHER_KEY[95:64]: 0x0098 地址; CIPHER_KEY[127:96]: 0x009C 地址; CIPHER_KEY[159:128]: 0x00A0 地址; CIPHER_KEY[191:160]: 0x00A4 地址; CIPHER_KEY[223:192]: 0x00A8 地址; CIPHER_KEY[255:224]: 0x00AC 地址。 0x0090~0x00AC: host_key0; 0x00B0~0x00CC: host_key1; 0x00D0~0x00EC: host_key2; 0x00F0~0x010C: host_key3; 0x0110~0x012C: host_key4; 0x0130~0x014C: host_key5; 0x0150~0x016C: host_key6; 0x0170~0x018C: host_key7。					

## CHAN0\_CIPHER\_CTRL

CHAN0\_CIPHER\_CTRL 为通道 0 加解密控制寄存器，通道 0 为单分组加解密通道。

配置本寄存器时需要注意：

- 在进行模块的其它寄存器配置之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。



Offset Address		Register Name		Total Reset Value									
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved			key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description										
[31:17]	-	reserved	保留。										
[16:14]	RW	key_adder	当前通道使用 Key 的序号。 000: host_key0; 001: host_key1; 010: host_key2; 011: host_key3; 100: host_key4; 101: host_key5; 110: host_key6; 111: host_key7。										
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥。 0: 使用 CPU 配置的密钥; 1: 保留。										
[12]	-	reserved	保留。										
[11]	RW	reserved	保留。										
[10:9]	RW	key_length	密钥长度控制。 AES 算法下: 00: 128 位密钥长度; 01: 192 位密钥长度; 10: 256 位密钥长度; 11: 128 位密钥长度。 DES 算法下: 00: 3 个密钥; 01: 3 个密钥; 10: 3 个密钥; 11: 2 个密钥。										



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_addr	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description											
[8]	RW	ivin_sel	CIPHER_IVIN 的输入选择控制。 0: CIPHER_IVIN 不需要进行配置; 1: CIPHER_IVIN 需要配置。											
[7:6]	RW	width	位宽控制。 DES/3DES 算法下: 00: 64 位模式; 01: 8 位模式; 10: 1 位模式; 11: 64 位模式。 AES 算法下: 00: 128 位模式; 01: 8 位模式; 10: 1 位模式; 11: 128 位模式。											
[5:4]	RW	alg_sel	算法类型选择控制。 00: DES 运算; 01: 3DES 运算; 10: AES 运算; 11: DES 运算。											



Offset Address		Register Name		Total Reset Value										
0x1000		CHAN0_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				key_adder	key_sel	byte_seq	reserved	key_length	ivin_sel	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[3:1]	RW	mode	工作模式控制。 在 AES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 100: CTR 模式； 其它: ECB 模式。 在 DES 算法下： 000: ECB 模式； 001: CBC 模式； 010: CFB 模式； 011: OFB 模式； 其它: ECB 模式。											
[0]	RW	decrypt	加解密控制。 0: 加密； 1: 解密。											

### CHAN0\_CIPHER\_IVIN

CHAN0\_CIPHER\_IVIN 为 CIPHER 模块通道 0 的向量分组的输入寄存器。

配置该寄存器时需要注意：

- 如果选择使用通道 0 进行单分组加解密且执行的不是 ECB 模式（CIPHER\_CTRL[mode]=0b001、0b010、0b011 或 0b100）时：
  - 如果选择不需要进行输入向量配置（CIPHER\_CTRL[ivin\_sel]=0b0），则不需要进行该寄存器的配置。
  - 如果选择需要进行输入向量配置（CIPHER\_CTRL[ivin\_sel]=0b1），则需要进行该寄存器的配置。如果此时选择进行 AES 运算（即 CIPHER\_CTRL



[alg\_sel]=0b10)，CIPHER\_IVIN bit[127:0]为有效数据；如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[alg\_sel]=0b00、0b01 或 0b11），低 64 位数据有效，即 CIPHER\_IVIN bit[63:0]为有效数据。

	Offset Address 0x1004~0x1010								Register Name CHAN0_CIPHER_IVIN								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	chan0_cipher_ivin																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	chan0_cipher_ivin		通道 0 CIPHER 模块的 128 位 IV 向量或 Counter 输入的数据，每个地址对应一个 32 位宽的数据。 CIPHER_IVIN[31:0]: 0x1004 地址； CIPHER_IVIN[63:32]: 0x1008 地址； CIPHER_IVIN[95:64]: 0x100C 地址； CIPHER_IVIN[127:96]: 0x1010 地址。																															

## CHAN0\_CIPHER\_DIN

CHAN0\_CIPHER\_DIN 为 CIPHER 模块的 128 位分组输入寄存器。

配置该寄存器时需要注意：

如果选择通道 0 进行单分组的处理，需要配置该寄存器：

- 如果选择进行 AES 运算（CIPHER\_CTRL[alg\_sel]=0b10）
  - 如果选择 1-CFB 操作，低 1 位有效，即 CIPHER\_DIN bit[0]为有效数据。
  - 如果选择 8-CFB 操作，低 8 位有效，即 CIPHER\_DIN bit[7:0]为有效数据。
  - 如果选择 128-CFB 操作，128 位数据均有效。
  - 如果选择其他操作模式，128 位数据均有效。
- 如果选择进行 DES 或 3DES 运算（CIPHER\_CTRL[alg\_sel]=0b00、0b01 或 0b11）
  - 如果选择 1-CFB/1-OFB 操作，低 1 位有效，即 CIPHER\_DIN bit[0]为有效数据。
  - 如果选择 8-CFB/8-OFB 操作，低 8 位有效，即 CIPHER\_DIN bit[7:0]为有效数据。
  - 如果选择 64-CFB/64-OFB 操作，低 64 位数有效，即 CIPHER\_DIN bit[63:0]为有效数据。

如果选择其他操作模式，低 64 位数有效，即 CIPHER\_DIN bit[63:0]为有效数据。



Offset Address		Register Name		Total Reset Value				
0x1014~0x1020		CHAN0_CIPHER_DIN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	chan0_cipher_din							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	chan0_cipher_din	通道 0CIPHER 模块的 128 位分组输入，每个地址对应一个 32 位宽的数据。 CIPHER_DIN[31:0]: 0x1014 地址; CIPHER_DIN[63:32]: 0x1018 地址; CIPHER_DIN[95:64]: 0x101c 地址; CIPHER_DIN[127:96]: 0x1020 地址。					

## CHANn\_IBUF\_NUM

CHANn\_IBUF\_NUM 为 CHANn\_IBUF\_BUN 为通道 n (n 为 1~7) 输入队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128		CHANn_IBUF_NUM		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ibuf_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	ibuf_num	输入队列深度，即每个通道可以配置的链表头信息总个数。					

## CHANn\_IBUF\_CNT

CHANn\_IBUF\_CNT 为通道 n 输入队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。



	Offset Address				Register Name				Total Reset Value																							
	0x1000+n*128+0x4				CHANn_IBUF_CNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ibuf_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		ibuf_cnt		输入队列中待处理的数据 Buffer 个数。																											

### CHANn\_IEMPTY\_CNT

CHANn\_IEMPTY\_CNT 为通道 n 输入队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

	Offset Address				Register Name				Total Reset Value																							
	0x1000+n*128+0x8				CHANn_IEMPTY_CNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												iempty_cnt																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		iempty_cnt		输入队列中处理完成的 Buffer 个数。																											

### CHANn\_INT\_ICNTCFG

CHANn\_INT\_ICNTCFG 为通道 n 输入队列多包中断水线，当逻辑处理完成的输入队列 Buffer 数目大于等于该值时，会报输入队列中断。

	Offset Address				Register Name				Total Reset Value																							
	0x1000+n*128+0xC				CHANn_INT_ICNTCFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												int_icnt_cfg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											



Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0xC		CHANn_INT_ICNTCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				int_icnt_cfg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[15:0]	RW	int_icnt_cfg	输入队列多包中断门限。						

## CHANn\_CIPHER\_CTRL

CHANn\_CIPHER\_CTRL 为通道 n 加解密控制寄存器。

配置本寄存器时需要注意：

- 在启动该通道加解密处理之前，必须先配置该寄存器。
- AES 下除了 CFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。
- DES/3DES 下除了 CFB 和 OFB 模式之外，其它模式不允许将 CIPHER\_CTRL[width]配置为 01 或 10。

Offset Address		Register Name		Total Reset Value										
0x1000+n*128+0x10		CHANn_CIPHER_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	weight		reserved		key_adder	key_sel	byte_seq	ts_vid	key_length	reserved	width	alg_sel	mode	decrypt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:22]	-	weight	当前通道的权重，单位为 64bytes。											
[21:17]	-	reserved	保留。											
[16:14]	RW	key_adder	当前通道使用 Key 的序号，可以配置选择 0~7 地址中的一个 Key。											
[13]	RW	key_sel	选择当前使用 CPU 配置的密钥： 0：使用 CPU 配置的密钥； 1：保留。											
[12:11]	-	reserved	保留。											



[10:9]	RW	key_length	<p>密钥长度控制。</p> <p>AES 算法下：</p> <p>00: 128 位密钥长度；</p> <p>01: 192 位密钥长度；</p> <p>10: 256 位密钥长度；</p> <p>11: 128 位密钥长度。</p> <p>DES 算法下：</p> <p>00: 3 个密钥；</p> <p>01: 3 个密钥；</p> <p>10: 3 个密钥；</p> <p>11: 2 个密钥。</p>
[8]	-	reserved	保留。
[7:6]	RW	width	<p>位宽控制。</p> <p>DES/3DES 算法下：</p> <p>00: 64 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 64 位模式。</p> <p>AES 算法下：</p> <p>00: 128 位模式；</p> <p>01: 8 位模式；</p> <p>10: 1 位模式；</p> <p>11: 128 位模式。</p>
[5:4]	RW	alg_sel	<p>算法类型选择控制。</p> <p>00: DES 运算；</p> <p>01: 3DES 运算；</p> <p>10: AES 运算；</p> <p>11: DES 运算。</p>



[3:1]	RW	mode	<p>工作模式控制。</p> <p>在 AES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>100：CTR 模式；</p> <p>其它：ECB 模式。</p> <p>在 DES 算法下：</p> <p>000：ECB 模式；</p> <p>001：CBC 模式；</p> <p>010：CFB 模式；</p> <p>011：OFB 模式；</p> <p>其它：ECB 模式。</p>
[0]	RW	decrypt	<p>加解密控制。</p> <p>0：加密；</p> <p>1：解密。</p>

### CHAN<sub>n</sub>\_SRC\_LST\_SADDR

CHAN<sub>n</sub>\_SRC\_LST\_SADDR 为通道 n 输入队列的起始地址，该地址必须为 WORD 对齐地址。

	Offset Address 0x1000+n*128+0x14								Register Name CHAN <sub>n</sub> _SRC_LST_SADDR								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	src_lst_saddr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	src_lst_saddr		输入队列的起始地址。																															

### CHAN<sub>n</sub>\_IAGE\_TIMER

CHAN<sub>n</sub>\_IAGE\_TIMER 为通道 n 输入队列中断的老化时间配置，如果在老化时间计数器溢出时，输入队列处理完成的 Buffer 数如果大于 0，会报输入队列处理完成中断。



Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x18		CHANn_IAGE_TIMER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				iage_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	iage_timer	老化中断定时器。						

### CHANn\_OBUF\_NUM

CHANn\_OBUF\_NUM 为通道 n 输出队列总深度，即为可以配置链表头的总个数。

Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x3C		CHANn_OBUF_NUM		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_num				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	obuf_num	输出队列总深度。						

### CHANn\_OBUF\_CNT

CHANn\_OBUF\_CNT 为通道 n 输出队列中待处理的数据 Buffer 的个数。软件写该寄存器时，逻辑会在寄存器原有值的基础上加上软件新写入的值；逻辑处理完一个 Buffer 块后，该寄存器值会减 1。

Offset Address		Register Name		Total Reset Value					
0x1000+n*128+0x40		CHANn_OBUF_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				obuf_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	obuf_cnt	输出队列中待处理的数据 Buffer 个数。
--------	----	----------	------------------------

### CHANn\_OFULL\_CNT

CHANn\_OFULL\_CNT 为通道 n 输出队列中处理完成的数据 Buffer 个数，软件写该寄存器时，逻辑会在寄存器原有值的基础上减去软件新写入的值，逻辑处理完一个 Buffer 块后，该寄存器值会加 1。

	Offset Address	Register Name	Total Reset Value													
	0x1000+n*128+0x44	CHANn_OFULL_CNT	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								ofull_cnt							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	ofull_cnt	输出队列中处理完成的 Buffer 个数。													

### CHANn\_INT\_OCNTCFG

CHANn\_INT\_OCNTCFG 为通道 n 输出队列多包中断流水线，当逻辑处理完成的输出队列 Buffer 数目大于等于该值时，会报输出队列中断。

	Offset Address	Register Name	Total Reset Value													
	0x1000+n*128+0x48	CHANn_INT_OCNTCFG	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								int_ocnt_cfg							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	int_ocnt_cfg	输出队列多包中断门限。													

### CHANn\_DEST\_LST\_SADDR

CHANn\_DEST\_LST\_SADDR 为通道 n 输出队列的起始地址，该地址必须为 WORD 对齐地址。



Offset Address		Register Name		Total Reset Value				
0x1000+n*128+0x4C		CHANn_DEST_LST_SADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	dest_lst_saddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	dest_lst_saddr	输出队列的起始地址。					

## CHANn\_OAGE\_TIMER

CHANn\_OAGE\_TIMER 为通道 n 输出队列中断的老化时间配置，如果在老化时间计数器溢出时，输出队列处理完成的 Buffer 数如果大于 0，会报输出队列处理完成中断。

Offset Address		Register Name		Total Reset Value				
0x1000+n*128+0x50		CHANn_OAGE_TIMER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				oage_timer			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	oage_timer	老化中断定时器。					

## INT\_STATUS

INT\_STATUS 为中断状态寄存器。



Offset Address		Register Name		Total Reset Value																
0x1400		INT_STATUS		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch7_ibuf_int	ch6_ibuf_int	ch5_ibuf_int	ch4_ibuf_int	ch3_ibuf_int	ch2_ibuf_int	ch1_ibuf_int	ch0_ibuf_int	ch7_obuf_int	ch6_obuf_int	ch5_obuf_int	ch4_obuf_int	ch3_obuf_int	ch2_obuf_int	ch1_obuf_int	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RO	ch7_ibuf_int	通道 7 输入队列数据中断。																	
[14]	RO	ch6_ibuf_int	通道 6 输入队列数据中断。																	
[13]	RO	ch5_ibuf_int	通道 5 输入队列数据中断。																	
[12]	RO	ch4_ibuf_int	通道 4 输入队列数据中断。																	
[11]	RO	ch3_ibuf_int	通道 3 输入队列数据中断。																	
[10]	RO	ch2_ibuf_int	通道 2 输入队列数据中断。																	
[9]	RO	ch1_ibuf_int	通道 1 输入队列数据中断。																	
[8]	RO	ch0_ibuf_int	通道 0 数据处理完成中断。																	
[7]	RO	ch7_obuf_int	通道 7 输出队列数据中断。																	
[6]	RO	ch6_obuf_int	通道 6 输出队列数据中断。																	
[5]	RO	ch5_obuf_int	通道 5 输出队列数据中断。																	
[4]	RO	ch4_obuf_int	通道 4 输出队列数据中断。																	
[3]	RO	ch3_obuf_int	通道 3 输出队列数据中断。																	
[2]	RO	ch2_obuf_int	通道 2 输出队列数据中断。																	
[1]	RO	ch1_obuf_int	通道 1 输出队列数据中断。																	
[0]	-	reserved	保留。																	

## INT\_EN

INT\_EN 为中断使能寄存器。



Offset Address		Register Name		Total Reset Value																
0x1404		INT_EN		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	int_en reserved				ch7_ibuf_en	ch6_ibuf_en	ch5_ibuf_en	ch4_ibuf_en	ch3_ibuf_en	ch2_ibuf_en	ch1_ibuf_en	ch0_ibuf_en	ch7_obuf_en	ch6_obuf_en	ch5_obuf_en	ch4_obuf_en	ch3_obuf_en	ch2_obuf_en	ch1_obuf_en	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31]	RW	int_en	Cipher 模块的总中断使能。																	
[30:16]	-	reserved	保留。																	
[15]	RW	ch7_ibuf_en	通道 7 输入队列数据中断使能。																	
[14]	RW	ch6_ibuf_en	通道 6 输入队列数据中断使能。																	
[13]	RW	ch5_ibuf_en	通道 5 输入队列数据中断使能。																	
[12]	RW	ch4_ibuf_en	通道 4 输入队列数据中断使能。																	
[11]	RW	ch3_ibuf_en	通道 3 输入队列数据中断使能。																	
[10]	RW	ch2_ibuf_en	通道 2 输入队列数据中断使能。																	
[9]	RW	ch1_ibuf_en	通道 1 输入队列数据中断使能。																	
[8]	RW	ch0_ibuf_en	通道 0 数据处理完成中断使能。																	
[7]	RW	ch7_obuf_en	通道 7 输出队列数据中断使能。																	
[6]	RW	ch6_obuf_en	通道 6 输出队列数据中断使能。																	
[5]	RW	ch5_obuf_en	通道 5 输出队列数据中断使能。																	
[4]	RW	ch4_obuf_en	通道 4 输出队列数据中断使能。																	
[3]	RW	ch3_obuf_en	通道 3 输出队列数据中断使能。																	
[2]	RW	ch2_obuf_en	通道 2 输出队列数据中断使能。																	
[1]	RW	ch1_obuf_en	通道 1 输出队列数据中断使能。																	
[0]	-	reserved	保留。																	

## INT\_RAW

INT\_RAW 为原始中断状态寄存器。



Offset Address		Register Name		Total Reset Value																
0x1408		INT_RAW		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved				ch7_ibuf_raw	ch6_ibuf_raw	ch5_ibuf_raw	ch4_ibuf_raw	ch3_ibuf_raw	ch2_ibuf_raw	ch1_ibuf_raw	ch0_ibuf_raw	ch7_obuf_raw	ch6_obuf_raw	ch5_obuf_raw	ch4_obuf_raw	ch3_obuf_raw	ch2_obuf_raw	ch1_obuf_raw	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																	
[31:16]	-	reserved	保留。																	
[15]	RWC	ch7_ibuf_raw	通道 7 输入队列数据原始中断。																	
[14]	RWC	ch6_ibuf_raw	通道 6 输入队列数据原始中断。																	
[13]	RWC	ch5_ibuf_raw	通道 5 输入队列数据原始中断。																	
[12]	RWC	ch4_ibuf_raw	通道 4 输入队列数据原始中断。																	
[11]	RWC	ch3_ibuf_raw	通道 3 输入队列数据原始中断。																	
[10]	RWC	ch2_ibuf_raw	通道 2 输入队列数据原始中断。																	
[9]	RWC	ch1_ibuf_raw	通道 1 输入队列数据原始中断。																	
[8]	RWC	ch0_ibuf_raw	通道 0 数据处理完成原始中断。																	
[7]	RWC	ch7_obuf_raw	通道 7 输出队列数据原始中断。																	
[6]	RWC	ch6_obuf_raw	通道 6 输出队列数据原始中断。																	
[5]	RWC	ch5_obuf_raw	通道 5 输出队列数据原始中断。																	
[4]	RWC	ch4_obuf_raw	通道 4 输出队列数据原始中断。																	
[3]	RWC	ch3_obuf_raw	通道 3 输出队列数据原始中断。																	
[2]	RWC	ch2_obuf_raw	通道 2 输出队列数据原始中断。																	
[1]	RWC	ch1_obuf_raw	通道 1 输出队列数据原始中断。																	
[0]	-	reserved	保留。																	

## RST\_STATUS

模块复位状态指示信号。



Offset Address		Register Name		Total Reset Value																												
0x140C		RST_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															rst_status																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	-		reserved		保留。																											
[0]	RO		rst_status		CIPHER 模块复位状态指示信号。 0: CIPHER 当前正处于复位状态; 1: CIPHER 当前处于正常工作状态。																											

## CHAN0\_CFG

CHAN0\_CFG 为通道 0 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x1410		CHAN0_CFG		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															ch0_busy		ch0_start														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	-		reserved		保留。																											
[1]	RO		ch0_busy		通道 0 状态信号。																											
[0]	RW		ch0_start		通道 0 加解密启动信号。																											



## 3.7 定时器

### 3.7.1 概述

Timer 模块主要实现定时、计数功能，可以供操作系统用作系统时钟，也可以供应用程序用作定时和计数。Hi3516 提供 2 组 Dual-Timer 模块：Dual-Timer0、Dual-Timer1。

- Dual-Timer0 包括 Timer0、Timer1，他们共用同一个基地址和同一根中断线。
- Dual-Timer1 包括 Timer2、Timer3，他们共用同一个基地址和同一根中断线。

每组 Dual-Timer 模块包含两个功能完全相同的 Timer。

### 3.7.2 特点

Dual-Timer 模块具有以下特点：

- 有 2 个带可编程 8 位预分频器的 32bit/16bit 减法定时器/计数器。
- 计数时钟可配置，系统处于 NORMAL 模式时，Dual-Timer0 和 Dual-Timer1 的计数时钟可以选择为系统总线时钟或晶振时钟。
- 支持 3 种计数模式：自由运行模式、周期模式和单次计数模式。
- 有 2 种载入计数初值的方法，分别通过 `TIMERx_LOAD` 和 `TIMERx_BGLOAD` 寄存器实现。
- 当前的计数值可随时读取。
- 当计数值减到 0 时会产生一个中断。

### 3.7.3 功能描述

#### 功能原理

Timer 基于一个 32bit/16bit（可配置）减法计数器。计数器的值在每个计数时钟的上升沿减 1。当计数值递减到零，Timer 将产生一个中断。

Timer 有以下 3 种计数模式：

- 自由运行模式  
定时器持续计数，当计数值减到 0 时又自动回转到其最大值，并继续计数。当计数长度为 32bit 时，最大值为 `0xFFFF_FFFF`。当计数长度为 16bit 时，最大值为 `0xFFFF`。在自由模式下，也可以载入计数值，并立即从载入值递减计数，但计到 0 时回转到其最大值。
- 周期模式  
定时器持续计数，当计数值减到 0 时从 `TIMERx_BGLOAD` 寄存器中再次载入初值并继续计数。
- 单次计数模式  
向定时器中载入计数初值。当定时器的计数值减到 0 时就停止计数，直到重新被载入新值且定时器处于使能状态，才再次开始计数。



每个 Timer 具有一个预分频计数器 (prescaler)，可将其工作时钟在 Timer 内部再次进行 1 分频、16 分频或 256 分频。进一步提高计数时钟频率的选择灵活性。

对定时器载入计数初值的方法如下：

- 通过写 `TIMERx_LOAD` 寄存器可对定时器载入计数初值。当定时器处于工作状态时，如果向 `TIMERx_LOAD` 寄存器写入值，会导致定时器立刻从新值开始重新计数。适用于所有计数模式。
- 通过写 `TIMERx_BGLOAD` 寄存器可以设定周期计数模式的计数周期。写该寄存器不会立刻影响定时器的当前计数，定时器会继续计数直到计数值减到 0。然后载入 `TIMERx_BGLOAD` 寄存器中的新值开始计数。

## 3.7.4 工作方式

### 3.7.4.1 初始化

系统初始化时应对 Timer 进行初始化。初始化 TimerX (TimerX 中的“X”取值为 0、1、2、3) 时应按以下步骤进行配置：

- 步骤 1 写 `TIMERx_LOAD` 寄存器，为 Timer 载入计数初值。
- 步骤 2 当需要 Timer 工作在周期计数模式下、且计数周期与载入 Timer 的计数初值不同时，写 `TIMERx_BGLOAD` 寄存器，设置 Timer 的计数周期。
- 步骤 3 配置系统控制寄存器 `SC_CTRL`，设置 Timer 的时钟使能信号的参考时钟。
- 步骤 4 配置 `TIMERx_CONTROL` 寄存器，设置 Timer 的计数模式、计数器长度、预分频因子及中断屏蔽，同时启动 Timer 计数。

----结束

### 3.7.4.2 中断处理

Timer 主要用于定时产生中断，因此 Timer 的中断处理主要是激活等待定时中断的进程。操作步骤如下：

- 步骤 1 配置 `TIMERx_INTCLR` 寄存器，清除 Timer 中断。
- 步骤 2 激活等待该中断的进程，使其继续执行。
- 步骤 3 当所有等待该中断的进程完成或再次执行到等待中断的休眠状态时，恢复中断现场，继续执行当前被中断的程序。

----结束

### 3.7.4.3 时钟选择

Dual-Timer0 和 Dual-Timer1 均有 2 种计数时钟可选择。下面以 Timer0 为例，时钟选择配置流程如下：

#### 选择总线时钟进行计数

选择总线时钟进行计数的步骤如下：



步骤 1 配置系统控制器的 SC\_CTRL [timeren0ov]=1。

步骤 2 初始化 Timer，开始计数。

----结束

### 选择晶振时钟进行计数

选择 3MHz 时钟进行计数的步骤如下：

步骤 1 配置系统控制器的 SC\_CTRL [timeren0ov]=0。

步骤 2 配置系统控制器的 SC\_CTRL [timeren0sel]=0。

步骤 3 初始化 Timer，开始计数。

----结束

## 3.7.5 寄存器概览

Timer 模块中的 4 个定时器各自有一组寄存器，这 4 组寄存器除基址和偏移地址各不相同外其他特性都相同。其中：

- Timer0、Timer1 共用一个基址：0x2000\_0000。
- Timer2、Timer3 共用一个基址：0x2001\_0000。



说明

TIMERx 中的“x”取值为 0、1、2、3。

表3-29 Timer 寄存器概览（基址是 0x20000000、0x2001\_0000）

Timer0/2 的 偏移地址	Timer1/3 的 偏移地址	名称	描述	页码
0x000	0x020	TIMERx_LOAD	计数初值寄存器	3-179
0x004	0x024	TIMERx_VALUE	当前计数值寄存器	3-180
0x008	0x028	TIMERx_CONTROL	Timer 控制寄存器	3-181
0x00C	0x02C	TIMERx_INTCLR	中断清除寄存器	3-183
0x010	0x030	TIMERx_RIS	原始中断寄存器	3-184
0x014	0x034	TIMERx_MIS	屏蔽后中断寄存器	3-185
0x018	0x038	TIMERx_BGLOAD	周期模式计数初值 寄存器	3-186



### 3.7.6 寄存器描述



- TIMER0\_XXXX、TIMER2\_XXXX 的偏移地址相同，关于这 2 个相似的寄存器描述均以 TIMER0\_XXXX 为例进行介绍。
- TIMER1\_XXXX、TIMER3\_XXXX 的偏移地址相同，关于这 2 个相似的寄存器描述均以 TIMER1\_XXXX 为例进行介绍。

#### TIMERx\_LOAD

TIMERx\_LOAD 为计数初值寄存器。用来配置定时器的计数初值。Timer0~Timer3 各有 1 个计数初值寄存器。

当定时器处于周期模式且计数值递减到 0 时，将 **TIMERx\_LOAD** 的值重新载入计数器。当直接写 **TIMERx\_LOAD** 寄存器时，定时器当前的计数器将在被 TIMCLKENx 使能的下一个 TIMCLK 的上升沿更新为写入值。



- 向 **TIMERx\_LOAD** 寄存器写入的最小有效值为 1。
- 当向 **TIMERx\_LOAD** 写 0 时，Dual-Timer 将会立刻产生 1 个中断。

当向 **TIMERx\_BGLOAD** 寄存器写入值时，**TIMERx\_LOAD** 的值也会被覆盖，但定时器计数的当前值不会受到影响。

如果在被 TIMCLKENx 使能的 TIMCLK 的上升沿到来之前，向 **TIMERx\_BGLOAD** 寄存器和 **TIMERx\_LOAD** 寄存器都写入了值，则在被 TIMCLKENx 使能的 TIMCLK 的下一个上升沿定时计数器的值首先更新为 **TIMERx\_LOAD** 的写入值。此后，每当计数器递减到 0 时，重新载入 **TIMERx\_BGLOAD** 与 **TIMERx\_LOAD** 中最晚被写入的寄存器的写入值。

在分别对 **TIMERx\_BGLOAD** 寄存器和 **TIMERx\_LOAD** 寄存器进行了 2 次写入之后，读 **TIMERx\_LOAD** 返回的值为 **TIMERx\_BGLOAD** 的写入值。

##### 1. TIMER0\_LOAD

	Offset Address	Register Name	Total Reset Value
	0x000	TIMER0_LOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer0_load		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer0_load	Timer0 的计数初值。

##### 2. TIMER1\_LOAD

Offset Address	Register Name	Total Reset Value
0x020	TIMER1_LOAD	0x0000_0000



Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	timer1_load																																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																													
[31:0]	RW		timer1_load		Timer1 的计数初值。																													

## TIMER<sub>x</sub>\_VALUE

TIMER<sub>x</sub>\_VALUE 为当前计数值寄存器。用于给出正在递减的计数器的当前值。  
Timer0~7 各有 1 个当前计数值寄存器。

当向 **TIMER<sub>x</sub>\_LOAD** 寄存器的写操作发生后，**TIMER<sub>x</sub>\_VALUE** 在 PCLK 时钟域立刻反映出计数器的新载入值，不用等到下一个被 TIMCLKEN<sub>x</sub> 使能的 TIMCLK 时钟沿到来。

### 📖 说明

当定时器处于 16bit 模式时，32bit 的 **TIMER<sub>x</sub>\_VALUE** 寄存器的高 16bit 并未被自动设为 0。若该定时器以前处于 32bit 模式，并且自从进入 16bit 模式后 **TIMER<sub>x</sub>\_LOAD** 从未被写过，则 **TIMER<sub>x</sub>\_VALUE** 寄存器的高 16bit 可能具有非零值。

### 1. TIMER0\_VALUE

Offset Address	Register Name	Total Reset Value																																
0x004	TIMER0_VALUE	0xFFFF_FFFF																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	timer0_value																																	
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
Bits	Access		Name		Description																													
[31:0]	RO		timer0_value		正在递减的 Timer0 的当前值。																													

### 2. TIMER1\_VALUE

Offset Address	Register Name	Total Reset Value																																
0x024	TIMER1_VALUE	0xFFFF_FFFF																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	timer0_value																																	
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
Bits	Access		Name		Description																													
[31:0]	RO		timer0_value		正在递减的 Timer1 的当前值。																													



## TIMERx\_CONTROL

TIMERx\_CONTROL 为 TIMER 控制寄存器。Timer0~3 各有 1 个控制寄存器。

### 说明

当选择用周期模式进行计数时，需要将 TIMERx\_CONTROL[timermode]置 1、TIMERx\_CONTROL[oneshot]置 0。

### 1. TIMER0\_CONTROL

Offset Address		Register Name		Total Reset Value									
0x008		TIMER0_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:8]	-	reserved	保留。										
[7]	RW	timeren	定时器使能。 0: Timer 禁止; 1: Timer 使能。										
[6]	RW	timermode	定时器的计数模式。 0: 自由运行模式; 1: 周期模式。										
[5]	RW	intenable	TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。										
[4]	-	reserved	保留。										
[3:2]	RW	timerpre	该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于 8 级预分频, 将 Timer 时钟频率除以 256。										



Offset Address		Register Name		Total Reset Value									
0x008		TIMER0_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。										
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式或自由运行模式; 1: 单次计数模式。										

## 2. TIMER1\_CONTROL

Offset Address		Register Name		Total Reset Value									
0x028		TIMER1_CONTROL		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						timeren	timermode	intenable	reserved	timerpre	timersize	oneshot
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:8]	-	reserved	保留。										
[7]	RW	timeren	定时器使能。 0: Timer 禁止; 1: Timer 使能。										
[6]	RW	timermode	定时器的计数模式。 0: 自由运行模式; 1: 周期模式。										



[5]	RW	intenable	TIMERx_RIS 中断屏蔽。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	-	reserved	保留。
[3:2]	RW	timerpre	该字段用于设置 Timer 的预分频因子。 00: 不经过预分频, 时钟频率除以 1; 01: 4 级预分频, 将 Timer 时钟频率除以 16; 10: 8 级预分频, 将 Timer 时钟频率除以 256; 11: 未定义, 若设为该值, 相当于预分频因子等于 10。
[1]	RW	timersize	选择 16bit/32bit 计数器操作模式。 0: 16bit 计数器; 1: 32bit 计数器。
[0]	RW	oneshot	选择计数模式为单次计数模式还是周期计数模式。 0: 周期计数模式; 1: 单次计数模式。

## TIMERx\_INTCLR

TIMERx\_INTCLR 为中断清除寄存器。对该寄存器的任何写操作都会清除相应计数器的中断状态。Timer0~Timer3 各有 1 个中断清除寄存器。



### 注意

本寄存器是只写寄存器, 写进去任意值, 都会引起 Timer 清中断, 内部并不记忆写入的值, 无复位值。

#### 1. TIMER0\_INTCLR

	Offset Address	Register Name	Total Reset Value
	0x00C	TIMER0_INTCLR	-
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name		timer0_intclr	
Reset	? ?		
Bits	Access	Name	Description
[31:0]	WO	timer0_intclr	写该寄存器, 清除 Timer0 的中断输出。



2. TIMER1\_INTCLR

Offset Address	Register Name	Total Reset Value	
0x02C	TIMER1_INTCLR	-	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timerx1_intclr		
Reset	? ?		
Bits	Access	Name	Description
[31:0]	WO	timer1_intclr	写该寄存器，清除 Timer1 的中断输出。

TIMERx\_RIS

TIMERx\_RIS 为原始中断寄存器。Timer0~Timer3 各有 1 个原始中断寄存器。

1. TIMER0\_RIS

Offset Address	Register Name	Total Reset Value	
0x030	TIMER0_RIS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。写入无效，读时返回 0。
[0]	RO	timer0ris	Timer0 的原始中断状态。 0: 未产生中断; 1: 已产生中断。

2. TIMER1\_RIS



Offset Address		Register Name		Total Reset Value					
0x030		TIMER1_RIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer1ris
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。写入无效，读时返回 0。						
[0]	RO	timer1ris	Timer1 的原始中断状态。 0: 未产生中断; 1: 已产生中断。						

## TIMERx\_MIS

TIMERx\_MIS 为屏蔽后中断寄存器。Timer0~Timer3 各有 1 个屏蔽后中断寄存器。

### 1. TIMER0\_MIS

Offset Address		Register Name		Total Reset Value					
0x014		TIMER0_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer0mis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	timer0mis	屏蔽后的 Timer0 的中断状态。 0: 中断无效; 1: 中断有效。						

### 2. TIMER1\_MIS



Offset Address		Register Name		Total Reset Value					
0x034		TIMER1_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								timer1mis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	timer1mis	屏蔽后的 Timer1 的中断状态。 0: 中断无效; 1: 中断有效。						

## TIMERx\_BGLOAD

TIMERx\_BGLOAD 为周期模式计数初值寄存器。Timer0~Timer3 各有 1 个周期模式计数初值寄存器。

TIMERx\_BGLOAD 寄存器中包含了定时器的计数初值。该寄存器用于在周期模式下，当定时器的计数值递减到 0 时重新载入计数初值。

该寄存器提供了访问 TIMERx\_LOAD 寄存器的另一种方法。不同之处在于写入值到 TIMERx\_BGLOAD 寄存器中不会导致定时器立即从新写入值开始计数。

### 1. TIMER0\_BGLOAD

Offset Address		Register Name		Total Reset Value				
0x018		TIMER0_BGLOAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	timer0bgload							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	timer0bgload	Timer0 的计数初值。 注意：与 TIMERx_LOAD 寄存器有区别，具体请参见 TIMERx_LOAD 寄存器的描述。					

### 2. TIMER1\_BGLOAD



	Offset Address	Register Name	Total Reset Value
	0x038	TIMER1_BGLOAD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	timer1bgload		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	timer1bgload	Timer1 的计数初值。 注意：与 <b>TIMERx_LOAD</b> 寄存器有区别，具体请参见 <b>TIMERx_LOAD</b> 寄存器的描述。

## 3.8 看门狗

### 3.8.1 概述

看门狗 WatchDog 用于系统异常情况下，一定时间内发出复位信号，以复位整个系统。

### 3.8.2 特点

WatchDog 具备以下特点：

- 内部具有一个 32bit 减法计数器，计数时钟源可配置。
- 支持超时时间间隔（即计数初值）可配置。
- 支持寄存器锁定，防止寄存器被误改。
- 支持超时中断产生。
- 支持复位信号产生。
- 支持调试模式。

### 3.8.3 功能描述

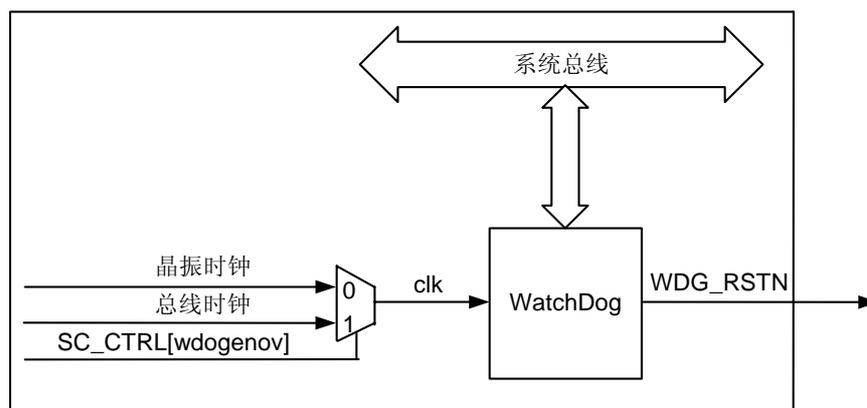
#### 应用框图

系统通过 SC\_CTRL [wdogenov] 给 WatchDog 选择配置时钟，并通过系统总线给 WatchDog 配置寄存器参数值。WatchDog 定时发出中断请求给系统，并在系统没有响应中断的情况下（如：死机），发出 WDG\_RSTN 复位信号，使系统复位，达到监控系统运行的目的。

WatchDog 应用框图如图 3-22 所示。



图3-22 WatchDog 应用框图



## 功能原理

WatchDog 的运行基于 1 个 32bit 减法计数器，计数初值由寄存器 `WDG_LOAD` 载入。在 WatchDog 时钟使能情况下，计数值在每个计数时钟的上升沿减 1。当计数值递减到 0，WatchDog 将产生一个中断。然后在下一个计数时钟上升沿，计数器又从寄存器 `WDG_LOAD` 中重新载入计数初值，开始递减计数。

如果计数器的计数值第二次计数递减到 0 时，CPU 还没有清除 WatchDog 中断，则 WatchDog 将发出复位信号 `WDG_RSTN`，计数器停止计数。

根据实际应用需要，可通过配置 `WDG_CONTROL` 使能或者禁止 WatchDog 产生中断和复位信号：

- 当禁止产生中断时，计数器将停止计数。
- 当重新开启中断时，WatchDog 将从 `WDG_LOAD` 的设定值开始计数，而不是从计数器上次停止时的计数值开始计数。在中断到来之前，可以重新载入初值。

WatchDog 的计数时钟可以选择晶振时钟或者总线时钟，便于选择不同的计数时间范围。

通过配置 `WDG_LOCK` 寄存器，可以禁止对 WatchDog 内部寄存器进行写操作：

- 向 `WDG_LOCK` 写入 `0x1ACC_E551`，可以打开所有 WatchDog 寄存器的写权限。
- 向 `WDG_LOCK` 寄存器写入其他任何值，可以关闭所有 WatchDog 寄存器（`WDG_LOCK` 寄存器除外）的写权限。

该特性保护 WatchDog 的寄存器不被软件错误地修改，从而使得在异常情况下，WatchDog 不致被软件错误地中止操作。

在调试模式下，WatchDog 自动关闭，以防止干扰正常的调试操作。



## 3.8.4 工作方式

### 计数时钟频率配置

系统支持 2 种 WatchDog 计数时钟：3MHz 时钟和总线时钟，通过 SC\_CTRL [wdogenov] 进行配置。

WatchDog 计数时间为  $T_{\text{WDG}}$ ：

$$T_{\text{WDG}} = \text{Value}_{\text{WDG\_LOAD}} \times \left( \frac{1}{f_{\text{clk}}} \right)$$

#### 说明

其中上式中，各参数代表的意义分别是：

- $T_{\text{WDG}}$  表示 WatchDog 计数时间；
- $\text{Value}_{\text{WDG\_LOAD}}$  表示 WatchDog 计数初值；
- $f_{\text{clk}}$  表示 WatchDog 计数时钟频率。

WatchDog 在不同时钟下的计数时间范围值如下：

- 当选择 3MHz 时钟时，计数时间范围为 0s~1400s。
- 当选择总线时钟（以 100MHz 为例）时，计数时间范围为 0s~42s。

### 系统初始化配置

系统上电复位后 WatchDog 计数器处于停止计数状态，在系统初始化过程中需要将 WatchDog 初始化并启动其运行。WatchDog 的初始化过程如下：

- 步骤 1 写寄存器 **WDG\_LOAD**，设定计数初值。
  - 步骤 2 写寄存器 **WDG\_CONTROL**，打开中断屏蔽并启动 WatchDog 计数。
  - 步骤 3 写寄存器 **WDG\_LOCK**，给 WatchDog 上锁，防止软件错误修改 WatchDog 的配置。
- 结束

### 中断处理过程

收到 WatchDog 发出的中断后，应及时清除其中断状态，并使其载入计数初值重新开始计数。WatchDog 中断处理的过程如下所示：

- 步骤 1 向 **WDG\_LOCK** 写 0x1ACC\_E551，为 WatchDog 开锁。
  - 步骤 2 写寄存器 **WDG\_INTCLR**，清除 WatchDog 的中断状态，同时也使 WatchDog 自动载入计数初值重新开始计数。
  - 步骤 3 向寄存器 **WDG\_LOCK** 写入 0x1ACC\_E551 以外的任何值，给 WatchDog 上锁。
- 结束



## 关闭 WatchDog

向寄存器 `WDG_CONTROL`[inten]控制位写入 0 或 1 控制 WatchDog 的状态:

- 0: 关闭 WatchDog;
- 1: 打开 WatchDog。

## 3.8.5 WatchDog 寄存器概览

WatchDog 寄存器概览如表 3-30 所示。

表3-30 WatchDog 寄存器概览（基址是 0x2004\_0000）

偏移地址	名称	描述	页码
0x0000	WDG_LOAD	计数初值寄存器	3-190
0x0004	WDG_VALUE	计数器当前值寄存器	3-191
0x0008	WDG_CONTROL	控制寄存器	3-191
0x000C	WDG_INTCLR	中断清除寄存器	3-192
0x0010	WDG_RIS	原始中断寄存器	3-192
0x0014	WDG_MIS	屏蔽后中断寄存器	3-192
0x0018~ 0x0BFC	RESERVED	保留	-
0x0C00	WDG_LOCK	LOCK 寄存器	3-193

## 3.8.6 WatchDog 寄存器描述

### WDG\_LOAD

WDG\_LOAD 为计数初值寄存器。用来配置 WatchDog 内部计数器的计数初值。

	Offset Address	Register Name	Total Reset Value
	0x0000	WDG_LOAD	0xFFFF_FFFF
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	wdg_load		
Reset	1 1 1 1   1 1 1 1   1 1 1 1   1 1 1 1   1 1 1 1   1 1 1 1   1 1 1 1   1 1 1 1		
Bits	Access	Name	Description
[31:0]	RW	wdg_load	计数初值。



## WDG\_VALUE

WDG\_VALUE 为计数器当前值寄存器。用来读出 WatchDog 内部计数器的当前计数值。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				WDG_VALUE				0xFFFF_FFFF																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	wdogvalue																															
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:0]	RO		wdogvalue		WatchDog 计数器当前值。																											

## WDG\_CONTROL

WDG\_CONTROL 为控制寄存器。用来控制 WatchDog 的打开/关闭、中断和复位功能。

	Offset Address				Register Name				Total Reset Value																							
	0x0008				WDG_CONTROL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										resen	inten				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	-		reserved		保留。																											
[1]	RW		resen		WatchDog 复位信号输出使能。 0: 禁止; 1: 使能。																											
[0]	RW		inten		WatchDog 中断信号输出使能。 0: 计数器停止计数, 计数值保持当前值不变, WatchDog 被关闭; 1: 既启动计数器又使能中断, WatchDog 被启动。																											



## WDG\_INTCLR

WDG\_INTCLR 为中断清除寄存器。用来清除 WatchDog 中断，使 WatchDog 重新载入初值进行计数。本寄存器是只写寄存器，写进去任意值，都会引起 WatchDog 清中断，内部并不记忆写入的值，无复位值。

Offset Address		Register Name		Total Reset Value																
0x000C		WDG_INTCLR		-																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	wdg_intclr																			
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
Bits	Access	Name	Description																	
[31:0]	WO	wdg_intclr	对该寄存器写入任意值均可清除 WatchDog 的中断，并使 WatchDog 从寄存器 WDG_LOAD 中重新载入初值计数。																	

## WDG\_RIS

WDG\_RIS 为原始中断寄存器。用来反映 WatchDog 原始中断状态。

Offset Address		Register Name		Total Reset Value																
0x0010		WDG_RIS		0x0000_0000																
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0												
Name	reserved								wdogris											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																	
[31:1]	-	reserved	保留。																	
[0]	RO	wdogris	WatchDog 原始中断状态，当计数器的计数值递减到 0 时，该位置 1。 0: 未产生中断； 1: 已产生中断。																	

## WDG\_MIS

WDG\_MIS 为屏蔽后中断寄存器。用来反映屏蔽后的 WatchDog 中断状态。



Offset Address		Register Name		Total Reset Value					
0x0014		WDG_MIS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								wdogmis
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	wdogmis	WatchDog 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽; 1: 已产生中断。						

## WDG\_LOCK

WDG\_LOCK 为 LOCK 寄存器。用来控制 WatchDog 寄存器的读写权限。

Offset Address		Register Name		Total Reset Value				
0x0C00		WDG_LOCK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	wdg_lock							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	wdg_lock	向该寄存器写入 0x1ACC_E551，可打开所有寄存器的写权限； 向该寄存器写入其他值则关闭写权限。 读该寄存器返回加锁的状态而不是写入该寄存器的值： 0x0000_0000：允许写访问（未加锁）； 0x0000_0001：禁止写访问（已加锁）。					

## 3.9 实时时钟

### 3.9.1 概述

实时时钟 RTC（Real Time Clock）用于实现时间显示和定时报警功能。



## 3.9.2 特点

RTC 具备以下特点：

- 内部具有 1 个 32bit 加法计数器
- 计数时钟 1Hz
- 计数初值可配置
- 计数比较值可配置
- 支持超时中断产生
- 支持软复位

## 3.9.3 功能描述

RTC 的运行基于 1 个 32bit 加法计数器，计数初值由寄存器 `RTC_LR` 载入。计数器的值在每个计数时钟的上升沿加 1。当计数值递加到 `RTC_LR` 寄存器与 `RTC_MR` 寄存器值相等时，RTC 将产生一个中断，然后在下一个计数时钟上升沿，计数器继续递加计数。

根据实际应用需要，可通过配置 `RTC_IMSC` 使能或者禁止 RTC 产生中断信号。此时，存在以下两种情况：

- 当禁止产生中断时，RTC 计数器继续递加计数，将不会对外产生中断，在 `RTC_MIS` 中显示屏蔽后中断的状态，在 `RTC_RIS` 中显示原始中断状态。
- 当重新开启中断时，RTC 计数器仍然继续递加计数，当计数值递加到 `RTC_LR` 寄存器与 `RTC_MR` 寄存器值相等时，RTC 将产生一个中断。

RTC 的计数时钟采用的是 1Hz 时钟，便于通过计数值转换为具体的年、月、日、时、分、秒。

## 3.9.4 工作方式

### 3.9.4.1 计数时钟频率

RTC 采用 1Hz 时钟进行计数，计数最大时间为：

$$T_{\text{RTC}} = (2^{32} - 1) \times (1/f_{\text{rtcclock}}) = 4294967295(\text{秒}) \approx 49710(\text{天})$$

说明

$T_{\text{RTC}}$  表示 RTC 计数时间， $2^{32} - 1$  表示 RTC 计数最大值， $f_{\text{rtcclock}}$  表示 RTC 计数时钟频率：1Hz。

### 3.9.4.2 软复位

通过配置系统控制器 `PERI_CEG38[rtc_srst_req]`，可以实现对 RTC 的单独软复位。软复位后各个 RTC 配置寄存器的值均恢复为默认值，因此软复位后需要重新对这些寄存器进行初始化配置。

软复位步骤如下：

步骤 1 向 `PERI_CEG38[rtc_srst_req]` 写 1，对 RTC 软复位。



步骤 2 向 PERI\_CEG38[rtc\_srst\_req]写 0，撤消对 RTC 的软复位。

----结束

### 3.9.4.3 系统初始化

系统上电复位后，RTC 计数器处于停止计数状态，在系统初始化过程中需要将 RTC 初始化并启动其运行。RTC 的初始化过程如下：

步骤 1 配置 RTC\_CR[rtc\_start]=0b1，启动 RTC 计数器开始计数。

步骤 2 配置 RTC\_IMSC[rtc\_imsc]=0b0，设置 RTC 中断屏蔽位。

步骤 3 配置 RTC\_MR，设置 RTC 比较值。

步骤 4 配置 RTC\_LR，设置 RTC 计数初始值。

步骤 5 RTC 按照 1Hz 的计数时钟频率，从 RTC\_LR 中的值开始计数，当计数到 RTC\_MR 中的值时，将根据 RTC\_IMSC 的设置，决定是否产生中断。

----结束

### 3.9.4.4 中断处理

系统收到 RTC 发出的中断后，表示定时时间到，随后转入“定时开机”、“定时关机”等相应操作，RTC 计数器仍然保持递加计数。RTC 中断处理的过程如下：

步骤 1 配置 RTC\_ICR[rtc\_icr]=0b1，清除 RTC 的中断状态。

步骤 2 如果还需要继续设置定时时间，则向寄存器 RTC\_MR 写入新的比较值。

----结束

### 3.9.4.5 关闭 RTC

一旦配置 RTC\_CR，启动 RTC 计数后，RTC 将一直处于计数状态。只有对 RTC 复位后，才能关闭 RTC。对 RTC 的软复位操作请参见“3.9.4.2 软复位”操作。

## 3.9.5 寄存器概览

表3-31 RTC 寄存器概览（基址是 0x2006\_0000）

偏移地址	名称	描述	页码
0x000	RTC_DR	计数器当前值寄存器	3-196
0x004	RTC_MR	RTC 比较寄存器	3-196
0x008	RTC_LR	RTC 加载寄存器	3-196
0x00C	RTC_CR	RTC 使能寄存器	3-197
0x010	RTC_IMSC	中断屏蔽寄存器	3-197



偏移地址	名称	描述	页码
0x014	RTC_RIS	原始中断寄存器	3-198
0x018	RTC_MIS	屏蔽后中断寄存器	3-198
0x01C	RTC_ICR	中断清除寄存器	3-199

### 3.9.6 寄存器描述

#### RTC\_DR

RTC\_DR 为计数器当前值寄存器，用来读取 RTC 内部计数器的当前值。

Offset Address	Register Name	Total Reset Value	
0x000	RTC_DR	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rtc_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rtc_data	当前 RTC 计数值。

#### RTC\_MR

RTC\_MR 为 RTC 比较寄存器，用来设置 RTC 的比较值。

Offset Address	Register Name	Total Reset Value	
0x004	RTC_MR	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rtc_match		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RW	rtc_match	设置的 RTC 比较值。

#### RTC\_LR

RTC\_LR 为 RTC 加载寄存器，用来设置 RTC 计数初始值。



Offset Address		Register Name		Total Reset Value		
0x008		RTC_LR		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	rtc_load					
Reset	0 0					
Bits	Access	Name	Description			
[31:0]	RW	rtc_load	设置 RTC 计数初始值。			

### RTC\_CR

RTC\_CR 为控制寄存器，用来使能 RTC。一旦使能，只有系统复位才能清除该寄存器。对该寄存器的任何写操作不起作用。读则返回当前值。

Offset Address		Register Name		Total Reset Value		
0x00C		RTC_CR		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	reserved					rtc_start
Reset	0 0					
Bits	Access	Name	Description			
[31:1]	-	reserved	保留。			
[0]	RW	rtc_start	RTC 使能。 0: 禁止 RTC。 1: 使能 RTC。			

### RTC\_IMSC

RTC\_IMSC 为中断屏蔽设置/清除寄存器，用来反映 RTC 中断屏蔽状态。

Offset Address		Register Name		Total Reset Value		
0x010		RTC_IMSC		0x0000_0000		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0					
Name	reserved					rtc_imsc
Reset	0 0					



Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	rtc_imsc	RTC 中断屏蔽设置/清除控制。 0: 设置中断屏蔽; 1: 清除中断屏蔽。

## RTC\_RIS

RTC\_RIS 为原始中断状态寄存器，用来反映 RTC 原始中断状态。

Offset Address	Register Name	Total Reset Value	
0x014	RTC_RIS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	rtc_ris	
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RO	rtc_ris	RTC 原始中断状态。 0: 未产生中断; 1: 已产生中断。

## RTC\_MIS

RTC\_MIS 为 RTC 屏蔽后中断寄存器，用来反映屏蔽后的 RTC 中断状态。

Offset Address	Register Name	Total Reset Value	
0x018	RTC_MIS	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	rtc_mis	
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。



[0]	RO	rtc_mis	RTC 屏蔽后的中断状态。 0: 未产生中断或者中断被屏蔽。 1: 已产生中断。
-----	----	---------	--

## RTC\_ICR

RTC\_ICR 为 RTC 清除中断寄存器，用来清除 RTC 中断。

	Offset Address	Register Name	Total Reset Value
	0x01C	RTC_ICR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		rtc_icr
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	WO	rtc_icr	清除 RTC 中断。 0: 无影响； 1: 清除中断。

## 3.10 电源管理与低功耗模式控制

### 3.10.1 概述

芯片的低功耗模式用来有效的减少芯片的功耗，芯片提供多种低功耗的控制来动态降低芯片的功耗：

- 系统工作模式控制  
除了 NORMAL 模式之外，各种模式对功耗都有一定的减小作用，可以根据实际的功耗要求和功能要求选择不同的工作模式。
- 时钟门控和时钟频率调整  
提供时钟关断功能，可以关闭没有必要的时钟，减少芯片的功耗。系统工作的时钟频率可以进行调整，在满足功能的情况下可以调节时钟频率，动态降低芯片功耗。
- 模块级低功耗控制  
提供模块级的低功耗控制，可以在某模块不工作的情况下，关断该模块或使模块处于低功耗状态，以减少芯片的功耗。



- DDR 低功耗控制

DDR 的控制器和相关的管脚进行了动态的功耗控制功能，可以选择启动该功能，降低芯片功耗，还可以启动 DDR 的自刷新模式，来降低整个产品的功耗。

### 3.10.2 系统工作模式

系统提供两种工作模式：

- 正常工作模式：对应系统运行模式控制中的 NORMAL 模式。

系统正常工作在 NORMAL 模式下，可以通过控制运行的时钟频率，设置模块和 DDR 的低功耗控制，来降低运行时的功耗。

- 待机工作模式：对应系统运行模式控制中的 SLOW 模式和 DOZE 模式。待机工作模式工作系统在极低工作时钟下，并且关闭了大部分不使用的模块的时钟，功耗较低。

待机工作在 SLOW 或 DOZE 模式下，可以通过关闭不工作模块的电源来直接减少待机的功耗。

### 3.10.3 时钟门控和时钟频率调整

系统提供各个模块的时钟门控功能，在模块空闲的时候，可以关闭相应的时钟，降低芯片功耗，操作流程可以参见各个模块的时钟门控部分。

NORMAL 模式下，系统可以通过调整工作频率来降低芯片功耗，方法如下：

步骤 1 关闭业务模块，使其不访问 DDR。

步骤 2 系统切换到片上内存中运行。

配置 DDRC\_SREFCTRL[sr\_seq]为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。

步骤 3 配置 SC\_PLLCTRL[27:3]为 PLL 的稳定时间。

步骤 4 配置 PERI\_CRG0 和 PERI\_CRG1，进行 PLL 分频比控制。

步骤 5 根据 DDRC 的配置要求，等待一定的时间之后，配置 DDRC\_SREFCTRL 退出自刷新，进行正常的操作。

步骤 6 程序跳转到 DDR 中运行。

----结束

除了提供系统工作频率的调整外，部分模块的工作频率也可以单独进行调整。调整这些模块的工作频率，也可以进一步降低系统的功耗。具体参见“时钟”章节中关于各模块的时钟源选择部分。

### 3.10.4 模块级低功耗控制

芯片中的 USB 2.0 Host、PCIE、Video DAC 和 PLL 等模块都可以提供低功耗的工作模式。



- USB 2.0 Host 模块的低功耗控制请参见“USB 2.0 Host 工作方式”中的“时钟门控”。此外，还可以控制 periphctrl21[siddq]为 1 关断 USB PHY 电源。
- PCIE 模块的低功耗控制请参见“10.9.4 PCI-E 工作方式”中的“时钟门控”。此外，还可以控制 PERI\_CRG39[3]为 1 关断 PCIE PHY 电源。
- Video DAC 不使用时，还可以控制 PERI\_CRG17[7]为 1，关断 DAC 电源。
- Audio Codec 可以对每个通道进行低功耗的控制，配置 periphctrl[31:26]对应位为 1，表示关闭通道电源，使 Audio DAC 处于低功耗状态。
- PLL 提供低功耗的功能，如果不使用 PLL 的情况下可以关闭 PLL，使系统处于低功耗状态：
  - 如果不需要使用 APLL，则可以通过配置 PERI\_CRG1 bit[21]=0，禁止 APLL，使 APLL 处于低功耗状态。
  - 如果不需要使用 VPLL0，则可以通过配置 PERI\_CRG3 bit[21]=0，禁止 VPLL0，使 VPLL0 处于低功耗状态。
  - 如果不需要使用 VPLL1，则可以通过配置 PERI\_CRG5 bit[21]=0，禁止 VPLL1，使 VPLL1 处于低功耗状态。
  - 如果不需要使用 EPLL，则可以通过配置 PERI\_CRG7 bit[21]=0，禁止 EPLL，使 EPLL 处于低功耗状态。

### 3.10.5 DDR 低功耗控制

关于 DDRC 的低功耗控制的详细内容请参见“DDRC 工作方式”中的“低功耗配置”。

## 3.11 处理器子系统

### 3.11.1 ARMCortex-A9 处理器

处理器采用 ARMCortex-A9 的单核处理器，具有以下的特点：

- 处理器工作频率最大支持 800MHz。
- L1 Cache 包含 32KB Instruction Cache 和 32KB Data Cache。
- 包含 256KB L2 Cache，L2 Cache 与处理器同频，且与 AXI 总线之间的工作频率关系寄存器可配。如表 3-32 所示，共支持 7 种频率关系。

表3-32 L2 Cache 与 AXI 总线之间的工作频率关系

L2 Cache 与 AXI 总线频率比		频率描述
总线频率 200MHz	4: 1	L2 频率 800MHz，总线频率 200MHz
	3: 1	L2 频率 600MHz，总线频率 200MHz
	2: 1	L2 频率 400MHz，总线频率 200MHz



L2 Cache 与 AXI 总线频率比		频率描述
	1: 1	L2 频率 200MHz, 总线频率 200MHz
总线频率 250MHz	3: 1	L2 频率 750MHz, 总线频率 250MHz
	2: 1	L2 频率 500MHz, 总线频率 250MHz
	1: 1	L2 频率 250MHz, 总线频率 250MHz

- 处理器内部集成中断控制器 GIC (Generic Interrupt Controller), 支持 64 个中断源的处理。
- 处理器为乱序双发射结构, 基于单线程结构, 2.5DMIPS。
- 处理器采用八级流水。
- 包含 MMU (Memory Management Unit)。
- 处理器核内带硬件浮点处理单元, 支持 IEEE754 标准单双精度浮点运算。
- 支持 Vxworks、Linux 等操作系统。
- 支持基于 GHB (Global History Buffer) 的分支预测, 分支预测准确率达到 95%。
- 支持 JTAG 调试接口。

### 3.11.2 L2 Cache

L2 Cache 具有以下特点:

- 256KB 大小。
- 基于物理地址和物理 tag。
- 支持 Format C 的 Cache Lockdown, Lockdown 对指令和数据操作分类, 被 Lockdown 的 RAM 空间可用作处理器的 TCM (Tightly Coupled Memory)。
- Cache Line 大小固定为 32byte (8word/256bit), 写操作支持按 byte 写。
- 支持写回 (write back)、写通 (write through)、读 Allocate 和写 Allocate 操作, 实际模式基于页表决定。
- 支持 PipeLine 方式对 TAG RAM 和 DATA RAM 的访问, 每个时钟周期能完成一次 TAG RAM 查询, 和 DATA RAM 读写。
- 提供 3 个 LFB (Line Fill Buffer), 该 Buffer 的功能为缓存从 memory Allocate 的数据, 直到数据填满一个 Line 后再提交给 L2 Memory。
- 为每个 Slave 端口提供 2 个 LRB (Line Read Buffer), 该 Buffer 的功能为缓存命中后供给 L1 cache 的 Cache Line。
- 提供 3 个 EB (Eviction Buffer), 该 Buffer 的功能为缓存由 L2 Cache 替换出来并准备写入主存的数据。



- 提供 3 个 WB (Write Buffer), 该 Buffer 缓存从 L1 写入, 需要写入 memory 及 L2 Cache 的数据; 该 Buffer 包括 1 个地址空间和 256bit 的数据空间, 支持 1 条 Line 以内的数据写入 1 条数据槽。
- 支持强制写 Allocate 功能, 该功能强制所有 Cacheable 写操作发生 Allocate 操作。
- 支持 Shared 模式设置, 默认情况下 Shared 操作被认定为 Cacheable 且 Not Allocate。
- 支持关键字优先。
- 支持原子性 Sync 操作。
- 支持伪随机替换算法, 该算法和实际 Lockdown 状态相关 (直接相联情况下替换算法将不起作用)。
- 提供 Exclusive Cache 功能, 该功能可由软件配置使能; 使能情况下可禁止数据同时存在于 L1 级和 L2 级。
- 支持按 Way (路)、Way+Index (路加索引)、Address (地址) 进行 Clean (清理) 和 Invalidate (无效)。
- 支持 Cache Memory 的 ECC, Tag RAM 和 Data RAM 均支持 1bit 纠错。
- 支持 Cache 的 Disable 功能, 该功能下 Cache 被旁路, L1 所有操作透传至 memory。
- 支持 L2 Cache 性能统计, Cache 提供包括 Cache 访问事件、写回事件、缺失事件、缺失并等待事件统计。
- 支持对 Cluster 内部的事件进行统计, 同时支持对 Cluster 内部特殊信号进行配置。



#### 说明

Format C Lockdown 原理请参见 ARM Architecture Reference Manual。



# 目 录

<b>4 存储器接口</b> .....	<b>4-1</b>
4.1 DDRC.....	4-1
4.1.1 概述.....	4-1
4.1.2 特点.....	4-1
4.1.3 功能描述.....	4-1
4.1.4 工作方式.....	4-8
4.1.5 DDRC 寄存器概览.....	4-13
4.1.6 DDRC 寄存器描述.....	4-16
4.2 NAND Flash 控制器.....	4-57
4.2.1 概述.....	4-57
4.2.2 特点.....	4-57
4.2.3 功能描述.....	4-58
4.2.4 数据存储结构.....	4-62
4.2.5 软件操作.....	4-66
4.2.6 其它注意事项.....	4-67
4.2.7 NANDC 寄存器概览.....	4-67
4.2.8 NANDC 寄存器描述.....	4-69
4.3 SPI Flash 控制器.....	4-95
4.3.1 概述.....	4-95
4.3.2 特点.....	4-95
4.3.3 功能描述.....	4-96
4.3.4 工作流程.....	4-100
4.3.5 寄存器概览.....	4-102
4.3.6 寄存器描述.....	4-104



## 插图目录

图 4-1 DDRC 与 2 片 DDRn SDRAM 的互联示意图 .....	4-3
图 4-2 DDRC 与 1 片 DDRn SDRAM 的互联示意图 .....	4-4
图 4-3 DDR IO 参考电阻连接示意图 .....	4-12
图 4-4 读 NAND Flash 一个 page 数据的典型时序图 .....	4-58
图 4-5 启动 NANDC 进行编程操作时的时序图 .....	4-59
图 4-6 1bit ECC 模式 2KB (2048+ 64) byte page size NAND Flash 数据存储结构 .....	4-63
图 4-7 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte .....	4-63
图 4-8 1bit ECC 模式 NAND Flash 中数据结构 .....	4-63
图 4-9 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte .....	4-64
图 4-10 4bit ECC NAND Flash 中的数据的数据的结构 4096byte+128byte .....	4-64
图 4-11 8bit ECC 模式驱动软件中的数据结构 4096byte+48byte .....	4-64
图 4-12 8bit ECC NAND Flash 中的数据的数据的结构 4096byte+208byte .....	4-64
图 4-13 8bit ECC 模式驱动软件中的数据结构 8192byte+64byte .....	4-65
图 4-14 8bit ECC NAND Flash 中的数据的数据的结构 8192byte+384byte .....	4-65
图 4-15 24bit ECC 模式驱动软件中的数据结构 4096byte+32byte .....	4-65
图 4-16 24bit ECC 模式 NAND Flash 器件中数据结构 4096byte+200byte .....	4-65
图 4-17 24bit ECC 模式驱动软件中的数据结构 8192byte+32byte .....	4-66
图 4-18 24bit ECC 模式 NAND Flash 器件中的数据的数据的结构 8192byte+368byte .....	4-66
图 4-19 Standard SPI(写)接口时序图 .....	4-96
图 4-20 Standard SPI(读)接口时序图 .....	4-96
图 4-21 Dual Input/Dual Output SPI 接口时序图 .....	4-97
图 4-22 Quad -SPI Mode0 接口时序图 .....	4-97
图 4-23 Full Quad SPI 接口时序图 .....	4-98
图 4-24 SPI 输出时序图 .....	4-99
图 4-25 SPI 写保护时序图 .....	4-100



图 4-26 通过寄存器读取 Flash 的操作流程（查询方式） .....4-100

图 4-27 通过寄存器写 Flash 的操作流程（中断方式） .....4-101



## 表格目录

表 4-1 DDRC 支持的 DDR2 SDRAM 列表.....	4-2
表 4-2 DDRC 支持的 DDR3 SDRAM 列表.....	4-3
表 4-3 DDRC 命令真值表 .....	4-5
表 4-4 DDRC 32bit 模式地址映射表 .....	4-7
表 4-5 DDRC 16bit 模式地址映射表 .....	4-7
表 4-6 发送阻抗选择表 .....	4-12
表 4-7 接收阻抗选择表 .....	4-13
表 4-8 DDRC 寄存器概览（基址是 0x20110000） .....	4-13
表 4-9 DDRC 寄存器偏移地址变量表.....	4-15
表 4-10 Boot 相关的配置管脚.....	4-60
表 4-11 K9F2G08U0M 的地址表 .....	4-61
表 4-12 K9GAG08X0M 的地址表.....	4-62
表 4-13 NAND Flash 常用命令表 .....	4-62
表 4-14 NANDC 寄存器概览（基址是 0x1000_0000） .....	4-67
表 4-15 SFC 寄存器概览（基址是 0x1001_0000） .....	4-102
表 4-16 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围.....	4-103



# 4 存储器接口

## 4.1 DDRC

### 4.1.1 概述

DDRC (DDR2/3 SDRAM Controller) 实现对动态存储器 DDR2/3 SDRAM 的存取控制。后文统一使用 DDRn SDRAM 替代 DDR2/3 SDRAM。



说明

本芯片支持 32bit、16bit 两种 DDR 位宽。

### 4.1.2 特点

DDRC 的功能特点:

- 提供 1 个 DDRn SDRAM 片选空间, 支持数据总线位宽为 32/16bit、地址总线位宽 15bit 可配置。
- 支持最大存储空间为: 32bit 模式 1GB; 16bit 模式 512MB。
- 支持 500MHz DDRn SDRAM 总线工作频率。
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR2 SDRAM 的 burst4、burst8 的传输模式; DDR3 的 burst8 传输模式。

### 4.1.3 功能描述

#### 4.1.3.1 应用框图

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDRn SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器, 可以支持符合 JEDEC (JESD79) 标准的 DDR2 SDRAM 器件和 DDR3 SDRAM 器件。表 4-1 列举了 DDRC 支持的几家主流 DRAM 厂商的 DDR2 SDRAM。此表针对 DDR2 SDRAM 的工作频率进行描述, 没有考虑容量等因素的限制。



表4-1 DDRC 支持的 DDR2 SDRAM 列表

厂商	200MHz	333MHz	400MHz	备注
JESD79 (DDR2 Standard)	DDR2-400 DDR2-533 DDR2-667 DDR2-800	DDR2-667 DDR2-800	DDR2-800	1、2
Micron	-5E DDR2-400 -37E DDR2-533 -3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-3 DDR2-667 -3E DDR2-667 -25 DDR2-800 -25E DDR2-800	-25 DDR2-800 -25E DDR2-800	1、2
ELPIDA	-4A DDR2-400 -5C DDR2-533 -6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-6E DDR2-667 -6C DDR2-667 -8E DDR2-800	-8E DDR2-800	1、2
Hynix	-E3 DDR2-400 -C4 DDR2-533 -Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-Y4 DDR2-667 -Y5 DDR2-667 -S5 DDR2-800 -S6 DDR2-800	-S5 DDR2-800 -S6 DDR2-800	1、2
Samsung	-CC DDR2-400 -D5 DDR2-533 -E6 DDR2-667 -E7 DDR2-800	-E6 DDR2-667 -E7 DDR2-800	-E7 DDR2-800	1、2

注：

1、DDRC 支持满足 JESD79 标准的 DRAM 器件，在不同的工作模式下，DDRC 只能支持 DRAM 工作频率高于或等于 DDRC 工作频率的器件。在使用非表中厂商的器件时，可以参考该标准来选取器件。

2、表中以各个厂商的 DDR2 SDRAM 的工作频率为判断的基本元素。真实的器件产品中，对同一工作频率的会有多种容量、位宽等系列版本，但只要该 DDR2 SDRAM 的工作频率在此列表中，DDRC 就可以支持该 DDR2 SDRAM。对于容量和位宽的选取，则根据芯片的实际应用场景来作出选择。

DDRC 支持的 DDR3 SDRAM 列表如表 4-2 所示。



表4-2 DDRC 支持的 DDR3 SDRAM 列表

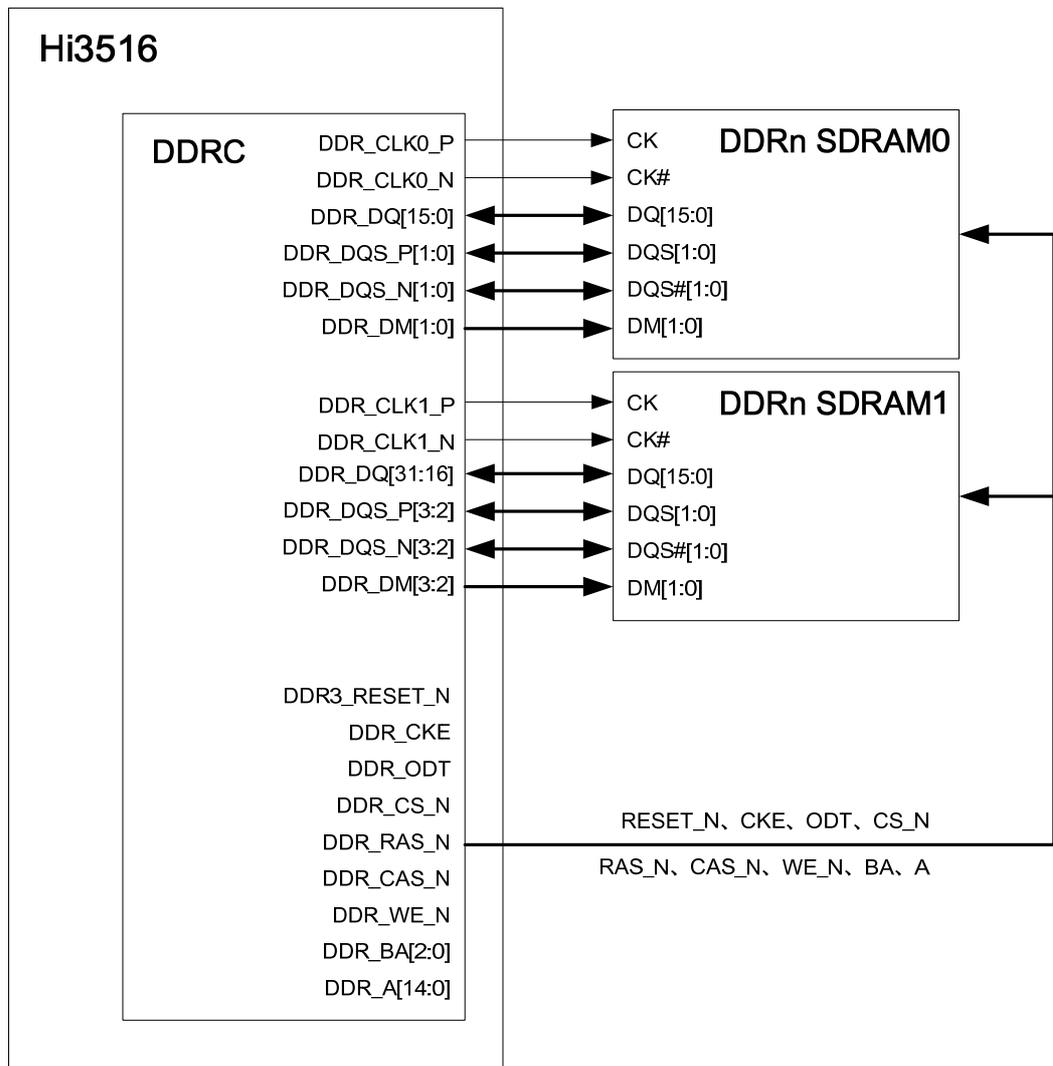
厂商	400MHz	533MHz	800MHz	备注
JESD79 (DDR3 Standard)	DDR3-800 DDR3-1066 DDR3-1333	DDR3-800 DDR3-1066 DDR3-1333	-	3、4

注:

- 3、若 DDRC 工作频率为 400MHz，则所有支持的 DDR3 都可以降频到 400MHz 工作。
- 4、这里的支持器件类型以 JEDEC 标准为基准。

DDRC 支持两种互联模式：32bit 模式和 16bit 模式。32bit 模式下，DDRC 与 2 片数据总线位宽为 16bit 或 4 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 2 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-1 所示。

图4-1 DDRC 与 2 片 DDRn SDRAM 的互联示意图



连接说明:



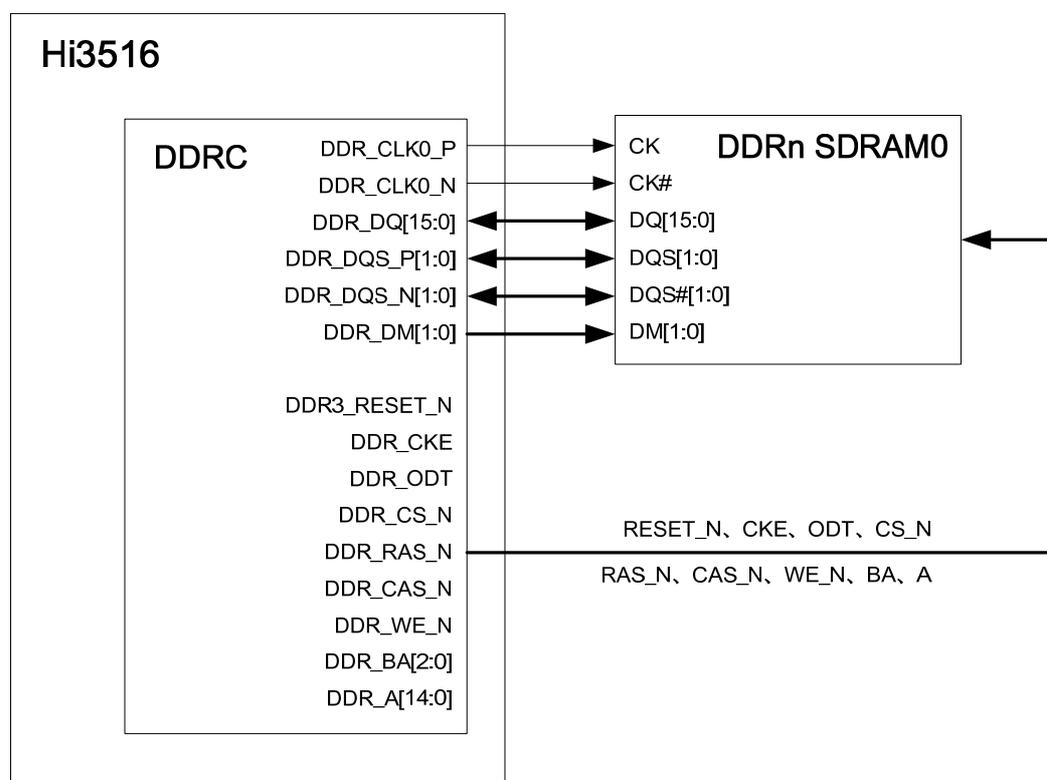
DDRn SDRAMx 是数据总线宽度为 16bit 的存储器件。

DDRC 的命令控制信号：DDR\_CKE、DDR\_RESET\_N、DDR\_ODT、DDR\_CS\_N、DDR\_RAS\_N、DDR\_CAS\_N、DDR\_WE\_N、DDR\_BA[2:0]、DDR\_A[14:0]，同时与 DDRn SDRAMx 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 2 的连接模式。

在 DDR2 SDRAM 容量小于 1Gbit 的场景下，DDRC 的 DDR\_BA[2]地址信号输出悬空。

16bit 模式下，DDRC 与 1 片数据总线位宽为 16bit 或 2 片数据总线位宽为 8bit 的 DDRn SDRAM 相连，以 1 片 16bit DDRn SDRAM 为例，其连接示意图如图 4-1 所示。

图4-2 DDRC 与 1 片 DDRn SDRAM 的互联示意图



连接说明：

DDRn SDRAMx 是数据总线宽度为 16bit 的存储器件。

DDRC 的命令控制信号：DDR\_CKE、DDR\_RESET\_N、DDR\_ODT、DDR\_CS\_N、DDR\_RAS\_N、DDR\_CAS\_N、DDR\_WE\_N、DDR\_BA[2:0]、DDR\_A[14:0]，与 DDRn SDRAM 的命令控制信号相连，即 DDRC 的命令控制总线是 1 驱 1 的连接模式。

当 DDR2 SDRAM 容量小于 1Gbit 时，DDRC 的 DDRA\_BA[2]、DDRB\_BA[2]地址信号输出悬空。

在 16bit 模式下 DDR\_DQS\_P[3:2]、DDRA\_DQS\_N[3:2]、DDRA\_DQ[31:16]、DDRA\_DM[3:2]悬空。

#### 4.1.3.2 功能原理

DDRC 接口时序满足 JESD79 标准，通过发送 DDRn SDRAM 的命令字，完成对 DDRn SDRAM 的数据访问和状态控制。包括 DDRn SDRAM 的读写访问、自动刷新、低功耗控制等功能。



## 命令真值表

DDRC 支持 DDRn SDRAM 的读写和控制命令字。DDRC 的命令真值表如表 4-3 所示。

表4-3 DDRC 命令真值表

FUNCTION	DDRn_ CKE	DDRn_ CSN	DDRn_ RASN	DDRn_ CASN	DDRn_ WEN	DDRn_ADR			DDRn_ BA
						11	AP(10)	9:0	
DESELECT	H	H	X	X	X	X	X	X	X
ACTIVE	H	L	L	H	H	V	V	V	V
READ	H	L	H	L	H	V	V	V	V
WRITE	H	L	H	L	L	V	V	V	V
PRECHARGE	H	L	L	H	L	X	L	X	V
PRECHARGE ALL	H	L	L	H	L	X	H	X	X
AUTO REFRESH	H	L	L	L	H	X	X	X	X
SELF REFRESH	L	L	L	L	H	X	X	X	X
MODE REGISTER SET	H	L	L	L	L	V	V	V	V
ZQCL	H	L	H	H	L	X	H	X	X
ZQCS	H	L	H	H	L	X	L	X	X

H: 表示高电平; L: 表示低电平; V: 表示有效; X: 表示不关心。

ZQCL (ZQ Calibration Long): 用于在 DDR3 SDRAM 上电初始化时, 启动 DDR3 的 ZQ Calibration 操作。

ZQCS (ZQ Calibration Short): 用于在芯片环境条件发生变化时, 启动 DDR3 的 ZQ Calibration 操作。

## 自动刷新

当配置 **DDRC\_TIMING2** [taref] 为非零值, DDRC 自动产生周期性 AUTO REFRESH 命令, 完成对 DDRn SDRAM 的刷新操作。常温下, DDRn SDRAM 要求在 64ms 内必须完成 8,192 次自动刷新操作, 即自动刷新操作的周期为 7.8us。 **DDRC\_TIMING2** [taref] 的配置值 (Taref) 与自动刷新周期 (T=7.8us 或 3.9us) 的关系为:

$$Taref \leq T / (16 * \text{DDR 时钟周期})$$



在配置了 **DDRC\_TIMING2** [taref]，DDRC 内部的计数器会自动加载 Taref 值进行减计数，当计数器值为 0 时，DDRC 发起一次自动刷新操作，同时重新加载 Taref 值进行计数。

## 低功耗管理

DDRC 支持两种模式的低功耗管理：普通低功耗模式和自刷新低功耗模式。

当系统处于空闲状态时（DDRC 总线接口一定时间内无读写 DDR 访问），自动控制 DDRn SDRAM 进入到普通低功耗模式。

当系统需要进入到待机模式时，可通过配置 **DDRC\_SREFCTRL** [sr\_req]的寄存器，控制 DDRn SDRAM 进入到自刷新低功耗模式。该模式下可以将 DDRn SDRAM 的功耗降至最低，同时保持 DDRn SDRAM 中的数据，但是此时系统不能访问 DDRn SDRAM。

## 仲裁机制

DDRC 实现了优先级调度算法。配置 **DDRC\_QOSn[pri]**寄存器，DDRC 将给总线的命令添加优先级属性，然后根据命令的优先级属性进行调度，实现对 DDRn SDRAM 的高效率访问。配置 **DDRC\_QOSn[qos\_en]**和 **DDRC\_QOSn[qos]**，DDRC 将给总线的命令添加响应延迟属性，然后根据响应延迟优先的调度算法，实现总线命令响应延迟的保证。

## 地址映射方式

DDRC 实现了将系统总线的访问地址转换为 DDRn SDRAM 的访问地址。配置 **DDRC\_RNKCFG0** [mem\_map]、**DDRC\_RNKCFG0** [mem\_row]和 **DDRC\_RNKCFG0** [mem\_col]寄存器，DDRC 根据地址映射算法将系统总线地址转换为 DDRn SDRAM 地址。

下面示例说明系统总线地址和 DDRn SDRAM 地址的映射算法。假设系统总线地址为 BUSADR[28:0]，有效地址为 BUSADR[m-1:0]，DDRn SDRAM 的地址为 DDRADR[13:0]。当 DDRADR[13:0]作为行地址时，其有效地址为 DDRROW[x-1:0]，作为列地址时，其有效地址为 DDRCOL[y-1:0]，DDR 的 BANK 地址为 DDRBA[z-1:0]，DDRC 的存储数据总线宽度为 DW，此时地址映射关系为：

- **DDRC\_RNKCFG0**[mem\_map]为 2b00 时，RBC 映射方式：  

$$\text{BUSADR}[m-1:0] = \{\text{DDRROW}[x-1:0], \text{DDRBA}[z-1:0], \text{DDRCOL}[y-1:0], \text{DW}\{b0\}\}$$
- **DDRC\_RNKCFG0**[mem\_map]为 2b01 时，BRC 映射方式：  

$$\text{BUSADR}[m-1:0] = \{\text{DDR\_BA}[z-1:0], \text{DDRROW}[x-1:0], \text{DDRCOL}[y-1:0], \text{DW}\{b0\}\}$$

在上面的表达式中，参数的关系满足： $m = x+y+z+DW$ 。

当 DDRC 为 32bit 应用模式时，DW 为 2。

当 **DDRC\_RNKCFG0**[mem\_map]为 2b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-4。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。



表4-4 DDRC 32bit 模式地址映射表

存储器类型	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP		10	[9:2]
512Mbit 4bank													
32×16	13	10	-	13	12	行地址	-	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	11	10	[9:2]
1GMbit 8bank													
64×16	13	10	14	13	12	行地址		27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]
2GMbit 8bank													
128×16	14	10	14	13	12	行地址	28	27	26	25	24	23	[22:15]
						列地址	-	-	-	AP	11	10	[9:2]

当 DDRC 为 16bit 应用模式时，DW 为 1。

当 `DDRC_RNKCFG0[mem_map]` 为 2b00，A10 作为 DDR 的 AP 功能位时，系统总线地址到 DDRn SDRAM 地址的映射表如表 4-4。

该表格示例说明了 RBC 模式下的地址映射关系，BRC 模式下按照上面的表达式进行地址映射。

表4-5 DDRC 16bit 模式地址映射表

存储器类型	行地址 宽度	列地址 宽度	DDR BA			行地址 列地址	DDR ADR						
			2	1	0		13	12	11	10/AP	9	8	[7:0]
256Mbit 4bank													
16×16	13	9	-	11	10	行地址	-	24	23	22	21	20	[19:12]
						列地址	-	-	-	AP		9	[8:1]
512Mbit 4bank													
32×16	13	10	-	12	11	行地址	-	25	24	23	22	21	[20:13]
						列地址	-	-	-	AP	10	9	[8:1]



存储器类型 Mbit×bw	行地址	列地址	DDR BA			行地址 列地址	DDR ADR						
	宽度	宽度	2	1	0		13	12	11	10/AP	9	8	[7:0]
1Gbit 8bank													
64×16	13	10	13	12	11	行地址		26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]
2Gbit 8bank													
128×16	14	10	13	12	11	行地址	27	26	25	24	23	22	[21:14]
						列地址	-	-	-	AP	10	9	[8:1]

## 4.1.4 工作方式

### 4.1.4.1 时钟门控

系统进入低功耗模式后，可以关闭 DDRC 的工作时钟。同样，在系统恢复到正常模式之前，需要先打开 DDRC 的工作时钟。

DDRC 进入低功耗模式，时钟关闭的流程：

- 步骤 1 系统进入 Flash 或者 TCM 中运行。
- 步骤 2 配置 `DDRC_SREFCTRL[sr_req]` 为 1，请求进入自刷新模式。
- 步骤 3 查询 `DDRC_STATUS[in_sr]` 位，直到其值为 1，则进入低功耗模式。
- 步骤 4 配置 `DDRC_IOCFCG0` 寄存器的 `[odis_clk]` 为 0x7，关断 DDR 时钟。
- 步骤 5 关断 DDRC 时钟。
- 步骤 6 低功耗状态。

----结束

DDRC 退出低功耗模式，时钟打开的流程：

- 步骤 1 系统进入正常工作模式，打开 DDRC 时钟。
- 步骤 2 配置 `DDRC_IOCFCG0` 寄存器的 `[odis_clk]` 为 0x4，打开 DDR 时钟。
- 步骤 3 等待 50us 至 DLL 锁定。
- 步骤 4 配置 `DDRC_SREFCTRL[sr_req]` 为 0，请求退出自刷新模式。
- 步骤 5 查询 `DDRC_STATUS[in_sr]` 位，直到其值为 0，表示已退出 DDR 低功耗模式。
- 步骤 6 系统可以正常访问 DDR。

----结束



#### 4.1.4.2 软复位

DDRC 不能进行单独的复位操作。只有在全局软复位时，才能复位 DDRC。复位之后，需要按照初始化流程进行重新初始化 DDRn SDRAM。

#### 4.1.4.3 DDR2 初始化配置流程

系统上电之后，必须先完成 DDR2 SDRAM 的初始化操作，系统才能访问 DDR2 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR2 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，2 片容量为 1Gbit，数据总线位宽为 16bit 的 DDR2 SDRAM 拼成 32bit 数据位宽的存储空间，DDR2 SDRAM 的初始化步骤如下：

步骤 1 软件等待 200us 以上。

步骤 2 把 `DDRC_IOCFG0` 寄存器配置为 0x417，配置 IO 的工作模式、匹配电阻以及信号驱动。

步骤 3 配置 `DDRC_TIMING2` 寄存器[`taref`]为 0x000，禁止自动刷新。

步骤 4 把 `DDRC_CDLLCFG0`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x56，DLL 复位。

步骤 5 软件等待 50ns。

步骤 6 把 `DDRC_CDLLCFG0`，`DDRC_QDLLCFG0~3` 寄存器配置为 0x57，DLL 复位无效。

步骤 7 把 `DDRC_SREFCTRL` 寄存器配置为 0x0，退出自刷新状态。

步骤 8 软件等待 400ns 以上。

步骤 9 把 `DDRC_EMRS01` 寄存器设为 0x752，把 `DDRC_EMRS23` 寄存器设为 0x0，配置 DDR 器件的模式寄存器和扩展模式寄存器。这里把 DDR 的读延迟（cas latency）设为 5，突发长度（burst length）设定为 4。扩展模式寄存器根据实际需要，可设定 DDR 器件的一些功能，这里我们设置为 0。

##### 说明

cas latency 必须和 `DDRC_TIMING1[cl]` 设置成同一个值。

`DDRC_EMRS01` 寄存器对应 DDR2 SDRAM 的模式寄存器（MRS）和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要配置 DDR2 SDRAM 器件手册的模式寄存器的 A15-A0 位，不需要配置模式寄存器的最高 3 位寄存器选择位，即 bank 地址。

DDR2 SDRAM 的扩展模式寄存器 1（EMRS1）需要特别注意：将该模式寄存器中的 RDQS 和 DQS# 都配置为禁止模式（disable）。

步骤 10 根据器件的类型和存储空间配置 `DDRC_CONFIG0` 寄存器为 0x7000\_0510，`DDRC_CONFIG1` 寄存器为 0x0000\_0180，表示 DDRC 为 32bit DDR2 SDRAM 模式，使能原子操作锁定功能。

##### 说明

低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。



- 步骤 11 根据器件的单片容量配置 `DDRC_RNKCFG0` 寄存器为 `0x0000_0122`。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。
- 步骤 12 配置 `DDRC_TIMING0`、`DDRC_TIMING1`、`DDRC_TIMING2`、`DDRC_TIMING3` 寄存器的值，其中 `cl` 值必须跟 `DDRC_EMRS01` 模式寄存器中的配置一致。
- 步骤 13 配置 `DDRC_ODTCFG` 寄存器。`DDRC_ODTCFG [wodt0]=0x1`，`DDRC_ODTCFG [rodt]=0x0`。
- 步骤 14 配置 `DDRC_QOS`。首先配置 `DDRC_QOSCFG1[idmap_mode]` 为 1，ID 映射为随路映射模式。根据系统需求配置不同端口的 `DDRC_QOS`。建议 `DDRC_QOS [qos]` 的配置值大于 1，配置范围为 `0x2~0x3FF`。
- 步骤 15 配置 `DDRC_DTRCTRL` 寄存器为 `0x0f00_0103`。使能初始化自动训练模式。
- 步骤 16 配置 `DDRC_PHYCFG` 寄存器为 `0x20`。
- 步骤 17 将 `DDRC_INITCTRL` 寄存器设置为 `0x1`，启动初始化过程。
- 步骤 18 等待 `DDRC_STATUS [in_init]` 寄存器的值变为 0，初始化完成。

----结束

完成以上步骤以后，DDR2 SDRAM 就可以正常工作。

#### 4.1.4.4 DDR3 初始化配置流程

系统上电之后，必须先完成 DDR3 SDRAM 的初始化操作，系统才能访问 DDR3 SDRAM。在进行初始化之前需要注意以下几点：

- 对 DDR3 SDRAM 进行上电操作时，需要遵循 JEDEC 标准。即先提供 VDD，然后提供 VDDQ，最后提供 VREF 和 VTT。
- 该初始化过程需要在系统进入 NORMAL 模式后进行。

在 DDRC 32bit 模式下，2 片容量为 1Gbit，数据总线位宽为 16bit 的 DDR3 SDRAM 拼成 32bit 数据位宽的存储空间，DDR3 SDRAM 的初始化步骤如下：

- 步骤 1 软件等待 200us 以上。
- 步骤 2 把 `DDRC_IOCFCG0` 寄存器配置为 `0x457`，配置 IO 的工作模式、匹配电阻以及信号驱动。
- 步骤 3 配置 `DDRC_TIMING2` 寄存器[`taref`]为 `0x000`，禁止自动刷新。
- 步骤 4 把 `DDRC_CDLLCFG0`，`DDRC_QDLLCFG0~3` 寄存器配置为 `0x56`，DLL 复位。
- 步骤 5 软件等待 50ns。
- 步骤 6 把 `DDRC_CDLLCFG0`，`DDRC_QDLLCFG0~3` 寄存器配置为 `0x57`，DLL 复位无效。
- 步骤 7 配置 `DDRC_CTRL` 为 `0xD`，配置 DDR3 SDRAM 退出复位状态。
- 步骤 8 软件等待 500us 以上。
- 步骤 9 把 `DDRC_SREFCTRL` 寄存器配置为 `0x0`，退出自刷新状态。
- 步骤 10 软件等待 400ns 以上。



- 步骤 11 把 **DDRC\_EMRS01** 寄存器设为 0x720，把 **DDRC\_EMRS23** 寄存器设为 0x0，配置 DDR 器件的模式寄存器和扩展模式寄存器。这里把 DDR 的读延迟（cas latency）设为 6，突发长度（burst length）设定为 8。扩展模式寄存器根据实际需要，可设定 DDR 器件的一些功能，这里我们设置为 0。

说明

cas latency 必须和 **DDRC\_TIMING1** [cl]设置成同一个值。

**DDRC\_EMRS01** 寄存器对应 DDR3 SDRAM 的模式寄存器（MRS）和扩展模式寄存器 1（EMRS1）。配置该寄存器时，只需要配置 DDR3 SDRAM 器件手册的模式寄存器的 A15-A0 位，不需要配置模式寄存器的最高 3 位寄存器选择位，即 bank 地址。

- 步骤 12 根据器件的类型和存储空间配置 **DDRC\_CONFIG0** 寄存器为 0x7000\_0611，**DDRC\_CONFIG1** 寄存器为 0x0000\_0180，表示 DDRC 为 32bit DDR3 SDRAM 模式，使能原子操作锁定功能。

说明

低功耗配置的上电复位值是关闭的，初始化过程中必须关闭低功耗自动进入功能以及时钟自动关闭功能，但在正常使用中，建议使能低功耗的控制，可以降低功耗。

- 步骤 13 根据器件的单片容量配置 **DDRC\_RNKCFG0** 寄存器为 0x0000\_0122。总线地址映射模式为 R-B-C-DW 模式，AP 为 A10，列地址宽度为 10，行地址宽度为 13。
- 步骤 14 配置 **DDRC\_TIMING0**、**DDRC\_TIMING1**、**DDRC\_TIMING2**、**DDRC\_TIMING3** 寄存器的值，其中 cl 值必须跟 **DDRC\_EMRS01** 模式寄存器中的配置一致。
- 步骤 15 配置 **DDRC\_ODTCFG** 寄存器。**DDRC\_ODTCFG** [wodt0]=0x1，**DDRC\_ODTCFG** [rodt]=0x0。
- 步骤 16 配置 **DDRC\_QOS**。首先配置 **DDRC\_QOSCFG1** [idmap\_mode]为 1，ID 映射为随路映射模式。根据系统需求配置不同端口的 **DDRC\_QOS**。建议 **DDRC\_QOS** [qos]的配置值大于 1，配置范围为 0x2~0x3FF。
- 步骤 17 配置 **DDRC\_DTRCTRL** 寄存器为 0x0f00\_0103。使能初始化自动训练模式。
- 步骤 18 配置 **DDRC\_PHYCFG** 寄存器为 0x22。
- 步骤 19 将 **DDRC\_INITCTRL** 寄存器设置为 0x1，启动初始化过程。
- 步骤 20 等待 **DDRC\_STATUS** [in\_init]寄存器的值变为 0，初始化完成。

----结束

完成以上步骤以后，DDR3 SDRAM 就可以正常工作。

#### 4.1.4.5 低功耗配置

DDRC 支持两种 DDRn SDRAM 的低功耗模式：DDRn SDRAM PowerDown 模式和 DDRn SDRAM 自刷新模式。

配置 **DDRC\_CONFIG0** [pd\_en]和 **DDRC\_CONFIG0** [pd\_prd]为有效值，DDRC 在系统空闲状态下会自动控制 DDRn SDRAM 进入低功耗状态。当 **DDRC\_CONFIG0** [pd\_en]配置为 1，DDRC 在 **DDRC\_CONFIG0** [pd\_prd]个总线时钟周期没有任何访问操作，则会控制 DDRn SDRAM 进入低功耗模式。



配置 `DDRC_SREFCTRL` [sr\_seq] 为有效值，DDRC 将控制 DDRn SDRAM 进入自刷新模式。当配置 `DDRC_SREFCTRL` [sr\_req] 为 1 时，DDRC 完成正在执行的访问之后，控制 DDRn SDRAM 进入自刷新模式，并不再响应总线上的请求。

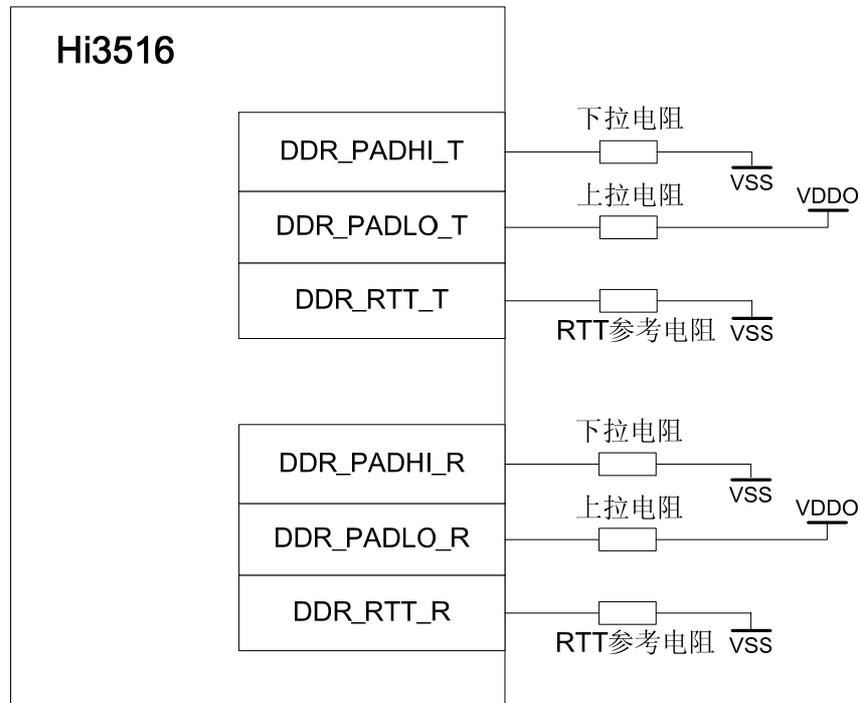
#### 4.1.4.6 DDR IO 阻抗配置

在 DDRn SDRAM 的应用场景，DDRC 具有自动校准 DDR IO 的发送阻抗和接收阻抗的功能。

自动校准功能通过配置 `DDRC_SREFCTRL`[update\_en] 使能。默认配置为使能自动校准功能。

DDR IO 的阻抗校准需要在芯片 IO 连接参考电阻，参考电阻的精度偏差为 2%。电阻的连接示意图如图 4-3 所示。

图4-3 DDR IO 参考电阻连接示意图



DDR IO 的参考电阻选择不同的值实现对 DDR IO 发送阻抗和接收阻抗的不同配置。参考电阻和 IO 发送阻抗以及接收阻抗的匹配关系如表 4-6 和表 4-7 所示。

表4-6 发送阻抗选择表

DDR IO 类型	上拉电阻 (Ω)	下拉电阻 (Ω)	驱动阻抗 (Ω)
SSTL_1.8V_ClassI	68	68	34
SSTL_1.8v_CalassII	43	43	21.5
SSTL_1.5v	68	68	34



表4-7 接收阻抗选择表

DDRC_IOCFG[rtt]	参考电阻 RTT (Ω)	匹配阻抗 (Ω)
01	200	100
01	240	120
01	300	150
1x	200	50
1x	240	60
1x	300	75



说明

建议在 DDR3 模式，接收阻抗电阻选用 240Ω 电阻；DDR2 模式选用 300Ω 电阻。

## 4.1.5 DDRC 寄存器概览

DDRC 寄存器概览如表 4-8 所示。

表4-8 DDRC 寄存器概览（基址是 0x20110000）

偏移地址	名称	描述	页码
0x000	DDRC_STATUS	DDRC 状态寄存器	4-16
0x004	DDRC_SREFCTRL	DDRC 自刷新控制寄存器	4-17
0x008	DDRC_INITCTRL	DDRC 初始化控制寄存器	4-17
0x010	DDRC_CTRL	DDRC 控制寄存器	4-18
0x014	DDRC_EMRS01	DDR 的模式配置寄存器	4-18
0x018	DDRC_EMRS23	DDR 的扩展模式配置寄存器	4-19
0x01C	DDRC_CONFIG0	配置 DDRC 功能的寄存器 0	4-19
0x020	DDRC_CONFIG1	配置 DDRC 功能的寄存器 1	4-21
0x024	DDRC_CMDCFG	DDRC 命令配置寄存器	4-23
0x028	DDRC_CMDEXE	DDRC 软件配置命令启动寄存器	4-24
0x02C+0x4 ×rnks	DDRC_RNKCFG	配置 DDR 特性的寄存器	4-24
0x050	DDRC_TIMING0	DDR 时序参数寄存器 0	4-26
0x054	DDRC_TIMING1	DDR 时序参数寄存器 1	4-27
0x058	DDRC_TIMING2	DDR 时序参数寄存器 2	4-28



偏移地址	名称	描述	页码
0x05C	DDRC_TIMING3	DDR 时序参数寄存器 3	4-29
0x060	DDRC_TIMING4	DDR 时序参数寄存器 4	4-30
0x090	DDRC_EXADDRCFG	DDRC 排它操作数据一致性保证地址寄存器	4-31
0x0A0	DDRC_DTRADDR	DDRC 门控训练地址配置寄存器	4-31
0x0A4	DDRC_DTRDATA0	DDRC 门控训练数据配置寄存器 0	4-32
0x0A8	DDRC_DTRDATA1	DDRC 门控训练数据配置寄存器 1	4-32
0x0AC	DDRC_DTRCTRL	DDRC 门控训练控制寄存器	4-33
0x0B0	DDRC_DTRPRD	DDRC 门控跟踪周期配置寄存器	4-34
0x0B4+0x4 ×rnks	DDRC_DTRGATE	DDRC 门控相位位置寄存器	4-35
0x0C4+0x4 ×rnks	DDRC_DTRLAT	DDRC 门控周期位置寄存器	4-35
0x0D4+0x4 ×rnks	DDRC_DTRSTATUS	DDRC 门控状态寄存器	4-36
0x0E8	DDRC_ECCDTST	DDRC 的 ECC 门控状态寄存器	4-37
0x0F0	DDRC_AXISTATUS	DDRC 接口状态寄存器	4-37
0x0F4	DDRC_ODTCFG	DDR 的 ODT 特性配置寄存器	4-38
0x100	DDRC_QOSCFG0	DDRC 的 QoS 算法配置寄存器 0	4-39
0x104	DDRC_QOSCFG1	DDRC 的 QoS 算法配置寄存器 1	4-40
0x110+0x4 ×ids	DDRC_QOS	DDRC_QOS 是 DDRC 的命令优先级配置寄存器	4-39
0x200+0x4 ×chnls	DDRC_PHYCFG	DDRRPHY 配置寄存器	4-42
0x208+0x4 ×rnks	DDRC_PHYNEG	DDRRPHY 门控相位位置	4-43
0x218+0x4 ×rnks	DDRC_PHYSEL	DDRRPHY 门控周期位置	4-44
0x228+0x4 ×cmdls	DDRC_CDLLCFG	DDRRPHY 的命令通道 DLL 配置寄存器	4-44
0x230+0x4 ×blanes	DDRC_QDLLCFG	DDRRPHY 数据通道 DLL 配置寄存器	4-46



偏移地址	名称	描述	页码
0x260	DDRC_LVLSKEW	DDRPHY 数据线相位微调控制寄存器	4-47
0x264	DDRC_LVLCTRL	DDRPHY Write Level 控制寄存器	4-48
0x268	DDRC_LVLSTR	DDRPHY WriteLevel 的 DQS 控制寄存器	4-48
0x26C	DDRC_LVLODT	DDRPHY WriteLevel 的 ODT 控制寄存器	4-48
0x270+0x4 ×blanes	DDRC_LVLCTL	DDRPHY WriteLevel 配置寄存器 0	4-49
0x2D0	DDRC_LVLRSP	DDRPHY 的 WriteLevel 响应寄存器	4-50
0x2D4	DDRC_LVLST	DDRPHY Write Level 状态寄存器	4-48
0x2F0	DDRC_WRDQS_SKEW	DDRPHY 写 DQS 微调寄存器	4-51
0x2F4	DDRC_RDDQS_SKEW	DDRPHY 读 DQS 微调寄存器	4-51
0x360+0x4 ×cmdls	DDRC_IOCFG	DDRPHY 的 IO 配置寄存器	4-54
0x370+0x4 ×cmps	DDRC_IOCMP	DDRPHY 的 IO 补偿配置寄存器	4-55
0x380+0x4 ×cmps	DDRC_CMPSTATUS 0	DDRPHY IO 补偿状态寄存器 0	4-56
0x388	DDRC_CMPSTATUS 1	DDRPHY IO 补偿状态寄存器 1	4-56

DDRC 寄存器偏移地址中变量的取值范围和含义如表 4-9 所示。

表4-9 DDRC 寄存器偏移地址变量表

变量名称	取值范围	描述
rnks	0~0	DDRC 支持的 Rank 数。 0: 表示 1 个 Rank。
ids	0~15	DDRC 支持优先级个数。
chnls	0~0	DDRC 支持的命令通道数。 0: 表示 1 个通道。
cmdls	0~0	Command lane 的个数。



变量名称	取值范围	描述
		0: 表示 1 个 command lane。
blanes	0~3	DDRC 支持的 ByteLane 数。
cmps	0~1	Compensation block 的个数。

## 4.1.6 DDRC 寄存器描述

### DDRC\_STATUS

DDRC\_STATUS 为 DDRC 状态寄存器。

	Offset Address	Register Name	Total Reset Value																
	0x000	DDRC_STATUS	0x0000_0005																
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																		
Name	reserved															in_init	in_sr	reserved	busy
Reset	0 1 0 1																		
Bits	Access	Name	Description																
[31:4]	RO	reserved	保留。																
[3]	RO	in_init	控制器初始化状态。 0: 正常状态; 1: 初始化状态。																
[2]	RO	in_sr	控制器自刷新状态。 0: 正常状态; 1: 自刷新状态。																
[1]	RO	reserved	保留。																
[0]	RO	busy	控制器忙状态寄存器。 0: 空闲; 1: 命令处理中。																

### DDRC\_SREFCTRL

DDRC\_SREFCTRL 为 DDRC 自刷新控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x004		DDRC_SREFCTRL		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								sr_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	sr_req	SDRAM 自刷新请求。 0: 退出自刷新状态; 1: 进入自刷新状态。						

## DDRC\_INITCTRL

DDRC\_INITCTRL 为 DDRC 初始化控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x008		DDRC_INITCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								init_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	init_req	初始化启动。 0: 完成初始化或处于正常工作状态; 1: 启动 SDRAM 初始化操作。						

## DDRC\_CTRL

DDRC\_CTRL 为 DDRC 控制寄存器。



Offset Address		Register Name		Total Reset Value						
0x010		DDRC_CTRL		0x0000_000C						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							cmdlane_ctrl	eccnt_clr	ddr_rst_n
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 0		
Bits	Access	Name	Description							
[31:4]	RO	reserved	保留。							
[3:2]	RW	cmdlane_ctrl	保留。此版本不支持。							
[1]	RW	eccnt_clr	保留。此版本不支持。							
[0]	RW	ddr_rst_n	DDR3 SDRAM 复位。 0: 复位有效; 1: 复位无效。 注意: 仅对 DDR3 SDRAM 有效, 默认配置为 0。							

## DDRC\_EMRS01

DDRC\_EMRS01 为 DDR 的模式配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x014		DDRC_EMRS01		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	emrs1				mrs			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	emrs1	DDRn SDRAM 扩展模式寄存器 1。					
[15:0]	RW	mrs	DDRn SDRAM 模式寄存器。					

## DDRC\_EMRS23

DDRC\_EMRS23 为 DDR 的扩展模式配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x018		DDRC_EMRS23		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	emrs3				emrs2				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	emrs3	DDRn SDRAM 扩展模式寄存器 3。						
[15:0]	RW	emrs2	DDRn SDRAM 扩展模式寄存器 2。						

## DDRC\_CONFIG0

DDRC\_CONFIG0 为配置 DDRC 功能的寄存器 0。

Offset Address		Register Name		Total Reset Value												
0x01C		DDRC_CONFIG0		0x2000_0510												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	init_arefnum	pd_prd		reserved	sr_cc	pd_cc	pd_en	reserved	rank	reserved	dram_type	reserved	mem_width	reserved	brst_a12	brstlen
Reset	0 0 1 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description													
[31:28]	RW	init_arefnum	DDRn SDRAM 初始化过程中发出的自动刷新操作次数。 0x0~0x2: 2 次; 0x3~0xF: n 次。													
[27:20]	RW	pd_prd	SDRAM 低功耗(Power Down)周期配置。当 DDRC 在连续的 pd_prd 个周期内没有接受到命令, 则控制 SDRAM 进入到低功耗状态, 当新命令到来, 则控制 SDRAM 退出低功耗状态。 0x00: 1 个时钟周期; 0x01~0xFF: n 个时钟周期。 <b>注意: 该参数仅在 pd_en 为 1 时有效。</b>													
[19]	RW	reserved	保留。													
[18]	RW	sr_cc	自刷新模式, SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。													



[17]	RW	pd_cc	低功耗模式(PowerDown), SDRAM 时钟控制。 0: 不关断 SDRAM 时钟; 1: 关断 SDRAM 时钟。 <b>注意: 该参数仅在外接 DDR 为 Mobile DDRn SDRAM 时有效。</b>
[16]	RW	pd_en	SDRAM 自动低功耗使能。 0: 禁止; 1: 使能。
[15:14]	RW	reserved	保留。
[13:12]	RW	rank	控制器 Rank 配置。 00: 1 个 rank; 其它: 保留。
[11]	RW	reserved	保留。
[10:8]	RW	dram_type	外部存储器类型。 101: DDR2; 110: DDR3; 其它: 保留。
[7:6]	RW	reserved	保留。
[5:4]	RW	mem_width	存储数据总线位宽。 00: 16bit; 01: 32bit; 其它: 保留。
[3:2]	RW	reserved	保留。
[1]	RW	brst_a12	DDR3 SDRAM A12 命令使能。 0: 禁止 A12 功能位; 1: 使能 A12 功能位。 <b>注意: 推荐配置为 0。</b>
[0]	RW	brstlen	控制器 Burst Length 配置。 0: BL4; 1: BL8。 DDR2 可配置为 Burst4 和 Burst8。 DDR3 只能配置为 Burst8 模式。



## DDRC\_CONFIG1

DDRC\_CONFIG1 为配置 DDRC 功能的寄存器 1。

	Offset Address 0x020								Register Name DDRC_CONFIG1								Total Reset Value 0x0000_A380																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								pd_ac	pd_pst_opn	pd_pre_cls	reserved	wr_rcv_mode	exclu_en	lock_en	aref_mode	wrlvl_en	dual_ch	read_mode	clk_ratio	ecc_en	zqc_en														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:17]	RO		reserved		保留。																															
[16]	RW		pd_ac		低功耗模式(PowerDown), SDRAM 地址命令动态关断控制。 0: 不断管脚输出; 1: 关断管脚输出。 <b>注意: 在 pd_en 使能下有效, 控制管脚不包括 CKE、ODT、CSN 和 RESET_N。</b>																															
[15:14]	RW		pd_pst_opn		退出低功耗模式(PowerDown)前 SDRAM 地址命令管脚提前打开延时。 00: 提前 0 拍; 01: 提前 1 拍; 10: 提前 2 拍; 11: 提前 3 拍。 <b>注意: 在 pd_en 使能下有效, 控制管脚不包括 CKE 和 RESET_N。</b>																															
[13:12]	RW		pd_pre_cls		进入低功耗模式(PowerDown)后 SDRAM 地址命令关断延时。 00: 延时 0 拍; 01: 延时 1 拍; 10: 延时 2 拍; 11: 延时 3 拍。 <b>注意: 在 pd_en 使能下有效, 控制管脚不包括 CKE 和 RESET_N。</b>																															
[11:10]	RW		reserved		保留。																															



[9]	RW	wr_rcv_mode	DDRC AXI 端口写命令接收模式选择： 0：写命令直接接收模式； 1：写命令需要等待与其对应的写数据到来后，才被接收。
[8]	RW	exclu_en	排它命令使能。 0：禁止； 1：使能。
[7]	RW	lock_en	WRAP 命令锁定使能。 0：禁止； 1：使能。
[6]	RW	aref_mode	自动刷新模式选择。 0：每 1 个 tREFI 周期执行 1 次自动刷新操作； 1：每 9 个 tREFI 周期执行 8 次自动刷新操作。
[5]	RW	wrlvl_en	DDR3 WriteLVL 硬件自动控制使能。 0：禁止； 1：使能。
[4]	RW	dual_ch	保留。此版本不支持。
[3]	RW	read_mode	控制器读模式选择。 0：随路读模式； 1：延迟读模式。 随路读模式，是指控制器根据 PHY 送出的数据有效信号完成数据采样。 延迟读模式，是指控制器内部延迟等待完成对 PHY 送出数据的采样。 <b>注意：该值在 DDRC_DTRCTRL[train_mode]配置为 0 时，必须配置为 0。</b>
[2]	RW	clkratio	控制器工作模式。 0：DDRC 与 PHY 频率比为 1：1； 1：DDRC 与 PHY 频率比为 1：2。
[1]	RW	ecc_en	保留。此版本不支持。
[0]	RW	zqc_en	DDR3 SDRAM ZQ 使能。 0：禁止； 1：使能。 <b>注意：仅对 DDR3 SDRAM 有效，默认配置为 0。</b>



## DDRC\_CMDCFG

DDRC\_CMDCFG 为 DDRC 命令配置寄存器。

	Offset Address 0x024								Register Name DDRC_CMDCFG								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	cmd_mrs								cmd_ba								cmd_rank				reserved		cmd_type									
Reset	0 0 0 0								0 0 0 0								0 0 0 0															
Bits	Access	Name	Description																													
[31:16]	RW	cmd_mrs	配置 LMR 命令时，DDR 模式寄存器配置值。																													
[15:8]	RW	cmd_ba	配置 LMR 命令时，DDR BA 配置值。																													
[7:4]	RW	cmd_rank	执行命令的 Rank。 0：执行配置命令； 1：不执行配置命令。 每 bit 对应一个存储 Rank 的控制。																													
[3:2]	RW	reserved	保留。																													
[1:0]	RW	cmd_type	DDR 命令配置。 00：Deep Power Down 进入； 01：Deep Power Down 退出； 10：Load Mode Reigser(LMR)命令； 11：ZQCL。																													

## DDRC\_CMDEXE

DDRC\_CMDEXE 为 DDRC 软件配置命令启动寄存器。



Offset Address		Register Name		Total Reset Value					
0x028		DDRC_CMDEXE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cmd_req
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RW	cmd_req	控制器配置命令执行请求。 0: 不执行命令或者当命令执行完成后, 自动将该参数清零; 1: 请求执行命令。						

## DDRC\_RNKCFG

DDRC\_RNKCFG 为配置 DDR 特性的寄存器。

Offset Address		Register Name		Total Reset Value								
0x02C+0x4×rnks (rnks = 0~0)		DDRC_RNKCFG		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					mem_map	reserved	mem_bank	reserved	mem_row	reserved	mem_col
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:14]	RO	reserved	保留。									
[13:12]	RW	mem_map	SDRAM 地址译码模式。 00: {Rank,Row,Ba,Col,DW}= AXI_Address; 01: {Rank,Ba,Row,Col,DW}= AXI_Address; 其它: 保留。									
[11:9]	RW	reserved	保留。									
[8]	RW	mem_bank	单片 SDRAM Bank 数。 0: 4 Bank; 1: 8 Bank。									



[7]	RW	reserved	保留。
[6:4]	RW	mem_row	单片 SDRAM 行地址位宽配置。 000: 11 bit; 001: 12 bit; 010: 13 bit; 011: 14 bit; 100: 15 bit; 101: 16 bit; 其它: 保留。
[3]	RW	reserved	保留。
[2:0]	RW	mem_col	单片 SDRAM 列地址位宽配置。 000: 8 bit; 001: 9 bit; 010: 10 bit; 011: 11 bit; 100: 12 bit; 其它: 保留。

## DDRC\_TIMING0

DDRC\_TIMING0 为 DDR 时序参数寄存器 0。

	Offset Address 0x050				Register Name DDRC_TIMING0								Total Reset Value 0xFFFF_3F1F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	tmrd				trrd				trp				trcd				reserved				trc				reserved				tras							
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	1	1	1	1	1				
	Bits	Access	Name	Description																																
	[31:28]	RW	tmrd	模式寄存器加载(LMR)命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。																																



[27:24]	RW	trrd	打开 BANK A 到打开 BANK B 的(ACT bank a to ACT bank b)等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[23:20]	RW	trp	关闭(PRE period)命令的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[19:16]	RW	trcd	同 BANK 激活到读或写(ACT to READ or WRITE)命令的等待周期。 0x0~0x3: 3 时钟周期; 0x4~0xF: n 时钟周期。
[15:14]	RW	reserved	保留。
[13:8]	RW	trc	同 BANK 的激活命令到激活命令(active a bank to active a bank)的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x3F: n 个时钟周期。
[7:5]	RW	reserved	保留。
[4:0]	RW	tras	同 BANK 的激活命令到到关闭命令(ACT to PRE)的等待周期。 0x00~0x01: 1 个时钟周期; 0x02~0x0F: n 个时钟周期。

## DDRC\_TIMING1

DDRC\_TIMING1 为 DDR 时序参数寄存器 1。

	Offset Address 0x054								Register Name DDRC_TIMING1								Total Reset Value 0xFF01_45FF															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tsre				trdlat				trtw				twl				tcl				trfc											
Reset	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:24]	RW		tsre		退出自刷新(Self-Refresh)到读命令的等待周期。 0x0: 1 个时钟周期; 0x01~0xFF: n×2 个时钟周期。 DDR3 SDRAM 时, 该值配置 tXSDLL 值。																											



[23:20]	RW	trdlat	DDRPHY 固有延迟。 0x0~0xF: n+1 个周期。 在使用 Dolphin DDRPHY 时, 配置为 0x5。
[19:16]	RW	trtw	最后一个读数据到第一个写数据延迟。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n+1 个时钟周期。
[15:12]	RW	twl	写命令到写数据的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 如: 0x3: 3 个时钟周期。 <b>注意: DDR2 模式, twl 配置为 tcl-1, twl 配置时应满足 <math>twl - taond \geq 1</math>。</b>
[11:8]	RW	tcl	DDR 的读命令到读数据的延迟(CAS Latency)。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。
[7:0]	RW	trfc	自动刷新命令周期和自动刷新到激活(AREF period or AREF to ACT)命令的等待周期。该寄存器选择配置 max {trfc,tzqcs} 的大值。 0x00~0x01: 1 个时钟周期; 0x02~0xFF: n 个时钟周期。

## DDRC\_TIMING2

DDRC\_TIMING2 为 DDR 时序参数寄存器 2。



	Offset Address 0x058								Register Name DDRC_TIMING2								Total Reset Value 0xF3F3_F000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tcke				twtr				twr				reserved	tfaw				reserved	taref													
Reset	1	1	1	1	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:28]	RW	tcke	低功耗状态维持的最短时间。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该值需要配置 tCKESR, tCKSRE, tCKSRX, tCKE 几个值中的最大值。 在使用 Dolphin 的 DDRPHY 时, 该寄存器的值配置为 $\max\{tCKSRx,tCKE\}+3$ 。																												
	[27:24]	RW	twtr	写操作最后一个写数据到读命令(write to read)的等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。 如 0x3: 3 个时钟周期。																												
	[23:20]	RW	twr	写恢复(write recovery)等待周期。 0x0~0x1: 1 个时钟周期; 0x2~0xf: n 个时钟周期。																												
	[19:18]	RW	reserved	保留。																												
	[17:12]	RW	tfaw	连续 4 个激活命令周期。 0x00~0x3F: n 个时钟周期; 如: 0x14: 20 个时钟周期。																												
	[11]	RW	reserved	保留。																												
	[10:0]	RW	taref	自动刷新周期。 0x000: 自动刷新禁止; 0x001~0x7FF: SDRAM 刷新周期时间为 $16 \times n$ 时钟周期。 如 0x008: 128 个时钟周期( $16 \times 8$ )。 配置间隔时间为 $tREFI = 7800/16/tclk$ 。Tclk 为 SDRAM 使用时的运行周期。 当 DDRC_CONFIG1[aref_mode]=1 时, 此寄存器需要配置为 $8 * tREFI$ 的间隔时间。																												



## DDRC\_TIMING3

DDRC\_TIMING3 为 DDR 时序参数寄存器 3。

	Offset Address 0x05C				Register Name DDRC_TIMING3								Total Reset Value 0xFFDF_F0F2																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tzq_prd				tzqinit								taond				txard				trtp											
Reset	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	0	0	1	0
Bits	Access		Name		Description																											
[31:22]	RW		tzq_prd		ZQCS 命令周期。 0x000: ZQCS 命令禁止; 0x001~0x3FF: n×128 个 AREF 周期。 ZQCS 命令周期时间为 n×128 个 taref 时钟周期。																											
[21:12]	RW		tzqinit		ZQ 初始化延迟周期。 0x0~0x1ff: n+1 个时钟周期。 该值配置 tZQINIT, tDLLK 的最大值。																											
[11:8]	RW		taond		ODT(On-die termination)打开和关闭周期。 DDR2 模式下(taond/taofd): 0x0: 2/2.5; 0x1: 3/3.5; 0x2: 4/4.5; 0x3: 5/5.5; 其它: 保留。 在 DDR3 模式下, 该值配置为 tWL-1。																											
[7:4]	RW		txard		退出 DDR 低功耗状态等待周期。 0x0~0xF: n 个时钟周期, n 代表十进制数; 如: 0x7: 为 7 个时钟周期。 取 {tXP,tXARD,tXARDS,tXS} 中的最大值。 在 DDR3 模式下, 该寄存器作为 tXS 配置时, txard 只需要配置为 10ns 的等价时钟周期即可。																											
[3:0]	RW		trtp		读命令到关闭命令的等待延迟。 000~010: 2 个时钟周期; 011~111: n 个时钟周期。																											



## DDRC\_TIMING4

DDRC\_TIMING4 为 DDR 时序参数寄存器 4。

	Offset Address 0x060								Register Name DDRC_TIMING4								Total Reset Value 0x000F_2028															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								twlo				reserved		twldqsen				reserved		twlmrd											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
Bits	Access		Name		Description																											
[31:20]	RW		reserved		保留。																											
[19:16]	RW		twlo		DDR3 WriteLevel 状态延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0xF: n 个时钟周期。 该参数为 twlo+twloe 之和。																											
[15:14]	RW		reserved		保留。																											
[13:8]	RW		twldqsen		DDR3 WriteLevel 启动延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0x3F: n 个时钟周期。																											
[7:6]	RW		reserved		保留。																											
[5:0]	RW		twlmrd		DDR3 WriteLevel 首个 DQS 有效延迟参数。 0x0~0x1: 1 个时钟周期; 0x2~0x3F: n 个时钟周期。																											

## DDRC\_EXADDRCFG

DDRC\_EXADDRCFG 为 DDRC 排它操作数据一致性保证地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x090		DDRC_EXADDRCFG		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	ex_addr_mask				ex_addr_base				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	ex_addr_mask	保留。同时具有 ECC 和 Exclusive 功能时使用，此版本不支持。						
[15:0]	RW	ex_addr_base	保留。同时具有 ECC 和 Exclusive 功能时使用，此版本不支持。						

## DDRC\_DTRADDR

DDRC\_DTRADDR 为 DDRC 门控训练地址配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A0		DDRC_DTRADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	train_row			train_bank	train_col			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	train_row	门控位置训练，使用的 DDRn SDRAM 的行地址。行地址不足 16 位时，高位补 0。					
[15:13]	RW	train_bank	门控位置训练，使用的 DDRn SDRAM 的 BANK 地址。BANK 地址不足 3 位时，高位补 0。					
[12:0]	RW	train_col	门控位置训练，使用的 DDRn SDRAM 的列地址。列地址不足 13 位时，高位补 0。					

## DDRC\_DTRDATA0

DDRC\_DTRDATA0 为 DDRC 门控训练数据配置寄存器 0。



	Offset Address 0x0A4								Register Name DDRC_DTRDATA0								Total Reset Value 0xE11E_D22D															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtr_byte3				dtr_byte2				dtr_byte1				dtr_byte0																			
Reset	1	1	1	0	0	0	0	1	0	0	0	1	1	1	1	0	1	1	0	1	0	0	1	0	0	0	1	0	1	1	0	1
	Bits	Access	Name		Description																											
	[31:24]	RW	dtr_byte3		控制器门控训练数据配置 0。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 <b>注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。</b>																											
	[23:16]	RW	dtr_byte2		控制器门控训练数据配置。																											
	[15:8]	RW	dtr_byte1		控制器门控训练数据配置。																											
	[7:0]	RW	dtr_byte0		控制器门控训练数据配置。																											

## DDRC\_DTRDATA1

DDRC\_DTRDATA1 为 DDRC 门控训练数据配置寄存器 1。

	Offset Address 0x0A8								Register Name DDRC_DTRDATA1								Total Reset Value 0xC33C_B44B															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dtr_byte7				dtr_byte6				dtr_byte5				dtr_byte4																			
Reset	1	1	0	0	0	0	1	1	0	0	1	1	1	1	0	0	1	0	1	1	0	1	0	0	0	1	0	0	1	0	1	1
	Bits	Access	Name		Description																											
	[31:24]	RW	dtr_byte7		控制器门控训练数据配置 1。 控制器进行训练时，要求每次读操作或写操作都是按照 DDR BL8 进行传输。 <b>注意：每个 byte 配置的数据，高 4 位和低 4 位需要为不同值。</b>																											
	[23:16]	RW	dtr_byte6		控制器门控训练数据配置。																											
	[15:8]	RW	dtr_byte5		控制器门控训练数据配置。																											
	[7:0]	RW	dtr_byte4		控制器门控训练数据配置。																											



## DDRC\_DTRCTRL

DDRC\_DTRCTRL 为 DDRC 门控训练控制寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0AC		DDRC_DTRCTRL		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	dt_byte				reserved	ecc_byte		train_start_pos				reserved	train_rank		reserved	train_mode		reserved	dt_limit		reserved	track_en		train_en		itm_rst						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:24]	RW	dt_byte	字节训练使能位。 0: 禁止; 1: 使能。 Bit[24]: DDRC Byte0 训练使能。 ... Bit[31]: DDRC Byte7 训练使能。																													
[23:22]	RW	reserved	保留。																													
[21:20]	RW	ecc_byte	保留。此版本不支持。																													
[19:16]	RW	train_start_pos	门控训练起始位置。 0x0~0x5: n 个时钟周期。 其它: 保留。																													
[15:14]	RW	reserved	保留。																													
[13:12]	RW	train_rank	门控训练的 rank 数。 0x0: 1 个 rank; 其它: 保留。此版本不支持。																													
[11:9]	RW	reserved	保留。																													
[8]	RW	train_mode	门控训练方式选择。 0: Dophin 训练方式。 1: 普通训练方式;																													
[7:6]	RW	reserved	保留。																													



[5:4]	RW	dt_limit	DQS 门控位置偏移控制。 00: 偏移 0 度; 01: 偏移 90 度; 10: 偏移 180 度; 11: 偏移 270。
[3]	RW	reserved	保留。
[2]	RW	track_en	门控位置自动更新使能。 0: 禁止; 1: 使能 <b>注意: 两次 train 操作之间必须有一组读操作, 连续访问长度大于 DDRBURST8。</b>
[1]	RW	train_en	门控位置训练使能。 0: 禁止; 1: 使能;
[0]	RW	itm_rst	PHY 中 ITM 复位信号。 0: 复位有效; 1: 复位无效。

## DDRC\_DTRPRD

DDRC\_DTRPRD 为 DDRC 门控跟踪周期配置寄存器。

	Offset Address 0x0B0								Register Name DDRC_DTRPRD								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																track_prd															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:20]	RO		reserved		保留。																											
[19:0]	RW		track_prd		DQS 门控自动更新周期配置。在设置的周期内, DDRC 完成门控位置的跟踪。 0x0: 1 个 AREF 周期; 0x1~0x7FF: (n+1)个 AREF 周期完成门控位置的跟踪。																											



## DDRC\_DTRGATE

DDRC\_DTRGATE 为 DDRC 门控相位位置寄存器。

Offset Address  
0x0B4+0x4×rnks  
(rnks = 0~0)

Register Name  
DDRC\_DTRGATE

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												gate_sel																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	RO		reserved		保留。 注意：该寄存器不能连续写或读。																															
[15:0]	RW		gate_sel		控制器门控相位为位置。 00: 0 度; 01: 90 度; 10: 180 度; 11: 270 度。 [2*(N+1)-1:2*N]: DDRC ByteN 门控相位; N=(0,1,⋯,7)。																															

## DDRC\_DTRLAT

DDRC\_DTRLAT 为 DDRC 门控周期位置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0C4+0x4×rnks (rnks = 0~0)		DDRC_DTRLAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	sys_lat							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	sys_lat	控制器门控延迟周期数。 0x0~0x5: n 个时钟周期; 其它: 保留。 [4*(N+1)-1:4*N]: DDRC ByteN 门控相位; N=(0,1,...,7)。 <b>注意: 该寄存器不能连续写或读。</b>					

## DDRC\_DTRSTATUS

DDRC\_DTRSTATUS 为 DDRC 门控状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D4+0x4×rnks (rnks = 0~0)		DDRC_DTRSTATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	dtr_st			dtr_ok			dtr_err		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	dtr_st	字节门控位置偏移相位状态。 00: 偏移 0 度; 01: 偏移 90 度; 10: 偏移 180 度; 11: 偏移 270。						
[15:8]	RO	dtr_ok	门控训练正确状态。 0: 训练错误; 1: 训练正确。 Bit[0]: DDRC Byte0 训练成功。 . . . Bit[7]: DDRC Byte7 训练成功。						



[7:0]	RO	dtr_err	<p>门控位置自动跟踪出错状态。</p> <p>0: 跟踪正确;</p> <p>1: 跟踪出错。</p> <p>Bit[8]: DDRC Byte0 训练错误。</p> <p>. . .</p> <p>Bit[15]: DDRC Byte7 训练错误。</p>
-------	----	---------	--

## DDRC\_ECCDTST

DDRC\_ECCDTST 为 DDRC 的 ECC 门控状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0E8		DDRC_ECCDTST		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				ecc_st		ecc_err		ecc_ok
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RO	ecc_st	保留。此版本不支持。						
[7:4]	RO	ecc_err	保留。此版本不支持。						
[3:0]	RO	ecc_ok	保留。此版本不支持。						

## DDRC\_AXISTATUS

DDRC\_AXISTATUS 为 DDRC 接口状态寄存器。

Offset Address		Register Name		Total Reset Value							
0x0F0		DDRC_AXISTATUS		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							axi_st3	axi_st2	axi_st1	axi_st0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	RO	reserved	保留。								



[3]	RO	axi_st3	控制器总线接口 3 状态。 0: 空闲; 1: 有命令执行。
[2]	RO	axi_st2	控制器总线接口 2 状态。 0: 空闲; 1: 有命令执行。
[1]	RO	axi_st1	控制器总线接口 1 状态。 0: 空闲; 1: 有命令执行。
[0]	RO	axi_st0	控制器总线接口 0 状态。 0: 空闲; 1: 有命令执行。

## DDRC\_ODTCFG

DDRC\_ODTCFG 为 DDR 的 ODT 特性配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0F4				DDRC_ODTCFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rodt3				rodt2				rodt1				rodt0				wodt3				wodt2				wodt1				wodt0			
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
Bits	Access				Name				Description																							
[31:28]	RW				rodt3				保留。此版本不支持。																							
[27:24]	RW				rodt2				保留。此版本不支持。																							
[23:20]	RW				rodt1				保留。此版本不支持。																							
[19:16]	RW				rodt0				Rank0 读 ODT 配置。 0: 禁止读 ODT; 1: 使能读 ODT。 Bit[16]: Rank0 ODT; . . . Bit[19]: Rank3 ODT。 该参数配置对 Rank0 进行读操作时, 所有 Rank 的 ODT 有效情况。																							
[15:12]	RW				wodt3				保留。此版本不支持。																							



[11:8]	RW	wodt2	保留。此版本不支持。
[7:4]	RW	wodt1	保留。此版本不支持。
[3:0]	RW	wodt0	Rank0 写 ODT 配置。 0: 禁止写 ODT; 1: 使能写 ODT。 bit[0]: Rank0 ODT; . . . bit[3]: Rank3 ODT。 该参数配置对 Rank0 进行写操作时, 所有 Rank 的 ODT 有效情况。

## DDRC\_QOSCFG0

DDRC\_QOSCFG0 为 DDRC 的 QoS 算法配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x100		DDRC_QOSCFG0		0x0007_7777				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved id_order_ctl order_en	reserved		dmc_fifo_lvl	axi3_fifo_lvl	axi2_fifo_lvl	axi1_fifo_lvl	axi0_fifo_lvl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	0 1 1 1	0 1 1 1	0 1 1 1	0 1 1 1
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29]	RW	id_order_ctl	指定 ID 的乱序执行使能。 0: 禁止; 1: 使能。控制器不保证指定 ID 的读写命令与其它 ID 的命令发生地址(DDR 行地址)冲突时的先后顺序。数据一致性由 Master 保证。					
[28]	RW	order_en	同优先级命令顺序执行使能。 0: 禁止; 1: 使能。					
[27:20]	RW	reserved	保留。					



[19:16]	RW	dmc_fifo_lvl	DMC 中，命令寄存器 FIFO 的深度。 0x0~0x7: n+1 个命令深度。 其它: 保留。
[15:12]	RW	axi3_fifo_lvl	AXI 接口 3 中，命令满的水限，用于控制接口命令的流量。 0x0~0x7: n+1 个命令深度。 其它: 保留。
[11:8]	RW	axi2_fifo_lvl	AXI 接口 2 中，命令满的水限，用于控制接口命令的流量。 0x0~0x7: n+1 个命令深度。 其它保留。
[7:4]	RW	axi1_fifo_lvl	AXI 接口 1 中，命令满的水限，用于控制接口命令的流量。 0x0~0x7: n+1 个命令深度。 其它: 保留。
[3:0]	RW	axi0_fifo_lvl	AXI 接口 0 中，命令满的水限，用于控制接口命令的流量。 0x0~0x7: n+1 个命令深度。 其它: 保留。

## DDRC\_QOSCFG1

DDRC\_QOSCFG1 为 DDRC 的 QoS 算法配置寄存器 1

Offset Address		Register Name		Total Reset Value																														
0x104		DDRC_QOSCFG1		0x0000_3210																														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																idmap_mode	id_map																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0
Bits	Access		Name		Description																													
[31:17]	RW		reserved		保留。																													
[16]	RW		idmap_mode		ID 映射模式: 0: 采用寄存器配置的 id_map 的映射方式(默认); 1: 采用 AXI 接口随读写命令随路配置 Qos 映射模式(RTL 代码中打开了此模式的宏定义才能有效)。																													



[15:0]	RW	id_map	<p>根据总线上来的 ID 选取 4 位进行 QOS 的配置选择：            Bit[15:12]: 配置 ID 映射的 bit[3];            Bit[11:8] : 配置 ID 映射的 bit[2];            Bit[7:4] : 配置 ID 映射的 bit[1];            Bit[3:0] : 配置 ID 映射的 bit[0]。            例如：ID_MAP 配置为 0x5320，这指示总线 ID 的 {ID[5],ID[3],ID[2],ID[0]} 用于 ID 映射，完成优先级的配置。            DDRC 会在原有 13 位 ID 的第 9 和第 8 比特插入 2 比特 ID，代表 AXI 端口号，因此 DDRC 映射的 ID 位宽总共为 15 比特。            00: AXI port 1;            01: AXI port 2;            10: AXI port 3;            11: AXI port 4。</p>
--------	----	--------	--

## DDRC\_QOS

DDRC\_QOS 为 DDRC\_QOS 是 DDRC 的命令优先级配置寄存器。

Offset Address  
0x110+0x4×ids  
(ids = 0~15)

Register Name  
DDRC\_QOS

Total Reset Value  
0x0000\_0004

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved				pri_apt				age_prd				reserved		qos_en	reserved		qos								reserved	pri						
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0		0 0 0 0	0 0 0 0		0 0 0 0								0	1 0 0						
Bits	[31:28]				[27:24]				[23:20]				[19:17]																				
Access	RW				RW				RW				RW		RW	RW																	
Name	reserved				pri_apt				age_prd				reserved																				
Description	保留。				命令优先级自适应配置。 0x0: 禁止优先级自适应功能; 0x1~0xF: N×16 个时钟周期。				命令老化时间配置。 0x0: 禁止 Aging 功能; 0x1~0xF: N×16 个时钟周期。				保留。																				



[16]	RW	qos_en	QoS 使能。 0: 禁止; 1: 使能。
[15:14]	RW	reserved	保留。
[13:4]	RW	qos	命令 QoS 配置。 0x1~0x3FF: n 个时钟周期; 其它: 保留。
[3]	RW	reserved	保留。
[2:0]	RW	pri	通道优先级配置。 000: 最高优先级; 001: 次高优先级; ... 111: 最低优先级。

## DDRC\_PHYCFG

DDRC\_PHYCFG 为 DDRPHY 配置寄存器。

Offset Address  
0x200+0x4×chnls  
(chnls = 0~0)

Register Name  
DDRC\_PHYCFG

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																								ref_e	rensel				comp	comp_en	bl	bl_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																												
[31:8]	RO		reserved		保留。																												
[7]	RW		ref_e		DDRPHYIO 配置使能。 0: 外部输入控制; 1: 内部电阻控制。																												
[6:4]	RW		rensel		读使能延迟周期。 000~011: n+1 个时钟周期。 其它: 保留。																												



[3]	RW	comp	DDRPHY 门控选择。 0: DDRC 输出门控值; 1: DDRPHY 自身门控值。
[2]	RW	comp_en	DDRPHY 门控训练使能。 0: 禁止; 1: 使能。
[1]	RW	bl	DDRPHY 的 burst 配置。 0: BL4; 1: BL8。
[0]	RW	bl_en	DDRPHY 的 burst 配置使能。 0: 禁止, 使用可变的 Burst Length。 1: 使能。

## DDRC\_PHYNEG

DDRC\_PHYNEG 为 DDRPHY 门控相位位置。

Offset Address  
0x208+0x4×rnks  
(rnks = 0~0)

Register Name  
DDRC\_PHYNEG

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ecc_negmod		neg_mod													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:18]	RO		reserved		保留。																											
[17:16]	RW		ecc_negmod		保留。此版本不支持。																											



[15:0]	RW	neg_mod	DDRPHY 门控相位选择(Dophin 模式)。 00: 0 度相移; 01: 90 度相移; 10: 180 度相移; 11: 270 度相移。 [2*(N+1)-1: 2*N]: 数据通道 N 的相位位置。 N = 0, 1, 2, 3。
--------	----	---------	--

## DDRC\_PHYSEL

DDRC\_PHYSEL 为 DDRPHY 门控周期位置。

	Offset Address				Register Name				Total Reset Value																							
	0x218+0x4×rnks				DDRC_PHYSEL				0x0000_0000																							
	(rnks = 0~0)																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ecc_selmod	sel_mod																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:18]	RO	reserved		保留。																											
	[17:16]	RW	ecc_selmod		保留。此版本不支持。																											
	[15:0]	RW	sel_mod		DDRPHY 门控延迟选择(Dophin 模式)。 00~11: n 个时钟周期。 [2*(N+1)-1: 2*N]: 数据通道 N 的相位位置。 N = 0, 1, 2, 3。																											

## DDRC\_CDLLCFG

DDRC\_CDLLCFG 为 DDRPHY 的命令通道 DLL 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x228 + 0x4 × cmdls		DDRC_CDLLCFG		0x0000_0057					
(cmdls = 0~0)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved unfl ovfl reserved	bypctl		reserved bypfc	reserved		limit		byp dll_updt_en dll_en dll_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29]	RO	unfl	DLL 下溢出状态。 0: 未溢出; 1: 溢出。						
[28]	RO	ovfl	DLL 上溢出状态。 0: 未溢出; 1: 溢出。						
[27:25]	RW	reserved	保留。						
[24:20]	RW	bypctl	DLL 旁路时, DLL 的 ctout 值。						
[19]	RW	reserved	保留。						
[18:16]	RW	bypfc	DLL 旁路时, DLL 的 fcout 值。						
[15:11]	RW	reserved	保留。						
[10:4]	RW	limit	DLL 锁定带宽。						
[3]	RW	byp	DLL 旁路使能。 0: 不使能; 1: 使能。						
[2]	RW	dll_updt_en	DLL 更新使能。 0: 禁止; 1: 使能。						
[1]	RW	dll_en	DLL 使能。 0: 禁止; 1: 使能。						



[0]	RW	dll_reset	DLL 复位。 0: 复位有效; 1: 复位无效。
-----	----	-----------	---------------------------------

## DDRC\_QDLLCFG

DDRC\_QDLLCFG 为 DDRPHY 数据通道 DLL 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x230+0x4×blanes		DDRC_QDLLCFG		0x0000_0057					
(blanes = 0~3)									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved unfl_mod ovfl_mod reserved	bypctl_mod		reserved bypfc_mod	reserved		limit_mod		byp_mod dll_updt_en_mod dll_en_mod dll_reset_mod
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:30]	RO	reserved	保留。						
[29]	RO	unfl_mod	DLL 下溢出状态。 0: 未溢出; 1: 溢出。						
[28]	RO	ovfl_mod	DLL 上溢出状态。 0: 未溢出; 1: 溢出。						
[27:25]	RW	reserved	保留。						
[24:20]	RW	bypctl_mod	DLL 旁路时, DLL 的 ctlout 值。						
[19]	RW	reserved	保留。						
[18:16]	RW	bypfc_mod	DLL 旁路时, DLL 的 fcout 值。						
[15:11]	RW	reserved	保留。						
[10:4]	RW	limit_mod	DLL 锁定带宽。						



[3]	RW	byp_mod	DLL 旁路使能。 0: 不使能; 1: 使能。
[2]	RW	dll_updt_en_mod	DLL 更新使能。 0: 禁止; 1: 使能。
[1]	RW	dll_en_mod	DLL 使能。 0: 禁止; 1: 使能。
[0]	RW	dll_reset_mod	DLL 复位。 0: 复位有效; 1: 复位无效。

## DDRC\_LVLRSKEW

DDRC\_LVLRSKEW 为 DDRPHY 数据线相位微调控制寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x260	DDRC_LVLRSKEW	0x0000_0000							
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0									
Name	reserved						dqs_skew			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0									
Bits	Access	Name	Description							
[31:10]	RW	reserved	保留。							
[9:0]	RW	dqs_skew	数据线微调使能。 0: 禁止; 1: 使能。 [N]: 表示 ByteN 的使能。N=0,1,2...,9。							

## DDRC\_LVLCTRL

DDRC\_LVLCTRL 为 DDRPHY Write Level 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x264		DDRC_LVLCTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						wrlvl_allow		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	wrlvl_allow	WriteLevel 操作启动。 0: 禁止; 1: 使能。 [N]: 表示 ByteN 的操作启动。N=0,1,2...,9。						

## DDRC\_LVLSTR

DDRC\_LVLSTR 为 DDRPHY WriteLevel 的 DQS 控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x268		DDRC_LVLSTR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						wrlvl_strobe		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	RO	reserved	保留。						
[9:0]	RW	wrlvl_strobe	WriteLevel 单周期使能操作。 0: 空闲; 1: 写 1 使能。 [N]: 表示 ByteN 的使能。N=0,1,2...,9。						

## DDRC\_LVLODT

DDRC\_LVLODT 为 DDRPHY WriteLevel 的 ODT 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x26C		DDRC_LVLODT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							wrlvl_odt	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	RO	reserved	保留。						
[3:0]	RW	wrlvl_odt	WriteLevel 模式下 ODT 控制。 0: 不使能; 1: 使能。 [N]: 表示 RankN 的使能。N=0,1,2,3。						

## DDRC\_LVLCTL

DDRC\_LVLCTL 为 DDRPHY WriteLevel 配置寄存器 0。

Offset Address		Register Name		Total Reset Value				
0x270+0x4×blanes (blanes = 0~3)		DDRC_LVLCTL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clkinv	lvlctl_mod						
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	clkinv	leveling 相位选择。 0: 0 相位; 1: 180 度相位。					



[30:0]	RW	lvlctl_mod	<p>WriteLevel 模式，DQS 的粗调值。</p> <p>0x0000_0000: 0 个延迟单元；</p> <p>0x0000_0001: 1 个延迟单元；</p> <p>0x0000_0003: 2 个延迟单元；</p> <p>0x0000_0007: 3 个延迟单元；</p> <p>...</p> <p>0x7FFF_FFFF: 31 个延迟单元。</p> <p><b>注意：该寄存器的访问受控于 DDRC_CONFIG1[wrlvl_en]。在 wrlvl_en 不使能的情况下，才可以访问。</b></p>
--------	----	------------	--

## DDRC\_LVLRSP

DDRC\_LVLRSP 为 DDRPHY 的 WriteLevel 响应寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x2D0				DDRC_LVLRSP				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												lvlrsp_mod																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	RO		reserved		保留。																											
[9:0]	RO		lvlrsp_mod		<p>WriteLevel 模式，返回响应。</p> <p>0: 表示 ERROR；</p> <p>1: 表示 OK。</p> <p>[N]: 表示 ByteN 的返回响应。N=0,1,2...,9。</p>																											

## DDRC\_LVLST

DDRC\_LVLST 为 DDRPHY Write Level 状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x2D4		DDRC_LVLST		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															lvl_ok																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:10]	RO	reserved		保留。																												
[9:0]	RO	lvl_ok		WriteLevel 状态。 0: 完成初始化之后, 表示失败; 1: 成功。 [N]: 表示 ByteN 的 WriteLevel 状态。N=0,1,2,..,9。																												

### DDRC\_WRDQS\_SKEW

DDRC\_WRDQS\_SKEW 为 DDRPHY 写 DQS 微调寄存器。

Offset Address		Register Name		Total Reset Value																												
0x2F0		DDRC_WRDQS_SKEW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	wrdqqs_skew																														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:30]	RW	reserved		保留。																												
[29:0]	RW	wrdqqs_skew		DDR 写 DQS 延迟微调。 0x0~0x7: 延时单元个数。 [3*(N+1)-1:3*N]: 写 DQS 延时配置。 N=0, 1, ..., 9 N 表示对应的 BytelaneN 的写 DQS。																												

### DDRC\_RDDQS\_SKEW

DDRC\_RDDQS\_SKEW 为 DDRPHY 读 DQS 微调寄存器。



Offset Address		Register Name		Total Reset Value				
0x2F4		DDRC_RDDQS_SKEW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		rddqs_skew					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:30]	RW	reserved	保留。					
[29:0]	RW	rddqs_skew	DDR 读 DQS 延迟微调。 0x0~0x7: 延时单元个数。 [3*(N+1)-1:3*N]: 读 DQS 延时配置。 N=0, 1, ..., 9 N 表示对应的 BytelaneN 的读 DQS。					

## DDRC\_IOCFG

DDRC\_IOCFG 为 DDRPHY 的 IO 配置寄存器。

Offset Address		Register Name		Total Reset Value								
0x360+0x4×cmdls (cmdls = 0~0)		DDRC_IOCFG		0x0000_0007								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved					lpddr_en	odis_clk	fena_rcv	ddr3	rtt	reserved	sl
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1				
Bits	Access	Name	Description									
[31:12]	RO	reserved	保留。									
[11]	RW	lpddr_en	DDR 读 DQS 单端接收模式使能。 0: 禁止。采用差分 DQS 模式； 1: 使能。采用单端 DQS 模式。									



[10:8]	RW	odis_clk	输出时钟使能信号。odis_clk[n], n 取 0~2, 代表 DDR_CLKP/N[n] 0: 对应 DDR_CLKP/N 的输出时钟使能; 1: 对应 DDR_CLKP/N 的输出时钟禁止。 此版本中 DDR_CLKP2 和 DDR_CLKN2, 未使用。请配置 odis_clk[2]=1。
[7]	RW	fena_rcv	强制接收使能。 0: 禁止; 1: 使能。
[6]	RW	ddr3	模式选择。 0: DDR2 模式; 1: DDR3 模式。
[5:4]	RW	rtt	匹配电阻阻值。(ren75,ren150) 00: 禁止; 01: 外部电阻阻值/2; 1x: 外部电阻阻值/4。
[3]	RO	reserved	保留。
[2:0]	RW	sl	信号斜率控制。 111: 最快; . . . 000: 最慢。

## DDRC\_IOCMP

DDRC\_IOCMP 为 DDRPHY 的 IO 补偿配置寄存器。



	Offset Address 0x370+0x4×cmps (cmps = 0~1)				Register Name DDRC_IOCMP				Total Reset Value 0x0000_0005																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rtt_byp_en	rtt_byp				drv_byp_n				drv_byp_p				drv_byp_en	update_en	mvg_en	comp_e			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
Bits	Access	Name	Description																													
[31:17]	RO	reserved	保留。																													
[16]	RW	rtt_byp_en	匹配电阻补偿电路旁路使能。 0: 不使能; 1: 使能。																													
[15:12]	RW	rtt_byp	旁路模式下, 电阻配置值。																													
[11:8]	RW	drv_byp_n	旁路模式下, 下拉电阻配置值。																													
[7:4]	RW	drv_byp_p	旁路模式下, 上拉电阻配置值。																													
[3]	RW	drv_byp_en	旁路使能。 0: 不使能; 1: 使能。																													
[2]	RW	update_en	补偿更新使能。 0: 不使能; 1: 使能。																													
[1]	RW	mvg_en	取平均值使能。 0: 不使能; 1: 使能。																													
[0]	RW	comp_e	驱动和接收使能。 0: 不使能; 1: 使能。																													

## DDRC\_CMPSTATUS0

DDRC\_CMPSTATUS0 为 DDRPHY IO 补偿状态寄存器。



Offset Address		Register Name		Total Reset Value				
0x380+0x4×cmps (cmps = 0~1)		DDRC_CMPSTATUS0		0x0001_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pctl_core				nctl_core			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:16]	RO	pctl_core	下拉补偿电阻值状态。					
[15:0]	RO	nctl_core	上拉补偿电阻值状态。					

## DDRC\_CMPSTATUS1

DDRC\_CMPSTATUS1 为 DDRPHY IO 补偿状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x388		DDRC_CMPSTATUS1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ctl_core			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:14]	RO	reserved	保留。					
[13:0]	RO	ctl_core	RTT 补偿电阻值状态。					

## 4.2 NAND Flash 控制器

### 4.2.1 概述

NANDC (NAND Flash Controller) 提供存储控制器接口连接片外 NAND Flash，从而完成数据的存取。

### 4.2.2 特点

NANDC 的主要特点如下：

- 提供 2KB (2048byte+320byte) 片内缓存，提高读取速度。
- 支持 2 个片选信号和 2 个 ready/busy 信号，同时也支持 2 个 NAND Flash 器件共用 1 个 ready/busy 信号。



- 支持 8bit data-bus NAND Flash 接口。
- 支持 NAND Boot 功能，支持 2KB、4KB 和 8K page size 的 NAND Flash 器件，支持从片选 0 对应的 NAND Flash 启动。
- 支持 ECC 校验使能和关闭，支持纠错使能和关闭。
  - 对于 SLC 器件，支持 512byte Hamming 码 ECC (Error Correcting Code) 校验和 1bit 纠错。
  - 对于 MLC 器件，支持 4bit /512byte 的校验和纠错，支持 8bits/512byte 校验纠错，支持 24bit/1024byte 的校验纠错。
- 支持读写、擦除、编程完成、ECC 校验错误等中断上报。
- 支持不定长数据读写。
- 可以灵活配置控制器发出的命令，从而可以支持各种 NAND Flash 命令操作（包括 cache 读写等）。
- 支持读写 NAND Flash 过程可以被打断，以支持存储器共享总线出让。
- 支持交替操作 2 个 NAND Flash 器件，并行工作以提高效率。
- 支持对 NAND Flash 写保护功能，写保护地址空间可配置。
- 支持 lock 和 lock-down 两种模式。支持 Flashlock 使能/去使能、Flash 整体锁定使能/去使能，默认为 Flashlock 使能，Flash 整体锁定使能。凡是对锁定地址范围内的写操作，NANDC 均上报操作错误中断。
- 支持 EDO (Enhanced Data Out) 增强数据输出模式的 NAND Flash 数据读取。

## 4.2.3 功能描述

### 4.2.3.1 功能原理

NAND Flash 器件的数据存储结构一般分为 block 和 page，每个 block 包括若干个 page。对 NAND Flash 写入数据前，必须先进行擦除操作，擦除以 block 为单位。然后以 page 为单位进行读写。

不同厂家提供的操作 NAND Flash 的命令会有所不同，应以厂家器件手册为准。

一次典型的读数据操作过程如下：

步骤 1 向 NAND Flash 发读命令 0x00。

步骤 2 发送读取的起始地址（由页内地址和页地址、block 地址共同组成，相关信息，请参见相关厂家 NAND Flash 器件手册）。

步骤 3 发送读确认命令 0x30。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部读操作。过一段时间后（一般约 25 $\mu$ s），RB 变高，此时代表 NAND Flash 已经准备好数据。

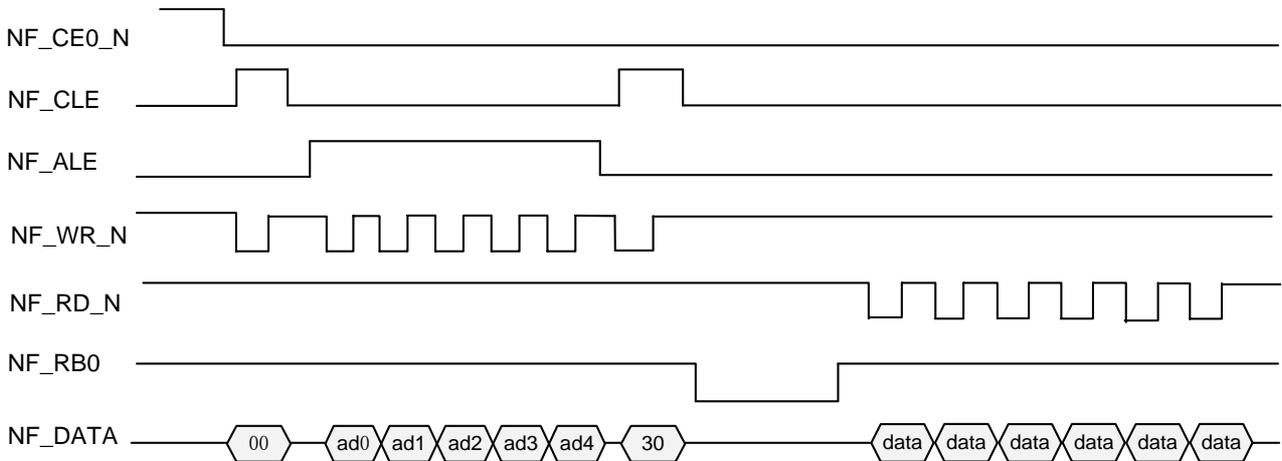
步骤 4 CPU 通过 NF\_RD\_N 信号，把数据从 NAND Flash 读出来。

----结束

NANDC 读 NAND Flash 一个 page 数据的典型时序如图 4-4 所示。



图4-4 读 NAND Flash 一个 page 数据的典型时序图



一次典型的编程（写数据）的操作如下：

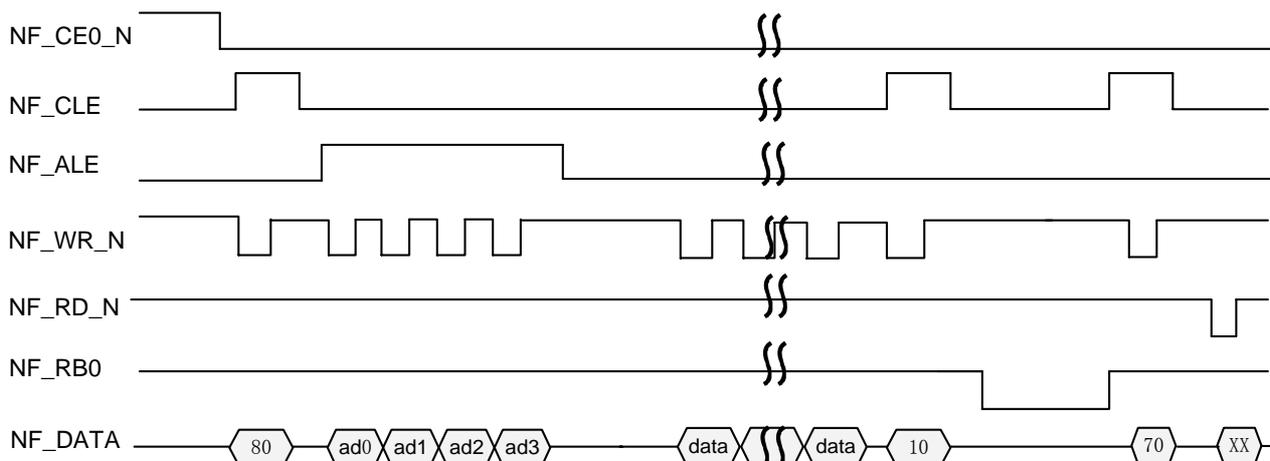
- 步骤 1 向 NAND Flash 发编程命令 0x80。
- 步骤 2 发送写入数据的起始地址（由页内地址和页地址、block 地址共同组成，需参照对应的 NAND Flash 器件手册）。
- 步骤 3 把数据写入 NAND Flash 的内部缓存。
- 步骤 4 CPU 再发送编程确认命令 0x10。此时，NAND Flash 器件会拉低 RB 信号，表示 NAND Flash 正在进行内部编程操作，维持一段时间后（一般约 200ms），RB 变高，此时，代表 NAND Flash 内部编程已经结束。
- 步骤 5 CPU 通过发送 0x70 读状态，读出本次编程是否成功的状态数据。

----结束

启动 NANDC 进行编程操作时的时序如图 4-5 所示。



图4-5 启动 NANDC 进行编程操作时的时序图



### 4.2.3.2 工作方式

#### 时钟门控

当不使用 NAND Flash 时，可以关断 NANDC 的工作时钟，步骤如下：

- 步骤 1 读 NANDC 的 `NFC_STATUS[nfc_ready]`。
- 步骤 2 如果 `NFC_STATUS[nfc_ready]` 为 1，软件确认不再读写 NAND Flash，进入步骤 3；否则，返回步骤 1。
- 步骤 3 向系统寄存器 `PERI_CRG24[nfc_cken]` 写 0，关闭时钟。

----结束

#### 软复位

写 `NFC_OP` 寄存器启动 NANDC 执行操作后，如果 `NFC_STATUS[nfc_ready]` 变为 0 后，长时间不能变为 1（最大时间长度取决于 NAND Flash 器件，SLC Flash 器件一般小于 4ms、MLC 器件一般小于 11ms），说明 NANDC 出现异常，需要软复位。

通过向 `PERI_CRG24[nfc_srst_req]` 写 1，可实现对 NANDC 的软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。软复位后，为了保证 NAND Flash 的可靠工作，需要对其发出复位命令（如果 NAND Flash 支持复位操作）。



说明

NANDC 有一个锁定功能。当设置该功能有效后，只有硬件复位才能够取消该功能。

#### Boot 配置管脚

NANDC 支持 NAND Boot 功能，支持 2KB、4KB 和 8KB page size 的器件，只支持从片选 0 对应的 NAND Flash 启动。



复位后 NANDC Boot 配置管脚的电平决定 Boot 模式。NANDC 在复位结束后，采样一次 Boot 配置管脚的电平值。之后，这些管脚的电平值不再影响 NANDC 的工作状态。Boot 相关的配置管脚如表 4-10 所示。

表4-10 Boot 相关的配置管脚

名称	I/O	描述
NF_ADNUM	I	Boot 时，NANDC 发给 NAND Flash 器件的地址数目。 0: 4 个地址周期; 1: 5 个地址周期;
NF_PAGE1/0	I	Boot 时，NAND Flash 器件的 page 容量。 01: 2KB; 10: 4KB; 11: 8KB; 其他: 保留。
NF_ECC_TYPE2/1/0	I	Boot 时，选择 ECC 模式。 000: 不使能; 001: 1bit 模式; 010: 4bits 模式; 011: 8bits 模式; 100: 24bit 模式。 其他: 保留。
NF_BLKSIZE	I	Boot 时，NAND Flash 器件的 block 的大小。 0: 64 个 page; 1: 128 个 page。

## Boot 模式

Boot 模式下，具有以下特点：

- NANDC 默认处于 Boot 模式，只能从片选 0 对应的 NAND Flash 进行 Boot。
- 在 Boot 模式下，CPU 可以直接读取 1Mbyte 地址范围的数据。
- Boot 模式下，可以支持自动识别坏块并跳过坏块。
- 从 NAND Flash Boot 时，根据 CPU 读取的地址，NANDC 会自动发出读取 NAND Flash 相应 page 的命令，并返回相应的数据。
- Boot 模式下，不支持 CPU 写内部 buffer 的操作。
- Boot 模式下，需要根据外接 NAND Flash 器件的型号特点，对 Boot 配置管脚信号进行正确的设置。



## NORMAL 模式

把寄存器 `NFC_CON[op_mode]` 置 1，切换到 Normal 模式。该模式下，CPU 可以对 NAND Flash 进行擦除、编程、读等各种操作。

## NAND Flash 地址设置

NANDC 对地址不作翻译，直接把低位地址寄存器和高位地址寄存器的值按照命令配置寄存器设置的地址数目发送给 NAND Flash 器件。所以软件应把 CPU 的地址翻译为 NAND Flash 的地址，写到地址寄存器。对于各个 Flash 器件的地址设置要求，以 NAND Flash 器件的用户手册为准。

三星 K9F2G08U0M 容量为 256M%8bit，page size 为 2KB 的器件的地址设置要求如表 4-11 所示。A0~A11 为页内地址（列地址），A12~A27 为页地址（行地址）。

表4-11 K9F2G08U0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	0	0	0	0
3rd cycle	A12	A13	A14	A15	A16	A17	A18	A19
4th cycle	A20	A21	A22	A23	A24	A25	A26	A27

三星 K9GAG08X0M，容量为 2G%8bit，page size 为 4KB 的器件的地址设置要求如表 4-12 所示。A0~A12 为页内地址（列地址），A13~A31 为页地址（行地址）。

表4-12 K9GAG08X0M 的地址表

周期	IO0	IO1	IO2	IO3	IO4	IO5	IO6	IO7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	A12	0	0	0
3rd cycle	A13	A14	A15	A16	A17	A18	A19	A20
4th cycle	A21	A22	A23	A24	A25	A26	A27	A28
5th cycle	A29	A30	A31	0	0	0	0	0

## 地址映射

在 Normal 模式下，NANDC 地址映射如下：

- NANDC 的内部 buffer 的基地址为 0x5000\_0000。
- NANDC 的内部寄存器区的基地址为 0x1000\_0000。



## 操作命令

NAND Flash 厂家的器件会提供的一些高级命令，NAND Flash 操作的一些基本的命令如表 4-13 所示。

表4-13 NAND Flash 常用命令表

功能	1 <sup>st</sup> cycle	2 <sup>nd</sup> cycle	备注
READ	00H	30H	-
PROGRAM	80H	10H	-
BLOCK ERASE	60H	D0H	-
READ ID	90H	-	-
READ STATUS	70H	-	-
RESET	FFH	-	-

### 4.2.4 数据存储结构

NANDC 内部 buffer 大小为 (2048+320) byte。读写 NAND Flash 数据在 NANDC buffer 中的数据结构如下所述。

#### 4.2.4.1 1bit ECC 模式

##### 2KB (2048+64) page size

2048byte 有效数据存放在 buffer 的 0x000~0x7FF 地址，64byte spare 数据存放 0x800~0x83F 地址。

驱动软件中的数据结构与 NANDC buffer 中的数据结构，以及 NAND Flash 中的数据结构完全相同，如图 4-6 所示。

图4-6 1bit ECC 模式 2KB (2048+ 64) byte page size NAND Flash 数据存储结构

DATA(2048B)	B	DECC	SECC	CTRL
-------------	---	------	------	------

B: bad block, 2byte

DECC: 数据区的 ECC 码, 12byte

CTRL: 留给软件用的控制区域, 42byte

SECC: bad block 标志和 CTRL 区域的 ECC 码, 8byte (从 bad block 标志开始, 每 16byte 数据计算一个 2byte 的校验码。计算校验码时, DECC 和 SECC 的位置数据屏蔽为 0)。

##### 4KB (4096+56) page size

驱动软件中的数据结构 4096byte+56byte 如图 4-7 所示。



图4-7 1bit ECC 模式驱动软件中的数据结构 4096byte+56byte

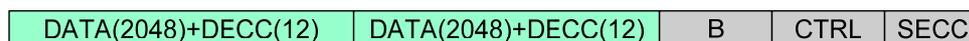


B: bad block, 2byte

CTRL: 控制区域, 54byte

在 NAND Flash 中, 数据按照 2048byte+12byte ECC 码的方式交替存放 (共 4096byte+24byte)。

图4-8 1bit ECC 模式 NAND Flash 中数据结构



B: bad block , 2byte

CTRL: 留给软件用的控制区域, 54byte

SECC: bad block 标志和 CTRL 区域的 ECC 码, 8byte。(从 bad block 标志开始, 每 16byte 数据计算一个 2byte 的校验码。计算校验码时, SECC 的位置数据屏蔽为 0)。

#### 4.2.4.2 4bit ECC 模式

##### 4KB(4096+128) page size

对 4KB page size 的器件, 软件可用的 spare area 区的大小为 46byte。驱动软件中的数据结构如图 4-9 所示。

图4-9 4bit ECC 模式驱动软件中的数据结构 4096byte+48byte

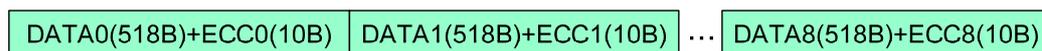


B: bad block ,2byte

CTRL: 留给软件用的控制区域, 46byte

写到 NAND Flash 中的数据结构如图 4-10 所示。把软件有效数据切成 8 个 518byte 的数据块, 每 518byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 518byte 数据+10byte ECC 码的格式交替存放,共 8 组。

图4-10 4bit ECC NAND Flash 中的数据的结构 4096byte+128byte



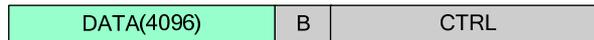
#### 4.2.4.3 8bit ECC 模式

##### 4KB(4096+XXX) page size

对 4KB page size 的器件, 实际大小一般为 4096+218byte。



图4-11 8bit ECC 模式驱动软件中的数据结构 4096byte+48byte

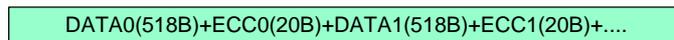


B: bad block ,2byte

CTRL: 留给软件用的控制区域, 46byte

写到 NAND Flash 中的数据结构如下。每 518byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 518byte 数据+20byte ECC 码的格式交替存放, 共 (4096+208) byte。

图4-12 8bit ECC NAND Flash 中的数据的数据的结构 4096byte+208byte



## 8KB(8192+XXX) page size

图4-13 8bit ECC 模式驱动软件中的数据结构 8192byte+64byte

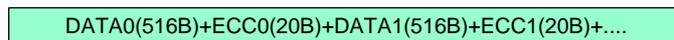


B: bad block ,2byte

CTRL: 留给软件用的控制区域, 62byte

写到 NAND Flash 中的数据结构如下。每 516byte 数据计算一次 ECC。写到 NAND Flash 器件内部的数据结构会自动调整为 516byte 数据+20byte ECC 码的格式交替存放, 共 (8192+384) byte。

图4-14 8bit ECC NAND Flash 中的数据的数据的结构 8192byte+384byte



## 4.2.4.4 24bit ECC 模式

### 4KB page size

4K page size 时, 驱动软件中的数据结构如图 4-15 所示。

图4-15 24bit ECC 模式驱动软件中的数据结构 4096byte+32byte



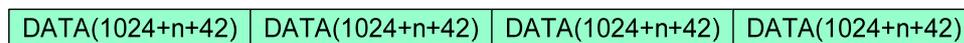
B: bad block, 2byte

CTRL: 留给软件用的控制区域, 30byte (n 配置为 8 时)



当写到 NAND Flash 器件中时，先把数据切分成  $(1024+n)$  byte 的 4 个数据段（n 的大小可配置 4、8），然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放，共  $(4096+200)$  byte。

图4-16 24bit ECC 模式 NAND Flash 器件中数据结构 4096byte+200byte



boot 模式下，逻辑默认为 n 为 8byte。

## 8KB page size

对于 8K page size，驱动软件中的数据结构如图 4-17 所示。

图4-17 24bit ECC 模式驱动软件中的数据结构 8192byte+32byte

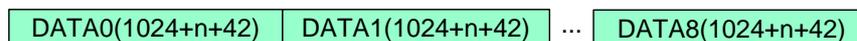


B: bad block ,2byte

CTRL: 留给软件用的控制区域，30byte（n 配置为 4 的情况下）

当写到 NAND Flash 器件中时，先把上述数据切分成  $1024+n$  的 8 个数据段（n 的大小可配置，比如 4），然后对每个数据段计算一个 42byte 的 ECC 码。写到 NAND Flash 中时，数据段和 ECC 码交替存放。

图4-18 24bit ECC 模式 NAND Flash 器件中的数据结构 8192byte+368byte



boot 模式下，逻辑默认为 n 为 4byte。

## 4.2.5 软件操作

### 4.2.5.1 初始化

初始化步骤如下：

- 步骤 1 向 `NFC_CON[op_mode]` 写 1，进入 Normal 模式。根据对接器件的位宽和 page size 大小，设置 `NFC_CON[bus_width]` 和 `NFC_CON[page_size]`。根据外接器件的片选个数和 `ready_busy` 信号个数，设置 `NFC_CON[rb_sel]`。写寄存器 `NFC_CON[ecc_type]`，设定校验和纠错模式。
- 步骤 2 根据对接器件的时序要求，写寄存器 `NFC_PWIDTH`。
- 步骤 3 如果是查询方式，写中断使能寄存器 `NFC_INTEN`，屏蔽所有中断。如果是中断方式，只需使能 `op_done` 中断，其余可屏蔽。

----结束



### 4.2.5.2 对 NAND Flash 执行擦除操作

执行擦除操作的步骤如下：

- 步骤 1 向寄存器 `NFC_ADDR_L` 和 `NFC_ADDR_H` 写入编程 page 地址，向寄存器 `NFC_CMD` 写入擦除命令 `0x0070_D060`。
- 步骤 2 向寄存器 `NFC_OP` 写入 `0x369`，启动 NANDC 对 NAND Flash 进行擦除操作（假设 NAND Flash 芯片需要 3 个地址，并且是对片选 0 操作）。
- 步骤 3 查询方式下，检测 `NFC_STATUS[nfc_ready]`，如果为 1，进入步骤 4。否则，继续查询；中断方式下，检测 `NFC_INTS[op_done]`，如果为 1，进入步骤 4。
- 步骤 4 读寄存器 `NFC_STATUS[nf_status]`，判断擦除是否成功。

----结束

### 4.2.5.3 DMA 方式写 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page_size`、`ecc_type`、`bus_wide` 参数。如果是 24bit ECC 纠错类型，配置 `NFC_OP_PARA[ext_len]` 寄存器。
- CPU 配置数据在 DDR 中存放的基地址寄存器 `NFC_BADDR_D`，配置读出 tag 区在 DDR 中存放的基地址寄存器 `NFC_BADDR_OOB`，如果是 ECC0 模式，还要配置 `NFC_DMA_LEN` 寄存器。
- CPU 写寄存器 `NFC_DMA_CTRL`，启动 NANDC 写 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断。

### 4.2.5.4 DMA 方式读 NAND Flash

- 根据对接器件类型配置好 `NFC_CON` 的 `page_size`、`ecc_type`、`bus_wide` 参数。如果是 24bit ECC 纠错类型，配置 `NFC_OP_PARA` 寄存器的 `ext_len` 域。
- CPU 配置读出数据在 DDR 中存放的基地址寄存器 `NFC_BADDR_D`，配置 `NFC_DMA_LEN` 寄存器。配置 DMA 读 NAND Flash 的逻辑地址寄存器 `NFC_RD_LOGIC_ADDR`，配置 DMA 读 NAND Flash 的逻辑长度寄存器 `NFC_RD_LOGIC_LEN`。
- CPU 写寄存器 `NFC_DMA_CTRL`，启动 NANDC 读 NAND Flash。
- CPU 等待 NANDC 发出 DMA 传输完成中断。

## 4.2.6 其它注意事项

其它注意事项如下：

- 各个厂家的 NAND Flash 器件支持的操作命令有所不同，需要根据器件手册合理设置命令寄存器 `NFC_CMD`。同时，不同容量的 NAND Flash 器件需要的地址周期数不同，需要参照器件手册设置 `NFC_OP` 中的 `address_cycles` 域。不同器件支持的时序有所不同，需要根据器件手册合理设置读写脉冲宽度寄存器 `NFC_PWIDTH` 和操作间隔寄存器 `NFC_OPIDLE`。
- 在配置好相关寄存器和 `buffer` 后，再写 `NFC_OP` 寄存器，以启动 NANDC 发起 Flash 读写操作。之后，不要再写相关的寄存器，否则可能导致 NANDC 或 Flash 工作不正常。



- 写 `NFC_OP` 寄存器启动读写 NAND Flash 之后，在 `NFC_STATUS[nfc_ready]` 标志为 0 期间，不要读写 NANDC 的 buffer。否则，可能返回错误的的数据。

## 4.2.7 NANDC 寄存器概览

NANDC 寄存器概览如表 4-14 所示。

表4-14 NANDC 寄存器概览（基址是 0x1000\_0000）

偏移地址	名称	描述	页码
0x00	NFC_CON	NANDC 配置寄存器	4-69
0x04	NFC_PWIDTH	读写脉冲宽度配置寄存器	4-70
0x08	NFC_OPIDLE	操作间隔配置寄存器	4-71
0x0C	NFC_CMD	命令字配置寄存器	4-72
0x10	NFC_ADDRLL	低位地址配置寄存器	4-72
0x14	NFC_ADDRH	高位地址配置寄存器	4-73
0x18	NFC_DATA_NUM	读写数据数目配置寄存器	4-73
0x1C	NFC_OP	操作寄存器	4-73
0x20	NFC_STATUS	状态寄存器	4-75
0x24	NFC_INTEN	中断使能寄存器	4-76
0x28	NFC_INTS	中断状态寄存器	4-77
0x2C	NFC_INTCLR	中断清除寄存器	4-78
0x30	NFC_LOCK	锁地址配置寄存器	4-80
0x34	NFC_LOCK_SA0	锁起始地址 0 配置寄存器	4-80
0x38	NFC_LOCK_SA1	锁起始地址 1 配置寄存器	4-81
0x3C	NFC_LOCK_SA2	锁起始地址 2 配置寄存器	4-82
0x40	NFC_LOCK_SA3	锁起始地址 3 配置寄存器	4-82
0x44	NFC_LOCK_EA0	锁结束地址 0 配置寄存器	4-83
0x48	NFC_LOCK_EA1	锁结束地址 1 配置寄存器	4-84
0x4C	NFC_LOCK_EA2	锁结束地址 2 配置寄存器	4-84
0x50	NFC_LOCK_EA3	锁结束地址 3 配置寄存器	4-85
0x54	NFC_EXPCMD	扩展页命令寄存器	4-86
0x58	NFC_EXBCMD	扩展块命令寄存器	4-86



偏移地址	名称	描述	页码
0x5C	NFC_ECC_TEST	ECC 测试寄存器	4-86
0x60	NFC_DMA_CTRL	DMA 控制寄存器	4-87
0x64	NFC_BADDR_D	传送数据区的基地址寄存器	4-89
0x68	NFC_BADDR_OOB	OOB 区的基地址寄存器	4-89
0x6C	NFC_DMA_LEN	传送长度寄存器	4-90
0x70	NFC_OP_PARA	操作参数寄存器	4-90
0x74	NFC_VERSION	控制器版本寄存器	4-92
0x78	NFC_BUF_BADDR	NANDC 的 BUFFER 基地址寄存器	4-92
0x7C	NFC_RD_LOGIC_A DDR	DMA 读 NAND Flash 的逻辑地址寄存器	4-93
0x80	NFC_RD_LOGIC_L EN	为 DMA 读 NAND Flash 的逻辑长度寄存器	4-93
0x90	NFC_FIFO_EMPTY	内部 FIFO 状态寄存器	4-93
0x94	NFC_BOOT_SET	boot 参数设定寄存器	4-94
0x98	NF_STATUS	NAND Flash 的 status 寄存器	4-94

## 4.2.8 NANDC 寄存器描述

### NFC\_CON

NFC\_CON 为 NANDC 配置寄存器。

	Offset Address	Register Name	Total Reset Value																		
	0x00	NFC_CON	-																		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																				
Name	reserved										edo_en	ecc_type		rb_sel	cs_ctrl	reserved	bus_width	pagesize	op_mode		
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0	0	0	0	1	0	1	?	0	0	0	0
	Bits	Access	Name	Description																	
	[31:12]	-	reserved	保留。																	



[11]	RW	edo_en	以 EDO 模式读取 NAND Flash 数据使能。 0: 正常模式; 1: EDO 模式。 使用该功能时, 需要参照具体器件的要求进行。
[10:8]	RW	ecc_type	ECC 模式选择。 000: 无 ECC; 001: 1bit 模式; 010: 4bits 模式; 011: 8bits 模式; 100: 24bits 模式 for 1KB; 101~111: 保留。 复位值由管脚 NFC_ECC_TYPE 决定。
[7]	RW	rb_sel	当外接多个 NAND Flash 器件 (多个片选) 时有效。 0: NAND Flash 器件共用同一个 ready/busy 信号; 1: NAND Flash 器件使用各自独立的 ready/busy 信号。 当只接一个 NAND Flash 器件时, 只用片选信号 cs0 和 ready/busy0。
[6]	RW	cs_ctrl	片选控制。 0: 在 NAND Flash 为 busy 时, 保持片选信号为 0; 1: 在 NAND Flash 为 busy 时, 把片选信号置位 1。 该模式对应 NAND Flash 的 cs do not care 模式。
[5:4]	-	reserved	保留。
[3]	RW	bus_width	NAND Flash 的数据线宽度。 0: 8bit; 1: 16bit。 复位值由管脚 NFC_BUS_WIDE 决定。
[2:1]	RW	pagesize	NAND Flash 的 Page size (页大小)。 01: 2Kbyte; 10: 4Kbyte; 11: 8Kbyte; 其他: 保留。 复位值由管脚 NFC_PAGE_SIZE 决定。
[0]	RW	op_mode	NANDC 所处的工作模式。 0: NANDC 处于 Boot 模式; 1: NANDC 处于 normal 模式。



## NFC\_PWIDTH

NFC\_PWIDTH 为读写脉冲宽度配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x04				NFC_PWIDTH				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												rw_hcnt		r_lcnt		w_lcnt															
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	1	1	0	0	1	1	0	0	1	1
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11:8]	RW		rw_hcnt		NAND Flash 读/写信号高电平宽度。 0x0~0xF: 1~16 个时钟周期。																											
[7:4]	RW		r_lcnt		NAND Flash 读信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。																											
[3:0]	RW		w_lcnt		NAND Flash 写信号低电平宽度。 0x0~0xF: 1~16 个时钟周期。																											

## NFC\_OPIDLE

NFC\_OPIDLE 为操作间隔配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x08				NFC_OPIDLE				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				frb_wait				cmd1_wait				addr_wait				write_data_wait				cmd2_wait				frb_idle							
Reset	?	?	?	?	?	?	?	?	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:24]	-		reserved		保留。																											
[23:20]	RW		frb_wait		发出读写命令后，先延时一段时间，然后再检测 ready 信号是否变为高电平。延时的周期数为：frb_wait%8。																											



[19:16]	RW	cmd1_wait	发送完 Command1 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。
[15:12]	RW	addr_wait	发送完 Address 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。
[11:8]	RW	write_data_wait	写数据之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。
[7:4]	RW	cmd2_wait	发送完 Command2 之后的等待周期数。 0x0~0xF: 1~16 个时钟周期。
[3:0]	RW	frb_idle	NAND Flash 的 ready 信号变高之后, 延时一段时间,之后才能发出读信号读数据。 延时的周期数为: frb_idle%8。

## NFC\_CMD

NFC\_CMD 为命令字配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C				NFC_CMD								-																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				read_status_cmd				cmd2				cmd1																			
Reset	?	?	?	?	?	?	?	?	0	1	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	-		reserved		保留。																											
[23:16]	RW		read_status_cmd		Read status 命令字。																											
[15:8]	RW		cmd2		NANDC 发给 NAND Flash 的第 2 个命令。																											
[7:0]	RW		cmd1		NANDC 发给 NAND Flash 的第 1 个命令。																											

## NFC\_ADDRL

NFC\_ADDRL 为低位地址配置寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x10				NFC_ADDR_L				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	addr_l																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	addr_l		NAND Flash 低 32bit 地址。																											

## NFC\_ADDRH

NFC\_ADDRH 为高位地址配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x14				NFC_ADDRH				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												addr_h																			
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	addr_h		NAND Flash 高 16bit 地址。																											

## NFC\_DATA\_NUM

NFC\_DATA\_NUM 为读写数据数目配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x18				NFC_DATA_NUM				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												nfc_data_num																			
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	1	0	0	0	0	1	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:12]	-	reserved		保留。																											
	[11:0]	RW	nfc_data_num		配置 NANDC 随机读写的数据个数，最大 2368byte。 注意：只在 ecc_type 为 00 时有效。																											



## NFC\_OP

NFC\_OP 为操作寄存器。

	Offset Address 0x1C								Register Name NFC_OP								Total Reset Value -															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																address_cycles	nf_cs		cmd1_en	addr_en	write_data_en	cmd2_en	wait_ready_en	read_data_en	read_status_en						
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11:9]	RW		address_cycles		发给 NAND Flash 的地址周期数。																											
[8:7]	RW		nf_cs		选择操作的 NAND Flash 器件。 00: cs0; 01: cs1; 其他: 保留。																											
[6]	RW		cmd1_en		发 command1 命令使能。 0: 禁止; 1: 使能。																											
[5]	RW		addr_en		向 NAND 写操作地址使能。 0: 禁止; 1: 使能。																											
[4]	RW		write_data_en		向 NAND Flash 写数据使能。 0: 禁止; 1: 使能。 <b>注意: read_data_en 和 write_data_en 不能同时为 1。</b>																											
[3]	RW		cmd2_en		发 command2 命令使能。 0: 禁止; 1: 使能。																											
[2]	RW		wait_ready_en		等待 ready/busy 信号变高使能。 0: 禁止; 1: 使能。																											



[1]	RW	read_data_en	<p>启动读状态机，从 NAND Flash 读数据使能。</p> <p>0：禁止； 1：使能。</p> <p><b>注意：read_data_en 和 write_data_en 不能同时为 1。</b></p>
[0]	RW	read_status_en	<p>该标志为 1 时，使能向 NAND 发出读 status 的 0x70 命令，并从 NAND Flash 读取状态数据，返回的数据写入 NANDC 状态寄存器的 NFC_STATUS 域中（而不写入内部 buffer）。</p> <p>在对 NAND 器件进行擦除和编程时，需要读取擦除和编程的结果，看是否成功。使能时，CPU 一次操作就可以完成编程擦除等操作，并从 NAND 返回了是否操作成功的数据，从而减少了 CPU 的干预。</p> <p><b>注意：在 read_data_en 标志为 1 时，该标志无效。</b></p>

## NFC\_STATUS

NFC\_STATUS 为状态寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x20	NFC_STATUS	-																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved												nf_status								reserved	nfl_ready	nfo_ready	nfc_ready
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0							
Bits	Access	Name	Description																					
[31:13]	-	reserved	保留。																					
[12:5]	RO	nf_status	读回的 NAND Flash 的 status 数据。 只在 NFC_OP 寄存器的 read_status 标志为 1，且该寄存器的 nfc_ready 标志为 1 时有效。																					
[4:3]	-	reserved	保留。																					
[2]	RO	nfl_ready	片选 1 对应的 NAND 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。																					



[1]	RO	nf0_ready	片选 0 对应的 NAND Flash 器件的 ready/busy 信号状态。 当外接多个 Flash 器件且使用各自独立的 ready/busy 信号时有效。 因为默认多个 NAND Flash 器件共用同一个 ready/busy 信号，该 bit 复位值为 0。
[0]	RO	nfc_ready	NANDC 的 ready/busy 信号状态。 0: NANDC 正在进行操作； 1: 操作完成，可以接收下一次命令。 当写 <b>NFC_OP</b> 寄存器启动 NANDC 操作时，该位自动清零。

## NFC\_INTEN

NFC\_INTEN 为中断使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x24				NFC_INTEN				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																wr_lock_en	ahb_op_en	err_invalid	err_valid	reserved	cs1_done_en	cs0_done_en	op_done_en								
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	-		reserved		保留。																											
[8]	RW		wr_lock_en		对 lock 地址进行写操作错误中断使能。 0: 禁止； 1: 使能。																											
[7]	RW		ahb_op_en		NANDC 读写 Flash 数据期间，CPU 读写 NANDC Buffer 错误中断使能。 0: 禁止； 1: 使能。																											
[6]	RW		err_invalid		不可纠正错误，产生中断。																											
[5]	RW		err_valid		可纠正的错误，产生中断。																											
[4:3]	-		reserved		保留。																											





[6]	RO	err_invalid	不可纠正的错误。 0: 不中断; 1: 中断。 1bit 纠错模式下, 校验 512byte 数据中出现 2bit 以上错误, 产生中断; 4bit 纠错模式下, 校验 512byte 数据中出现 5bit 以上错误, 产生中断; 8bit 纠错模式下, 校验 512byte 数据中出现 8bit 以上错误, 产生中断。
[5]	RO	err_vavid	可纠正的错误。 0: 不中断; 1: 中断。 1bit 纠错模式下, 校验 512byte 数据中出现 1bit 错误, 产生中断; 4bit 纠错模式下, 校验 512byte 数据中出现 1bit~4bit 错误, 产生中断; 8bit 纠错模式下, 校验 512byte 数据中出现 1bit~8bit 错误, 产生中断。
[4:3]	-	reserved	保留。
[2]	RO	cs1_done	片选 cs1 对应的 ready/busy 信号由低变高, 产生中断。 0: 不中断; 1: 中断。 当外接两个 NAND Flash 器件, 同时两个器件使用各自独立的 ready/busy 信号时有效。否则, 该 bit 一直保持为 0。
[1]	RO	cs0_done	片选 cs0 对应的 ready busy 信号由低变高, 产生中断。 0: 不中断; 1: 中断。 当外接两个 Flash 器件, 同时两个器件使用各自独立的 ready/busy 信号时有效。否则, 该 bit 一直保持为 0。
[0]	RO	op_done	NANC 本次操作结束中断。 0: 不中断; 1: 中断。 写 NFC_OP 寄存器后, 该标志自动清零。

## NFC\_INTCLR

NFC\_INTCLR 为中断清除寄存器。



Offset Address		Register Name		Total Reset Value										
0x2C		NFC_INTCLR		-										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved						wr_lock_en	ahb_op_en	r_5bit_err_clr	r_4bit_err_clr	reserved	cs1_done_clr	cs0_done_clr	op_done_clr
Reset	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	? ? ? ?	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:9]	-	reserved	保留。											
[8]	WO	wr_lock_en	清除 wr_lock_en 中断。 0: 不清除; 1: 清除。											
[7]	WO	ahb_op_en	清除 wr_lock_en 中断。 0: 不清除; 1: 清除。											
[6]	WO	r_5bit_err_clr	清除 r_5bit_err 中断。 0: 不清除; 1: 清除。											
[5]	WO	r_4bit_err_clr	清除 r_4bit_err 中断。 0: 不清除; 1: 清除。											
[4:3]	-	reserved	保留。											
[2]	WO	cs1_done_clr	清除 cs1_done 中断。 0: 不清除; 1: 清除。											
[1]	WO	cs0_done_clr	清除 cs0_done 中断。 0: 不清除; 1: 清除。											
[0]	WO	op_done_clr	清除 op_done 中断。 0: 不清除; 1: 清除。											



## NFC\_LOCK

NFC\_LOCK 为锁地址配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x30				NFC_LOCK				-																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												lock_excmd_en	lock_en	global_lock_en	lock_down
Reset	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	-		reserved		保留。																											
[3]	RW		lock_excmd_en		针对扩展写命令（新器件有可能添加的新命令），对保护地址进行写保护使能。 0：禁止； 1：使能。																											
[2]	RW		lock_en		Flash lock 使能。该控制位为 1 时，如果擦除或编程的地址位于锁存首地址与锁存结束地址之间，擦除和编程无效。 0：禁止； 1：使能。																											
[1]	RW		global_lock_en		Flash 全局 lock 使能。为 1 时，将不允许对 NAND Flash 进行擦除或编程操作。 0：禁止； 1：使能。																											
[0]	RW		lock_down		NAND Flash lock 模式。 0：lock 模式； 1：lock_down 模式，写 1 后，再次写无效，只有硬件 reset 才能对该位清 0。																											

## NFC\_LOCK\_SA0

NFC\_LOCK\_SA0 为锁起始地址 0 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x34		NFC_LOCK_SA0		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_addr0			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						
[18:0]	RW	flash_lock_addr0	锁存首地址 0, 最低位对应 NAND Flash 第 5 个行地址。						

## NFC\_LOCK\_SA1

NFC\_LOCK\_SA1 为锁起始地址 1 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x38		NFC_LOCK_SA1		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_addr1			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						



[18:0]	RW	flash_lock_addr1	锁存首地址 1，最低位对应 NAND Flash 第 5 个行地址。
--------	----	------------------	------------------------------------

## NFC\_LOCK\_SA2

NFC\_LOCK\_SA2 为锁起始地址 2 配置寄存器。

	Offset Address 0x3C								Register Name NFC_LOCK_SA2								Total Reset Value -															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_addr2																						
Reset	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	-		reserved		保留。																											
[20:19]	RW		flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																											
[18:0]	RW		flash_lock_addr2		锁存首地址 2，最低位对应 NAND Flash 第 5 个行地址。																											

## NFC\_LOCK\_SA3

NFC\_LOCK\_SA3 为锁起始地址 3 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x40		NFC_LOCK_SA3		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_addr3			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						
[18:0]	RW	flash_lock_addr3	锁存首地址 3, 最低位对应 NAND Flash 第 5 个行地址。						

## NFC\_LOCK\_EA0

NFC\_LOCK\_EA0 为锁结束地址 0 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x44		NFC_LOCK_EA0		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_eaddr0			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						



[18:0]	RW	flash_lock_eaddr0	锁存结束地址 0，最低位对应 NAND Flash 第 5 个行地址。
--------	----	-------------------	-------------------------------------

## NFC\_LOCK\_EA1

NFC\_LOCK\_EA1 为锁结束地址 1 配置寄存器。

	Offset Address 0x48								Register Name NFC_LOCK_EA1								Total Reset Value -															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								flash_lock_cs	flash_lock_eaddr1																						
Reset	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:21]	-		reserved		保留。																											
[20:19]	RW		flash_lock_cs		NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。																											
[18:0]	RW		flash_lock_eaddr1		锁存结束地址 1，最低位对应 NAND Flash 第 5 个行地址。																											

## NFC\_LOCK\_EA2

NFC\_LOCK\_EA2 为锁结束地址 2 配置寄存器。



Offset Address		Register Name		Total Reset Value					
0x4C		NFC_LOCK_EA2		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_eaddr2			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						
[18:0]	RW	flash_lock_eaddr2	锁存结束地址 2, 最低位对应 NAND Flash 第 5 个行地址。						

### NFC\_LOCK\_EA3

NFC\_LOCK\_EA3 为锁结束地址 3 配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x50		NFC_LOCK_EA3		-					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				flash_lock_cs	flash_lock_eaddr3			
Reset	? ? ? ?	? ? ? ?	? ? ? 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:19]	RW	flash_lock_cs	NAND Flash 锁存片选。 00: 片选 0; 01: 片选 1; 其他: 保留。						



[18:0]	RW	flash_lock_eaddr3	锁存结束地址 3，最低位对应 NAND Flash 第 5 个行地址。
--------	----	-------------------	-------------------------------------

## NFC\_EXPCMD

NFC\_EXPCMD 为扩展页命令寄存器。

	Offset Address	Register Name	Total Reset Value
	0x54	NFC_EXPCMD	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	ex_pcmd3		ex_pcmd2
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:24]	RW	ex_pcmd3	NAND Flash 扩展页写操作命令 3。
[23:16]	RW	ex_pcmd2	NAND Flash 扩展页写操作命令 2。
[15:8]	RW	ex_pcmd1	NAND Flash 扩展页写操作命令 1。
[7:0]	RW	ex_pcmd0	NAND Flash 扩展页写操作命令 0。

## NFC\_EXBCMD

NFC\_EXBCMD 为扩展块命令寄存器。

	Offset Address	Register Name	Total Reset Value
	0x58	NFC_EXBCMD	-
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		ex_bcmd1
Reset	? ? ? ?   ? ? ? ?   ? ? ? ?   ? ? ? ?   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:8]	RW	ex_bcmd1	NAND Flash 扩展块写操作命令 1。
[7:0]	RW	ex_bcmd0	NAND Flash 扩展块写操作命令 0。

## NFC\_ECC\_TEST

NFC\_ECC\_TEST 为 ECC 测试寄存器。



Offset Address		Register Name		Total Reset Value						
0x5C		NFC_ECC_TEST		0x0020_F001						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							ecc_mask	dec_only	enc_only
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 1		
Bits	Access	Name	Description							
[31:3]	-	reserved	保留。							
[2]	RW	ecc_mask	ECC 功能掩码； 0：按 ecc_type 的值决定是否进行校验和纠错； 1：不进行 ecc 校验和纠错。但读写 NAND Flash 数据结构仍按照 ecc_type 的格式进行转换。							
[1]	RW	dec_only	只解码使能。 向该寄存器位写 1 时，启动 ECC 解码，不启动读写 NAND Flash； 读该寄存器位时，返回 0。							
[0]	RW	enc_only	只编码使能。 向该寄存器位写 1 时，启动 ECC 编码，不启动读写 NAND Flash； 读该寄存器位时，返回值为 1 表示 ECC 编解码结束。为 0 表示正在编解码。							

## NFC\_DMA\_CTRL

DMA 控制寄存器。



Offset Address		Register Name		Total Reset Value										
0x60		NFC_DMA_CTRL		0x0000_0070										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				wr_cmd_disable	rw_nf_disable	dma_nf_cs	dma_addr_num	burst16_en	burst8_en	burst4_en	reserved	dma_wr_en	dma_start
Reset	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0	1 1 1 1	0 0 0 0	0 1 1 1	0 0 0 0						
Bits	Access	Name	Description											
[31:12]	-	reserved	保留。											
[11]	RW	wr_cmd_disable	0: NANDC 发起完整的读写 NAND Flash 时序。 1: NANDC 只发起读写数据的时序, 不发起读写命令时序。 也就是说, 只发出片选和读写脉冲信号读写数据, 而不发出 CLE、ALE 信号。											
[10]	RW	rw_nf_disable	0: DMA 操作与读写 NAND Flash 同时进行。 1: 只在 buffer 和 DDR 之间搬数据, 不启动 NAND Flash 读写。											
[9:8]	RW	dma_nf_cs	选择 DMA 操作的 NAND Flash 器件。 00: cs0; 01: cs1; 其他: 保留。											
[7]	RW	dma_addr_num	地址数。 0: 5 个地址; 1: 4 个地址。											
[6]	RW	burst16_en	burst16 使能。 0: 禁止; 1: 使能。											
[5]	RW	burst8_en	burst8 使能。 0: 禁止; 1: 使能。											
[4]	RW	burst4_en	burst4 使能。 0: 禁止; 1: 使能。											
[3]	RW	OOB_area_en	写 OOB 区使能。只在 1bit ECC 模式下有效。											



[2]	RW	data_area_en	写数据区使能。只在 1bit ECC 模式下有效。
[1]	RW	dma_wr_en	DMA 读写使能。 0: 读; 1: 写。
[0]	RW	dma_start	启动 DMA 操作。 向该 bit 写 1 启动 DMA 操作, 该 bit 保持为 1, 直到 DMA 操作结束。向该 bit 写 0 无效。 启动 DMA 操作后, 读该 bit 如果返回 0, 表示 DMA 操作结束。

## NFC\_BADDR\_D

DMA 模式下传送数据区的基地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x64	NFC_BADDR_D	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	base_addr_d		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	base_addr_d	读写 DDR 数据区的基地址。

## NFC\_BADDR\_OOB

DMA 模式下传 OOB 区的基地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x68	NFC_BADDR_OOB	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	base_addr_OOB		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	base_addr_OOB	读 OOB 区数据的 DDR 基地址。 只在 DMA 写 NAND Flash 时有效。



## NFC\_DMA\_LEN

DMA 模式下传送长度寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x6C				NFC_DMA_LEN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				len_OOB								reserved				len_data															
Reset	0 0 0 0				0 0 0 0								0 0 0 0				0 0 0 0															
Bits	Access	Name	Description																													
[31:29]	RW	reserved	保留。																													
[28:16]	RW	len_OOB	DMA 写 NAND Flash 时 OOB 区的长度,需要长字(4byte)对齐。(只在 ECC0 模式下有效,在其他 ECC 模式下, OOB 的长度是固定的)																													
[15:12]	RW	reserved	保留。																													
[11:0]	RW	len_data	DMA 读或 DMA 写数据的长度。 只在 rw_nf_disable 为 1 时有效。																													

## NFC\_OP\_PARA

NFC\_OP\_PARA 为操作参数寄存器。



Offset Address		Register Name		Total Reset Value									
0x70		NFC_OP_PARA		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved						ext_len	OOB_ecc_en	data_ecc_en	OOB_edc_en	data_edc_en	OOB_rw_en	data_rw_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1					
Bits	Access	Name	Description										
[31:8]	-	reserved	保留。										
[7:6]	RW	ext_len	需要纠错的扩展数据区长度。 24bit 纠错模式下，每个 ECC 数据块中的扩展数据区的长度。 boot 模式下，page size 为 4KB 时默认 8 个字节。page size 为 8KB 时默认 4 个字节。 01: 4 byte; 11: 8 byte; 其他：保留。ecc_type 模式下无意义。										
[5]	RW	OOB_ecc_en	OOB 区 ECC 纠错使能。 0: 禁止; 1: 使能。 只在读数据时有效。										
[4]	RW	data_ecc_en	ECC 纠错使能。 0: 禁止; 1: 使能。 只在读数据时有效。										
[3]	RW	OOB_edc_en	OOB 区校验使能。 0: 禁止; 1: 使能。 编程模式下，对 OOB 区生成 ECC 码使能。 读数据模式下，对 OOB 区进行校验使能。										
[2]	RW	data_edc_en	校验使能。 0: 禁止; 1: 使能。 编程模式下，生成 ECC 码使能。 读数据模式下，进行校验使能。										



[1]	RW	OOB_rw_en	NAND Flash 数据区读写冗余区使能。 0: 禁止; 1: 使能。
[0]	RW	data_rw_en	NAND Flash 数据区读写使能。 0: 禁止; 1: 使能。

## NFC\_VERSION

NFC\_VERSION 为控制器版本寄存器。

	Offset Address	Register Name	Total Reset Value
	0x74	NFC_VERSION	0x0000_0300
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	version_id		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	version_id	版本号。

## NFC\_BUF\_BADDR

NFC\_BUF\_BADDR 为 NANDC 的 BUFFER 基地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x78	NFC_BUF_BADDR	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	reserved	buf_baddr_rd	reserved
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:28]	-	reserved	保留。
[27:16]	RW	buf_baddr_rd	在 rw_nf_disable 为 1 时, 表示 DMA 读 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。
[15:12]	RW	reserved	保留。
[11:0]	RW	buf_baddr_wr	在 rw_nf_disable 为 1 时, 表示 DMA 写 buffer 的基地址。 在 rw_nf_disable 为 0 时无意义。



## NFC\_RD\_LOGIC\_ADDR

NFC\_RD\_LOGIC\_ADDR 为 DMA 读 NAND Flash 的逻辑地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		NFC_RD_LOGIC_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rd_logic_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	rd_logic_addr	读数据的起始地址（不包括 ecc 码）。比如，从坏块标识开始读，就设定为 2048 或 4096，分别对应 2K 和 4K page size。 DMA 读结束后，该域按照 NFC_DMA_LEN.len_data 域的值自动累加。 只在 dma 读且当 rw_nf_disable 为 0 时有效。						

## NFC\_RD\_LOGIC\_LEN

NFC\_RD\_LOGIC\_LEN 为 DMA 读 NAND Flash 的逻辑长度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0080		NFC_RD_LOGIC_LEN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rd_logic_len				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	rd_logic_len	DMA 读 NAND Flash 时,表示读数据长度（不包括 ecc 码长度）。DMA 读结束后，该域的值自动归 0。 只在 dma 读且当 rw_nf_disable 为 0 时有效。						

## NFC\_FIFO\_EMPTY

NFC\_FIFO\_EMPTY 为内部 FIFO 状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x0090		NFC_FIFO_EMPTY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				empty_dbg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RO	empty_dbg	内部 FIFO 的 empty 信号状态。仅供调试用。						

## NFC\_BOOT\_SET

NFC\_BOOT\_SET 为 boot 参数设定寄存器。

Offset Address		Register Name		Total Reset Value					
0x0094		NFC_BOOT_SET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							addr_num	block_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	rsv	保留。						
[1]	RW	addr_num	Boot 时, NANDC 发给 NAND Flash 器件的地址数目。 0: 4 个地址周期; 1: 5 个地址周期。 复位后的值由管脚 NF_ADMUN 上下拉决定。						
[0]	RW	block_size	Boot 时, NAND Flash 器件的总线宽度。 0: 64 page; 1: 128page。 复位后的值由管脚 NF_BLKSIZE 上下拉决定。						

## NF\_STATUS

NF\_STATUS 为 NAND Flash 的 status 寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0098				NF_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												status																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:8]	-	reserved		保留。																											
	[7:0]	RO	status		从 NAND Flash 读回来的 status 状态数据。 当写 NFC_OP 寄存器且 read_status_en 标志为 1 时有效。																											

## 4.3 SPI Flash 控制器

### 4.3.1 概述

SFC（Serial Peripheral Interface Flash Controller）是一个 SPI Flash 控制器。业务侧提供一个 AHB（Advanced High performance Bus）Slave 接口，主要完成 AHB 通道对 SPI Flash 的访问控制功能。

### 4.3.2 特点

#### 4.3.2.1 AHB 接口

AHB 接口具有以下特点：

- 提供一个 AHB Slave 接口，可以根据不同的选择信号访问内部配置寄存器或直接访问 SPI flash memory。
- 支持 AMBA2.0 协议。
- 支持小端。

#### 4.3.2.2 存储器接口

存储器接口具有以下特点：

- 支持两个片选 CS0 和 CS1。每个片选的存储空间最大支持到 128Mbit(3Bytes 地址模式)/8Gbit(4Bytes 地址模式)，两片选可以支持不同容量的 Flash。每片选可分别映射到系统地址空间，映射基地址可配。其中 CS1 支持地址 Alias。
- 支持 Standard SPI、Dual-Input/Output SPI、Quad-Input/Output SPI、Full Quad I/O SPI 四种接口模式时序。上电后默认所有操作选择为 Standard SPI 接口模式，可通过寄存器配置切换。
- 支持 3Bytes 和 4Bytes 两种 Flash 地址模式。上电后默认支持 3Bytes 地址模式，可通过寄存器配置切换地址模式。



- 读写操作支持总线直接读写和寄存器编程读写两种方式。
- 支持写保护操作。

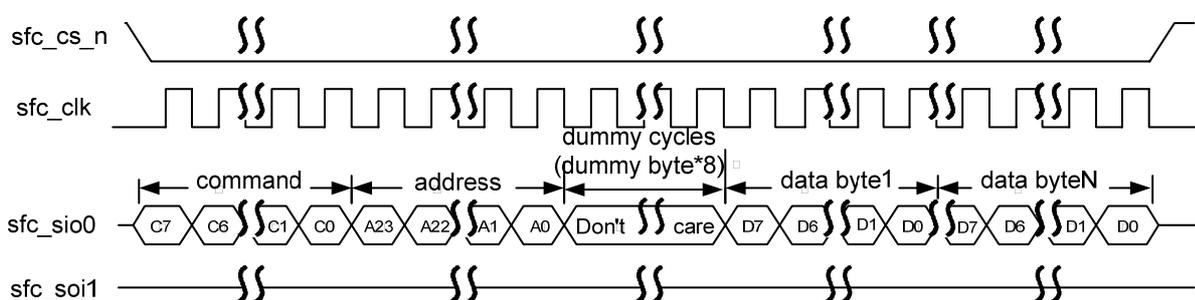
### 4.3.3 功能描述

#### 4.3.3.1 接口模式时序

##### Standard SPI

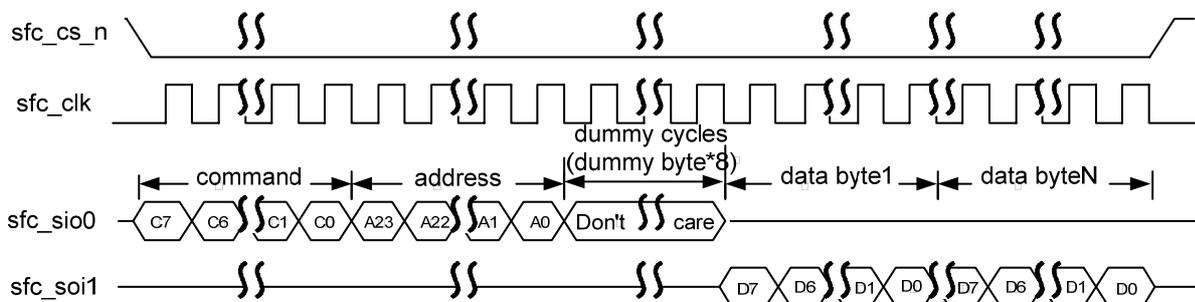
Standard SPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 4-19、图 4-20 所示。

图4-19 Standard SPI(写)接口时序图



注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc\_sio0 线上输出。  
Data 以单 bit 串行方式在 sfc\_sio0 线上输出。

图4-20 Standard SPI(读)接口时序图



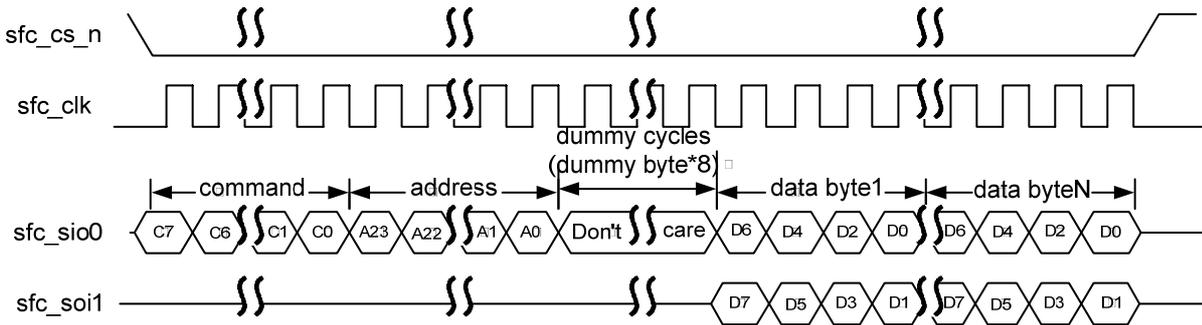
注：Opcode/Address/DummyByte 以单 bit 串行方式在 sfc\_sio0 线上输出。  
Data 以单 bit 串行方式在 sfc\_soi1 线上输入。

##### Dual Input/Dual Output SPI

Dual Input/Dual Output SPI 接口模式具有 2bit 双向数据线，接口时序如图 4-21 所示。



图4-21 Dual Input/Dual Output SPI 接口时序图

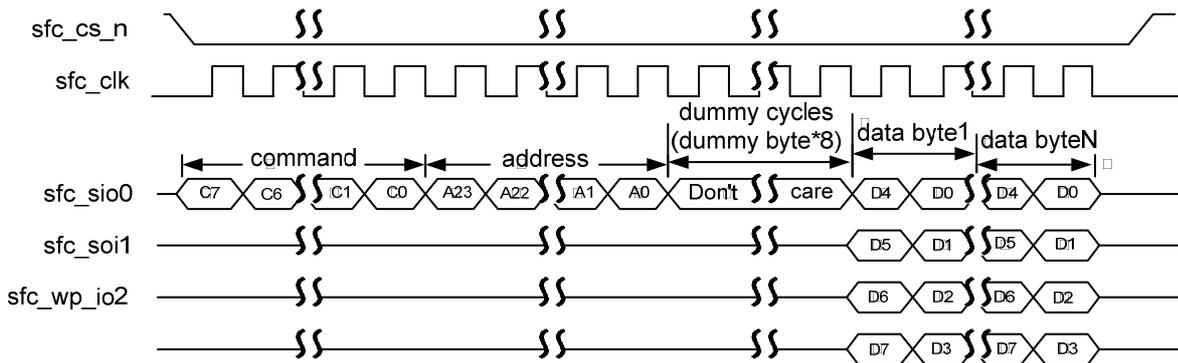


注：Opcode/Address/DummyByte 以单 Bit 串行方式在 `sfc_sio0` 线上输出。  
Data 以 Dual Bits 方式在 `sfc_sio0/sfc_soi1` 线上输出（写）或输入（读）。

## Quad Input/Quad Output SPI

Quad Input/Quad Output SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-22 所示。

图4-22 Quad -SPI Mode0 接口时序图



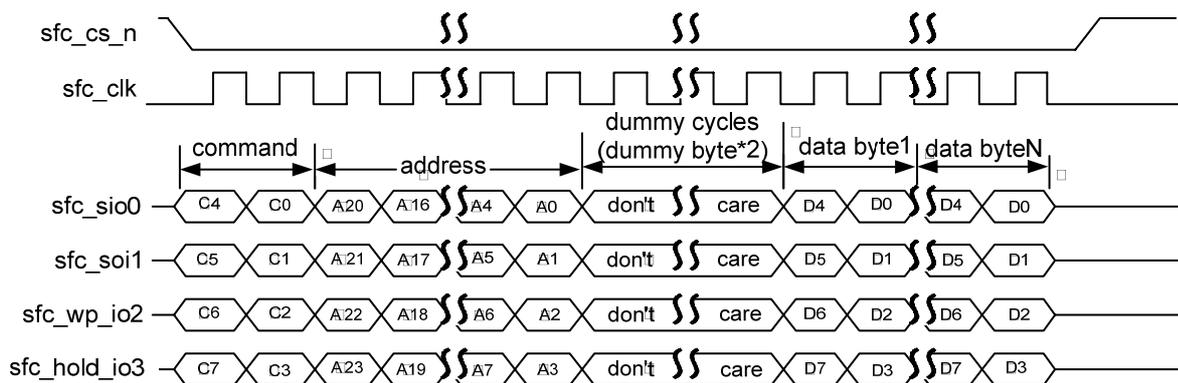
注：Opcode/Address/DummyByte 以单 Bit 串行方式在 `sfc_sio0` 线上输出。  
Data 以 Quad Bits 方式在 `sfc_sio0/sfc_soi1/sfc_wp_io2/sfc_hold_io3` 线上输出（写）或输入（读）。

## Full Quad SPI

Full Quad SPI 接口模式具有 4bit 双向数据线，接口时序如图 4-23 所示。



图4-23 Full Quad SPI 接口时序图



注：Opcode/Address/DummyByte 以 Quad Bits 方式在 sfc\_sio0/sfc\_soi1/sfc\_wp\_io2/sfc\_hold\_io3 线上输出。

Data 以 Quad Bits 方式在 sfc\_sio0/sfc\_soi1/sfc\_wp\_io2/sfc\_hold\_io3 线上输出（写）或输入（读）。

### 4.3.3.2 读写 memory

#### 读 Flash 操作

提供两种读取 Flash 途径的方法：

- 通过 AHB 总线读取 Flash，此方法读取 Flash 操作效率高，SFC 模块自动将 AHB 总线的读操作时序映射为 SPI 时序。
- 通过设置 SFC 的配置寄存器读取 Flash，需要软件配置寄存器。

对于 AHB 总线的任何读取 Memory 操作，SFC 模块都将其转换成 SPI 接口的读操作。上电后默认执行 Normal read 操作（opcode=0x3），这种读操作对应的 dummy byte 个数为 0。上电系统启动后，可以通过软件配置读命令的 opcode 和 dummy byte 个数进行其他的读操作，如 Fast Read（iocode=0xB），dummy byte 为 1。对于一个 AHB 的 wrap 读操作，SFC 拆成两个 burst 处理。

#### 写 Flash 操作

提供两种写 Flash 途径的方法：

- 通过 AHB 总线写 Flash，SFC 模块自动将 AHB 总线的一次写操作转换为 Flash 侧的 WREN 操作（Write Enable）+PP 操作（Page Program）+RDSR（Read Status Register）操作。但在总线非定长 INCR 写时性能较差。
- 通过设置 SFC 的配置寄存器写 Flash，需要软件配置寄存器。写较大数据量时推荐这种操作方式。

在写 memory 之前要对 Flash 进行 Erase 操作，这项操作必须要由软件通过配置 SFC 的寄存器完成。

Flash 执行 PP 操作需要一定的时间，需要通过读 Flash 的状态寄存器来判断 PP 操作是否完成才能开始下一次写操作，否则会丢失数据。

PP 操作不能跨 page boundary，对于跨 page boundary 的写操作必须拆成两次来完成。通过 AHB 写 Flash 时，SFC 模块根据地址和 burst 长度自动判断此次操作是



否会跨 page boundary，如果跨 page boundary 就拆成两次来处理。对一个 AHB 的 wrap 写操作，SFC 将其拆分为两个 burst 来处理。

### 4.3.3.3 其他操作

对 Flash 的其他操作如 Erase、进入 Deep Power Down、读 Device ID 等必须通过寄存器访问来实现。

### 4.3.3.4 Flash 地址模式切换

本模块支持 3Bytes 与 4Bytes 两种 Flash 地址模式，初始地址模式为 3Bytes 模式。可通过配置进行动态切换。两个片选所接 Flash 的地址模式必须相同，否则需要在切换使用某个 Flash 器件前重配 CFG、CMD。

切换 Flash 地址模式的步骤如下：

- 步骤 1 无 Flash 操作或保证之前 Flash 操作完成。
- 步骤 2 用寄存器操作 Flash 方式发送切换地址模式的指令到 Flash。
- 步骤 3 配置 CFG.flash\_addr\_mode。
- 步骤 4 开始基于新地址模式的操作。

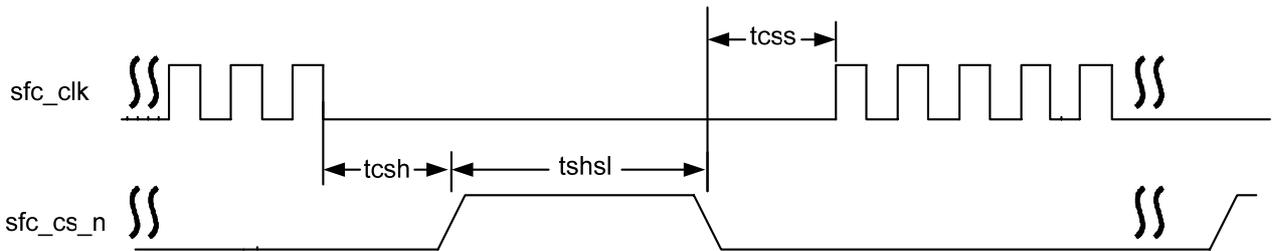
----结束

具体 SPI Flash 地址模式切换的命令。请查找相关器件手册。

### 4.3.3.5 时序说明

时序以及参数说明如图 4-24、图 4-25 所示。

图4-24 SPI 输出时序图



注：  
tcsh: CS setup time。  
tcss: CS hold time。  
tshsl: 片选 deselect time。



图4-25 SPI 写保护时序图



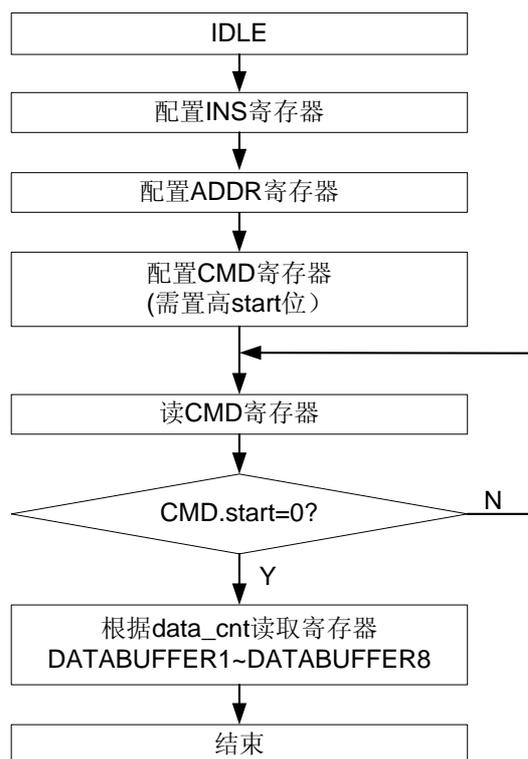
注：tshwl: write protect hold time。

## 4.3.4 工作流程

### 4.3.4.1 读 Flash 操作流程

通过寄存器读取 Flash 的操作流程如图 4-26 所示（查询方式）。

图4-26 通过寄存器读取 Flash 的操作流程（查询方式）

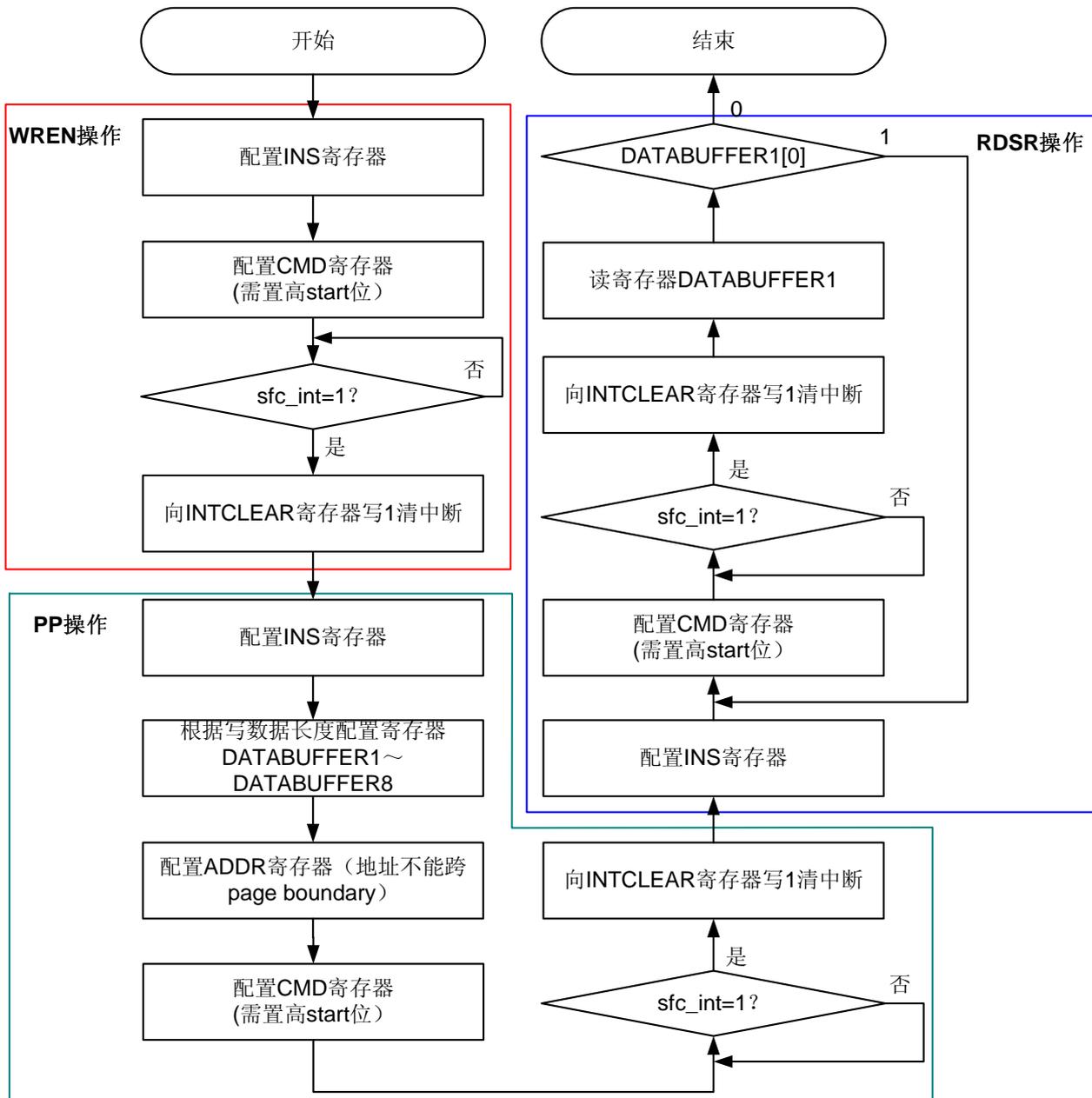


### 4.3.4.2 写 Flash 操作流程

通过寄存器写 Flash 的操作流程如图 4-27 所示（中断方式）。



图4-27 通过寄存器写 Flash 的操作流程（中断方式）





### 4.3.5 寄存器概览

SFC 寄存器概览如表 4-15 所示。

表4-15 SFC 寄存器概览（基址是 0x1001\_0000）

偏移地址	名称	描述	页码
0x00	CONFIG	SFC 模块配置寄存器	4-104
0x04	CMD	命令寄存器	4-105
0x08	INS	指令寄存器	4-107
0x0C	ADDR	地址寄存器	4-107
0x10	DATABUF1	数据 Buffer1 寄存器	4-108
0x14	DATABUF2	数据 Buffer2 寄存器	4-108
0x18	DATABUF3	数据 Buffer3 寄存器	4-109
0x1C	DATABUF4	数据 Buffer4 寄存器	4-109
0x20	DATABUF5	数据 Buffer5 寄存器	4-110
0x24	DATABUF6	数据 Buffer6 寄存器	4-110
0x28	DATABUF7	数据 Buffer7 寄存器	4-111
0x2C	DATABUF8	数据 Buffer8 寄存器	4-111
0x30	CS0CONFIG	片选 0 配置寄存器	4-111
0x34	CS1CONFIG	片选 1 配置寄存器	4-112
0x38	CS0BASEADDR	片选 0 基址寄存器	4-113
0x3C	CS1BASEADDR	片选 1 基址寄存器	4-113
0x40	CS1ALIASADDR	片选 1 别名基址寄存器	4-114
0x44	TIMING	时序参数寄存器	4-114
0x48~0x4C	RESERVED	保留	-
0x50	INTRAWSTATUS	中断原始状态寄存器	4-115
0x54	INTSTATUS	经过屏蔽处理的中断状态寄存器	4-116
0x58	INTMASK	中断屏蔽寄存器	4-117
0x5C	INTCLEAR	中断清除寄存器	4-117

寄存器配置对总线访问 Flash 方式和寄存器访问 Flash 方式的影响，如表 4-16 所示。



表4-16 寄存器配置影响总线访问 Flash 方式和寄存器访问 Flash 方式范围

寄存器	位域	配置适用方式	
		总线操作 Flash 方式	寄存器操作 Flash 方式
CONFIG	wr_ins	是	否
	rd_ins	是	否
	prefetch_cnt	是	否
	rd_delay	是	是
	flash_addr_mode	是	是
	wip_locate	是	是
	dummy_byte	是	否
	mem_if_type	是	是
	Reserved	是	是
	mode	是	是
CMD	-	否	是
INS	-	否	是
ADDR	-	否	是
DATABUFFER1-8	-	否	是
CS0CONFIG	-	是	否
CS1CONFIG	-	是	否
CS1BASEADDR	-	是	否
CS1BASEADDR	-	是	否
CS1ALIASADDR	-	是	否
TIMING	-	是	是
INTRAWSTATUS	-	否	是
INTSTATUS	-	否	是
INTMASK	-	否	是
INTCLEAR	-	否	是



## 4.3.6 寄存器描述

### CONFIG

CONFIG 为 SFC 模块配置寄存器。

	Offset Address 0x00				Register Name CONFIG								Total Reset Value 0x0203_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	wr_ins				rd_ins								prefetch_cnt	rd_delay	reserved	wip_locate	reserved	mem_if_type	reserved	mode																
Reset	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:24]	RW		wr_ins		写数据的操作符。																															
[23:16]	RW		rd_ins		读数据的操作符。																															
[15:14]	RW		prefetch_cnt		总线访问 Flash 方式（非定长读）预取周期。 00: 不预取; (default) 01: 预取 1 个时钟周期数据; 10: 预取 2 个时钟周期数据; 11: 预取 3 个时钟周期数据。																															
[13:12]	RW		rd_delay		SPI 读出数据延迟周期个数。 00: 读数据延迟 0 个时钟周期; (default) 01: 读数据延迟 1 个时钟周期; 10: 读数据延迟 2 个时钟周期; 11: 读数据延迟 3 个时钟周期。																															
[11]	RW		flash_addr_mode		SPI 地址模式 0: 3Bytes address mode (default); 1: 4Bytes address mode。 CMD.start 为 1 时写无效。																															



[10:8]	RW	wip_locate	<p>WIP (Write In Progress) 位在 Flash 状态寄存器的位置。</p> <p>000: WIP 位于 Flash 状态寄存器的第 0 比特; (default)</p> <p>001: WIP 位于 Flash 状态寄存器的第 1 比特;</p> <p>010: WIP 位于 Flash 状态寄存器的第 2 比特;</p> <p>011: WIP 位于 Flash 状态寄存器的第 3 比特;</p> <p>100: WIP 位于 Flash 状态寄存器的第 4 比特;</p> <p>101: WIP 位于 Flash 状态寄存器的第 5 比特;</p> <p>110: WIP 位于 Flash 状态寄存器的第 6 比特;</p> <p>111: WIP 位于 Flash 状态寄存器的第 7 比特。</p>
[7]	RW	dummy_byte	<p>总线访问 Flash 方式 Dummy 字节个数。</p> <p>0: 没有 Dummy 字节;</p> <p>1: 有 1 个 Dummy 字节。</p>
[6:4]	RW	mem_if_type	<p>指定连接的 SPI FLASH 接口类型。</p> <p>000~011: 接口类型 0;</p> <p>所有操作用 Standard SPI 接口模式。</p> <p>100: 接口类型 1;</p> <p>总线访问 Flash 读操作用 Dual Input/Dual Output 接口模式, 寄存器访问 Flash 及总线访问 Flash 写操作用 Standard SPI 接口模式</p> <p>101: 接口类型 2;</p> <p>总线访问 Flash 用 Dual Input/Dual Output 接口模式, 寄存器访问 Flash 方式用 Standard SPI 接口模式</p> <p>110: 接口类型 3;</p> <p>总线访问 Flash 方式用 Quad Input/Quad Output 接口模式, 寄存器访问 Flash 方式用 Standard SPI 接口模式</p> <p>111: 接口类型 4;</p> <p>所有操作用 Full Quad SPI 接口模式。</p> <p><b>注: 在非 Standard SPI 模式下需要设置对应的 rd_ins 域和 wr_ins 域。两个片选所接 Flash 的接口类型需相同, 否则需要在切换访问另一 Flash 前重配置。</b></p>
[3:1]	-	reserved	保留。
[0]	RW	mode	<p>SPI 模式设置。</p> <p>0: 支持 Mode0;</p> <p>1: 支持 Mode3。</p>

## CMD

CMD 为命令寄存器。



Offset Address		Register Name		Total Reset Value										
0x04		CMD		0x001F_0002										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			data_cnt	reserved	dummy_byte_cnt	reserved	addr_en	reserved	wp_en	rddata_en	wrdata_en	sel_cs	start
Reset	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0						
Bits	Access	Name	Description											
[31:21]	-	reserved	保留。											
[20:16]	RW	data_cnt	读/写数据字节个数。 wrdata_en=1, 设置写数据字节个数; rddata_en=1, 设置读数据字节个数。 0x00: 读/写 1byte 数据; 0x01~0x1E: 读/写 (n+1) byte 数据; 0x1F: 读/写 32byte 数据。 说明: n 为 0、1、2、……、31。											
[15]	-	reserved	保留。											
[14:12]	RW	dummy_byte_cnt	寄存器访问 Flash 方式 Dummy 字节个数。 000: 0byte (default); 001: 1byte; 010: 2byte; 011: 3byte; 100: 4byte; 101: 5byte; 110: 6byte; 111: 7byte。											
[11:9]	-	reserved	保留。											
[8]	RW	addr_en	此次操作是否有地址。 0: 没有地址; 1: 有地址。											
[7:5]	-	reserved	保留。											



[4]	RW	wp_en	硬件写保护使能。 0: 禁止硬件写保护; 1: 使能硬件写保护。
[3]	RW	rddata_en	标识此次操作是否有读数据返回。 0: 没有读数据返回; 1: 有读数据返回。 <b>注意: 当 rddata_en=1 时, wrdata_en 不能为 1。</b>
[2]	RW	wrdata_en	标识此次操作是否有写数据。 0: 没有写数据; 1: 有写数据。 <b>注意: 当 wrdata_en=1 时, rddata_en 不能为 1。</b>
[1]	RW	sel_cs	片选选择操作。 0: 选择片选 0 进行操作; 1: 选择片选 1 进行操作。
[0]	RW	start	标识指令操作开始。 0: 操作结束; 1: 开始操作。 此次操作完成后该位自动回 0。

## INS

INS 为指令寄存器。

	Offset Address 0x08				Register Name INS								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				ins											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		ins		指令寄存器。																											

## ADDR

ADDR 为地址寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0C				ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				addr																											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:30]	-		reserved		保留。																											
[29:0]	RW		addr		用于设置所访问 SPI Flash 的地址。 3Bytes 地址模式用[23:0], 4Bytes 地址模式高两位固定补 0。																											

## DATABUFFER1

DATABUFFER1 为数据 Buffer1 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x10				DATABUFFER1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte4				byte3				byte2				byte1																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		byte4		读/写数据第 4 字节。																											
[23:16]	RW		byte3		读/写数据第 3 字节。																											
[15:8]	RW		byte2		读/写数据第 2 字节。																											
[7:0]	RW		byte1		读/写数据第 1 字节。																											

## DATABUFFER2

DATABUFFER2 为数据 Buffer2 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x14				DATABUFFER2								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte8				byte7				byte6				byte5																			



Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		byte8		读/写数据第 8 字节。																											
[23:16]	RW		byte7		读/写数据第 7 字节。																											
[15:8]	RW		byte6		读/写数据第 6 字节。																											
[7:0]	RW		byte5		读/写数据第 5 字节。																											

### DATABUFFER3

DATABUFFER3 为数据 Buffer3 寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x18								DATABUFFER3								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte12				byte11				byte10				byte9																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		byte12		读/写数据第 12 字节。																											
[23:16]	RW		byte11		读/写数据第 11 字节。																											
[15:8]	RW		byte10		读/写数据第 10 字节。																											
[7:0]	RW		byte9		读/写数据第 9 字节。																											

### DATABUFFER4

DATABUFFER4 为数据 Buffer4 寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x1C								DATABUFFER4								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte16				byte15				byte14				byte13																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:24]	RW		byte16		读/写数据第 16 字节。																											
[23:16]	RW		byte15		读/写数据第 15 字节。																											



[15:8]	RW	byte14	读/写数据第 14 字节。
[7:0]	RW	byte13	读/写数据第 13 字节。

## DATABUFFER5

DATABUFFER5 为数据 Buffer5 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x20				DATABUFFER5				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte20				byte19				byte18				byte17																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	byte20	读/写数据第 20 字节。																												
	[23:16]	RW	byte19	读/写数据第 19 字节。																												
	[15:8]	RW	byte18	读/写数据第 18 字节。																												
	[7:0]	RW	byte17	读/写数据第 17 字节。																												

## DATABUFFER6

DATABUFFER6 为数据 Buffer6 寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x24				DATABUFFER6				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte24				byte23				byte22				byte21																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:24]	RW	byte24	读/写数据第 24 字节。																												
	[23:16]	RW	byte23	读/写数据第 23 字节。																												
	[15:8]	RW	byte22	读/写数据第 22 字节。																												
	[7:0]	RW	byte21	读/写数据第 21 字节。																												



## DATABUFFER7

DATABUFFER7 为数据 Buffer7 寄存器。

	Offset Address 0x28				Register Name DATABUFFER7				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte28				byte27				byte26				byte25																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	byte28		读/写数据第 28 字节。																											
	[23:16]	RW	byte27		读/写数据第 27 字节。																											
	[15:8]	RW	byte26		读/写数据第 26 字节。																											
	[7:0]	RW	byte25		读/写数据第 25 字节。																											

## DATABUFFER8

DATABUFFER8 为数据 Buffer8 寄存器。

	Offset Address 0x2C				Register Name DATABUFFER8				Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	byte32				byte31				byte30				byte29																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	byte32		读/写数据第 32 字节。																											
	[23:16]	RW	byte31		读/写数据第 31 字节。																											
	[15:8]	RW	byte30		读/写数据第 30 字节。																											
	[7:0]	RW	byte29		读/写数据第 29 字节。																											

## CS0CONFIG

CS0CONFIG 为片选 0 配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x30		CS0CONFIG		0x0000_0009				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							mem_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1
Bits	Access	Name	Description					
[31:4]	-	reserved	保留。					
[3:0]	RW	mem_size	指定片选 0 连接的 SPI Flash 容量。 0000: 没有连接 SPI FLASH; 0001: 512Kbit; 0010: 1Mbit; 0011: 2Mbit; 0100: 4Mbit; 0101: 8Mbit; 0110: 16Mbit; 0111: 32Mbit; 1000: 64Mbit; 1001: 128Mbit (default) ; 1010: 256Mbit; 1011: 512Mbit; 1100: 1Gbit; 1101: 2Gbit; 1110: 4Gbit; 1111: 8Gbit。					

## CS1CONFIG

CS1CONFIG 为片选 1 配置寄存器。

Offset Address		Register Name		Total Reset Value				
0x34		CS1CONFIG		0x0000_0009				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							mem_size
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1
Bits	Access	Name	Description					
[31:4]	-	reserved	保留。					



[3:0]	RW	mem_size	指定片选 1 连接的 SPI Flash 容量。 0000: 没有连接 SPI FLASH; 0001: 512Kbit; 0010: 1Mbit; 0011: 2Mbit; 0100: 4Mbit; 0101: 8Mbit; 0110: 16Mbit; 0111: 32Mbit; 1000: 64Mbit; 1001: 128Mbit (default) ; 1010: 256Mbit; 1011: 512Mbit; 1100: 1Gbit; 1101: 2Gbit; 1110: 4Gbit; 1111: 8Gbit。
-------	----	----------	---

## CS0BASEADDR

CS0BASEADDR 为片选 0 基址寄存器。

	Offset Address 0x38								Register Name CS0BASEADDR								Total Reset Value 0x5A00_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hi_base_addr												reserved																			
Reset	0	1	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:16]	RW	hi_base_addr	片选 0 基地址高位。 注：片选 0 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。																												
	[15:0]	-	reserved	保留。																												

## CS1BASEADDR

CS1BASEADDR 为片选 1 基址寄存器。



Offset Address		Register Name		Total Reset Value					
0x3C		CS1BASEADDR		0x5800_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hi_base_addr				reserved				
Reset	0 1 0 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	hi_base_addr	片选 1 基地址高位。 注：片选 1 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。						
[15:0]	-	reserved	保留。						

## CS1ALIASADDR

CS1ALIASADDR 为片选 1 别名基址寄存器。

Offset Address		Register Name		Total Reset Value					
0x40		CS1ALISADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	alias_addr				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	alias_addr	片选 1 别名基地址高位。（片选 1 映射到系统地址空间的第二块区域） 注：片选 1 映射到系统的地址空间需在系统分配给 SPI_MEM 的地址空间内。						
[15:0]	-	reserved	保留。						

## TIMING

TIMING 为时序参数寄存器。



	Offset Address 0x44				Register Name TIMING								Total Reset Value 0x0100_660F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				trpd								reserved	tcsh				reserved	tcss				tshwl				tshsl					
Reset	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1	1	1
	Bits	Access	Name	Description																												
	[31:28]	-	reserved	保留。																												
	[27:16]	RW	trpd	复位之后首次访问 FLASH 的延时，单位为时钟周期。																												
	[15]	-	reserved	保留。																												
	[14:12]	RW	tcsh	CS hold time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																												
	[11]	-	reserved	保留。																												
	[10:8]	RW	tcss	CS setup time。 000~111: n+1 个时钟周期。n 为 0、1、2、……、7。																												
	[7:4]	RW	tshwl	设置 write protect hold time。 0000~1111: n 个时钟周期。n 为 0、1、2、……、15。																												
	[3:0]	RW	tshsl	设置片选的 Deselect time，相当于两次 Flash 操作之间的时间间隔。 0000~1111: n+2 个时钟周期。n 为 0、1、2、……、15。																												

## INTRAWSTATUS

INTRAWSTATUS 为中断原始状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x50		INTRAWSTATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								op_end_raw_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	op_end_raw_status	指令操作结束原始中断状态（未经过屏蔽）。 0: 未完成操作； 1: 已完成操作。						

## INTSTATUS

INTSTATUS 为经过屏蔽处理的中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x54		INTSTATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								op_end_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	op_end_status	指令操作结束中断状态（经过屏蔽）。 0: 未完成操作； 1: 已完成操作。						



## INTMASK

INTMASK 为中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x58		INTMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								op_end_mask
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	op_end_mask	指令操作结束中断屏蔽位。 0: 屏蔽中断; 1: 不屏蔽中断。						

## INTCLEAR

INTCLEAR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value					
0x5C		INTCLEAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								clear_op_end
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	clear_op_end	指令操作结束中断清除位，向该位写 1 将清除 <a href="#">INTRAWSTATUS bit[0]</a> 和 <a href="#">INTSTATUS bit[0]</a> 。 0: 不清除中断; 1: 清除中断。 清除操作完成后该位自动返回 0。						



## 目 录

<b>5 以太网接口</b> .....	<b>5-1</b>
5.1 概述.....	5-1
5.2 特性.....	5-1
5.3 功能描述.....	5-2
5.3.1 典型应用 .....	5-2
5.3.2 支持的帧格式.....	5-2
5.3.3 Ethernet 上下行帧管理功能.....	5-3
5.3.4 Ethernet 限速功能 .....	5-5
5.3.5 Ethernet 收包中断管理功能.....	5-6
5.3.6 Ethernet 发包中断管理功能.....	5-6
5.4 工作方式.....	5-6
5.4.1 Ethernet 配置 PHY 芯片工作状态 .....	5-6
5.4.2 Ethernet 工作模式切换.....	5-7
5.4.3 Ethernet 收发包配置.....	5-7
5.4.4 Ethernet 收发包流程.....	5-8
5.5 GMAC 寄存器概览.....	5-10
5.6 GMAC 寄存器描述.....	5-17



---

## 插图目录

---

图 5-1 GE/FE 应用框图 .....	5-2
图 5-2 线路侧环回示意图.....	5-2
图 5-3 Ethernet II 帧格式图 .....	5-3
图 5-4 总体数据流图 .....	5-4
图 5-5 发包流程图 .....	5-9
图 5-6 收包流程图 .....	5-10



---

## 表格目录

---

表 5-1 Ethernet II 帧内容描述 .....	5-3
表 5-2 上下行缓冲区的描述子的数据结构 .....	5-4
表 5-3 GMAC 寄存器概览（基址是 0x1009_0000） .....	5-10



# 5 以太网接口

## 5.1 概述

以太网接口（Ethernet）模块实现网络接口数据的接收和发送，可以工作在 10/100/1000Mbit/s 模式下，10/100Mbit/s 支持全双工工作模式，提供 FE 的 MII、RGMII 接口，GE 的 RGMII 接口。

## 5.2 特性

Ethernet 模块具有以下特性：

- 支持 10/100/1000Mbit/s 速率。
- 支持 10/100/1000Mbit/s 全双工工作模式。
- 支持 MII、RGMII 接口。
- 支持帧长有效性检测功能，并丢弃不符合规定长度的数据包。
- 支持对接收帧进行 CRC 校验，是否将校验错的帧丢弃可配置。
- 支持对发送帧添加 CRC 校验。
- 支持短帧填充功能。  
当发送数据不足 64byte，可根据配置填充至 64byte。
- 支持端口 10/100/1000Mbit/s 的外环回（即线路侧环回）。
- 提供 MDIO 接口。
- 支持对端口收发帧进行统计计数。
- 提供接收 8192 byte 和发送 8192 byte 的缓冲区。
- 支持是否接收广播帧、多播帧和单播帧功能可配置。
- 提供可配置的对控制报文、IP 报文、广播或多播报文的限速处理功能。
- 提供可配置的非合法包过滤功能。
- 支持报文缓存起始地址为字节地址。
- 支持链表 FIFO 方案。
- 提供入队中断和超时中断两种中断方式。

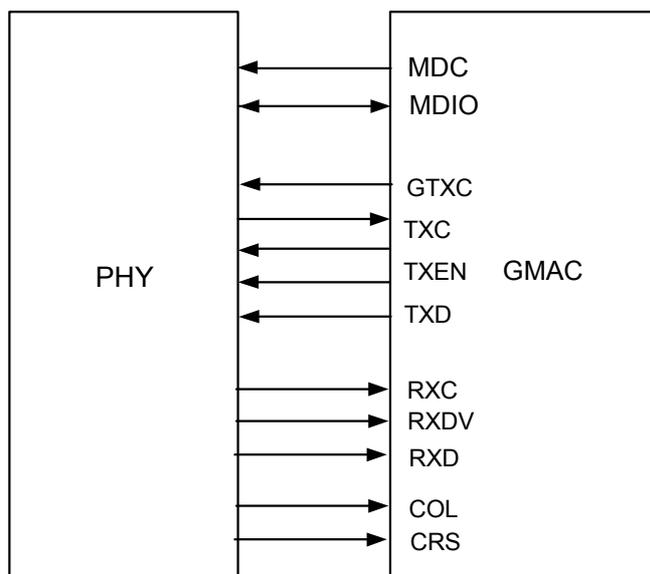


## 5.3 功能描述

### 5.3.1 典型应用

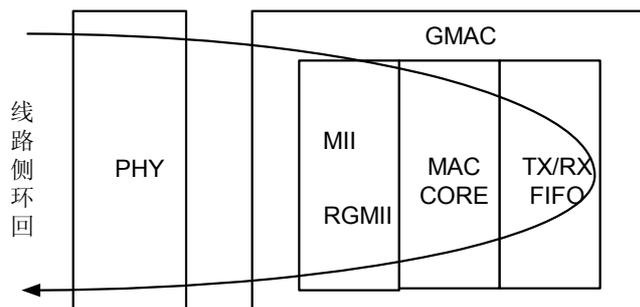
GMAC 与外设对接时的应用框图如图 5-1 所示。

图5-1 GE/FE 应用框图



线路侧环回如图 5-2 所示。

图5-2 线路侧环回示意图



### 5.3.2 支持的帧格式

GMAC 支持 Ethernet II 帧格式，示意图如图 5-3 所示。



图5-3 Ethernet II 帧格式图



Ethernet II 帧内容描述如表 5-1 所示。

表5-1 Ethernet II 帧内容描述

域名	位宽 (byte)	描述
DA	6	目的 MAC 地址，指示帧要发往的工作站地址。
SA	6	源 MAC 地址，指示发送该帧的工作站地址。
Etype	2	Ethernet 类型，大于等于 0x05DD。
Data	46~1500	Ethernet 数据，包括 PAD。
FCS	4	添加的 CRC 校验码。

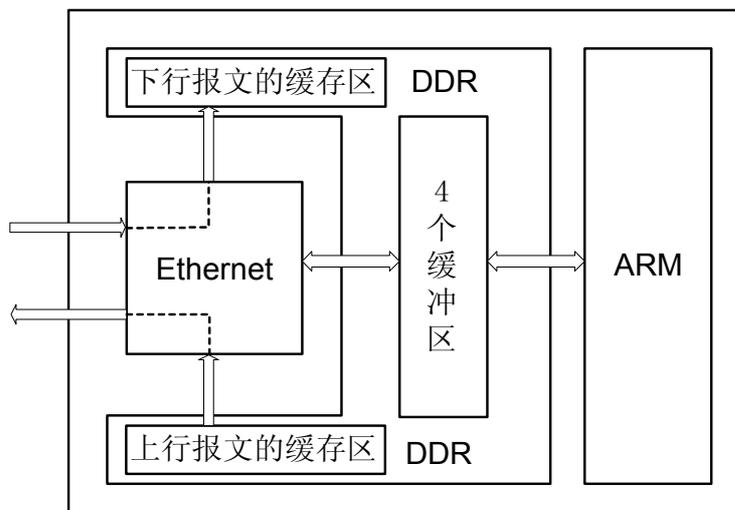
### 5.3.3 Ethernet 上下行帧管理功能

ARM 通过配置 4 个缓冲区，对 Ethernet 进行上下行帧地址管理：

- 下行时，Ethernet 分辨从外网收到的各种数据包，并根据 ARM 配置的报文缓存信息，包括报文缓存起始地址、报文缓存深度等，将收到的合法包通过总线存放到 DDR 中。
- 上行时，Ethernet 根据 ARM 配置的报文缓存信息，包括报文缓存起始地址、报文长度以及其他的报文信息等，通过总线，将存于 DDR 的报文搬运过来，自行组装成包，然后发送到外网。



图5-4 总体数据流图



## 上下行缓冲区配置

上行时，ARM 需要配置存储于 DDR 的 2 个缓冲区；下行时，ARM 配置另外 2 个缓冲区。缓冲区的起始地址均为 word 地址，最大可配 8K 个描述子深度，其中一个描述子表示一个报文缓存信息。

### 说明

芯片正常工作时不可进行此项配置，建议在初始化时进行配置，且缓冲区深度至少配置为 32 个描述子。

## 上下行缓冲区的描述子信息

表5-2 上下行缓冲区的描述子的数据结构

名称	位宽 (bit)	描述
DataBufSAddr	32	报文缓冲的起始地址，支持字节地址。
DescVld	1	描述子有效标识，1 为有效，0 为无效。
DataLen	11	报文缓存里的有效数据量，单位为 byte。
BufLen	11	报文缓存可写的深度，单位为 byte。

### 说明

由于最大帧长为 1.6KB，故分配给每个帧的存放空间要比 1.6KB 大一些，建议为 1600B+128B，软件需要保证此大小的地址空间为 ETH 存放包数据可用的存取空间。



## 5.3.4 Ethernet 限速功能

Ethernet 具有对接收报文进行限速的功能，即在某段时间内，当通过的报文数超过设定的最大数量时，后续报文将被丢弃。

Ethernet 对报文限速分为以下三种。

### 对控制报文的限速

对控制报文的限速分为两种情况：

- 在一个限速时间 T 内，只允许通过小于等于限速报文个数的控制报文，超过该数的控制报文将被丢弃。该限速时间 T 以 125 $\mu$ s 为一个单位进行计数，当计数等于配置的限速时间个数时，为一个限速时间单位 T。
- 如果下行配置 FIFO 中的下行接收地址个数小于限速下行地址个数时，则下行接收的所有控制报文将优先通过，此时，IP 报文将会被过滤，而不管此时是否有 IP 报文的限速或者有没有达到 IP 限速的流量。

对控制报文进行限速时，需要做如下配置：

- 配置 CONTROL\_WORD（控制寄存器）的 bit[20]为 1
- 配置 FLOW\_CTRL\_PKG\_THRSLD（限速包个数寄存器）的 bit[15:0]
- 配置 CRF\_FLOW\_TIME\_THRSLD（限速时间寄存器）的 bit[7:0]
- 配置 CRF\_RX\_ADDR\_NUM（限速下行地址个数寄存器）

### 对业务报文的限速

此限速功能和控制报文限速的第一种情况相同，当控制报文限速的第二种情况成立时，IP 报文将全部被丢弃。

对业务报文（如 IP 报文）进行限速时，需要做如下配置：

- 配置 CONTROL\_WORD（控制寄存器）的 bit[21]为 1
- 配置 FLOW\_CTRL\_PKG\_THRSLD（限速包个数寄存器）的 bit[31:16]
- 配置 CRF\_FLOW\_TIME\_THRSLD（限速时间寄存器）的 bit[7:0]

### 对广播或多播报文的限速

广播或多播报文的限速时间以 1 $\mu$ s 为单位进行计数，在限速时间内，当通过的报文达到限速个数时，后续报文被丢弃。

对广播或者多播报文进行限速时，需要做如下配置：

- 配置 CONTROL\_WORD（控制寄存器）的 bit[16]为 1
- 配置 CRF\_BM\_PKT\_THRSLD（广播和多播报文的限速处理包个数寄存器）
- 配置 CRF\_BM\_TIME\_THRSLD（广播和多播报文的限速时间计数寄存器）



## 5.3.5 Ethernet 收包中断管理功能

### 中断产生

- 配置下行入队中断使能以及上报入队中断的水线，当 Ethernet 回写到 DDR 中的描述子个数达到配置水线时，则产生一个下行入队中断。
- 配置下行超时中断使能、超时水线，当 Ethernet 回写一个描述子后，启动超时计数，在没有满足下行入队中断的条件下，若超时计数达到配置的超时时间，则产生一个下行超时中断。若同时满足上报两种中断的条件，只上报下行入队中断。

### 中断清除

ARM 收到下行入队中断或者下行超时中断后，可通过软件写 1 清除下行入队中断和下行超时中断。

## 5.3.6 Ethernet 发包中断管理功能

### 中断产生

- 配置上行入队中断使能以及上报入队中断的水线，当 Ethernet 回写到 DDR 中的描述子个数达到配置水线时，则产生一个上行入队中断。
- 配置上行超时中断使能、超时水线，当 Ethernet 回写一个描述子后，启动超时计数，在没有满足上行入队中断的条件下，若超时计数达到配置的超时时间，则产生一个上行超时中断。若同时满足上报两种中断的条件，只上报上行入队中断。

### 中断清除

ARM 收到上行入队中断或者上行超时中断后，可通过软件写 1 清除上行入队中断和上行超时中断。

## 5.4 工作方式

### 5.4.1 Ethernet 配置 PHY 芯片工作状态

Ethernet 提供 MDIO 接口实现对 PHY 芯片的管理。MDIO 分为读操作和写操作，下面分别介绍两者的操作步骤。

读操作的配置步骤如下：

- 步骤 1 ARM 向 `MDIO_SINGLE_CMD`（MDIO 单次操作寄存器）的 bit[12:8] 写入 PHY 芯片地址，向 bit[4:0] 写入 PHY 内部寄存器地址，同时配置寄存器 `MDIO_SINGLE_CMD` 的 bit[20] 为 1，配置 bit[17:16] 为 10，启动 MDIO 读操作；
- 步骤 2 MDIO 将从外部 PHY 芯片读回的数据写到 `MDIO_SINGLE_DATA`（MDIO 读写数据寄存器）的 bit[31:16]，并同时 will `MDIO_SINGLE_CMD`（MDIO 单次操作寄存器）的 bit[20] 配置为 0；



步骤 3 ARM 查询 [MDIO\\_SINGLE\\_DATA](#) (MDIO 读写数据寄存器) 的 bit[31:16]得到 MDIO 从外部 PHY 芯片读回的数据。

----结束

写操作的配置步骤如下:

- 步骤 1 ARM 将发送给外部 PHY 芯片的数据写入 [MDIO\\_SINGLE\\_DATA](#) (MDIO 读写数据寄存器) 的 bit[15:0];
- 步骤 2 向 [MDIO\\_SINGLE\\_CMD](#) (MDIO 单次操作寄存器) 的 bit[12:8]写入 PHY 芯片地址, 向 bit[4:0]写入 PHY 内部寄存器地址, 同时配置 bit[20]为 1, 配置 bit[17:16]为 1, 启动 MDIO 写操作;
- 步骤 3 MDIO 将 [MDIO\\_SINGLE\\_DATA](#) (MDIO 读写数据寄存器) 的 bit[15:0]的值写入相应的 PHY 内部寄存器中, 完成 MDIO 的写操作, 并自动将 [MDIO\\_SINGLE\\_CMD](#) (MDIO 单次操作寄存器) bit[20]配置为 0x0。

----结束



说明

当查询到 [MDIO\\_SINGLE\\_CMD](#) (MDIO 单次操作寄存器) 的 bit[20]为 0 时, 表示硬件已经完成对 PHY 芯片的读写操作。具体的寄存器配置内容需要参考相关 PHY 芯片的用户手册。

Ethernet 可以通过 MDIO 接口自动获取 PHY 芯片的工作状态。当指定 Ethernet 工作在自适应工作状态时, 需要配置 [MDIO\\_SCAN\\_EN](#) (MDIO 自动扫描寄存器) 和 [MDIO\\_CTL](#) (MDIO 控制寄存器) 中关于 PHY 芯片中相关状态寄存器: [autoscan\\_en](#) (自动检测使能)、[mdc\\_speed](#) (MDIO 接口时钟频率)、[mdio\\_in\\_work\\_en](#) (MDIO 工作状态), Ethernet 使用 MDIO 接口自动从指定的 PHY 芯片的相关寄存器中读出状态信息, 存放在寄存器 [MDIO\\_RDATA\\_STATUS](#) (MDIO 读数据状态寄存器) 中。

## 5.4.2 Ethernet 工作模式切换

Ethernet 支持的工作模式: MII (10M/100M) 和 RGMII (10M/100M/1000M)。下面介绍操作步骤。

- 步骤 1 配置 [MODE\\_CHANGE\\_EN](#) 寄存器, 允许 port\_mode 修改生效;
- 步骤 2 配置 [PORT\\_MODE](#) 寄存器, 修改工作模式。



说明

芯片正常工作时不可进行此项配置, 建议在初始化时进行配置。

----结束

## 5.4.3 Ethernet 收发包配置

### Ethernet 收包配置

当 Ethernet 接收到合法数据包时, 需要在 ARM 的配合下, 将报文搬运到 DDR 缓存。

具体步骤如下:



步骤 1 配置收包中断使能寄存器和读写描述子使能；

步骤 2 配置缓冲区 1，包括起始地址、深度、写指针和填描述子内容，并且应先填好描述子，再更新写指针；

Ethernet 收包过程中查询缓冲区 1 的空满状态，若缓冲区 1 不满，则填描述子，然后更新写地址；

步骤 3 配置缓冲区 2，包括缓冲区 2 起始地址、深度、读指针；

Ethernet 收到数据包后，根据描述子信息指示，将数据包存放在 DDR 中，当达到收包中断条件时，产生收包中断。ARM 响应收包中断，启动收包并清中断。

----结束

## Ethernet 发包配置

Ethernet 发包时，首先由 ARM 配置描述子，然后 Ethernet 根据描述子中的内容，从 DDR 中搬运数据，并组装成数据包，发送到网络上。

发送数据时的配置步骤如下：

步骤 1 配置发包中断使能寄存器和读写描述子使能；

步骤 2 配置缓冲区 3，包括起始地址、深度、写指针和填描述子内容，并且应先填好描述子，再更新写指针；

Ethernet 发包过程中查询缓冲区 3 的空满状态，若缓冲区 3 不满，则填描述子，然后更新写地址；

步骤 3 配置缓冲区 4，包括缓冲区 4 起始地址、深度、读指针；

Ethernet 从 DDR 读取一个数据包后，回写当前描述子到缓冲区 4，当达到发包中断条件时，产生发包中断。ARM 响应发包中断，回收描述子，释放内存并清中断。

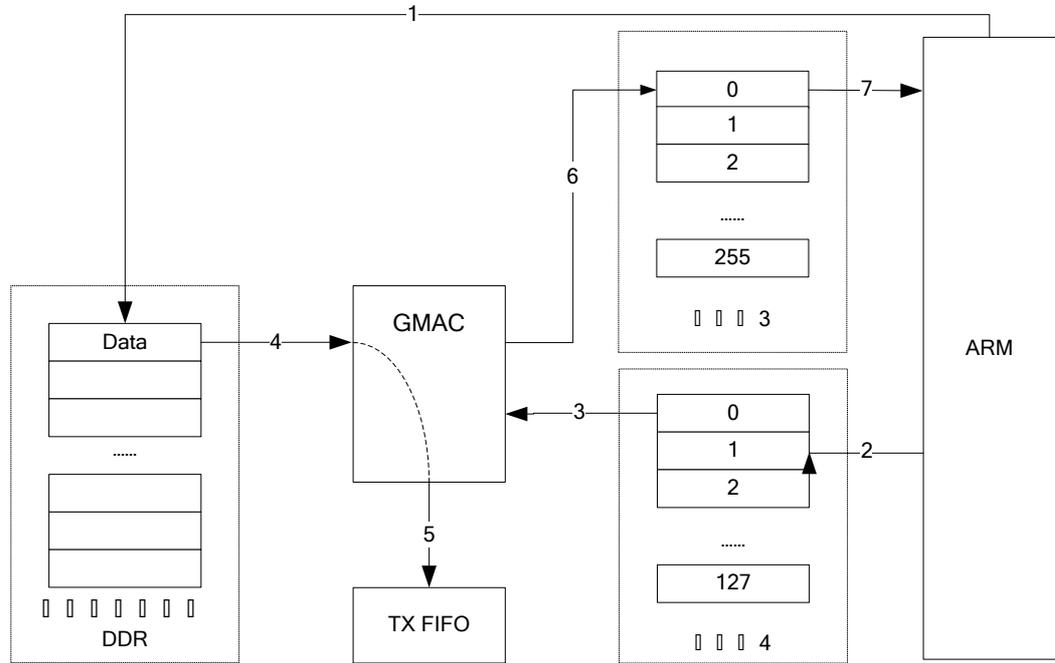
----结束

## 5.4.4 Ethernet 收发包流程



### 发包流程图

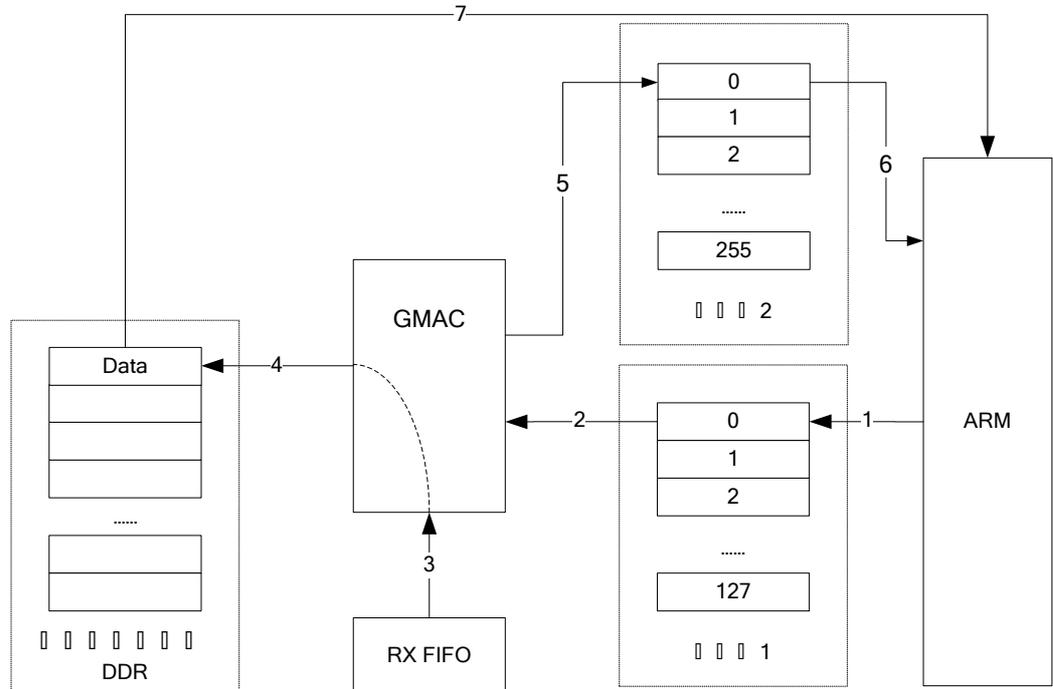
图5-5 发包流程图





## 收包流程图

图5-6 收包流程图



## 5.5 GMAC 寄存器概览

GMAC 寄存器概览如表 5-3 所示。

表5-3 GMAC 寄存器概览（基址是 0x1009\_0000）

偏移地址	名称	描述	页码
0x00000000	STATION_ADDR_LOW	本机 MAC 地址的低 32bit 寄存器	5-17
0x00000004	STATION_ADDR_HIGH	本机 MAC 地址的高 16bit 寄存器	5-18
0x0000000C	FD_FC_TYPE	流控帧类型域寄存器	5-18
0x00000010	FIFO_THRSLD	MAC 应用侧 FIFO 参数设置寄存器	5-19
0x0000001C	FC_TX_TIMER	流控时间参数寄存器	5-19
0x00000020	FD_FC_ADDR_LOW	流控帧目的地址的低 32bit 寄存器	5-19
0x00000024	FD_FC_ADDR_HIGH	流控帧目的地址的高 16bit 寄存器	5-20
0x00000030	IPG_TX_TIMER	发送帧间隙寄存器	5-20



偏移地址	名称	描述	页码
0x00000038	PAUSE_THR	发送流控帧间隙寄存器	5-21
0x0000003C	MAX_FRM_SIZE	最大帧长寄存器	5-21
0x00000040	PORT_MODE	端口状态寄存器	5-21
0x00000044	PORT_EN	通道使能寄存器	5-22
0x00000048	PAUSE_EN	流控使能寄存器	5-23
0x00000050	SHORT_RUNTS_THR	超短帧界限寄存器	5-23
0x00000054	DROP_UNK_CTL_FRM	未知控制帧丢弃使能寄存器	5-24
0x00000060	TRANSMIT_CONTROL	常用配置寄存器	5-24
0x00000064	REC_FILT_CONTROL	接收帧过滤控制寄存器	5-25
0x00000068	PORT_MC_ADDR_LOW	多播地址的低 32bit 寄存器	5-26
0x0000006C	PORT_MC_ADDR_HIGH	多播地址的高 16bit 寄存器	5-26
0x00000070	MAC_CLR	MAC 清零寄存器	5-27
0x000001A8	LINE_LOOP_BACK	MAC 线路侧环回寄存器	5-27
0x000001B0	CF_CRC_STRIP	CRC 剥离使能寄存器	5-28
0x000001B4	MODE_CHANGE_EN	端口模式改变使能寄存器	5-29
0x000001DC	LOOP_REG	环回补充寄存器	5-29
0x000001E0	RECV_CONTROL	接收控制寄存器	5-30
0x000001E8	RESERVED	保留	-
0x000001EC	RX_OVERRUN_CNT	FIFO 溢出统计寄存器	5-30
0x000001F4	RX_LENGTHFIELD_ERR_CNT	含 PAD 帧统计寄存器	5-31
0x000001F8	RX_FAIL_COMMA_CNT	字节定界 COMMA 统计寄存器	5-31
0x00000080	RX_OCTETS_TOTAL_OK	接收有效帧的字节统计寄存器	5-31
0x00000084	RX_OCTETS_BAD	接收错误帧字节统计寄存器	5-32
0x00000088	RX_UC_PKTS	MAC 接收单播帧数统计寄存器	5-32
0x0000008C	RX_MC_PKTS	接收多播帧数统计寄存器	5-32
0x00000090	RX_BC_PKTS	接收的广播帧数统计寄存器	5-33
0x00000094	RX_PKTS_64OCTETS	接收到帧长为 64byte 的帧数统计寄存器	5-33
0x00000098	RX_PKTS_65TO127OCTETS	接收到帧长为 65~127byte 的帧数统计寄存器	5-33



偏移地址	名称	描述	页码
0x0000009C	RX_PKTS_128TO255OCTETS	接收到帧长为 128~255byte 的帧数统计寄存器	5-34
0x000000A0	RX_PKTS_255TO511OCTETS	接收到帧长为 256~511byte 的帧数统计寄存器	5-34
0x000000A4	RX_PKTS_512TO1023OCTETS	接收到帧长为 512~1023byte 的帧数统计寄存器	5-34
0x000000A8	RX_PKTS_1024TO1518OCTETS	接收帧长为 1024~1518byte 的帧数统计寄存器	5-35
0x000000AC	RX_PKTS_1519TOMAXOCTETS	接收到帧长为 1519~最大 byte 的帧数统计寄存器	5-35
0x000000B0	RX_FCS_ERRORS	接收 CRC 检验错误的帧数统计寄存器	5-36
0x000000B4	RX_TAGGED	接收带 TAG 的帧统计寄存器	5-36
0x000000B8	RX_DATA_ERR	接收数据错误帧统计寄存器	5-36
0x000000BC	RX_ALIGN_ERRORS	接收数据非字节对齐错误帧统计寄存器	5-37
0x000000C0	RX_LONG_ERRORS	接收帧长大于允许的最大长度的帧数统计寄存器	5-37
0x000000C8	RX_PAUSE_MACCONTROL_FRAMCOUNTER	接收到的流控帧数统计寄存器	5-37
0x000000CC	RX_UNKNOWN_MACCONTROL_FRAMCOUNTER	MAC 接收到的非流控控制帧数统计寄存器	5-38
0x000000D0	RX_VERY_LONG_ERR_CNT	接收到超长帧统计寄存器	5-38
0x000000D4	RX_RUNT_ERR_CNT	接收到帧长小于 64byte 大于等于 12byte 的帧数统计寄存器	5-38
0x000000D8	RX_SHORT_ERR_CNT	接收帧长小于 96bit 的帧数统计寄存器	5-39
0x00000100	OCTETS_TRANSMITTED_OK	发送成功的好包字节数统计寄存器	5-39
0x00000104	OCTETS_TRANSMITTED_BAD	发送成功的坏包字节数统计寄存器	5-39
0x00000108	TX_UC_PKTS	发送的单播帧数统计寄存器	5-40
0x0000010C	TX_MC_PKTS	发送的多播帧数统计寄存器	5-40
0x00000110	TX_BC_PKTS	发送的广播帧数统计寄存器	5-40
0x00000114	TX_PKTS_64OCTETS	发送帧长为 64byte 的帧数统计寄存器	5-41
0x00000118	TX_PKTS_65TO127OCTETS	发送帧长为 65~127byte 的帧数统计寄存器	5-41



偏移地址	名称	描述	页码
0x0000011C	TX_PKTS_128TO255OCTETS	发送帧长为 128~255byte 的帧数统计寄存器	5-41
0x00000120	TX_PKTS_255TO511OCTETS	发送帧长为 256~511byte 的帧数统计寄存器	5-42
0x00000124	TX_PKTS_512TO1023OCTETS	发送帧长为 512~1023byte 节的帧数统计寄存器	5-42
0x00000128	TX_PKTS_1024TO1518OCTETS	发送帧长为 1024~1518byte 的帧数统计寄存器	5-43
0x0000012C	TX_PKTS_1519TOMAXOCTETS	发送帧长大于 1519byte 的帧数统计寄存器	5-43
0x0000014C	TX_EXCESSIVE_LENGTH_DROP	超过设定的最大帧长导致发送失败次数统计寄存器	5-43
0x00000150	TX_UNDERRUN	帧发送过程中发生内部错误而导致发送失败的次数统计寄存器	5-44
0x00000154	RESERVED	保留	-
0x00000158	TX_CRC_ERROR	发送帧长正确 CRC 错误的帧数统计寄存器	5-44
0x0000015C	TX_PAUSE_FRAMES	发送 PAUSE 帧数统计寄存器	5-44
0x00000200	MAC_SA_ADDR_L	源 MAC 地址的低 32bit 寄存器	5-45
0x00000204	MAC_SA_ADDR_H	源 MAC 地址的高 16bit 寄存器	5-45
0x00000208	MAC_DA_ADDR_L	目的 MAC 地址的低 32bit 寄存器	5-46
0x0000020C	MAC_DA_ADDR_H	目的 MAC 地址的高 16bit 寄存器	5-46
0x00000210	CRF_MIN_PACKET	最小过滤包长寄存器	5-46
0x00000214	CONTROL_WORD	控制寄存器	5-47
0x00000218	FLOW_CTRL_PKG_THRSLD	限速包个数寄存器	5-48
0x0000021C	CRF_FLOW_TIME_THRSLD	限速时间寄存器	5-49
0x00000220	FILTER_LIST0	过滤列表寄存器 0	5-49
0x00000224	FILTER_LIST1	过滤列表寄存器 1	5-50
0x00000228	FILTER_LIST2	过滤列表寄存器 2	5-51
0x0000022C	FILTER_LIST3	过滤列表寄存器 3	5-52
0x00000230	FILTER_LIST4	过滤列表寄存器 4	5-53
0x00000234	FILTER_LIST5	过滤列表寄存器 5	5-54
0x00000238	FILTER_LIST6	过滤列表寄存器 6	5-55



偏移地址	名称	描述	页码
0x0000023C	FILTER_LIST7	过滤列表寄存器 7	5-56
0x00000240	FILTER_LIST8	过滤列表寄存器 8	5-57
0x00000244	FILTER_LIST9	过滤列表寄存器 9	5-58
0x00000248	FILTER_LIST10	过滤列表寄存器 10	5-59
0x0000024C	FILTER_LIST11	过滤列表寄存器 11	5-60
0x00000250	FILTER_LIST12	过滤列表寄存器 12	5-61
0x00000254	FILTER_LIST13	过滤列表寄存器 13	5-62
0x00000258	FILTER_LIST14	过滤列表寄存器 14	5-63
0x0000025C	FILTER_LIST15	过滤列表寄存器 15	5-64
0x00000260	CRF_UDP_NO	UDP 端口号寄存器	5-65
0x00000264	CRF_TX_FIFO_THRSLD	发送 FIFO 水线寄存器	5-66
0x00000268	CRF_RX_FIFO_THRSLD	接收 FIFO 水线寄存器	5-66
0x0027C	APP_LOOP_EN	应用侧环回使能寄存器	5-67
0x00000280	ERR_GIVEN_PKG_CNT	因 MAC 标记错误帧尾而被丢弃的包统计计数器	5-67
0x00000288	ERR_FRM_TYPE_CNT	因帧类型不在过滤列表内而被丢弃的包统计计数器	5-68
0x0000028C	ERR_IP_TYPE_CNT	因 IP 类型不在过滤列表内而被丢弃的包统计计数器	5-68
0x00000290	ERR_UDP_CNT	因 UDP 端口号不在设定范围内而被过滤的包统计计数器	5-68
0x00000294	OVER_FLOW_CNT	因接收 FIFO 满而丢弃的包的统计计数器	5-69
0x00000298	OVER_LENGTH_CNT	因超过 PMU 的最大长度而丢弃包的统计计数器	5-69
0x02A4	RX_PAUSE_EN	rx 方向流控帧使能寄存器	5-69
0x000002A8	CRF_CFF_DATA_NUM	配置 FIFO 数据个数寄存器	5-70
0x000002AC	FLOW_OUT_IP_CNT	IP 报文限速丢弃的包统计计数器	5-71
0x000002B0	FLOW_OUT_CTRL_CNT	控制报文限速丢弃的包统计计数器	5-71
0x000002B4	IP_CHK_ERR_CNT	IP 头校验错而丢弃的包统计计数器	5-71
0x000002B8	UDP_CHK_ERR_CNT	UDP 校验错而丢弃的包统计计数器	5-72



偏移地址	名称	描述	页码
0x000002BC	TX_RUNT_ERR_PKG_CNT	上行因 FIFO 满而丢弃的包统计计数器	5-72
0x000002C0	RX_ERR_TOTAL_CNT	下行总丢弃的包统计计数器	5-72
0x000002C8	RX_TRANS_PKG_CNT	下行搬运成功的包计数器	5-73
0x000002CC	TX_TRANS_PKG_CNT	上行搬运成功的包计数器	5-73
0x000002D0	RX_BM_OVERFLOW	广播或多播报文因限速而丢弃的计数器	5-73
0x00000340	CRF_TX_PAUSE	发送流控控制寄存器	5-74
0x00000344	CRF_RX_ADDR_NUM	限速下行地址个数寄存器	5-74
0x00000348	CRF_CTRL_0_TYPE	控制报文类型 0 寄存器	5-75
0x0000034C	CRF_CTRL_1_TYPE	控制报文类型 1 寄存器	5-75
0x00000350	CRF_CTRL_2_TYPE	控制报文类型 2 寄存器	5-75
0x00000354	CRF_CTRL_3_TYPE	控制报文类型 3 寄存器	5-76
0x00000358	CRF_BM_PKT_THRSLD	广播和多播报文的限速处理包个数寄存器	5-76
0x0000035C	CRF_BM_TIME_THRSLD	广播和多播报文的限速时间计数寄存器	5-77
0x000003C0	MDIO_SINGLE_CMD	MDIO 单次操作寄存器	5-77
0x000003C4	MDIO_SINGLE_DATA	MDIO 读写数据寄存器	5-78
0x000003C8	MDIO_SCAN_EN	MDIO 自动扫描寄存器	5-78
0x000003CC	MDIO_CTL	MDIO 控制寄存器	5-79
0x000003D0	MDIO_RDATA_STATUS	MDIO 读数据状态寄存器	5-79
0x00000500	RX_FQ_START_ADDR	空闲描述子队列起始地址寄存器	5-80
0x00000504	RX_FQ_DEPTH	空闲描述子队列深度寄存器	5-80
0x00000508	RX_FQ_WR_ADDR	空闲描述子队列写地址寄存器	5-81
0x0000050C	RX_FQ_RD_ADDR	空闲描述子队列读地址寄存器	5-81
0x00000510	RX_FQ_VLDDESC_CNT	空闲描述子队列有效描述子个数寄存器	5-82
0x00000514	RX_FQ_ALRMPTY_TH	空闲描述子队列几乎空水线寄存器	5-82
0x00000518	RX_FQ_REG_EN	与接收方向空闲描述子队列有关的使能寄存器	5-83
0x0000051C	RX_FQ_ALFULL_TH	空闲描述子队列几乎满水线寄存器	5-83
0x00000520	RX_BQ_START_ADDR	接收方向的有效描述子队列起始地址寄存器	5-84



偏移地址	名称	描述	页码
0x00000524	RX_BQ_DEPTH	接收方向的有效描述子队列深度寄存器	5-84
0x00000528	RX_BQ_WR_ADDR	接收方向的有效描述子队列写地址寄存器	5-85
0x0000052C	RX_BQ_RD_ADDR	接收方向的有效描述子队列读地址寄存器	5-85
0x00000530	RX_BQ_FREE_DESC_CNT	接收方向的有效描述子队列可写入的描述子个数寄存器	5-85
0x00000534	RX_BQ_ALEMPY_TH	接收方向的有效描述子队列几乎空水线寄存器	5-86
0x00000538	RX_BQ_REG_EN	与接收方向有效描述子队列有关的使能寄存器	5-86
0x0000053C	RX_BQ_ALFULL_TH	接收方向的有效描述子队列几乎满水线寄存器	5-87
0x00000580	TX_BQ_START_ADDR	发送方向的有效描述子队列起始地址寄存器	5-88
0x00000584	TX_BQ_DEPTH	发送方向的有效描述子队列深度寄存器	5-88
0x00000588	TX_BQ_WR_ADDR	发送方向的有效描述子描述子队列写地址寄存器	5-88
0x0000058C	TX_BQ_RD_ADDR	发送方向的有效描述子队列读地址寄存器	5-89
0x00000590	TX_BQ_VLDDESC_CNT	发送方向的有效描述子队列有效描述子个数寄存器	5-89
0x00000594	TX_BQ_ALEMPY_TH	发送方向的有效描述子队列几乎空水线寄存器	5-90
0x00000598	TX_BQ_REG_EN	与发送方向有效描述子队列有关的使能寄存器	5-90
0x0000059C	BQ1_ALFULL_TH	发送方向的有效描述子队列几乎满水线寄存器	5-91
0x000005A0	TX_RQ_START_ADDR	发送方向的回收描述子队列起始地址寄存器	5-91
0x000005A4	TX_RQ_DEPTH	发送方向的回收描述子队列深度寄存器	5-92
0x000005A8	TX_RQ_WR_ADDR	发送方向的回收描述子队列写地址寄存器	5-92
0x000005AC	TX_RQ_RD_ADDR	发送方向的回收描述子队列读地址寄存器	5-92
0x000005B0	TX_RQ_FREE_DESC_CNT	发送方向的回收描述子队列可写入的描述子个数寄存器	5-93
0x000005B4	TX_RQ_ALEMPY_TH	发送方向的回收描述子队列几乎空水线寄存器	5-93



偏移地址	名称	描述	页码
0x000005B8	TX_RQ_REG_EN	与发送方向的回收描述子队列有关的使能寄存器	5-94
0x000005BC	TX_RQ_ALFULL_TH	发送方向的回收描述子队列几乎满流水线寄存器	5-94
0x000005C0	RAW_PMU_INT	原始中断寄存器	5-95
0x000005C4	ENA_PMU_INT	原始中断使能寄存器	5-98
0x000005C8	STATUS_PMU_INT	中断状态寄存器	5-102
0x000005CC	DESC_WR_RD_ENA	描述子 FIFO 读写描述子使能寄存器	5-105
0x000005D8	IN_QUEUE_TH	收包方向的有效描述子队列和发包方向的回收描述子队列，描述子入队中断流水线寄存器	5-106
0x000005DC	OUT_QUEUE_TH	收包方向的空闲描述子队列和发送方向的有效描述子队列，描述子出队中断流水线寄存器	5-107
0x000005E0	RX_BQ_IN_TIMEOUT_TH	接收方向的有效描述子队列的入队超时原始中断流水线寄存器	5-107
0x000005E4	TX_RQ_IN_TIMEOUT_TH	发送方向的回收描述子队列的入队超时原始中断流水线寄存器	5-108
0x000005E8	STOP_CMD	停止收、发包控制寄存器寄存器	5-108
0x000005EC	FLUSH_CMD	回收描述子使能寄存器	5-109

## 5.6 GMAC 寄存器描述

### STATION\_ADDR\_LOW

STATION\_ADDR\_LOW 为本机 MAC 地址的低 32bit 寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000000		STATION_ADDR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	station_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	station_addr_low	MAC_CORE 的 MAC 源地址低 32bit, 可默认。					

## STATION\_ADDR\_HIGH

STATION\_ADDR\_HIGH 为本机 MAC 地址的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000004		STATION_ADDR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				station_addr_high			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	station_addr_high	MAC_CORE 的 MAC 源地址高 16bit, 可默认。					

## FD\_FC\_TYPE

FD\_FC\_TYPE 为流控帧类型域寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000000C		FD_FC_TYPE		0x0000_8808				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				fd_fc_type			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	fd_fc_type	全双工模式下流控帧 TYPE 域。					



## FIFO\_THRSLD

FIFO\_THRSLD 为 MAC 应用侧 FIFO 参数设置寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000010		FIFO_THRSLD		0x000A_1910					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	thrsld_inter_clock		thrsld_for_p_empty		thrsld_for_p_full		buff_sz_for_tsmt		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	0 0 0 1	1 0 0 1	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	thrsld_inter_clock	应用侧 FIFO 参数，定义 FIFO 读写时钟相差倍数。						
[23:16]	RW	thrsld_for_p_empty	应用侧 FIFO 参数，定义 FIFO 低水位。						
[15:8]	RW	thrsld_for_p_full	应用侧 FIFO 参数，定义 FIFO 高水位。此处不允许用户修改。						
[7:0]	RW	buff_sz_for_tsmt	应用侧 FIFO 参数，定义 FIFO 启动读操作 threshold。						

## FC\_TX\_TIMER

FC\_TX\_TIMER 为流控时间参数寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000001C		FC_TX_TIMER		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fc_tx_timer				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	fc_tx_timer	发送流控帧时间参数，以 512bit 为时间单位。 百兆模式下，为 128 个时钟周期； 千兆模式下，为 64 个时钟周期。						

## FD\_FC\_ADDR\_LOW

FD\_FC\_ADDR\_LOW 为流控帧目的地址寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x00000020				FD_FC_ADDR_LOW								0xC200_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	fd_fc_addr_low																																			
Reset	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1				
	Bits	Access	Name		Description																															
	[31:0]	RW	fd_fc_addr_low		流控帧 DA 地址低 32bit。																															

## FD\_FC\_ADDR\_HIGH

FD\_FC\_ADDR\_HIGH 为流控帧目的地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x00000024				FD_FC_ADDR_HIGH								0x0000_0180																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																fd_fc_addr_high																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															
	[15:0]	RW	fd_fc_addr_high		流控帧 DA 地址高 16bit。																															

## IPG\_TX\_TIMER

IPG\_TX\_TIMER 为发送帧间隙寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x00000030				IPG_TX_TIMER								0x0000_0008																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								ipg_tx_timer											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0				
	Bits	Access	Name		Description																															
	[31:8]	-	reserved		保留。																															
	[7:0]	RW	ipg_tx_timer		发送帧间隙，单位为 byte。																															



## PAUSE\_THR

PAUSE\_THR 为发送流控帧间隙寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000038		PAUSE_THR		0x0000_002F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				pause_thr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	pause_thr	流控帧间隔时间，若流控时间大于间隔时间，MAC 自动发送流控帧。以 512bit 为时间单位。 百兆模式下，为 128 个时钟周期； 千兆模式下，为 64 个时钟周期。						

## MAX\_FRM\_SIZE

MAX\_FRM\_SIZE 为最大帧长寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000003C		MAX_FRM_SIZE		0x0000_05EE					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_frm_size				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	1 1 1 0	1 1 1 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13:0]	RW	max_frm_size	MAC 部分允许的最大帧长。 当接收到大于该帧长的帧时，将该帧认为超长错误帧； 当发送帧超过该帧长的帧时，将发送帧截断后做为错帧发送。						

## PORT\_MODE

PORT\_MODE 为端口状态寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00000040		PORT_MODE		0x0000_0001																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										port_mode					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:3]	-	reserved	禁止。																													
[2:0]	RW	port_mode	指示当前 MAC 端口工作的模式。 000: 10Mbps MII; 001: 100Mbps MII; 011: 10Mbps RGMII; 100: 100Mbps RGMII; 101: 1000Mbps RGMII; 其他: 保留; 默认为 100Mbps MII。																													

## PORT\_EN

PORT\_EN 为通道使能寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00000044		PORT_EN		0x0000_0006																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tx_en	rx_en	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
Bits	Access	Name	Description																													
[31:3]	-	reserved	保留。																													
[2]	RW	tx_en	发送通道使能位。 0: 不使能; 1: 使能。																													







[7]	RW	pad_enable	发送添加 PAD 使能。 0: 不使能; 1: 使能。
[6]	RW	crc_add	发送添加 FCS 使能。 0: 使能; 1: 不使能。
[5]	RO	an_enable	自协商使能。 0: 不使能 , 固定配置; 1: 使能。
[4]	RO	link_sel	link 状态选择。 1: 默认一直为 link up 状态; 0: 无效。
[3:0]	-	reserved	保留。

## REC\_FILT\_CONTROL

REC\_FILT\_CONTROL 为接收帧过滤控制寄存器。

Offset Address	Register Name	Total Reset Value					
0x00000064	REC_FILT_CONTROL	0x0000_0000					
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0						
Name	reserved						crc_err_pass pause_frm_pass reserved bc_drop_en mc_match_en uc_match_en
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0						
Bits	Access	Name	Description				
[31:6]	-	reserved	保留。				
[5]	RW	crc_err_pass	过滤 CRC 错误帧使能。 0: 不使能; 1: 使能。				
[4]	RW	pause_frm_pass	过滤流控帧使能。 1: 使能, 流控使能有效才起作用, 不上传至软件; 0: 不使能, 流控使能有效才起作用, 要上传至软件。				



[3]	RW	reserved	保留。
[2]	RW	bc_drop_en	过滤广播帧使能。 0: 不使能; 1: 使能。
[1]	RW	mc_match_en	过滤 DA 不匹配的多播帧使能。 0: 不使能; 1: 使能。
[0]	RW	uc_match_en	过滤 DA 不匹配的单播帧使能。 0: 不使能; 1: 使能。

## PORT\_MC\_ADDR\_LOW

PORT\_MC\_ADDR\_LOW 为多播地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000068		PORT_MC_ADDR_LOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	port_mc_addr_low							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	port_mc_addr_low	多播地址低 32bit, 用于判断多播帧是否匹配。					

## PORT\_MC\_ADDR\_HIGH

PORT\_MC\_ADDR\_HIGH 为多播地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000006C		PORT_MC_ADDR_HIGH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				port_mc_addr_high			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	port_mc_addr_high	多播地址高 16bit, 用于判断多播帧是否匹配。					



## MAC\_CLR

MAC\_CLR 为 MAC 清零寄存器。

Offset Address	Register Name	Total Reset Value									
0x00000070	MAC_CLR	0x0000_0000									
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0										
Name	reserved							soft_rst_mdio	soft_rst_mii	soft_rst_rx	soft_rst_tx
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0										
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	soft_rst_mdio	mdio 清零信号。 0: 无效; 1: 有效。								
[2]	RW	soft_rst_mii	mii 清零信号。 0: 无效; 1: 有效。								
[1]	RW	soft_rst_rx	接收清零信号。 0: 无效; 1: 有效。								
[0]	RW	soft_rst_tx	发送清零信号。 0: 无效; 1: 有效。								

## LINE\_LOOP\_BACK

LINE\_LOOP\_BACK 为 MAC 线路侧环回寄存器。



Offset Address		Register Name		Total Reset Value					
0x000001A8		LINE_LOOP_BACK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								line_loop_back
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	line_loop_back	MAC 线路侧环回使能。 0: 不使能; 1: 使能。						

## CF\_CRC\_STRIP

CF\_CRC\_STRIP 为 CRC 剥离使能寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001B0		CF_CRC_STRIP		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								cf_crc_strip
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	cf_crc_strip	MAC 剥离接收方向 CRC 使能。 0: 不使能, 上报包长包括 CRC 的 4 字节; 1: 使能, 剥离后上报包长不包括 CRC 的 4 字节。						



## MODE\_CHANGE\_EN

MODE\_CHANGE\_EN 为端口模式改变使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000001B4				MODE_CHANGE_EN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mode_change_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:1]	-	reserved	保留。																													
[0]	RW	mode_change_en	port_mode 改变生效使能。 0: 不使能; 1: 使能。																													

## LOOP\_REG

LOOP\_REG 为环回补充寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000001DC				LOOP_REG				0x0000_0002																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										cf_ext_drive_lp	reserved				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access	Name	Description																													
[31:2]	-	reserved	保留。																													
[1]	RW	cf_ext_drive_lp	线路侧环回时，MAC 数据的读写使能信号产生。 0: 线路侧环回时，MAC 数据的读写使能信号由 MAC 内部产生; 1: 线路侧环回时，MAC 数据的读写使能信号根据下行 FIFO 读 MAC 使能信号产生。																													



[0]	-	reserved	保留。
-----	---	----------	-----

## RECV\_CONTROL

RECV\_CONTROL 为接收控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000001E0				RECV_CONTROL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								runt_pkt_en	strip_pad_en	reserved					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:5]	-	reserved	保留。																												
	[4]	RW	runt_pkt_en	接收超短帧透穿功能。 0: 丢弃, 不上传给软件; 1: 上传给软件。																												
	[3]	RW	strip_pad_en	剥离接收帧的 PAD 使能。 0: 不使能; 1: 使能。																												
	[2:0]	-	reserved	保留。																												

## RX\_OVERRUN\_CNT

RX\_OVERRUN\_CNT 为 FIFO 溢出统计寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x000001EC				RX_OVERRUN_CNT				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_overnrun_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:0]	RC	rx_overnrun_cnt	MAC 应用侧接收 FIFO 溢出统计。																												



## RX\_LENGTHFIELD\_ERR\_CNT

RX\_LENGTHFIELD\_ERR\_CNT 为含 PAD 帧统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001F4		RX_LENGTHFIELD_ERR_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_lengthfield_err_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_lengthfield_err_cnt	MAC 剥离 PAD 使能有效，接收到的含 PAD 的帧帧长不等于 64 的个数。						

## RX\_FAIL\_COMMA\_CNT

RX\_FAIL\_COMMA\_CNT 为字节定界 COMMA 统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000001F8		RX_FAIL_COMMA_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_fail_comma_cnt								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_fail_comma_cnt	字节定界过程中同时出现两个或者两个以上 comma 码的个数。						

## RX\_OCTETS\_TOTAL\_OK

RX\_OCTETS\_TOTAL\_OK 为接收有效帧的字节统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000080		RX_OCTETS_TOTAL_OK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_octets_total_ok								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_octets_total_ok	接收有效帧字节统计，范围包括 DA~FCS。						



## RX\_OCTETS\_BAD

RX\_OCTETS\_BAD 为接收错误帧字节统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000084		RX_OCTETS_BAD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_octets_bad								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_octets_bad	接收错帧字节统计，包括 CRC 错误，对齐错误等。						

## RX\_UC\_PKTS

RX\_UC\_PKTS 为 MAC 接收单播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000088		RX_UC_PKTS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_uc_pkts								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_uc_pkts	接收单播帧数统计（不包括 bad 帧）。						

## RX\_MC\_PKTS

RX\_MC\_PKTS 为接收多播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000008C		RX_MC_PKTS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_mc_pkts								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_mc_pkts	接收多播帧数统计（不包括 bad 帧）。						



## RX\_BC\_PKTS

RX\_BC\_PKTS 为接收的广播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000090		RX_BC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_bc_pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_bc_pkts	接收广播帧数统计（不包括 bad 帧）。					

## RX\_PKTS\_64OCTETS

RX\_PKTS\_64OCTETS 为接收到帧长为 64byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000094		RX_PKTS_64OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_64octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_64octets	接收帧长为 64byte 的帧数统计（包括 bad 帧）。					

## RX\_PKTS\_65TO127OCTETS

RX\_PKTS\_65TO127OCTETS 为接收到帧长为 65~127byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000098		RX_PKTS_65TO127OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_65to127octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_65to127octets	接收帧长为 65byte~127byte 的帧数统计（包括 bad 帧）。					



## RX\_PKTS\_128TO255OCTETS

RX\_PKTS\_128TO255OCTETS 为接收到帧长为 128~255byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000009C		RX_PKTS_128TO255OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_128to255octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_128to255octets	接收帧长为 128byte~255byte 的帧数统计（包括 bad 帧）。					

## RX\_PKTS\_255TO511OCTETS

RX\_PKTS\_255TO511OCTETS 为接收到帧长为 256~511byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000A0		RX_PKTS_255TO511OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_256to511octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_256to511octets	接收帧长为 256byte~511byte 的帧数统计（包括 bad 帧）。					

## RX\_PKTS\_512TO1023OCTETS

RX\_PKTS\_512TO1023OCTETS 为接收到帧长为 512~1023byte 的帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x000000A4		RX_PKTS_512TO1023OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_512to1023octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_512to1023octets	接收帧长为 512byte~1023byte 的帧数统计（包括 bad 帧）。					

### RX\_PKTS\_1024TO1518OCTETS

RX\_PKTS\_1024TO1518OCTETS 为接收帧长为 1024~1518byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000A8		RX_PKTS_1024TO1518OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_1024to1518octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_1024to1518octets	接收帧长为 1024byte~1518byte 的帧数统计（包括 bad 帧）。					

### RX\_PKTS\_1519TOMAXOCTETS

RX\_PKTS\_1519TOMAXOCTETS 为接收到帧长为 1519~最大 byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000AC		RX_PKTS_1519TOMAXOCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_pkts_1519tomaxoctes							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_pkts_1519tomaxoctes	接收帧长为 1519byte~最大 byte 的帧数统计（包括 bad 帧）。					



## RX\_FCS\_ERRORS

RX\_FCS\_ERRORS 为接收 CRC 检验错误的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000B0		RX_FCS_ERRORS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_fcs_errors							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_fcs_errors	CRC 检测错误的帧数统计（不包括短帧）。					

## RX\_TAGGED

RX\_TAGGED 为接收带 TAG 的帧统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000B4		RX_TAGGED		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_tagged							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_tagged	接收带 TAG 的帧统计。					

## RX\_DATA\_ERR

RX\_DATA\_ERR 为接收数据错误帧统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000B8		RX_DATA_ERR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_data_err							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_data_err	接收数据错误帧统计。					



## RX\_ALIGN\_ERRORS

RX\_ALIGN\_ERRORS 为接收数据非字节对齐错误帧统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000000BC		RX_ALIGN_ERRORS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_align_errors								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_align_errors	接收数据非字节对齐错误帧统计。						

## RX\_LONG\_ERRORS

RX\_LONG\_ERRORS 为接收帧长大于允许的最大长度的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000000C0		RX_LONG_ERRORS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_long_errors								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_long_errors	帧长大于允许的最大长度的帧数统计，CRC 正确。						

## RX\_PAUSE\_MACCONTROL\_FRAMCOUNTER

RX\_PAUSE\_MACCONTROL\_FRAMCOUNTER 为接收到的流控帧数统计寄存器。

Offset Address		Register Name		Total Reset Value					
0x000000C8		RX_PAUSE_MACCONTROL_FRAMCOUNTER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_pause_maccontrol_framecounter								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:0]	RC	rx_pause_maccontrol_framecounter	接收到的流控帧数统计（当 CRC 检测有效时，需 CRC 正确）。						



## RX\_UNKNOWN\_MACCONTROL\_FRAMCOUNTER

RX\_UNKNOWN\_MACCONTROL\_FRAMCOUNTER 为 MAC 接收到的非流控制帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000CC		RX_UNKNOWN_MACCONTROL_FRAMCOUNTER		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_unknown_maccontrol_framecounter							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_unknown_maccontrol_framecounter	接收到的非流控制帧数统计。					

## RX\_VERY\_LONG\_ERR\_CNT

RX\_VERY\_LONG\_ERR\_CNT 为接收到超长帧统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x000000D0		RX_VERY_LONG_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_very_long_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_very_long_err_cnt	接收到的超长帧（长度大于最大帧长的 2 倍）统计。					

## RX\_RUNT\_ERR\_CNT

RX\_RUNT\_ERR\_CNT 为接收到帧长小于 64byte 大于等于 12byte 的帧数统计寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x000000D4				RX_RUNT_ERR_CNT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_runt_err_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RC	rx_runt_err_cnt		帧长小于 64byte, 但大于或等于 12byte 的帧数统计。																												

### RX\_SHORT\_ERR\_CNT

RX\_SHORT\_ERR\_CNT 为接收帧长小于 96bit 的帧数统计寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x000000D8				RX_SHORT_ERR_CNT								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_short_err_cnt																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RC	rx_short_err_cnt		帧长小于 12byte 的帧数统计。																												

### OCTETS\_TRANSMITTED\_OK

OCTETS\_TRANSMITTED\_OK 为发送成功的好包字节数统计寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x00000100				OCTETS_TRANSMITTED_OK								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	octets_transmitted_ok																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RC	octets_transmitted_ok		发送成功的好包字节数（不包括前导码和 SFD）。																												

### OCTETS\_TRANSMITTED\_BAD

OCTETS\_TRANSMITTED\_BAD 为发送成功的坏包字节数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000104		OCTETS_TRANSMITTED_BAD		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	octets_transmitted_bad							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	octets_transmitted_bad	发送成功的坏包的字节数。					

## TX\_UC\_PKTS

TX\_UC\_PKTS 为发送的单播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000108		TX_UC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_uc_pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_uc_pkts	发送的单播帧数统计（不包括 bad 包）。					

## TX\_MC\_PKTS

TX\_MC\_PKTS 为发送的多播帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000010C		TX_MC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_mc_pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_mc_pkts	发送的多播帧数统计（不包括 bad 包）。					

## TX\_BC\_PKTS

TX\_BC\_PKTS 为发送的广播帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000110		TX_BC_PKTS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_bc_pkts							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_bc_pkts	发送的广播帧数（不包括 bad 包）。					

### TX\_PKTS\_64OCTETS

TX\_PKTS\_64OCTETS 为发送帧长为 64byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000114		TX_PKTS_64OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_64octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_64octets	发送的帧长为 64byte 的帧数统计（包括 bad 包）。					

### TX\_PKTS\_65TO127OCTETS

TX\_PKTS\_65TO127OCTETS 为发送帧长为 65~127byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000118		TX_PKTS_65TO127OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_65to127octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_65to127octets	发送帧长为 65~127byte 的帧数统计（包括 bad 包）。					

### TX\_PKTS\_128TO255OCTETS

TX\_PKTS\_128TO255OCTETS 为发送帧长为 128~255byte 的帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000011C		TX_PKTS_128TO255OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_128to255octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_128to255octets	发送帧长为 128~255byte 的帧数统计（包括 bad 包）。					

### TX\_PKTS\_255TO511OCTETS

TX\_PKTS\_255TO511OCTETS 为发送帧长为 256~511byte 的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000120		TX_PKTS_255TO511OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_256to511octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_256to511octets	发送帧长为 256~511byte 的帧数统计（包括 bad 包）。					

### TX\_PKTS\_512TO1023OCTETS

TX\_PKTS\_512TO1023OCTETS 为发送帧长为 512~1023byte 节的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000124		TX_PKTS_512TO1023OCTETS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pkts_512to1023octets							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pkts_512to1023octets	发送帧长为 512~1023byte 的帧数统计（包括 bad 包）。					



## TX\_PKTS\_1024TO1518OCTETS

TX\_PKTS\_1024TO1518OCTETS 为发送帧长为 1024~1518byte 的帧数统计寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00000128				TX_PKTS_1024TO1518OCTETS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx_pkts_1024to1518octets																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RC	tx_pkts_1024to1518octets		发送帧长为 1024~1518byte 的帧数统计（包括 bad 包）。																											

## TX\_PKTS\_1519TOMAXOCTETS

TX\_PKTS\_1519TOMAXOCTETS 为发送帧长大于 1519byte 的帧数统计寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0000012C				TX_PKTS_1519TOMAXOCTETS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	tx_pkts_1519tomaxoctes																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RC	tx_pkts_1519tomaxoctes		发送帧长大于等于 1519byte 的帧数（包括 bad 包）。																											

## TX\_EXCESSIVE\_LENGTH\_DROP

TX\_EXCESSIVE\_LENGTH\_DROP 为超过设定的最大帧长导致发送失败次数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000014C		TX_EXCESSIVE_LENGTH_DROP		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_excessive_length_drop							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_excessive_length_drop	由于超过设定的最大帧长而导致发送失败的次数统计。					

## TX\_UNDERRUN

TX\_UNDERRUN 为帧发送过程中发生内部错误而导致发送失败的次数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000150		TX_UNDERRUN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_underrun							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_underrun	帧发送过程中发生内部错误而导致发送失败的次数统计。					

## TX\_CRC\_ERROR

TX\_CRC\_ERROR 为发送帧长正确 CRC 错误的帧数统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000158		TX_CRC_ERROR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_crc_error							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_crc_error	发送帧长正确而 CRC 错误的帧数目统计。					

## TX\_PAUSE\_FRAMES

TX\_PAUSE\_FRAMES 为发送 PAUSE 帧数统计寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000015C		TX_PAUSE_FRAMES		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_pause_frames							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_pause_frames	发送的 pause 帧数。					

## MAC\_SA\_ADDR\_L

MAC\_SA\_ADDR\_L 为源 MAC 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000200		MAC_SA_ADDR_L		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mac_sa_addr_l							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mac_sa_addr_l	PMU 使用的配置的本机 MAC 地址的低 32bit, 用来填充 SA 域的低 32bit。					

## MAC\_SA\_ADDR\_H

MAC\_SA\_ADDR\_H 为源 MAC 地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000204		MAC_SA_ADDR_H		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mac_sa_addr_h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	mac_sa_addr_h	PMU 使用的本机 MAC 地址的高 16bit。					



## MAC\_DA\_ADDR\_L

MAC\_DA\_ADDR\_L 为目的 MAC 地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000208	MAC_DA_ADDR_L	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	mac_da_addr_l		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:0]	RW	mac_da_addr_l	PMU 使用的配置的目的 MAC 地址的低 32bit，用来填充 DA 域的低 32bit。

## MAC\_DA\_ADDR\_H

MAC\_DA\_ADDR\_H 为目的 MAC 地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000020C	MAC_DA_ADDR_H	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		mac_da_addr_h
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	mac_da_addr_h	PMU 使用的目的 MAC 地址的高 16bit。

## CRF\_MIN\_PACKET

CRF\_MIN\_PACKET 为最小过滤包长寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000210		CRF_MIN_PACKET		0x0000_0F2A					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_tx_min_packet		reserved	crf_rx_min_packet	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 1 0	1 0 1 0	
Bits	Access	Name	Description						
[31:14]	RO	reserved	保留。						
[13:8]	RW	crf_tx_min_packet	发送方向配置的最小发送包长度，默认为 15byte。						
[7:6]	RW	reserved	保留。						
[5:0]	RW	crf_rx_min_packet	接收方向配置的最小接收包长度，默认为 42byte。						

## CONTROL\_WORD

CONTROL\_WORD 为控制寄存器。

Offset Address		Register Name		Total Reset Value												
0x00000214		CONTROL_WORD		0x4C40_0640												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved		crf_tx_standard	hrdy_sel	reserved	crf_ip_flow_ctrl	crf_ctrl_flow_ctrl	reserved	crf_filt_unused_pkg	crf_bm_flow_ctrl	crf_peel_dsa	crf_add_da_sa	crf_large_packet			
Reset	0 1 0 0	1 1 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 0	0 1 0 0	0 0 0 0							
Bits	Access	Name	Description													
[31:26]	-	reserved	保留。													
[25]	RW	crf_tx_standard	发送 FIFO 的发送流水线设置标准。 0: 按包和将空流水线设置。当发送 FIFO 中有一个完整的包，或者发送 FIFO 中的有效数据个数大于等于 4 倍的发送流水线时，即向 MAC 发送读请求； 1: 按包设置；当发送 FIFO 中有一个完整的包时，才向 MAC 发送读请求。													



[24]	RW	hrdy_sel	hrdy 选择位。 0: 默认选择 hreadym; 1: 选择 hrdy。
[23:22]	RO	reserved	保留。
[21]	RW	crf_ip_flow_ctrl	IP 报文限速使能。 0: 不限速; 1: 限速。
[20]	RW	crf_ctrl_flow_ctrl	控制报文限速使能。 0: 不限速; 1: 限速。
[19:18]	-	reserved	保留。
[17]	RW	crf_filt_unused_pk g	过滤非法报文控制。 0: 不过滤; 1: 过滤。
[16]	RW	crf_bm_flow_ctrl	对广播或多播报文流控控制。 0: 不流控; 1: 流控。
[15]	RW	crf_peel_dsa	剥离 MAC 的源地址和目的地址控制。 0: 不剥离; 1: 剥离。
[14]	RW	crf_add_da_sa	添加 MAC 的源地址和目的地址控制。 0: 不添加; 1: 添加。
[13:0]	RW	crf_large_packet	配置的最大包长度, 默认为 1600byte (PMU 使用的最大包长)。

## FLOW\_CTRL\_PKG\_THRSLD

FLOW\_CTRL\_PKG\_THRSLD 为限速包个数寄存器。



Offset Address		Register Name		Total Reset Value				
0x00000218		FLOW_CTRL_PKG_THRSLD		0xFFFF_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	crf_ip_pkg_thrsl				crf_ctrl_pkg_thrsl			
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	crf_ip_pkg_thrsl	IP 报文的包上限，当在 T 时间内接收的 IP 报文超过该数，则进行限速，否则，不限速。					
[15:0]	RW	crf_ctrl_pkg_thrsl	控制报文的包上限，当在 T 时间内接收的控制报文超过该数，则进行限速，否则，不限速。					

## CRF\_FLOW\_TIME\_THRSLD

CRF\_FLOW\_TIME\_THRSLD 为限速时间寄存器。

Offset Address		Register Name		Total Reset Value				
0x0000021C		CRF_FLOW_TIME_THRSLD		0x0000_00FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						crf_flow_time_thrsl	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	crf_flow_time_thrsl	限速处理的时间，以 125 μs 为单位。 限速时间 T = (crf_flow_time_thrsl + 1) (125 μs)					

## FILTER\_LIST0

FILTER\_LIST0 为过滤列表寄存器 0。



Offset Address		Register Name		Total Reset Value																												
0x00000220		FILTER_LIST0		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg0	crf_filt_id0	crf_filt_frm_type0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg0	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id0	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type0	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST1

FILTER\_LIST1 为过滤列表寄存器 1。



Offset Address		Register Name		Total Reset Value																												
0x00000224		FILTER_LIST1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg1	crf_filt_id1	crf_filt_frm_type1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg1	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id1	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type1	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST2

FILTER\_LIST2 为过滤列表寄存器 2。



Offset Address		Register Name		Total Reset Value																												
0x00000228		FILTER_LIST2		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg2	crf_filt_id2	crf_filt_frm_type2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg2	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id2	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type2	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST3

FILTER\_LIST3 为过滤列表寄存器 3。



Offset Address		Register Name		Total Reset Value																												
0x0000022C		FILTER_LIST3		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg3	crf_filt_id3	crf_filt_frm_type3															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg3	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id3	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type3	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST4

FILTER\_LIST4 为过滤列表寄存器 4。



Offset Address		Register Name		Total Reset Value																												
0x00000230		FILTER_LIST4		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg4	crf_filt_id4	crf_filt_frm_type4															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg4	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id4	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type4	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST5

FILTER\_LIST5 为过滤列表寄存器 5。



Offset Address		Register Name		Total Reset Value																												
0x00000234		FILTER_LIST5		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg5	crf_filt_id5	crf_filt_frm_type5															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg5	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id5	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type5	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST6

FILTER\_LIST6 为过滤列表寄存器 6。



	Offset Address								Register Name								Total Reset Value																			
	0x00000238								FILTER_LIST6								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																crf_filt_cfg6		crf_filt_id6		crf_filt_frm_type6															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access	Name	Description																																	
[31:18]	-	reserved	保留。																																	
[17]	RW	crf_filt_cfg6	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																																	
[16]	RW	crf_filt_id6	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																																	
[15:0]	RW	crf_filt_frm_type6	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																																	

## FILTER\_LIST7

FILTER\_LIST7 为过滤列表寄存器 7。



Offset Address		Register Name		Total Reset Value																												
0x0000023C		FILTER_LIST7		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg7	crf_filt_id7	crf_filt_frm_type7															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg7	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id7	表示 TYPE 为哪种类型。 0: MAC 帧类型; 1: IP 类型。																													
[15:0]	RW	crf_filt_frm_type7	配置的过滤类型。 当 ID=0 时, TYPE 的 16bit 都有效; 当 ID=1 时, TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST8

FILTER\_LIST8 为过滤列表寄存器 8。



Offset Address		Register Name		Total Reset Value																												
0x00000240		FILTER_LIST8		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg8	crf_filt_id8	crf_filt_frm_type8															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg8	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id8	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type8	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST9

FILTER\_LIST9 为过滤列表寄存器 9。



Offset Address		Register Name		Total Reset Value																												
0x00000244		FILTER_LIST9		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg9	crf_filt_id9	crf_filt_frm_type9															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg9	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id9	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type9	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST10

FILTER\_LIST10 为过滤列表寄存器 10。



Offset Address		Register Name		Total Reset Value																												
0x00000248		FILTER_LIST10		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg10	crf_filt_id10	crf_filt_frm_type10															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg10	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id10	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP 帧类型。																													
[15:0]	RW	crf_filt_frm_type10	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST11

FILTER\_LIST11 为过滤列表寄存器 11。



Offset Address		Register Name		Total Reset Value																												
0x0000024C		FILTER_LIST11		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg11	crf_filt_id11	crf_filt_frm_type11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg11	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id11	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type11	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST12

FILTER\_LIST12 为过滤列表寄存器 12。



Offset Address		Register Name		Total Reset Value																												
0x00000250		FILTER_LIST12		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg12	crf_filt_id12	crf_filt_frm_type12															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg12	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id12	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type12	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST13

FILTER\_LIST13 为过滤列表寄存器 13。



Offset Address		Register Name		Total Reset Value																												
0x00000254		FILTER_LIST13		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												crf_filt_cfg13	crf_filt_id13	crf_filt_frm_type13																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg13	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id13	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type13	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST14

FILTER\_LIST14 为过滤列表寄存器 14。



Offset Address		Register Name		Total Reset Value																												
0x00000258		FILTER_LIST14		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														crf_filt_cfg14	crf_filt_id14	crf_filt_frm_type14															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg14	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id14	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type14	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## FILTER\_LIST15

FILTER\_LIST15 为过滤列表寄存器 15。



Offset Address		Register Name		Total Reset Value																												
0x0000025C		FILTER_LIST15		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												crf_filt_cfg15	crf_filt_id15	crf_filt_frm_type15																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:18]	-	reserved	保留。																													
[17]	RW	crf_filt_cfg15	表示该行是否已经配置。 0: 未配置; 1: 配置。 只有当 CFG 为 1 才需要对该表内容进行解析, 否则, 可以不用考虑本表内容。																													
[16]	RW	crf_filt_id15	表示配置的是 MAC 帧类型还是 IP Protocol。 0: MAC 帧类型; 1: IP Protocol。																													
[15:0]	RW	crf_filt_frm_type15	配置的过滤类型。 当 ID=0 时: TYPE 的 16bit 都有效; 当 ID=1 时: TYPE 的低 8bit 有效, 高 8bit 忽略。																													

## CRF\_UDP\_NO

CRF\_UDP\_NO 为 UDP 端口号寄存器。

Offset Address		Register Name		Total Reset Value																												
0x00000260		CRF_UDP_NO		0xFFFF_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	crf_udp_max_no												reserved																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RW	crf_udp_max_no	UDP 端口号最大值。																													
[15:0]	RO	reserved	保留。																													



## CRF\_TX\_FIFO\_THRSLD

CRF\_TX\_FIFO\_THRSLD 为发送 FIFO 水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000264		CRF_TX_FIFO_THRSLD		0x0271_017C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		crf_tx_p_full_th		reserved		crf_tx_p_empty_th		
Reset	0 0 0 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	0 0 0 1	0 1 1 1	1 1 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						
[26:16]	RW	crf_tx_p_full_th	发送 FIFO 的高水线。 当发送 FIFO 中的有效数据个数 4(crf_tx_p_full_th) 时，停止从 SDRAM 中搬运包。 此水线设置后，要保持发送 FIFO 中预留空间容许接收一个最大帧长（在 CONTROL_WORD（控制寄存器）的 bit[13:0]中设置）的包，即需要满足： $CONTROL\_WORD[13:0] < (8192 - 4(crf\_tx\_p\_full\_th))$ 。						
[15:11]	RO	reserved	保留。						
[10:0]	RW	crf_tx_p_empty_th	发送的 FIFO 的低水线。 当发送 FIFO 中的有效数据个数(4(crf_tx_p_empty_th) ) 时，允许从发送 FIFO 中读取数据。建议此水线最小设置为 0x14。						

## CRF\_RX\_FIFO\_THRSLD

CRF\_RX\_FIFO\_THRSLD 为接收 FIFO 水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000268		CRF_RX_FIFO_THRSLD		0x0640_0200					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		crf_rx_p_full_th		reserved		crf_rx_p_empty_th		
Reset	0 0 0 0	0 1 1 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:27]	RO	reserved	保留。						



[26:16]	RW	crf_rx_p_full_th	接收 FIFO 的高水位。 当接收 FIFO 中的有效数据个数 4(crf_rx_p_full_th)时，不允许向接收 FIFO 中写入新包。 此水位设置后，要保持接收 FIFO 中预留空间容许接收一个最大帧长（在 CONTROL_WORD（控制寄存器）的 bit[13:0]中设置）的包，即需要满足 CONTROL_WORD[13:0]<（8192 - 4(crf_rx_p_full_th)）。
[15:11]	RO	reserved	保留。
[10:0]	RW	crf_rx_p_empty_th	接收 FIFO 的低水位。当接收 FIFO 中的有效数据（4(crf_rx_p_empty_th)）时，允许从接收 FIFO 中读取数据。 该水位至少需要设置为 0x200。

## APP\_LOOP\_EN

APP\_LOOP\_EN 为应用侧环回使能寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x0027C	APP_LOOP_EN	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved											burst_sel	app_lp_en					
Reset	0 0																	
Bits	Access	Name	Description															
[31:9]	RO	reserved	保留。															
[8]	RW	burst_sel	回写描述子的 burst 操作选择。 1: 表示以 4burst 操作回写； 0: 表示以 8burst 操作回写。															
[7:0]	RW	app_lp_en	应用侧环回使能。 0xBC: 表示使能； 其他值: 表示不使能。															

## ERR\_GIVEN\_PKG\_CNT

ERR\_GIVEN\_PKG\_CNT 为因 MAC 标记错误帧尾而被丢弃的包统计计数器。



Offset Address		Register Name		Total Reset Value				
0x00000280		ERR_GIVEN_PKG_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_given_pkg_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_given_pkg_cnt	因 MAC 标记错误帧尾而被丢弃的包统计计数。					

### ERR\_FRM\_TYPE\_CNT

ERR\_FRM\_TYPE\_CNT 为因帧类型不在过滤列表内而被丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x00000288		ERR_FRM_TYPE_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_frm_type_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_frm_type_cnt	因帧类型不在过滤列表内而被丢弃的包统计计数。					

### ERR\_IP\_TYPE\_CNT

ERR\_IP\_TYPE\_CNT 为因 IP 类型不在过滤列表内而被丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x0000028C		ERR_IP_TYPE_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_ip_type_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_ip_type_cnt	因 IP 类型不在过滤列表内而被丢弃的包统计计数。					

### ERR\_UDP\_CNT

ERR\_UDP\_CNT 为因 UDP 端口号不在设定范围内而被过滤的包统计计数器。



Offset Address		Register Name		Total Reset Value				
0x00000290		ERR_UDP_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	err_udp_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	err_udp_cnt	因 UDP 端口号不在设定范围内而被过滤的包统计计数。					

## OVER\_FLOW\_CNT

OVER\_FLOW\_CNT 为因接收 FIFO 满而丢弃的包的统计计数器。

Offset Address		Register Name		Total Reset Value				
0x00000294		OVER_FLOW_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	over_flow_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	over_flow_cnt	因接收 FIFO 满而丢弃的包的统计计数					

## OVER\_LENGTH\_CNT

OVER\_LENGTH\_CNT 为因超过 PMU 的最大长度而丢弃包的统计计数器。

Offset Address		Register Name		Total Reset Value				
0x00000298		OVER_LENGTH_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	over_length_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	over_length_cnt	因超过 PMU 的最大长度而丢弃包的统计计数。					

## RX\_PAUSE\_EN

RX\_PAUSE\_EN 为 rx 方向流控帧使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x02A4		RX_PAUSE_EN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rx_fifo_pause_en	rx_bq_pause_en	rx_fq_pause_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留。																													
[2]	RW	rx_fifo_pause_en	rx_fifo 的流控帧使能。 0: 不使能; 1: 使能。																													
[1]	RW	rx_bq_pause_en	rx_bq 的流控帧使能。 0: 不使能; 1: 使能。																													
[0]	RW	rx_fq_pause_en	rx_fq 的流控帧使能。 0: 不使能; 1: 使能。																													

## CRF\_CFF\_DATA\_NUM

CRF\_CFF\_DATA\_NUM 为配置 FIFO 数据个数寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000002A8		CRF_CFF_DATA_NUM		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	crf_rx_cfg_num												crf_tx_cfg_num																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RW	crf_rx_cfg_num	rx_fq FIFO 中剩余有效描述子个数。																													
[15:0]	RW	crf_tx_cfg_num	tx_bq FIFO 中剩余有效描述子个数。																													



## FLOW\_OUT\_IP\_CNT

FLOW\_OUT\_IP\_CNT 为 IP 报文限速丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002AC		FLOW_OUT_IP_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flow_out_ip_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	flow_out_ip_cnt	IP 报文限速丢弃的包统计计数。					

## FLOW\_OUT\_CTRL\_CNT

FLOW\_OUT\_CTRL\_CNT 为控制报文限速丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002B0		FLOW_OUT_CTRL_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	flow_out_ctrl_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	flow_out_ctrl_cnt	控制报文限速丢弃的包统计计数。					

## IP\_CHK\_ERR\_CNT

IP\_CHK\_ERR\_CNT 为 IP 头校验错而丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002B4		IP_CHK_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ip_chk_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	ip_chk_err_cnt	IP 头校验错而丢弃的包统计计数。（若接收包的 IP 头部不全或者只有头部而没有净荷，也认为 IP 头部校验错误。）					



## UDP\_CHK\_ERR\_CNT

UDP\_CHK\_ERR\_CNT 为 UDP 校验错而丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002B8		UDP_CHK_ERR_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	udp_chk_err_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	udp_chk_err_cnt	UDP 校验错而丢弃的包统计计数。					

## TX\_RUNT\_ERR\_PKG\_CNT

TX\_RUNT\_ERR\_PKG\_CNT 为上行因 FIFO 满而丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002BC		TX_RUNT_ERR_PKG_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_runt_err_pkg_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_runt_err_pkg_cnt	上行因 FIFO 满而丢弃的包统计计数。					

## RX\_ERR\_TOTAL\_CNT

RX\_ERR\_TOTAL\_CNT 为下行总丢弃的包统计计数器。

Offset Address		Register Name		Total Reset Value				
0x000002C0		RX_ERR_TOTAL_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_err_total_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_err_total_cnt	下行总丢弃的包统计计数。					



## RX\_TRANS\_PKG\_CNT

RX\_TRANS\_PKG\_CNT 为下行搬运成功的包计数器。

Offset Address		Register Name		Total Reset Value				
0x000002C8		RX_TRANS_PKG_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_trans_pkg_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_trans_pkg_cnt	下行搬运成功的包计数器。					

## TX\_TRANS\_PKG\_CNT

TX\_TRANS\_PKG\_CNT 为上行搬运成功的包计数器。

Offset Address		Register Name		Total Reset Value				
0x000002CC		TX_TRANS_PKG_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_trans_pkg_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	tx_trans_pkg_cnt	上行搬运成功的包计数器。					

## RX\_BM\_OVERFLOW

RX\_BM\_OVERFLOW 为广播或多播报文因限速而丢弃的计数器。

Offset Address		Register Name		Total Reset Value				
0x000002D0		RX_BM_OVERFLOW		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_bm_overflow							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RC	rx_bm_overflow	广播或多播报文因限速而丢弃的计数器。（此计数器仅做指示，不作精确计数）					



## CRF\_TX\_PAUSE

CRF\_TX\_PAUSE 为发送流控控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000340		CRF_TX_PAUSE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							crf_tx_pause_auto	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	crf_tx_pause_auto	发送流控控制寄存器，决定 MAC 发送流控的方式。 0: MAC 根据实际流量决定是否发送流控帧，当 PMU 的接收 FIFO 满或将满时，MAC 会自动发送流控帧； 1: 强制 MAC 发送流控帧。						

## CRF\_RX\_ADDR\_NUM

CRF\_RX\_ADDR\_NUM 为限速下行地址个数寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000344		CRF_RX_ADDR_NUM		0x0000_000A				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						crf_rx_addr_num	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	crf_rx_addr_num	当下行配置 FIFO 中剩余地址个数小于该数时，将只通过控制报文，数据报文被全部丢弃(默认配置 0 即可)。					



## CRF\_CTRL\_0\_TYPE

CRF\_CTRL\_0\_TYPE 为控制报文类型 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000348		CRF_CTRL_0_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_0_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	crf_ctrl_0_type	配置的控制报文类型 0，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

## CRF\_CTRL\_1\_TYPE

CRF\_CTRL\_1\_TYPE 为控制报文类型 1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000034C		CRF_CTRL_1_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_1_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	crf_ctrl_1_type	配置的控制报文类型 1，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

## CRF\_CTRL\_2\_TYPE

CRF\_CTRL\_2\_TYPE 为控制报文类型 2 寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000350		CRF_CTRL_2_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_2_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	crf_ctrl_2_type	配置的控制报文类型 2，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

### CRF\_CTRL\_3\_TYPE

CRF\_CTRL\_3\_TYPE 为控制报文类型 3 寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000354		CRF_CTRL_3_TYPE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_ctrl_3_type				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	crf_ctrl_3_type	配置的控制报文类型 3，当接收报文的帧类型与之相同，则认为该报文是控制报文。						

### CRF\_BM\_PKT\_THRSLD

CRF\_BM\_PKT\_THRSLD 为广播和多播报文的限速处理包个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000358		CRF_BM_PKT_THRSLD		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_bm_pkt_thrslld				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	crf_bm_pkt_thrslld	广播和多播报文的包上限，当在限速单位时间内接收的广播或多播报文超过该数，则进行限速，否则，不限速。
--------	----	--------------------	---

## CRF\_BM\_TIME\_THRSLD

CRF\_BM\_TIME\_THRSLD 为广播和多播报文的限速时间计数寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x0000035C	CRF_BM_TIME_THRSLD	0x0000_2710						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				crf_bm_time_thrslld				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 1 1 1	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:0]	RW	crf_bm_time_thrslld	广播和多播报文的限速时间上限，以 1us 为单位进行计数，当等于该计数值时，为一个限速单位时间。						

## MDIO\_SINGLE\_CMD

MDIO\_SINGLE\_CMD 为 MDIO 单次操作寄存器。

	Offset Address	Register Name	Total Reset Value								
	0x000003C0	MDIO_SINGLE_CMD	0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				mdio_cmd	reserved	op_code	reserved	phy_addr	reserved	reg_addr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description								
[31:21]	-	reserved	保留。								
[20]	RW	mdio_cmd	MDIO 操作完成指示。 0: MDIO 操作完成; 1: MDIO 操作未完成。								
[19:18]	-	reserved	保留。								



[17:16]	RW	op_code	MDIO 操作类型。 01: 写操作; 10: 读操作; 其他: 保留。
[15:13]	-	reserved	保留。
[12:8]	RW	phy_addr	配置外部 PHY 地址的 5bit。
[7:5]	-	reserved	保留。
[4:0]	RW	reg_addr	PHY 器件内部的寄存器地址。

## MDIO\_SINGLE\_DATA

MDIO\_SINGLE\_DATA 为 MDIO 读写数据寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000003C4	MDIO_SINGLE_DATA	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	mdio_rd_data		mdio_wr_data
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:16]	RO	mdio_rd_data	MDIO 从外部 PHY 器件回读的数据。
[15:0]	RW	mdio_wr_data	MDIO 写数据。

## MDIO\_SCAN\_EN

MDIO\_SCAN\_EN 为 MDIO 自动扫描寄存器。

	Offset Address	Register Name	Total Reset Value
	0x000003C8	MDIO_SCAN_EN	0x0000_000F
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		mdio_scan_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:4]	-	reserved	保留。
[3:0]	RW	mdio_scan_en	自动扫描使能 PHY 地址, 1 有效。(目前代码已改成只能外接一个 PHY)



## MDIO\_CTL

MDIO\_CTL 为 MDIO 控制寄存器。

Offset Address	Register Name	Total Reset Value									
0x000003CC	MDIO_CTL	0x0000_0000									
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0										
Name	reserved							mdio_in_work	mdio_in_work_en	autoscan_en	mdc_speed
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0										
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RO	mdio_in_work	MDIO 单次操作执行标志位。 0: MDIO 单次操作没有执行; 1: MDIO 单次操作在执行。								
[2]	RW	mdio_in_work_en	MDIO_IN_WORK 位有效指示。 0: MDIO_IN_WORK 位无效; 1: MDIO_IN_WORK 位有效。								
[1]	RW	autoscan_en	自动检测功能使能。 0: 不使能自动检测功能; 1: 使能自动检测功能。(控制所有 PHY 地址的自动扫描使能, 目前由于只有一个 PHY 因此可以配为 1 不变)								
[0]	RW	mdc_speed	MDIO 接口时钟频率配置。 0: 配置 MDIO 接口时钟频率为 2.5MHz; 1: 配置 MDIO 接口时钟频率为 18MHz。								

## MDIO\_RDATA\_STATUS

MDIO\_RDATA\_STATUS 为 MDIO 读数据状态寄存器。



Offset Address		Register Name		Total Reset Value					
0x000003D0		MDIO_RDATA_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								mdio_rdata_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RC	mdio_rdata_status	MDIO 读数据是否有效，读清。 0: MDIO 读数据有效; 1: MDIO 读数据无效。						

## RX\_FQ\_START\_ADDR

RX\_FQ\_START\_ADDR 为空闲描述子队列起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000500		RX_FQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fq_start_addr	空闲描述子队列的起始地址，当 RX_FQ_REG_EN[rx_fq_start_addr_en]为 1 时，可读可写；当 配置为 0 时，只可读。只支持 Word 地址。					

## RX\_FQ\_DEPTH

RX\_FQ\_DEPTH 为空闲描述子队列深度  
寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000504		RX_FQ_DEPTH		0x0000_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						
[18:0]	RW	fq_depth	接收方向的空闲描述子队列的深度(word 个数, 非描述子个数), 当 RX_FQ_REG_EN[rx_fq_depth_en]为 1 时, 可读可写; 当配置为 0 时, 只可读, 深度需设置为 8 的整数倍。建议配置至少 0x400。						

## RX\_FQ\_WR\_ADDR

RX\_FQ\_WR\_ADDR 为空闲描述子队列写地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000508		RX_FQ_WR_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_wr_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	fq_wr_addr	接收方向的空闲描述子队列写地址。						

## RX\_FQ\_RD\_ADDR

RX\_FQ\_RD\_ADDR 为空闲描述子队列读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000050C		RX_FQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	fq_rd_addr	接收方向的空闲描述子队列读地址，当 RX_FQ_REG_EN 寄存器中的 rx_fq_rd_addr_en 为 1 时，可读可写；当配置为 0 时，只可读。						

## RX\_FQ\_VLDDESC\_CNT

RX\_FQ\_VLDDESC\_CNT 为空闲描述子队列有效描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000510		RX_FQ_VLDDESC_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				fq_vlddesc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RO	fq_vlddesc_cnt	接收方向的空闲描述子队列有效描述子个数。						

## RX\_FQ\_ALRMPTY\_TH

RX\_FQ\_ALRMPTY\_TH 为空闲描述子队列几乎空流水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000514		RX_FQ_ALRMPTY_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fq_pause_low_th				fq_alempty_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	fq_pause_low_th	接收方向的空闲描述子队列流控低流水线。当有效描述子个数小于等于 fq_pause_low_th 时，产生发送流控帧的指示信号。						



[15:0]	RW	fq_alempy_th	接收方向的空闲描述子队列几乎空水线。
--------	----	--------------	--------------------

## RX\_FQ\_REG\_EN

RX\_FQ\_REG\_EN 为与接收方向空闲描述子队列有关的使能寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x00000518				RX_FQ_REG_EN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rx_fq_start_addr_en	rx_fq_depth_en	rx_fq_rd_addr_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留（读出数据为0）。																													
[2]	RW	rx_fq_start_addr_en	RX_FQ_START_ADDR 寄存器，软件可写使能。 1: 软件可写 RX_FQ_START_ADDR; 0: RX_FQ_START_ADDR 寄存器被保护，软件不能写。																													
[1]	RW	rx_fq_depth_en	RX_FQ_DEPTH 寄存器，软件可写使能。 1: 软件可写 RX_FQ_DEPTH 寄存器; 0: RX_FQ_DEPTH 寄存器被保护，软件不能写。																													
[0]	RW	rx_fq_rd_addr_en	RX_FQ 读地址寄存器，软件可写使能。 1: 软件可写 RX_FQ 读地址寄存器; 0: RX_FQ 的读地址寄存器被保护，软件不能写。																													

## RX\_FQ\_ALFULL\_TH

RX\_FQ\_ALFULL\_TH 为空闲描述子队列几乎满水线寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000051C		RX_FQ_ALFULL_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	fq_pause_hi_th				fq_alfull_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	fq_pause_hi_th	接收方向的空闲描述子队列流控高水位。当有效描述子个数大于等于 fq_pause_hi_th 时，发送流控帧的指示信号置为 0，表示 TX 方向停止发送流控帧。						
[15:0]	RW	fq_alfull_th	接收方向，空闲描述子队列几乎满水位。						

## RX\_BQ\_START\_ADDR

RX\_BQ\_START\_ADDR 为接收方向的有效描述子队列起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000520		RX_BQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	rx_bq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	rx_bq_start_addr	接收方向的有效描述子队列的起始地址，当 RX_BQ_REG_EN 寄存器中的 rx_bq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读。只支持 Word 地址。					

## RX\_BQ\_DEPTH

RX\_BQ\_DEPTH 为接收方向的有效描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000524		RX_BQ_DEPTH		0x0000_0400					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	RO	reserved	保留。						



[18:0]	RW	rx_bq_depth	接收方向的有效描述子队列的深度(word 个数, 非描述子个数), 当 RX_BQ_REG_EN 寄存器中的 rx_bq_depth_en 为 1 时, 可读可写; 当配置为 0 时, 只可读, 深度设置为 8 的整数倍。建议配置至少 0x400。
--------	----	-------------	--

## RX\_BQ\_WR\_ADDR

RX\_BQ\_WR\_ADDR 为接收方向的有效描述子队列写地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x00000528	RX_BQ_WR_ADDR	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		rx_bq_wr_addr
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RW	rx_bq_wr_addr	接收方向的有效描述子队列写地址, 当 RX_BQ_REG_EN 寄存器中的 rx_bq_wr_addr_en 为 1 时, 可读可写; 当配置为 0 时, 只可读。

## RX\_BQ\_RD\_ADDR

RX\_BQ\_RD\_ADDR 为接收方向的有效描述子队列读地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0000052C	RX_BQ_RD_ADDR	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		rx_bq_rd_addr
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:21]	RO	reserved	保留。
[20:0]	RW	rx_bq_rd_addr	接收方向的有效描述子队列读地址。

## RX\_BQ\_FREE\_DESC\_CNT

RX\_BQ\_FREE\_DESC\_CNT 为接收方向的有效描述子队列可写入的描述子个数寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000530		RX_BQ_FREE_DESC_CNT		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				rx_bq_free_desc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	rx_bq_free_desc_cnt	接收方向的有效描述子队列可写入的描述子个数。						

## RX\_BQ\_ALEEMPTY\_TH

RX\_BQ\_ALEEMPTY\_TH 为接收方向的有效描述子队列几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000534		RX_BQ_ALEEMPTY_TH		0x0010_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	rx_bq_pause_low_th				rx_bq_aleempty_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	rx_bq_pause_low_th	接收方向的有效描述子队列流控低水线。当可写入的描述子个数小于等于 bq_pause_low_th 时，产生发送流控帧的指示信号。						
[15:0]	RW	rx_bq_aleempty_th	接收方向的有效描述子队列几乎空水线。						

## RX\_BQ\_REG\_EN

RX\_BQ\_REG\_EN 为与接收方向有效描述子队列有关的使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x00000538		RX_BQ_REG_EN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								rx_bq_start_addr_en	rx_bq_depth_en	rx_bq_wr_addr_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:3]	RO	reserved	保留（读出数据为0）。																													
[2]	RW	rx_bq_start_addr_en	RX_BQ_START_ADDR 寄存器，软件可写使能。 1：软件可写 RX_BQ_START_ADDR； 0：RX_BQ_START_ADDR 寄存器被保护，软件不能写。																													
[1]	RW	rx_bq_depth_en	RX_BQ_DEPTH 寄存器，软件可写使能。 1：软件可写 RX_BQ_DEPTH 寄存器； 0：RX_BQ_DEPTH 寄存器被保护，软件不能写。																													
[0]	RW	rx_bq_wr_addr_en	RX_BQ 写地址寄存器，软件可写使能。 1：软件可写 RX_BQ 写地址寄存器； 0：RX_BQ 的写地址寄存器被保护，软件不能写。																													

## RX\_BQ\_ALFULL\_TH

RX\_BQ\_ALFULL\_TH 为接收方向的有效描述子队列几乎满流水线寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0000053C		RX_BQ_ALFULL_TH		0x0010_0010																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	rx_bq_pause_hi_th												rx_bq_alfull_th																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name	Description																													
[31:16]	RW	rx_bq_pause_hi_th	接收方向的有效描述子队列流控高流水线。当可写入的描述子个数大于等于 bq_pause_hi_th 时，发送流控帧的指示信号置0，表示 TX 方向停止发送流控帧。																													
[15:0]	RW	rx_bq_alfull_th	接收方向，有效描述子队列几乎满流水线。																													



## TX\_BQ\_START\_ADDR

TX\_BQ\_START\_ADDR 为发送方向的有效描述子队列起始地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000580		TX_BQ_START_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	tx_bq_start_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	tx_bq_start_addr	发送方向的有效描述子队列的起始地址，当 TX_BQ_REG_EN 寄存器中的 tx_bq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。					

## TX\_BQ\_DEPTH

TX\_BQ\_DEPTH 为发送方向的有效描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value				
0x00000584		TX_BQ_DEPTH		0x0000_0400				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			tx_bq_depth				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:19]	RO	reserved	保留。					
[18:0]	RW	tx_bq_depth	发送方向的有效描述子队列的深度(word 个数，非描述子个数)， 当 TX_BQ_REG_EN 寄存器中的 tx_bq_depth_en 为 1 时，可读可写；当配置为 0 时，只可读，深度设置为 8 的整数倍。 建议配置至少 0x400。					

## TX\_BQ\_WR\_ADDR

TX\_BQ\_WR\_ADDR 为发送方向的有效描述子描述子队列写地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x00000588		TX_BQ_WR_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_wr_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	tx_bq_wr_addr	发送方向的有效描述子队列写地址。						

### TX\_BQ\_RD\_ADDR

TX\_BQ\_RD\_ADDR 为发送方向的有效描述子队列读地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0000058C		TX_BQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	tx_bq_rd_addr	发送方向的有效描述子队列读地址，当 TX_BQ_REG_EN 寄存器中的 rx_bq_rd_addr_en 为 1 时，可读可写；当配置为 0 时，只可读。						

### TX\_BQ\_VLDDESC\_CNT

TX\_BQ\_VLDDESC\_CNT 为发送方向的有效描述子队列有效描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000590		TX_BQ_VLDDESC_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_vlddesc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	tx_bq_vlddesc_cnt	发送方向的有效描述子队列有效描述子个数。
--------	----	-------------------	----------------------

## TX\_BQ\_ALEMPY\_TH

TX\_BQ\_ALEMPY\_TH 为发送方向的有效描述子队列几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x00000594		TX_BQ_ALEMPY_TH		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_bq_alempy_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	tx_bq_alempy_th	发送方向的有效描述子队列几乎空水线。						

## TX\_BQ\_REG\_EN

TX\_BQ\_REG\_EN 为与发送方向有效描述子队列有关的使能寄存器。

Offset Address		Register Name		Total Reset Value						
0x00000598		TX_BQ_REG_EN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved							tx_bq_start_addr_en	tx_bq_depth_en	tx_bq_rd_addr_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:3]	RO	reserved	保留（读出数据为0）。							
[2]	RW	tx_bq_start_addr_en	TX_BQ_START_ADDR 寄存器，软件可写使能。 1：软件可写 TX_BQ_START_ADDR； 0：TX_BQ_START_ADDR 寄存器被保护，软件不能写。							



[1]	RW	tx_bq_depth_en	TX_BQ_DEPTH 寄存器，软件可写使能。 1：软件可写 TX_BQ_DEPTH 寄存器； 0：TX_BQ_DEPTH 寄存器被保护，软件不能写。
[0]	RW	tx_bq_rd_addr_en	TX_BQ 读地址寄存器，软件可写使能。 1：软件可写 TX_BQ 读地址寄存器； 0：TX_BQ 的读地址寄存器被保护，软件不能写。

## BQ1\_ALFULL\_TH

BQ1\_ALFULL\_TH 为发送方向的有效描述子队列几乎满水线寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000059C	BQ1_ALFULL_TH	0x0000_0010													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								bq1_alfull_th							
Reset	0 1 0 0 0 0 0															
Bits	Access	Name	Description													
[31:16]	RO	reserved	保留。													
[15:0]	RW	bq1_alfull_th	发送方向，有效描述子队列几乎满水线。													

## TX\_RQ\_START\_ADDR

TX\_RQ\_START\_ADDR 为发送方向的回收描述子队列起始地址寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x000005A0	TX_RQ_START_ADDR	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	tx_rq_start_addr															
Reset	0 0															
Bits	Access	Name	Description													
[31:0]	RW	tx_rq_start_addr	发送方向的回收描述子队列的起始地址，当 TX_RQ_REG_EN 寄存器中的 tx_rq_start_addr_en 为 1 时，可读可写；当配置为 0 时，只可读，只支持 Word 地址。													



## TX\_RQ\_DEPTH

TX\_RQ\_DEPTH 为发送方向的回收描述子队列深度寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000005A4		TX_RQ_DEPTH		0x0000_0400																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tx_rq_depth																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:19]	RO	reserved		保留。																												
[18:0]	RW	tx_rq_depth		发送方向的回收描述子队列的深度(word 个数, 非描述子个数), 当 TX_RQ_REG_EN 寄存器中的 tx_rq_depth_en 为 1 时, 可读可写; 当配置为 0 时, 只可读, 深度设置为 8 的整数倍。建议配置至少 0x400。																												

## TX\_RQ\_WR\_ADDR

TX\_RQ\_WR\_ADDR 为发送方向的回收描述子队列写地址寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000005A8		TX_RQ_WR_ADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												tx_rq_wr_addr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:21]	RO	reserved		保留。																												
[20:0]	RW	tx_rq_wr_addr		发送方向的回收描述子队列写地址, 当 TX_RQ_REG_EN 寄存器中的 tx_rq_wr_addr_en 为 1 时, 可读可写; 当配置为 0 时, 只可读。																												

## TX\_RQ\_RD\_ADDR

TX\_RQ\_RD\_ADDR 为发送方向的回收描述子队列读地址寄存器。



Offset Address		Register Name		Total Reset Value					
0x000005AC		TX_RQ_RD_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_rd_addr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	RO	reserved	保留。						
[20:0]	RW	tx_rq_rd_addr	发送方向的回收描述子队列读地址。						

### TX\_RQ\_FREE\_DESC\_CNT

TX\_RQ\_FREE\_DESC\_CNT 为发送方向的回收描述子队列可写入的描述子个数寄存器。

Offset Address		Register Name		Total Reset Value					
0x000005B0		TX_RQ_FREE_DESC_CNT		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_free_desc_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	tx_rq_free_desc_cnt	发送方向的回收描述子队列可写入的描述子个数。						

### TX\_RQ\_ALEMPY\_TH

TX\_RQ\_ALEMPY\_TH 为发送方向的回收描述子队列几乎空水线寄存器。

Offset Address		Register Name		Total Reset Value					
0x000005B4		TX_RQ_ALEMPY_TH		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_alempy_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	tx_rq_alempy_th	发送方向的回收描述子队列几乎空水线。
--------	----	-----------------	--------------------

## TX\_RQ\_REG\_EN

TX\_RQ\_REG\_EN 为与发送方向的回收描述子队列有关的使能寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x000005B8	TX_RQ_REG_EN	0x0000_0000															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved															tx_rq_start_addr_en	tx_rq_depth_en	tx_rq_wr_addr_en
Reset	0 0																	
Bits	Access	Name	Description															
[31:3]	RO	reserved	保留（读出数据为 0）。															
[2]	RW	tx_rq_start_addr_en	TX_RQ_START_ADDR 寄存器，软件可写使能。 1: 软件可写 TX_RQ_START_ADDR; 0: TX_RQ_START_ADDR 寄存器被保护，软件不能写。															
[1]	RW	tx_rq_depth_en	TX_RQ_DEPTH 寄存器，软件可写使能。 1: 软件可写 TX_RQ_DEPTH 寄存器; 0: TX_RQ_DEPTH 寄存器被保护，软件不能写。															
[0]	RW	tx_rq_wr_addr_en	TX_RQ 写地址寄存器，软件可写使能。 1: 软件可写 TX_RQ 写地址寄存器; 0: TX_RQ 的写地址寄存器被保护，软件不能写。															

## TX\_RQ\_ALFULL\_TH

TX\_RQ\_ALFULL\_TH 为发送方向的回收描述子队列几乎满水线寄存器。



Offset Address		Register Name		Total Reset Value					
0x000005BC		TX_RQ_ALFULL_TH		0x0000_0010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				tx_rq_alfull_th				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	tx_rq_alfull_th	发送方向，回收描述子队列几乎满水线。						

## RAW\_PMU\_INT

RAW\_PMU\_INT 为原始中断寄存器。

Offset Address		Register Name		Total Reset Value																															
0x000005C0		RAW_PMU_INT		0x0000_0000																															
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																											
Name	reserved	raw_mac_fifo_err_int	raw_tx_rq_in_timeout_int	raw_rx_bq_in_timeout_int	raw_txouteff_full_int	raw_txouteff_empty_int	raw_txceff_full_int	raw_txceff_empty_int	raw_rxouteff_full_int	raw_rxouteff_empty_int	raw_rxcff_full_int	raw_rxcff_empty_int	raw_tx_rq_in_int	raw_tx_bq_out_int	raw_rx_bq_in_int	raw_rx_fq_out_int	raw_tx_rq_empty_int	raw_tx_rq_full_int	raw_tx_rq_alempy_int	raw_tx_rq_alfull_int	raw_tx_bq_empty_int	raw_tx_bq_full_int	raw_tx_bq_alempy_int	raw_tx_bq_alfull_int	raw_rx_bq_empty_int	raw_rx_bq_full_int	raw_rx_bq_alempy_int	raw_rx_bq_alfull_int	raw_rx_fq_empty_int	raw_rx_fq_full_int	raw_rx_fq_alempy_int	raw_rx_fq_alfull_int			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access	Name	Description																																
[31]	RO	reserved	保留。																																
[30]	RW	raw_mac_fifo_err_int	MAC 内部 FIFO 又空又满错误原始中断状态，写 1 清中断。 1: 有原始中断; 0: 无原始中断。																																
[29]	RW	raw_tx_rq_in_time_out_int	发送方向的回收描述子队列描述子入队超时原始中断，写 1 清中断。 1: 有原始中断; 0: 无原始中断。																																



[28]	RW	raw_rx_bq_in_time_out_int	接收方向的有效描述子队列描述子入队超时原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[27]	RW	raw_txoutcff_full_int	发送方向的描述子输出 FIFO 满原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[26]	RW	raw_txoutcff_empty_int	发送方向的描述子输出 FIFO 空原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[25]	RW	raw_txcff_full_int	发送方向的描述子输入 FIFO 满原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[24]	RW	raw_txcff_empty_int	发送方向的描述子输入 FIFO 空原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[23]	RW	raw_rxoutcff_full_int	接收方向的描述子输出 FIFO 满原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[22]	RW	raw_rxoutcff_empty_int	接收方向的描述子输出 FIFO 空原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[21]	RW	raw_rxcff_full_int	接收方向的描述子输入 FIFO 满原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[20]	RW	raw_rxcff_empty_int	接收方向的描述子输入 FIFO 空原始中断，写1清中断， 1: 有原始中断; 0: 无原始中断。
[19]	RW	raw_tx_rq_in_int	发送方向的回收描述子队列的描述子入队(多个或者单个描述子入队)中断，写1清中断， 1: 有原始中断; 0: 无原始中断。



[18]	RW	raw_tx_bq_out_int	发送方向的有效描述子队列的描述子出队(多个或者单个描述子出队)中断，写1清中断， 1：有原始中断； 0：无原始中断。
[17]	RW	raw_rx_bq_in_int	接收方向的有效描述子队列的描述子入队(多个或者单个描述子入队)中断，写1清中断， 1：有原始中断； 0：无原始中断。
[16]	RW	raw_rx_fq_out_int	接收方向的空闲描述子队列的描述子出队(多个或者单个描述子出队)中断，写1清中断， 1：有原始中断； 0：无原始中断。
[15]	RW	raw_tx_rq_empty_int	发送方向的回收描述子队列空原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[14]	RW	raw_tx_rq_full_int	发送方向的回收描述子队列满原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[13]	RW	raw_tx_rq_alempty_int	发送方向的回收描述子队列几乎空原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[12]	RW	raw_tx_rq_alfull_int	发送方向的回收描述子队列几乎满原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[11]	RW	raw_tx_bq_empty_int	发送方向的有效描述子队列空原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[10]	RW	raw_tx_bq_full_int	发送方向的有效描述子队列满原始中断，写1清中断。 1：有原始中断； 0：无原始中断。
[9]	RW	raw_tx_bq_alempty_int	发送方向的有效描述子队列几乎空原始中断，写1清中断。 1：有原始中断； 0：无原始中断。



[8]	RW	raw_tx_bq_alfull_int	发送方向的有效描述子队列几乎满原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[7]	RW	raw_rx_bq_empty_int	接收方向的有效描述子队列空原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[6]	RW	raw_rx_bq_full_int	接收方向的有效描述子队列满原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[5]	RW	raw_rx_bq_alempty_int	接收方向的有效描述子队列几乎空原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[4]	RW	raw_rx_bq_alfull_int	接收方向的有效描述子队列几乎满原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[3]	RW	raw_rx_fq_empty_int	接收方向的空闲描述子队列空原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[2]	RW	raw_rx_fq_full_int	接收方向的空闲描述子队列满原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[1]	RW	raw_rx_fq_alempty_int	接收方向的空闲描述子队列几乎空原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。
[0]	RW	raw_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满原始中断，写1清中断。 1: 有原始中断; 0: 无原始中断。

## ENA\_PMU\_INT

ENA\_PMU\_INT 为原始中断使能寄存器。



		Offset Address 0x000005C4								Register Name ENA_PMU_INT								Total Reset Value 0x0000_0000															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																																
	ena_mac_fifo_err_int																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																													
[31]	RO	reserved		保留。																													
[30]	RW	ena_mac_fifo_err_int		MAC 内部 FIFO 又空又满错误中断使能。 1: 使能; 0: 不使能。																													
[29]	RW	ena_tx_rq_in_timeout_int		发送方向的回收描述子队列描述子入队超时中断使能。 1: 使能; 0: 不使能。																													
[28]	RW	ena_rx_bq_in_timeout_int		接收方向的有效描述子队列描述子入队超时中断使能。 1: 使能; 0: 不使能。																													
[27]	RW	ena_txoutcff_full_int		发送方向的输出描述子 FIFO 满中断使能。 1: 使能; 0: 不使能。																													
[26]	RW	ena_txoutcff_empty_int		发送方向的输出描述子 FIFO 空中断使能。 1: 使能; 0: 不使能。																													
[25]	RW	ena_txcff_full_int		发送方向的输入描述子 FIFO 满中断使能。 1: 使能; 0: 不使能。																													
[24]	RW	ena_txcff_empty_int		发送方向的输入描述子 FIFO 空中断使能。 1: 使能; 0: 不使能。																													



[23]	RW	ena_rxoutcff_full_int	接收方向的输出描述子 FIFO 满中断使能。 1: 使能; 0: 不使能。
[22]	RW	ena_rxoutcff_empty_int	接收方向的输出描述子 FIFO 空中断使能。 1: 使能; 0: 不使能。
[21]	RW	ena_rxcff_full_int	接收方向的输入描述子 FIFO 满中断使能。 1: 使能; 0: 不使能。
[20]	RW	ena_rxcff_empty_int	接收方向的输入描述子空中断使能。 1: 使能; 0: 不使能。
[19]	RW	ena_tx_rq_in_int	发送方向的回收描述子队列的描述子入队(多个或者单个描述子入队)中断使能。 1: 使能; 0: 不使能。
[18]	RW	ena_tx_bq_out_int	发送方向的有效描述子队列的描述子出队(多个或者单个描述子出队)中断使能。 1: 使能; 0: 不使能。
[17]	RW	ena_rx_bq_in_int	接收方向的有效描述子队列的描述子入队(多个或者单个描述子入队)中断使能。 1: 使能; 0: 不使能。
[16]	RW	ena_rx_fq_out_int	接收方向的空闲描述子队列的描述子出队(多个或者单个描述子出队)中断使能。 1: 使能; 0: 不使能。
[15]	RW	ena_tx_rq_empty_int	发送方向的回收描述子队列空中断使能。 1: 使能; 0: 不使能。
[14]	RW	ena_tx_rq_full_int	发送方向的回收描述子队列满中断使能。 1: 使能; 0: 不使能。



[13]	RW	ena_tx_rq_alempty_int	发送方向的回收描述子队列几乎空中断使能。 1: 使能; 0: 不使能。
[12]	RW	ena_tx_rq_alfull_int	发送方向的回收描述子队列几乎满中断使能。 1: 使能; 0: 不使能。
[11]	RW	ena_tx_bq_empty_int	发送方向的有效描述子队列空中断使能。 1: 使能; 0: 不使能。
[10]	RW	ena_tx_bq_full_int	发送方向的有效描述子队列满中断使能。 1: 使能; 0: 不使能。
[9]	RW	ena_tx_bq_alempty_int	发送方向的有效描述子队列几乎空中断使能。 1: 使能; 0: 不使能。
[8]	RW	ena_tx_bq_alfull_int	发送方向的有效描述子队列几乎满中断使能。 1: 使能; 0: 不使能。
[7]	RW	ena_rx_bq_empty_int	接收方向的有效描述子队列空中断使能。 1: 使能; 0: 不使能。
[6]	RW	ena_rx_bq_full_int	接收方向的有效描述子队列满中断使能。 1: 使能; 0: 不使能。
[5]	RW	ena_rx_bq_alempty_int	接收方向的 buff 描述子队列几乎空中断使能。 1: 使能; 0: 不使能。
[4]	RW	ena_rx_bq_alfull_int	接收方向的有效描述子队列几乎满中断使能。 1: 使能; 0: 不使能。
[3]	RW	ena_rx_fq_empty_int	接收方向的空闲描述子队列空中断使能。 1: 使能; 0: 不使能。



[2]	RW	ena_rx_fq_full_int	接收方向的空闲描述子队列满中断使能。 1: 使能; 0: 不使能。
[1]	RW	ena_rx_fq_alempy_int	接收方向的空闲描述子队列几乎空中断使能。 1: 使能; 0: 不使能。
[0]	RW	ena_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满中断使能。 1: 使能; 0: 不使能。

## STATUS\_PMU\_INT

STATUS\_PMU\_INT 为中断状态寄存器。

	Offset Address 0x000005C8				Register Name STATUS_PMU_INT								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	status_mac_fifo_err_int	status_tx_rq_in_timeout_int	status_rx_bq_in_timeout_int	status_txoutcfl_full_int	status_txoutcfl_empty_int	status_txcff_full_int	status_txcff_empty_int	status_rxoutcfl_full_int	status_rxoutcfl_empty_int	status_rxcfl_full_int	status_rxcfl_empty_int	status_tx_rq_in_int	status_tx_bq_out_int	status_rx_bq_in_int	status_rx_fq_out_int	status_tx_rq_empty_int	status_tx_rq_full_int	status_tx_rq_alempy_int	status_tx_rq_alfull_int	status_tx_bq_empty_int	status_tx_bq_full_int	status_tx_bq_alempy_int	status_tx_bq_alfull_int	status_rx_bq_empty_int	status_rx_bq_full_int	status_rx_bq_alempy_int	status_rx_bq_alfull_int	status_rx_fq_empty_int	status_rx_fq_full_int	status_rx_fq_alempy_int	status_rx_fq_alfull_int
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RO		reserved		保留。																											
[30]	RW		status_mac_fifo_err_int		MAC 内部 FIFO 又空又满错误中断状态。 1: 有中断; 0: 无中断。																											
[29]	RW		status_tx_rq_in_timeout_int		发送方向的回收描述子队列描述子入队超时中断状态。 1: 有中断; 0: 无中断。																											



[28]	RW	status_rx_bq_in_timeout_int	接收方向的有效描述子队列描述子入队超时中断状态。 1: 有中断; 0: 无中断。
[27]	RW	status_txoutcff_full_int	发送方向的输出描述子 FIFO 满中断状态。 1: 有中断; 0: 无中断。
[26]	RW	status_txoutcff_empty_int	发送方向的输出描述子 FIFO 空中断状态。 1: 有中断; 0: 无中断。
[25]	RW	status_txcff_full_int	发送方向的输入描述子 FIFO 满中断状态。 1: 有中断; 0: 无中断。
[24]	RW	status_txcff_empty_int	发送方向的输入描述子 FIFO 空中断状态。 1: 有中断; 0: 无中断。
[23]	RW	status_rxoutcff_full_int	接收方向的输出描述子 FIFO 满中断状态。 1: 有中断; 0: 无中断。
[22]	RW	status_rxoutcff_empty_int	接收方向的输出描述子 FIFO 空中断状态。 1: 有中断; 0: 无中断。
[21]	RW	status_rxcff_full_int	接收方向的输入描述子 FIFO 满中断状态。 1: 有中断; 0: 无中断。
[20]	RW	status_rxcff_empty_int	接收方向的输入描述子 FIFO 空中断状态。 1: 有中断; 0: 无中断。
[19]	RW	status_tx_rq_in_int	发送方向的回收描述子队列的描述子入队(多个或者单个描述子入队)中断状态。 1: 有中断; 0: 无中断。
[18]	RW	status_tx_bq_out_int	发送方向的有效描述子队列的描述子出队(多个或者单个描述子出队)中断状态。 1: 有中断; 0: 无中断。



[17]	RW	status_rx_bq_in_int	接收方向的有效描述子队列的描述子入队(多个或者单个描述子入队)中断状态。 1: 有中断; 0: 无中断。
[16]	RW	status_rx_fq_out_int	接收方向的有效描述子队列的描述子出队(多个或者单个描述子出队)中断状态。 1: 有中断; 0: 无中断。
[15]	RW	status_tx_rq_empty_int	发送方向的回收描述子队列空中断状态。 1: 有中断; 0: 无中断。
[14]	RW	status_tx_rq_full_int	发送方向的回收描述子队列满中断状态。 1: 有中断; 0: 无中断。
[13]	RW	status_tx_rq_alempy_int	发送方向的回收描述子队列几乎空中断状态。 1: 有中断; 0: 无中断。
[12]	RW	status_tx_rq_alfull_int	发送方向的回收描述子队列几乎满中断状态。 1: 有中断; 0: 无中断。
[11]	RW	status_tx_bq_empty_int	发送方向的有效描述子队列空中断状态。 1: 有中断; 0: 无中断。
[10]	RW	status_tx_bq_full_int	发送方向的有效描述子队列满中断状态。 1: 有中断; 0: 无中断。
[9]	RW	status_tx_bq_alempy_int	发送方向的有效描述子队列几乎空中断状态。 1: 有中断; 0: 无中断。
[8]	RW	status_tx_bq_alfull_int	发送方向的有效描述子队列几乎满中断状态。 1: 有中断; 0: 无中断。
[7]	RW	status_rx_bq_empty_int	接收方向的有效描述子队列空中断状态。 1: 有中断; 0: 无中断。



[6]	RW	status_rx_bq_full_int	接收方向的有效描述子队列满中断状态。 1: 有中断; 0: 无中断。
[5]	RW	status_rx_bq_alempy_int	接收方向的有效描述子队列几乎空中断状态。 1: 有中断; 0: 无中断。
[4]	RW	status_rx_bq_alfull_int	接收方向的有效描述子队列几乎满中断状态。 1: 有中断; 0: 无中断。
[3]	RW	status_rx_fq_empty_int	接收方向的空闲描述子队列空中断状态。 1: 有中断; 0: 无中断。
[2]	RW	status_rx_fq_full_int	接收方向的空闲描述子队列满中断状态。 1: 有中断; 0: 无中断。
[1]	RW	status_rx_fq_alempy_int	接收方向的空闲描述子队列几乎空中断状态。 1: 有中断; 0: 无中断。
[0]	RW	status_rx_fq_alfull_int	接收方向的空闲描述子队列几乎满中断状态。 1: 有中断; 0: 无中断。

## DESC\_WR\_RD\_ENA

DESC\_WR\_RD\_ENA 为描述子 FIFO 读写描述子使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x000005CC		DESC_WR_RD_ENA		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												rx_outcff_wr_desc_ena	rx_cff_rd_desc_ena	tx_outcff_wr_desc_ena	tx_cff_rd_desc_ena
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	RO	reserved	保留。																													
[3]	RW	rx_outcff_wr_desc_ena	接收方向，输出描述子 FIFO 向有效描述子队列中写入描述子的使能。 1：使能； 0：不使能。																													
[2]	RW	rx_cff_rd_desc_ena	接收方向，输入描述子 FIFO 从空闲描述子队列中读取描述子的使能。 1：使能； 0：不使能。																													
[1]	RW	tx_outcff_wr_desc_ena	发送方向，输出描述子 FIFO 向回收描述子队列中写入描述子的使能。 1：使能； 0：不使能。																													
[0]	RW	tx_cff_rd_desc_ena	发送方向，输入描述子 FIFO 从有效描述子中读取描述子的使能。 1：使能； 0：不使能。																													

## IN\_QUEUE\_TH

IN\_QUEUE\_TH 为收包方向的有效描述子队列和发包方向的回收描述子队列，描述子入队中断流水线寄存器。



Offset Address		Register Name		Total Reset Value				
0x05D8		IN_QUEUE_TH		0x0001_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		tx_rq_in_th	reserved		rx_bq_in_th		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	tx_rq_in_th	发送方向，上报描述子入队中断的水线，至少配置为 1。					
[15:8]	RO	reserved	保留。					
[7:0]	RW	rx_bq_in_th	接收方向，上报描述子入队中断的水线，至少配置为 1。					

## OUT\_QUEUE\_TH

OUT\_QUEUE\_TH 为收包方向的空闲描述子队列和发送方向的有效描述子队列，描述子出队中断水线寄存器。

Offset Address		Register Name		Total Reset Value				
0x05DC		OUT_QUEUE_TH		0x0001_0001				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		tx_bq_out_th	reserved		rx_fq_out_th		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1
Bits	Access	Name	Description					
[31:24]	RO	reserved	保留。					
[23:16]	RW	tx_bq_out_th	发送方向，上报描述子出队中断的水线。					
[15:8]	RO	reserved	保留。					
[7:0]	RW	rx_fq_out_th	接收方向，上报描述子出队中断的水线。					

## RX\_BQ\_IN\_TIMEOUT\_TH

RX\_BQ\_IN\_TIMEOUT\_TH 为接收方向的有效描述子队列的入队超时原始中断水线寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x05E0				RX_BQ_IN_TIMEOUT_TH				0x0000_8000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rx_bq_in_timeout_th																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:0]	RW	rx_bq_in_timeout_th		接收方向的有效描述子队列，描述子入队超时中断流水线。																											

## TX\_RQ\_IN\_TIMEOUT\_TH

TX\_RQ\_IN\_TIMEOUT\_TH 为发送方向的回收描述子队列的入队超时原始中断流水线寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x05E4				TX_RQ_IN_TIMEOUT_TH				0x0000_8000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								tx_rq_in_timeout_th																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RO	reserved		保留。																											
	[23:0]	RW	tx_rq_in_timeout_th		发送方向的回收描述子队列，描述子入队超时中断流水线。																											

## STOP\_CMD

STOP\_CMD 为停止收、发包控制寄存器寄存器。



Offset Address		Register Name		Total Reset Value					
0x05E8		STOP_CMD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							tx_stop_en	rx_stop_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RO	reserved	保留。						
[1]	RW	tx_stop_en	发送方向的停止发包使能(回收描述子时使用)。 1: 使能; 0: 不使能。						
[0]	RW	rx_stop_en	接收方向的停止收包使能(回收描述子时使用)。 1: 使能; 0: 不使能。						

## FLUSH\_CMD

FLUSH\_CMD 为回收描述子使能寄存器。

Offset Address		Register Name		Total Reset Value								
0x05EC		FLUSH_CMD		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						tx_flush_cmd	rx_flush_cmd	tx_flush_flag_down	tx_flush_flag_up	rx_flush_flag_down	rx_flush_flag_up
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:6]	RO	reserved	保留。									



[5]	RW	tx_flush_cmd	发送方向的回收描述子命令，描述子进入发送方向的回收描述子队列。 1：配置回收描述子命令有效； 0：配置回收描述子命令无效。
[4]	RW	rx_flush_cmd	接收方向的回收描述子命令，描述子进入接收方向的有效描述子队列。 1：配置回收描述子命令有效； 0：配置回收描述子命令无效。
[3]	RW	tx_flush_flag_down	发送方向的回收描述子结束指示，当描述子回收完成，逻辑将 tx_flush_flag 置 1，软件写 1 清零。
[2]	RW	tx_flush_flag_up	发送方向的回收描述子指示，当停止发收包后，逻辑将 tx_flush_flag 置 1，表示软件可以进行回收描述子操作，软件写 1 清零。
[1]	RW	rx_flush_flag_down	接收方向的回收描述子结束指示。当逻辑完成描述子回收操作，将 rx_flush_flag_down 置 1，软件写 1 清零。
[0]	RW	rx_flush_flag_up	接收方向的回收描述子指示。当停止接收包后，逻辑将 rx_flush_flag_up 置 1，表示软件可以进行回收描述子操作，软件写 1 清 0。



## 目 录

<b>6 视频编码器</b> .....	<b>6-1</b>
6.1 概述.....	6-1
6.2 VEDU.....	6-1
6.2.1 概述 .....	6-1
6.2.2 特点 .....	6-1
6.2.3 功能描述 .....	6-2
6.3 JPGE.....	6-4
6.3.1 概述 .....	6-4
6.3.2 特点 .....	6-4
6.3.3 功能描述 .....	6-5



---

## 插图目录

---

图 6-1 VEDU 功能框图 .....	6-4
图 6-2 JPGE 功能框图 .....	6-6



# 6 视频编码器

## 6.1 概述

视频编码器是一个支持 H.264/MPEG-4/JPEG 的多协议编码器。

## 6.2 VEDU

### 6.2.1 概述

VEDU (Video Encode Unit) 是一个硬件实现的支持多种视频标准 (H.264/MPEG-4) 的视频编码器。VEDU 具有 CPU 占用率低、总线带宽占用小、低延时、低功耗等优点。

### 6.2.2 特点

VEDU 具有以下特点：

- 支持 ITU-T H.264 High Profile/Main Profile/Baseline Profile@Level5 编码
  - 支持 1/2、1/4 像素精度运动补偿
  - 支持 16%16、16%8、8%16、8%8 四种子块类型
  - 支持所有 Intra4%4、Intra8%8、Intra16%16 预测模式
  - 支持 Trans4%4、Trans8%8，支持 Scaling Matrix
  - 支持 CABAC、CAVLC 熵编码
  - 支持 De-blocking 滤波
  - 支持 IPCM 编码
- 支持 ISO/IEC 14496-2 (MPEG4) Simple Profile 编码
  - 支持 1/2 像素精度运动补偿
  - 支持 16%16 子块类型
  - 支持 DC 预测
- 支持如下几种输入图像格式：
  - Semi-Planar YCbCr4:2:0



- Semi-Planar YCbCr4:2:2
- 最高性能可达到 1080P@30fps+D1@30fps+CIF@30fps+QVGA@30fps
- 支持图像分辨率可配置
  - 最小图像分辨率：112%64
  - 最大图像分辨率：5632%4224
  - 图像宽度/高度的配置步长为 4
- 支持感兴趣区域编码
  - 支持最多 8 个区域的感兴趣编码
  - 感兴趣编码功能可使能/禁止
- 支持视频前端图像增强  
图像增强功能可使能/禁止
- 支持视频前端时空域自适应滤波  
时空域自适应滤波功能可使能/禁止
- 支持视频前端 de-interlace  
de-interlace 功能可使能/禁止
- 支持 OSD 区域编码保护  
OSD 区域编码保护功能可使能/禁止
- 支持视频前端 OSD 叠加处理
  - 支持最多 8 个区域的编码前 OSD 叠加
  - 支持任意位置、最大为图像大小的 OSD 叠加
  - 支持 129 级的 alpha 叠加
  - OSD 叠加功能可使能/禁止
- 支持视频前端图像锐化  
图像锐化功能可使能/禁止
- 支持 CBR/VBR 两种码率控制模式
- 输出码率范围：16kbps~40Mbps

## 6.2.3 功能描述

VEDU 功能框图如图 6-1 所示。

VEDU 由前处理（VPP）模块及编码器模块构成。前处理模块和编码器模块既可独立工作，也可协同工作。

- 前处理模块可以实现图像增强、自适应时空域滤波、de-interlace、OSD 叠加、图像锐化等功能。
- 编码器模块实现了运动估计/帧间预测、帧内预测、运动矢量预测、变换/量化、反量化/反变换、VLC(Variable Length Code)编码及码流生成、de-blocking 滤波等协议/算法处理，
- ARM 软件则完成码率控制和中断处理等编码控制处理。



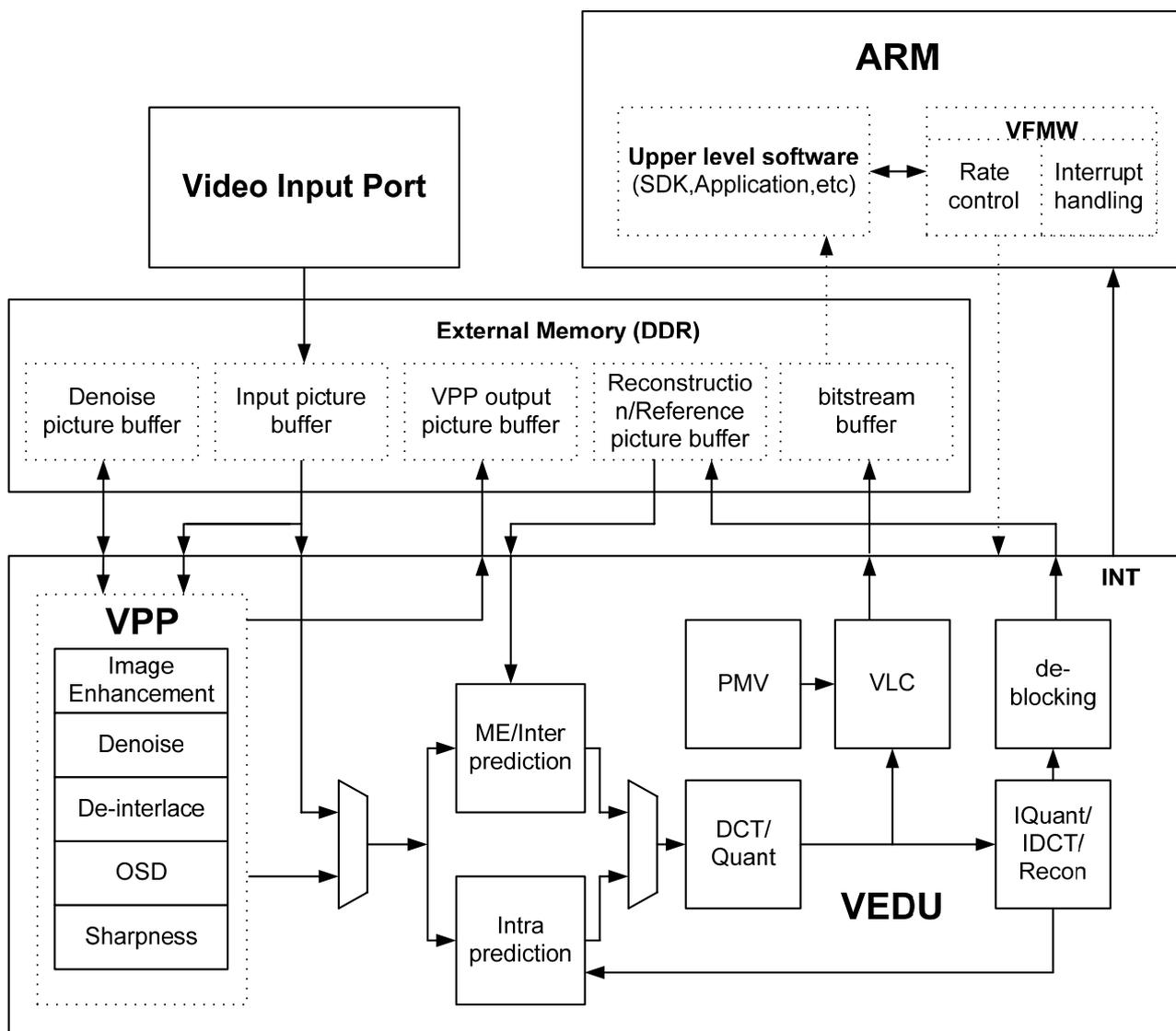
VPP (Video Pre-processing) 与编码器协同工作时, VPP 首先从 DDR 中读取一帧或几帧图像, 输入图像经过图像增强、自适应时空域滤波、de-interlace、osd 叠加、图像锐化等处理, 输出给编码器; 编码器以 VPP 的输出作为当前图像, 再进行编码, 最后将编码后码流写入到 DDR 中。

在启动 VEDU 进行视频编码前, 软件需要为其在外部存储器 (DDR SDRAM) 中分配以下五种类型的缓冲区:

- 输入图像缓冲区  
VEDU 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 重构图像/参考图像缓冲区  
VEDU 在编码过程中会向该缓冲区中写入重构图像、以作为后续图像的参考图像, 在进行 P 帧编码时会从该缓冲区读取参考图像。
- 码流缓冲区  
该缓冲区用于存放编码输出的码流。VEDU 在编码过程中会向将码流写入该缓冲区。该缓冲区通常由软件读取。
- 时空域滤波缓冲区  
VPP 在图像处理过程中会向该缓冲区写入滤波后图像。该区域仅在开启 VPP 功能时分配。
- VPP 输出图像缓冲区  
该区域存放经 VPP 处理后的图像。该区域仅在 VPP 处理后图像需要输出时分配。



图6-1 VEDU 功能框图



## 6.3 JPGE

### 6.3.1 概述

JPGE (JPEG Encoder) 是一个硬件实现的高性能 JPEG 编码器，可实现高达 67.1M 像素的图片抓拍或高清图像 MJPEG 编码业务。

### 6.3.2 特点

JPGE 具有以下特点：

- 支持 ISO/IEC 10918-1(CCITT T.81) Baseline Process(DCT Sequential)编码



- 支持 YCbCr4:2:0、YCbCr4:2:2、YCbCr4:4:4 三种色度采样格式的图像编码
- MCU 采用 interleaved 顺序组织
- 支持如下几种输入图像格式：
  - Planar YCbCr4:2:0
  - Planar YCbCr4:2:2
  - Planar YCbCr4:4:4
  - Semi-Planar YCbCr4:2:0
  - Semi-Planar YCbCr4:2:2
  - PackageYUYV
- 最高性能可达到 67.1M(8192%8192)pixel/s
- 支持图像分辨率可配置
  - 最小图像分辨率：32%32
  - 最大图像分辨率：8192%8192
- 图像宽度/高度的配置步长为 4
- 量化表可配置  
Y、Cb、Cr 三个分量各提供一张量化表
- 支持视频前端 OSD 叠加处理
  - 支持最多 8 个区域的编码前 OSD 叠加
  - 支持任意大小，任意位置（不超出图像大小和位置）OSD 叠加
  - 支持 129 级的 alpha 叠加
  - OSD 叠加功能可使能/禁止

### 6.3.3 功能描述

JPGE 功能如图 6-2 所示。

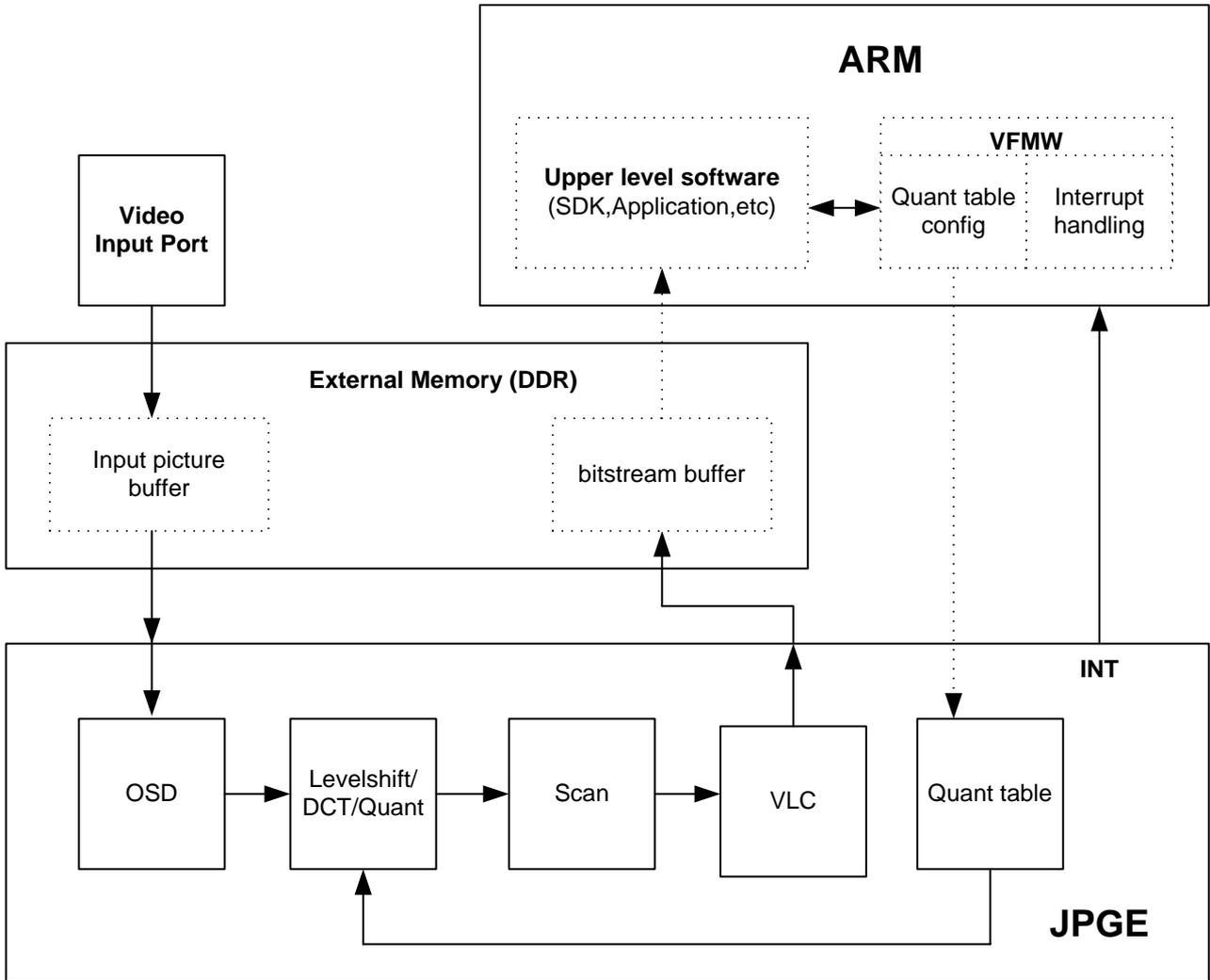
由图可见，JPGE 硬件实现了 osd、level shift、DCT、量化、扫描、VLC 编码及码流生成等运算量较大的协议处理，而 ARM 软件则完成量化表配置和中断处理等编码控制处理。

在启动 JPGE 进行视频编码前，软件需要为其在外部存储器（DDR SDRAM）中分配以下两种类型的缓冲区：

- 输入图像缓冲区  
JPGE 在编码过程中会从该缓冲区读取待编码的原始图像。该缓冲区通常由视频输入单元写入。
- 码流缓冲区  
该缓冲区用于存放编码输出的码流。JPGE 在编码过程中会将码流写入该缓冲区。该缓冲区通常由软件读取。



图6-2 JPGE 功能框图





---

## 目 录

---

<b>7 TDE .....</b>	<b>7-1</b>
7.1 概述.....	7-1
7.2 特点.....	7-1



# 7 TDE

## 7.1 概述

2D 图形加速引擎 TDE (Two Dimensional Engine) 利用硬件进行图形绘制, 可以大大减少对 CPU 的占用, 同时提高了内存带宽的资源利用率。TDE 通过 AXI Master 总线接口读写位图数据、滤波缩放系数、链表节点参数信息以及一些链表信息等; 通过 APB 总线接口获得 CPU 的寄存器配置信息。

图形数据接口包括源 1 和源 2 两条通路, 其功能如下:

- 源 1 在单源操作时完成直接拷贝与直接填充的功能。
- 源 2 在单源操作时可完成各种复杂的操作, 如图像缩放、抗闪烁等。
- 源 1 与源 2 协同工作时可以完成颜色混合、ROP 等操作, 并且用来支持处理宏块格式的图像。

## 7.2 特点

TDE 模块具有以下功能特点:

- 源位图 1 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 源位图 2 支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。
- 输出位图支持 RGB444、RGB555、RGB565、RGB888、ARGB4444、ARGB1555、ARGB8565、ARGB8888、CLUT1、CLUT2、CLUT4、CLUT8、ACLUT44、ACLUT88、A1、A8、YCbCr888、AYCbCr8888、YCbCr422、byte、halfword、YCbCr400MB、YCbCr422MBH、YCbCr422MBV、YCbCr420MB、YCbCr444MB 的格式。



- 只支持小端系统。
- 支持源位图 1、源位图 2 和输出位图格式分别可配。
- 支持 Gamma 校正、亮度对比度的调节。
- 支持 CLUT 查找表。
- 支持 RGB 与 YCbCr 的转换。
- 支持直接拷贝。
- 支持直接填充。
- 支持 2D-resize 操作。
- 支持抗闪烁操作。
- 支持 clip 操作。
- 支持 alpha blending 操作。
- 支持 ROP 操作。
- 支持 colorkey 操作。
- 支持可编程扫描方式。
- 支持 clip mask 功能。
- 提供异步链表方式的软件接口。
- 提供状态中断。
- 支持 Pattern Fill 功能



## 目 录

8 视频接口.....	8-1
8.1 VICAP.....	8-1
8.1.1 概述.....	8-1
8.1.2 特点.....	8-1
8.1.3 功能描述.....	8-2
8.1.4 工作方式.....	8-16
8.1.5 VICAP 寄存器概览.....	8-21
8.1.6 VICAP 寄存器描述.....	8-32
8.2 VDP.....	8-187
8.2.1 概述.....	8-187
8.2.2 功能描述.....	8-189
8.2.3 工作方式.....	8-194
8.2.4 VDP 寄存器概览.....	8-201
8.2.5 VDP 寄存器描述.....	8-211
8.2.6 VDP 寄存器配置限制.....	8-330



## 插图目录

图 8-1 VICAP 功能框图.....	8-1
图 8-2 VICAP 典型应用图.....	8-2
图 8-3 525 行 60 场/秒视频系统垂直时序.....	8-5
图 8-4 625 行 50 场/秒视频系统垂直时序.....	8-6
图 8-5 高清接口输入时序水平时序.....	8-6
图 8-6 高清接口输入时序垂直时序.....	8-7
图 8-7 ITU-R BT.601 水平时序图.....	8-7
图 8-8 NTSC 制式垂直同步时序图.....	8-8
图 8-9 PAL 制式垂直同步时序图.....	8-9
图 8-10 数字摄像头水平时序.....	8-9
图 8-11 数字摄像头垂直时序脉冲方式.....	8-10
图 8-12 数字摄像头垂直时序行有效方式.....	8-10
图 8-13 16bit 同步并行接口水平同步时序图.....	8-11
图 8-14 16bit 同步并行接口垂直时序图.....	8-11
图 8-15 有效图像区域与水平垂直消隐关系图.....	8-12
图 8-16 YCbCr4:2:2 的存储模式.....	8-14
图 8-17 big endian 和 little endian 图像存储模式.....	8-14
图 8-18 raw data 8bit 存储模式.....	8-15
图 8-19 PDP 模块绑定关系图.....	8-16
图 8-20 VICAP 的硬件工作流程.....	8-17
图 8-21 软件操作流程.....	8-18
图 8-22 hsync 为脉冲、vsync 为脉冲/有效的时序.....	8-19
图 8-23 hsync 为脉冲、vsync 为 toggle/场号的时序.....	8-19
图 8-24 hsync 为有效、vsync 为有效(或脉冲)、消隐区内无 hsync 的时序.....	8-20
图 8-25 hsync 为有效、vsync 为 toggle、消隐区内无 hsync 的时序.....	8-21



---

图 8-26 hsync 为有效、vsync 为有效、消隐区内有 hsync 的时序.....	8-21
图 8-27 VDP 总体框图.....	8-187
图 8-28 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	8-190
图 8-29 BT1120 接口水平时序图.....	8-190
图 8-30 图像分层示意图.....	8-192



## 表格目录

表 8-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式.....	8-3
表 8-2 SAV/EAV 格式.....	8-3
表 8-3 有效 SAV/EAV 值.....	8-3
表 8-4 ITU-R BT.656 纠错码表.....	8-4
表 8-5 VICAP 寄存器概览（基址是 0x2065_0000）.....	8-21
表 8-6 VDP 支持的图形层图像数据格式（高 16 位）.....	8-193
表 8-7 VDP 支持的图形层图像数据格式（低 16 位）.....	8-193
表 8-8 VDP 时钟.....	8-194
表 8-9 时钟寄存器配置.....	8-194
表 8-10 VDP 复位信号描述.....	8-195
表 8-11 同步时序配置表.....	8-196
表 8-12 BT1120 输出时的同步时序配置表.....	8-197
表 8-13 VDP 寄存器概览（基址是 0x2064_0000）.....	8-202



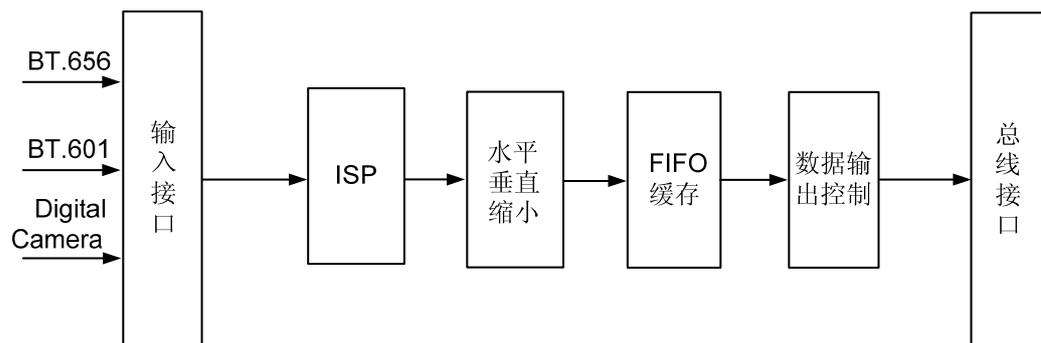
# 8 视频接口

## 8.1 VICAP

### 8.1.1 概述

视频捕获单元 VICAP (Video capture)，可以通过 BT.656/601 接口和 DC (Digital Camera) 接口接收视频数据，存入指定的内存区域。在此过程中，VICAP 可以对视频图像数据进行水平垂直缩小 (Down Scaling) 并输出多个不同的视频流。同时 VICAP 支持内嵌 ISP 处理单元，可以直接对接外部原始数据 (BAYER RGB 数据)，VICAP 的功能框图如图 8-1 所示。

图8-1 VICAP 功能框图



### 8.1.2 特点

VICAP 有以下特点：

- 最大支持到 16M 图像输入
- 外部支持 2 个视频端口，每个端口最大位宽为 16bit



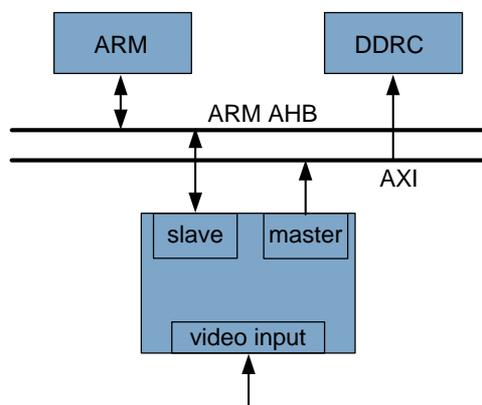
- 内部支持 5 路通道视频处理
- 支持 BT.656 时序 (480I/576I)
- 支持 SMPTE293M/ITU-R BT.1358 时序 (480P/576P)
- 支持 BT.601 时序
- 支持 SMPTE 274M/BT 1120 时序(1080i/1080P)
- 支持 SMPTE 296M(720P)
- 支持通用 Sensor 接口时序
- 每个端口都支持隔行和逐行输入模式
- 支持场接收模式和帧接收模式
- 支持内嵌 ISP (VIO 支持、VI1 不支持内嵌) 处理功能
- 支持最大 16 倍的水平和垂直缩小
- 各通道支持 3 级总线优先级可配
- 支持在一个指定窗口内获取数据
- 支持图象直方图输出
- 支持水平镜像和垂直镜像
- 输出格式支持存储模式：
  - RAW DATA 模式。
  - SPYCbCr 4:2:0 和 SPYCbCr 4:2:2 模式。

## 8.1.3 功能描述

### 8.1.3.1 典型应用

VICAP 典型应用如图 8-2 所示。

图8-2 VICAP 典型应用图





8-3

海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

VICAP 是一个支持多种时序输入的视频输入采集单元，将采集到的视频数据存储到 DDR 中，系统可以配置不同的功能模式，使之可以灵活的适应不同的外部输入视频接口，支持多种外部输入设备。

### 8.1.3.2 功能原理

#### ITU-R BT. 656 YCbCr4:2:2

##### 1. 水平时序

在 ITU-R BT.656 协议中，同步信号集成在数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示有效行数据的开始和结束。在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留值，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV，ITU-R BT. 656 的行数据流格式如表 8-1 所示。

表8-1 ITU-R BT.656 YCbCr 4:2:2 行数据格式

定时基准码				行消隐区				定时基准码				720 有效像素 YCbCr 4:2:2							
FF	00	00	EAV	80	10	...	80	10	FF	00	00	SAV	Cb0	Y0	Cr0	Y1	...	Cr718	Y719

SAV 和 EAV 的相互区别由 SAV/EAV 的特殊比特位“H”区分，SAV/EAV 还包含了垂直消隐位“V”和场指示位“F”。SAV/EAV 的具体描述见表 8-2 所示。

表8-2 SAV/EAV 格式

Bit7	Bit6(F)	Bit5(V)	Bit4(H)	Bit[3:0](P3~P0)
固定值 1	场指示位 1st field: F=0 2nd field: F=1	垂直消隐位 VBI: V=1 Active video: V=0	SAV: H=0 EAV: H=1	校验位。

ITU-R BT.656 协议采用了 8 个有效保留位用来定义有效的 SAV 和 EAV，4 个校验位可纠正 1bit 出错，检测 2bit 出错。有效的 SAV/EAV 值如表 8-3 所示。

表8-3 有效 SAV/EAV 值

编码	二进制值	场号	垂直消隐期
SAV	10000000	1	-
EAV	10011101	1	-
SAV	10101011	1	是



编码	二进制值	场号	垂直消隐期
EAV	10110110	1	是
SAV	11000111	2	-
EAV	11011010	2	-
SAV	11101100	2	是
EAV	11110001	2	是

4 个有效保留位还起到纠错的作用，P0、P1、P2、P3 由 F、V 和 H 位来确定的，如表 8-4 所示。

表8-4 ITU-R BT.656 纠错码表

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

其中：

$$P0=F^{\wedge}V^{\wedge}H$$

$$P1=F^{\wedge}V$$

$$P2=F^{\wedge}H$$

$$P3=V^{\wedge}H$$

## 2. 垂直时序

垂直时序也是通过定时基准码 SAV/EAV 的“F”和“V”来实现，典型的 525 行和 625 行视频系统垂直时序如图 8-3 和图 8-4 所示。



8-5

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

图8-3 525行60场/秒视频系统垂直时序

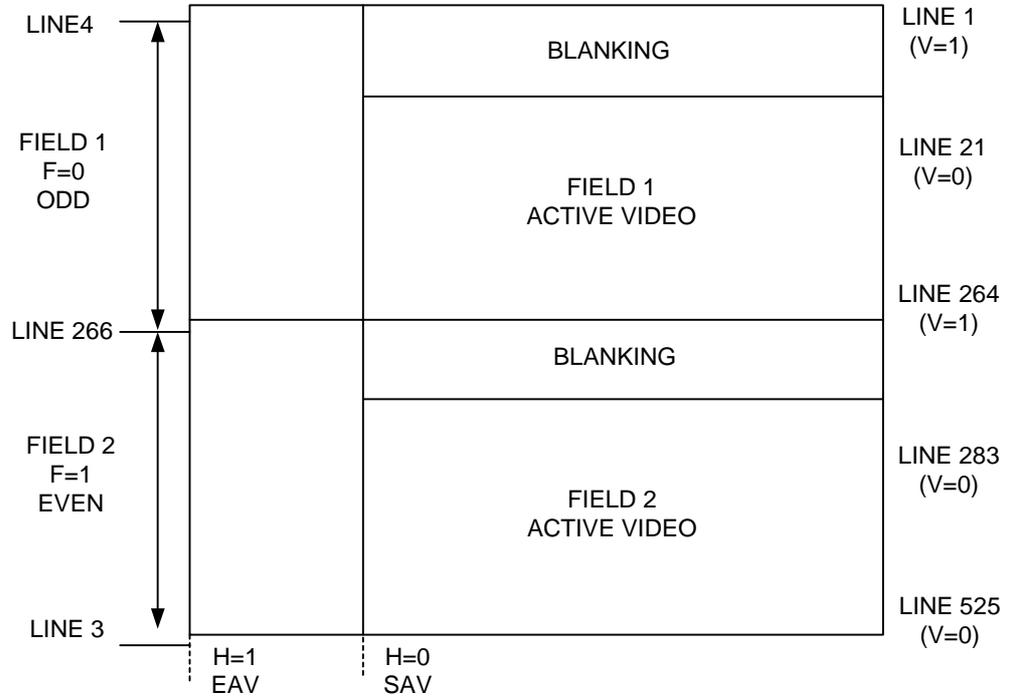
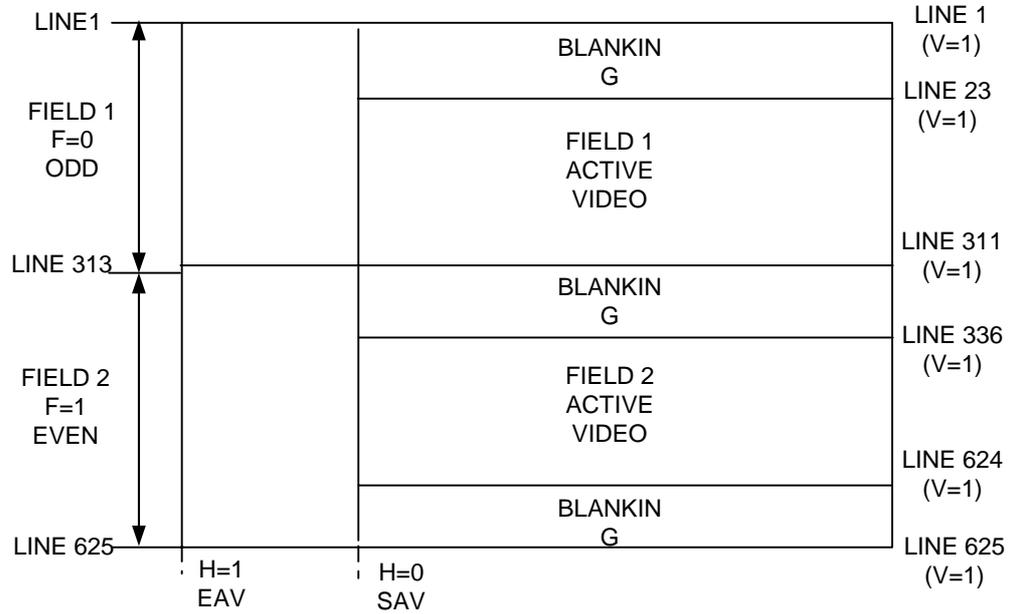




图8-4 625 行 50 场/秒视频系统垂直时序

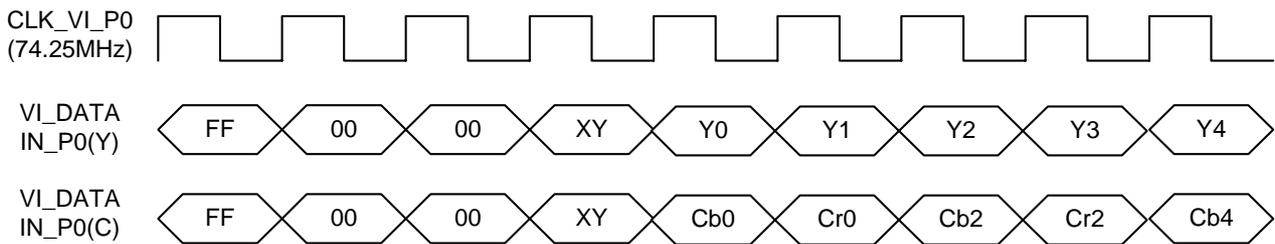


VICAP 内部只根据 SAV/EAV 来识别垂直时序，不会限制具体在哪一行。

### BT 1120（高清）接口时序

VICAP 支持 Y/C 分开输入的高清接口时序，此时需要用到 2 个端口，一个端口用来传输亮度，另一个端口用来传输色度，如图 8-5 和图 8-6 所示。

图8-5 高清接口输入时序水平时序



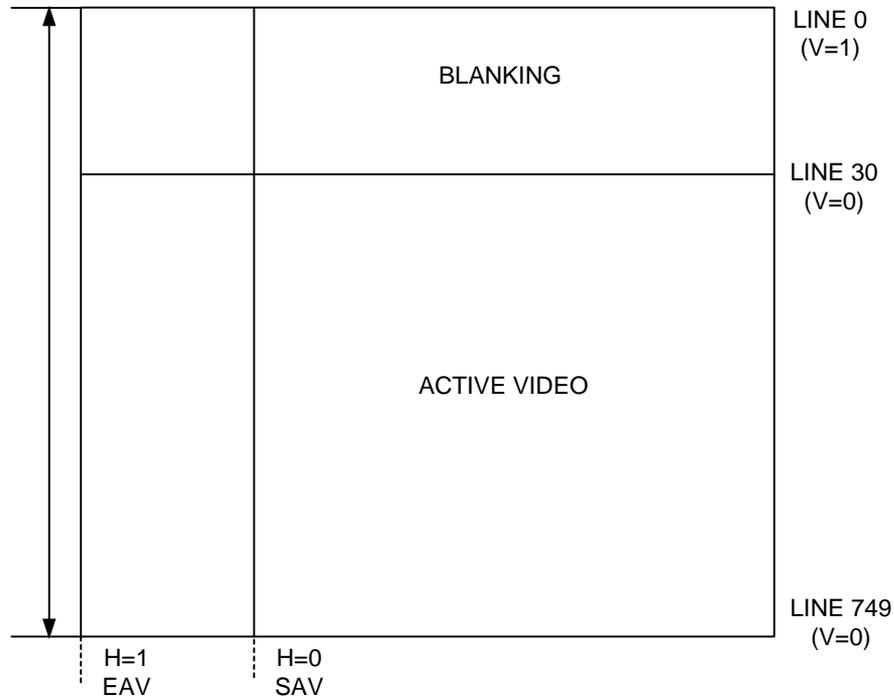


8-7

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

图8-6 高清接口输入时序垂直时序

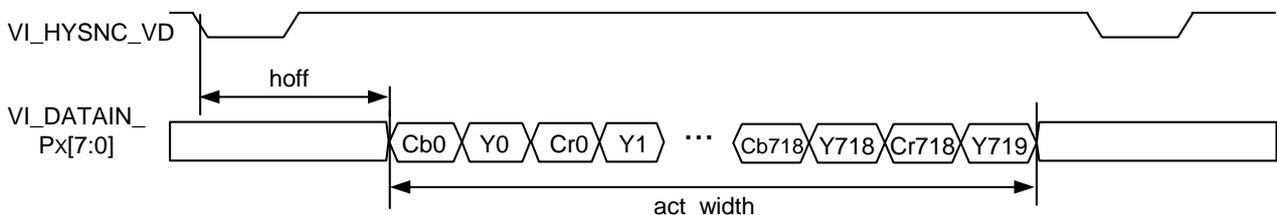


## ITU-R BT.601 YCbCr4:2:2

### 1. 水平时序

水平脉冲表示新的的一行开始如图 8-7 所示。经过  $hoff$ （可配，PAL525 行系统该值为 244，NTSC625 行系统该值为 264 个时钟后，行前消隐区结束，进入行有效数据区，经过  $act\_width$ （可配，典型值为 720 或 704）个时钟后行有效区域结束，进入行后消隐区。水平同步极性可配。

图8-7 ITU-R BT.601 水平时序图



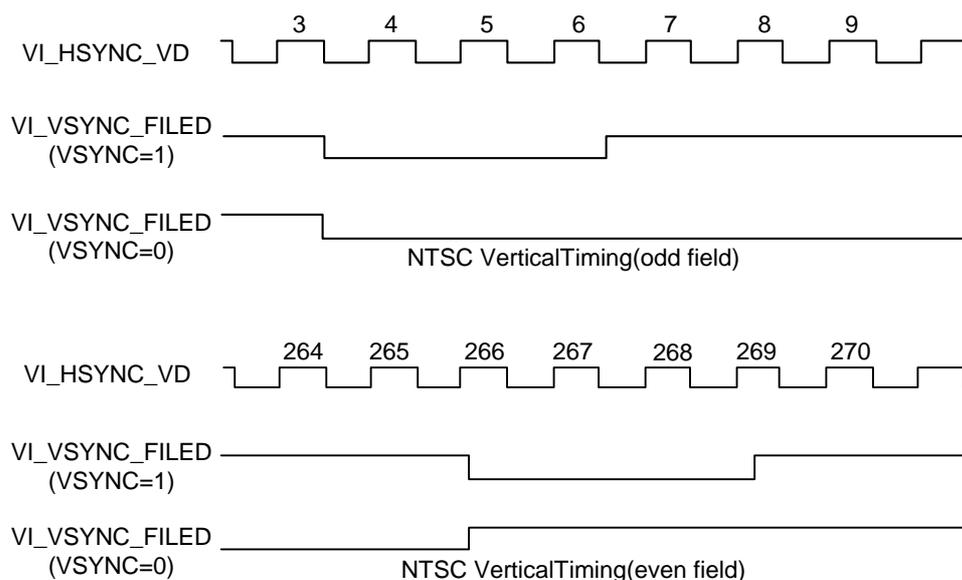
### 2. 垂直时序



ITU-R BT.601 建议：信号 VSYNC/FIELD 作为垂直同步信号。VSYNC 的脉冲或者 FIELD 的跳变标志奇偶场的开始，VICAP 支持以下 2 种垂直同步方法。

VI 在 NTSC 制式（625 行）和 PAL 制式（525 行）的垂直时序关系图如图 8-8 和图 8-9 所示，其中 VI\_HSYNC\_VD 为水平同步脉冲，VI\_VSYNC\_FILED 在 VSYNC=1 时为垂直同步脉冲；在 VSYNC=0 时为场同步信号。

图8-8 NTSC 制式垂直同步时序图



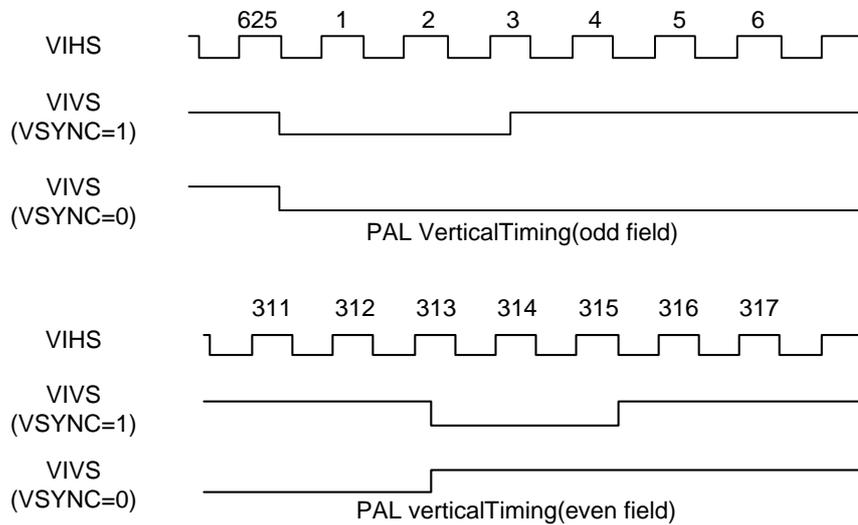
在 NTSC 隔行扫描制式下，第 1 场的垂直同步信号在第 4 行的起始位置变为低电平，持续 3 行低电平后，在第 7 行的起始位置变为高电平。VICAP 接收从第 22 行开始到第 261 行结束的 240 行数据。第 2 场的垂直同步信号在第 266 行的中间位置变为低电平，持续 3 行低电平后，在第 269 行中间位置变为高电平。VICAP 接收从第 285 行开始第 524 行结束的 240 行数据。



8-9

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

图8-9 PAL 制式垂直同步时序图



在 PAL 隔行扫描制式下，第 1 场的垂直同步信号在第 1 行起始位置变为低电平，持续 2.5 行低电平后，在第 3 行的中间位置变为高电平。VICAP 接收从第 24 行开始到第 310 行结束的 288 行数据。第 2 场的垂直同步信号在第 313 行的中间位置变为低电平，持续 2.5 行低电平后，在第 316 行的起始位置变为高电平。VICAP 接收从第 336 行开始到第 623 行结束的 288 行数据。

上面两种为典型的 BT.601 垂直时序，VICAP 内部支持场开始到场有效行开始之间的行数可配，场有效行的行数可配，垂直同步的极性可配。

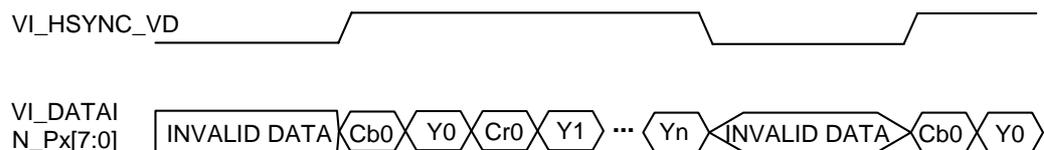
## 数字摄像头接口时序

VICAP 支持分辨率最大为 QXGA (5632x4224x1536) 的摄像头数据传输。

### 1. 水平时序

VICAP 接数字摄像头时，VI\_HSYNC\_VD 表示数据有效信号，数据有效信号极性可配，水平时序如图 8-10 所示。

图8-10 数字摄像头水平时序





## 2. 垂直时序

VICAP 支持两种垂直时序脉冲方式和行有效方式，如图 8-11 和图 8-12 所示。垂直同步极性可配。

图8-11 数字摄像头垂直时序脉冲方式

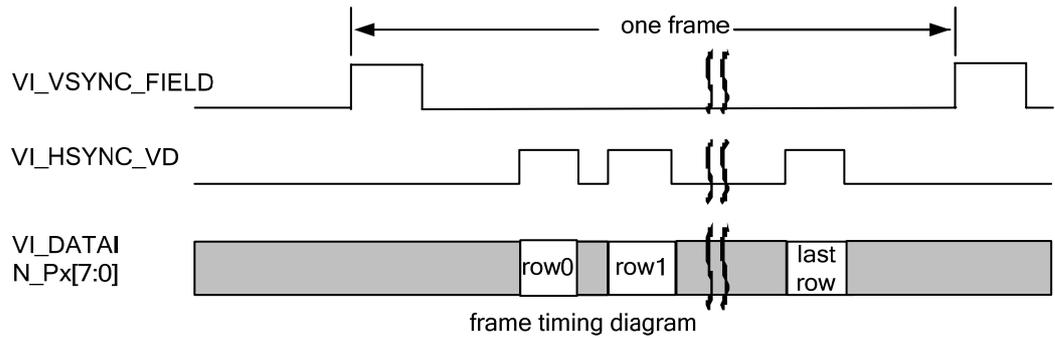
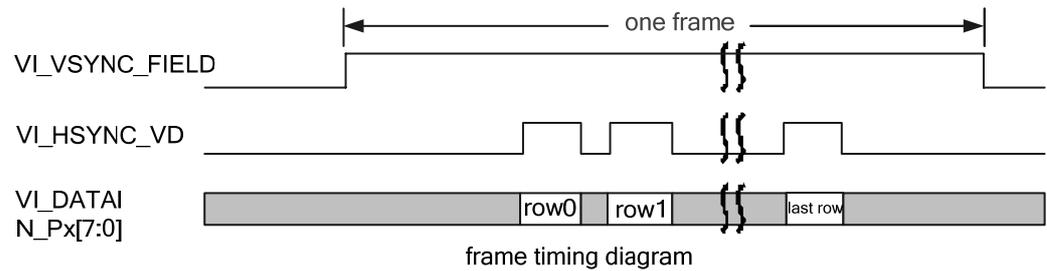


图8-12 数字摄像头垂直时序行有效方式



对于 VICAP 内部处理来说，这两种时序相同，VICAP 内部检测到一个上升沿或下降沿，这认为是一帧的开始，然后检测数据有效信号，来判断当前数据是否有效。

## 16bit 同步接口

VICAP 支持 Y、C 分开输入且同步信号与数据分离的 16bit 同步接口。HD 端口为 1 组，SD 端口为 1 组。

### 1. 水平时序

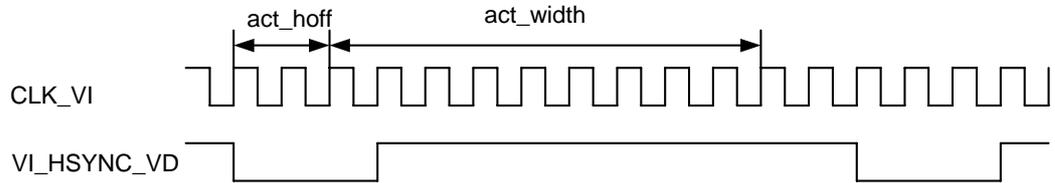
16bit 同步并行接口水平同步时序如图 8-13 所示。



8-11

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

图8-13 16bit 同步并行接口水平同步时序图

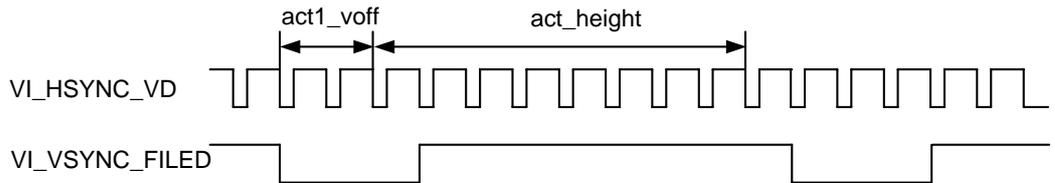


act\_hoff 和 act\_width 可配。

## 2. 垂直时序

16bit 同步并行接口垂直同步时序如图 8-14 所示。

图8-14 16bit 同步并行接口垂直时序图



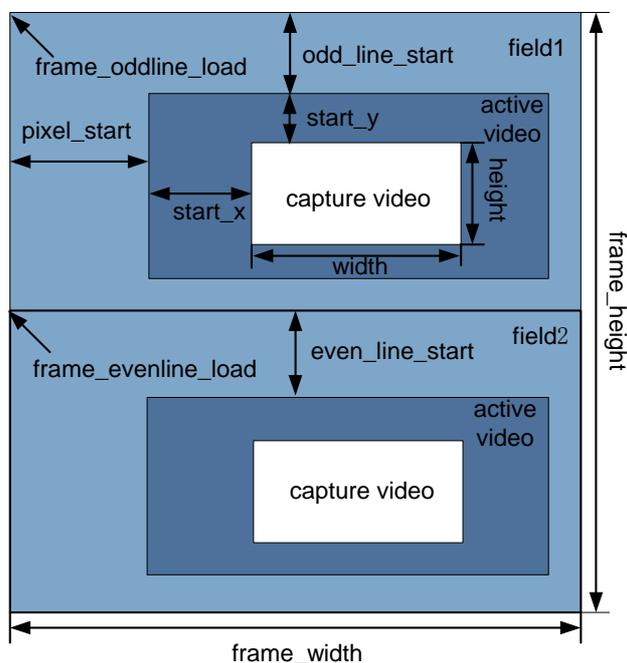
act1\_voff 和 act1\_height 可配。

## 图象 CROP

有效视频范围如图 8-15 所示。开始于水平消隐和垂直消隐之后。而实际显示的视图区域常常包含在有效视频范围之内，相对有效视频的边界有一点点缩小，其目的是避免边缘效应。



图8-15 有效图像区域与水平垂直消隐关系图



## 图象水平垂直缩小

### 1. 抓拍通道 (SCH)

该通道不支持缩放功能。

### 2. 主通道 (MCH)

水平亮色缩放均采用 12 阶 32 相位滤波器，初始相位可配，输出最大宽度为 2560；垂直亮色缩放均采用 6 阶 32 相位滤波器，初始相位可配。最大支持 1/3 倍的缩小。

### 3. 预览通道 1 (PCH1)

水平亮色缩放均采用 12 阶 32 相位滤波器，初始相位可配，输出最大宽度为 1280；垂直亮色缩放均采用 12 阶 32 相位滤波器，初始相位可配。最大支持 1/8 倍的缩小。

### 4. 预览通道 2 (PCH2)

水平方向支持两级缩放，第一级亮色均固定为 1/2 缩放，第二级亮色缩放均采用 12 阶 32 相位滤波器，输出最大宽度为 960；垂直方向也支持两级缩放，第一级亮固定为 1/2 缩放，色度为 1/2 或 1/4 缩放，第二级亮色缩放均采用 12 阶 32 相位滤波器。最大支持 1/16 倍的缩小。

### 5. 预览通道 3 (PCH3)



8-13

海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

水平方向支持两级缩放，第一级亮色均固定为 1/2 缩放，第二级亮色缩放均采用 12 阶 32 相位滤波器，输出最大宽度为 720；垂直方向也支持两级缩放，第一级亮固定为 1/2 缩放，色度为 1/2 或 1/4 缩放，第二级亮色缩放均采用 12 阶 32 相位滤波器。最大支持 1/16 倍的缩小。

## 图像存储模式

图像存储模式包括：

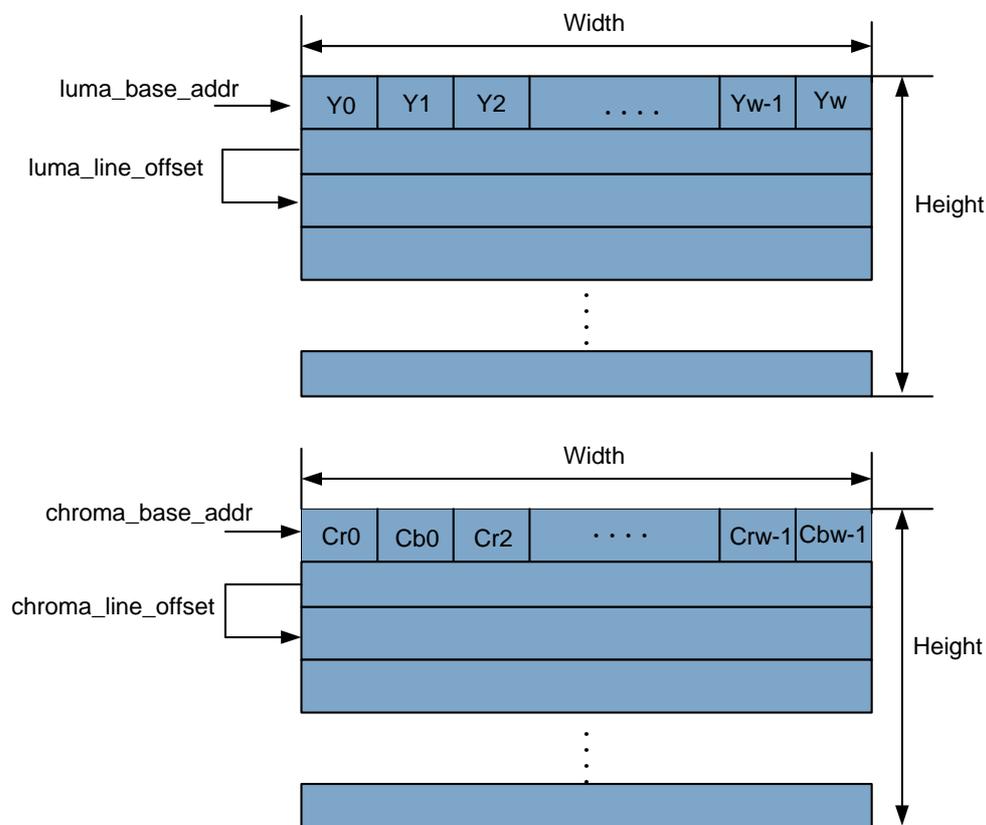
- semi-planar YcbCr 存储
- raw data 存储
- 1. semi-planar YcbCr 存储

系统设定了视图区域后，对读入数据按照 semi-planar 方式存储，即亮度分量和色度分量分别存储在 DDR 中的亮度存储空间和色度存储空间。

- 在 1 行内，亮度、色度分量各自连续存储。
- 连续 2 行之间的存储，可以通过系统定义的行首与行首之间的存储间隔参数 offset 定义。亮度和色度分量在 DDR 中的存储位置由起始地址 base\_addr 来指示。VI 捕获的如图 8-16 所示。

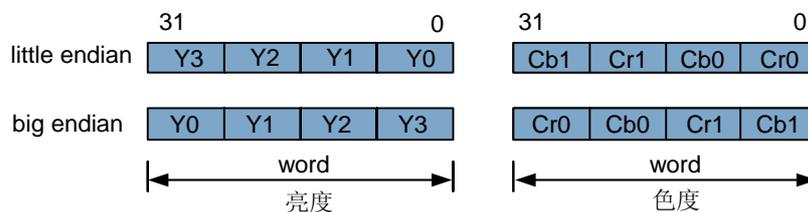


图8-16 YCbCr4:2:2 的存储模式



在 DDR，数据的存储是以 word（32bit）为单位。由 4 个 8bit 像素组成一个 32bit 的 word，在 4 个字节构成一个 word 时有 2 种方式：big endian 和 little endian。图 8-17 是以亮度和色度分量为例来说明 big endian 和 little endian 的存储方式。

图8-17 big endian 和 little endian 图像存储模式



VICAP 只支持采用 little endian 方式存储数据的 DDR。

## 2. raw data 存储

8-15

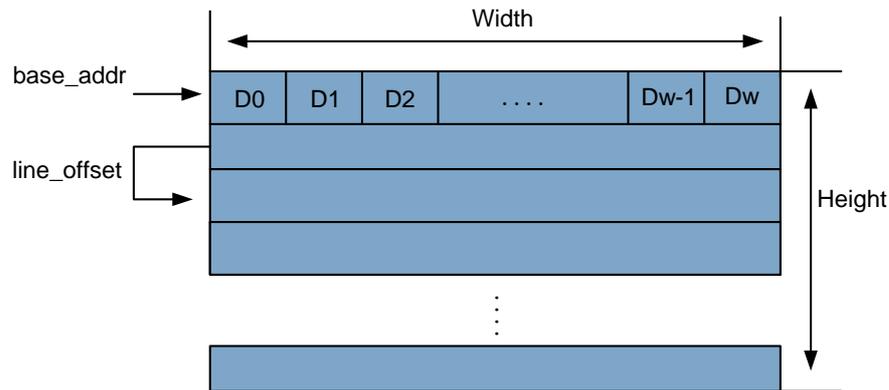
海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

raw data 方式存储是将数据按数据顺序依次存放到一个 word 中。由于在 DDR 中，1 个 word 由 4 个 8bit 组成，当数据为 8bit 时，其存储方式如图 8-18 所示。

图8-18 raw data 8bit 存储模式



如果高于 8bit 的 raw data，选用 YCbCr4:2:2 的存储模式，高 8bit 存入 Y 分量，其余 bit 存入 C 分量

## 直方图统计

对 8bit Y 值进行分窗口统计，每个窗口将 Y 值分成 16 段，每段用 32bit 表示，高 18bit 表示该窗口内该段所有像素低 4bit 的和，低 14bit 表示该窗口内该段像素的个数。

支持 mirror，和 flip 时的直方图统计。

窗口的宽度和高度可分别独立可配，

窗口宽度可配成，16，32，64，128

窗口的高度可配成：

16，16-4，16+4，16-8，16+8，

32，32-4，32+4，32-8，32+8，

64，64-4，64+4，64-8，64+8，

128，128-4，128-8

应用限制：

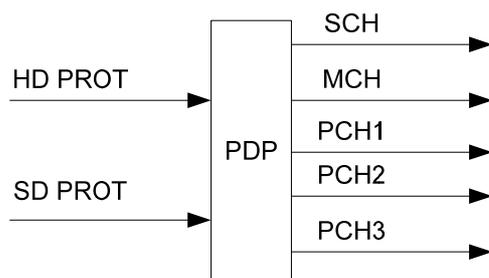
- 抓拍通道，水平窗口个数最大为 44，其他通道水平窗口个数为 32。
- 前后两个窗口之间的第一个像素点之间至少需要 8 个时钟间隔。
- 最大处理图像为 5632x4224。



## 外部端口与内部通道对应关系

外部两个端口可分别接内部的五个通道，根据需求五个通道可分别被任意端口绑定，但通道如果被一个端口绑定之后，就不能被另外一个通道绑定，绑定关系的配置由 PDP 模块完成，如图 8-19 所示。

图8-19 PDP 模块绑定关系图



## 水平镜像和垂直镜像（mirror and flip）

当 sensor 安装出现镜头水平和垂直颠倒的情况下时，可通过 VICAP 的水平和垂直镜像来纠正输出的图像，水平和垂直镜像是通过写入 DDR 地址的反向处理来实现的，但必须确保帧起始的首地址 128bit 对齐

### 8.1.4 工作方式

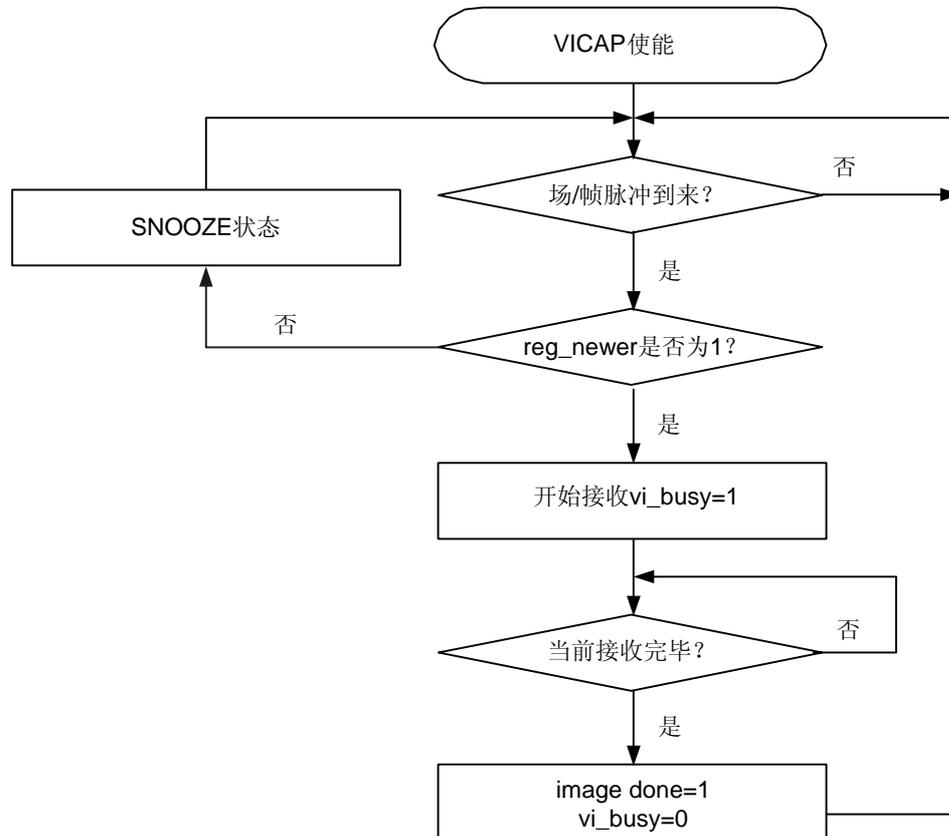
#### VICAP 的 reg\_newer 功能

- 在软件使能 VICAP 某个通道之前，软件应该完成以下操作：
  - 完成对 VICAP 的属性寄存器的配置操作。
  - 写 reg\_newer 位为“1”，通知 VICAP 模块当前的寄存器已经准备就绪。
- 使能 VICAP 后，VICAP 逻辑开始工作，当一场/帧到来的时候，则有：
  - 如果 reg\_newer 为 0，则 VICAP 将不会接收数据，置硬件状态为 SNOOZE，等待下一场/帧的数据的到来。
  - 如果 reg\_newer 为 1，则开始接收数据，同时给出寄存器更新中断 (reg\_update\_int)，并设置硬件状态为 busy。
- 当接收完毕当前数据后，清除硬件 busy 状态。等到下一场/帧到来的时候，则：
  - 如果 reg\_newer 为 0，则放弃下一场/帧数据的接收。
  - 如果 reg\_newer 为 1，则可以紧接着前一次数据继续接收下一场/帧的数据。

#### 硬件工作流程

VICAP 的硬件工作流程如图 8-20 所示。

图8-20 VICAP 的硬件工作流程



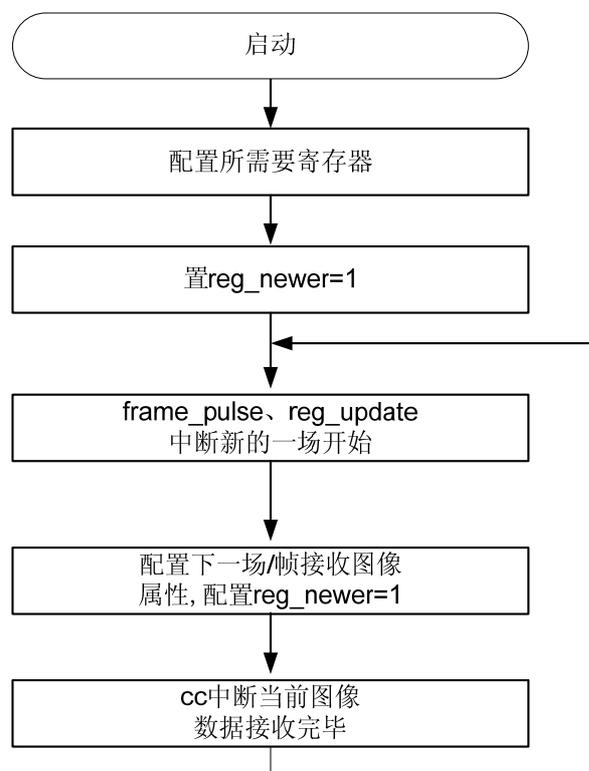
在 BT.656/601 和 digital camera 模式下，每接收完一场/帧规定数据，在下一场的到来时，VICAP 将检测 `reg_newer` 位。如果 `reg_newer` 位为 1（表示软件已经更新或者确认 VICAP 的寄存器），VICAP 将自动 load 软件所配置的寄存器值到工作寄存器（工作寄存器软件不可访问），然后将 `reg_newer` 位清 0，并开始接收下一场/帧数据。否则，只有等到 `reg_newer` 为 1 且新的一场/帧到来时开始接收数据。

## 软件配置流程

在中断方式下，软件的操作流程如图 8-21 所示。



图8-21 软件操作流程



在使用 BT.656 模式和 digital camera 接口情况下，不需要配置时序寄存器。在 BT.601 模式下，还需要配置时序寄存器，时序寄存器包括垂直同步寄存器和水平同步寄存器。

### 几种典型的外同步时序配置

- 寄存器 HD\_PORTA\_CFG1 中的 port\_vsync 的取值含义如下：

- 0: toggle/场号
- 1: 脉冲/有效

一般情况下，脉冲方式与有效方式并无区别，不需要区分。1 帧翻转一次（逐行）被称为 toggle，1 场翻转一次（隔行）称为场号。

- 寄存器 HD\_PORTA\_CFG1 中的 vsync\_valid 的取值含义如下：

- 0: DC 模式下，Vsync 为非有效模式（脉冲）
- 1: DC 模式下，Vsync 为有效模式

DC 模式下，如果在垂直消隐区内 hsync 信号仍有效，则需要设置 vsync\_valid=1 选择有效模式，同时设置 vsync\_valid\_neg 以指示 vsync 是高有效还是低有效，其他情况不用关心此位。

下面介绍几种典型的时序配置。

1. hsync 为脉冲、vsync 为脉冲/有效的时序如图 8-22 所示。

图8-22 hsync 为脉冲、vsync 为脉冲/有效的时序



需要进行如下配置：

- port\_cap\_mode: bt601
- port\_vsync: 1
- port\_hsync\_neg: hsync 高有效则配 0，低有效则配 1
  - 0: hsync 不反相
  - 1: hsync 反相
- port\_vsync\_neg: vsync 高有效则配 0，低有效则配 1
  - 0: vsync 不反相
  - 1: vsync 反相
- HD\_HSYNC\_HFB: 水平前消隐的时钟个数
- HD\_HSYNC\_HACT: 水平有效区的时钟个数
  - YC 复合时，为图像宽度 x2
  - YC 分离模式时，为图像宽度
- HD\_HSYNC\_HBB: 水平后消隐的时钟个数
- HD\_VSYNC0\_VFB: 奇场垂直前消隐的行数+1
- HD\_VSYNC0\_VACT: 奇场垂直有效区的行数
- HD\_VSYNC0\_VBB: 奇场垂直后消隐的行数
- HD\_VSYNC1\_VFB: 偶场垂直前消隐的行数+1
- HD\_VSYNC1\_VACT: 偶场垂直有效区的行数
- HD\_VSYNC1\_VBB: 偶场垂直后消隐的行数

2. hsync 为脉冲，vsync 为 toggle/场号的时序如图 8-23 所示。

图8-23 hsync 为脉冲、vsync 为 toggle/场号的时序



需要进行如下配置：

- port\_cap\_mode: bt601



- port\_vsync: 0
- port\_hsync\_neg: hsync 高有效则配 0，低有效则配 1
  - 0: hsync 不反相
  - 1: hsync 反相
- port\_vsync\_neg: vsync0 为奇场则配 0，1 为奇场则配 1
  - 0: vsync 不反相
  - 1: vsync 反相
- HD\_HSYNC\_HFB: 水平前消隐的时钟个数
- HD\_HSYNC\_HACT: 水平有效区的时钟个数
  - YC 复合模式时，为图像宽度 x2
  - YC 分离模式时，为图像宽度
- HD\_HSYNC\_HBB: 水平后消隐的时钟个数
- HD\_VSYNC0\_VFB: 奇场垂直前消隐的行数+1
- HD\_VSYNC0\_VACT: 奇场垂直有效区的行数
- HD\_VSYNC0\_VBB: 奇场垂直后消隐的行数
- HD\_VSYNC1\_VFB: 偶场垂直前消隐的行数+1
- HD\_VSYNC1\_VACT: 偶场垂直有效区的行数
- HD\_VSYNC1\_VBB: 偶场垂直后消隐的行数

3. hsync 为有效、vsync 为有效(或脉冲)、消隐区内无 hsync 的时序如图 8-24 所示。

图8-24 hsync 为有效、vsync 为有效(或脉冲)、消隐区内无 hsync 的时序



需要进行如下配置：

- port\_cap\_mode: 数字摄像头模式 (DC)
  - port\_vsync: 1
  - port\_hsync\_neg: hsync 高有效则配 0，低有效则配 1
    - 0: hsync 不反相
    - 1: hsync 反相
  - port\_vsync\_neg: vsync 高有效则配 0，低有效则配 1
    - 0: vsync 不反相
    - 1: vsync 反相
4. hsync 为有效、vsync 为 toggle、消隐区内无 hsync 的时序如图 8-25 所示。

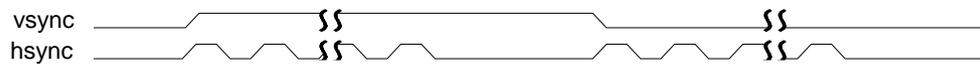
8-21

海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

图8-25 hsync 为有效、vsync 为 toggle、消隐区内无 hsync 的时序

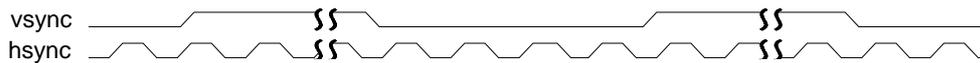


需要进行如下配置：

- port\_cap\_mode: 数字摄像头模式 (DC)
- port\_vsync: 0
- port\_hsync\_neg: hsync 高有效则配 0, 低有效则配 1
  - 0: hsync 不反相
  - 1: hsync 反相

5. hsync 为有效、vsync 为有效、消隐区内有 hsync 的时序如图 8-26 所示。

图8-26 hsync 为有效、vsync 为有效、消隐区内有 hsync 的时序



需要进行如下配置：

- port\_cap\_mode: 数字摄像头模式 (DC)
- port\_vsync: 1
- vsync\_valid: 1
- port\_hsync\_neg: hsync 高有效则配 0, 低有效则配 1
  - 0: hsync 不反相
  - 1: hsync 反相
- vsync\_valid\_neg: vsync 为高有效则配 0, 低有效则配 1

## 8.1.5 VICAP 寄存器概览

VICAP 寄存器概览如表 8-5 所示。

表8-5 VICAP 寄存器概览 (基址是 0x2065\_0000)

偏移地址	名称	描述	页码
0x0000	HD_INTF_MOD	接口模式寄存器	8-32
0x0004	HD_R_MASK_L	R 分量 mask 寄存器	8-33



偏移地址	名称	描述	页码
0x0008	HD_R_MASK_H	R 分量 mask 寄存器	8-34
0x000C	HD_G_MASK_L	G 分量 mask 寄存器	8-34
0x0010	HD_G_MASK_H	G 分量 mask 寄存器	8-34
0x0014	HD_B_MASK_L	B 分量 mask 寄存器	8-35
0x0018	HD_B_MASK_H	B 分量 mask 寄存器	8-35
0x001C	HD_R_OFFSET_L	R 分量偏移寄存器	8-36
0x0020	HD_R_OFFSET_H	R 分量偏移寄存器	8-36
0x0024	HD_G_OFFSET_L	G 分量偏移寄存器	8-37
0x0028	HD_G_OFFSET_H	G 分量偏移寄存器	8-37
0x002C	HD_B_OFFSET_L	B 分量偏移寄存器	8-37
0x0030	HD_B_OFFSET_H	B 分量偏移寄存器	8-38
0x0034	HD_PORTA_CFG1	A 接口时序 0 寄存器	8-38
0x0038	HD_PORTA_CFG2	A 接口时序 1 寄存器	8-40
0x003C	HD_HSYNC_HFB	水平前消隐区宽度寄存器	8-42
0x0040	HD_HSYNC_HACT	水平有效宽度寄存器	8-42
0x0044	HD_HSYNC_HBB	水平后消隐区宽度寄存器	8-43
0x0048	HD_VSYNC0_VFB	奇场垂直前消隐区高度寄存器	8-43
0x004C	HD_VSYNC0_VACT	奇场垂直有效区高度寄存器	8-43
0x0050	HD_VSYNC0_VBB	奇场垂直后消隐区高度寄存器	8-44
0x0054	HD_VSYNC1_VFB	偶场垂直前消隐区高度寄存器	8-44
0x0058	HD_VSYNC1_VACT	偶场垂直有效区高度寄存器	8-45
0x005C	HD_VSYNC1_VBB	偶场垂直后消隐区高度寄存器	8-45
0x0064	HD_DSAC_CFG0	端口控制 0 寄存器	8-45
0x0068	HD_DSAC_CFG1	端口控制 1 寄存器	8-46
0x006C	HD_CSC_CFG	csc 控制寄存器	8-47
0x0070+n ×4	HD_CSC_IDCn	csc 输入直流分量 n 寄存器	8-48



8-23

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0080+n ×4	HD_CSC_ODCn	csc 输出直流分量 n 寄存器	8-48
0x008C+n ×4	HD_CSC_COEFn	csc 系数 n 寄存器	8-48
0x00B0	HD_CDS_CFG	色度下采样控制寄存器	8-49
00B4+n× 4	HD_CDS_COEFn	色度下采样系数 n 寄存器	8-50
0x0100	HD_ACC_CFG	ACC 控制寄存器	8-50
0x0104	HD_ACC_COEF	ACC 系数寄存器	8-51
0x0108	HD_DOP_CFG	vivo 直通配置寄存器	8-51
0x0F00	HD_INT_MASK	HD 端口中断屏蔽寄存器	8-51
0x0F04	HD_INT	HD 端口中断寄存器	8-32
0x0F08	HD_INT_RAW	HD 端口原始中断寄存器	8-53
0x0F0C	HD_STATUS	HD 端口状态寄存器	8-54
0x1000	SD_INTF_MOD	SD 接口模式寄存器	8-55
0x1004	SD_R_MASK_L	SD 端口 R 分量 mask 寄存器	8-56
0x1008	SD_R_MASK_H	SD 端口 R 分量 mask 寄存器	8-56
0x100C	SD_G_MASK_L	SD 端口 G 分量 mask 寄存器	8-57
0x1010	SD_G_MASK_H	SD 端口 G 分量 mask 寄存器	8-57
0x101C	SD_R_OFFSET_L	SD 端口 R 分量偏移寄存器	8-58
0x1020	SD_R_OFFSET_H	SD 端口 R 分量偏移寄存器	8-58
0x1024	SD_G_OFFSET_L	SD 端口 G 分量偏移寄存器	8-59
0x1028	SD_G_OFFSET_H	SD 端口 G 分量偏移寄存器	8-59
0x1034	SD_PORTB_CFG1	SD 端口接口时序 0 寄存器	8-59
0x1038	SD_PORTB_CFG2	SD 端口接口时序 1 寄存器	8-61
0x103C	SD_HSYNC_HFB	SD 端口水平前消隐区宽度寄存器	8-63
0x1040	SD_HSYNC_HACT	SD 端口水平有效宽度寄存器	8-63



偏移地址	名称	描述	页码
0x1044	SD_HSYNC_HBB	SD 端口水平后消隐区宽度寄存器	8-64
0x1048	SD_VSYNC0_VFB	SD 端口奇场垂直前消隐区高度寄存器	8-64
0x104C	SD_VSYNC0_VACT	SD 端口奇场垂直有效区高度寄存器	8-64
0x1050	SD_VSYNC0_VBB	SD 端口奇场垂直后消隐区高度寄存器	8-65
0x1054	SD_VSYNC1_VFB	SD 端口偶场垂直前消隐区高度寄存器	8-65
0x1058	SD_VSYNC1_VACT	SD 端口偶场垂直有效区高度寄存器	8-66
0x105C	SD_VSYNC1_VBB	SD 端口偶场垂直后消隐区高度寄存器	8-66
0x1064	SD_DSAC_CFG0	SD 端口控制 0 寄存器	8-67
0x1068	SD_DSAC_CFG1	SD 端口控制 1 寄存器	8-67
0x106C	SD_CSC_CFG	SD 端口 csc 控制寄存器	8-68
0x1070+n ×4	SD_CSC_IDCn	SD 端口 csc 输入直流分量 n 寄存器	8-68
0x1080+n ×4	SD_CSC_ODCn	SD 端口 csc 输出直流分量 n 寄存器	8-69
0x108C+n ×4	SD_CSC_COEFn	SD 端口 csc 系数 n 寄存器	8-69
0x10B0	SD_CDS_CFG	SD 端口色度下采样控制寄存器	8-70
0x10B4+n ×4	SD_CDS_COEFn	SD 端口色度下采样系数 n 寄存器	8-71
0x1F00	SD_INT_MASK	SD 端口中断屏蔽寄存器	8-71
0x1F04	SD_INT	SD 端口中断寄存器	8-55
0x1F08	SD_INT_RAW	SD 端口原始中断寄存器	8-73
0x4000	SCH_CTRL	抓拍通道控制寄存器	8-73
0x4004	SCH_REG_NEWER	抓拍通道寄存器配置完毕寄存器	8-74
0x4008	SCH_LINK	抓拍通道连接端口配置寄存器	8-75
0x400C	SCH_STORE	抓拍通道存储控制寄存器	8-76
0x4010	SCH_CROP_START	抓拍通道图像获取起始位置寄存器	8-76
0x4014	SCH_CROP_SIZE	抓拍通道图像获取大小寄存器	8-77
0x401C	SCH_FSTART_DLY	抓拍通道帧起始 delay 寄存器	8-78



8-25

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x4020	SCH_YBASE_ADDR	抓拍通道 Y 分量基地址寄存器	8-78
0x4024	SCH_CBASE_ADDR	抓拍通道 C 分量基地址寄存器	8-78
0x4028	SCH_Y_STRIDE	抓拍通道 Y 分量 stride 寄存器	8-79
0x402C	SCH_C_STRIDE	抓拍通道 C 分量 stride 寄存器	8-79
0x4030	SCH_HBASE_ADDR	抓拍通道直方图统计信息基地址寄存器	8-79
0x4034	SCH_H_STRIDE	抓拍通道直方图统计信息 stride 寄存器	8-80
0x4038	SCH_HIST_SIZE	抓拍通道直方图统计块的窗口属性寄存器	8-80
0x403C	SCH_HIST_MODE	抓拍通道直方图统计块的窗口模式寄存器	8-81
0x4040	SCH_INT_EN	抓拍通道中断使能寄存器	8-82
0x4044	SCH_INT_STATUS	抓拍通道中断状态寄存器	8-83
0x4048	SCH_RAW_INT	抓拍通道原始中断状态寄存器	8-84
0x404C	SCH_STATUS	抓拍通道状态寄存器	8-85
0x5000	MCH_CTRL	主通道控制寄存器	8-86
0x5004	MCH_REG_NEWER	主通道寄存器配置完毕寄存器	8-87
0x5008	MCH_LINK	主通道连接端口配置寄存器	8-88
0x500C	MCH_STORE	主通道存储控制寄存器	8-88
0x5010	MCH_CROP_START	主通道图像获取起始位置寄存器	8-89
0x5014	MCH_CROP_SIZE	主通道图像获取大小寄存器	8-90
0x5018	MCH_DES_SIZE	主通道图像输出大小寄存器	8-90
0x501C	MCH_FSTART_DLY	主通道帧起始 delay 寄存器	8-91
0x5020	MCH_YBASE_ADDR	主通道 Y 分量基地址寄存器	8-91
0x5024	MCH_CBASE_ADDR	主通道 C 分量基地址寄存器	8-91
0x5028	MCH_Y_STRIDE	主通道 Y 分量 stride 寄存器	8-92
0x502C	MCH_C_STRIDE	主通道 C 分量 stride 寄存器	8-92



偏移地址	名称	描述	页码
0x5030	MCH_HBASE_ADDR	主通道直方图统计信息基地址寄存器	8-93
0x5034	MCH_H_STRIDE	主通道直方图统计信息 stride 寄存器	8-93
0x5038	MCH_HIST_SIZE	主通道直方图统计块的窗口属性寄存器	8-93
0x503C	MCH_HIST_MODE	主通道直方图统计块的窗口模式寄存器	8-94
0x5040	MCH_INT_EN	主通道中断使能寄存器	8-95
0x5044	MCH_INT_STATUS	主通道中断状态寄存器	8-96
0x5048	MCH_RAW_INT	主通道原始中断状态寄存器	8-97
0x504C	MCH_STATUS	主通道状态寄存器	8-98
0x5100	MCH_HLFIR_PAR	主通道亮度水平缩放参数配置寄存器	8-99
0x5104	MCH_HCFIR_PAR	主通道色度水平缩放参数配置寄存器	8-100
0x5108	MCH_HLFIR_OFFSET	主通道亮度缩放水平位置偏移寄存器	8-101
0x510C	MCH_HCFIR_OFFSET	主通道色度缩放水平位置偏移寄存器	8-101
0x5110	MCH_VLFIR_PAR	主通道亮度垂直平缩放参数配置寄存器	8-102
0x5114	MCH_VCFIR_PAR	主通道色度垂直平缩放参数配置寄存器	8-103
0x5118	MCH_VLFIR_OFFSET	主通道亮度缩放垂直位置偏移寄存器	8-104
0x511C	MCH_VCFIR_OFFSET	主通道色度缩放垂直位置偏移寄存器	8-104
0x5120	MCH_COEF_UPDATE	主通道缩放系数更新寄存器	8-105
0x5124	MCH_HBLANK_WIDTH	主通道水平消隐区宽度寄存器	8-106
0x5128	MCH_COEF_RSEL	主通道缩放系数读取选择寄存器	8-106
0x6000	PCH1_CTRL	预览通道 1 控制寄存器	8-107
0x6004	PCH1_REG_NEWER	预览通道 1 寄存器配置完毕寄存器	8-108



8-27

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

偏移地址	名称	描述	页码
0x6008	PCH1_LINK	预览通道 1 连接端口配置寄存器	8-109
0x600C	PCH1_STORE	预览通道 1 存储控制寄存器	8-110
0x6010	PCH1_CROP_START	预览通道 1 图像获取起始位置寄存器	8-110
0x6014	PCH1_CROP_SIZE	预览通道 1 图像获取大小寄存器	8-111
0x6018	PCH1_DES_SIZE	预览通道 1 图像输出大小寄存器	8-112
0x601C	PCH1_FSTART_DLY	预览通道 1 帧起始 delay 寄存器	8-112
0x6020	PCH1_YBASE_ADD R	预览通道 1 Y 分量基地址寄存器	8-112
0x6024	PCH1_CBASE_ADD R	预览通道 1 C 分量基地址寄存器	8-113
0x6028	PCH1_Y_STRIDE	预览通道 1 的 Y 分量的 stride 寄存器	8-113
0x602C	PCH1_C_STRIDE	预览通道 1 的 C 分量的 stride 寄存器	8-114
0x6030	PCH1_HBASE_ADD R	预览通道 1 直方图统计信息基地址寄 存器	8-114
0x6034	PCH1_H_STRIDE	预览通道 1 直方图统计信息 stride 寄存 器	8-114
0x6038	PCH1_HIST_SIZE	预览通道 1 直方图统计块的窗口属性 寄存器	8-115
0x603C	PCH1_HIST_MODE	预览通道 1 直方图统计块的窗口模式 寄存器	8-115
0x6040	PCH1_INT_EN	预览通道 1 中断使能寄存器	8-116
0x6044	PCH1_INT_STATUS	预览通道 1 中断状态寄存器	8-117
0x6048	PCH1_RAW_INT	预览通道 1 原始中断状态寄存器	8-118
0x604C	PCH1_STATUS	预览通道 1 状态寄存器	8-120
0x6100	PCH1_HLFIR_PAR	预览通道 1 亮度水平缩放参数配置寄 存器	8-121
0x6104	PCH1_HCFIR_PAR	预览通道 1 色度水平缩放参数配置寄 存器	8-122



偏移地址	名称	描述	页码
0x6108	PCH1_HLFIR_OFFSET	预览通道 1 亮度缩放水平位置偏移寄存器	8-123
0x610C	PCH1_HCFIR_OFFSET	预览通道 1 色度缩放水平位置偏移寄存器	8-123
0x6110	PCH1_VLFIR_PAR	预览通道 1 亮度垂直平缩放参数配置寄存器	8-123
0x6114	PCH1_VCFIR_PAR	预览通道 1 色度垂直平缩放参数配置寄存器	8-124
0x6118	PCH1_VLFIR_OFFSET	预览通道 1 亮度缩放垂直位置偏移寄存器	8-125
0x611C	PCH1_VCFIR_OFFSET	预览通道 1 色度缩放垂直位置偏移寄存器	8-126
0x6120	PCH1_COEF_UPDATE	预览通道 1 缩放系数更新寄存器	8-126
0x6124	PCH1_HBLANK_WIDTH	预览通道 1 主通道水平消隐区宽度寄存器	8-127
0x6128	PCH1_COEF_RSEL	预览通道 1 缩放系数读取选择寄存器	8-128
0x7000	PCH2_CTRL	预览通道 2 控制寄存器	8-129
0x7004	PCH2_REG_NEWER	预览通道 2 寄存器配置完毕寄存器	8-130
0x7008	PCH2_LINK	预览通道 2 连接端口配置寄存器	8-130
0x700C	PCH2_STORE	预览通道 2 存储控制寄存器	8-131
0x7010	PCH2_CROP_START	预览通道 2 图像获取起始位置寄存器	8-132
0x7014	PCH2_CROP_SIZE	预览通道 2 图像获取大小寄存器	8-132
0x7018	PCH2_DES_SIZE	预览通道 2 图像输出大小寄存器	8-133
0x701C	PCH2_FSTART_DLY	预览通道 2 帧起始 delay 寄存器	8-134
0x7020	PCH2_YBASE_ADDR	预览通道 2 Y 分量基地址寄存器	8-134
0x7024	PCH2_CBASE_ADDR	预览通道 2 C 分量基地址寄存器	8-134
0x7028	PCH2_Y_STRIDE	预览通道 2 的 Y 分量的 stride 寄存器	8-135
0x702C	PCH2_C_STRIDE	预览通道 2 的 C 分量 stride 寄存器	8-135



8-29

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x7030	PCH2_HBASE_ADD R	预览通道 2 直方图统计信息基地址寄 存器	8-135
0x7034	PCH2_H_STRIDE	预览通道 2 直方图统计信息 stride 寄存 器	8-136
0x7038	PCH2_HIST_SIZE	预览通道 2 直方图统计块的窗口属性 寄存器	8-136
0x703C	PCH2_HIST_MODE	预览通道 2 直方图统计块的窗口模式 寄存器	8-137
0x7040	PCH2_INT_EN	预览通道 2 中断使能寄存器	8-138
0x7044	PCH2_INT_STATUS	预览通道 2 中断状态寄存器	8-139
0x7048	PCH2_RAW_INT	预览通道 2 原始中断状态寄存器	8-140
0x704C	PCH2_STATUS	预览通道 2 状态寄存器	8-141
0x7060	PCH2_HLFIR_PRE	预览通道 2 亮度水平缩放预处理寄存 器	8-142
0x7064	PCH2_HCFIR_PRE	预览通道 2 色度水平缩放预处理寄存 器	8-143
0x7068	PCH2_VLFIR_PRE	预览通道 2 亮度垂直缩放预处理寄存 器	8-144
0x706C	PCH2_VCFIR_PRE	预览通道 2 色度垂直缩放预处理寄存 器	8-145
0x7100	PCH2_HLFIR_PAR	预览通道 2 亮度水平缩放参数配置寄 存器	8-146
0x7104	PCH2_HCFIR_PAR	预览通道 2 色度水平缩放参数配置寄 存器	8-147
0x7108	PCH2_HLFIR_OFFSE T	预览通道 2 亮度缩放水平位置偏移寄 存器	8-148
0x710C	PCH2_HCFIR_OFFSE T	预览通道 2 色度缩放水平位置偏移寄 存器	8-149
0x7110	PCH2_VLFIR_PAR	预览通道 2 亮度垂直平缩放参数配置 寄存器	8-149



偏移地址	名称	描述	页码
0x7114	PCH2_VCFIR_PAR	预览通道 2 色度垂直平缩放参数配置寄存器	8-150
0x7118	PCH2_VLFIR_OFFSET	预览通道 2 亮度缩放垂直位置偏移寄存器	8-151
0x711C	PCH2_VCFIR_OFFSET	预览通道 2 色度缩放垂直位置偏移寄存器	8-152
0x7120	PCH2_COEF_UPDATE	预览通道 2 缩放系数更新寄存器	8-152
0x7124	PCH2_HBLANK_WIDTH	预览通道 2 主通道水平消隐区宽度寄存器	8-153
0x7128	PCH2_COEF_RSEL	预览通道 2 缩放系数读取选择寄存器	8-154
0x8000	PCH3_CTRL	预览通道 3 控制寄存器	8-155
0x8004	PCH3_REG_NEWER	预览通道 3 寄存器配置完毕寄存器	8-156
0x8008	PCH3_LINK	预览通道 3 连接端口配置寄存器	8-156
0x800C	PCH3_STORE	预览通道 3 存储控制寄存器	8-157
0x8010	PCH3_CROP_START	预览通道 3 图像获取起始位置寄存器	8-158
0x8014	PCH3_CROP_SIZE	预览通道 3 图像获取大小寄存器	8-158
0x8018	PCH3_DES_SIZE	预览通道 3 图像获取大小寄存器	8-159
0x801C	PCH3_FSTART_DLY	预览通道 3 帧起始 delay 寄存器	8-160
0x8020	PCH3_YBASE_ADDR	预览通道 3 Y 分量基地址寄存器	8-160
0x8024	PCH3_CBASE_ADDR	预览通道 3 C 分量基地址寄存器	8-160
0x8028	PCH3_Y_STRIDE	预览通道 3 的 Y 分量的 stride 寄存器	8-161
0x802C	PCH3_C_STRIDE	预览通道 3 的 C 分量 stride 寄存器	8-161
0x8030	PCH3_HBASE_ADDR	预览通道 3 直方图统计信息基地址寄存器	8-161
0x8034	PCH3_H_STRIDE	预览通道 3 直方图统计信息 stride 寄存器	8-162
0x803C	PCH3_HIST_MODE	预览通道 3 直方图统计块的窗口模式寄存器	8-162



8-31

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x8040	PCH3_INT_EN	预览通道 3 中断使能寄存器	8-163
0x8044	PCH3_INT_STATUS	预览通道 3 中断状态寄存器	8-164
0x8048	PCH3_RAW_INT	预览通道 3 原始中断状态寄存器	8-165
0x804C	PCH3_STATUS	预览通道 3 状态寄存器	8-167
0x8060	PCH3_HLFIR_PRE	预览通道 3 亮度水平缩放预处理寄存器	8-168
0x8064	PCH3_HCFIR_PRE	预览通道 3 色度水平缩放预处理寄存器	8-168
0x8068	PCH3_VLFIR_PRE	预览通道 3 亮度垂直缩放预处理寄存器	8-169
0x806C	PCH3_VCFIR_PRE	预览通道 3 色度垂直缩放预处理寄存器	8-170
0x8100	PCH3_HLFIR_PAR	预览通道 3 亮度水平缩放参数配置寄存器	8-171
0x8104	PCH3_HCFIR_PAR	预览通道 3 色度水平缩放参数配置寄存器	8-172
0x8108	PCH3_HLFIR_OFFSET	预览通道 3 亮度缩放水平位置偏移寄存器	8-173
0x810C	PCH3_HCFIR_OFFSET	预览通道 3 色度缩放水平位置偏移寄存器	8-174
0x8110	PCH3_VLFIR_PAR	预览通道 3 亮度垂直平缩放参数配置寄存器	8-174
0x8114	PCH3_VCFIR_PAR	预览通道 3 色度垂直平缩放参数配置寄存器	8-175
0x8118	PCH3_VLFIR_OFFSET	预览通道 3 亮度缩放垂直位置偏移寄存器	8-176
0x811C	PCH3_VCFIR_OFFSET	预览通道 3 色度缩放垂直位置偏移寄存器	8-177
0x8120	PCH3_COEF_UPDATE	预览通道 3 缩放系数更新寄存器	8-177



偏移地址	名称	描述	页码
0x8124	PCH3_HBLANK_WIDTH	预览通道 3 主通道水平消隐区宽度寄存器	8-178
0x8128	PCH3_COEF_RSEL	预览通道 3 缩放系数读取选择寄存器	8-179
0x9000	MAC_PRIO_CFG	内部 15 个通道的优先级别配置寄存器, 即时寄存器	8-180
0x9004	MAC_CTRL	VICAP 总线申请控制寄存器, 即时寄存器	8-183
0x900C	TOP_INT_INDICATOR	中断指示寄存器	8-183
0x9010	TOP_PDP_CTRL	PDP 端口控制寄存器, 即时寄存器	8-185
0x9014	TOP_CK_CTRL	VICAP 低功耗门控使能寄存器, 即时寄存器	8-185
0x9018	TOP_APB_DLY	VICAP 配置总线 READY 延迟的时钟数寄存器	8-186

## 8.1.6 VICAP 寄存器描述

### HD\_INTF\_MOD

HD\_INTF\_MOD 为接口模式寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x0000	HD_INTF_MOD	0x0001_2300									
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0											
Name	reserved						samp_mod	test	port_mod	raw_mod	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
	Bits	Access	Name	Description								
	[31:8]	-	reserved	保留。								



8-33

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[7]	RW	samp_mod	时钟单沿模式的时候的采样模式。 0: 上升沿采样; 1: 下降沿采样。
[6:5]	RO	reserved	保留。
[4:3]	RW	port_mod	端口模式。 00: 单分量输入; 01: 双分量输入; 1x: 保留。
[2]	RW	raw_mod	raw 数据格式。 0: 单数据通道模式; 1: 双数据通道模式。
[1]	RW	clk_mode	时钟模式。 0: 单沿模式; 1: 双沿模式。
[0]	RW	port_en	端口使能。 0: 关闭; 1: 使能。

## HD\_R\_MASK\_L

HD\_R\_MASK\_L 为 R 分量 mask 低位寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0004				HD_R_MASK_L								0x0004_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																r_mask															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		r_mask		R 分量 mask。																											



## HD\_R\_MASK\_H

HD\_R\_MASK\_H 为 R 分量 mask 高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		HD_R_MASK_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				r_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	r_mask	R 分量 mask, 低 8bit 有效, 其他位为零。					

## HD\_G\_MASK\_L

HD\_G\_MASK\_L 为 G 分量 mask 低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		HD_G_MASK_L		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				g_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	g_mask	G 分量 mask。					

## HD\_G\_MASK\_H

HD\_G\_MASK\_H 为 G 分量 mask 高位寄存器。



8-35

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0010		HD_G_MASK_H		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_mask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	g_mask	G 分量 mask，低 8bit 有效，其他位为零。						

## HD\_B\_MASK\_L

HD\_B\_MASK\_L 为 B 分量 mask 低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		HD_B_MASK_L		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				b_mask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	b_mask	B 分量 mask。						

## HD\_B\_MASK\_H

HD\_B\_MASK\_H 为 B 分量 mask 高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x0018		HD_B_MASK_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				b_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	b_mask	B 分量 mask, 低 8bit 有效, 其他位为零。					

## HD\_R\_OFFSET\_L

HD\_R\_OFFSET\_L 为 R 分量偏移低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x001C		HD_R_OFFSET_L		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				r_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	r_offset	R 分量偏移, 低 8bit 有效, 其他位为零。					

## HD\_R\_OFFSET\_H

HD\_R\_OFFSET\_H 为 R 分量偏移高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0020		HD_R_OFFSET_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				r_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					



8-37

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	r_offset	保留。
--------	----	----------	-----

## HD\_G\_OFFSET\_L

HD\_G\_OFFSET\_L 为 G 分量偏移低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0024		HD_G_OFFSET_L		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	g_offset	G 分量偏移低，低 8bit 有效，其他位为零。						

## HD\_G\_OFFSET\_H

HD\_G\_OFFSET\_H 为 G 分量偏移高位寄存器。

Offset Address		Register Name		Total Reset Value					
0x0028		HD_G_OFFSET_H		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	g_offset	保留。						

## HD\_B\_OFFSET\_L

HD\_B\_OFFSET\_L 为 B 分量偏移低位寄存器。



Offset Address		Register Name		Total Reset Value				
0x002C		HD_B_OFFSET_L		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				b_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	b_offset	B 分量偏移低，低 8bit 有效，其他位为零。					

## HD\_B\_OFFSET\_H

HD\_B\_OFFSET\_H 为 B 分量偏移高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0030		HD_B_OFFSET_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				b_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	b_offset	保留。					

## HD\_PORTA\_CFG1

HD\_PORTA\_CFG1 为 A 端口时序 0 寄存器。



8-39

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x0034								HD_PORTA_CFG1								0x0000_8000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																vsync_bypass	vsync_valid_neg	vsync_valid	port_scan_mode	port_cap_mode	port_vsync	port_vsync_neg	port_hsync	port_hsync_neg	reserved						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11]	RW		vsync_bypass		管脚 VI_P_VSYNC_FIELD 配置信号。 0: vsync 输出到端口; 1: vsync 输出到 ISP。																											
[10]	RW		vsync_valid_neg		管脚 VI_P_VSYNC_FIELD 配置信号。 0: 高电平有效(在 vsync_valid 为 1 时有效); 1: 低电平有效(在 vsync_valid 为 1 时有效)。																											
[9]	RW		vsync_valid		管脚 VI_P_VSYNC_FIELD 配置信号。 0: 垂直脉冲模式; 1: 垂直有效模式。																											
[8:7]	RW		port_scan_mode		端口数据输入模式。 bit[8]=0: 亮度色度复合模式; bit[8]=1: 亮度色度分离模式。 bit[7]=0: 隔行输入模式; bit[7]=1: 逐行输入模式。																											
[6:5]	RW		port_cap_mode		端口数据接收模式。 00: BT.656 模式; 01: BT.601 模式; 10: 数字摄像头模式; 其他: 保留。																											



[4]	RW	port_vsync	管脚 VI_P_VSYNC_FIELD 配置信号。 0: 场号（奇场或偶场）或 toggle 模式： BT.601 模式下表示场号； camera 接口情况下表示 toggle 模式。 1: 垂直脉冲模式。
[3]	RW	port_vsync_neg	管脚 VI_P_VSYNC_FIELD 极性配置。 0: 高电平有效。 在脉冲模式下（port_vsync=1），正脉冲表示同步脉冲； 在场号模式下（port_vsync=0），高电平表示偶数场，低电平表示奇数场； 行有效模式下，高电平表示行有效。 1: 低电平有效。 在脉冲模式下（port_vsync=1），负脉冲表示同步脉冲； 在场号模式下（port_vsync=0），低电平表示偶数场，高电平表示奇数场； 行有效模式下，低电平表示行有效。
[2]	RW	port_hsync	管脚 VI_P_HSYNC_VD 配置信号。 0: VI_P_HSYNC_VD 为数据有效信号； 1: VI_P_HSYNC_VD 为水平同步脉冲信号。 <b>说明：16bit 同步接口该比特配置为 1。</b>
[1]	RW	port_hsync_neg	管脚 VI_P_HSYNC_VD 极性配置。 0: 高电平有效。 在脉冲模式下（port_hsync=1），正脉冲表示同步脉冲； 在数据有效模式下（port_hsync=0），高电平表示数据有效。 1: 低电平有效。 在脉冲模式下（port_hsync=1），负脉冲表示同步脉冲； 在数据有效模式下（port_hsync=0），低电平表示数据有效。
[0]	-	reserved	保留。

## HD\_PORTA\_CFG2

HD\_PORTA\_CFG2 为 A 接口时序 1 寄存器。



8-41

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x0038								HD_PORTA_CFG2								0x0000_2000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																data_type	debug_en	rgb_seq	yuv_seq	fix_code	seav_f_neg	reserved	correct_en								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:10]	-	reserved	保留。																												
	[9]	RW	data_type	数据格式。 0: raw rgb 数据格式; 1: yuv 数据格式。																												
	[8]	RW	debug_en	测试使能。																												
	[7:6]	RW	rgb_seq	RAW RGB 输入顺序寄存器。 00: RGRG; 01: GRGR; 10: BGBG; 11: GBGB。																												
	[5:4]	RW	yuv_seq	YUV 输入顺序寄存器。 00: UYVY; 01: VYUY; 10: YUYV; 11: YVYU。 当为 YC 分开输入的时候,表示 UV 顺序。 00: VUVU; 01: UVUV。 其他: 保留。																												
	[3]	RW	fix_code	BT.656 定时基准码最高 bit 配置。 0: 固定为 1; 1: 固定为 0。																												



[2]	RW	seav_f_neg	BT.656 定时基准码场指示位 (F) 极性。 0: 1st field:F=0, 2nd field:F=1 (标准); 1: 1st field:F=1, 2nd field:F=0 (非标准)。
[1]	-	reserved	保留。
[0]	RW	correct_en	SAV (Start of Active Video) /EAV (End of Activevideo) 数据校验使能。 0: 不使能校验; 1: 使能校验。

## HD\_HSYNC\_HFB

HD\_HSYNC\_HFB 为水平前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x003C		HD_HSYNC_HFB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hfb	水平前消隐区宽度。						

## HD\_HSYNC\_HACT

HD\_HSYNC\_HACT 为水平有效宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0040		HD_HSYNC_HACT		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



8-43

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	hsync_hact	水平有效宽度。
--------	----	------------	---------

## HD\_HSYNC\_HBB

HD\_HSYNC\_HBB 为水平后消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0044		HD_HSYNC_HBB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hbb	水平后消隐区宽度。						

## HD\_VSYNC0\_VFB

HD\_VSYNC0\_VFB 为奇场垂直前消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0048		HD_VSYNC0_VFB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hfb	奇场垂直前消隐区高度。						

## HD\_VSYNC0\_VACT

HD\_VSYNC0\_VACT 为奇场垂直有效区高度寄存器。



Offset Address		Register Name		Total Reset Value				
0x004C		HD_VSYNC0_VACT		0x0008_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hsync_hact			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hsync_hact	奇场垂直有效区高度。					

## HD\_VSYNC0\_VBB

HD\_VSYNC0\_VBB 为奇场垂直后消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value				
0x0050		HD_VSYNC0_VBB		0x0008_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hsync_hbb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hsync_hbb	奇场垂直后消隐区高度。					

## HD\_VSYNC1\_VFB

HD\_VSYNC1\_VFB 为偶场垂直前消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value				
0x0054		HD_VSYNC1_VFB		0x0008_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hsync_hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					



8-45

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[15:0]	RW	hsync_hfb	偶场垂直前消隐区高度。
--------	----	-----------	-------------

## HD\_VSYNC1\_VACT

HD\_VSYNC1\_VACT 为偶场垂直有效区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0058		HD_VSYNC1_VACT		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hact	偶场垂直有效区高度。						

## HD\_VSYNC1\_VBB

HD\_VSYNC1\_VBB 为偶场垂直后消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x005C		HD_VSYNC1_VBB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hbb	偶场垂直后消隐区高度。						

## HD\_DSAC\_CFG0

HD\_DSAC\_CFG0 为 HD 端口控制寄存器 0。



Offset Address		Register Name		Total Reset Value					
0x0064		HD_DSAC_CFG0		0x0000_0040					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							isp_vsync_sel	isp_byte_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	-	reserved	保留。						
[2]	RW	isp_vsync_sel	ISP 垂直同步的模式配置。 0: 翻转模式（垂直同步每帧翻转一次）； 1: 有效模式（垂直同步有效行，则当前行为有效行）。						
[1:0]	RW	isp_byte_en	isp 寄存器访问模式配置。 11: 16bit 寄存器模式； 其它: 保留。						

## HD\_DSAC\_CFG1

HD\_DSAC\_CFG1 为 HD 端口控制寄存器 1。

Offset Address		Register Name		Total Reset Value								
0x0068		HD_DSAC_CFG1		0x0008_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				isp_mod	test			dsac2_mod	reserve	debug_en	dsac2_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:16]	-	reserved	保留									
[15]	RW	isp_mod	ISP 时序选择。 1: 沿模式； 0: 翻转模式。									



8-47

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[14:6]	RW	test	测试。
[5:4]	RW	dsac2_mod	当前数据选择。（实际应用中，建议配置为 1） 0: cut off 模式； 1: round down 模式； 2: feed back 模式。
[3:2]	RW	reserve	保留
[1]	RW	debug_en	当前数据选择。 0: 测试模式 colorbar 不使能； 1: 测试模式 colorbar 使能。
[0]	RW	dsac2_sel	当前数据选择。 0: 数据来自 ISP； 1: 数据来自端口。

## HD\_CSC\_CFG

HD\_CSC\_CFG 为 csc 控制寄存器。

Offset Address	Register Name	Total Reset Value															
0x006C	HD_CSC_CFG	0x0000_0060															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved															csc_load	csc_en
Reset	0 1 1 0 0 0 0 0																
Bits	Access	Name	Description														
[31:2]	-	reserved	保留。														
[1]	RW	csc_load	csc 系数刷新指示。														
[0]	RW	csc_en	csc 使能。 0: csc 不使能； 1: csc 使能。														



## HD\_CSC\_IDCn

HD\_CSC\_IDCn 为 csc 输入直流分量 n 寄存器。(n=0、1、2)

	Offset Address				Register Name				Total Reset Value																							
	0x0070+n×4				HD_CSC_IDCn				0x0000_3000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																csc_idcn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	-		reserved		保留。																											
[8:0]	RW		csc_idcn		为整数，用补码表示。																											

## HD\_CSC\_ODCn

HD\_CSC\_ODCn 为 csc 输出直流分量 n 寄存器。(n=0、1、2)

	Offset Address				Register Name				Total Reset Value																							
	0x0080+n×4				HD_CSC_ODCn				0x0000_3000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																csc_odcn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	-		reserved		保留。																											
[8:0]	RW		csc_odcn		为整数，用补码表示。																											

## HD\_CSC\_COEFn

HD\_CSC\_COEFn 为 csc 系数 n 寄存器。(n=0、1、2、3...8)



8-49

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x008C+n×4		HD_CSC_COEFn		0x0003_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						csc_coefn			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:13]	-	reserved	保留。							
[12:0]	RW	csc_coefn	高 5bit 为整数，低 8bit 为小数。							

## HD\_CDS\_CFG

HD\_CDS\_CFG 为色度下采样控制寄存器。

Offset Address		Register Name		Total Reset Value								
0x00B0		HD_CDS_CFG		0x0000_0500								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved							cds_bypass	cds_clip	cds_mod	cds_load	cds_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:5]	-	reserved	保留。									
[4]	RW	cds_bypass	通路选择。 0: 下采样通路; 1: bypass 直联通路。									
[3]	RW	cds_clip	箝位使能。 0: clip 不使能; 1: clip 使能。									
[2]	RW	cds_mod	色度下采样模式。 0: 丢点模式; 1: 滤波模式。									



[1]	RW	cds_load	色度下采样系数刷新指示。
[0]	RW	cds_en	色度下采样使能。 0: cds 不使能; 1: cds 使能。

## HD\_CDS\_COEFn

HD\_CDS\_COEFn 为色度下采样系数 n 寄存器。(n=0、1、2、3)

	Offset Address				Register Name				Total Reset Value																							
	0x00B4+n×4				HD_CDS_COEFn				0x0000_B000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														csc_coefn																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:0]	RW		csc_coefn		10bit 补码。																											

## HD\_ACC\_CFG

HD\_ACC\_CFG 为 ACC 控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0100				HD_ACC_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															acc_load																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	-		reserved		保留。																											
[0]	RW		acc_load		acc 系数刷新指示。																											



8-51

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## HD\_ACC\_COEF

HD\_ACC\_COEF 为 ACC 系数寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0104				HD_ACC_COEF				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	-	reserved		保留。																											

## HD\_DOP\_CFG

HD\_DOP\_CFG 为 vivo 直通配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0108				HD_DOP_CFG				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	-	reserved		保留。																											

## HD\_INT\_MASK

HD\_INT\_MASK 为 HD 端口中断屏蔽寄存器。



	Offset Address 0x0F00								Register Name HD_INT_MASK								Total Reset Value 0x0000_7000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hd_mask_intf	hd_mask_isp7	hd_mask_isp6	hd_mask_isp5	hd_mask_isp4	hd_mask_isp3	hd_mask_isp2	hd_mask_isp1	hd_mask_isp0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:9]	-	reserved	保留。																												
	[8]	RW	hd_mask_intf	端口错误中断屏蔽位。																												
	[7]	RW	hd_mask_isp7	isp 中断 7 屏蔽位。																												
	[6]	RW	hd_mask_isp6	isp 中断 6 屏蔽位。																												
	[5]	RW	hd_mask_isp5	isp 中断 5 屏蔽位。																												
	[4]	RW	hd_mask_isp4	isp 中断 4 屏蔽位。																												
	[3]	RW	hd_mask_isp3	isp 中断 3 屏蔽位。																												
	[2]	RW	hd_mask_isp2	isp 中断 2 屏蔽位。																												
	[1]	RW	hd_mask_isp1	isp 中断 1 屏蔽位。																												
	[0]	RW	hd_mask_isp0	isp 中断 0 屏蔽位。																												

## HD\_INT

HD\_INT 为 HD 端口中断寄存器。



8-53

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x0F04								Register Name HD_INT								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hd_int_intf	hd_int_isp7	hd_int_isp6	hd_int_isp5	hd_int_isp4	hd_int_isp3	hd_int_isp2	hd_int_isp1	hd_int_isp0							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	-		reserved		保留。																											
[8]	WC		hd_int_intf		端口错误中断。																											
[7]	WC		hd_int_isp7		isp 中断 7。																											
[6]	WC		hd_int_isp6		isp 中断 6。																											
[5]	WC		hd_int_isp5		isp 中断 5。																											
[4]	WC		hd_int_isp4		isp 中断 4。																											
[3]	WC		hd_int_isp3		isp 中断 3。																											
[2]	WC		hd_int_isp2		isp 中断 2。																											
[1]	WC		hd_int_isp1		isp 中断 1。																											
[0]	WC		hd_int_isp0		isp 中断 0。																											

## HD\_INT\_RAW

HD\_INT\_RAW 为 HD 端口原始中断寄存器。



	Offset Address 0x0F08								Register Name HD_INT_RAW								Total Reset Value 0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
Name	reserved																								hd_int_raw_intf	hd_int_raw_isp7	hd_int_raw_isp6	hd_int_raw_isp5	hd_int_raw_isp4	hd_int_raw_isp3	hd_int_raw_isp2	hd_int_raw_isp1	hd_int_raw_isp0																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0													
Bits	Access		Name		Description																																												
[31:9]	-		reserved		保留。																																												
[8]	RO		hd_int_raw_intf		端口原始错误中断。																																												
[7]	RO		hd_int_raw_isp7		isp 原始中断 7。																																												
[6]	RO		hd_int_raw_isp6		isp 原始中断 6。																																												
[5]	RO		hd_int_raw_isp5		isp 原始中断 5。																																												
[4]	RO		hd_int_raw_isp4		isp 原始中断 4。																																												
[3]	RO		hd_int_raw_isp3		isp 原始中断 3。																																												
[2]	RO		hd_int_raw_isp2		isp 原始中断 2。																																												
[1]	RO		hd_int_raw_isp1		isp 原始中断 1。																																												
[0]	RO		hd_int_raw_isp0		isp 原始中断 0。																																												

## HD\_STATUS

HD\_STATUS 为 HD 端口状态寄存器。



8-55

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0F0C		HD_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hd_status		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	-	reserved	保留。						
[8:0]	RW	hd_status	端口错误中断屏蔽位。						

## SD\_INTF\_MOD

SD\_INTF\_MOD 为 SD 接口模式寄存器。

Offset Address		Register Name		Total Reset Value								
0x1000		SD_INTF_MOD		0x0001_2300								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						samp_mod	test	port_mod	raw_mod	clk_mode	port_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:8]	-	reserved	保留。									
[7]	RW	samp_mod	时钟单沿模式的时候的采样模式。 0: 上升沿采样; 1: 下降沿采样。									
[6:5]	RO	reserved	保留。									
[4:3]	RW	port_mod	端口模式。 00: 单分量输入; 01: 双分量输入; 其他: 保留;									



[2]	RW	raw_mod	raw 数据格式。 0: 单数据通道模式; 1: 双数据通道模式。
[1]	RW	clk_mode	时钟模式。 0: 单沿模式; 1: 双沿模式。
[0]	RW	port_en	端口使能。 0: 关闭; 1: 使能

## SD\_R\_MASK\_L

SD\_R\_MASK\_L 为 SD 端口 R 分量 mask 低位寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1004				SD_R_MASK_L				0x0004_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																r_mask															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		r_mask		R 分量 mask。																											

## SD\_R\_MASK\_H

SD\_R\_MASK\_H 为 SD 端口 R 分量 mask 高位寄存器。



8-57

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x1008		SD_R_MASK_H		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				r_mask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	r_mask	R 分量 mask, 低 8bit 有效, 其他位为零。						

## SD\_G\_MASK\_L

SD\_G\_MASK\_L 为 SD 端口 G 分量 mask 低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x100C		SD_G_MASK_L		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_mask				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	g_mask	G 分量 mask。						

## SD\_G\_MASK\_H

SD\_G\_MASK\_H 为 SD 端口 G 分量 mask 高位寄存器。



Offset Address		Register Name		Total Reset Value				
0x1010		SD_G_MASK_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				g_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	g_mask	G 分量 mask, 低 8bit 有效, 其他位为零。					

### SD\_R\_OFFSET\_L

SD\_R\_OFFSET\_L 为 SD 端口 R 分量偏移低位寄存器。

Offset Address		Register Name		Total Reset Value				
0x101C		SD_R_OFFSET_L		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				r_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	r_offset	R 分量偏移, 低 8bit 有效。					

### SD\_R\_OFFSET\_H

SD\_R\_OFFSET\_H 为 SD 端口 R 分量偏移高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x1020		SD_R_OFFSET_H		0x0004_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				r_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					



8-59

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[15:0]	RW	r_offset	R 分量偏移, 低 8bit 有效。
--------	----	----------	--------------------

## SD\_G\_OFFSET\_L

SD\_G\_OFFSET\_L 为 SD 端口 G 分量偏移低位寄存器。

Offset Address		Register Name		Total Reset Value					
0x1024		SD_G_OFFSET_L		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	描述信息保留。						
[15:0]	RW	g_offset	G 分量偏移低, 低 8bit 有效。						

## SD\_G\_OFFSET\_H

SD\_G\_OFFSET\_H 为 SD 端口 G 分量偏移高位寄存器。

Offset Address		Register Name		Total Reset Value					
0x1028		SD_G_OFFSET_H		0x0004_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				g_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	g_offset	G 分量偏移低, 低 8bit 有效。						

## SD\_PORTB\_CFG1

SD\_PORTB\_CFG1 为 SD 端口接口时序 0 寄存器。



Offset Address		Register Name		Total Reset Value											
0x1034		SD_PORTB_CFG1		0x0000_4000											
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0							
Name	reserved						vsync_valid_neg	vsync_valid	port_scan_mode	port_cap_mode	port_vsync	port_vsync_neg	port_hsync	port_hsync_neg	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description												
[31:11]	-	reserved	保留。												
[10]	RW	vsync_valid_neg	管脚 VI_P_VSYNC_FIELD 配置信号。 1: 低电平有效。(在 vsync_valid 为 1 时有效); 0: 高电平有效。(在 vsync_valid 为 1 时有效)。												
[9]	RW	vsync_valid	管脚 VI_P_VSYNC_FIELD 配置信号。 1: 垂直有效标识; 0: 垂直同步标识。												
[8:7]	RW	port_scan_mode	端口数据输入模式。 bit[8]=0: 亮度色度复合模式; bit[8]=1: 亮度色度分离模式。 bit[7]=0: 隔行输入模式; bit[7]=1: 逐行输入模式。												
[6:5]	RW	port_cap_mode	端口数据接收模式。 00: BT.656 模式; 01: BT.601 模式; 10: 数字摄像头模式; 其他: 保留。												
[4]	RW	port_vsync	管脚 VI_P_VSYNC_FIELD 配置信号。 0: 场号 (奇场或偶场) 或行有效信号; BT.601 模式下表示场号; camera 接口情况下表示行有效信号。 1: 垂直同步脉冲。												



8-61

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[3]	RW	port_vsync_neg	管脚 VI_P_VSYNC_FIELD 极性配置。 0: 高电平有效。 在脉冲模式下 (port_vsync=1), 正脉冲表示同步脉冲; 在场号模式下 (port_vsync=0), 高电平表示偶数场, 低电平表示奇数场; 行有效模式下, 高电平表示行有效。 1: 低电平有效。 在脉冲模式下 (port_vsync=1), 负脉冲表示同步脉冲; 在场号模式下 (port_vsync=0), 低电平表示偶数场, 高电平表示奇数场; 行有效模式下, 低电平表示行有效。
[2]		port_hsync	管脚 VI_P_HSYNC_VD 配置信号。 0: VI_P_HSYNC_VD 为数据有效信号; 1: VI_P_HSYNC_VD 为水平同步脉冲信号。 <b>说明: 16bit 同步接口该比特配置为 1。</b>
[1]	RW	port_hsync_neg	管脚 VI_P_HSYNC_VD 极性配置。 0: 高电平有效。 在脉冲模式下 (port_hsync=1), 正脉冲表示同步脉冲; 在数据有效模式下 (port_hsync=0), 高电平表示数据有效。 1: 低电平有效。 在脉冲模式下 (port_hsync=1), 负脉冲表示同步脉冲; 在数据有效模式下 (port_hsync=0), 低电平表示数据有效。
[0]	-	reserved	保留。

## SD\_PORTB\_CFG2

SD\_PORTB\_CFG2 为 SD 端口接口时序 1 寄存器。



	Offset Address 0x1038								Register Name SD_PORTB_CFG2								Total Reset Value 0x0000_2000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																data_type	debug_en	rgb_seq	yuv_seq	fix_code	seav_f_neg	reserved	correct_en								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:10]	-	reserved	保留。																												
	[9]	RW	data_type	数据格式。 0: RAW RGB 数据格式; 1: YUV 数据格式。																												
	[8]	RW	debug_en	测试使能。 0: 测试功能不使能; 1: 测试功能使能。																												
	[7:6]	RW	rgb_seq	RAW RGB 输入顺序寄存器。 00: RGRG; 01: GRGR; 10: BGBG; 11: GBGB。																												
	[5:4]	RW	yuv_seq	YUV 输入顺序寄存器。 00: UYVY; 01: VYUY; 10: YUYV; 11: YVYU。																												
	[3]	RW	fix_code	BT.656 定时基准码最高 bit 配置。 0: 固定为 1; 1: 固定为 0。																												
	[2]	RW	seav_f_neg	BT.656 定时基准码场指示位 (F) 极性。 0: 1st field:F=0, 2nd field:F=1 (标准); 1: 1st field:F=1, 2nd field:F=0 (非标准)。																												
	[1]	-	reserved	保留。																												



8-63

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[0]	RW	correct_en	SAV (Start of Active Video) /EAV (End of Activevideo) 数据校验使能。 0: 不使能校验。 1: 使能校验。
-----	----	------------	--

## SD\_HSYNC\_HFB

SD\_HSYNC\_HFB 为 SD 端口水平前消隐区宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x103C		SD_HSYNC_HFB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hfb	水平前消隐区宽度。						

## SD\_HSYNC\_HACT

SD\_HSYNC\_HACT 为 SD 端口水平有效宽度寄存器。

Offset Address		Register Name		Total Reset Value					
0x1040		SD_HSYNC_HACT		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hact	水平有效宽度。						



## SD\_HSYNC\_HBB

SD\_HSYNC\_HBB 为 SD 端口水平后消隐区宽度寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x1044				SD_HSYNC_HBB								0x0008_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																hsync_hbb																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留。																															
[15:0]	RW		hsync_hbb		水平后消隐区宽度。																															

## SD\_VSYNC0\_VFB

SD\_VSYNC0\_VFB 为 SD 端口奇场垂直前消隐区高度寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x1048				SD_VSYNC0_VFB								0x0008_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																hsync_hfb																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留。																															
[15:0]	RW		hsync_hfb		奇场垂直前消隐区高度。																															

## SD\_VSYNC0\_VACT

SD\_VSYNC0\_VACT 为 SD 端口奇场垂直有效区高度寄存器。



8-65

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x104C		SD_VSYNC0_VACT		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hact	奇场垂直有效区高度。						

### SD\_VSYNC0\_VBB

SD\_VSYNC0\_VBB 为 SD 端口奇场垂直后消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x1050		SD_VSYNC0_VBB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hbb	奇场垂直后消隐区高度。						

### SD\_VSYNC1\_VFB

SD\_VSYNC1\_VFB 为 SD 端口偶场垂直前消隐区高度寄存器。



Offset Address		Register Name		Total Reset Value					
0x1054		SD_VSYNC1_VFB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hfb	偶场垂直前消隐区高度。						

### SD\_VSYNC1\_VACT

SD\_VSYNC1\_VACT 为 SD 端口偶场垂直有效区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x1058		SD_VSYNC1_VACT		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hact				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hsync_hact	偶场垂直有效区高度。						

### SD\_VSYNC1\_VBB

SD\_VSYNC1\_VBB 为 SD 端口偶场垂直后消隐区高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x105C		SD_VSYNC1_VBB		0x0008_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hsync_hbb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



8-67

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[15:0]	RW	hsync_hbb	偶场垂直后消隐区高度。
--------	----	-----------	-------------

## SD\_DSAC\_CFG0

SD\_DSAC\_CFG0 为 SD 端口控制 0 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1064	SD_DSAC_CFG0	0x0000_0008
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 1 0 0 0		
Bits	Access	Name	Description
[31:0]	-	reserved	保留。

## SD\_DSAC\_CFG1

SD\_DSAC\_CFG1 为 SD 端口控制 1 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1068	SD_DSAC_CFG1	0x0000_0200
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 1 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:6]	-	reserved	保留
[5:4]	RW	dsac2_mod	当前数据选择。（实际应用中，建议配置为 1） 0: cut off 模式； 1: round down 模式； 2: feed back 模式
[3:2]	RW	reserve	保留。



[1]	RW	debug_en	当前数据选择。 0: 测试模式 colorbar 不使能; 1: 测试模式 colorbar 使能。
[0]	RW	dsac2_sel	当前数据选择。(总是配置为 1) 0: 数据来自 ISP; 1: 数据来自端口。

## SD\_CSC\_CFG

SD\_CSC\_CFG 为 SD 端口 csc 控制寄存器。

	Offset Address	Register Name	Total Reset Value						
	0x106C	SD_CSC_CFG	0x0000_0060						
Bit	31 30 29 28	27 26 25 24	23 22 21 20						
			19 18 17 16						
			15 14 13 12						
			11 10 9 8						
			7 6 5 4						
			3 2 1 0						
Name	reserved							csc_load	csc_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0						
			0 0 0 0						
			0 0 0 0						
			0 0 0 0						
			0 1 1 0						
			0 0 0 0						
			0 0 0 0						
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	csc_load	CSC 系数刷新指示。 0: CSC 系数刷新不使能; 1: CSC 系数刷新使能。						
[0]	RW	csc_en	CSC 使能。 0: CSC 不使能; 1: CSC 使能。						

## SD\_CSC\_IDCn

SD\_CSC\_IDCn 为 SD 端口 csc 输入直流分量 n 寄存器。(n=0、1、2)



8-69

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name				Total Reset Value																							
	0x1070+n×4				SD_CSC_IDCn				0x0000_3000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																csc_idcn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:9]	-	reserved		保留。																											
	[8:0]	RW	csc_idcn		为整数，用补码表示。																											

### SD\_CSC\_ODCn

SD\_CSC\_ODCn 为 SD 端口 csc 输出直流分量 n 寄存器。(n=0、1、2)

	Offset Address				Register Name				Total Reset Value																							
	0x1080+n×4				SD_CSC_ODCn				0x0000_3000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																csc_odcn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:9]	-	reserved		保留。																											
	[8:0]	RW	csc_odcn		为整数，用补码表示。																											

### SD\_CSC\_COEFn

SD\_CSC\_COEFn 为 SD 端口 csc 系数 n 寄存器。(n=0、1、2、3、...8)



Offset Address		Register Name		Total Reset Value						
0x108C+n×4		SD_CSC_COEFn		0x0003_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						csc_coefn			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:13]	-	reserved	保留。							
[12:0]	RW	csc_coefn	高 5bit 为整数，低 8bit 为小数。							

## SD\_CDS\_CFG

SD\_CDS\_CFG 为 SD 端口色度下采样控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x10B0		SD_CDS_CFG		0x0000_0500							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved						cds_bypass	cds_clip	cds_mod	cds_load	cds_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 1	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:5]	-	reserved	保留。								
[4]	RW	cds_bypass	通路选择。 0: 下采样通路; 1: bypass 直联通路。								
[3]	RW	cds_clip	箝位使能。 0: clip 不使能; 1: clip 使能。								
[2]	RW	cds_mod	色度下采样模式。 0: 丢点模式; 1: 滤波模式。								



8-71

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[1]	RW	cds_load	色度下采样系数刷新指示。 0: 不刷新; 1: 写一次 1, 表示刷新一次。
[0]	RW	cds_en	色度下采样使能。 0: cds 不使能; 1: cds 使能。

### SD\_CDS\_COEFn

SD\_CDS\_COEFn 为 SD 端口色度下采样系数 n 寄存器。(n=0、1、2、3)

	Offset Address				Register Name				Total Reset Value																							
	0x10B4+n×4				SD_CDS_COEFn				0x0000_B000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																csc_coefn															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:10]		[9:0]																													
Access	-		RW																													
Name	reserved		csc_coefn																													
Description	保留。		10bit 补码。																													

### SD\_INT\_MASK

SD\_INT\_MASK 为 SD 端口中断屏蔽寄存器。



Offset Address		Register Name		Total Reset Value					
0x1F00		SD_INT_MASK		0x0000_7000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sd_mask_intf	reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	-	reserved	保留。						
[8]	RW	sd_mask_intf	端口错误中断屏蔽位。 0：屏蔽中断； 1：打开中断。						
[7:0]	RW	reserved	保留。						

## SD\_INT

SD\_INT 为 SD 端口中断寄存器。

Offset Address		Register Name		Total Reset Value					
0x1F04		SD_INT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						sd_int_intf	reserved	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:9]	-	reserved	保留。						
[8]	RW	sd_int_intf	端口错误中断。 0：没有端口错误中断； 1：有端口错误中断。						



8-73

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[7:0]	RW	reserved	保留。
-------	----	----------	-----

## SD\_INT\_RAW

SD\_INT\_RAW 为 SD 端口原始中断寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1F08				SD_INT_RAW				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																				sd_int_intf_raw	reserved										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:9]	-		reserved		保留。																											
[8]	RW		sd_int_intf_raw		端口错误原始中断。																											
[7:0]	RW		reserved		保留。																											

## SCH\_CTRL

SCH\_CTRL 为抓拍通道控制寄存器。



	Offset Address 0x4000								Register Name SCH_CTRL								Total Reset Value 0x0000_0000																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	sch_en	reserved								hist_en			flip_en		mir_en			reserved															store_method	
Reset	0 0 0 0				0 0 0 0				0 0 0 0			0 0 0 0		0 0 0 0			0 0 0 0				0 0 0 0				0 0 0 0									
	Bits	Access	Name		Description																													
	[31]	RW	sch_en		通道使能。 0: 不使能; 1: 使能。																													
	[30:24]	-	reserved		保留。																													
	[23]	RW	hist_en		直方图统计使能。 0: 不使能; 1: 使能。																													
	[22]	RW	flip_en		垂直反向使能。 0: 不使能; 1: 使能。																													
	[21]	RW	mir_en		水平反向使能。 0: 不使能; 1: 使能。																													
	[20:2]	-	reserved		保留。																													
	[1:0]	RW	store_method		存储方式。 00: semi-planar 422; 01: semi-planar 420; 10: RAW DATA (单分量); 11: 保留。																													

## SCH\_REG\_NEWER

SCH\_REG\_NEWER 为抓拍通道寄存器配置完毕寄存器。



8-75

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x4004		SCH_REG_NEWER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	reg_newer	下一场/帧寄存器准备完毕。 0: 下一需要接收的场/帧寄存器未准备好, 硬件将放弃下一场/帧的接收。 1: 下一需要接收的场/帧寄存器准备好, 在检测到下一场/帧的场/帧开始时, 硬件开始接收下一场数据。 <b>说明:</b> 此位在 <b>store_mode</b> 为帧模式时, <b>VICAP</b> 硬件在自动更新内部工作寄存器后, 将自动清零该位。						

## SCH\_LINK

SCH\_LINK 为抓拍通道连接端口配置寄存器, 即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x4008		SCH_LINK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ch_link_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						



[0]	RW	ch_link_sel	通道连接配置。 0: 通道连接端口 HD; 1: 通道连接端口 SD。
-----	----	-------------	---

## SCH\_STORE

SCH\_STORE 为抓拍通道存储控制寄存器，即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x400C								SCH_STORE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										scan_mode	store_mode				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:2]	-	reserved	保留。																												
	[1]	RW	scan_mode	输入模式。 0: 隔行; 1: 逐行。																												
	[0]	RW	store_mode	存储模式。 0: 场存储模式; 1: 帧存储模式。																												

## SCH\_CROP\_START

SCH\_CROP\_START 为抓拍通道图像获取起始位置寄存器。



8-77

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x4010		SCH_CROP_START		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	start_y				reserved	start_x			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	start_y	开始获取图像的行号。							
[15:13]	-	reserved	保留。							
[12:0]	RW	start_x	开始获取图像的像素号。							

## SCH\_CROP\_SIZE

SCH\_CROP\_SIZE 为抓拍通道图像获取大小寄存器。

Offset Address		Register Name		Total Reset Value						
0x4014		SCH_CROP_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	crop_height				reserved	crop_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	crop_height	获取图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	crop_width	获取图像一行的宽度（以像素为单位）。							



## SCH\_FSTART\_DLY

SCH\_FSTART\_DLY 为抓拍通道帧起始 delay 寄存器。

Offset Address		Register Name		Total Reset Value				
0x401C		SCH_FSTART_DLY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fstart_dly							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fstart_dly	通道帧起始 delay 控制。					

## SCH\_YBASE\_ADDR

SCH\_YBASE\_ADDR 为抓拍通道 Y 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x4020		SCH_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	通道 Y 分量基地址。					

## SCH\_CBASE\_ADDR

SCH\_CBASE\_ADDR 为抓拍通道 C 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x4024		SCH_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	通道 C 分量基地址。					



## SCH\_Y\_STRIDE

SCH\_Y\_STRIDE 为抓拍通道 Y 分量 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x4028		SCH_Y_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				y_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	y_stride	图像存储亮度的 stride，以 byte 的为单位。						

## SCH\_C\_STRIDE

SCH\_C\_STRIDE 为抓拍通道 C 分量 stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x402C		SCH_C_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				c_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	c_stride	图像存储色度的 stride，以 byte 的为单位。						

## SCH\_HBASE\_ADDR

SCH\_HBASE\_ADDR 为抓拍通道直方图统计信息基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x4030		SCH_HBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hbase_addr	通道直方图统计信息基地址。					

## SCH\_H\_STRIDE

SCH\_H\_STRIDE 为抓拍通道直方图统计信息 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x4034		SCH_H_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				h_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	h_stride	通道直方图统计信息 stride，以 byte 的为单位。					

## SCH\_HIST\_SIZE

SCH\_HIST\_SIZE 为抓拍通道直方图统计块的窗口属性寄存器。



8-81

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x4038		SCH_HIST_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							h_win_height	h_win_width
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	-	reserved	保留。						
[3:2]	RW	h_win_height	通道直方图统计块的窗口高度属性。						
[1:0]	RW	h_win_width	通道直方图统计块的窗口宽度属性。						

## SCH\_HIST\_MODE

SCH\_HIST\_MODE 为抓拍通道直方图统计块的窗口模式寄存器。

Offset Address		Register Name		Total Reset Value				
0x403C		SCH_HIST_MODE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							hist_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	-	reserved	保留。					



[2:0]	RW	hist_mode	通道直方图统计块的窗口模式。 000: 第一行的块高度减 8; 001: 第一行的块高度加 8; 010: 第一行的块高度减 4; 011: 第一行的块高度加 4; 其他: 第一行的块高度不进行加减。
-------	----	-----------	---

## SCH\_INT\_EN

SCH\_INT\_EN 为抓拍通道中断使能寄存器。

	Offset Address	Register Name	Total Reset Value																		
	0x4040	SCH_INT_EN	0x0000_0000																		
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																				
Name	reserved															frame_pulse_int_en	reg_update_int_en	err_int_en	field_throw_int_en	buf_ovf_int_en	ec_int_en
Reset	0 0																				
Bits	Access	Name	Description																		
[31:6]	-	reserved	保留。																		
[5]	RW	frame_pulse_int_en	帧/场起始中断使能。 0: 屏蔽中断; 1: 使能中断。																		
[4]	RW	reg_update_int_en	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。																		
[3]	RW	err_int_en	总线错误中断使能。 0: 屏蔽中断; 1: 使能中断。																		
[2]	RW	field_throw_int_en	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。																		



8-83

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[1]	RW	buf_ovf_int_en	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	cc_int_en	数据获取完毕中断使能。 0: 一帧/场图像获取完毕中断; 1: 一帧/场图像获取完毕中断。

## SCH\_INT\_STATUS

SCH\_INT\_STATUS 为抓拍通道中断状态寄存器，可屏蔽。

	Offset Address	Register Name	Total Reset Value										
	0x4044	SCH_INT_STATUS	0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20										
			19 18 17 16										
			15 14 13 12										
			11 10 9 8										
			7 6 5 4										
			3 2 1 0										
Name	reserved							frame_pulse_int	reg_update_int	err_int	field_throw_int	buf_ovf_int	cc_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										
[5]	WC	frame_pulse_int	帧/场起始中断状态。 0: 无中断; 1: 有中断。										
[4]	WC	reg_update_int	寄存器更新中断状态。 0: 无中断; 1: 有中断。										
[3]	WC	err_int	总线错误中断状态。 0: 无中断; 1: 有中断。										



[2]	WC	field_throw_int	场/帧丢失中断状态。 0: 无中断; 1: 有中断。
[1]	WC	buf_ovf_int	内部 FIFO 溢出错误中断状态。 0: 无中断; 1: 有中断。
[0]	WC	cc_int	数据获取完毕中断状态。 0: 无中断; 1: 有中断。

## SCH\_RAW\_INT

SCH\_RAW\_INT 为抓拍通道原始中断状态寄存器，不可屏蔽。

	Offset Address	Register Name	Total Reset Value
	0x4048	SCH_RAW_INT	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			frame_pulse_raw_int
			reg_update_raw_int
			err_raw_int
			field_throw_raw_int
			buf_ovf_raw_int
			cc_raw_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RO	frame_pulse_raw_int	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。
[4]	RO	reg_update_raw_int	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。



8-85

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[3]	RO	err_raw_int	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	RO	field_throw_raw_int	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	RO	buf_ovf_raw_int	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	RO	cc_raw_int	数据获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。

## SCH\_STATUS

SCH\_STATUS 为抓拍通道状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x404C				SCH_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								field_height								ch_busy	field2	bus_err	frame_loss	buf_ovf	image_done										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access			Name			Description																									
[31:19]	-			reserved			保留。																									
[18:6]	RO			field_height			当前通道一场/帧的行数（包括消隐区）。																									
[5]	RO			ch_busy			当前通道工作状态。 0: 通道空闲; 1: 通道忙。																									



[4]	RO	field2	当前接收为偶数场。 0: 奇数场; 1: 偶数场。
[3]	RO	bus_err	总线错误状态。 0: 总线正确; 1: 总线错误。
[2]	RO	frame_loss	丢失场/帧数据。 0: 未丢失; 1: 丢失。
[1]	RO	buf_ovf	内部 buffer 溢出。 0: 未溢出; 1: 溢出。
[0]	RO	image_done	接收完毕当前场数据。 0: 未接受完毕; 1: 接受完毕。

## MCH\_CTRL

MCH\_CTRL 为主通道控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x5000				MCH_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch_en	reserved							hist_en	flip_en	mir_en	reserved															store_method					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[30:24]																													
Access	RW		-																													
Name	ch_en		reserved																													
Description	通道使能。 0: 不使能; 1: 使能。		保留。																													



8-87

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[23]	RW	hist_en	直方图统计使能。 0: 不使能; 1: 使能。
[22]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。
[21]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。
[20:2]	-	reserved	保留。
[1:0]	RW	store_method	存储方式。 0: semi-planar 422; 1: semi-planar 420; 2: RAW DATA (单分量)。

## MCH\_REG\_NEWER

MCH\_REG\_NEWER 为主通道寄存器配置完毕寄存器。

	Offset Address								Register Name								Total Reset Value																
	0x5004								MCH_REG_NEWER								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																												reg_newer				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																												
[31:1]	-		reserved		保留。																												



[0]	RW	reg_newer	<p>下一场/帧寄存器准备完毕。</p> <p>0: 下一需要接收的场/帧寄存器未准备好, 硬件将放弃下一场/帧的接收。</p> <p>1: 下一需要接收的场/帧寄存器准备好, 在检测到下一场/帧的场/帧开始时, 硬件开始接收下一场数据。</p> <p>说明</p> <p>此位在 store_mode 为帧模式时, VICAP 硬件在自动更新内部工作寄存器后, 将自动清零该位。</p>
-----	----	-----------	--

## MCH\_LINK

MCH\_LINK 为主通道连接端口配置寄存器, 即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x5008				MCH_LINK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ch_link_sel			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:1]																															
Access	-																															
Name			reserved																													
Description			保留。																													
Bits	[0]																															
Access	RW																															
Name																													ch_link_sel			
Description																													通道连接配置。			
																														0: 通道连接端口 HD;		
																														1: 通道连接端口 SD。		

## MCH\_STORE

MCH\_STORE 为主通道存储控制寄存器, 即时寄存器。



8-89

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name				Total Reset Value																							
	0x500C				MCH_STORE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								scan_mode	store_mode						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:2]	-	reserved		保留。																											
	[1]	RW	scan_mode		输入模式。 0: 隔行; 1: 逐行。																											
	[0]	RW	store_mode		存储模式。 0: 场存储模式; 1: 帧存储模式。																											

## MCH\_CROP\_START

MCH\_CROP\_START 为主通道图像获取起始位置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x5010				MCH_CROP_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved		start_y										reserved		start_x																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:29]	-	reserved		保留。																											
	[28:16]	RW	start_y		开始获取图像的行号。																											
	[15:13]	-	reserved		保留。																											



[12:0]	RW	start_x	开始获取图像的像素号。
--------	----	---------	-------------

## MCH\_CROP\_SIZE

MCH\_CROP\_SIZE 为主通道图像获取大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x5014		MCH_CROP_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	crop_height			reserved	crop_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	crop_height	获取图像的高度（以行为单位）。						
[15:13]	-	reserved	保留。						
[12:0]	RW	crop_width	获取图像一行的宽度（以像素为单位）。						

## MCH\_DES\_SIZE

MCH\_DES\_SIZE 为主通道图像输出大小寄存器。

Offset Address		Register Name		Total Reset Value					
0x5018		MCH_DES_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	des_height			reserved	des_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	des_height	存储图像的高度（以行为单位）。						



8-91

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[15:13]	-	reserved	保留。
[12:0]	RW	des_width	存储图像一行的宽度（以像素为单位）。

## MCH\_FSTART\_DLY

MCH\_FSTART\_DLY 为主通道帧起始 delay 寄存器。

Offset Address		Register Name		Total Reset Value				
0x501C		MCH_FSTART_DLY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fstart_dly							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fstart_dly	通道帧起始 delay 控制。					

## MCH\_YBASE\_ADDR

MCH\_YBASE\_ADDR 为主通道 Y 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x5020		MCH_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	通道 Y 分量基地址。					

## MCH\_CBASE\_ADDR

MCH\_CBASE\_ADDR 为主通道 C 分量基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x5024		MCH_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	通道 C 分量基地址。					

## MCH\_Y\_STRIDE

MCH\_Y\_STRIDE 为主通道 Y 分量 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x5028		MCH_Y_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				y_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	y_stride	图像存储亮度的 stride, 以 byte 的为单位。					

## MCH\_C\_STRIDE

MCH\_C\_STRIDE 为主通道 C 分量 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x502C		MCH_C_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				c_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	c_stride	图像存储色度的 stride, 以 byte 的为单位。					



## MCH\_HBASE\_ADDR

MCH\_HBASE\_ADDR 为主通道直方图统计信息基地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x5030				MCH_HBASE_ADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	hbase_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name				Description																													
[31:0]	RW		hbase_addr				通道直方图统计信息基地址。																													

## MCH\_H\_STRIDE

MCH\_H\_STRIDE 为主通道直方图统计信息 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x5034				MCH_H_STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																h_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name				Description																													
[31:16]	-		reserved				保留。																													
[15:0]	RW		h_stride				通道直方图统计信息 stride，以 16B 为单位。																													

## MCH\_HIST\_SIZE

MCH\_HIST\_SIZE 为主通道直方图统计块的窗口属性寄存器。



Offset Address		Register Name		Total Reset Value					
0x5038		MCH_HIST_SIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							h_win_height	h_win_width
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:4]	-	reserved	保留。						
[3:2]	RW	h_win_height	通道直方图统计块的窗口高度属性。						
[1:0]	RW	h_win_width	通道直方图统计块的窗口宽度属性。						

## MCH\_HIST\_MODE

MCH\_HIST\_MODE 为主通道直方图统计块的窗口模式寄存器。

Offset Address		Register Name		Total Reset Value				
0x503C		MCH_HIST_MODE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							hist_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	-	reserved	保留。					
[2:0]	RW	hist_mode	通道直方图统计块的窗口模式。 000: 第一行的块高度减 8; 001: 第一行的块高度加 8; 010: 第一行的块高度减 4; 011: 第一行的块高度加 4; 其他: 第一行的块高度不进行加减。					



8-95

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## MCH\_INT\_EN

MCH\_INT\_EN 为主通道中断使能寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x5040	MCH_INT_EN	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved											frame_pulse_int_en	reg_update_int_en	err_int_en	field_throw_int_en	buf_ovf_int_en	cc_int_en
Reset	0 0																
Bits	Access	Name	Description														
[31:6]	-	reserved	保留。														
[5]	RW	frame_pulse_int_en	帧/场起始中断使能。 0: 屏蔽中断; 1: 使能中断。														
[4]	RW	reg_update_int_en	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。														
[3]	RW	err_int_en	总线错误中断使能。 0: 屏蔽中断; 1: 使能中断。														
[2]	RW	field_throw_int_en	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。														
[1]	RW	buf_ovf_int_en	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。														
[0]	RW	cc_int_en	数据获取完毕中断使能。 0: 一帧/场图像获取完毕中断; 1: 一帧/场图像获取完毕中断。														



## MCH\_INT\_STATUS

MCH\_INT\_STATUS 为主通道中断状态寄存器，可屏蔽。

Offset Address	Register Name	Total Reset Value											
0x5044	MCH_INT_STATUS	0x0000_0000											
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0												
Name	reserved							frame_pulse_int	reg_update_int	err_int	field_throw_int	buf_ovf_int	cc_int
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0												
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										
[5]	WC	frame_pulse_int	帧/场起始中断状态。 0: 无中断; 1: 有中断。										
[4]	WC	reg_update_int	寄存器更新中断状态。 0: 无中断; 1: 有中断。										
[3]	WC	err_int	总线错误中断状态。 0: 无中断; 1: 有中断。										
[2]	WC	field_throw_int	场/帧丢失中断状态。 0: 无中断; 1: 有中断。										
[1]	WC	buf_ovf_int	内部 FIFO 溢出错误中断状态。 0: 无中断; 1: 有中断。										
[0]	WC	cc_int	数据获取完毕中断状态。 0: 无中断; 1: 有中断。										



8-97

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## MCH\_RAW\_INT

MCH\_RAW\_INT 为主通道原始中断状态寄存器，不可屏蔽。

Offset Address		Register Name		Total Reset Value									
0x5048		MCH_RAW_INT		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved							frame_pulse_raw_int	reg_update_raw_int	err_raw_int	field_throw_raw_int	buf_ovf_raw_int	cc_raw_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0					
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										
[5]	RO	frame_pulse_raw_int	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。										
[4]	RO	reg_update_raw_int	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。										
[3]	RO	err_raw_int	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。										
[2]	RO	field_throw_raw_int	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。										
[1]	RO	buf_ovf_raw_int	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。										



[0]	RO	cc_raw_int	数据获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。
-----	----	------------	---------------------------------------

## MCH\_STATUS

MCH\_STATUS 为主通道状态寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x504C								MCH_STATUS								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								field_height								ch_busy	field2	bus_err	frame_loss	buf_ovf	image_done														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:19]	-		reserved		保留。																															
[18:6]	RO		field_height		当前通道一场/帧的行数（包括消隐区）。																															
[5]	RO		ch_busy		当前通道工作状态。 0: 通道空闲; 1: 通道忙。																															
[4]	RO		field2		当前接收为偶数场。 0: 奇数场; 1: 偶数场。																															
[3]	RO		bus_err		总线错误状态。 0: 总线正确; 1: 总线错误。																															
[2]	RO		frame_loss		丢失场/帧数据。 0: 未丢失; 1: 丢失。																															



8-99

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[1]	RO	buf_ovf	内部 buffer 溢出。 0: 未溢出; 1: 溢出。
[0]	RO	image_done	接收完毕当前场数据。 0: 未接受完毕; 1: 接受完毕。

## MCH\_HLFIR\_PAR

MCH\_HLFIR\_PAR 为主通道亮度水平缩放参数配置寄存器。

Offset Address		Register Name		Total Reset Value																																
0x5100		MCH_HLFIR_PAR		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	hlmsc_en	hlmid_en	hlfir_en	hlfir_clip_en	reserved								hlratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31]	RW		hlmsc_en		水平亮度缩放使能。 0: 禁止; 1: 使能。																															
[30]	RW		hlmid_en		水平亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																															
[29]	RW		hlfir_en		水平亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																															



[28]	RW	hlfir_clip_en	水平亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>
[27:16]	RW	reserved	保留。
[15:0]	RW	hlratio	亮度水平缩放倍数, 输出宽度/输入宽度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。

## MCH\_HCFIR\_PAR

MCH\_HCFIR\_PAR 为主通道色度水平缩放参数配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x5104		MCH_HCFIR_PAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hchmsc_en hchmid_en hchfir_en hchfir_clip_en	reserved				hchratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。						
[30]	RW	hchmid_en	水平色度缩放中值滤波使能。 0: 禁止; 1: 使能。						
[29]	RW	hchfir_en	水平色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>						



8-101

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[28]	RW	hchfir_clip_en	水平色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>
[27:16]	RW	reserved	保留。
[15:0]	RW	hchratio	色度水平缩放倍数, 输出宽度/输入宽度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。

## MCH\_HLFIR\_OFFSET

MCH\_HLFIR\_OFFSET 为主通道亮度缩放水平位置偏移寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x5108				MCH_HLFIR_OFFSET								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hluma_offset																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	-		reserved		保留。																											
[16:0]	RW		hluma_offset		水平亮度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。																											

## MCH\_HCFIR\_OFFSET

MCH\_HCFIR\_OFFSET 为主通道色度缩放水平位置偏移寄存器。



Offset Address		Register Name		Total Reset Value					
0x510C		MCH_HCFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hchroma_offset	水平色度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-6~15。						

## MCH\_VLFIR\_PAR

MCH\_VLFIR\_PAR 为主通道亮度垂直平缩放参数配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x5110		MCH_VLFIR_PAR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	vlmisc_en vlmid_en vlfir_en vlfir_clip_en	reserved				vlratio			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	vlmisc_en	垂直亮度缩放使能。 0: 禁止; 1: 使能。						
[30]	RW	vlmid_en	垂直亮度缩放中值滤波使能。 0: 禁止; 1: 使能。						



8-103

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[29]	RW	vlfir_en	垂直亮度缩放模式。 0: 滤波模式（滤波使能）； 1: 复制模式（滤波不使能，即抽行方式）。 <b>注：该比特建议配置成 0，复制模式用于调试。</b>
[28]	RW	vlfir_clip_en	垂直亮度嵌位使能。 0: 禁止； 1: 使能。 <b>注：该比特建议配置成 0。</b>
[27:16]	RW	reserved	保留。
[15:0]	RW	vlratio	亮度垂直缩放倍数，输出高度/输入高度，(u,4,12)格式，即无符号位，4 比特整数位，12 比特小数位。

## MCH\_VCFIR\_PAR

MCH\_VCFIR\_PAR 为主通道色度垂直平缩放参数配置寄存器。

	Offset Address				Register Name								Total Reset Value																						
	0x5114				MCH_VCFIR_PAR								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	vchmsc_en	vchmid_en	vchfir_en	vchfir_clip_en	reserved								vchratio																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	Bits	Access	Name	Description																															
	[31]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止； 1: 使能。																															
	[30]	RW	vchmid_en	垂直色度缩放中值滤波使能。 0: 禁止； 1: 使能。																															



[29]	RW	vchfir_en	垂直色度缩放模式。 0: 滤波模式（滤波使能）； 1: 复制模式（滤波不使能，即抽行方式）。 注：该比特建议配置成 0，复制模式用于调试。
[28]	RW	vchfir_clip_en	垂直色度嵌位使能。 0: 禁止； 1: 使能。 注：该比特建议配置成 0。
[27:16]	RW	reserved	保留
[15:0]	RW	vchratio	色度垂直缩放倍数，输出高度/输入高度，(u,4,12)格式，即无符号位，4 比特整数位，12 比特小数位。

## MCH\_VLFIR\_OFFSET

MCH\_VLFIR\_OFFSET 为主通道亮度缩放垂直位置偏移寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x5118				MCH_VLFIR_OFFSET								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												vluma_offset																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	-		reserved		保留。																											
[16:0]	RW		vluma_offset		垂直亮度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-3~15。																											

## MCH\_VCFIR\_OFFSET

MCH\_VCFIR\_OFFSET 为主通道色度缩放垂直位置偏移寄存器。



8-105

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x511C		MCH_VCFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	vchroma_offset	垂直色度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-3~15。						

## MCH\_COEF\_UPDATE

MCH\_COEF\_UPDATE 为主通道缩放系数更新寄存器。

Offset Address		Register Name		Total Reset Value							
0x5120		MCH_COEF_UPDATE		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_update	lvcoef_update	chcoef_update	lhcoef_update
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	cvcoef_update	垂直色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。								
[2]	RW	lvcoef_update	垂直亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。								



[1]	RW	chcoef_update	水平色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。
[0]	RW	lhcoef_update	水平亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。

## MCH\_HBLANK\_WIDTH

MCH\_HBLANK\_WIDTH 为主通道水平消隐区宽度寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x5124	MCH_HBLANK_WIDTH	0x0000_0080	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
	19 18 17 16	15 14 13 12	11 10 9 8	
	7 6 5 4	3 2 1 0		
Name	reserved			
	hblank_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	1 0 0 0	0 0 0 0		
Bits	Access	Name	Description	
[31:16]	-	reserved	保留。	
[15:0]	RW	hblank_width	水平消隐区宽度，总线时钟为单位；垂直缩放使能时，需要配置该寄存器，配置方法： (Tline - out_width * Tbus)/Tbus; Tline 为一行的时间，Tbus 总线时钟周期。	

## MCH\_COEF\_RSEL

MCH\_COEF\_RSEL 为主通道缩放系数读取选择寄存器。



8-107

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name				Total Reset Value																							
	0x5128				MCH_COEF_RSEL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	-	reserved	保留。																													
[3]	RW	cvcoef_read_sel	垂直色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。																													
[2]	RW	lvcoef_read_sel	垂直亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。																													
[1]	RW	chcoef_read_sel	水平色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。																													
[0]	RW	lhcoef_read_sel	水平亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。																													

## PCH1\_CTRL

PCH1\_CTRL 为预览通道 1 控制寄存器。



	Offset Address 0x6000								Register Name PCH1_CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ch_en	reserved								hist_en	flip_en	mir_en	reserved														store_method					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		ch_en		通道使能。 0: 不使能; 1: 使能。																											
[30:24]	-		reserved		保留。																											
[23]	RW		hist_en		直方图统计使能。 0: 不使能; 1: 使能。																											
[22]	RW		flip_en		垂直反向使能。 0: 不使能; 1: 使能。																											
[21]	RW		mir_en		水平反向使能。 0: 不使能; 1: 使能。																											
[20:2]	-		reserved		保留。																											
[1:0]	RW		store_method		存储方式。 0: semi-planar 422; 1: semi-planar 420; 2: RAW DATA (单分量)。																											

## PCH1\_REG\_NEWER

PCH1\_REG\_NEWER 为预览通道 1 寄存器配置完毕寄存器。



8-109

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x6004		PCH1_REG_NEWER		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								reg_newer
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	reg_newer	下一场/帧寄存器准备完毕。 0: 下一需要接收的场/帧寄存器未准备好, 硬件将放弃下一场/帧的接收。 1: 下一需要接收的场/帧寄存器准备好, 在检测到下一场/帧的场/帧开始时, 硬件开始接收下一场数据。 <b>说明:</b> 此位在 <b>store_mode</b> 为帧模式时, <b>VICAP</b> 硬件在自动更新内部工作寄存器后, 将自动清零该位。						

## PCH1\_LINK

PCH1\_LINK 为预览通道 1 连接端口配置寄存器, 即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x6008		PCH1_LINK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ch_link_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						



[0]	RW	ch_link_sel	通道连接配置。 0: 通道连接端口 HD; 1: 通道连接端口 SD。
-----	----	-------------	---

## PCH1\_STORE

PCH1\_STORE 为预览通道 1 存储控制寄存器，即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x600C								PCH1_STORE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										scan_mode	store_mode				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:2]	-	reserved	保留。																												
	[1]	RW	scan_mode	输入模式。 0: 隔行; 1: 逐行。																												
	[0]	RW	store_mode	存储模式。 0: 场存储模式; 1: 帧存储模式。																												

## PCH1\_CROP\_START

PCH1\_CROP\_START 为预览通道 1 图像获取起始位置寄存器。



8-111

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x6010		PCH1_CROP_START		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	start_y				reserved	start_x			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	start_y	开始获取图像的行号。							
[15:13]	-	reserved	保留。							
[12:0]	RW	start_x	开始获取图像的像素号。							

## PCH1\_CROP\_SIZE

PCH1\_CROP\_SIZE 为预览通道 1 图像获取大小寄存器。

Offset Address		Register Name		Total Reset Value						
0x6014		PCH1_CROP_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	crop_height				reserved	crop_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	crop_height	获取图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	crop_width	获取图像一行的宽度（以像素为单位）。							



## PCH1\_DES\_SIZE

PCH1\_DES\_SIZE 为预览通道 1 图像输出大小寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x6018				PCH1_DES_SIZE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				des_height								reserved				des_width																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:29]	-	reserved	保留。																																
	[28:16]	RW	des_height	存储图像的高度（以行为单位）。																																
	[15:13]	-	reserved	保留。																																
	[12:0]	RW	des_width	存储图像一行的宽度（以像素为单位）。																																

## PCH1\_FSTART\_DLY

PCH1\_FSTART\_DLY 为预览通道 1 帧起始 delay 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x601C				PCH1_FSTART_DLY								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	fstart_dly																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:0]	RW	fstart_dly	通道帧起始 delay 控制。																																

## PCH1\_YBASE\_ADDR

PCH1\_YBASE\_ADDR 为预览通道 1 Y 分量基地址寄存器。



8-113

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																							
	0x6020				PCH1_YBASE_ADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	ybase_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	ybase_addr		通道 Y 分量基地址。																															

### PCH1\_CBASE\_ADDR

PCH1\_CBASE\_ADDR 为预览通道 1 C 分量基地址寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x6024				PCH1_CBASE_ADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	cbase_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:0]	RW	cbase_addr		通道 C 分量基地址。																															

### PCH1\_Y\_STRIDE

PCH1\_Y\_STRIDE 为预览通道 1 的 Y 分量的 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x6028				PCH1_Y_STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																y_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															



[15:0]	RW	y_stride	图像存储亮度的 stride, 以 byte 的为单位。
--------	----	----------	------------------------------

## PCH1\_C\_STRIDE

PCH1\_C\_STRIDE 为预览通道 1 的 C 分量的 stride 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x602C	PCH1_C_STRIDE	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved		
	c_stride		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	c_stride	图像存储色度的 stride, 以 byte 的为单位。

## PCH1\_HBASE\_ADDR

PCH1\_HBASE\_ADDR 为预览通道 1 直方图统计信息基地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x6030	PCH1_HBASE_ADDR	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	hbase_addr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	hbase_addr	通道直方图统计信息基地址。

## PCH1\_H\_STRIDE

PCH1\_H\_STRIDE 为预览通道 1 直方图统计信息 stride 寄存器。



8-115

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x6034		PCH1_H_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				h_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	h_stride	通道直方图统计信息 stride，以 16B 为单位。						

## PCH1\_HIST\_SIZE

PCH1\_HIST\_SIZE 为预览通道 1 直方图统计块的窗口属性寄存器。

Offset Address		Register Name		Total Reset Value				
0x6038		PCH1_HIST_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						h_win_height	h_win_width
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:4]	-	reserved	保留。					
[3:2]	RW	h_win_height	通道直方图统计块的窗口高度属性。					
[1:0]	RW	h_win_width	通道直方图统计块的窗口款宽度属性。					

## PCH1\_HIST\_MODE

PCH1\_HIST\_MODE 为预览通道 1 直方图统计块的窗口模式寄存器。



Offset Address		Register Name		Total Reset Value				
0x603C		PCH1_HIST_MODE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							hist_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:3]	-	reserved	保留。					
[2:0]	RW	hist_mode	通道直方图统计块的窗口模式。 000: 第一行的块高度减 8; 001: 第一行的块高度加 8; 010: 第一行的块高度减 4; 011: 第一行的块高度加 4; 其他: 第一行的块高度不进行加减。					

## PCH1\_INT\_EN

PCH1\_INT\_EN 为预览通道 1 中断使能寄存器。

Offset Address		Register Name		Total Reset Value									
0x6040		PCH1_INT_EN		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved							frame_pulse_int_en	reg_update_int_en	err_int_en	field_throw_int_en	buf_ovf_int_en	ec_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										



8-117

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[5]	RW	frame_pulse_int_en	帧/场起始中断使能。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	reg_update_int_en	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	err_int_en	总线错误中断使能。 0: 屏蔽中断; 1: 使能中断。
[2]	RW	field_throw_int_en	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	buf_ovf_int_en	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	cc_int_en	数据获取完毕中断使能。 0: 一帧/场图像获取完毕中断; 1: 一帧/场图像获取完毕中断。

## PCH1\_INT\_STATUS

PCH1\_INT\_STATUS 为预览通道 1 中断状态寄存器，可屏蔽。



	Offset Address 0x6044								Register Name PCH1_INT_STATUS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								frame_pulse_int	reg_update_int	err_int	field_throw_int	buf_ovf_int	cc_int		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	-		reserved		保留。																											
[5]	WC		frame_pulse_int		帧/场起始中断状态。 0: 无中断; 1: 有中断。																											
[4]	WC		reg_update_int		寄存器更新中断状态。 0: 无中断; 1: 有中断。																											
[3]	WC		err_int		总线错误中断状态。 0: 无中断; 1: 有中断。																											
[2]	WC		field_throw_int		场/帧丢失中断状态。 0: 无中断; 1: 有中断。																											
[1]	WC		buf_ovf_int		内部 FIFO 溢出错误中断状态。 0: 无中断; 1: 有中断。																											
[0]	WC		cc_int		数据获取完毕中断状态。 0: 无中断; 1: 有中断。																											

## PCH1\_RAW\_INT

PCH1\_RAW\_INT 为预览通道 1 原始中断状态寄存器，不可屏蔽。



8-119

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value																												
0x6048		PCH1_RAW_INT		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								frame_pulse_raw_int	reg_update_raw_int	err_raw_int	field_throw_raw_int	buf_ovf_raw_int	cc_raw_int		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	-	reserved	保留。																													
[5]	RO	frame_pulse_raw_int	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[4]	RO	reg_update_raw_int	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。																													
[3]	RO	err_raw_int	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[2]	RO	field_throw_raw_int	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。																													
[1]	RO	buf_ovf_raw_int	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[0]	RO	cc_raw_int	数据获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。																													



## PCH1\_STATUS

PCH1\_STATUS 为预览通道 1 状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x604C				PCH1_STATUS				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								act_height								ch_busy	field2	bus_err	frame_loss	buf_ovf	image_done										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:19]	-		reserved		保留。																											
[18:6]	RO		act_height		当前通道一场/帧的行数（包括消隐区）。																											
[5]	RO		ch_busy		当前通道工作状态。 0：通道空闲； 1：通道忙。																											
[4]	RO		field2		当前接收为偶数场。 0：奇数场； 1：偶数场。																											
[3]	RO		bus_err		总线错误状态。 0：总线正确； 1：总线错误。																											
[2]	RO		frame_loss		丢失场/帧数据。 0：未丢失； 1：丢失。																											
[1]	RO		buf_ovf		内部 buffer 溢出。 0：未溢出； 1：溢出。																											
[0]	RO		image_done		接收完毕当前场数据。 0：未接受完毕； 1：接受完毕。																											



8-121

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## PCH1\_HLFIR\_PAR

PCH1\_HLFIR\_PAR 为预览通道 1 亮度水平缩放参数配置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x6100				PCH1_HLFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hlmid_en	hlfir_en	hlfir_clip_en	reserved								hlratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		hlmsc_en		水平亮度缩放使能。 0: 禁止; 1: 使能。																											
[30]	RW		hlmid_en		水平亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																											
[29]	RW		hlfir_en		水平亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																											
[28]	RW		hlfir_clip_en		水平亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																											
[27:16]	RW		reserved		保留。																											
[15:0]	RW		hlratio		亮度水平缩放倍数, 输出宽度/输入宽度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																											



## PCH1\_HCFIR\_PAR

PCH1\_HCFIR\_PAR 为预览通道 1 色度水平缩放参数配置寄存器。

	Offset Address 0x6104				Register Name PCH1_HCFIR_PAR								Total Reset Value 0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	hchmsc_en	hchmid_en	hchfir_en	hchfir_clip_en	reserved								hchratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。																																
	[30]	RW	hchmid_en	水平色度缩放中值滤波使能。 0: 禁止; 1: 使能。																																
	[29]	RW	hchfir_en	水平色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																																
	[28]	RW	hchfir_clip_en	水平色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																																
	[27:16]	RW	reserved	保留																																
	[15:0]	RW	hchratio	色度水平缩放倍数, 输出宽度/输入宽度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																																



8-123

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## PCH1\_HLFIR\_OFFSET

PCH1\_HLFIR\_OFFSET 为预览通道 1 亮度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value																												
0x6108		PCH1_HLFIR_OFFSET		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hluma_offset																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	-		reserved		保留。																											
[16:0]	RW		hluma_offset		水平亮度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。																											

## PCH1\_HCFIR\_OFFSET

PCH1\_HCFIR\_OFFSET 为预览通道 1 色度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value																												
0x610C		PCH1_HCFIR_OFFSET		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hchroma_offset																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:17]	-		reserved		保留。																											
[16:0]	RW		hchroma_offset		水平色度起始位置偏移, (s,5,12)格式, 即 1 比特符号位, 4 比特整数位, 12 比特小数, 补码表示, 范围-6~15。																											

## PCH1\_VLFIR\_PAR

PCH1\_VLFIR\_PAR 为预览通道 1 亮度垂直平缩放参数配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x6110				PCH1_VLFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmisc_en	vlmid_en	vlfir_en	vlfir_clip_en	reserved								vlratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31]	RW	vlmisc_en	垂直亮度缩放使能。 0: 禁止; 1: 使能。																													
[30]	RW	vlmid_en	垂直亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																													
[29]	RW	vlfir_en	垂直亮度缩放模式。 0: 滤波模式（滤波使能）; 1: 复制模式（滤波不使能, 即抽行方式）。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																													
[28]	RW	vlfir_clip_en	垂直亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																													
[27:16]	RW	reserved	保留																													
[15:0]	RW	vlratio	亮度垂直缩放倍数, 输出高度/输入高度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位																													

## PCH1\_VCFIR\_PAR

PCH1\_VCFIR\_PAR 为预览通道 1 色度垂直平缩放参数配置寄存器。



8-125

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																						
	0x6114				PCH1_VCFIR_PAR								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	vchmsc_en	vchmid_en	vchfir_en	vchfir_clip_en	reserved								vchratio																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	Bits	Access	Name	Description																															
	[31]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。																															
	[30]	RW	vchmid_en	垂直色度缩放中值滤波使能。 0: 禁止; 1: 使能。																															
	[29]	RW	vchfir_en	垂直色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽行方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																															
	[28]	RW	vchfir_clip_en	垂直色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																															
	[27:16]	RW	reserved	保留																															
	[15:0]	RW	vchratio	色度垂直缩放倍数, 输出高度/输入高度, (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位																															

## PCH1\_VLFIR\_OFFSET

PCH1\_VLFIR\_OFFSET 为预览通道 1 亮度缩放垂直位置偏移寄存器。



Offset Address		Register Name		Total Reset Value				
0x6118		PCH1_VLFIR_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vluma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留					
[16:0]	RW	vluma_offset	垂直亮度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。					

## PCH1\_VCFIR\_OFFSET

PCH1\_VCFIR\_OFFSET 为预览通道1色度缩放垂直位置偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x611C		PCH1_VCFIR_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留					
[16:0]	RW	vchroma_offset	垂直色度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。					

## PCH1\_COEF\_UPDATE

PCH1\_COEF\_UPDATE 为预览通道1缩放系数更新寄存器。



8-127

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x6120								PCH1_COEF_UPDATE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																cvcoef_update	lvcoef_update	chcoef_update	lhcoef_update												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:4]	-		reserved		保留																											
[3]	RW		cvcoef_update		垂直色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																											
[2]	RW		lvcoef_update		垂直亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																											
[1]	RW		chcoef_update		水平色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																											
[0]	RW		lhcoef_update		水平亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																											

## PCH1\_HBLANK\_WIDTH

PCH1\_HBLANK\_WIDTH 为预览通道 1 主通道水平消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value				
0x6124		PCH1_HBLANK_WIDTH		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hblank_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	hblank_width	水平消隐区宽度，总线时钟为单位；垂直缩放使能时，需要配置该寄存器，配置方法： (Tline - out_width * Tbus)/Tbus; Tline 为一行的时间，Tbus 总线时钟周期。					

## PCH1\_COEF\_RSEL

PCH1\_COEF\_RSEL 为预览通道 1 缩放系数读取选择寄存器。

Offset Address		Register Name		Total Reset Value							
0x6128		PCH1_COEF_RSEL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	cvcoef_read_sel	垂直色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。								
[2]	RW	lvcoef_read_sel	垂直亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。								



8-129

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[1]	RW	chcoef_read_sel	水平色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。
[0]	RW	lhcoef_read_sel	水平亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。

## PCH2\_CTRL

PCH2\_CTRL 为预览通道 2 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x7000	PCH2_CTRL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	ch_en reserved hist_en flip_en mir_en reserved store_method		
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	ch_en	通道使能。 0: 不使能; 1: 使能。
[30:24]	-	reserved	保留。
[23]	RW	hist_en	直方图统计使能。 0: 不使能; 1: 使能。
[22]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。



[21]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。
[20:2]	-	reserved	保留。
[1:0]	RW	store_method	存储方式。 0: semi-planar 422; 1: semi-planar 420。 2: RAW DATA (单分量)。

## PCH2\_REG\_NEWER

PCH2\_REG\_NEWER 为预览通道 2 寄存器配置完毕寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x7004				PCH2_REG_NEWER				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										reg_newer					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	-	reserved	保留。																												
	[0]	RW	reg_newer	下一场/帧寄存器准备完毕。 0: 下一需要接收的场/帧寄存器未准备好, 硬件将放弃下一场/帧的接收。 1: 下一需要接收的场/帧寄存器准备好, 在检测到下一场/帧的场/帧开始时, 硬件开始接收下一场数据。 <b>说明:</b> 此位在 store_mode 为帧模式时, VICAP 硬件在自动更新内部工作寄存器后, 将自动清零该位。																												

## PCH2\_LINK

PCH2\_LINK 为预览通道 2 连接端口配置寄存器, 即时寄存器。



8-131

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x7008		PCH2_LINK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ch_link_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	ch_link_sel	通道连接配置。 0: 通道连接端口 HD; 1: 通道连接端口 SD。						

## PCH2\_STORE

PCH2\_STORE 为预览通道 2 存储控制寄存器，即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x700C		PCH2_STORE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							scan_mode	store_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	scan_mode	输入模式。 0: 隔行; 1: 逐行。						



[0]	RW	store_mode	存储模式。 0: 场存储模式; 1: 帧存储模式。
-----	----	------------	---------------------------------

## PCH2\_CROP\_START

PCH2\_CROP\_START 为预览通道 2 图像获取起始位置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x7010				PCH2_CROP_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				start_y								reserved				start_x															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits																																
Access																																
Name	reserved				start_y				reserved				start_x																			
Description	保留。				开始获取图像的行号。				保留。				开始获取图像的像素号。																			
[31:29]	-				-				-				-																			
[28:16]	RW				RW				-				RW																			
[15:13]	-				-				-				-																			
[12:0]	RW				RW				-				RW																			

## PCH2\_CROP\_SIZE

PCH2\_CROP\_SIZE 为预览通道 2 图像获取大小寄存器。



8-133

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x7014		PCH2_CROP_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	crop_height				reserved	crop_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	crop_height	获取图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	crop_width	获取图像一行的宽度（以像素为单位）。							

## PCH2\_DES\_SIZE

PCH2\_DES\_SIZE 为预览通道 2 图像输出大小寄存器。

Offset Address		Register Name		Total Reset Value						
0x7018		PCH2_DES_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	des_height				reserved	des_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	des_height	存储图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	des_width	存储图像一行的宽度（以像素为单位）。							



## PCH2\_FSTART\_DLY

PCH2\_FSTART\_DLY 为预览通道 2 帧起始 delay 寄存器。

Offset Address		Register Name		Total Reset Value				
0x701C		PCH2_FSTART_DLY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fstart_dly							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fstart_dly	通道帧起始 delay 控制。					

## PCH2\_YBASE\_ADDR

PCH2\_YBASE\_ADDR 为预览通道 2 Y 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x7020		PCH2_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	通道 Y 分量基地址。					

## PCH2\_CBASE\_ADDR

PCH2\_CBASE\_ADDR 为预览通道 2 C 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x7024		PCH2_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	通道 C 分量基地址。					



## PCH2\_Y\_STRIDE

PCH2\_Y\_STRIDE 为预览通道 2 的 Y 分量的 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x7028				PCH2_Y_STRIDE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												y_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	y_stride		图像存储亮度的 stride，以 byte 的为单位。																											

## PCH2\_C\_STRIDE

PCH2\_C\_STRIDE 为预览通道 2 的 C 分量 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x702C				PCH2_C_STRIDE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												c_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	c_stride		图像存储色度的 stride，以 byte 的为单位。																											

## PCH2\_HBASE\_ADDR

PCH2\_HBASE\_ADDR 为预览通道 2 直方图统计信息基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x7030		PCH2_HBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hbase_addr	通道直方图统计信息基地址。					

## PCH2\_H\_STRIDE

PCH2\_H\_STRIDE 为预览通道 2 直方图统计信息 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x7034		PCH2_H_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				h_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	h_stride	通道直方图统计信息 stride，以 16B 为单位					

## PCH2\_HIST\_SIZE

PCH2\_HIST\_SIZE 为预览通道 2 直方图统计块的窗口属性寄存器。



8-137

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x7038								PCH2_HIST_SIZE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								h_win_height	h_win_width						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:4]	-	reserved		保留。																											
	[3:2]	RW	h_win_height		通道直方图统计块的窗口高度属性。																											
	[1:0]	RW	h_win_width		通道直方图统计块的窗口款宽度属性。																											

## PCH2\_HIST\_MODE

PCH2\_HIST\_MODE 为预览通道 2 直方图统计块的窗口模式寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x703C								PCH2_HIST_MODE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								hist_mode							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:3]	-	reserved		保留。																											



[2:0]	RW	hist_mode	通道直方图统计块的窗口模式。 000: 第一行的块高度减 8; 001: 第一行的块高度加 8; 010: 第一行的块高度减 4; 011: 第一行的块高度加 4; 其他: 第一行的块高度不进行加减。
-------	----	-----------	---

## PCH2\_INT\_EN

PCH2\_INT\_EN 为预览通道 2 中断使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x7040	PCH2_INT_EN	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			frame_pulse_int_en
			reg_update_int_en
			err_int_en
			field_throw_int_en
			buf_ovf_int_en
			cc_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RW	frame_pulse_int_en	帧/场起始中断使能。 0: 屏蔽中断; 1: 使能中断。
[4]	RW	reg_update_int_en	寄存器更新中断使能。 0: 屏蔽中断; 1: 使能中断。
[3]	RW	err_int_en	总线错误中断使能。 0: 屏蔽中断; 1: 使能中断。



8-139

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[2]	RW	field_throw_int_en	场/帧丢失中断使能。 0: 屏蔽中断; 1: 使能中断。
[1]	RW	buf_ovf_int_en	内部 FIFO 溢出错误中断使能。 0: 屏蔽中断; 1: 使能中断。
[0]	RW	cc_int_en	数据获取完毕中断使能。 0: 一帧/场图像获取完毕中断; 1: 一帧/场图像获取完毕中断。

## PCH2\_INT\_STATUS

PCH2\_INT\_STATUS 为预览通道 2 中断状态寄存器，可屏蔽。

Offset Address	Register Name	Total Reset Value											
0x7044	PCH2_INT_STATUS	0x0000_0000											
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0												
Name	reserved							frame_pulse_int	reg_update_int	err_int	field_throw_int	buf_ovf_int	cc_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										
[5]	WC	frame_pulse_int	帧/场起始中断状态。 0: 无中断; 1: 有中断。										
[4]	WC	reg_update_int	寄存器更新中断状态。 0: 无中断; 1: 有中断。										



[3]	WC	err_int	总线错误中断状态。 0: 无中断; 1: 有中断。
[2]	WC	field_throw_int	场/帧丢失中断状态。 0: 无中断; 1: 有中断。
[1]	WC	buf_ovf_int	内部 FIFO 溢出错误中断状态。 0: 无中断; 1: 有中断。
[0]	WC	cc_int	数据获取完毕中断状态。 0: 无中断; 1: 有中断。

## PCH2\_RAW\_INT

PCH2\_RAW\_INT 为预览通道 2 原始中断状态寄存器，不可屏蔽。

	Offset Address	Register Name	Total Reset Value
	0x7048	PCH2_RAW_INT	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			frame_pulse_raw_int
			reg_update_raw_int
			err_raw_int
			field_throw_raw_int
			buf_ovf_raw_int
			cc_raw_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RO	frame_pulse_raw_int	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。



8-141

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[4]	RO	reg_update_raw_int	寄存器更新中断状态 0: 无原始中断; 1: 有原始中断。
[3]	RO	err_raw_int	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。
[2]	RO	field_throw_raw_int	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。
[1]	RO	buf_ovf_raw_int	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。
[0]	RO	cc_raw_int	数据获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。

## PCH2\_STATUS

PCH2\_STATUS 为预览通道 2 状态寄存器。

	Offset Address				Register Name				Total Reset Value																															
	0x704C				PCH2_STATUS				0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved								act_height								ch_busy	field2	bus_err	frame_loss	buf_ovf	image_done																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																																			
[31:19]	-		reserved		保留。																																			
[18:6]	RO		act_height		当前通道一场/帧的行数（包括消隐区）。																																			



[5]	RO	ch_busy	当前通道工作状态。 0: 通道空闲; 1: 通道忙。
[4]	RO	field2	当前接收为偶数场。 0: 奇数场; 1: 偶数场。
[3]	RO	bus_err	总线错误状态。 0: 总线正确; 1: 总线错误。
[2]	RO	frame_loss	丢失场/帧数据。 0: 未丢失; 1: 丢失。
[1]	RO	buf_ovf	内部 buffer 溢出。 0: 未溢出; 1: 溢出。
[0]	RO	image_done	接收完毕当前场数据。 0: 未接受完毕; 1: 接受完毕。

## PCH2\_HLFIR\_PRE

PCH2\_HLFIR\_PRE 为预览通道 2 亮度水平缩放预处理寄存器。



8-143

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x7060								Register Name PCH2_HLFIR_PRE								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hlfir_pre_coef1		reserved	hlfir_pre_coef0		reserved	hlfir_pre_mode									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12:8]	RW		hlfir_pre_coef1		亮度水平缩放预处理系数 1。																											
[7]	RW		reserved		保留。																											
[6:2]	RW		hlfir_pre_coef0		亮度水平缩放预处理系数 0。 注：系数 0 和系数 1 的和为 32。																											
[1]	RW		reserved		保留。																											
[0]	RW		hlfir_pre_mode		亮度水平缩放预处理模式。 0：不进行亮度水平缩放预处理； 1：进行亮度水平 1/2 缩放预处理。																											

## PCH2\_HCFIR\_PRE

PCH2\_HCFIR\_PRE 为预览通道 2 色度水平缩放预处理寄存器。



Offset Address		Register Name		Total Reset Value							
0x7064		PCH2_HCFIR_PRE		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				hchfir_pre_coef1		reserved	hchfir_pre_coef0		reserved	hchfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:13]	-	reserved	保留。								
[12:8]	RW	hchfir_pre_coef1	色度水平缩放预处理系数 1。								
[7]	RW	reserved	保留。								
[6:2]	RW	hchfir_pre_coef0	色度水平缩放预处理系数 0。 注：系数 0 和系数 1 的和为 32。								
[1]	RW	reserved	保留。								
[0]	RW	hchfir_pre_mode	色度水平缩放预处理模式。 0：不进行水平色度缩放预处理； 1：进行水平色度 1/2 缩放预处理。								

## PCH2\_VLFIR\_PRE

PCH2\_VLFIR\_PRE 为预览通道 2 亮度垂直缩放预处理寄存器。



8-145

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x7068		PCH2_VLFIR_PRE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vlfir_pre_coef1	reserved	vlfir_pre_coef0	reserved	vlfir_pre_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:8]	RW	vlfir_pre_coef1	亮度垂直缩放预处理模式系数 1。						
[7]	RW	reserved	保留。						
[6:2]	RW	vlfir_pre_coef0	亮度垂直缩放预处理模式系数 0。 注：系数 0 和系数 1 的和为 32。						
[1]	RW	reserved	保留。						
[0]	RW	vlfir_pre_mode	亮度垂直缩放预处理模式。 0：不进行垂直色度缩放预处理； 1：进行亮度垂直 1/2 缩放预处理。						

## PCH2\_VCFIR\_PRE

PCH2\_VCFIR\_PRE 为预览通道 2 色度垂直缩放预处理寄存器。



	Offset Address 0x706C								Register Name PCH2_VCFIR_PRE								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								vchfir_pre_coef3				reserved	vchfir_pre_coef2				reserved	vchfir_pre_coef1				reserved	vchfir_pre_coef0				vchfir_pre_mode								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:25]	-		reserved		保留。																															
[24:20]	RW		vchfir_pre_coef3		色度水平缩放预处理系数 3。																															
[19]	RW		reserved		保留。																															
[18:14]	RW		vchfir_pre_coef2		色度水平缩放预处理系数 2。																															
[13]	RW		reserved		保留。																															
[12:8]	RW		vchfir_pre_coef1		色度水平缩放预处理系数 1。																															
[7]	RW		reserved		保留。																															
[6:2]	RW		vchfir_pre_coef0		色度水平缩放预处理系数 0。 注：vchfir_pre_mode 为 01 时，系数 0 和系数 1 的和为 32； vchfir_pre_mode 为 11 时，系数 0、系数 1、系数 2、系数 3 的和为 32。																															
[1:0]	RW		vchfir_pre_mode		色度垂直缩放预处理模式。 00：不进行色度垂直缩放预处理； 01：进行色度垂直 1/2 缩放预处理； 10：保留； 11：进行色度垂直 1/4 缩放预处理。																															

## PCH2\_HLFIR\_PAR

PCH2\_HLFIR\_PAR 为预览通道 2 亮度水平缩放参数配置寄存器。



8-147

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																							
	0x7100				PCH2_HLFIR_PAR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	hlmsc_en	hlmid_en	hlfir_en	hlfir_clip_en	reserved								hlratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31]	RW	hlmsc_en	水平亮度缩放使能。 0: 禁止; 1: 使能。																																
	[30]	RW	hlmid_en	水平亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																																
	[29]	RW	hlfir_en	水平亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																																
	[28]	RW	hlfir_clip_en	水平亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																																
	[27:16]	RW	reserved	保留。																																
	[15:0]	RW	hlratio	亮度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																																

## PCH2\_HCFIR\_PAR

PCH2\_HCFIR\_PAR 为预览通道 2 色度水平缩放参数配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x7104				PCH2_HCFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hchmsc_en	hchmid_en	hchfir_en	hchfir_clip_en	reserved								hchratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31]	RW	hchmsc_en		水平色度缩放使能。 0: 禁止; 1: 使能。																											
	[30]	RW	hchmid_en		水平色度缩放中值滤波使能。 0: 禁止; 1: 使能。																											
	[29]	RW	hchfir_en		水平色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																											
	[28]	RW	hchfir_clip_en		水平色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																											
	[27:16]	RW	reserved		保留。																											
	[15:0]	RW	hchratio		色度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																											

## PCH2\_HLFIR\_OFFSET

PCH2\_HLFIR\_OFFSET 为预览通道 2 亮度缩放水平位置偏移寄存器。



8-149

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x7108		PCH2_HLFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hluma_offset	水平亮度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-6~15。						

## PCH2\_HCFIR\_OFFSET

PCH2\_HCFIR\_OFFSET 为预览通道 2 色度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x710C		PCH2_HCFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hchroma_offset	水平色度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-6~15。						

## PCH2\_VLFIR\_PAR

PCH2\_VLFIR\_PAR 为预览通道 2 亮度垂直平缩放参数配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x7110				PCH2_VLFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmisc_en	vlmid_en	vlfir_en	vlfir_clip_en	reserved								vlratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[30]		[29]		[28]		[27:16]		[15:0]																					
Access	RW		RW		RW		RW		RW		RW																					
Name	vlmisc_en		vlmid_en		vlfir_en		vlfir_clip_en		reserved		vlratio																					
Description	垂直亮度缩放使能。 0: 禁止; 1: 使能。		垂直亮度缩放中值滤波使能。 0: 禁止; 1: 使能。		垂直亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽行方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>		垂直亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>		保留。		亮度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																					

## PCH2\_VCFIR\_PAR

PCH2\_VCFIR\_PAR 为预览通道 2 色度垂直平缩放参数配置寄存器。



8-151

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																			
	0x7114				PCH2_VCFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vchmsc_en	vchmid_en	vchfir_en	vchfir_clip_en	reserved								vchratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。																												
	[30]	RW	vchmid_en	垂直色度缩放中值滤波使能。 0: 禁止; 1: 使能。																												
	[29]	RW	vchfir_en	垂直色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽行方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																												
	[28]	RW	vchfir_clip_en	垂直色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																												
	[27:16]	RW	reserved	保留。																												
	[15:0]	RW	vchratio	色度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																												

## PCH2\_VLFIR\_OFFSET

PCH2\_VLFIR\_OFFSET 为预览通道 2 亮度缩放垂直位置偏移寄存器。



Offset Address		Register Name		Total Reset Value				
0x7118		PCH2_VLFIR_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vluma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					
[16:0]	RW	vluma_offset	垂直亮度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。					

## PCH2\_VCFIR\_OFFSET

PCH2\_VCFIR\_OFFSET 为预览通道 2 色度缩放垂直位置偏移寄存器。

Offset Address		Register Name		Total Reset Value				
0x711C		PCH2_VCFIR_OFFSET		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vchroma_offset			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					
[16:0]	RW	vchroma_offset	垂直色度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。					

## PCH2\_COEF\_UPDATE

PCH2\_COEF\_UPDATE 为预览通道 2 缩放系数更新寄存器。



8-153

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x7120								PCH2_COEF_UPDATE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								cvcoef_update	lvcoef_update	chcoef_update	lhcoef_update				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:4]		[3]		[2]		[1]		[0]																							
Access	-		RW		RW		RW		RW																							
Name	reserved		cvcoef_update		lvcoef_update		chcoef_update		lhcoef_update																							
Description	保留。		垂直色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。		垂直亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。		水平色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。		水平亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																							

## PCH2\_HBLANK\_WIDTH

PCH2\_HBLANK\_WIDTH 为预览通道 2 主通道水平消隐区宽度寄存器。



Offset Address		Register Name		Total Reset Value					
0x7124		PCH2_HBLANK_WIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hblank_width				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hblank_width	水平消隐区宽度，总线时钟为单位；垂直缩放使能时，需要配置该寄存器，配置方法： (Tline - out_width * Tbus)/Tbus； Tline 为一行的时间，Tbus 总线时钟周期。						

## PCH2\_COEF\_RSEL

PCH2\_COEF\_RSEL 为预览通道 2 缩放系数读取选择寄存器。

Offset Address		Register Name		Total Reset Value							
0x7128		PCH2_COEF_RSEL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	cvcoef_read_sel	垂直色度缩放系数读取选择。 0: 读取正在配置的缩放系数； 1: 读取当前正在使用的缩放系数。								
[2]	RW	lvcoef_read_sel	垂直亮度缩放系数读取选择。 0: 读取正在配置的缩放系数； 1: 读取当前正在使用的缩放系数。								



8-155

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[1]	RW	chcoef_read_sel	水平色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。
[0]	RW	lhcoef_read_sel	水平亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。

## PCH3\_CTRL

PCH3\_CTRL 为预览通道 3 控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x8000	PCH3_CTRL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	ch_en reserved hist_en flip_en mir_en reserved store_method		
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	ch_en	通道使能。 0: 不使能; 1: 使能。
[30:24]	-	reserved	保留。
[23]	RW	hist_en	直方图统计使能。 0: 不使能; 1: 使能。
[22]	RW	flip_en	垂直反向使能。 0: 不使能; 1: 使能。



[21]	RW	mir_en	水平反向使能。 0: 不使能; 1: 使能。
[20:2]	-	reserved	保留。
[1:0]	RW	store_method	存储方式。 0: semi-planar 422; 1: semi-planar 420; 2: RAW DATA (单分量)。

## PCH3\_REG\_NEWER

PCH3\_REG\_NEWER 为预览通道 3 寄存器配置完毕寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x8004				PCH3_REG_NEWER				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										reg_newer					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	-	reserved	保留。																												
	[0]	RW	reg_newer	下一场/帧寄存器准备完毕。 0: 下一需要接收的场/帧寄存器未准备好, 硬件将放弃下一场/帧的接收。 1: 下一需要接收的场/帧寄存器准备好, 在检测到下一场/帧的场/帧开始时, 硬件开始接收下一场数据。 <b>说明</b> 此位在 store_mode 为帧模式时, VICAP 硬件在自动更新内部工作寄存器后, 将自动清零该位。																												

## PCH3\_LINK

PCH3\_LINK 为预览通道 3 连接端口配置寄存器, 即时寄存器。



8-157

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x8008		PCH3_LINK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ch_link_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	ch_link_sel	通道连接配置。 0: 通道连接端口 HD; 1: 通道连接端口 SD。						

## PCH3\_STORE

PCH3\_STORE 为预览通道 3 存储控制寄存器，即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x800C		PCH3_STORE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							scan_mode	store_mode
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	scan_mode	输入模式。 0: 隔行; 1: 逐行。						



[0]	RW	store_mode	存储模式。 0: 场存储模式; 1: 帧存储模式。
-----	----	------------	---------------------------------

## PCH3\_CROP\_START

PCH3\_CROP\_START 为预览通道 3 图像获取起始位置寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x8010				PCH3_CROP_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				start_y								reserved				start_x															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:29]				[28:16]								[15:13]				[12:0]															
Access	-				RW								-				RW															
Name	reserved				start_y								reserved				start_x															
Description	保留。				开始获取图像的行号。								保留。				开始获取图像的像素号。															

## PCH3\_CROP\_SIZE

PCH3\_CROP\_SIZE 为预览通道 3 图像获取大小寄存器。



8-159

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x8014		PCH3_CROP_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	crop_height				reserved	crop_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	crop_height	获取图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	crop_width	获取图像一行的宽度（以像素为单位）。							

## PCH3\_DES\_SIZE

PCH3\_DES\_SIZE 为预览通道 3 图像获取大小寄存器。

Offset Address		Register Name		Total Reset Value						
0x8018		PCH3_DES_SIZE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	des_height				reserved	des_width			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	des_height	存储图像的高度（以行为单位）。							
[15:13]	-	reserved	保留。							
[12:0]	RW	des_width	存储图像一行的宽度（以像素为单位）。							



## PCH3\_FSTART\_DLY

PCH3\_FSTART\_DLY 为预览通道 3 帧起始 delay 寄存器。

Offset Address		Register Name		Total Reset Value				
0x801C		PCH3_FSTART_DLY		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	fstart_dly							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	fstart_dly	通道帧起始 delay 控制。					

## PCH3\_YBASE\_ADDR

PCH3\_YBASE\_ADDR 为预览通道 3 Y 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x8020		PCH3_YBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ybase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	ybase_addr	通道 Y 分量基地址。					

## PCH3\_CBASE\_ADDR

PCH3\_CBASE\_ADDR 为预览通道 3 C 分量基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x8024		PCH3_CBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	cbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	cbase_addr	通道 C 分量基地址。					



8-161

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## PCH3\_Y\_STRIDE

PCH3\_Y\_STRIDE 为预览通道 3 的 Y 分量的 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x8028				PCH3_Y_STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																y_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															
	[15:0]	RW	y_stride		图像存储亮度的 stride, 以 byte 的为单位。																															

## PCH3\_C\_STRIDE

PCH3\_C\_STRIDE 为预览通道 3 的 C 分量 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x802C				PCH3_C_STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																c_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[31:16]	-	reserved		保留。																															
	[15:0]	RW	c_stride		图像存储色度的 stride, 以 byte 的为单位。																															

## PCH3\_HBASE\_ADDR

PCH3\_HBASE\_ADDR 为预览通道 3 直方图统计信息基地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x8030		PCH3_HBASE_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbase_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	hbase_addr	通道直方图统计信息基地址。					

### PCH3\_H\_STRIDE

PCH3\_H\_STRIDE 为预览通道 3 直方图统计信息 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x8034		PCH3_H_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				h_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	h_stride	通道直方图统计信息 stride，以 16B 为单位。					

### PCH3\_HIST\_MODE

PCH3\_HIST\_MODE 为预览通道 3 直方图统计块的窗口模式寄存器。



8-163

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x803C		PCH3_HIST_MODE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							hist_mode	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:3]	-	reserved	保留。						
[2:0]	RW	hist_mode	通道直方图统计块的窗口模式。 000: 第一行的块高度减 8; 001: 第一行的块高度加 8; 010: 第一行的块高度减 4; 011: 第一行的块高度加 4; 其他: 第一行的块高度不进行加减。						

## PCH3\_INT\_EN

PCH3\_INT\_EN 为预览通道 3 中断使能寄存器。

Offset Address		Register Name		Total Reset Value									
0x8040		PCH3_INT_EN		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved							frame_pulse_int_en	reg_update_int_en	err_int_en	field_throw_int_en	buf_ovf_int_en	cc_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description										
[31:6]	-	reserved	保留。										





8-165

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[5]	WC	frame_pulse_int	帧/场起始中断状态。 0: 无中断; 1: 有中断。
[4]	WC	reg_update_int	寄存器更新中断状态。 0: 无中断; 1: 有中断。
[3]	WC	err_int	总线错误中断状态。 0: 无中断; 1: 有中断。
[2]	WC	field_throw_int	场/帧丢失中断状态。 0: 无中断; 1: 有中断。
[1]	WC	buf_ovf_int	内部 FIFO 溢出错误中断状态。 0: 无中断; 1: 有中断。
[0]	WC	cc_int	数据获取完毕中断状态。 0: 无中断; 1: 有中断。

## PCH3\_RAW\_INT

PCH3\_RAW\_INT 为预览通道 3 原始中断状态寄存器，不可屏蔽。



	Offset Address 0x8048								Register Name PCH3_RAW_INT								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								frame_pulse_raw_int	reg_update_raw_int	err_raw_int	field_throw_raw_int	buf_ovf_raw_int	cc_raw_int		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	-	reserved	保留。																													
[5]	RO	frame_pulse_raw_int	帧/场起始中断状态。 0: 无原始中断; 1: 有原始中断。																													
[4]	RO	reg_update_raw_int	寄存器更新中断状态。 0: 无原始中断; 1: 有原始中断。																													
[3]	RO	err_raw_int	总线错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[2]	RO	field_throw_raw_int	场/帧丢失中断状态。 0: 无原始中断; 1: 有原始中断。																													
[1]	RO	buf_ovf_raw_int	内部 FIFO 溢出错误中断状态。 0: 无原始中断; 1: 有原始中断。																													
[0]	RO	cc_raw_int	数据获取完毕中断状态。 0: 无原始中断; 1: 有原始中断。																													



8-167

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## PCH3\_STATUS

PCH3\_STATUS 为预览通道 3 状态寄存器。

	Offset Address 0x804C								Register Name PCH3_STATUS								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved								act_height								ch_busy	field2	bus_err	frame_loss	buf_ovf	image_done														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:19]	-		reserved		保留。																															
[18:6]	RO		act_height		当前通道一场/帧的行数（包括消隐区）。																															
[5]	RO		ch_busy		当前通道工作状态。 0: 通道空闲; 1: 通道忙。																															
[4]	RO		field2		当前接收为偶数场。 0: 奇数场; 1: 偶数场。																															
[3]	RO		bus_err		总线错误状态。 0: 总线正确; 1: 总线错误。																															
[2]	RO		frame_loss		丢失场/帧数据。 0: 未丢失; 1: 丢失。																															
[1]	RO		buf_ovf		内部 buffer 溢出。 0: 未溢出; 1: 溢出。																															
[0]	RO		image_done		接收完毕当前场数据。 0: 未接受完毕; 1: 接受完毕。																															



## PCH3\_HLFIR\_PRE

PCH3\_HLFIR\_PRE 为预览通道 3 亮度水平缩放预处理寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x8060				PCH3_HLFIR_PRE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hlfir_pre_coef1				reserved	hlfir_pre_coef0				reserved	hlfir_pre_mode									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12:8]	RW		hlfir_pre_coef1		亮度水平缩放预处理系数 1。																											
[7]	RW		reserved		保留。																											
[6:2]	RW		hlfir_pre_coef0		亮度水平缩放预处理系数 0。 注：系数 0 和系数 1 的和为 32。																											
[1]	RW		reserved		保留。																											
[0]	RW		hlfir_pre_mode		亮度水平缩放预处理模式。 0：不进行亮度水平缩放预处理； 1：进行亮度水平 1/2 缩放预处理。																											

## PCH3\_HCFIR\_PRE

PCH3\_HCFIR\_PRE 为预览通道 3 色度水平缩放预处理寄存器。



8-169

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x8064								PCH3_HCFIR_PRE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hchfir_pre_coef1		reserved	hchfir_pre_coef0		reserved	hchfir_pre_mode									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12:8]	RW		hchfir_pre_coef1		色度水平缩放预处理系数 1。																											
[7]	RW		reserved		保留。																											
[6:2]	RW		hchfir_pre_coef0		色度水平缩放预处理系数 0。 注：系数 0 和系数 1 的和为 32。																											
[1]	RW		reserved		保留。																											
[0]	RW		hchfir_pre_mode		色度水平缩放预处理模式。 0：不进行水平色度缩放预处理； 1：进行水平色度 1/2 缩放预处理。																											

## PCH3\_VLFIR\_PRE

PCH3\_VLFIR\_PRE 为预览通道 3 亮度垂直缩放预处理寄存器。



	Offset Address 0x8068								Register Name PCH3_VLFIR_PRE								Total Reset Value 0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																vlfir_pre_coef1		reserved	vlfir_pre_coef0				reserved	vlfir_pre_mode											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31:13]	-	reserved	保留。																																
	[12:8]	RW	vlfir_pre_coef1	亮度垂直缩放预处理模式系数 1。																																
	[7]	RW	reserved	保留。																																
	[6:2]	RW	vlfir_pre_coef0	亮度垂直缩放预处理模式系数 0。 注：系数 0 和系数 1 的和为 32。																																
	[1]	RW	reserved	保留。																																
	[0]	RW	vlfir_pre_mode	亮度垂直缩放预处理模式。 0：不进行垂直色度缩放预处理； 1：进行亮度垂直 1/2 缩放预处理。																																

## PCH3\_VCFIR\_PRE

PCH3\_VCFIR\_PRE 为预览通道 3 色度垂直缩放预处理寄存器。



8-171

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value								
0x806C		PCH3_VCFIR_PRE		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				vchfir_pre_coef3	reserved	vchfir_pre_coef2	reserved	vchfir_pre_coef1	reserved	vchfir_pre_coef0	vchfir_pre_mode
Reset	0 0 0 0				0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31:25]	-	reserved	保留。									
[24:20]	RW	vchfir_pre_coef3	色度水平缩放预处理系数 3。									
[19]	RW	reserved	保留。									
[18:14]	RW	vchfir_pre_coef2	色度水平缩放预处理系数 2。									
[13]	RW	reserved	保留。									
[12:8]	RW	vchfir_pre_coef1	色度水平缩放预处理系数 1。									
[7]	RW	reserved	保留。									
[6:2]	RW	vchfir_pre_coef0	色度水平缩放预处理系数 0。 注：vchfir_pre_mode 为 01 时，系数 0 和系数 1 的和为 32； vchfir_pre_mode 为 11 时，系数 0、系数 1、系数 2、系数 3 的和为 32。									
[1:0]	RW	vchfir_pre_mode	色度垂直缩放预处理模式。 00：不进行色度垂直缩放预处理； 01：进行色度垂直 1/2 缩放预处理； 10：保留； 11：进行色度垂直 1/4 缩放预处理。									

## PCH3\_HLFIR\_PAR

PCH3\_HLFIR\_PAR 为预览通道 3 亮度水平缩放参数配置寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x8100				PCH3_HLFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	hlmsc_en	hlmid_en	hlfir_en	hlfir_clip_en	reserved								hlratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[30]		[29]		[28]		[27:16]		[15:0]																					
Access	RW		RW		RW		RW		RW		RW																					
Name	hlmsc_en		hlmid_en		hlfir_en		hlfir_clip_en		reserved		hlratio																					
Description	水平亮度缩放使能。 0: 禁止; 1: 使能。		水平亮度缩放中值滤波使能。 0: 禁止; 1: 使能。		水平亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>		水平亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>		保留。		亮度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																					

## PCH3\_HCFIR\_PAR

PCH3\_HCFIR\_PAR 为预览通道 3 色度水平缩放参数配置寄存器。



8-173

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																						
	0x8104				PCH3_HCFIR_PAR								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	hchmsc_en	hchmid_en	hchfir_en	hchfir_clip_en	reserved								hchratio																						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	Bits	Access	Name	Description																															
	[31]	RW	hchmsc_en	水平色度缩放使能。 0: 禁止; 1: 使能。																															
	[30]	RW	hchmid_en	水平色度缩放中值滤波使能。 0: 禁止; 1: 使能。																															
	[29]	RW	hchfir_en	水平色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽点方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																															
	[28]	RW	hchfir_clip_en	水平色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																															
	[27:16]	RW	reserved	保留。																															
	[15:0]	RW	hchratio	色度水平缩放倍数, 输出宽度/输入宽度, 若水平预处理使能, 输入宽度使用预处理后的宽度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																															

### PCH3\_HLFIR\_OFFSET

PCH3\_HLFIR\_OFFSET 为预览通道 3 亮度缩放水平位置偏移寄存器。



Offset Address		Register Name		Total Reset Value					
0x8108		PCH3_HLFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	hluma_offset	水平亮度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。						

### PCH3\_HCFIR\_OFFSET

PCH3\_HCFIR\_OFFSET 为预览通道3色度缩放水平位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x810C		PCH3_HCFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留						
[16:0]	RW	hchroma_offset	水平色度起始位置偏移，(s,5,12)格式，即1比特符号位，4比特整数位，12比特小数，补码表示，范围-6~15。						

### PCH3\_VLFIR\_PAR

PCH3\_VLFIR\_PAR 为预览通道3亮度垂直平缩放参数配置寄存器。



8-175

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																			
	0x8110				PCH3_VLFIR_PAR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	vlmsc_en	vlmid_en	vlfir_en	vlfir_clip_en	reserved								vlratio																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31]	RW		vlmsc_en		垂直亮度缩放使能。 0: 禁止; 1: 使能。																											
[30]	RW		vlmid_en		垂直亮度缩放中值滤波使能。 0: 禁止; 1: 使能。																											
[29]	RW		vlfir_en		垂直亮度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽行方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																											
[28]	RW		vlfir_clip_en		垂直亮度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																											
[27:16]	RW		reserved		保留																											
[15:0]	RW		vlratio		亮度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																											

## PCH3\_VCFIR\_PAR

PCH3\_VCFIR\_PAR 为预览通道 3 色度垂直平缩放参数配置寄存器。



	Offset Address				Register Name								Total Reset Value																							
	0x8114				PCH3_VCFIR_PAR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	vchmsc_en	vchmid_en	vchfir_en	vchfir_clip_en	reserved								vchratio																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name	Description																																
	[31]	RW	vchmsc_en	垂直色度缩放使能。 0: 禁止; 1: 使能。																																
	[30]	RW	vchmid_en	垂直色度缩放中值滤波使能。 0: 禁止; 1: 使能。																																
	[29]	RW	vchfir_en	垂直色度缩放模式。 0: 滤波模式 (滤波使能); 1: 复制模式 (滤波不使能, 即抽行方式)。 <b>注: 该比特建议配置成 0, 复制模式用于调试。</b>																																
	[28]	RW	vchfir_clip_en	垂直色度嵌位使能。 0: 禁止; 1: 使能。 <b>注: 该比特建议配置成 0。</b>																																
	[27:16]	RW	reserved	保留																																
	[15:0]	RW	vchratio	色度垂直缩放倍数, 输出高度/输入高度, 若垂直预处理使能, 输入高度使用预处理后的高度; (u,4,12)格式, 即无符号位, 4 比特整数位, 12 比特小数位。																																

## PCH3\_VLFIR\_OFFSET

PCH3\_VLFIR\_OFFSET 为预览通道 3 亮度缩放垂直位置偏移寄存器。



8-177

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x8118		PCH3_VLFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vluma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	vluma_offset	垂直亮度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-6~15。						

### PCH3\_VCFIR\_OFFSET

PCH3\_VCFIR\_OFFSET 为预览通道 3 色度缩放垂直位置偏移寄存器。

Offset Address		Register Name		Total Reset Value					
0x811C		PCH3_VCFIR_OFFSET		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				vchroma_offset				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16:0]	RW	vchroma_offset	垂直色度起始位置偏移，(s,5,12)格式，即 1 比特符号位，4 比特整数位，12 比特小数，补码表示，范围-6~15。						

### PCH3\_COEF\_UPDATE

PCH3\_COEF\_UPDATE 为预览通道 3 缩放系数更新寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x8120								PCH3_COEF_UPDATE								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								cvcoef_update	lvcoef_update	chcoef_update	lhcoef_update				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:4]	-	reserved	保留。																													
[3]	RW	cvcoef_update	垂直色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																													
[2]	RW	lvcoef_update	垂直亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																													
[1]	RW	chcoef_update	水平色度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																													
[0]	RW	lhcoef_update	水平亮度缩放系数更新使能。 0: 不更新; 1: 更新 (更新后该比特自动清 0)。																													

## PCH3\_HBLANK\_WIDTH

PCH3\_HBLANK\_WIDTH 为预览通道 3 主通道水平消隐区宽度寄存器。



8-179

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x8124		PCH3_HBLANK_WIDTH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hblank_width				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hblank_width	水平消隐区宽度，总线时钟为单位；垂直缩放使能时，需要配置该寄存器，配置方法： (Tline - out_width * Tbus)/Tbus; Tline 为一行的时间，Tbus 总线时钟周期。						

## PCH3\_COEF\_RSEL

PCH3\_COEF\_RSEL 为预览通道 3 缩放系数读取选择寄存器。

Offset Address		Register Name		Total Reset Value							
0x8128		PCH3_COEF_RSEL		0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved							cvcoef_read_sel	lvcoef_read_sel	chcoef_read_sel	lhcoef_read_sel
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0			
Bits	Access	Name	Description								
[31:4]	-	reserved	保留。								
[3]	RW	cvcoef_read_sel	垂直色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。								



[2]	RW	lvcoef_read_sel	垂直亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。
[1]	RW	chcoef_read_sel	水平色度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。
[0]	RW	lhcoef_read_sel	水平亮度缩放系数读取选择。 0: 读取正在配置的缩放系数; 1: 读取当前正在使用的缩放系数。

## MAC\_PRIO\_CFG

MAC\_PRIO\_CFG 为内部 15 个通道的优先级别配置寄存器,即时寄存器。

	Offset Address 0x9000				Register Name MAC_PRIO_CFG										Total Reset Value 0x0000_0000																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				pch3_hprio_ctrl	pch3_cprio_ctrl	pch3_yprio_ctrl	pch2_hprio_ctrl	pch2_cprio_ctrl	pch2_yprio_ctrl	pch1_hprio_ctrl	pch1_cprio_ctrl	pch1_yprio_ctrl	mch_hprio_ctrl	mch_cprio_ctrl	mch_yprio_ctrl	sch_hprio_ctrl	sch_cprio_ctrl	sch_yprio_ctrl																	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																																
	[31:30]	-	reserved	保留。																																
	[29:28]	RW	pch3_hprio_ctrl	预览通道 3 H 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。																																



8-181

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[27:26]	RW	pch3_cprio_ctrl	预览通道 3 C 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[25:24]	RW	pch3_yprio_ctrl	预览通道 3 Y 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[23:22]	RW	pch2_hprio_ctrl	预览通道 2 H 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[21:20]	RW	pch2_cprio_ctrl	预览通道 2 C 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[19:18]	RW	pch2_yprio_ctrl	预览通道 2 Y 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[17:16]	RW	pch1_hprio_ctrl	预览通道 1 H 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。



[15:14]	RW	pch1_cprio_ctrl	预览通道 1 C 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[13:12]	RW	pch1_yprio_ctrl	预览通道 1 Y 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[11:10]	RW	mch_hprio_ctrl	主通道 H 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[9:8]	RW	mch_cprio_ctrl	主通道 C 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[7:6]	RW	mch_yprio_ctrl	主通道 Y 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[5:4]	RW	sch_hprio_ctrl	抓拍通道 H 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。



8-183

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[3:2]	RW	sch_cprio_ctrl	抓拍通道 C 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。
[1:0]	RW	sch_yprio_ctrl	抓拍通道 Y 优先级控制位。 00: 最低优先级; 01: 中间优先级; 10: 最高优先级; 11: 保留。

## MAC\_CTRL

MAC\_CTRL 为 VICAP 总线申请控制寄存器,即时寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x9004				MAC_CTRL								0x0000_0004																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																								w_ost_max											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0				
Bits	[31:4]		-		[3:0]																															
Access	-		RW																																	
Name	reserved		w_ost_max																																	
Description	保留。		AXI 总线写 Outstanding 最大个数。																																	

## TOP\_INT\_INDICATOR

TOP\_INT\_INDICATOR 为中断指示寄存器,用于指示 5 个通道中,哪个或哪些通道发生了中断。



	Offset Address 0x900C								Register Name TOP_INT_INDICATOR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								sd_int_indicator	hd_int_indicator	ph3_int_indicator	ph2_int_indicator	ph1_int_indicator	mch_int_indicator	sch_int_indicator	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	-	reserved	保留。																													
[6]	RO	sd_int_indicator	SD 端口中断指示位。 0: SD 端口没有中断发生; 1: SD 端口有中断发生。																													
[5]	RO	hd_int_indicator	HD 端口中断指示位。 0: HD 端口没有中断发生; 1: HD 端口有中断发生。																													
[4]	RO	ph3_int_indicator	PH3 通道中断指示位。 0: PH3 通道没有中断发生; 1: PH3 通道有中断发生。																													
[3]	RO	ph2_int_indicator	PH2 通道中断指示位。 0: PH2 通道没有中断发生; 1: PH2 通道有中断发生。																													
[2]	RO	ph1_int_indicator	PH1 通道中断指示位。 0: PH1 通道没有中断发生; 1: PH1 通道有中断发生。																													
[1]	RO	mch_int_indicator	MCH 通道中断指示位。 0: MCH 通道没有中断发生; 1: MCH 通道有中断发生。																													



8-185

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

[0]	RO	sch_int_indicator	SCH 通道中断指示位。 0: SCH 通道没有中断发生; 1: SCH 通道有中断发生。
-----	----	-------------------	---

## TOP\_PDP\_CTRL

TOP\_PDP\_CTRL 为 PDP 端口控制寄存器,即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x9010								TOP_PDP_CTRL								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												pdp_sd_en	pdp_hd_en		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:2]	-	reserved	保留。																												
	[1]	RW	pdp_sd_en	PDP 控制端口 SD 使能。 0: PDP 控制端口 SD 不使能; 1: PDP 控制端口 SD 使能。																												
	[0]	RW	pdp_hd_en	PDP 控制端口 HD 使能。 0: PDP 控制端口 HD 不使能; 1: PDP 控制端口 HD 使能。																												

## TOP\_CK\_CTRL

TOP\_CK\_CTRL 为 VICAP 低功耗门控使能寄存器,即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x9014		TOP_CK_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ck_gt_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	ck_gt_en	低功耗门控使能。 0: 低功耗门控不使能; 1: 低功耗门控使能。						

## TOP\_APB\_DLY

TOP\_APB\_DLY 为 VICAP 配置总线 READY 延迟的时钟数寄存器。

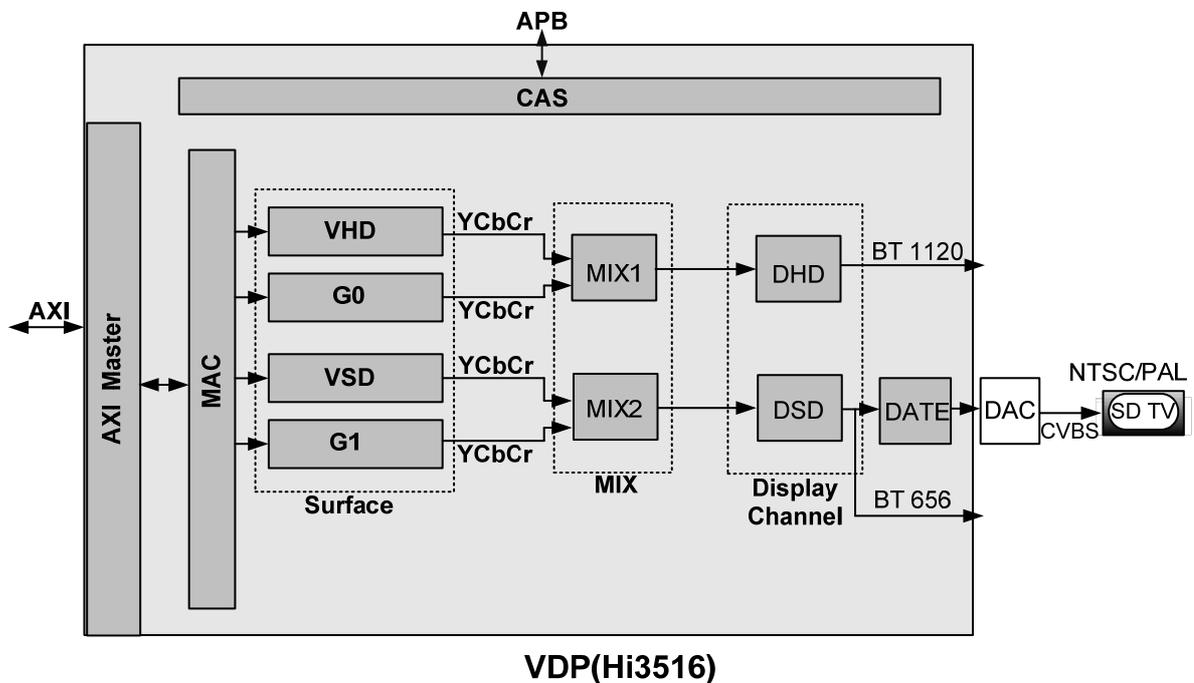
Offset Address		Register Name		Total Reset Value				
0x9018		TOP_APB_DLY		0x0000_0030				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				pready_dly_num			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	pready_dly_num	APB 总线得到 READY 的最大时钟数。 一般不用配置，建议使用默认值， 如果要配值，应大于 48。					

## 8.2 VDP

### 8.2.1 概述

VDP (Video Display) 模块主动从内存相应位置读取视频和图形数据，将视频层和图形层数据叠加后通过显示通道送出。显示通道包括标清和高清两个通道。高清显示通道支持 BT. 1120 的接口，标清显示通道支持数字 BT. 656 接口和 CVBS 模拟接口。VDP 可以同时处理 3 层图像叠加，包括 1 个背景颜色层、1 个视频层、1 个图形层的 256 级 alpha 混合处理。图 8-27 为 VDP 的总体框图。

图8-27 VDP 总体框图



**Surface:** 为总线输入的数据通路，其功能包括单个图层的总线数据读取、数据处理。surface 包括：视频通道 (VHD、VSD) 和图形通道 (G0、G1)。

**Display Channel:** 显示通道，包括高清显示通 (DHD)、标清显示通道 (DSD)。

**MIX:** 叠加通道。MIX1: 完成 VHD 和 G0 的叠加；MIX2: 完成 VSD 和 G1 的叠加。

**PARA:** 处理视频通道 ACC 系数的更新、加载。

**MAC:** 各 surface 的总线申请仲裁模块。各模块通过 AXI 总线从内存中读取数据，该模块对各 surface 提出的申请进行仲裁。

**CAS:** 该模块主要是通过 APB 总线完成对寄存器的配置，并且各模块的状态信息通过该模块上报给 CPU。

VDP 寄存器主要按照模块全局、Surface 和 Display Channel 来分配：

- 模块全局寄存器  
包括总线相关配置、中断、版本寄存器。



- Surface 寄存器  
包括视频层、图形层配置寄存器。
- Display Channel 寄存器  
包括 DHD、DSD 配置寄存器。
- 片内系数  
视频层 ACC (Automatic Contrast Control) 系数。因为系数的数据量较大，因此通过 AXI Master 读取，不占用 CPU。

VDP 的特点如下：

- 数字输出接口
  - 标清支持 ITU-R BT.656
  - 高清支持 ITU-R BT.1120
- 模拟输出接口
  - 标清支持 CVBS 输出（可以和 ITU-R BT.656 接口同时输出内容一样的图像）
- 视频层 (Video Surface)
  - 支持输入像素格式：Semi-Planar YCbCr4:2:2, Semi-Planar YCbCr4:2:0。
  - 支持全局 alpha 值。
  - 支持视频层的色彩空间转换，支持亮度、对比度、色调、饱和度调节。
  - 支持垂直色度上采样 (chroma upscaling)。
  - 支持水平色度上采样。
- 图形层(Graphics Surface)
  - 支持 2 个图形层：图形层 0 和图形层 1。
  - 支持的数据格式：ARGB4444、ARGB1555。
  - 支持全局 alpha 和像素 alpha。
  - 支持 3 种数据扩展模式：
    - 低位补 0
    - 低位补最高 bit
    - 低位补若干高 bit
  - 支持持宽度和高度为偶数。
  - 图形层 1 最大分辨率支持 720%576，最小分辨率支持 16×16。
  - 图形层 0 支持 8 个分区，互相不重叠，分区最大分辨率支持 1920%1080，最小分辨率支持 16×16。  
每个分区使能可配置  
8 个分区的 stride 可以配置，128bit 对齐  
8 个分区的起始地址可以配置，128bit 对齐  
8 个分区的宽高和显示坐标可以配置  
8 个分区按照水平显示起始坐标从小到大排序，依次编号为 p0~p7



8-189

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

- 叠加特性
  - 支持背景层、1 层视频层、1 层图形层的 256 级 alpha 混合，图形层和视频层的优先级可配置（叠加时使用优先级高的层的 alpha）。
  - 各叠加图层的大小和位置可以任意调节。
  - 支持叠加后图像的亮度、对比度、色调、饱和度调节。
- 支持 8 个中断源。（VHD 寄存器更新中断、VSD 寄存器更新中断、G0 寄存器更新中断、G1 寄存器更新中断、高清通道（HD）时序中断 1、标清（SD）通道时序中断 1、高清通道低带宽告警中断、标清通道低带宽告警中断）。

## 8.2.2 功能描述

### 8.2.2.1 模拟输出模式

标清通道提供 1 路模拟信号信号，与芯片顶层管脚对应关系为：

- DAC\_IOR
- DAC\_VREFIN
- DAC\_COMP
- DAC\_RSET

输出接口视频类型为 CVBS。

### 8.2.2.2 数字输出接口时序

VDP 的输出除可以支持标准的时序（标清支持 ITU-R BT.656 时序，高清支持 ITU-R BT.1120 时序）外，还可以通过配置时序参数产生不同输出时序。

#### ITU-R BT.656 模式

ITU-R BT.656 模式支持以下两种制式：

- PAL 制式（625 行/帧@25 帧/秒）
- NTSC 制式（525 行/帧@30 帧/秒）

ITU-R BT.656 协议中，同步信号包含在视频数据流中，在数据流中的特殊字节 SAV 和 EAV 分别表示行的开始和行的结束。

在视频数据流中，由 FF 00 00（FF、00 为图像编码数据的保留字节，为非图像数据）构成的定时基准码字的码头来标志紧接着的一个字节为 SAV 或者 EAV。ITU-R BT.656 的行数据流格式如 8-2 所示。





8-191

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

- VHD 转换数据格式方式：
  - 4 阶滤波
  - 复制这两种模式可配置。
- VSD 转换数据格式方式：复制

## IFIR：水平色度上采样

水平色度上采样的主要功能是对色度在水平方向上进行上采样，将 422 的数据格式转换为 444。

实现色度水平上采样的方式有 3 种，可配置：

- 8 阶滤波
- 双线性插值
- 复制

## CSC：色彩空间转换

- 可实现 YUV709、YUV601 色彩空间的转换
- 可实现 RGB、YUV 色彩空间的转换

### 8.2.2.4 图形层功能

#### alpha 处理

VDP 中实现 3 层叠加：

- 在高清通道里面，VHD、G0、背景色进行叠加。
- 在标清通道里，VSD、G1、背景色进行叠加。

视频层的 alpha 值只能来源于寄存器配置的全局 alpha 值。

图形层的 alpha 值可以有两个来源：像素 alpha 值和全局 alpha 值。像素 alpha 值表示某一个像素的叠加属性；全局 alpha 值表示某一层的叠加属性。

像素 alpha 值有一种特殊情况，在 RGB1555 格式时，alpha 值仅有 1bit，该 bit 不是真实的 alpha 值，仅是 alpha 的索引，真实的 alpha 值是根据该索引值选择 alpha 寄存器中的值得到，当索引值为 0 时，取值 alpha0，否则，取值为 alpha1。

CSC：色彩空间转换

图形层的数据格式支持 2 种：ARGB1555、ARGB4444，为了实现图层的叠加，需要将 RGB 转换为 YUV。



## G0: 8 分区

图形层 G0 支持 8 个分区，各个分区的使能、分辨率、显示位置、地址、stride 可配置。



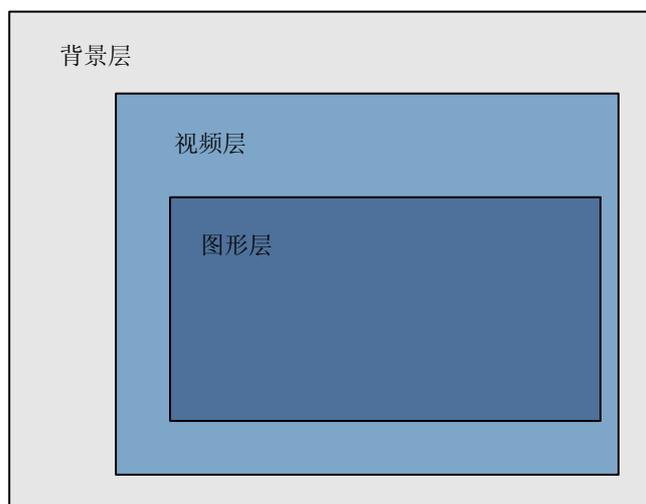
### 注意

- 8 分区的显示位置不能重叠。
- 8 分区按照水平起始显示坐标从小到大的顺序依次为 P0—P7。
- 各分区的地址、stride 都为 128bit 对齐

### 8.2.2.5 图层叠加处理

VDP 支持背景层、1 层视频层、1 层图形层的 256 级 alpha 混合，其中除了背景层的叠加优先级最低外，视频层、图形层的 alpha 混合可以设置优先级。各层之间按照优先级依次叠加，叠加 alpha 值为 256 级，alpha 值来源于优先级高的层。图像的分层如 8-4 所示。

图8-30 图像分层示意图



叠加图像的位置由图像起始坐标、结束坐标唯一确定，图像起始坐标的原点为活动图像的左上角。

VDP 的叠加图像在外部存储器中是按 word 存储的，存储位置由基地址、行偏移地址、图像宽度和高度 4 个参数确定。

VDP 支持的各种数据在外部存储器的存储方式如表 8-6 和表 8-7 所示。



8-193

海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

表8-6 VDP 支持的图形层图像数据格式（高 16 位）

Format	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Pixel1															
ARGB 1555	A1	R1				G1				B1						
ARGB 4444	A1				R1				G1				B1			

表8-7 VDP 支持的图形层图像数据格式（低 16 位）

Format	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pixel0															
ARGB 1555	A0	R0				G0				B0						
ARGB 4444	A0				R0				G0				B0			

### 8.2.2.6 通道处理功能

- CSC 处理

实现亮度、色调、饱和度、对比度调节。

- CLIP 处理

接口时序的协议要求输出数据必须限制在一定范围内。如果超出这个范围，需要对数据进行 clip 操作。CLIP 处理的门限值可配置，建议 CLIP 范围[1,254]。

### 8.2.2.7 中断

VDP 中有一个上报中断，共 8 个中断源。VDP 有一个中断状态寄存器和一个中断屏蔽寄存器，当中断源被屏蔽使能时，中断状态寄存器仍会记录中断发生的状态，但是不上报中断。

VDP 支持以下中断：

- VHD、VSD、图形层 0、图形层 1 寄存器更新中断
- DHD、DSD 通道垂直时序中断
- DHD、DSD 通道低带宽告警中断



## 8.2.3 工作方式

### 8.2.3.1 时钟门控

VDP 内部做了时钟门控，以达到降功耗的目的。

VDP 门控时钟使能信号，参考寄存器 [VDPCTRL](#) bit[31]:

- 0: VDP 内部的时钟门控关闭;
- 1: VDP 内部的时钟门控打开。

### 8.2.3.2 时钟配置

VDP 有 5 个时钟，如[表 8-8](#) 所示。

表8-8 VDP 时钟

时钟信号	时钟描述
clk_bus	AXI 总线时钟。
clk_apb	APB 总线时钟。
clk_vdp_hd	VDP 高清通道接口时钟。（典型时钟 74.25MHz，最高时钟 148.5MHz）
clk_vdp_sd	VDP 标清通道接口时钟。（典型时钟 27MHz，最高时钟 54MHz）
clk_date_sd	SD DATE 显示时钟。（54MHz）

clk\_apb 时钟域完成寄存器读写，clk\_bus 时钟域完成视频图形数据申请和处理。

clk\_vdp\_hd 时钟域产生高清通道数字接口时序，clk\_vdp\_sd 时钟域产生标清通道数字接口时序，clk\_date\_sd 为标清模拟接口时钟。



说明

clk\_bus 和 clk\_apb 是同一个时钟源。

VDP 的时钟可以通过配置系统寄存器进行时钟控制，具体配置如[表 8-9](#) 所示。该系统寄存器的地址为 0x20030044。

表8-9 时钟寄存器配置

寄存器	配置值	功能	说明
PERI_CRG17[6]	1	VDP SD 随路时钟反向	VDP SD 输出随路时钟相位控制。默认方向。 0: 正向时钟; 1: 反向时钟。



8-195

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

寄存器	配置值	功能	说明
PERI_CRG17[5]	1	VDP HD 随路时钟反向	VDP HD 输出随路时钟相位控制。默认方向。 0: 正向时钟; 1: 反向时钟。
PERI_CRG17[4]	0	VDP HD 使用内部时钟	VDP HD 时钟选择配置寄存器。 0: 内部时钟; 1: VI 直通时钟。
PERI_CRG17[3]	1	VHD 时钟: 74.25MHz	VDP HD 时钟选择配置寄存器。 0: 148.5M; 1: 74.25M。
PERI_CRG17[2]	0	VDP HD 时钟关闭	VDP HD 时钟门控配置寄存器,默认关闭。 0: 关闭时钟; 1: 打开时钟。
PERI_CRG17[1]	0	VDP SD 时钟关闭	VDP SD 时钟门控配置寄存器,默认关闭。 0: 关闭时钟; 1: 打开时钟。

### 8.2.3.3 复位

VDP 有 2 个复位, 1 个软复位和 1 个硬复位。

VDP 复位信号描述如表 8-10 所示。

表8-10 VDP 复位信号描述

复位信号	复位描述
vdp_srst_req	vdp 软件复位请求
rst_n	系统硬复位

VDP 的软复位在芯片的系统控制器中控制, 向系统控制器的 PERI\_CRG17 bit[0]写 1 可实现 VDP 接口的软复位; 该寄存器的地址为 0x20030044。通过查看版本寄存器确认复位成功后向 PERI\_CRG17 bit[0]写 0 撤消 VDP 的软复位。注意: 该寄存器的默认值为 1, 即软复位是打开的, 当使用时需要先向该寄存器写 0 来撤销软复位。



### 8.2.3.4 中断

VDP 中有一个上报中断，共 8 个中断源。VDP 有一个中断状态寄存器和一个中断屏蔽寄存器，当中断源被屏蔽使能时，中断状态寄存器仍会记录中断发生的状态，但是不上报中断，关于中断的具体信息请参见“VDPINTSTA”。

### 8.2.3.5 视频输出

标清通道输出一路 BT656 时序的数字视频和一路 CVBS 模拟视频。高清通道输出一路 BT1120 时序的数字视频。输出视频图像，需要进行相关的寄存器配置，包括视频图像输入、输出的大小、图像数据类型、图像存储地址及图像存储数据的步长等。配置举例如下：

### PAL 制 TV 输出

BT.656 数字输出时的配置步骤如下：

- 步骤 1 输出为时序标签模式 BT.656，配置寄存器 DSDCTRL[6]为 0b0。
- 步骤 2 配置同步时序，请参见表 8-11
- 步骤 3 输出接口位宽模式，配置寄存器 DSDCTRL[5:4]。
- 步骤 4 隔行显示，配置寄存器 DSDCTRL [7]为 0b0。
- 步骤 5 接口数据格式为 YCbCr 4:2:2，配置寄存器 DSDCTRL [3:0]=0x0。
- 步骤 6 输出嵌位（Clip）使能，配置寄存器 DSDCLIPL [31]为 0b1。

----结束

同步时序配置信息如表 8-11 所示。

表8-11 同步时序配置表

名称	PAL 制	NTSC 制
顶场垂直消隐前肩 DSDVSYNC[27:20]	1	3
顶场垂直消隐后肩 DSDVSYNC[19:12]	21	17
顶场活动图像高度 DSDVSYNC[11:0]	287	239
底场垂直消隐前肩 DSDVPLUS [27:20]	1	3
底场垂直消隐后肩 DSDVPLUS [19:12]	22	18
底场活动图像高度 DSDVPLUS [11:0]	287	239
水平消隐前肩 DSDHSYNC2[15:0]	11	15
水平消隐后肩 DSDHSYNC1[31:16]	131	121



8-197

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

名称	PAL 制	NTSC 制
活动区域水平像素数 <a href="#">DSDHSYNC1[15:0]</a>	719	719

模拟输出时，则需先完成 BT.656 数字输出配置（即完成以上的[步骤 1~步骤 6](#)），接着执行以下步骤：

- 步骤 1 扫描行数选择，向 [DATE\\_COEFF0\[25\]](#)写 0b1。
- 步骤 2 输出制式选择，向 [DATE\\_COEFF0\[21:18\]](#)写 0b1。
- 步骤 3 模拟输出的其他参数，参考配置为 [DATE\\_COEFF0\[31:0\]=0x2064\\_1600](#)

----结束

## BT1120 输出

BT1120 输出时的配置步骤如下：

- 步骤 1 输出为时序标签模式，配置时序标签模式 [DHDCTRL\[6\]](#)为 0b1。
- 步骤 2 配置 BT1120 时序模式如[表 8-12](#)所示。
- 步骤 3 配置输出接口位宽模式 [DHDCTRL \[5:4\]=0b01](#)，为 2 分量输出模式。
- 步骤 4 逐行显示，配置寄存器 [DHDCTRL \[7\]](#)为 0b1。
- 步骤 5 配置接口数据格式 [DHDCTRL \[3:0\]](#)。

----结束

BT1120 输出时的同步时序配置如[表 8-12](#)所示。

表8-12 BT1120 输出时的同步时序配置表

名称	BT1120
垂直消隐前肩 <a href="#">DHDVSYNC[27:20]</a>	4
垂直消隐后肩 <a href="#">DHDVSYNC[19:12]</a>	41
一帧活动图像高度 <a href="#">DHDVSYNC[11:0]</a>	1080
水平消隐前肩 <a href="#">DHDHSYNC2[15:0]</a>	528
水平消隐后肩 <a href="#">DHDHSYNC1[31:16]</a>	192
活动区域水平像素数 <a href="#">DHDHSYNC1[15:0]</a>	1920



## 视频图像输出配置

视频图像输出配置步骤如下：

- 步骤 1 系统初始化，VDP 禁止，VDP 的所有功能禁止。
- 步骤 2 清除所有中断，配置寄存器 VDPMSKINTSTA，该寄存器地址为 0x20640008，中断值为 0x01D0\_0099，对中断状态位的清零采用对相应的中断状态位写 1。
- 步骤 3 中断使能，配置寄存器 VDPINTMSK（根据需要配置相应位使能），在 VDPINTMSK 中的中断使能位为 1 时，相应的中断使能，否则该中断屏蔽。
- 步骤 4 配置图层使能，根据需要，配置视频层/图形层使能。（注：图形层 0 没有使能寄存器，8 分区中只要有一个分区使能，图形层 0 就使能）。
- 步骤 5 配置图层输出的起始坐标及宽高（视频层 VHD：VHDDFPOS、VHDDLPOS、VHDIRESO；；视频层 VSD：VSDDFPOS、VSDDLPOS、VSDIRESO；图形层 0：G0DFPOS、G0DLPOS、G0IRESO、G0ORESO、G0P0DFPOS、G0P0DLPOS、G0P0RESO、G0P0RESO、G0P1DFPOS、G0P1DLPOS、G0P1RESO、G0P2DFPOS、G0P2DLPOS、G0P2RESO、G0P3DFPOS、G0P3DLPOS、G0P3RESO、G0P4DFPOS、G0P4DLPOS、G0P4RESO、G0P5DFPOS、G0P5DLPOS、G0P5RESO、G0P6DFPOS、G0P6DLPOS、G0P6RESO、G0P7DFPOS、G0P7DLPOS、G0P7RESO、；图形层 1：G1DFPOS、G1DLPOS、G1IRESO、G1ORESO。
- 步骤 6 配置图层输入数据格式（视频层 VHD：VHDCTRL [3:0]；视频层 VSD：VSDCTRL [3:0]；（注：视频层支持两种数据格式：422、420）。图形层 0：G0CTRL bit[7:0]；图形层 1：G1CTRL bit[7:0]；（注：图形层支持两种数据格式 ARGB1555、ARGB4444）。
- 步骤 7 配置图层数据存储地址。视频层 VHD：VHDCADDR（亮度地址）、VHDCADDR（色度地址）、视频层 VSD：VSDCADDR（亮度地址）、VSDCCADDR（色度地址）、图形层 0 的 8 分区：G0P0ADDR、G0P1ADDR、G0P2ADDR、G0P3ADDR、G0P4ADDR、G0P5ADDR、G0P6ADDR、G0P7ADDR；图形层 1：G1ADDR。
- 步骤 8 配置图层数据存储步长。视频层 VHD：VHDSTRIDE；视频层 VSD：VSDSTRIDE；图形层 0 的 8 分区：G0P0STRIDE、G0P1STRIDE、G0P2STRIDE、G0P3STRIDE、G0P4STRIDE、G0P5STRIDE、G0P6STRIDE、G0P7STRIDE；图形层 1：G1STRIDE。
- 步骤 9 选择输出模式，标清选择 PAL 制 TV 输出、高清选择 BT1120 输出。
- 步骤 10 当图形层 RGB 数据在 TV 模式下显示时，需要 CSC 使能，配置 G0CSCIDC [27]为 1。
- 步骤 11 配置寄存器更新（根据图层需要配置相应的更新）。

----结束



### 注意

视频层输出，隔行输出时视频层的更新模式可以配置为按帧更新，寄存器 **VHDCTRL[17]**\ **VSDCTRL[17]** 配置为 1。

## 8.2.3.6 视频层功能

### VHD: 420-422 数据格式转换

当 VHD 的数据格式为 420 时，需要将色度在垂直方向上放大 2 倍得到 422 的数据。这一功能有两种工作模式：复制模式和滤波模式。

步骤如下：

- 步骤 1 垂直色度缩放使能信号，配置寄存器 **VHDVSP [30]** 为 1。
- 步骤 2 垂直色度缩放阶数选择 4 阶，配置寄存器 **VHDVSP [26]** 为 0。
- 步骤 3 选择亮度和色度在垂直方向上的比例为 420，配置寄存器 **VHDVSP [25]** 为 1。
- 步骤 4 选择垂直色度缩放模式，配置寄存器 **VHDVSP [23]**，配置为 0：复制模式；配置为 1：滤波模式。
- 步骤 5 当选择为滤波模式时，需要配置相位 0 和相位 1 的滤波系数。相位 0 的第 1 个缩放系数 **VHDCOEF00[9: 0]**，相位 0 的第 2 个缩放系数 **VHDCOEF00[19: 10]**，相位 0 的第 3 个缩放系数 **VHDCOEF01[9: 0]**，相位 0 的第 4 个缩放系数 **VHDCOEF01[19: 10]**；相位 1 的第 1 个缩放系数 **VHDCOEF10[9: 0]**，相位 1 的第 2 个缩放系数 **VHDCOEF10[19: 10]**，相位 1 的第 3 个缩放系数 **VHDCOEF11[9: 0]**，相位 1 的第 4 个缩放系数 **VHDCOEF11[19: 10]**。
- 步骤 6 视频层更新，配置寄存器 **VHDUPD [0]** 为 1。

----结束

### 水平色度上采样：IFIR

水平色度上采样主要是对 422 的视频数据在水平方向上进行上采样，转换为 444 格式的数据。

- 步骤 1 配置水平色度上采样的模式：复制模式、双线性插值、8 阶滤波。配置寄存器 **VHDCTRL[19:18]**。
- 步骤 2 如果配置的是 8 阶滤波模式，需要配置滤波系数。IFIR 滤波系数 0：**VHDIFIRCOEF01[9:0]**，IFIR 滤波系数 1：**VHDIFIRCOEF01[25:16]**，IFIR 滤波系数 2：**VHDIFIRCOEF23[9:0]**，IFIR 滤波系数 3：**VHDIFIRCOEF23[25:16]**，IFIR 滤波系数 4：**VHDIFIRCOEF45[9:0]**，IFIR 滤波系数 5：**VHDIFIRCOEF45[25:16]**，IFIR 滤波系数 6：**VHDIFIRCOEF67[9:0]**，IFIR 滤波系数 7：**VHDIFIRCOEF67[25:16]**。



步骤 3 视频层更新，配置寄存器 **G0UPD** [0]为 1。

----结束

### 8.2.3.7 图形层功能

CSC 处理

图形层的数据格式是 ARGB1555、ARGB4444，需要将 RGB 的数据转换为 YUV，从而满足叠加和接口输出数据的需要。

步骤如下：

步骤 1 打开 CSC 使能，配置寄存器 **G0CSCIDC**[27]为 1。

步骤 2 配置 CSC 的系数。如果是图形层 0，配置为 RGB2YUV709 的系数；如果是图形层 1，配置为 RGB2YUV601 的系数。

步骤 3 图形层寄存器更新，配置寄存器 **G0UPD** [0]为 1。

----结束

### 8.2.3.8 图层叠加处理

图像叠加时，需要考虑像素 alpha 和全局 alpha，像素 alpha 值表示某一个像素的叠加属性，全局 alpha 值表示某一层的叠加属性。当两层叠加时，两种属性将被同时考虑，两个 alpha 相乘得到两层的叠加 alpha 值。全局 alpha 禁止时，全局 alpha 默认为最大值 1，像素格式中没有 alpha 值时，像素 alpha 值默认为最大值 1。

图层叠加处理步骤如下：

步骤 1 配置叠加背景色。高清通道叠加背景色寄存器为 **CBMBKG1**，标清通道叠加背景色寄存器为 **CBMBKG2**。

步骤 2 配置图层全局 alpha 叠加值（视频层 VHD：**VHDCBMPARA**[7:0]；视频层 VSD：**VSDCBMPARA**[7:0]，图形层 0：**G0CBMPARA**[7:0]；图形层 1：**G1CBMPARA** [7:0]）。

步骤 3 配置各叠加图层的优先级，高清通道叠加优先级寄存器为 **CBMMIX1**，标清通道叠加优先级寄存器为 **CBMMIX2**。

步骤 4 配置**视频输出**。

步骤 5 根据图层需要配置寄存器更新。

----结束

### 8.2.3.9 显示通道 CSC 处理

通道的 CSC 主要用于进行色调、色度饱和度调节。

CSC 处理步骤如下：



8-201

海思专有和保密信息

文档版本 00B60 (2011-08-12)

版权所有 © 深圳市海思半导体有限公司

步骤 1 CSC 使能，配置寄存器 **DHDCSCIDC**[27]为 1。

步骤 2 配置 CSC 系数，CSC 空间转换输入直流分量寄存器、输出直流分量寄存器。

步骤 3 配置**视频输出**。

步骤 4 寄存器更新点来的时候进行寄存器更新。

RGB 到 YCbCr 转换的转换矩阵公式如下：

$$\begin{bmatrix} Y' \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} out\_dc0 \\ out\_dc1 \\ out\_dc2 \end{bmatrix} + \begin{bmatrix} coef00 & coef01 & coef02 \\ coef10 & coef11 & coef12 \\ coef20 & coef21 & coef22 \end{bmatrix} \bullet \begin{bmatrix} R'255 \\ G'255 \\ B'255 \end{bmatrix}$$

----结束

### 8.2.3.10 显示通道 CLIP 处理

为了防止输出数据的上溢、下溢，需要对输出的数据进行 CLIP 处理。

CLIP 处理的上、下门限值与输出接口时序的协议相关。

CLIP 处理步骤如下：

步骤 1 CLIP 使能，配置寄存器 **DHDCLIPL** [31]为 1。

步骤 2 配置 CLIP 处理最高门限寄存器 **DHDCLIPH**、最低门限寄存器 **DHDCLIPL**。

步骤 3 配置**视频输出**。

步骤 4 寄存器更新点来的时候将寄存器更新。

----结束

### 8.2.3.11 模拟输出低功耗控制

如果不采用模拟视频输出的时候，可以对 DAC 进行完整的低功耗控制：

配置 PERI\_CRG17 bit[7]为 1，关闭 DAC，使 DAC 完全进入低功耗状态。该寄存器的地址为 0x20030044。

## 8.2.4 VDP 寄存器概览

VDP 寄存器概览如表 8-13 所示。



表8-13 VDP 寄存器概览（基址是 0x2064\_0000）

偏移地址	名称	描述	页码
0x0000	VDPCTRL	VDP 控制寄存器	8-211
0x0004	VDPINTSTA	VDP 中断状态	8-212
0x0008	VDPMSKINTSTA	VDP 经过 Mask 的中断状态寄存器	8-213
0x000C	VDPINTMSK	VDP 中断屏蔽寄存器	8-214
0x0010	VDPVERSION1	VDP 版本寄存器 1	8-215
0x0014	VDPVERSION2	VDP 版本寄存器 2	8-216
0x0040	VDPPARAUP	缩放系数、LUT 相关的寄存器更新使能寄存器	8-216
0x0054	ACCAD	video 通道 ACC 系数查找表地址寄存器	8-217
0x0100	VHDCCTRL	该寄存器可以配置层的相关信息	8-217
0x0104	VHDUPD	VHD 通道更新使能寄存器	8-218
0x0110	VHDCADDR	当前帧的地址寄存器	8-219
0x0114	VHDCADDR	当前帧的色度地址寄存器	8-219
0x0124	VHDSTRIDE	Surface 的 stride 寄存器	8-220
0x0128	VHDIRESO	输入分辨率寄存器	8-220
0x0134	VHDCBMPARA	叠加相关参数	8-221
0x0160	VHDDFPOS	Surface 在显示窗口的起始位置（First POSition）	8-221
0x0164	VHDDLPOS	Surface 在显示窗口的结束位置（Last POSition）	8-222
0x0168	VHDVFPOS	Surface 真实内容在显示窗口的起始位置（First POSition）	8-222
0x016C	VHDVLPOS	Surface 真实内容在显示窗口的结束位置（Last POSition）	8-223
0x0180	VHDCSCIDC	色彩空间转换输入直流分量寄存器	8-223
0x0184	VHDCSCODC	色彩空间转换输出直流分量寄存器	8-224
0x0188	VHDCSCP0	色彩空间转换参数 0	8-225
0x018C	VHDCSCP1	色彩空间转换参数 1	8-225



8-203

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0190	VHDCSCP2	色彩空间转换参数 2	8-226
0x0194	VHDCSCP3	色彩空间转换参数 3	8-226
0x0198	VHDCSCP4	色彩空间转换参数 4	8-227
0x01D8	VHDVSP	缩放参数 (vertical Scaling Parameter)寄存器	8-227
0x01E4	VHDZMEORESO	缩放单元的输出分辨率寄存器	8-228
0x01E8	VHDZMEIRESO	缩放单元的输入分辨率寄存器	8-229
0x01F0	VHDCOEF00	VHD 色度垂直上采样相位 0 的滤波系数 1、2	8-230
0x01F4	VHDCOEF01	VHD 色度垂直上采样相位 0 的滤波系数 3、4	8-230
0x01F8	VHDCOEF10	VHD 色度垂直上采样相位 1 的滤波系数 1、2	8-230
0x01FC	VHDCOEF11	VHD 色度垂直上采样相位 1 的滤波系数 3、4	8-231
0x0200	VHDACCTHD1	VHD 通道 ACC 运算门限 1	8-231
0x0204	VHDACCTHD2	VHD 通道 ACC 运算门限 2	8-232
0x0210~ 0x0218	VHDACCLOWN	ACC 查找表	8-233
0x0220~ 0x0228	VHDACCMEDN	ACC 查找表	8-233
0x0230~ 0x0238	VHDACCHIGHN	ACC 查找表	8-234
0x0240~ 0x0248	VHDACCMLN	ACC 查找表	8-234
0x0250~ 0x0258	VHDACCMHN	ACC 查找表	8-235
0x0260	VHDACC3LOW	ACC 三区域的低门限亮度统计值	8-236
0x0264	VHDACC3MED	ACC 三区域的中门限亮度统计值	8-236
0x0268	VHDACC3HIGH	ACC 三区域的高门限亮度统计值	8-236



偏移地址	名称	描述	页码
0x026C	VHDACC8MLOW	ACC 中间区域分成 8 段后，低门限亮度统计值	8-237
0x0270	VHDACC8MHIGH	ACC 中间区域分成 8 段后，高门限亮度统计值	8-237
0x0274	VHDACCTOTAL	ACC 像素统计值	8-238
0x0280	VHDIFIRCOEF01	VHD IFIR 滤波系数 0、1	8-238
0x0284	VHDIFIRCOEF23	VHD IFIR 滤波系数 2、3	8-239
0x0288	VHDIFIRCOEF45	VHD IFIR 滤波系数 4、5	8-239
0x028C	VHDIFIRCOEF67	VHD IFIR 滤波系数 6、7	8-240
0x0700	VSDCTRL	该寄存器可以配置层的相关信息	8-240
0x0704	VSDUPD	VSD 通道更新使能寄存器	8-241
0x0710	VSDCADDR	当前帧的地址寄存器	8-242
0x0714	VSDCCADDR	当前帧的色度地址寄存器	8-242
0x0724	VSDSTRIDE	surface 的 stride 寄存器	8-242
0x0728	VSDIRESO	输入分辨率寄存器	8-243
0x0734	VSDCBMPARA	叠加相关参数寄存器	8-243
0x0760	VSDDFPOS	Surface 在显示窗口的起始位置 (First POSition) 寄存器	8-244
0x0764	VSDDLPOS	Surface 在显示窗口的结束位置 (Last POSition) 寄存器	8-244
0x0768	VSDVFPOS	Surface 真实内容在显示窗口的起始位置 (First POSition) 寄存器	8-245
0x076C	VSDVLPOS	Surface 真实内容在显示窗口的结束位置 (Last POSition) 寄存器	8-245
0x0780	VSDCSCIDC	色彩空间转换输入直流分量寄存器	8-246
0x0784	VSDCSCODC	色彩空间转换输出直流分量寄存器	8-247
0x0788	VSDCSCP0	色彩空间转换参数 0 寄存器	8-247
0x078C	VSDCSCP1	色彩空间转换参数 1 寄存器	8-248
0x0790	VSDCSCP2	色彩空间转换参数 2 寄存器	8-248



8-205

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0794	VSDCSCP3	色彩空间转换参数 3 寄存器	8-249
0x0798	VSDCSCP4	色彩空间转换参数 4 寄存器	8-249
0x07F0~ 0x07FC	VSDMOSAIC	MOSAIC 相关寄存器	8-250
0x0800	VSDACCTHD1	VSD 通道 ACC 运算门限 1	8-250
0x0804	VSDACCTHD2	VSD 通道 ACC 运算门限 2	8-251
0x0810~ 0x0818	VSDACCLOWN	ACC 查找表	8-252
0x0820~ 0x0828	VSDACCMEDN	ACC 查找表	8-252
0x0830~ 0x0838	VSDACCHIGHN	ACC 查找表	8-253
0x0840~ 0x0848	VSDACCMLN	ACC 查找表	8-253
0x0850~ 0x0858	VSDACCMHN	ACC 查找表	8-254
0x0860	VSDACC3LOW	ACC 三区域的低门限亮度统计值	8-255
0x0864	VSDACC3MED	ACC 三区域的中门限亮度统计值	8-255
0x0868	VSDACC3HIGH	ACC 三区域的高门限亮度统计值	8-255
0x086C	VSDACC8MLOW	ACC 中间区域分成 8 段后, 低门限亮度统计值	8-256
0x0870	VSDACC8MHIGH	ACC 中间区域分成 8 段后, 高门限亮度统计值	8-256
0x0874	VSDACCTOTAL	ACC 像素统计值	8-257
0x0880	VSDIFIRCOEF01	VSD IFIR 滤波系数 0、1	8-257
0x0884	VSDIFIRCOEF23	VSD IFIR 滤波系数 2、3	8-258
0x0888	VSDIFIRCOEF45	VSD IFIR 滤波系数 4、5	8-258
0x088C	VSDIFIRCOEF67	VSD IFIR 滤波系数 6、7	8-258
0x0900	G0CTRL	该寄存器可以配置层的相关信息寄存器	8-259



偏移地址	名称	描述	页码
0x0904	G0UPD	图形层更新使能寄存器	8-260
0x0910	G0CBMPARA	叠加相关参数, 包含: 像素 alpha 使能、像素 alpha 范围、全局 alpha 值	8-260
0x0914	G0CKMAX	数据格式为 1555 时, 当索引值为 0 时的 alpha 值	8-261
0x0918	G0CKMIN	数据格式为 1555 时, 当索引值为 1 时的 alpha 值	8-262
0x0920	G0IRESO	输入分辨率寄存器	8-262
0x0924	G0ORESO	输出分辨率寄存器	8-263
0x092C	G0DFPOS	Surface 在显示窗口的起始位置 (First POSition)	8-264
0x0930	G0DLPOS	Surface 在显示窗口的结束位置 (Last POSition)	8-264
0x09A0	G0CSCIDC	色彩空间转换输入直流分量寄存器	8-264
0x09A4	G0CSCODC	色彩空间转换输出直流分量寄存器	8-265
0x09A8	G0CSCP0	色彩空间转换参数 0	8-266
0x09AC	G0CSCP1	色彩空间转换参数 1	8-266
0x09B0	G0CSCP2	色彩空间转换参数 2	8-267
0x09B4	G0CSCP3	色彩空间转换参数 3	8-267
0x09B8	G0CSCP4	色彩空间转换参数 4	8-268
0x0A00	G0P0ADDR	图形层 g0 分区 0 的地址寄存器	8-268
0x0A04	G0P0STRIDE	图形层 g0 分区 0 的 stride 寄存器	8-269
0x0A08	G0P0DFPOS	图形层 g0 分区 0 在显示窗口的起始位置 (First POSition)	8-269
0x0A0C	G0P0DLPOS	图形层 g0 分区 0 在显示窗口的结束位置 (Last POSition)	8-270
0x0A10	G0P0RESO	图形层 g0 分区 0 的分辨率寄存器	8-270
0x0A14	G0P1ADDR	图形层 g0 分区 1 的地址寄存器	8-271
0x0A18	G0P1STRIDE	图形层 g0 分区 1 的 stride 寄存器	8-271



8-207

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x0A1C	G0P1DFPOS	图形层 g0 分区 1 在显示窗口的起始位置 (First POSition)	8-272
0x0A20	G0P1DLPOS	图形层 g0 分区 1 在显示窗口的结束位置 (Last POSition)	8-272
0x0A24	G0P1RESO	图形层 g0 分区 1 的分辨率寄存器	8-273
0x0A28	G0P2ADDR	图形层 g0 分区 2 的地址寄存器	8-273
0x0A2C	G0P2STRIDE	图形层 g0 分区 2 的 stride 寄存器	8-274
0x0A30	G0P2DFPOS	图形层 g0 分区 2 在显示窗口的起始位置 (First POSition)	8-274
0x0A34	G0P2DLPOS	图形层 g0 分区 2 在显示窗口的结束位置 (Last POSition)	8-275
0x0A38	G0P2RESO	图形层 g0 分区 2 的分辨率寄存器	8-275
0x0A3C	G0P3ADDR	图形层 g0 分区 3 的地址寄存器	8-276
0x0A40	G0P3STRIDE	图形层 g0 分区 3 的 stride 寄存器	8-276
0x0A44	G0P3DFPOS	图形层 g0 分区 3 在显示窗口的起始位置 (First POSition)	8-277
0x0A48	G0P3DLPOS	图形层 g0 分区 3 在显示窗口的结束位置 (Last POSition)	8-277
0x0A4C	G0P3RESO	图形层 g0 分区 3 的分辨率寄存器	8-278
0x0A50	G0P4ADDR	图形层 g0 分区 4 的地址寄存器	8-278
0x0A54	G0P4STRIDE	图形层 g0 分区 4 的 stride 寄存器	8-278
0x0A58	G0P4DFPOS	图形层 g0 分区 4 在显示窗口的起始位置 (First POSition)	8-279
0x0A5C	G0P4DLPOS	图形层 g0 分区 4 在显示窗口的结束位置 (Last POSition)	8-279
0x0A60	G0P4RESO	图形层 g0 分区 4 的分辨率寄存器	8-280
0x0A64	G0P5ADDR	图形层 g0 分区 5 的地址寄存器	8-280
0x0A68	G0P5STRIDE	图形层 g0 分区 5 的 stride 寄存器	8-281



偏移地址	名称	描述	页码
0x0A6C	G0P5DFPOS	图形层 g0 分区 5 在显示窗口的起始位置 (First POSition)	8-281
0x0A70	G0P5DLPOS	图形层 g0 分区 5 在显示窗口的结束位置 (Last POSition)	8-282
0x0A74	G0P5RESO	图形层 g0 分区 5 的分辨率寄存器	8-282
0x0A78	G0P6ADDR	图形层 g0 分区 6 的地址寄存器	8-283
0x0A7C	G0P6STRIDE	图形层 g0 分区 6 的 stride 寄存器	8-283
0x0A80	G0P6DFPOS	图形层 g0 分区 6 在显示窗口的起始位置 (First POSition)	8-284
0x0A84	G0P6DLPOS	图形层 g0 分区 6 在显示窗口的结束位置 (Last POSition)	8-284
0x0A88	G0P6RESO	图形层 g0 分区 6 的分辨率寄存器	8-285
0x0A8C	G0P7ADDR	图形层 g0 分区 7 的地址寄存器	8-285
0x0A90	G0P7STRIDE	图形层 g0 分区 7 的 stride 寄存器	8-286
0x0A94	G0P7DFPOS	图形层 g0 分区 7 在显示窗口的起始位置 (First POSition)	8-286
0x0A98	G0P7DLPOS	图形层 g0 分区 7 在显示窗口的结束位置 (Last POSition)	8-287
0x0A9C	G0P7RESO	图形层 g0 分区 7 的分辨率寄存器	8-287
0x0AA0	G08SLICEEN	图形层 g0 8 分区的使能寄存器	8-288
0x0B00	G1CTRL	该寄存器可以配置层的相关信息寄存器	8-289
0x0B04	G1UPD	图形层更新使能寄存器	8-290
0x0B08	G1ADDR	图形层地址寄存器	8-290
0x0B0C	G1STRIDE	图形层的 stride 寄存器	8-291
0x0B10	G1CBMPARA	叠加相关参数	8-291
0x0B20	G1HRESO	输入分辨率寄存器	8-292
0x0B24	G1ORESO	输出分辨率寄存器	8-293
0x0B2C	G1DFPOS	Surface 在显示窗口的起始位置 (First POSition)	8-293



8-209

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

偏移地址	名称	描述	页码
0x0B30	G1DLPOS	Surface 在显示窗口的结束位置 (Last POSition)	8-294
0x0BA0	G1CSCIDC	色彩空间转换输入直流分量寄存器	8-294
0x0BA4	G1CSCODC	色彩空间转换输出直流分量寄存器	8-295
0x0BA8	G1CSCP0	色彩空间转换参数 0	8-296
0x0BAC	G1CSCP1	色彩空间转换参数 1	8-296
0x0BB0	G1CSCP2	色彩空间转换参数 2	8-297
0x0BB4	G1CSCP3	色彩空间转换参数 3	8-297
0x0BB8	G1CSCP4	色彩空间转换参数 4	8-298
0x1000	CBMBKG1	Mixer1 叠加背景色寄存器	8-298
0x1004	CBMBKG2	Mixer2 叠加背景色寄存器	8-299
0x1010	CBMMIX1	Mixer1 优先级配置寄存器	8-299
0x1014	CBMMIX2	Mixer2 优先级配置	8-300
0x1100	DHDCTRL	显示通道的总体控制	8-301
0x1104	DHDVSYNC	隔行输出时, 该寄存器表示顶场垂直同步时序; 逐行输出时时, 该寄存器表示帧垂直同步时序。	8-303
0x1108	DHDHSYNC1	隔行或逐行输出情况下, 水平同步配置寄存器。包含水平消隐后肩和有效区域的配置。	8-304
0x110C	DHDHSYNC2	隔行或逐行输出情况下, 水平同步配置寄存器。包含底场同步像素数和水平消隐前肩的配置。	8-304
0x1110	DHDVPLUS	隔行输出时, 该寄存器表示底场垂直同步时序。包含底场垂直消隐前肩、底场垂直消隐后肩、底场活动图像的高度。	8-305
0x1114	DHDPWR	同步信号脉冲宽度	8-305
0x111C	DHDVTTHD	垂直时序门限值 (Vertical Timing Threshold)	8-306
0x1120	DHDCSCIDC	色彩空间转换输入直流分量寄存器	8-306



偏移地址	名称	描述	页码
0x1124	DHDCSCODC	色彩空间转换输出直流分量寄存器	8-307
0x1128	DHDCSCP0	色彩空间转换参数 0	8-308
0x112C	DHDCSCP1	色彩空间转换参数 1	8-308
0x1130	DHDCSCP2	色彩空间转换参数 2	8-309
0x1134	DHDCSCP3	色彩空间转换参数 3	8-309
0x1138	DHDCSCP4	色彩空间转换参数 4	8-310
0x1140	DHDCLIPL	显示通道 Clip 处理最低门限值寄存器	8-310
0x1144	DHDCLIPH	显示通道 Clip 处理最高门限值寄存器	8-311
0x11F0	DHDSTATE	DHD 状态寄存器	8-312
0x1300	DSDCTRL	显示通道的总体控制	8-312
0x1304	DSDVSYNC	隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。	8-314
0x1308	DSDHSYNC1	隔行或逐行输出情况下，水平同步配置寄存器。包含水平消隐后肩和有效区域的配置。	8-314
0x130C	DSDHSYNC2	隔行或逐行输出情况下，水平同步配置寄存器。包含水平消隐前肩配置。	8-315
0x1310	DSDVPLUS	隔行输出时，该寄存器表示底场垂直同步时序。包含底场垂直消隐前肩、底场垂直消隐后肩、底场活动图像的高度。	8-315
0x1314	DSDPWR	同步信号脉冲宽度	8-316
0x131C	DSDVTTHD	垂直时序门限值（Vertical Timing Threshold）	8-316
0x1320	DSDCSCIDC	色彩空间转换输入直流分量寄存器	8-317
0x1324	DSDCSCODC	色彩空间转换输出直流分量寄存器	8-318
0x1328	DSDCSCP0	色彩空间转换参数 0	8-318
0x132C	DSDCSCP1	色彩空间转换参数 1	8-319
0x1330	DSDCSCP2	色彩空间转换参数 2	8-320
0x1334	DSDCSCP3	色彩空间转换参数 3	8-320



8-211

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

偏移地址	名称	描述	页码
0x1338	DSDCSCP4	色彩空间转换参数 4	8-321
0x1340	DSDCLIPL	显示通道 Clip 处理最低门限值寄存器	8-321
0x1344	DSDCLIPH	显示通道 Clip 处理最高门限值寄存器	8-322
0x13F0	DSDSTATE	DSD 状态寄存器	8-323
0x1600	DATE_COEFF0	制式参数配置寄存器	8-323
0x1604	DATE_COEFF1	幅度配置寄存器	8-327
0x1654	DATE_COEFF21	输出矩阵控制寄存器	8-329
0x1690	DATE_VERSION	版本寄存器	8-329

## 8.2.5 VDP 寄存器描述

### VDPCTRL

VDPCTRL 为 VDP 控制寄存器。surface 总线申请仲裁模式。

	Offset Address	Register Name	Total Reset Value
	0x0000	VDPCTRL	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	vdp_ck_gt_en reserved bus_dbg_en	outstd_wid0 reserved vdp_id_sel	outstd_rid0 reserved arb_mode
Reset	0 0		
Bits	Access	Name	Description
[31]	RW	vdp_ck_gt_en	VDP 时钟门控使能。 0: 时钟门控关闭; 1: VDP 的内部时钟门控打开。
[30:22]	-	reserved	保留。



[21:20]	RW	bus_dbg_en	总线测试使能。 00: 总线正常工作模式; 01: 总线测试读写环回工作模式; 10: 总线测试写环回工作; 其他: 保留。
[19:16]	RW	outstd_wid0	AXI 总线写 ID0 的 outstanding (总线预申请允许的数目, 该值的范围是 0-7, 应用时建议配置值在 2-4 之间)。
[15:13]	-	reserved	保留。
[12]	RW	vdp_id_sel	VDP VHD ID 选择。 0: VHD 选择实时模式 ID 号 (0); 其他: 保留。
[11:8]	RW	outstd_rid0	AXI 总线读 ID0 的 outstanding。
[7:4]	RW	reserved	保留。
[3:0]	RW	arb_mode	VDP 内部各 surface 总线数据申请的仲裁模式。 0000: 轮询; 0001: 图形层优先; 其他: 保留

## VDPINTSTA

VDPINTSTA 为 VDP 中断状态, 只读寄存器。相应比特为 1 表示有中断, 为 0 表示没有中断。

	Offset Address	Register Name	Total Reset Value
	0x0004	VDPINTSTA	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	be_int ut_end_int reserved glrr_int g0rr_int vhdr_int reserved vsdr_int reserved reserved		
Reset	0 0		
Bits	Access	Name	Description
[31:25]	-	reserved	保留。



8-213

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[24]	RO	glrr_int	G1 寄存器更新中断。
[23]	RO	g0rr_int	G0 寄存器更新中断。
[22]	RO	vhdr_int	VHD 寄存器更新中断。
[21]	-	reserved	保留。
[20]	RO	vsdr_int	VSD 寄存器更新中断。
[19:8]	-	reserved	保留。
[7]	RO	dhduf_int	HD 通道低带宽告警中断。
[6:5]	-	reserved	保留。
[4]	RO	dhdvtthd1_int	HD 通道垂直时序中断 1。
[3]	RO	dsduf_int	SD 通道低带宽告警中断。
[2:1]	-	reserved	保留。
[0]	RO	dsdvtthd1_int	SD 通道垂直时序中断 1。

## VDPMSKINTSTA

VDPMSKINTSTA 为 VDP 经过 Mask 的中断状态寄存器。写 1 清零。

	Offset Address	Register Name	Total Reset Value
	0x0008	VDPMSKINTSTA	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
Name	be_int ut_end_int reserved vhd_regup_err_int	reserved glrr_int g0rr_int vhdr_int	reserved vte_int reserved dhduf_int reserved dhdvtthd1_int dsduf_int reserved dsdvtthd1_int
Reset	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31]	R/WC	be_int	总线错误中断。(AXI_Master)
[30]	R/WC	ut_end_int	UT 帧完成中断。
[29]	-	reserved	保留。



[28]	R/WC	vhd_regup_err_int	VHD 寄存器更新错误中断。
[27:25]	-	reserved	保留。
[24]	R/WC	g1rr_int	G1 寄存器更新中断。
[23]	R/WC	g0rr_int	G0 寄存器更新中断。
[22]	R/WC	vhdr_int	VHD 寄存器更新中断。
[21:10]	-	reserved	保留。
[9]	R/WC	vte_int	VHD 任务完成中断。
[8]	-	reserved	保留。
[7]	R/WC	dhduf_int	HD 通道低带宽告警中断。
[6:5]	-	reserved	保留。
[4]	R/WC	dhdvttld1_int	HD 通道垂直时序中断 1。
[3]	R/WC	dsduf_int	SD 通道低带宽告警中断。
[2:1]	-	reserved	保留。
[0]	R/WC	dsdvttld1_int	SD 通道垂直时序中断 1。

## VDPINTMSK

VDPINTMSK 为 VDP 中断屏蔽寄存器。与 VDPINTSTA 对应。相应比特为 1 表示中断打开，为 0 表示中断屏蔽。

	Offset Address				Register Name				Total Reset Value																							
	0x000C				VDPINTMSK				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	be_intmsk	ut_end_intmsk	reserved	vhd_regup_err_intmsk	reserved	reserved	reserved	g1rr_intmsk	g0rr_intmsk	vhdr_intmsk	reserved	vsdr_intmsk	reserved				vte_intmsk	reserved	dhduf_intmsk	reserved	dhdvttld1_intmsk	dsduf_intmsk	reserved	dsdvttld1_intmsk	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]																															
Access	R/W																															
Name	be_intmsk																															
Description	总线错误中断。(AXI_Master)																															



8-215

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[30]	R/W	ut_end_intmsk	UT 帧完成中断。
[29]	--	reserved	保留。
[28]	R/WC	vhd_regup_err_intmsk	VHD 寄存器更新错误中断。
[27:25]	--	reserved	保留。
[24]	R/W	g1rr_intmsk	G1 寄存器更新中断。
[23]	R/W	g0rr_intmsk	G0 寄存器更新中断。
[22]	R/W	vhdrr_intmsk	VHD 寄存器更新中断。
[21]	-	reserved	保留。
[20]	R/W	vsdrr_intmsk	VSD 寄存器更新中断。
[19:10]	--	reserved	保留。
[9]	R/W	vte_intmsk	VHD 任务完成中断。
[8]	R/W	reserved	保留。
[7]	R/W	dhduf_intmsk	HD 通道低带宽告警中断。
[6:5]	-	reserved	保留。
[4]	R/W	dhdvtthd1_intmsk	HD 通道垂直时序中断 1。
[3]	R/W	dsduf_intmsk	SD 通道低带宽告警中断。
[2:1]	R/W	reserved	保留。
[0]	R/W	dsdvtthd1_intmsk	SD 通道垂直时序中断 1。

## VDPVERSION1

VDPVERSION1 为 VDP 版本寄存器。



Offset Address		Register Name		Total Reset Value				
0x0010		VDPVERSION1		0x7675_6F76				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vdpversion0							
Reset	0 1 1 1	0 1 1 0	0 1 1 1	0 1 0 1	0 1 1 0	1 1 1 1	0 1 1 1	0 1 1 0
Bits	Access	Name	Description					
[31:0]	RO	vdpversion0	VDP 版本寄存器。					

## VDPVERSION2

VDPVERSION2 为 VDP 版本寄存器。

Offset Address		Register Name		Total Reset Value				
0x0014		VDPVERSION2		0x3030_3134				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	vdpversion1							
Reset	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 1	0 0 0 1	0 0 1 1	0 1 0 0
Bits	Access	Name	Description					
[31:0]	RO	vdpversion1	VDP 版本寄存器。					

## VDPPARAUP

VDPPARAUP 为缩放系数、LUT 相关的寄存器更新使能寄存器。VDP 的缩放系数是通过 AXI Master 配置的，软件通过 Slave 配置起始地址和参数需要更新的标志。



8-217

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x0040								Register Name VDPPARAUP								Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																								video_acc_upd	reserved							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																												
	[31:5]	-	reserved		保留。																												
	[4]	RW	video_acc_upd		Video 层 ACC 运算查找表是否需要更新。硬件更新后自动清零。 0: 不更新; 1: 更新。																												
	[3:0]	-	reserved		保留。																												

## ACCAD

ACCAD 为 video 通道 ACC 系数查找表地址寄存器。

	Offset Address 0x0054								Register Name ACCAD								Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	coef_addr																																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																												
	[31:0]	RW	coef_addr		系数放在 Local Memory 的起始地址。																												

## VHDCTRL

VHDCTRL 为该寄存器可以配置层的相关信息，为非即时寄存器。



	Offset Address 0x0100								Register Name VHDCTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved								ifir_mode		vup_mode		reserved								ifmt										
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0							
	Bits	Access	Name		Description																											
	[31]	RW	surface_en		surface 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
	[30:20]	-	reserved		保留。																											
	[19:18]	RW	ifir_mode		水平色度 IFIR 模式。 00: 保留。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 8 阶 FIR。																											
	[17]	--	vup_mode		寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。																											
	[16:4]	-	reserved		保留。																											
	[3:0]	RW	ifmt		输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。																											

## VHDUPD

VHDUPD 为 VHD 通道更新使能寄存器。



8-219

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0104		VHDUPD		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								regup
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	--	reserved	保留。						
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。						

## VHDCADDR

VHDCADDR 为当前帧的地址寄存器。对于 package 像素格式就是帧 buffer 地址；对于 semi-planar 像素格式是亮度帧 buffer 地址。

Offset Address		Register Name		Total Reset Value				
0x0110		VHDCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_caddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_caddr	VHD 的地址。					

## VHDCCADDR

VHDCCADDR 为当前帧的色度地址寄存器。对于 semi-planar 像素格式是色度帧 buffer 地址。



Offset Address		Register Name		Total Reset Value				
0x0114		VHDCCADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_ccaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_ccaddr	VHD 的色度地址。					

## VHDSTRIDE

VHDSTRIDE 为 surface 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0124		VHDSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_cstride				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride（对于 semi-planar 格式有用），以 16B 为单位。					
[15:0]	RW	surface_stride	帧 buffer 的 stride。（对于 semi-planar 格式，指亮度的 stride），以 16B 为单位。					

## VHDIRESO

VHDIRESO 为输入分辨率寄存器，为非即时寄存器。



8-221

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0128		VHDIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减1。 以帧高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，像素单位。实际宽度减1。						

## VHDCBMPARA

VHDCBMPARA 为叠加相关参数，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0134		VHDCBMPARA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						galpha	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。					

## VHDDFPOS

VHDDFPOS 为 Surface 在显示窗口的起始位置 (First POSition)，非即时寄存器。



	Offset Address 0x0160								Register Name VHDDFPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_yfpos								disp_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	--	reserved		保留。																											
	[23:12]	RW	disp_yfpos		显示列起始坐标。 以帧高度为参考，以行为单位。																											
	[11:0]	RW	disp_xfpos		显示行起始坐标。																											

## VHDDLPOS

VHDDLPOS 为 Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

	Offset Address 0x0164								Register Name VHDDLPOS								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								disp_ylpos								disp_xlpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	--	reserved		保留。																											
	[23:12]	RW	disp_ylpos		显示列结束坐标。 以帧高度为参考，以行为单位。																											
	[11:0]	RW	disp_xlpos		显示行结束坐标。																											

## VHDFVPOS

VHDFVPOS 为 Surface 真实内容在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。



8-223

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0168		VHDVFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

## VHDVLPOS

VHDVLPOS 为 Surface 真实内容在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x016C		VHDVLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行结束坐标。						

## VHDCSCIDC

VHDCSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x0180		VHDCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能控制信号。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

## VHDCSCODC

VHDCSCODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0184		VHDCSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



8-225

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## VHDCSCP0

VHDCSCP0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0188		VHDCSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## VHDCSCP1

VHDCSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x018C		VHDCSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



[15:13]	-	reserved	保留。
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

## VHDCSCP2

VHDCSCP2 为色彩空间转换参数 2，为即时寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0190				VHDCSCP2				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits																																
[31:29]	-				reserved				保留。																							
[28:16]	RW				cscp12				5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																							
[15:13]	-				reserved				保留。																							
[12:0]	RW				cscp11				5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																							

## VHDCSCP3

VHDCSCP3 为色彩空间转换参数 3，为即时寄存器。



8-227

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0194		VHDCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## VHDCSCP4

VHDCSCP4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0198		VHDCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## VHDTVSP

VHDTVSP 为缩放参数 (vertical Scaling Parameter)寄存器。



	Offset Address 0x01D8								Register Name VHDVSP								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	vchmsc_en	reserved	reserved	vsc_chroma_tap	chroma_type	reserved	vchfir_en	reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																								
	[31]	RW		reserved				保留。																								
	[30]	RW		vchmsc_en				垂直色度缩放使能。 0: 禁止; 1: 使能。																								
	[29:27]	-		reserved				保留。																								
	[26]	RW		vsc_chroma_tap				垂直色度缩放阶数。 0: 4阶 FIR; 其他: 保留。																								
	[25]	RW		chroma_type				亮度和色度在垂直方向的比例。 0: 422; 1: 420。																								
	[24]	-		reserved				保留。																								
	[23]	RW		vchfir_en				垂直色度缩放模式。 0: 复制模式 (滤波不使能); 1: 滤波模式 (滤波使能)。																								
	[22:0]	-		reserved				保留。																								

## VHDZMEORES0

VHDZMEORES0 为缩放单元的输出分辨率寄存器，为非即时寄存器。



8-229

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x01E4		VHDZMEORES0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		oh			ow			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 逐行时，以帧高度为参考，以行为单位， 隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	ow	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						

## VHDZMEIRES0

VHDZMEIRES0 为缩放单元的输入分辨率寄存器。为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x01E8		VHDZMEIRES0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 逐行时，以帧高度为参考，以行为单位， 隔行时，以场高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。						



## VHDCOE0F00

VHDCOE0F00 为 VHD 色度垂直上采样相位 0 的滤波系数 1、2。

Offset Address		Register Name		Total Reset Value					
0x01F0		VHDCOE0F00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 0 的第 2 个系数。						
[9:0]	RW	coef00	色度缩放相位 0 的第 1 个系数。						

## VHDCOE0F01

VHDCOE0F01 为 VHD 色度垂直上采样相位 0 的滤波系数 3、4。

Offset Address		Register Name		Total Reset Value					
0x01F4		VHDCOE0F01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 0 的第 4 个系数。						
[9:0]	RW	coef00	色度缩放相位 0 的第 3 个系数。						

## VHDCOE0F10

VHDCOE0F10 为 VHD 色度垂直上采样相位 1 的滤波系数 1、2。



8-231

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x01F8		VHDCOEF10		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 1 的第 2 个系数。						
[9:0]	RW	coef00	色度缩放相位 1 的第 1 个系数。						

## VHDCOEF11

VHDCOEF11 为 VHD 色度垂直上采样相位 1 的滤波系数 3、4。

Offset Address		Register Name		Total Reset Value					
0x01FC		VHDCOEF11		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			coef01			coef00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:20]	-	reserved	保留。						
[19:10]	RW	coef01	色度缩放相位 1 的第 4 个系数。						
[9:0]	RW	coef00	色度缩放相位 1 的第 3 个系数。						

## VHDACCTHD1

VHDACCTHD1 为 VHD 通道 ACC 运算门限 1。



Offset Address		Register Name		Total Reset Value					
0x0200		VHDACCTHD1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	acc_en acc_mode	thd_med_low		thd_high		thd_low			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	acc_en	acc 使能。非即时寄存器。 0: 禁止; 1: 使能。						
[30]	RW	acc_mode	输出 ACC 校正模式, 即时寄存器。 0: ACC 表由硬件产生; 1: ACC 表由软件配置。						
[29:20]	RW	thd_med_low	亮度等级 med_low 门限值。						
[19:10]	RW	thd_high	亮度等级 high 门限值。						
[9:0]	RW	thd_low	亮度等级 low 门限值。						

## VHDACCTHD2

VHDACCTHD2 为 VHD 通道 ACC 运算门限 2。

Offset Address		Register Name		Total Reset Value					
0x0204		VHDACCTHD2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			acc_rst	acc_multiple		thd_med_high		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:19]	-	reserved	保留。						
[18]	RW	acc_rst	ACC 复位寄存器。						
[17:10]	RW	acc_multiple	ACC 运算乘数。						



8-233

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[9:0]	RW	thd_med_high	亮度等级 med_high 门限值。
-------	----	--------------	--------------------

## VHDACCLOWN

VHDACCLOWN 为 ACC 查找表，亮度等级为 low。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0210~0x0218		VHDACCLOWN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。						

## VHDACCMEDN

VHDACCMEDN 为 ACC 查找表，亮度等级为 middle。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0220~0x0228		VHDACCMEDN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



[29:20]	RW	table_data3n	ACC 亮度等级 middle 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle 的查找表数据 1。

## VHDACCHIGHN

VHDACCHIGHN 为 ACC 查找表，亮度等级为 high。n=1~3。

	Offset Address 0x0230~0x0238								Register Name VHDACCHIGHN								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	table_data3n								table_data2n								table_data1n														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29:20]		[19:10]		[9:0]																									
Access	-		RW		RW		RW																									
Name	reserved		table_data3n		table_data2n		table_data1n																									
Description	保留。		ACC 亮度等级 high 的查找表数据 3。		ACC 亮度等级 high 的查找表数据 2。		ACC 亮度等级 high 的查找表数据 1。																									

## VHDACCMLN

VHDACCMLN 为 ACC 查找表，亮度等级为 middle\_low。n=1~3。



8-235

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0240~0x0248		VHDACCMLN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 middle_low 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 middle_low 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 middle_low 的查找表数据 1。						

## VHDACCMHN

VHDACCMHN 为 ACC 查找表，亮度等级为 middle\_high。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0250~0x0258		VHDACCMHN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 middle_high 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 middle_high 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 middle_high 的查找表数据 1。						



## VHDACC3LOW

VHDACC3LOW 为 ACC 三区域的低门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0260		VHDACC3LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt3_low				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_low	三区域的低门限亮度统计值。						

## VHDACC3MED

VHDACC3MED 为 ACC 三区域的中门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0264		VHDACC3MED		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt3_med				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_med	三区域的中门限亮度统计值。						

## VHDACC3HIGH

VHDACC3HIGH 为 ACC 三区域的高门限亮度统计值，为只读寄存器。



8-237

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0268		VHDACC3HIGH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt3_high				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_high	三区域的高门限亮度统计值。						

## VHDACC8MLOW

VHDACC8MLOW 为 ACC 中间区域分成 8 段后，低门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x026C		VHDACC8MLOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt8_med_low				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt8_med_low	中间区域的低门限亮度统计值。						

## VHDACC8MHIGH

VHDACC8MHIGH 为 ACC 中间区域分成 8 段后，高门限亮度统计值，为只读寄存器。



Offset Address		Register Name		Total Reset Value					
0x0270		VHDACC8MHIGH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt8_med_high				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt8_med_high	中间区域的高门限亮度统计值。						

## VHDACCTOTAL

VHDACCTOTAL 为 ACC 像素统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0274		VHDACCTOTAL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				acc_pix_total				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	acc_pix_total	ACC 总像素统计值。						

## VHDIFIRCOEF01

VHDIFIRCOEF01 为 VHD IFIR 滤波系数 0、1。

Offset Address		Register Name		Total Reset Value					
0x0280		VHDIFIRCOEF01		0x000D_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef1		reserved		coef0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						



8-239

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[25:16]	RW	coef1	IFIR 滤波系数 1。
[15:10]	-	reserved	保留。
[9:0]	RW	coef0	IFIR 滤波系数 0。

## VHDIFIRCOEF23

VHDIFIRCOEF23 为 VHD IFIR 滤波系数 2、3。

Offset Address		Register Name		Total Reset Value					
0x0284		VHDIFIRCOEF23		0x0132_03C1					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef3		reserved		coef2		
Reset	0 0 0 0	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef3	IFIR 滤波系数 3。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef2	IFIR 滤波系数 2。						

## VHDIFIRCOEF45

VHDIFIRCOEF45 为 VHD IFIR 滤波系数 4、5。

Offset Address		Register Name		Total Reset Value					
0x0288		VHDIFIRCOEF45		0x03C1_0132					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef5		reserved		coef4		
Reset	0 0 0 0	0 0 1 1	1 1 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 1 1	0 0 1 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef5	IFIR 滤波系数 5。						



[15:10]	-	reserved	保留。
[9:0]	RW	coef4	IFIR 滤波系数 4。

## VHDIFIRCOEF67

VHDIFIRCOEF67 为 VHD IFIR 滤波系数 6、7。

Offset Address		Register Name		Total Reset Value				
0x028C		VHDIFIRCOEF67		0x0000_000D				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		coef7		reserved		coef6	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1
Bits	Access	Name	Description					
[31:26]	-	reserved	保留。					
[25:16]	RW	coef7	IFIR 滤波系数 7。					
[15:10]	-	reserved	保留。					
[9:0]	RW	coef6	IFIR 滤波系数 6。					

## VSDCTRL

VSDCTRL 为该寄存器可以配置层的相关信息，为非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0700		VSDCTRL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_en	reserved		ifir_mode	vup_mode	reserved		ifmt
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	surface_en	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。					



8-241

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[30:20]	-	reserved	保留
[19:18]	RW	ifir_mode	水平色度 IFIR 模式。 01: 色度 IFIR 拷贝模式; 10: 双线性插值; 11: 8 阶 FIR; 其他: 保留。
[17]	RW	vup_mode	寄存器更新模式选择。 0: 按场更新; 1: 按帧更新。
[16:4]	-	reserved	保留。
[3:0]	RW	ifmt	输入数据格式。 0x3: SPYCbCr420; 0x4: SPYCbCr422; 其他: 保留。

## VSDUPD

VSDUPD 为 VSD 通道更新使能寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0704	VSDUPD	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															regup
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	--	reserved	保留。													
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新, 更新完成后, 硬件自动清零。													



## VSDCADDR

VSDCADDR 为当前帧的地址寄存器。对于 package 像素格式就是帧 buffer 地址；对于 semi-planar 像素格式是亮度帧 buffer 地址。

	Offset Address				Register Name				Total Reset Value																							
	0x0710				VSDCADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_caddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_caddr		当前帧的地址。																											

## VSDCCADDR

VSDCCADDR 为当前帧的色度地址寄存器。对于 semi-planar 像素格式是色度帧 buffer 地址。

	Offset Address				Register Name				Total Reset Value																							
	0x0714				VSDCCADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_ccaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_ccaddr		当前帧的色度地址。																											

## VSDSTRIDE

VSDSTRIDE 为 surface 的 stride 寄存器。



8-243

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0724		VSDSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	surface_cstride				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	surface_cstride	色度帧 buffer 的 stride（对于 semi-planar 格式有用），以 16B 为单位。						
[15:0]	RW	surface_stride	帧 buffer 的 stride。（对于 semi-planar 格式，指亮度的 stride），以 16B 为单位。						

## VSDIRESO

VSDIRESO 为输入分辨率寄存器。为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0728		VSDIRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ih			iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 以帧高度为参考，以行为单位。						
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。						

## VSDCBMPARA

VSDCBMPARA 为叠加相关参数寄存器。为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0734		VSDCBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						galpha		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RW	reserved	保留。						
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255，255 为全不透明，0 为全透明。						

## VSDDFPOS

VSDDFPOS 为 Surface 在显示窗口的起始位置（First POSition）寄存器。非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0760		VSDDFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		disp_yfpos			disp_xfpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	--	reserved	保留。					
[23:12]	RW	disp_yfpos	显示列起始坐标。 以帧高度为参考，以行为单位。					
[11:0]	RW	disp_xfpos	显示行起始坐标。					

## VSDDLPOS

VSDDLPOS 为 Surface 在显示窗口的结束位置（Last POSition）寄存器。以像素为单位，非即时寄存器。



8-245

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0764		VSDDLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	disp_ylpos	显示列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	disp_xlpos	显示行结束坐标。						

## VSDVFPOS

VSDVFPOS 为 Surface 真实内容在显示窗口的起始位置（First POSition）寄存器。以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0768		VSDVFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_yfpos			video_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	video_yfpos	视频内容列起始坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xfpos	视频内容行起始坐标。						

## VSDVLPOS

VSDVLPOS 为 Surface 真实内容在显示窗口的结束位置（Last POSition）寄存器。以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x076C		VSDVLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		video_ylpos			video_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	video_ylpos	视频内容列结束坐标。 以帧高度为参考，以行为单位。						
[11:0]	RW	video_xlpos	视频内容行结束坐标。						

## VSDCSCIDC

VSDCSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0780		VSDCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2		cscidc1		cscidc0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能控制信号。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数，MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数，MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数，MSB 为符号位。补码表示。					



8-247

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## VSDCSCODC

VSDCSCODC 为色彩空间转换输出直流分量寄存器。为即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0784				VSDCSCODC								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscodc2				cscodc1				cscodc0																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:27]	-	reserved	保留。																												
	[26:18]	RW	cscodc2	输出分量 2 直流参数，MSB 为符号位。补码表示。																												
	[17:9]	RW	cscodc1	输出分量 1 直流参数，MSB 为符号位。补码表示。																												
	[8:0]	RW	cscodc0	输出分量 0 直流参数，MSB 为符号位。补码表示。																												

## VSDCSCP0

VSDCSCP0 为色彩空间转换参数 0 寄存器。为即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0788				VSDCSCP0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved	cscp01											reserved	cscp00																		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:29]	-	reserved	保留。																												
	[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												
	[15:13]	-	reserved	保留。																												
	[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												



## VSDCSCP1

VSDCSCP1 为色彩空间转换参数 1 寄存器。为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x078C		VSDCSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## VSDCSCP2

VSDCSCP2 为色彩空间转换参数 2 寄存器。为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0790		VSDCSCP2		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp12				reserved	cscp11			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							



8-249

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[15:13]	-	reserved	保留。
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。

### VSDCSCP3

VSDCSCP3 为色彩空间转换参数 3 寄存器。为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0794		VSDCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp21			reserved	cscp20			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

### VSDCSCP4

VSDCSCP4 为色彩空间转换参数 4 寄存器。为即时寄存器。



Offset Address		Register Name		Total Reset Value						
0x0798		VSDCSCP4		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:13]	-	reserved	保留。							
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## VSDMOSAIC

VSDMOSAIC 为 MOSAIC 相关寄存器。

Offset Address		Register Name		Total Reset Value				
0x07F0~0x07FC		VSDMOSAIC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	-	reserved	保留。					

## VSDACCTHD1

VSDACCTHD1 为 VSD 通道 ACC 运算门限 1。



8-251

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

		Offset Address				Register Name				Total Reset Value																							
		0x0800				VSDACCTHD1				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		acc_en		acc_mode		thd_med_low				thd_high				thd_low																			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31]	RW		acc_en		acc 使能。非即时寄存器。 0: 禁止; 1: 使能。																											
	[30]	RW		acc_mode		输出 ACC 校正模式, 即时寄存器。 0: ACC 表由硬件产生; 1: ACC 表由软件配置。																											
	[29:20]	RW		thd_med_low		亮度等级 med_low 门限值。																											
	[19:10]	RW		thd_high		亮度等级 high 门限值。																											
	[9:0]	RW		thd_low		亮度等级 low 门限值。																											

## VSDACCTHD2

VSDACCTHD2 为 VSD 通道 ACC 运算门限 2。

		Offset Address				Register Name				Total Reset Value																							
		0x0804				VSDACCTHD2				0x0000_0000																							
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved												acc_rst	acc_multiple				thd_med_high														
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description																											
	[31:19]	-		reserved		保留。																											
	[18]	RW		acc_rst		ACC 复位寄存器。																											



[17:10]	RW	acc_multiple	ACC 运算乘数。
[9:0]	RW	thd_med_high	亮度等级 med_high 门限值。

## VSDACCLOWN

VSDACCLOWN 为 ACC 查找表，亮度等级为 low。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0810~0x0818		VSDACCLOWN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 low 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 low 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 low 的查找表数据 1。						

## VSDACCMEDN

VSDACCMEDN 为 ACC 查找表，亮度等级为 middle。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0820~0x0828		VSDACCMEDN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						



8-253

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[29:20]	RW	table_data3n	ACC 亮度等级 middle 的查找表数据 3。
[19:10]	RW	table_data2n	ACC 亮度等级 middle 的查找表数据 2。
[9:0]	RW	table_data1n	ACC 亮度等级 middle 的查找表数据 1。

## VSDACCHIGHN

VSDACCHIGHN 为 ACC 查找表，亮度等级为 high。n=1~3。

	Offset Address 0x0830~0x0838								Register Name VSDACCHIGHN								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				table_data3n								table_data2n								table_data1n											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:30]	-	reserved		保留。																											
	[29:20]	RW	table_data3n		ACC 亮度等级 high 的查找表数据 3。																											
	[19:10]	RW	table_data2n		ACC 亮度等级 high 的查找表数据 2。																											
	[9:0]	RW	table_data1n		ACC 亮度等级 high 的查找表数据 1。																											

## VSDACCMLN

VSDACCMLN 为 ACC 查找表，亮度等级为 middle\_low。n=1~3。



Offset Address		Register Name		Total Reset Value					
0x0840~0x0848		VSDACMLN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 middle_low 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 middle_low 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 middle_low 的查找表数据 1。						

## VSDACCMHN

VSDACCMHN 为 ACC 查找表，亮度等级为 middle\_high。n=1~3。

Offset Address		Register Name		Total Reset Value					
0x0850~0x0858		VSDACCMHN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	table_data3n		table_data2n		table_data1n			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:30]	-	reserved	保留。						
[29:20]	RW	table_data3n	ACC 亮度等级 middle_high 的查找表数据 3。						
[19:10]	RW	table_data2n	ACC 亮度等级 middle_high 的查找表数据 2。						
[9:0]	RW	table_data1n	ACC 亮度等级 middle_high 的查找表数据 1。						



## VSDACC3LOW

VSDACC3LOW 为 ACC 三区域的低门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0860		VSDACC3LOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt3_low				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_low	三区域的低门限亮度统计值。						

## VSDACC3MED

VSDACC3MED 为 ACC 三区域的中门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0864		VSDACC3MED		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				cnt3_med				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_med	三区域的中门限亮度统计值。						

## VSDACC3HIGH

VSDACC3HIGH 为 ACC 三区域的高门限亮度统计值，为只读寄存器。



Offset Address		Register Name		Total Reset Value					
0x0868		VSDACC3HIGH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cnt3_high					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt3_high	三区域的高门限亮度统计值。						

## VSDACC8MLOW

VSDACC8MLOW 为 ACC 中间区域分成 8 段后，低门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x086C		VSDACC8MLOW		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cnt8_med_low					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	cnt8_med_low	中间区域的低门限亮度统计值。						

## VSDACC8MHIGH

VSDACC8MHIGH 为 ACC 中间区域分成 8 段后，高门限亮度统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0870		VSDACC8MHIGH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			cnt8_med_high					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						



8-257

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[20:0]	RO	cnt8_med_high	中间区域的高门限亮度统计值。
--------	----	---------------	----------------

## VSDACCTOTAL

VSDACCTOTAL 为 ACC 像素统计值，为只读寄存器。

Offset Address		Register Name		Total Reset Value					
0x0874		VSDACCTOTAL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				acc_pix_total				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:21]	-	reserved	保留。						
[20:0]	RO	acc_pix_total	ACC 总像素统计值。						

## VSDIFIRCOEF01

VSDIFIRCOEF01 为 VSD IFIR 滤波系数 0、1。

Offset Address		Register Name		Total Reset Value					
0x0880		VSDIFIRCOEF01		0x000D_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		coef1		reserved		coef0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25:16]	RW	coef1	IFIR 滤波系数 1。						
[15:10]	-	reserved	保留。						
[9:0]	RW	coef0	IFIR 滤波系数 0。						



## VSDIFIRCOEF23

VSDIFIRCOEF23 为 VSD IFIR 滤波系数 2、3。

	Offset Address				Register Name				Total Reset Value																							
	0x0884				VSDIFIRCOEF23				0x0132_03C1																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef3				reserved				coef2																			
Reset	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1
Bits	Access		Name		Description																											
[31:26]	-		reserved		保留。																											
[25:16]	RW		coef3		IFIR 滤波系数 3。																											
[15:10]	-		reserved		保留。																											
[9:0]	RW		coef2		IFIR 滤波系数 2。																											

## VSDIFIRCOEF45

VSDIFIRCOEF45 为 VSD IFIR 滤波系数 4、5。

	Offset Address				Register Name				Total Reset Value																							
	0x0888				VSDIFIRCOEF45				0x003C_0132																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef5				reserved				coef4																			
Reset	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0
Bits	Access		Name		Description																											
[31:26]	-		reserved		保留。																											
[25:16]	RW		coef5		IFIR 滤波系数 5。																											
[15:10]	-		reserved		保留。																											
[9:0]	RW		coef4		IFIR 滤波系数 4。																											

## VSDIFIRCOEF67

VSDIFIRCOEF67 为 VSD IFIR 滤波系数 6、7。



8-259

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x088C								Register Name VSDIFIRCOEF67								Total Reset Value 0x0000_000D															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				coef7								reserved				coef6															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
	Bits	Access	Name		Description																											
	[31:26]	-	reserved		保留。																											
	[25:16]	RW	coef7		IFIR 滤波系数 7。																											
	[15:10]	-	reserved		保留。																											
	[9:0]	RW	coef6		IFIR 滤波系数 6。																											

## GOCTRL

GOCTRL 为该寄存器可以配置层的相关信息寄存器。为非即时寄存器。

	Offset Address 0x0900								Register Name GOCTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				upd_mode	read_mode	reserved								bitext	ifmt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:28]	-	reserved		保留																											
	[27]	RW	upd_mode		更新模式。 0: 帧更新; 1: 场更新。																											
	[26]	RW	read_mode		数据读取模式。 0: 根据接口读取方式自动选择（逐行显示时逐行读，隔行显示时隔行读）； 1: 强制按照逐行读取。																											



[25:10]	-	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X: 低位扩展 0; 10: 低位扩展最高 bit 位; 11: 低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x48: ARGB4444; 0x49: ARGB1555; 其他: 保留。

## G0UPD

G0UPD 为图形层更新使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0904	G0UPD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		regup
Reset	0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

## G0CBMPARA

G0CBMPARA 为叠加相关参数，为非即时寄存器。



8-261

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value															
	0x0910								G0CBMPARA								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											palpha_en	reserved			palpha_range	galpha															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	-		reserved		保留。																											
[12]	RW		palpha_en		像素 alpha 使能。 0: 禁止 1: 使能。																											
[11:9]	-		reserved		保留。																											
[8]	RW		palpha_range		像素 alpha 范围。 1: 表示像素的 $\alpha$ 范围为 0~255。 其他: 保留。																											
[7:0]	RW		galpha		叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。																											

## G0CKMAX

G0CKMAX 为叠加相关参数，为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0914		G0CKMAX		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	va0			reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	va0	alpha0 值。当数据格式为 alphaRGB1555 时且 alpha 值为 0 时，用该值替换。						
[23:0]	-	reserved	保留。						

## G0CKMIN

G0CKMIN 为叠加相关参数，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0918		G0CKMIN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	val			reserved					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	RW	val	alpha1 值。当数据格式为 alphaRGB1555 时且 alpha 值为 1 时，用该值替换。						
[23:0]	-	reserved	保留。						

## G0IRESO

G0IRESO 为输入分辨率寄存器，为非即时寄存器。



8-263

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value						
0x0920		GOIRESO		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved		ih				iw			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。							
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。							

## GOORES0

GOORES0 为输出分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0924		GOORES0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved		oh				ow		src_xfpos	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:24]	-	reserved	保留。							
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。							
[11:7]	RW	ow	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。							
[6:0]	RW	src_xfpos	源起始 X 坐标值，0 为一行第一个像素。							



## G0DFPOS

G0DFPOS 为 Surface 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x092C		G0DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

## G0DLPOS

G0DLPOS 为 Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0930		G0DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

## G0CSCIDC

G0CSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。



8-265

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value				
0x09A0		G0CSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

## G0CSCODC

G0CSCODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x09A4		G0CSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



## G0CSCP0

G0CSCP0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x09A8		G0CSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## G0CSCP1

G0CSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x09AC		G0CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							



8-267

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
--------	----	--------	---

## G0CSCP2

G0CSCP2 为色彩空间转换参数 2，为即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x09B0								G0CSCP2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:29]		-		[28:16]		RW		[15:13]		-		[12:0]		RW																	
Access																																
Name	reserved		reserved		cscp12		cscp12		reserved		reserved		cscp11		cscp11																	
Description	保留。		保留。		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。		保留。		保留。		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																	

## G0CSCP3

G0CSCP3 为色彩空间转换参数 3，为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x09B4		G0CSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## G0CSCP4

G0CSCP4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x09B8		G0CSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## G0P0ADDR

G0P0ADDR 为图形层 g0 分区 0 的地址寄存器。



8-269

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value																			
	0x0A00								GOP0ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	surface_addr		g0 分区 0 的帧 buffer 地址。128bit 对齐																															

## GOP0STRIDE

GOP0STRIDE 为图形层 g0 分区 0 的 stride 寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x0A04								GOP0STRIDE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access	Name		Description																															
	[31:16]	—	reserved		保留																															
	[15:0]	RW	surface_stride		g0 分区 0 的帧 buffer 的 stride。128bit 对齐。																															

## GOP0DFPOS

GOP0DFPOS 为图形层 g0 分区 0 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A08		G0P0DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfps			xfps			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfps	列起始坐标。						
[11:0]	RW	xfps	行起始坐标。满足： p0_xfps p1_xfps p2_xfps p3_xfps p4_xfps p5_xfps p6_xfps p7_xfps。						

## G0P0DLPOS

G0P0DLPOS 为图形层 g0 分区 0 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A0C		G0P0DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P0RESO

G0P0RESO 为图形层 g0 分区 0 的分辨率寄存器，为非即时寄存器。



8-271

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x0A10								Register Name GOP0RESO								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								h								w															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	h		高度，行为单位。实际高度减1。 注意：实际高度必须是偶数。																											
	[11:0]	RW	w		宽度，像素单位。实际宽度减1。 注意：实际宽度必须是偶数。																											

## G0P1ADDR

G0P1ADDR 为图形层 g0 分区 1 的地址寄存器。

	Offset Address 0x0A14								Register Name G0P1ADDR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_addr		g0 分区 1 的帧 buffer 地址。128bit 对齐。																											

## G0P1STRIDE

G0P1STRIDE 为图形层 g0 分区 1 的 stride 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A18		G0P1STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	g0 分区 1 的帧 buffer 的 stride。128bit 对齐。					

## G0P1DFPOS

G0P1DFPOS 为图形层 g0 分区 1 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A1C		G0P1DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfpos			xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfpos	列起始坐标。						
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p6_xfpos p7_xfpos。						

## G0P1DLPOS

G0P1DLPOS 为图形层 g0 分区 1 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。



8-273

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0A20		G0P1DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P1RESO

G0P1RESO 为图形层 g0 分区 1 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A24		G0P1RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。						

## G0P2ADDR

G0P2ADDR 为图形层 g0 分区 2 的地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A28		GOP2ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	g0 分区 2 的帧 buffer 地址。128bit 对齐。					

## GOP2STRIDE

GOP2STRIDE 为图形层 g0 分区 2 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A2C		GOP2STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	g0 分区 2 的帧 buffer 的 stride。128bit 对齐。					

## GOP2DFPOS

GOP2DFPOS 为图形层 g0 分区 2 在显示窗口的起始位置（First POSition），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A30		GOP2DFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		yfps			xfps		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	--	reserved	保留。					



8-275

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[23:12]	RW	yfpos	列起始坐标。
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p 6_xfpos p7_xfpos。

## G0P2DLPOS

G0P2DLPOS 为图形层 g0 分区 2 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A34		G0P2DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P2RESO

G0P2RESO 为图形层 g0 分区 2 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A38		G0P2RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						



[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。

## G0P3ADDR

G0P3ADDR 为图形层 g0 分区 3 的地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A3C		G0P3ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	g0 分区 3 的帧 buffer 地址。128bit 对齐。					

## G0P3STRIDE

G0P3STRIDE 为图形层 g0 分区 3 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A40		G0P3STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	g0 分区 3 的帧 buffer 的 stride。128bit 对齐。					



8-277

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## G0P3DFPOS

G0P3DFPOS 为图形层 g0 分区 3 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A44		G0P3DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfpos			xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfpos	列起始坐标。						
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p6_xfpos p7_xfpos						

## G0P3DLPOS

G0P3DLPOS 为图形层 g0 分区 3 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A48		G0P3DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						



## G0P3RESO

G0P3RESO 为图形层 g0 分区 3 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A4C		G0P3RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			h			w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。						

## G0P4ADDR

G0P4ADDR 为图形层 g0 分区 4 的地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A50		G0P4ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	g0 分区 4 的帧 buffer 地址。128bit 对齐。					

## G0P4STRIDE

G0P4STRIDE 为图形层 g0 分区 4 的 stride 寄存器。



8-279

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0A54		G0P4STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				surface_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	--	reserved	保留。						
[15:0]	RW	surface_stride	g0 分区 4 的帧 buffer 的 stride。128bit 对齐。						

## G0P4DFPOS

G0P4DFPOS 为图形层 g0 分区 4 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A58		G0P4DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfpos			xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfpos	列起始坐标。						
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p6_xfpos p7_xfpos						

## G0P4DLPOS

G0P4DLPOS 为图形层 g0 分区 4 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A5C		G0P4DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ylpos			xlpos		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P4RESO

G0P4RESO 为图形层 g0 分区 4 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A60		G0P4RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			h			w		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。						

## G0P5ADDR

G0P5ADDR 为图形层 g0 分区 5 的地址寄存器。



8-281

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address				Register Name								Total Reset Value																							
	0x0A64				G0P5ADDR								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	surface_addr		g0 分区 5 的帧 buffer 地址。128bit 对齐																															

## G0P5STRIDE

G0P5STRIDE 为图形层 g0 分区 5 的 stride 寄存器。

	Offset Address				Register Name								Total Reset Value																							
	0x0A68				G0P5STRIDE								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:16]	—	reserved		保留。																															
	[15:0]	RW	surface_stride		g0 分区 5 的帧 buffer 的 stride。128bit 对齐。																															

## G0P5DFPOS

G0P5DFPOS 为图形层 g0 分区 5 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0A6C		G0P5DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfpos			xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfpos	列起始坐标。						
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p6_xfpos p7_xfpos						

## G0P5DLPOS

G0P5DLPOS 为图形层 g0 分区 5 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A70		G0P5DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P5RESO

G0P5RESO 为图形层 g0 分区 5 的分辨率寄存器，为非即时寄存器。



8-283

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address 0x0A74								Register Name GOP5RESO								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								h								w															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:12]	RW	h		高度，行为单位。实际高度减1。 注意：实际高度必须是偶数。																											
	[11:0]	RW	w		宽度，像素单位。实际宽度减1。 注意：实际宽度必须是偶数。																											

## G0P6ADDR

G0P6ADDR 为图形层 g0 分区 6 的地址寄存器。

	Offset Address 0x0A78								Register Name G0P6ADDR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_addr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	surface_addr		g0 分区 6 的帧 buffer 地址。128bit 对齐																											

## G0P6STRIDE

G0P6STRIDE 为图形层 g0 分区 6 的 stride 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A7C		GOP6STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	--	reserved	保留。					
[15:0]	RW	surface_stride	g0 分区 6 的帧 buffer 的 stride。128bit 对齐					

## G0P6DFPOS

G0P6DFPOS 为图形层 g0 分区 6 在显示窗口的起始位置 (First POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A80		GOP6DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		yfpos			xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	yfpos	列起始坐标。						
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p 6_xfpos p7_xfpos						

## G0P6DLPOS

G0P6DLPOS 为图形层 g0 分区 6 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。



8-285

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x0A84		G0P6DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P6RESO

G0P6RESO 为图形层 g0 分区 6 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A88		G0P6RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。						
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。						

## G0P7ADDR

G0P7ADDR 为图形层 g0 分区 7 的地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0A8C		GOP7ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	surface_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	surface_addr	g0 分区 7 的帧 buffer 地址。128bit 对齐。					

## GOP7STRIDE

GOP7STRIDE 为图形层 g0 分区 7 的 stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A90		GOP7STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				surface_stride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	—	reserved	保留。					
[15:0]	RW	surface_stride	g0 分区 7 的帧 buffer 的 stride。128bit 对齐。					

## GOP7DFPOS

GOP7DFPOS 为图形层 g0 分区 7 在显示窗口的起始位置（First POSition），以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0A94		GOP7DFPOS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		yfps			xfps		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	--	reserved	保留。					



8-287

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[23:12]	RW	yfpos	列起始坐标。
[11:0]	RW	xfpos	行起始坐标。满足： p0_xfpos p1_xfpos p2_xfpos p3_xfpos p4_xfpos p5_xfpos p 6_xfpos p7_xfpos。

## G0P7DLPOS

G0P7DLPOS 为图形层 g0 分区 7 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A98		G0P7DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		ylpos			xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	ylpos	列结束坐标。						
[11:0]	RW	xlpos	行结束坐标。						

## G0P7RESO

G0P7RESO 为图形层 g0 分区 7 的分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0A9C		G0P7RESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		h			w			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						



[23:12]	RW	h	高度，行为单位。实际高度减 1。 注意：实际高度必须是偶数。
[11:0]	RW	w	宽度，像素单位。实际宽度减 1。 注意：实际宽度必须是偶数。

## G08SLICEEN

G08SLICEEN 为图形层 g0 8 分区的使能寄存器，为非即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x0AA0								G08SLICEEN								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								p7_en	p6_en	p5_en	p4_en	p3_en	p2_en	p1_en	p0_en
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:8]		[7]		[6]		[5]		[4]		[3]																					
Access	-		RW																													
Name	reserved		p7_en		p6_en		p5_en		p4_en		p3_en																					
Description	保留。		g0 分区 7 的使能信号。 0: 禁止; 1: 使能。		g0 分区 6 的使能信号。 0: 禁止; 1: 使能。		g0 分区 5 的使能信号。 0: 禁止; 1: 使能。		g0 分区 4 的使能信号。 0: 禁止; 1: 使能。		g0 分区 3 的使能信号。 0: 禁止; 1: 使能。																					



8-289

海思专有和保密信息  
文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[2]	RW	p2_en	g0 分区 2 的使能信号。 0: 禁止; 1: 使能。
[1]	RW	p1_en	g0 分区 1 的使能信号。 0: 禁止; 1: 使能。
[0]	RW	p0_en	g0 分区 0 的使能信号。 0: 禁止; 1: 使能。

## G1CTRL

G1CTRL 为该寄存器可以配置层的相关信息寄存器。为非即时寄存器。

	Offset Address 0x0B00								Register Name G1CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	surface_en	reserved			upd_mode	read_mode	reserved								bitext	ifmt																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31]		[30:28]			[27]																										
Access	RW		-			RW																										
Name	surface_en		reserved			upd_mode																										
Description	surface 使能。非即时寄存器。 0: 禁止; 1: 使能。		保留。			更新模式。 0: 帧更新; 1: 场更新。																										



[26]	RW	read_mode	数据读取模式。 0: 根据接口读取方式自动选择（逐行显示时逐行读，隔行显示时隔行读）； 1: 强制按照逐行读取。
[25:10]	-	reserved	保留。
[9:8]	RW	bitext	层输入位图 Bit 位扩展模式。 0X: 低位扩展 0； 10: 低位扩展最高 bit 位； 11: 低位扩展最高若干 bit 位。
[7:0]	RW	ifmt	输入数据格式。 0x48: ARGB4444； 0x49: ARGB1555； 其他: 保留。

## G1UPD

G1UPD 为图形层更新使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0B04	G1UPD	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
Bits	Access	Name	Description
[31:1]	-	reserved	保留。
[0]	RW	regup	surface 的寄存器更新。当软件配置完该层寄存器后写 1 更新，更新完成后，硬件自动清零。

## G1ADDR

G1ADDR 为图形层地址寄存器。在有水平像素偏移的情况下，地址计算参考 G1SFPOS 说明。



8-291

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

	Offset Address								Register Name								Total Reset Value																			
	0x0B08								G1ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	surface_addr																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:0]	RW	surface_addr		surface 帧 buffer 地址。																															

## G1STRIDE

G1STRIDE 为图形层的 stride 寄存器。

	Offset Address								Register Name								Total Reset Value																			
	0x0B0C								G1STRIDE								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																surface_stride																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																															
	[31:16]	—	reserved		保留。																															
	[15:0]	RW	surface_stride		帧 buffer 的 stride。																															

## G1CBMPARA

G1CBMPARA 为叠加相关参数，为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B10		G1CBMPARA		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					palpha_en	reserved	palpha_range	galpha
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12]	RW	palpha_en	像素 alpha 使能。 0: 禁止; 1: 使能。						
[11:9]	-	reserved	保留。						
[8]	RW	palpha_range	像素 alpha 范围 1: 表示像素的 $\alpha$ 范围为 0~255。 其他: 保留。						
[7:0]	RW	galpha	叠加全局 alpha 值。取值范围为 0~255, 255 为全不透明, 0 为全透明。						

## G1IRESO

G1IRESO 为输入分辨率寄存器，为非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B20		G1IRESO		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			ih			iw		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						



8-293

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[23:12]	RW	ih	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。
[11:0]	RW	iw	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。

## G1ORESO

G1ORESO 为输出分辨率寄存器，为非即时寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0B24				G1ORESO								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oh								ow				src_xfpos															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:24]	-	reserved	保留。																													
[23:12]	RW	oh	高度，行为单位。实际高度减 1。 注意：对于隔行输出，层的实际高度必须是偶数。逐行输出无此限制。																													
[11:7]	RW	ow	宽度，像素单位。实际宽度减 1。 注意：层的实际宽度必须是偶数。																													
[6:0]	RW	src_xfpos	源起始 X 坐标值，0 为一行第一个像素。																													

## G1DFPOS

G1DFPOS 为 Surface 在显示窗口的起始位置（First POSition），以像素为单位，非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x0B2C		G1DFPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_yfpos			disp_xfpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	-	reserved	保留。						
[23:12]	RW	disp_yfpos	列起始坐标。						
[11:0]	RW	disp_xfpos	行起始坐标。						

## G1DLPOS

G1DLPOS 为 Surface 在显示窗口的结束位置 (Last POSition)，以像素为单位，非即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x0B30		G1DLPOS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		disp_ylpos			disp_xlpos			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:24]	--	reserved	保留。						
[23:12]	RW	disp_ylpos	列结束坐标。						
[11:0]	RW	disp_xlpos	行结束坐标。						

## G1CSCIDC

G1CSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。



8-295

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value				
0x0BA0		G1CSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

## G1CSCODC

G1CSCODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x0BA4		G1CSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



## G1CSCP0

G1CSCP0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0BA8		G1CSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## G1CSCP1

G1CSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x0BAC		G1CSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							



8-297

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
--------	----	--------	---

## G1CSCP2

G1CSCP2 为色彩空间转换参数 2，为即时寄存器。

	Offset Address 0x0BB0								Register Name G1CSCP2								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:29]	-	reserved	保留。																												
	[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												
	[15:13]	-	reserved	保留。																												
	[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												

## G1CSCP3

G1CSCP3 为色彩空间转换参数 3，为即时寄存器。



	Offset Address 0x0BB4								Register Name G1CSCP3								Total Reset Value 0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved				cscp21								reserved				cscp20																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																												
	[31:29]	-	reserved		保留。																												
	[28:16]	RW	cscp21		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												
	[15:13]	-	reserved		保留。																												
	[12:0]	RW	cscp20		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																												

## G1CSCP4

G1CSCP4 为色彩空间转换参数 4，为即时寄存器。

	Offset Address 0x0BB8								Register Name G1CSCP4								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												cscp22																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:13]	-	reserved		保留。																											
	[12:0]	RW	cscp22		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

## CBMBKG1

CBMBKG1 为 Mixer1 叠加背景色寄存器。



8-299

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value				
0x1000		CBMBKG1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		cbm_bkgy1	cbm_bkgcb1		cbm_bkgr1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	cbm_bkgy1	Mixer1 叠加背景色, Y 分量。					
[15:8]	RW	cbm_bkgcb1	Mixer1 叠加背景色, Cb 分量。					
[7:0]	RW	cbm_bkgr1	Mixer1 叠加背景色, Cr 分量。					

## CBMBKG2

CBMBKG2 为 Mixer2 叠加背景色寄存器。

Offset Address		Register Name		Total Reset Value				
0x1004		CBMBKG2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved		cbm_bkgy2	cbm_bkgcb2		cbm_bkgr2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:24]	-	reserved	保留。					
[23:16]	RW	cbm_bkgy2	Mixer2 叠加背景色, Y 分量。					
[15:8]	RW	cbm_bkgcb2	Mixer2 叠加背景色, Cb 分量。					
[7:0]	RW	cbm_bkgr2	Mixer2 叠加背景色, Cr 分量。					

## CBMMIX1

CBMMIX1 为 Mixer1 优先级配置寄存器。在 vsync 处更新有效。

该寄存器为非即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x1010		CBMMIX1		0x0000_0019					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							mixer_prio1	mixer_prio0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 0 1	
Bits	Access	Name	Description						
[31:6]	-	reserved	保留。						
[5:3]	RW	mixer_prio1	Mixer1 的叠加层优先级配置，表示优先级 1 的驱动层。 000：表示没有层驱动； 001：vhd； 011：g0； 其他：保留。						
[2:0]	RW	mixer_prio0	Mixer1 的叠加层优先级配置，表示优先级 0 的驱动层。 000：表示没有层驱动； 001：vhd； 011：g0； 其他：保留。						

## CBMMIX2

CBMMIX2 为 Mixer2 优先级配置，在 vsync 处更新有效。该寄存器为非即时寄存器。





	Offset Address 0x1100								Register Name DHDCTRL								Total Reset Value 0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	intf_en		reserved				fpga_lmt_en		fpga_lmt_width								reserved								idv	ihs	ivs	iop	synm	intfb	intfdm					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0				
	Bits	Access	Name		Description																															
	[31]	RW	intf_en		显示接口使能。使能时，接口才会输出。为即时寄存器。 0: 禁止; 1: 使能。																															
	[30:28]	-	reserved		保留。																															
	[27]	RW	fpga_lmt_en		debug 寄存器。由于 FPGA 时钟总线频率的限制，无法显示 1080i 的图像内容，该寄存器使能后，可以在 1080i 的接口上显示 1280 宽度的图像内容。 0: 禁止; 1: 使能。																															
	[26:20]	RW	fpga_lmt_width		debug 寄存器。在 fpga_lmt_en 使能时，VDP 接口输出的有效区宽度由该寄存器决定。实际输出有效区域宽度 = fpga_lmt_width * 16。																															
	[19:11]	-	reserved		保留。																															
	[10]	RW	idv		数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																															
	[9]	RW	ihs		水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																															
	[8]	RW	ivs		垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。																															
	[7]	RW	iop		逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。																															



8-303

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司 文档版本 00B60 (2011-08-12)

[6]	RW	synm	同步模式，即时寄存器。 0：时序标签模式（例如 BT.656）； 1：同步信号模式（例如 LCD 显示）。
[5:4]	RW	intfb	输出接口位宽模式。 01：2 分量模式（每个时钟输出 2 个分量）； 其他：保留。 即时寄存器。
[3:0]	RW	intfdm	接口数据格式。 0x0：YCbCr422 数据格式； 其他：保留  即时寄存器。

## DHDVSYNC

DHDVSYNC 为隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。该寄存器的配置必须不晚于 DHDCTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0x1104		DHDVSYNC		0x0011_321B					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vfb		vbb		vact			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 0 1 1	0 0 1 0	0 0 0 1	1 0 1 1	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。						
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。						



[11:0]	RW	vact	隔行输出时：顶场的活动图象的高度； 逐行输出时：一帧的活动图象的高度。 该寄存器值为实际值减 1。
--------	----	------	---

## DHDHSYNC1

DHDHSYNC1 为隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。该寄存器的配置必须不晚于 DHDCTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0x1108		DHDHSYNC1		0x00BF_077F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hbb				hact			
Reset	0 0 0 0	0 0 0 0	1 0 1 1	1 1 1 1	0 0 0 0	0 1 1 1	0 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hbb	水平消隐后肩，单位为像素。					
[15:0]	RW	hact	活动区域水平像素数。					

## DHDHSYNC2

DHDHSYNC2 为隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。该寄存器的配置必须不晚于 DHDCTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value				
0x110C		DHDHSYNC2		0x0000_020F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	hmid				hfb			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	hmid	底场垂直同步有效像素值（有效数据区）。					
[15:0]	RW	hfb	水平消隐前肩，单位为像素。					



8-305

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## DHDVPLUS

DHDVPLUS 为隔行输出时，该寄存器表示底场垂直同步时序，该寄存器的配置必须不晚于 DHDCTRL.intf\_en 比特，否则配置无法生效。

	Offset Address 0x1110								Register Name DHDVPLUS								Total Reset Value 0x0021_321B															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0	1	1	0	1	1
	Bits	Access	Name		Description																											
	[31:28]	RW	reserved		保留。																											
	[27:20]	RW	bvfb		隔行输出时：底场垂直消隐前肩。																											
	[19:12]	RW	bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。																											
	[11:0]	RW	bvact		隔行输出时：底场的活动图象的高度。 该寄存器值为实际值减 1。																											

## DHDPWR

DHDPWR 为同步信号脉冲宽度，该寄存器的配置必须不晚于 DHDCTRL.intf\_en 比特，否则配置无法生效。

	Offset Address 0x1114								Register Name DHDPWR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vpw				hpw																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	RW	reserved		保留。																											
	[23:16]	RW	vpw		垂直脉冲宽度减 1。																											
	[15:0]	RW	hpw		水平脉冲宽度减 1。																											



## DHDVTTHD

DHDVTTHD 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。

	Offset Address				Register Name				Total Reset Value																							
	0x111C				DHDVTTHD				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	thd2_mode	reserved												thd1_mode	reserved	vtmgthd1																
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 1							
	Bits	Access	Name		Description																											
	[31]	RW	thd2_mode		门限 2 中断产生的模式。 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。																											
	[30:16]	-	reserved		保留。																											
	[15]	RW	thd1_mode		门限 1 中断产生的模式： 0：帧模式，以帧为单位做门限计数； 1：场模式，在隔行显示时以场为单位做门限计数。																											
	[14:13]	-	reserved		保留。																											
	[12:0]	RW	vtmgthd1		垂直时序门限值 1，当垂直时序计数器到达该门限时触发 VDPINTSTA[dhdvtthd_int1]中断。																											

## DHDCSCIDC

DHDCSCIDC 为色彩空间转换输入直流分量寄存器，为即时寄存器。



8-307

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value				
0x1120		DHDCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1	cscidc0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					
[27]	RW	csc_en	CSC 使能。 0: 禁止; 1: 使能。					
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。					

## DHDCSCODC

DHDCSCODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x1124		DHDCSCODC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	cscodc2	cscodc1	cscodc0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。					
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。					
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。					



## DHDCSCP0

DHDCSCP0 为色彩空间转换参数 0，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x1128		DHDCSCP0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp01				reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	RW	reserved	保留。							
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							

## DHDCSCP1

DHDCSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value						
0x112C		DHDCSCP1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved	cscp10				reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:29]	-	reserved	保留。							
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。							
[15:13]	-	reserved	保留。							



8-309

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
--------	----	--------	---

## DHDCSCP2

DHDCSCP2 为色彩空间转换参数 2，为即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x1130								DHDCSCP2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:29]	-		reserved		保留。																											
[28:16]	RW		cscp12		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											
[15:13]	RW		reserved		保留。																											
[12:0]	RW		cscp11		5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																											

## DHDCSCP3

DHDCSCP3 为色彩空间转换参数 3，为即时寄存器。



Offset Address		Register Name		Total Reset Value					
0x1134		DHDCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## DHDCSCP4

DHDCSCP4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x1138		DHDCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## DHDCLIPL

DHDCLIPL 为显示通道 Clip 处理最低门限值寄存器，为即时寄存器。



8-311

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x1140		DHDCLIPL		0x4100_4010					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	clip_en dfir_en	clipcl2		clipcl1		clipcl0			
Reset	0 1 0 0	0 0 0 1	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31]	RW	clip_en	CLIP 使能。 0: 禁止; 1: 使能。						
[30]	RW	dfir_en	色度水平下采样使能信号。						
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R, 无符号整数。						
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G, 无符号整数。						
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B, 无符号整数。						

## DHDCLIPH

DHDCLIPH 为显示通道 Clip 处理最高门限值寄存器，为即时寄存器。例如 BT.656 标准输出时需要输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value				
0x1144		DHDCLIPH		0x0EB0_00F0				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	clipch2		clipch1		clipch0		
Reset	0 0 0 0	1 1 1 0	1 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	0 0 0 0
Bits	Access	Name	Description					
[31:30]	-	reserved	保留					
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R, 无符号整数。					
[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。					



[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B，无符号整数。
-------	----	---------	------------------------

## DHDSTATE

DHDSTATE 为 DHD 状态寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x11F0								DHDSTATE								0x0000_0110															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留																											
[2]	RW		bottom_field		DHD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DHD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											
[0]	RW		vback_blank		DHD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																											

## DSDCTRL

DSDCTRL 为显示通道的总体控制。该寄存器所有比特的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。



8-313

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value								
0x1300		DSDCTRL		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	intf_en	reserved				idv	ihs	ivs	iop	synm	intfb	intfdm
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description									
[31]	RW	intf_en	显示接口使能。使能时，接口才会输出。为即时寄存器。 0: 禁止; 1: 使能。									
[30:11]	-	reserved	保留。									
[10]	RW	idv	数据有效信号输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[9]	RW	ihs	水平同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[8]	RW	ivs	垂直同步脉冲输出反相使能，即时寄存器。 0: 禁止; 1: 使能。									
[7]	RW	iop	逐行或者隔行显示，即时寄存器。 0: 隔行显示; 1: 逐行显示。									
[6]	RW	synm	同步模式，即时寄存器。 0: 时序标签模式（例如 BT.656）; 1: 同步信号模式（例如 LCD 显示）。									
[5:4]	RW	intfb	输出接口位宽模式： 00: 单分量模式（每个时钟输出 1 个分量）； 其他：保留。 即时寄存器。									



[3:0]	RW	intfdm	接口数据格式。 0x0: YCbCr422 数据格式; 其他: 保留 即时寄存器。
-------	----	--------	--

## DSDVSYNC

DSDVSYNC 为隔行输出时，该寄存器表示顶场垂直同步时序；逐行输出时时，该寄存器表示帧垂直同步时序。该寄存器配置后立即生效，将马上影响到管脚 VSYNC 的时序。该寄存器的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0x1304		DSDVSYNC		0x0011_511F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	vfb		vbb		vact			
Reset	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	0 1 0 1	0 0 0 1	0 0 0 1	1 1 1 1	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:20]	RW	vfb	隔行输出时：顶场垂直消隐前肩； 逐行输出时：垂直消隐前肩。						
[19:12]	RW	vbb	隔行输出时：顶场垂直消隐后肩； 逐行输出时：垂直消隐后肩加垂直脉冲的宽度。						
[11:0]	RW	vact	隔行输出时：顶场的活动图象的高度； 逐行输出时：一帧的活动图象的高度。 该寄存器值为实际值减 1。						

## DSDHSYNC1

DSDHSYNC1 为隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。该寄存器的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。



8-315

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x1308		DSDHSYNC1		0x0107_02CF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	hbb				hact				
Reset	0 0 0 0	0 0 0 1	0 0 0 0	0 1 1 1	0 0 0 0	0 0 1 0	1 1 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	hbb	水平消隐后肩，单位为像素。						
[15:0]	RW	hact	活动区域水平像素数。						

## DSDHSYNC2

DSDHSYNC2 为隔行或逐行输出情况下，水平同步配置寄存器。该寄存器配置后立即生效，将马上影响到管脚 HSYNC 的时序。该寄存器的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。

Offset Address		Register Name		Total Reset Value					
0x130C		DSDHSYNC2		0x0000_0017					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hfb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hfb	水平消隐前肩，单位为像素。						

## DSDVPLUS

DSDVPLUS 为隔行输出时，该寄存器表示底场垂直同步时序，该寄存器的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。



	Offset Address 0x1310								Register Name DSDVPLUS								Total Reset Value 0x0011_611F															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				bvfb				bvbb				bvact																			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	1	1	1	1
	Bits	Access	Name		Description																											
	[31:28]	-	reserved		保留。																											
	[27:20]	RW	bvfb		隔行输出时：底场垂直消隐前肩。																											
	[19:12]	RW	bvbb		隔行输出时：底场垂直消隐后肩垂直脉冲的宽度。																											
	[11:0]	RW	bvact		隔行输出时：底场的活动图象的高度。 该寄存器值为实际值减 1。																											

## DSDPWR

DSDPWR 为同步信号脉冲宽度，该寄存器的配置必须不晚于 DSDCTRL.intf\_en 比特，否则配置无法生效。

	Offset Address 0x1314								Register Name DSDPWR								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				vpw				hpw																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:24]	-	reserved		保留。																											
	[23:16]	RW	vpw		垂直脉冲宽度减 1。																											
	[15:0]	RW	hpw		水平脉冲宽度减 1。																											

## DSDVTTHD

DSDVTTHD 为垂直时序门限值（Vertical Timing Threshold），为即时寄存器。该寄存器中包含两个门限配置，可以分别独立的产生两个中断。



8-317

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x131C		DSDVTTHD		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	thd2_mode	reserved			thd1_mode	reserved	vtmgthd1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31]	RW	thd2_mode	门限 2 中断产生的模式。 0: 帧模式, 以帧为单位做门限计数; 1: 场模式, 在隔行显示时以场为单位做门限计数。						
[30:16]	-	reserved	保留。						
[15]	RW	thd1_mode	门限 1 中断产生的模式。 0: 帧模式, 以帧为单位做门限计数; 1: 场模式, 在隔行显示时以场为单位做门限计数。						
[14:13]	-	reserved	保留。						
[12:0]	RW	vtmgthd1	垂直时序门限值 1, 当垂直时序计数器到达该门限时触发 VDPINTSTA[dsvtthd_int1]中断。						

## DSDCSCIDC

DSDCSCIDC 为色彩空间转换输入直流分量寄存器, 为即时寄存器。

Offset Address		Register Name		Total Reset Value				
0x1320		DSDCSCIDC		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	csc_en	cscidc2	cscidc1		cscidc0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:28]	-	reserved	保留。					



[27]	RW	csc_en	CSC 使能。 0: 禁止; 1: 使能。
[26:18]	RW	cscidc2	输入分量 2 直流参数, MSB 为符号位。补码表示。
[17:9]	RW	cscidc1	输入分量 1 直流参数, MSB 为符号位。补码表示。
[8:0]	RW	cscidc0	输入分量 0 直流参数, MSB 为符号位。补码表示。

## DSDCSCODC

DSDCSCODC 为色彩空间转换输出直流分量寄存器, 为即时寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1324	DSDCSCODC	0x0000_0000
Bit	31 30 29 28	27 26 25 24	23 22 21 20
	19 18 17 16	15 14 13 12	11 10 9 8
	7 6 5 4	3 2 1 0	
Name	reserved	cscodc2	cscodc1
			cscodc0
Reset	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description
[31:27]	-	reserved	保留。
[26:18]	RW	cscodc2	输出分量 2 直流参数, MSB 为符号位。补码表示。
[17:9]	RW	cscodc1	输出分量 1 直流参数, MSB 为符号位。补码表示。
[8:0]	RW	cscodc0	输出分量 0 直流参数, MSB 为符号位。补码表示。

## DSDCSCP0

DSDCSCP0 为色彩空间转换参数 0, 为即时寄存器。



8-319

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x1328		DSDCSCP0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp01			reserved	cscp00			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp01	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp00	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## DSDCSCP1

DSDCSCP1 为色彩空间转换参数 1，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x132C		DSDCSCP1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	cscp10			reserved	cscp02			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp10	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						



[12:0]	RW	cscp02	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。
--------	----	--------	---

## DSDCSCP2

DSDCSCP2 为色彩空间转换参数 2，为即时寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x1330								DSDCSCP2								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cscp12								reserved				cscp11															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:29]	-	reserved	保留。																													
[28:16]	RW	cscp12	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																													
[15:13]	-	reserved	保留。																													
[12:0]	RW	cscp11	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。																													

## DSDCSCP3

DSDCSCP3 为色彩空间转换参数 3，为即时寄存器。



8-321

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

Offset Address		Register Name		Total Reset Value					
0x1334		DSDCSCP3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		cscp21		reserved		cscp20		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	-	reserved	保留。						
[28:16]	RW	cscp21	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						
[15:13]	-	reserved	保留。						
[12:0]	RW	cscp20	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## DSDCSCP4

DSDCSCP4 为色彩空间转换参数 4，为即时寄存器。

Offset Address		Register Name		Total Reset Value					
0x1338		DSDCSCP4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					cscp22			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:13]	-	reserved	保留。						
[12:0]	RW	cscp22	5.8 数据格式：1bit 符号位、4bit 整数位、8bit 小数位。补码表示。						

## DSDCLIPL

DSDCLIPL 为显示通道 Clip 处理最低门限值寄存器，为即时寄存器。



Offset Address		Register Name		Total Reset Value				
0x1340		DSDCLIPL		0x4010_1010				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	clip_en dfir_en	clipcl2		clipcl1		clipcl0		
Reset	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	clip_en	输出嵌位使能，即时寄存器。 0：禁止； 1：使能。					
[30]	RW	dfir_en	色度水平下采样使能信号。 0：禁止； 1：使能。					
[29:20]	RW	clipcl2	分量 2 最低门限值 Y/R，无符号整数。					
[19:10]	RW	clipcl1	分量 1 最低门限值 Cb/G，无符号整数。					
[9:0]	RW	clipcl0	分量 0 最低门限值 Cr/B，无符号整数。					

## DSDCLIPH

DSDCLIPH 为显示通道 Clip 处理最高门限值寄存器，为即时寄存器。例如 BT.656 标准输出时需要输出数据做 CLIP 处理。

Offset Address		Register Name		Total Reset Value				
0x1344		DSDCLIPH		0x00EB_F0F0				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	clipch2		clipch1		clipch0		
Reset	0 0 0 0	0 0 0 0	1 1 1 0	1 0 1 1	1 1 1 1	0 0 0 0	1 1 1 1	0 0 0 0
Bits	Access	Name	Description					
[31:30]	-	reserved	保留。					
[29:20]	RW	clipch2	分量 2 最高门限值 Y/R，无符号整数。					



8-323

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[19:10]	RW	clipch1	分量 1 最高门限值 Cb/G, 无符号整数。
[9:0]	RW	clipch0	分量 0 最高门限值 Cr/B, 无符号整数。

## DSDSTATE

DSDSTATE 为 DSD 状态寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x13F0				DSDSTATE				0x0000_0110																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								bottom_field	vblank	vback_blank					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:3]	-		reserved		保留。																											
[2]	RW		bottom_field		DSD 显示顶底场标识。 0: 顶场; 1: 底场。																											
[1]	RW		vblank		DSD 显示消隐区标识。 0: 有效区; 1: 消隐区。																											
[0]	RW		vback_blank		DSD 显示后消隐标识。 0: 不是后消隐区; 1: 是后消隐区。																											

## DATE\_COEFF0

DATE\_COEFF0 为制式参数配置寄存器。



	Offset Address 0x1600								Register Name DATE_COEFF0								Total Reset Value 0x5284_14FC															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	clpf_sel		dis_ire		reserved			scanline	rgb_en	vbi_lpf_en	fm_sel	style_sel		sync_mode_sel		sync_mode_scart	length_sel	agc_amp_sel		luma_dl			reserved	oversam_en	lunt_en	oversam2_en	chlp_en	sylp_en	chgain_en	tt_seq		
Reset	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	1	0	0
Bits	Access		Name		Description																											
[31:30]	RW		clpf_sel		色度低通滤波器带宽选择。 00: 1.1MHz 带宽 (NTSC) ; 01: 1.3MHz 带宽 (PAL) ; 10: 1.6MHz 带宽 (测试) ; 11: 保留。																											
[29]	RW		dis_ire		对于 (M) NTSC 和 (M, N) PAL 制式, 黑电平高于消隐电平 7.5IRE; 对于其它制式, 黑电平等于消隐电平。 该位控制黑电平是否应该比消隐电平高 7.5IRE。 0: 黑电平高于消隐电平 7.5IRE; 1: 黑电平等于消隐电平。																											
[28:26]	-		reserved		保留。 写无效, 读为 0。																											
[25]	RW		scanline		根据在不同制式下每帧包含的扫描行数进行设置。对于 (M) NTSC、NTSC-J、(M) PAL, 每帧包含 525 行; 对于 (B、D、J、H、I) PAL, (N) PAL, (Nc) PAL, 每帧包含 625 行。 0: 每帧包含 525 行; 1: 每帧包含 625 行。																											
[24]	RW		rgb_en		在 intf_sel 配置为 100 时, 该位决定分量信号是选用 RGB 还是选用 YPbPr。 0: 分量信号选用 YPbPr; 1: 分量信号选用 RGB。																											
[23]	RW		vbi_lpf_en		Vbi 数据低通滤波使能控制。 0: 不滤波处理; 1: 滤波处理。																											



8-325

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[22]	RW	fm_sel	<p>FMsecam 调频选择。</p> <p>0: secam 调频采用 sin; 1: secam 调频采用 cos。</p>
[21:18]	RW	style_sel	<p>与 scanline 配合，设置 CVBS/S-Video 输出信号的制式。</p> <p>当 scanline 为 0，即每帧包含 525 行时，含义如下： 0001: (M) NTSC 制式; 0010: NTSC-J 制式; 0100: (M) PAL 制式。</p> <p>当 scanline 为 1，即每帧包含 625 行时，含义如下： 0001: (B、D、G、H、I) PAL 制式; 0010: (N) PAL 制式; 0100: (Nc) PAL 制式; 1000: SECAM 制式。</p>
[17:16]	RW	sync_mode_sel	<p>高位指明分量输出是否要在三个通道上都包含同步信号，此控制 bit 需要在 sync_mode_scart 配置为 0 时才起作用。</p> <p>高位只在 intf_sel 设为 100 即有分量输出时有效，含义为： 0: 分量输出时，只在一个通道上包含同步信号; 1: 分量输出时，在三个通道上都包含同步信号。</p> <p>在该位设为 0 时，对于 YPbPr 输出，同步通道只能是 Y 通道；对于 RGB 输出，只能是 G 通道。</p> <p>低位指明 RGB 输出有无消隐基数。</p> <p>低位只在 intf_sel 设为 100，rgb_en 设为 1 时有效，含义为： 0: RGB 输出时无消隐基数; 1: RGB 输出时有消隐基数。</p>
[15]	RW	sync_mode_scart	<p>此位指明下分量 3 个通道均不叠加同步</p> <p>0: 分量同步输出根据 sync_mode_sel[1]配置 1: 分量 3 个通道均不叠加同步，此时 sync_mode_sel[1]需配置为 0</p>



[14]	RW	length_sel	<p>说明每个视频行包含的以像素数为单位的行有效宽度。</p> <p>0: 按照 BT.601 模式的行有效像素宽度输出；</p> <p>1: 按照 BT.470 模式的行有效像素宽度输出。</p> <p>当该位为 0 时，行有效宽度为 720 个像素。当该位配置为 1 时，对于 625 行制式，行有效宽度为 704 个像素；对于 525 行制式，行有效宽度为 712 个像素。</p> <p>目前版本不支持 BT601 模式和 BT470 模式动态配置，复位后根据需要配置后中间过程不能更改配置。推荐固定配置成 BT601 模式，即采用上电复位值。</p>
[13]	RW	agc_amp_sel	<p>0: 参照片内默认值产生 AGC 脉冲（推荐）；</p> <p>1: 参照片外配置产生 AGC 脉冲 DATE_COEFF1[amp_outside]。</p>
[12:9]	RW	luma_dl	<p>以半个像素宽度为单位，相对于亮度信号，色度信号超前或滞后的位移量。</p> <p>最高位表示色度信号相对亮度信号位移量的方向。</p> <p>0: 色度信号滞后于亮度信号；</p> <p>1: 色度信号超前于色度信号。</p> <p>低 3 位表示色度信号相对亮度信号位移量的绝对值，二进制表示，取值范围为从 0~7。</p> <p>000: 色度与亮度对齐，不作调整；</p> <p>001~111: 色度信号相对亮度信号超前或滞后 1~7 个单位。</p>
[8]	RW	reserved	<p>保留。</p> <p>写无效，读为 0。</p>
[7:6]	RW	oversam_en	<p>第一级过采样开关控制位，包含亮度过采样开关控制位和色度过采样开关控制位。</p> <p>高位为亮度过采样开关控制位。</p> <p>0: 亮度过采样关闭；</p> <p>1: 亮度过采样打开。</p> <p>低位为色度过采样开关控制位。</p> <p>0: 色度过采样关闭；</p> <p>1: 色度过采样打开。</p>
[5]	RW	lunt_en	<p>亮度陷波功能开关控制位。</p> <p>0: 亮度陷波功能关闭；</p> <p>1: 亮度陷波功能打开。</p>



8-327

海思专有和保密信息 文档版本 00B60 (2011-08-12)  
版权所有 © 深圳市海思半导体有限公司

[4]	RW	oversam2_en	第二级过采样开关控制位，同时控制亮度通路和色度通路。 0：亮度过采样关闭； 1：亮度过采样打开。
[3]	RW	chlp_en	色度低通滤波功能开关控制位。 0：色度低通滤波功能关闭； 1：色度低通滤波功能打开。
[2]	RW	sylp_en	同步低通滤波功能开关控制位。 0：同步低通滤波功能关闭； 1：同步低通滤波功能打开。
[1]	RW	chgain_en	色度增益开关控制位。 0：色度增益关闭； 1：色度增益打开。
[0]	RW	tt_seq	配置 Teletext 数据字节中各位的发送顺序。 0：从高位到低位； 1：从低位到高位。

## DATE\_COEFF1

DATE\_COEFF1 为幅度配置寄存器。

	Offset Address 0x1604												Register Name DATE_COEFF1												Total Reset Value 0x0000_0000												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	c_gain			cvbs_limit_en	wss_seq	vps_seq	cgms_seq	cc_seq	amp_outside					date_test_en	date_test_mode		dac_test						tt06_enf1	tt06_enf2	tt05_enf2												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits	Access	Name	Description																																	
	[31:29]	RW	c_gain	色同步增益幅度调节。																																	



[28]	RW	cvbs_limit_en	CVBS 限幅开关控制位。 0: 不限幅; 1: 限幅。
[27]	RW	wss_seq	配置 WSS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[26]	RW	vps_seq	配置 VPS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[25]	RW	cgms_seq	配置 CGMS 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[24]	RW	cc_seq	配置 Closed Caption 数据字节中各位的发送顺序。 0: 从高位到低位; 1: 从低位到高位。
[23]	RW	c_limit_en	色度限幅开关控制位。 0: 不限幅; 1: 限幅。
[22:13]	RW	amp_outside	外部 AGC 脉冲幅度输入。
[12]	RW	date_test_en	测试有效信号。
[11:10]	RW	date_test_mode	测试模式信号。
[9:3]	RW	dac_test	DAC 测试值输入。
[2]	RW	tt06_enf1	奇场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[1]	RW	tt06_enf2	偶场第 6 行 Teletext 开关控制位。 0: 关闭; 1: 打开。
[0]	RW	tt05_enf2	偶场第 5 行 Teletext 开关控制位。 0: 关闭; 1: 打开。



8-329

海思专有和保密信息  
版权所有 © 深圳市海思半导体有限公司

文档版本 00B60 (2011-08-12)

## DATE\_COEFF21

DATE\_COEFF21 为输出矩阵控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1654				DATE_COEFF21				0x0000_0001																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																									dac0_in_sel						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Access	Name		Description																											
	[31:3]	-	reserved		保留。 写无效，读为 0；																											
	[2:0]	RW	dac0_in_sel		DAC0 输出模式选择。 001: cvbs; 其他: 保留																											

## DATE\_VERSION

DATE\_VERSION 为版本寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x1690				DATE_VERSION				0x0000_0024																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
	Bits	Access	Name		Description																											
	[31:0]	-	reserved		保留。 写无效，读为 0。																											



## 8.2.6 VDP 寄存器配置限制

由于逻辑资源的限制，结合应用场景，VDP 的寄存器配置存在以下限制条件：

- 图形层 G0 8 分区的水平起始显示坐标  
8 分区的显示坐标除了不能重叠之外，8 分区的水平起始显示坐标必须按照从小到大的顺序依次编号为 P0-P7。
- 图形层的地址和 stride 128bit 对齐
- 图形层宽度、高度为偶数
- 视频层宽度为偶数
- 视频层高度

当数据格式为 420 时，高度为 4 的整数倍；当数据格式为 422 时高度限制为偶数。



## 目 录

9 音频接口.....	9-1
9.1 SIO .....	9-1
9.1.1 概述 .....	9-1
9.1.2 特点 .....	9-1
9.1.3 功能描述 .....	9-2
9.1.4 工作方式 .....	9-6
9.1.5 寄存器概览 .....	9-9
9.1.6 寄存器描述 .....	9-10
9.2 Audio Codec.....	9-28
9.2.1 概述 .....	9-28
9.2.2 特点 .....	9-28
9.2.3 功能描述 .....	9-29
9.2.4 寄存器概览 .....	9-30
9.2.5 寄存器描述 .....	9-30



## 插图目录

图 9-1 I <sup>2</sup> S 接口主模式连接示意图.....	9-2
图 9-2 I <sup>2</sup> S 接口从模式连接示意图.....	9-3
图 9-3 录音 I <sup>2</sup> S/PCM 主模式 .....	9-3
图 9-4 录音 I <sup>2</sup> S/PCM 从模式 .....	9-4
图 9-5 I <sup>2</sup> S 接口时序.....	9-4
图 9-6 PCM 接口标准模式时序 .....	9-5
图 9-7 PCM 接口自定义模式时序 .....	9-5
图 9-8 I <sup>2</sup> S 2/4/8/16 路接收 .....	9-5
图 9-9 PCM 2/4/8/16 路接收.....	9-6
图 9-10 Audio Codec 结构图.....	9-29



---

## 表格目录

---

表 9-1 SIO 寄存器概览 .....9-9



# 9 音频接口

## 9.1 SIO

### 9.1.1 概述

音频输入输出接口 SIO (Sonic Input/Output)，用于和片外 Audio CODEC 芯片连接，完成音乐（语音）的播放及录制。提供 3 组音频接口 SIO0、SIO1 和 SIO2，SIO0 和 SIO1 支持 8/16 路音频输入，SIO2 支持语音对讲的输入输出。

### 9.1.2 特点

SIO 接口支持 PCM (Pulse Code Modulation) 和 I<sup>2</sup>S 两种模式。其中，PCM 接口主要用于语音通道，比如 VOIP 电话；I<sup>2</sup>S 接口主要用于配合 AUDIO CODEC 完成音乐播放和录音。SIO 接口还支持 DMA 操作。

#### PCM 接口

PCM 接口有如下特点：

- 支持主模式和从模式。
- 支持单声道 8bit 或 16bit 线性 PCM 编码的发送和接收。
- 支持 2/4/8/16 路 8/16 bit 数据的多路接收。
- 支持由芯片内部产生位时钟以及帧同步信号，也可支持外接时钟及同步信号。
- PCM 接口帧同步信号仅支持短脉冲同步信号（同步信号的持续时间为 1 个时钟周期），支持标准和自定义 2 种模式。
- 支持发送和接收通道单独使能。
- 接收通道和发送通道具有独立的 FIFO（深度为 16）。

#### I<sup>2</sup>S 接口

I<sup>2</sup>S 接口有如下特点：

- 支持主模式和从模式。
- 支持左右声道 16/18/20/24/32bit 数据位宽的发送和接收。



- 支持 2/4/8/16 路 8/16bit 数据的多路接收。
- 支持 8K~192K 采样率。
- I<sup>2</sup>S 接收通道和发送通道具有独立的 FIFO，并且，每个通道的左声道和右声道均有独立的 FIFO，其 FIFO 深度为 16，FIFO 水线可调。
- I<sup>2</sup>S 支持发送和接收通道单独使能。
- 对于 I<sup>2</sup>S 接口 16bit 数据宽度的传输模式，支持左右声道接收数据合并成一个 32bit 数据在接收 FIFO 中存储，支持左右声道发送数据合并成一个 32bit 数据写入发送 FIFO，从而提高 FIFO 的缓冲能力。多路（2/4/8/16 路 8/16bit 数据）接收时不支持该合并功能。

### 9.1.3 功能描述

#### 典型应用

SIO0 用于语音对讲（输入输出），以下对 I<sup>2</sup>S 接口的典型连接进行说明。

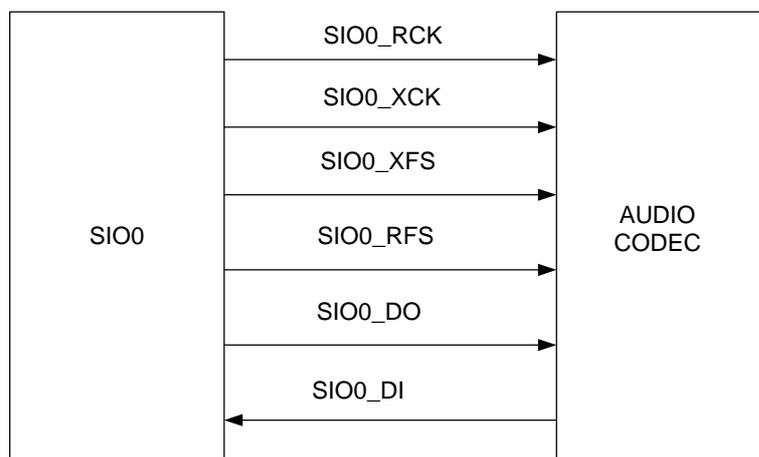


#### 注意

在主模式下，AUDIO CODEC 的工作时钟要使用芯片提供的主时钟（SIO\_MCLK）信号，而不能使用外接的晶振，否则，可能导致声音失真。

主模式下，I<sup>2</sup>S 接口的典型连接如图 9-1 所示。

图9-1 I<sup>2</sup>S 接口主模式连接示意图

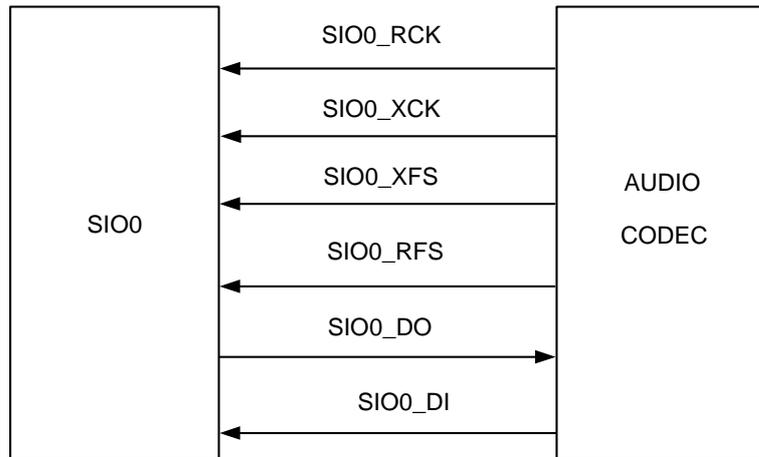


在主模式下，位流时钟和左右声道选择信号由 SIO 送给 AUDIO CODEC。而在从模式下，位流时钟和左右声道选择信号由 AUDIO CODEC 送给 SIO。

从模式下，I<sup>2</sup>S 接口的典型连接如图 9-2 所示。



图9-2 I<sup>2</sup>S 接口从模式连接示意图



在从模式下，AUDIO CODEC 的主工作时钟可以使用芯片提供的主时钟（SIO\_MCLK）信号，也可以使用外接的晶振。

由 SIO 提供时钟和同步信号时，PCM 接口的典型连接图 9-3 所示。AUDIO CODEC 的工作时钟要用芯片提供的 SIO\_MCLK 信号，而不能用外接的晶振，否则，可能导致声音失真。

由 SIO 提供时钟和同步信号时（主模式），PCM 接口的连接同 I<sup>2</sup>S 模式一样，如图 9-1 所示。

由 AUDIO CODEC 提供时钟和同步信号时（从模式），PCM 接口的连接同 I<sup>2</sup>S 模式一样，如图 9-2 所示。

由 AUDIO CODEC 提供时钟和同步信号时，AUDIO CODEC 的主工作时钟可以使用芯片提供的主时钟（SIO\_MCLK）信号，也可以使用外接的晶振。

SIO0 和 SIO1 用于典型 8/16 路 16bits 音频数据的录音，以 SIO1 示意，对其连接进行说明。I<sup>2</sup>S/PCM 模式连接如图 9-3 和图 9-4 所示。

图9-3 录音 I<sup>2</sup>S/PCM 主模式

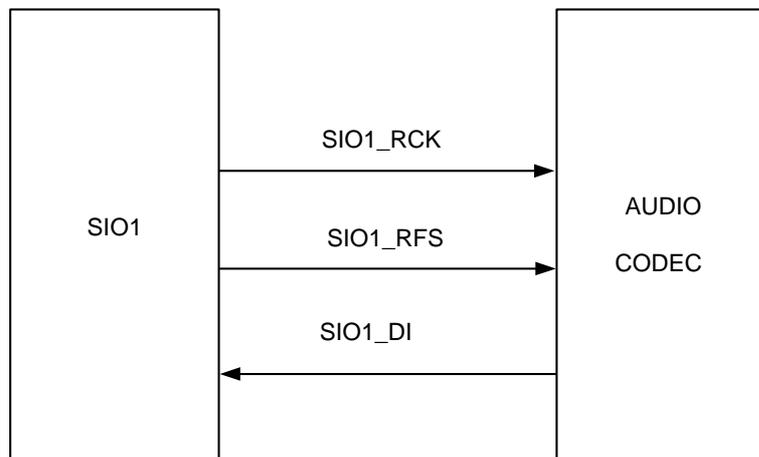
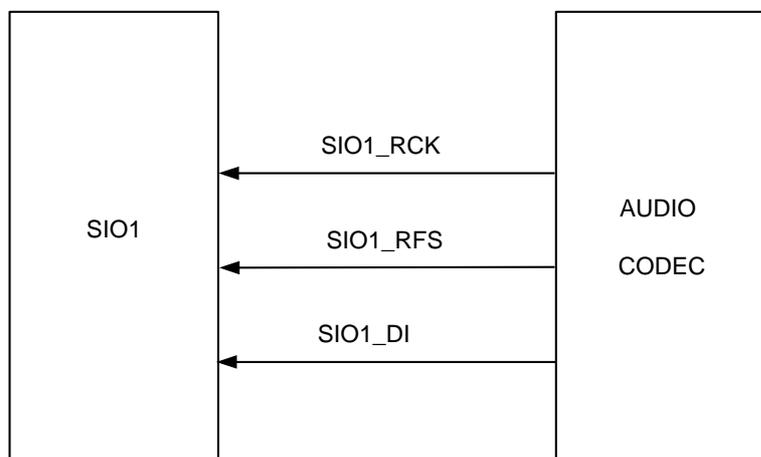


图9-4 录音 I<sup>2</sup>S/PCM 从模式

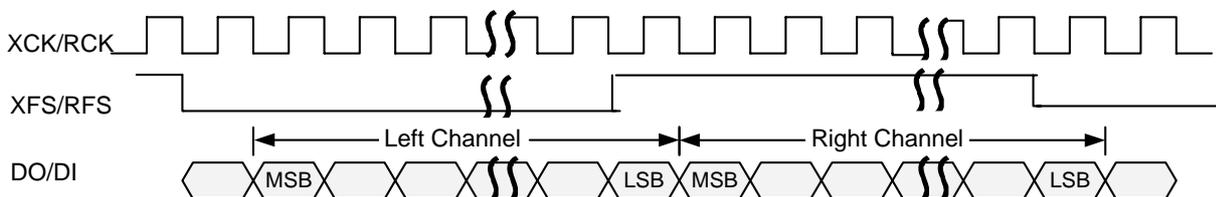
录音采用多路接收功能，即支持接收输入 2/4/8/16 路，数据位宽为 8/16bits。SIO0 连接与上描述相同。

## 功能原理

SIO 接收通过内部总线传送过来的音频数据，然后按照设定的采样率，把音频数据通过 I<sup>2</sup>S 或 PCM 接口传送给对接的 AUDIO CODEC，AUDIO CODEC 进行 DA（Digital-to-Analog）转换后进行声音播放。同时，通过 I<sup>2</sup>S 或 PCM 接口，SIO 接收对接 AUDIO CODEC 进行 AD（Analog-to-Digital）转换后的音频数据，先存入内部 FIFO，然后由 CPU 取走并存储，从而完成录音功能。

I<sup>2</sup>S 接口传输数据分为左右两个声道，根据 XFS（RFS）信号的高低电平区分，如图 9-5 所示。按照协议，用 XCK/RCK 时钟的上升沿进行数据采样，MSB 在 XFS/RFS 变化的下一个时钟周期有效。总是先传送 MSB，后传送 LSB。

I<sup>2</sup>S 接口的时序如图 9-5 所示。

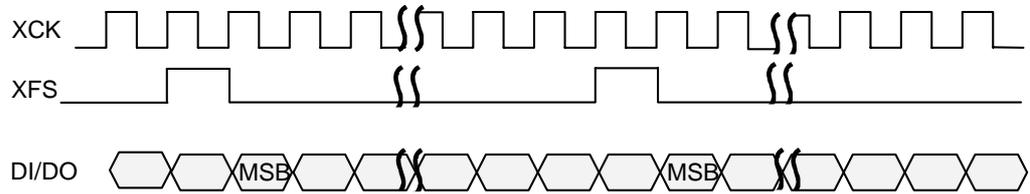
图9-5 I<sup>2</sup>S 接口时序

PCM 接口传输的数据是单声道数据，XFS 标识数据的起始位置，先发送（接收）最高有效位 MSB，使用时钟的下降沿采样数据。标准模式时序中，MSB 数据在 XFS 高电平脉冲之后一个周期有效；自定义模式时序中，MSB 的位置是与 XFS 的高电平脉冲对齐的。



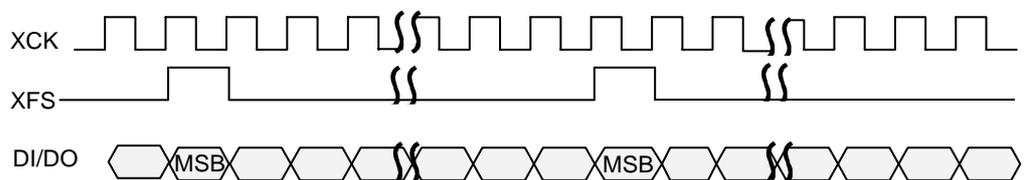
PCM 接口标准模式下的时序如图 9-6 所示。

图9-6 PCM 接口标准模式时序



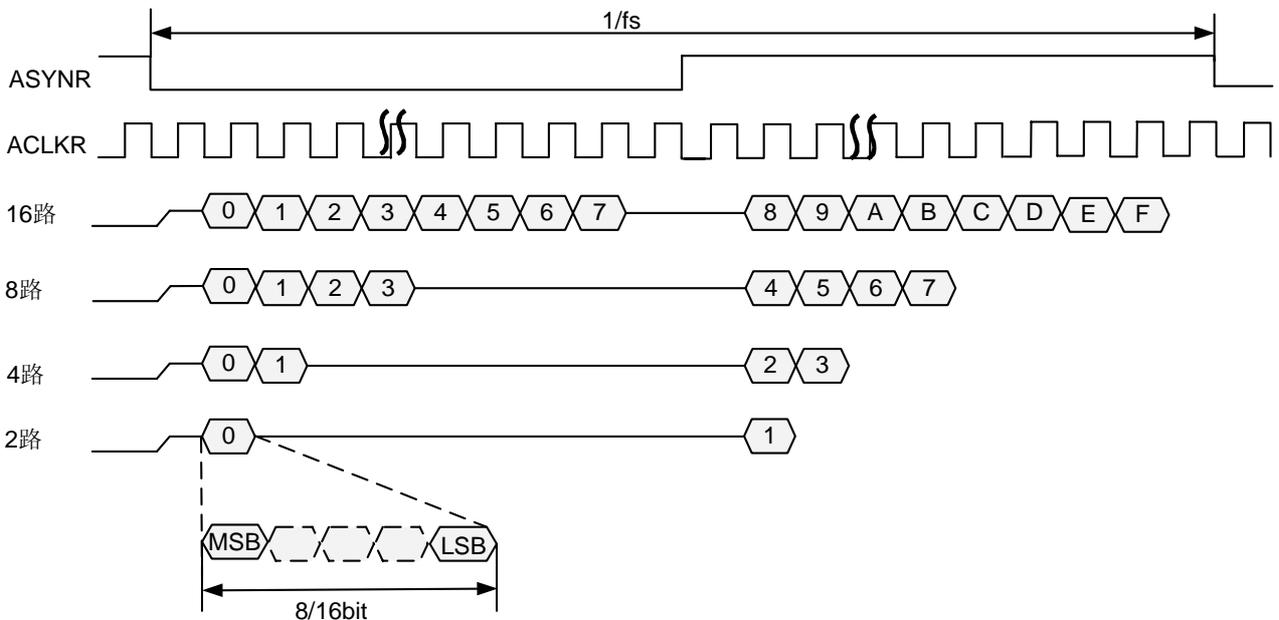
PCM 接口自定义模式下的时序如图 9-7 所示。

图9-7 PCM 接口自定义模式时序



I<sup>2</sup>S 进行多路（2/4/8/16 路 8/16bit）接收时，数据分别放于 I<sup>2</sup>S 时序的左右声道，如图 9-8 所示。

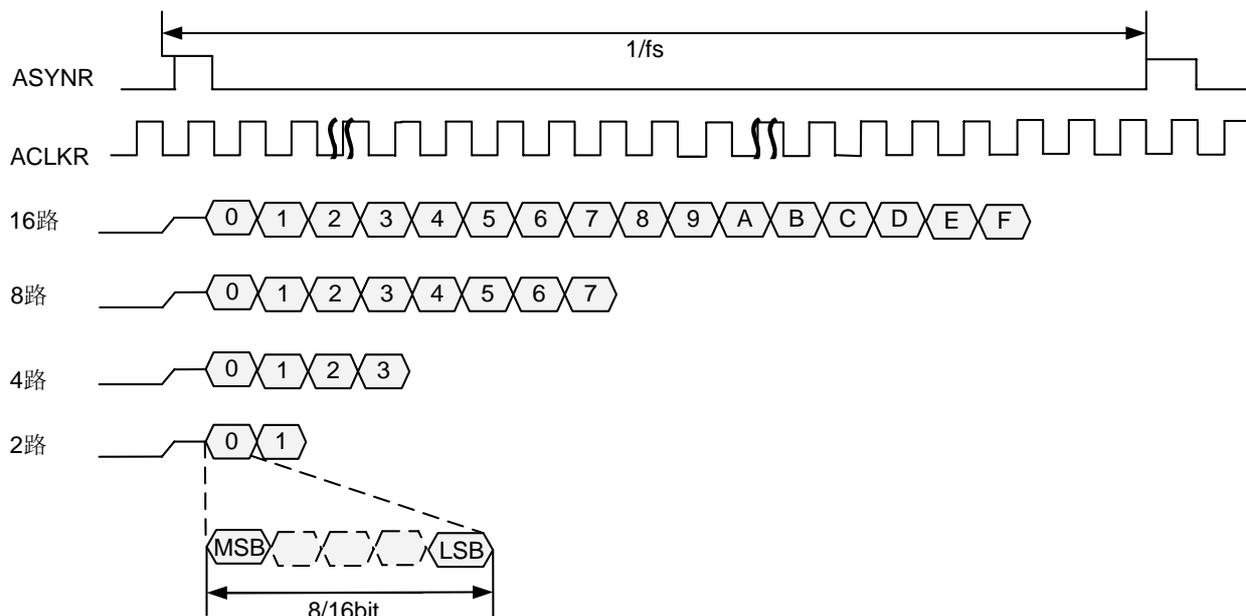
图9-8 I<sup>2</sup>S 2/4/8/16 路接收



PCM 模式下的多路接收，如图 9-9 所示。支持 PCM 标准和自定义两种模式，与单声道不同的是，SIO 可以选择数据采样时刻（上升沿或下降沿）接收。以上升沿为例。



图9-9 PCM 2/4/8/16 路接收



## 9.1.4 工作方式

### 时钟门控

当不进行录音或者音频播放时，设置 SIO0（SIO1）的 `SIO_CT_SET[rx_enable]` 和 `SIO_CT_SET[tx_enable]` 为 0 后，可以配置 PERI\_CRG13、PERI\_CRG14、PERI\_CRG15 关断 SIO0（SIO1）时钟：

- 向 PERI\_CRG13 [sio0\_cken] 写 1，关断 SIO0 的时钟。
- 向 PERI\_CRG14 [sio1\_cken] 写 1，关断 SIO1 的时钟。
- 向 PERI\_CRG15 [sio2\_cken] 写 1，关断 SIO2 的时钟。

如果要恢复时钟产生，可以将相应寄存器值配为 1：

- 向 PERI\_CRG13 [sio0\_cken] 写 1，打开 SIO0 的时钟使能。
- 向 PERI\_CRG14 [sio1\_cken] 写 1，打开 SIO1 的时钟使能。
- 向 PERI\_CRG15 [sio2\_cken] 写 1，打开 SIO2 的时钟使能。

### 时钟配置

3 个 SIO 相互独立，时钟配置方式相同。

如果 SIO0 或 SIO1 或 SIO2 工作在主模式下，需配置 PERI\_CRG13 [sio0\_bclk\_sel]、PERI\_CRG14 [sio1\_bclk\_sel]，即选取主模式。然后通过配置 PERI\_CRG11、PERI\_CRG13、PERI\_CRG14 选择位流时钟和同步时钟的相应分频比。SIO2 只能工作在主模式，通过 PERI\_CRG12 与 PERI\_CRG15 选择位流时钟和同步时钟的相应分频比。



## 软复位

通过配置系统控制器 PERI\_CRG13 [sio0\_srst\_req]、PERI\_CRG14 [sio1\_srst\_req]和 PERI\_CRG15 [sio2\_srst\_req]为 1，可实现对 SIO0、SIO1 和 SIO2 的单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

## 中断或查询方式下的播放和录音

### 1. 初始化

初始化步骤如下：

- 步骤 1 设置 `SIO_CT_SET/SIO_CT_CLR[rx_enable]`和 `SIO_CT_SET/SIO_CT_CLR[tx_enable]`为 0，使 SIO 处于禁止状态；
- 步骤 2 设置 `SIO_MODE[sio_mode]`，选择 I<sup>2</sup>S 或 PCM 模式；如果是 PCM 模式，设置 `SIO_MODE[pcm_mode]`，选择时序类型。多路录音则要设置 `SIO_MODE[ext_rec_en]`、`SIO_MODE[chn_num]`和 `SIO_MODE[clk_edge]`。
- 步骤 3 如果 SIO 为主模式，对时钟频率进行配置（如果是从模式，不需配置）。
- 步骤 4 配置 `SIO_DATA_WIDTH_SET` 寄存器、配置 `SIO_SIGNED_EXT` 寄存器，以设定正确的位宽。
- 步骤 5 配置 `SIO_CT_SET[rx_fifo_threshold]`和 `SIO_CT_SET[tx_fifo_threshold]`，即：设置接收 FIFO 和发送 FIFO 的水线。
- 步骤 6 如果是 I<sup>2</sup>S 模式，根据实际读写 FIFO 数据的方式，配置 `SIO_I2S_POS_MERGE_EN` 和 `SIO_I2S_START_POS`。同时，设置 `SIO_CT_SET[tx_data_merge_en]`和 `SIO_CT_SET[rx_data_merge_en]`。多路录音则不用进行该步骤设置。
- 步骤 7 根据中断屏蔽的需要，设置 SIO 的中断屏蔽寄存器 `SIO_INTMASK`，设置 `SIO_CT_SET[intr_en]`。
- 步骤 8 对外接的 AUDIO CODEC 进行设置。

----结束

### 2. 音频播放

音频播放步骤如下：

- 步骤 1 设置 `SIO_CT_SET[tx_fifo_disable]`为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。
- 步骤 2 将发送数据写入发送 FIFO，向 `SIO_CT_SET[tx_enable]`写 1，启动数据发送。
- 步骤 3 查询方式下，通过读取 `SIO_TX_STA` 判断 TX\_FIFO 状态；中断方式下，则根据中断状态 `SIO_INTSTATUS[tx_intr]`上报判断。当检测到发送 FIFO 中数据深度低于水线时，向发送 FIFO 写入数据，如此反复。如果数据发送全部完成，进入步骤 4。在传送完成之前，要保证 TX\_FIFO 中的数据没有溢出，否则会造成声音不连续。
- 步骤 4 把 `SIO_CT_SET[tx_enable]`设置为 0。

----结束



### 3. 录音

录音步骤如下：

- 步骤 1** 清除接收 FIFO 的残留数据，方法是：把 `SIO_CT_SET[rx_fifo_disable]` 设置为 1，然后再设置为 0。
- 步骤 2** 向 `SIO_CT_SET[rx_enable]` 写 1，启动数据接收。
- 查询方式下，通过读取
- 步骤 3** `SIO_RX_STA` 检测 `RX_FIFO` 状态；中断方式下，则根据相应中断状态位检测。当检测到接收 FIFO 中数据深度高于水线时，从接收 FIFO 读出数据，如此反复。如果数据接收完成，进入步骤 4。在接收完成之前，要保证 `RX_FIFO` 中的数据没有溢出，否则会造数据丢失。
- 步骤 4** 把 `SIO_CT_SET[rx_enable]` 设置为 0，并把接收 FIFO 中剩余的数据全部读出。

----结束

## DMA 方式下的播放和录音

### 1. 初始化

与查询和中断方式下的播放和录音方式相同。

### 2. 音频播放

步骤如下：

- 步骤 1** 配置中断屏蔽寄存器 `SIO_INTMASK[tx_intr]` 为 1，屏蔽发送中断。
- 步骤 2** 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。
- 步骤 3** 设置 `SIO_CT_SET[tx_fifo_disable]` 为 1，然后再设置为 0，以清除发送 FIFO 的残留数据。
- 步骤 4** 向发送 FIFO 写入初始数据，深度超过 FIFO 水线。（可写入全 0 的数据，代表静音。目的是：当启动播放时，因为 DMA 还没有向 FIFO 中写入数据，此时 SIO 会报发送 FIFO 下溢。如果先写入初始数据，就可以防止播放刚启动时误报 FIFO 溢出。）
- 步骤 5** 设置 `SIO_CT_SET[tx_enable]` 为 1，启动播放。
- 步骤 6** 通过 DMA 中断上报，判断数据是否发送完成，如果完成，则设置 `SIO_CT_SET[tx_enable]` 为 0。

----结束

### 3. 录音

步骤如下：

- 步骤 1** 配置 DMA 数据通道，包括数据传输源地址、目的地址、数据传输个数、传输类型等参数，具体请参见 DMA 配置章节。



步骤 2 清除接收 FIFO 的残留数据，方法是：把 `SIO_CT_SET[rx_fifo_disable]` 设置为 1，然后再设置为 0。

步骤 3 设置 `SIO_CT_SET[rx_enable]` 为 1，启动数据接收。

步骤 4 如果停止录音，设置 `SIO_CT_SET[rx_enable]` 为 0。

----结束

## 9.1.5 寄存器概览

3 组 SIO 的寄存器基址如下：

- SIO0: 0x1004\_0000。
- SIO1: 0x1005\_0000。
- SIO2: 0x1006\_0000。

寄存器概览如表 9-1 所示。

表9-1 SIO 寄存器概览

偏移地址	名称	描述	页码
0x03C	SIO_VERSION	SIO 版本寄存器	9-10
0x040	SIO_MODE	SIO 模式寄存器	9-11
0x044	SIO_INTSTATUS	SIO 中断状态寄存器	9-12
0x048	SIO_INTCLR	SIO 中断清除寄存器	9-14
0x04C	SIO_I2S_LEFT_XD	I <sup>2</sup> S 左通道数据发送寄存器	9-15
0x050	SIO_I2S_RIGHT_XD	I <sup>2</sup> S 右通道数据发送寄存器	9-15
0x050	SIO_PCM_XD	PCM 数据发送寄存器	9-15
0x054	SIO_I2S_LEFT_RD	I <sup>2</sup> S 左通道数据接收寄存器	9-16
0x058	SIO_I2S_RIGHT_RD	I <sup>2</sup> S 右通道数据接收寄存器	9-16
0x058	SIO_PCM_RD	PCM 数据接收寄存器	9-17
0x05C	SIO_CT_SET	I <sup>2</sup> S/PCM 控制设置寄存器	9-17
0x060	SIO_CT_CLR	I <sup>2</sup> S/PCM 控制清除寄存器	9-19
0x064	RESERVED	保留	-
0x068	SIO_RX_STA	SIO 接收状态寄存器	9-21
0x06C	SIO_TX_STA	SIO 发送状态寄存器	9-22
0x070~0x074	RESERVED	保留	-



偏移地址	名称	描述	页码
0x078	SIO_DATA_WIDTH_SET	I <sup>2</sup> S/PCM 数据宽度设置寄存器	9-22
0x07C	SIO_I2S_START_POS	I <sup>2</sup> S 左右通道起始位置控制寄存器	9-24
0x080	I2S_POS_FLAG	I <sup>2</sup> S 左右声道操作当前位置状态寄存器	9-24
0x084	SIO_SIGNED_EXT	高位数据符号扩展使能寄存器	9-25
0x088	SIO_I2S_POS_MERGE_EN	I <sup>2</sup> S 左右声道合并使能寄存器	9-26
0x08C	SIO_INTMASK	SIO 中断屏蔽寄存器	9-26
0x090~0x09C	RESERVED	保留	-
0x0A0	SIO_I2S_DUAL_RX_CHN	I <sup>2</sup> S 左右通道合并后数据接收寄存器	9-27
0x0C0	SIO_I2S_DUAL_TX_CHN	I <sup>2</sup> S 左右通道合并后数据发送寄存器	9-28

## 9.1.6 寄存器描述

### SIO\_VERSION

版本寄存器，用来记录 SIO 的版本号和进行 SIO 的自测试。

offset Address	Register Name	Total Reset Value	
0x03C	SIO_VERSION	0x0000_0013	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	sio_loop version	
Reset	0 1 0 0 1 1		
Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	sio_loop	SIO 循环和正常模式选择。 0: 正常模式; 1: SIO 发送和接收数据环回模式。用于 SIO 的自测试。在该模式下，在 SIO 的对外接口处，SIO 接收串行数据线与 SIO 发送串行数据线直接相连。



[7:0]	RO	version	SIO 的版本号。
-------	----	---------	-----------

## SIO\_MODE

模式寄存器，用来对 SIO 工作的基本模式进行选择：

- 主模式下，CRG 送时钟和同步信号给 CODEC，同时给 SIO。
- 从模式下，时钟和同步信号由外部 CODEC 送给 SIO。

I<sup>2</sup>S 或 PCM 的主从模式选择由系统控制寄存器 SC\_PERCTRL12 设定，具体请参见“系统寄存器描述”中的“SC\_PERCTRL12”。

	offset	Address	Register Name	Total Reset Value																																				
	0x040		SIO_MODE	0x0000_0000																																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																								clk_edge	chn_num	ext_rec_en	pcm_mode	sio_mode											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
Bits	Access	Name	Description																																					
[31:7]	-	reserved	保留。																																					
[6]	RW	clk_edge	PCM 多路接收模式下，采样数据时钟边沿选择。 0：下降沿有效； 1：上升沿有效。																																					
[5:4]	RW	chn_num	多路接收的通道数选择。 00： 2 chn； 01： 4 chn； 10： 8 chn； 11： 16 chn。 .																																					
[3]	RW	ext_rec_en	标准模式下，I2S 接收两个声道的数据，即左声道和右声道。 PCM 只接收一个声道的数据。 多路接收模式下，对于 I2S 或 PCM，接收通道数可以配置。 该模式下，通道的数据宽度必须为 8bit 或 16bit。 0：标准的 I2S 或 PCM 接收模式；																																					



			1: 扩展的 I2S 或 PCM 多路接收模式。
[2]	-	reserved	保留，必须配置为 0。
[1]	RW	pcm_mode	PCM 时序模式。 0: 标准模式; 1: 自定义模式。
[0]	RW	sio_mode	PCM/I <sup>2</sup> S 模式选择。 0: I <sup>2</sup> S 模式; 1: PCM 模式。

## SIO\_INTSTATUS

SIO 的中断状态指示寄存器。

对于接收中断，当接收 FIFO 的数据深度大于 FIFO 阈值时，会一直把高电平锁存到中断状态寄存器中，一直产生中断（即使 CPU 清一次中断，但中断状态寄存器会在下一个时钟周期再次置位）。因此，建议 CPU 的处理步骤为：

- 步骤 1 向 [SIO\\_CT\\_CLR\[intr\\_en\]](#) 写 1，关闭全局中断使能。
- 步骤 2 读中断状态寄存器 [SIO\\_INTSTATUS](#)。
- 步骤 3 根据中断源进行相应处理。
- 步骤 4 向 [SIO\\_INTCLR](#) 的相应位写 1，清除中断。
- 步骤 5 向写寄存器 [SIO\\_CT\\_SET\[intr\\_en\]](#) 写 1，打开全局中断使能。

----结束

发送中断的产生方式与接收中断产生方式相同，因此对于发送中断的处理，建议也采用相同的方式。

本寄存器是原始中断状态寄存器。在相应中断位屏蔽的情况下，中断条件满足时，对应中断状态位仍然会置位，但不会触发中断。



Offset Address		Register Name		Total Reset Value																												
0x044		SIO_INTSTATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:6]	-	reserved	保留。																													
[5]	RO	tx_left_fifo_under	I <sup>2</sup> S 模式下，左声道发送 FIFO 下溢中断状态。PCM 模式下无效。 0: 未产生中断; 1: 已产生中断。																													
[4]	RO	tx_right_fifo_under	I <sup>2</sup> S 模式下，右声道发送 FIFO 下溢中断状态。PCM 模式下，PCM 发送 FIFO 下溢标志。 0: 未产生中断; 1: 已产生中断。																													
[3]	RO	rx_left_fifo_over	I <sup>2</sup> S 模式下，左声道接收 FIFO 上溢中断状态。PCM 模式下无效。 0: 未产生中断; 1: 已产生中断。																													
[2]	RO	rx_right_fifo_over	I <sup>2</sup> S 模式下，右声道接收 FIFO 上溢中断状态。PCM 模式下，PCM 接收 FIFO 下溢标志。 0: 未产生中断; 1: 已产生中断。																													
[1]	RO	tx_intr	发送 FIFO 低于阈值中断状态。 0: 未产生中断; 1: 已产生中断。																													
[0]	RO	rx_intr	接收 FIFO 高于阈值中断状态。 0: 未产生中断; 1: 已产生中断。																													



## SIO\_INTCLR

中断清除寄存器，可以按位清除。

Offset Address	Register Name	Total Reset Value														
0x048	SIO_INTCLR	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved					tx_left_fifo_under	tx_right_fifo_under	rx_left_fifo_over	rx_right_fifo_over	tx_intr	rx_intr					
Reset	0 0															
Bits	Access	Name	Description													
[31:6]	-	reserved	保留。													
[5]	WO	tx_left_fifo_under	I <sup>2</sup> S 模式下，左声道发送 FIFO 下溢中断清除。PCM 模式下无效。 0: 不清除; 1: 清除。													
[4]	WO	tx_right_fifo_under	I <sup>2</sup> S 模式下，右声道发送 FIFO 下溢中断清除。PCM 模式下，PCM 发送 FIFO 下溢中断清除。 0: 不清除; 1: 清除。													
[3]	WO	rx_left_fifo_over	I <sup>2</sup> S 模式下，左声道接收 FIFO 上溢中断清除。PCM 模式下无效。 0: 不清除; 1: 清除。													
[2]	WO	rx_right_fifo_over	I <sup>2</sup> S 模式下，右声道接收 FIFO 上溢中断清除。PCM 模式下，PCM 接收 FIFO 下溢中断清除。 0: 不清除; 1: 清除。													
[1]	WO	tx_intr	发送 FIFO 低于阈值中断清除。 0: 不清除; 1: 清除。													
[0]	WO	rx_intr	接收 FIFO 高于阈值中断清除。 0: 不清除; 1: 清除。													



## SIO\_I2S\_LEFT\_XD

I<sup>2</sup>S 模式下的左声道数据发送寄存器。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	offset Address	Register Name	Total Reset Value
	0x04C	SIO_I2S_LEFT_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_left_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	WO	tx_left_data
	Description		
	左声道发送数据。		

## SIO\_I2S\_RIGHT\_XD

I<sup>2</sup>S 模式下的右声道数据发送寄存器。PCM 数据发送寄存器与 I<sup>2</sup>S 右声道数据发送寄存器是复用的。

向寄存器写数据时，有效数据需放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x050	SIO_I2S_RIGHT_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_right_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	WO	tx_right_data
	Description		
	右声道发送数据。		

## SIO\_PCM\_XD

PCM 模式下的数据发送寄存器。PCM 数据发送寄存器与 I<sup>2</sup>S 右声道数据发送寄存器是复用的。

向寄存器写有效数据时，有效数据需放在寄存器的低 bit 区域。例如，8bit 宽度时，bit[7:0]为有效数据，bit[31:8]为无效数据。16bit 宽度时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。



	Offset Address	Register Name	Total Reset Value
	0x050	SIO_PCM_XD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		tx_data
Reset	0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	WO	tx_data	PCM 发送数据。

## SIO\_I2S\_LEFT\_RD

I<sup>2</sup>S 左声道数据接收寄存器。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x054	SIO_I2S_LEFT_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_left_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rx_left_data	I <sup>2</sup> S 左声道接收数据。

注：I<sup>2</sup>S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

## SIO\_I2S\_RIGHT\_RD

I<sup>2</sup>S 右声道数据接收寄存器。PCM 数据接收寄存器与 I<sup>2</sup>S 右声道数据接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。



	Offset Address	Register Name	Total Reset Value
	0x058	SIO_I2S_RIGHT_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_right_data		
Reset	0 0		
	Bits	Access	Name
	[31:0]	RO	rx_right_data
			Description
			I <sup>2</sup> S 右声道接收数据。

注：I<sup>2</sup>S 模式下，在接收不使能时，右声道数据可能还没有写入 FIFO，从而导致左声道 FIFO 数据数目比右声道 FIFO 数据数目多一个。因此在 CPU 启动下一次接收前，应该把左右声道 FIFO 中数据全部读空。

## SIO\_PCM\_RD

PCM 接收数据寄存器，它与 I<sup>2</sup>S 右声道接收寄存器是复用的。

SIO 模块把接收到的有效数据放在寄存器的低 bit 区域。例如，数据宽度为 8bit 时，bit[7:0]为有效数据，bit[31:8]为无效数据；数据宽度为 16bit 时，bit[15:0]为有效数据，bit[31:16]为无效数据。超出有效数据宽度的 bit 位由 SIO 模块自动置 0。

	Offset Address	Register Name	Total Reset Value
	0x058	SIO_PCM_RD	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		rx_data
Reset	0 0		
	Bits	Access	Name
	[31:16]	-	reserved
	[15:0]	RO	rx_data
			Description
			保留。
			PCM 接收数据。

## SIO\_CT\_SET

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x05C 为设置寄存器地址，当向 0x05C 寄存器中相应位写入 1 时，对应位被设为 1，写 0 无效；该寄存器属性为读写。



Offset Address	Register Name	Total Reset Value	
0x05C/0x060	SIO_CT_SET	0x0000_8000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved rst_n intr_en rx_enable tx_enable rx_fifo_disable tx_fifo_disable rx_data_merge_en tx_data_merge_en rx_fifo_threshold tx_fifo_threshold		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15]	RW	rst_n	I <sup>2</sup> S/PCM 通道复位，低电平有效。 它对 I <sup>2</sup> S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。



[9]	RW	rx_data_merge_en	<p>数据接收合并使能，只在 I<sup>2</sup>S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。</p>
[8]	RW	tx_data_merge_en	<p>数据发送合并使能，只在 I<sup>2</sup>S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。</p>
[7:4]	RW	rx_fifo_threshold	<p>接收 FIFO 阈值。</p> <p>当 rx_right_depthf(rx_fifo_threshold + 1)时，报接收中断和 DMA 请求。</p>
[3:0]	RW	tx_fifo_threshold	<p>发送 FIFO 阈值。</p> <p>当 tx_right_depth&lt;(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。</p>

## SIO\_CT\_CLR

为了能够方便的对 SIO 控制寄存器进行位操作，在 SIO 中，0x060 为清除寄存器地址，当向寄存器相应位写入 1 时，对应位被清除，写 0 无效。该寄存器属性为只写。



Offset Address		Register Name		Total Reset Value																															
0x05C/0x060		SIO_CT_SET		0x0000_8000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved																rst_n	intr_en	rx_enable	tx_enable	rx_fifo_disable	tx_fifo_disable	rx_data_merge_en	tx_data_merge_en	rx_fifo_threshold	tx_fifo_threshold									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																
[31:16]	-	reserved	保留。																																
[15]	RW	rst_n	I <sup>2</sup> S/PCM 通道复位，低电平有效。 它对 I <sup>2</sup> S/PCM 接收和发送模块（包括 FIFO）进行复位，因此发送和接收 FIFO 状态寄存器会变为 0。但不会复位 CPU 接口寄存器模块。																																
[14]	RW	intr_en	中断全局使能。 0：禁止； 1：使能。																																
[13]	RW	rx_enable	接收通道使能。 0：禁止； 1：使能。																																
[12]	RW	tx_enable	发送通道使能。 0：禁止； 1：使能。																																
[11]	RW	rx_fifo_disable	接收 FIFO 禁止。 0：使能； 1：禁止。																																
[10]	RW	tx_fifo_disable	发送 FIFO 禁止。 0：使能； 1：禁止。																																



[9]	RW	rx_data_merge_en	<p>数据接收合并使能，只在 I<sup>2</sup>S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>CPU 从接收 FIFO 中读数据时，按照如下顺序：从左声道 FIFO 读出一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再从右声道 FIFO 读出一个 32bit 数据，如此反复。</p>
[8]	RW	tx_data_merge_en	<p>数据发送合并使能，只在 I<sup>2</sup>S 模式下且数据位宽为 16bit 时有效。</p> <p>0: 禁止; 1: 使能。</p> <p>该位为 1 时，左右声道数据拼成一个 32bit 数据在 FIFO 中进行存储，左声道 16bit 数据占据高 16 位，右声道 16bit 数据占据低 16 位。这样可以提高 FIFO 的利用率，以提供更长时间的缓冲能力。</p> <p>在这种情况下，CPU 向发送 FIFO 中写入数据时，按照如下顺序：向左声道 FIFO 写入一个 32bit 数据（左右声道各 16bit 合并成的一个 32bit 数据），再向右声道 FIFO 写入一个 32bit 数据，如此反复。</p>
[7:4]	RW	rx_fifo_threshold	<p>接收 FIFO 阈值。</p> <p>当 rx_right_depth&gt;(rx_fifo_threshold+1)时，报接收中断和 DMA 请求。</p>
[3:0]	RW	tx_fifo_threshold	<p>发送 FIFO 阈值。</p> <p>当 tx_right_depth&lt;(tx_fifo_threshold+1)时，报发送中断和 DMA 请求。</p>

## SIO\_RX\_STA

SIO 接收状态寄存器。



	Offset Address	Register Name	Total Reset Value
	0x068	SIO_RX_STA	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		rx_left_depth rx_right_depth
Reset	0 0		
Bits	Access	Name	Description
[31:10]	-	reserved	保留。
[9:5]	RO	rx_left_depth	左声道接收 FIFO 深度指示。 只在 I <sup>2</sup> S 模式下有效。
[4:0]	RO	rx_right_depth	I <sup>2</sup> S 模式下，为右声道接收 FIFO 深度指示。 PCM 模式下，为 PCM 接收 FIFO 深度指示。

## SIO\_TX\_STA

SIO 发送状态寄存器。

	Offset Address	Register Name	Total Reset Value
	0x06C	SIO_TX_STA	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		tx_left_depth tx_right_depth
Reset	0 0		
Bits	Access	Name	Description
[31:10]	RO	reserved	保留。
[9:5]	RO	tx_left_depth	左声道发送 FIFO 深度指示。 只在 I2S 模式下有效。
[4:0]	RO	tx_right_depth	I2S 模式下，为右声道发送 FIFO 深度指示。 PCM 模式下，为 PCM 发送 FIFO 深度指示。

## SIO\_DATA\_WIDTH\_SET

该寄存器配置了在 I<sup>2</sup>S/PCM 模式下的数据宽度。



Offset Address		Register Name		Total Reset Value																													
0x078		SIO_DATA_WIDTH_SET		0x0000_0009																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																								reserved	rx_mode	tx_mode						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Bits	Access	Name	Description																														
[31:6]	-	reserved	保留。																														
[5:3]	RW	rx_mode	接收数据长度配置位。 000: 8bit; 001: 16bit; 010: 18bit; 011: 20bit; 100: 24bit; 101: 32bit; 110~111: 保留。 对于 I2S 模式, 支持 16/18/20/24/32bit; 对于 PCM 模式, 支持 8/16bit; 对于多路接收, 两种模式只支持 8/16bit。																														
[2:0]	RW	tx_mode	发送数据长度配置位。 对于 I2S 模式 000: 保留; 001: 16bit; 010: 18bit; 011: 20bit; 100: 24bit; 101: 32bit; 110~111: 保留。 000: 8bit 001: 16bit; 010: 32bit; 011: 64bit; 100: 128bit; 101~111: 保留。																														



## SIO\_I2S\_START\_POS

I<sup>2</sup>S 左右声道起始位置配置控制寄存器。

在 I<sup>2</sup>S 模式下，左右声道数据操作地址合并使能后，控制起始访问是从左声道开始还是从右声道开始。

	Offset Address	Register Name	Total Reset Value
	0x07C	SIO_I2S_START_POS	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		start_pos_write start_pos_read
Reset	0 0		
	Bits	Access	Name
	[31:2]	-	reserved
	[1]	RW	start_pos_write
	[0]	RW	start_pos_read
			Description
			保留。
			写发送 FIFO 时： 0：从左声道开始访问； 1：从右声道开始访问。
			读接收 FIFO 时： 0：从左声道开始访问； 1：从右声道开始访问。

## I2S\_POS\_FLAG

I<sup>2</sup>S 左右声道操作当前位置状态寄存器。

在 I<sup>2</sup>S 模式下，左右声道数据操作地址合并使能后，指示下一次访问寄存器是从左声道开始还是从右声道开始。

	Offset Address	Register Name	Total Reset Value
	0x080	I2S_POS_FLAG	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		start_pos_write start_pos_read



Reset			
Bits	Access	Name	Description
[31:2]	-	reserved	保留。
[1]	RO	start_pos_write	写发送 FIFO 时： 0：下一次从左声道开始访问； 1：下一次从右声道开始访问。
[0]	RO	start_pos_read	读接收 FIFO 时： 0：下一次从左声道开始访问； 1：下一次从右声道开始访问。

## SIO\_SIGNED\_EXT

高位数据符号扩展使能寄存器。该标志只对接收数据有效，对发送数据无效。PCM 模式和 I<sup>2</sup>S 模式下接收到的数据都支持符号扩展。

在接收有效数据位宽为 8/16/18/20/24 bit 时，如果该标志使能，把接收到的数据转换为 32bit 数据时，把 32bit 数据的高位无效比特设置为接收数据最高有效 bit 对应的值，然后再写入接收 FIFO。

以 16bit 位宽为例：

```
if (data_rx[15] == 1)
    data_rx[31:16] = 0xffff;
else
    data_rx[31:16] = 0x0000;
```

Offset Address	Register Name	Total Reset Value
0x084	SIO_SIGNED_EXT	0x0000_0000

Reset			
Bit	Access	Name	Description
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		reserved	
		signed_ext_en	
[31:1]	-	reserved	保留。
[0]	RW	signed_ext_en	高位数据符号扩展使能。 0：禁止； 1：使能。



## SIO\_I2S\_POS\_MERGE\_EN

在 I<sup>2</sup>S 模式下，对左右声道数据的操作地址合并使能。

在 I<sup>2</sup>S 模式下，用 DMA 方式读写 SIO 的 FIFO 数据时，因为左右声道数据地址不同，需要 CPU 不断配置 DMA 操作的地址，导致 CPU 效率低。为了提高 CPU 的效率，提供左右声道数据的读写的统一地址使能控制。

使能情况下，读左右声道数据统一使用 [SIO\\_I2S\\_DUAL\\_RX\\_CHN](#) 寄存器，写左右声道数据统一使用 [SIO\\_I2S\\_DUAL\\_TX\\_CHN](#) 寄存器。

	Offset Address	Register Name	Total Reset Value
	0x088	SIO_I2S_POS_MERGE_EN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		merge_en
Reset	0 0		
	Bits	Access	Name
	[31:1]	-	reserved
	[0]	RW	merge_en
			在 I2S 模式下，对左右声道数据的操作地址合并使能。 0: 禁止; 1: 使能。

## SIO\_INTMASK

该寄存器是中断屏蔽寄存器。

	Offset Address	Register Name	Total Reset Value
	0x08C	SIO_INTMASK	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		tx_left_fifo_under tx_right_fifo_under rx_left_fifo_over rx_right_fifo_over tx_intr rx_intr
Reset	0 1 1 1 1 1 1		



Bits	Access	Name	Description
[31:6]	-	reserved	保留。
[5]	RW	tx_left_fifo_under	I <sup>2</sup> S 模式下，左声道发送 FIFO 下溢中断屏蔽。PCM 模式下无效。 0：不屏蔽； 1：屏蔽。
[4]	RW	tx_right_fifo_under	I <sup>2</sup> S 模式下，右声道发送 FIFO 下溢中断屏蔽。PCM 模式下，PCM 发送 FIFO 下溢中断屏蔽。 0：不屏蔽； 1：屏蔽。
[3]	RW	rx_left_fifo_over	I <sup>2</sup> S 模式下，左声道接收 FIFO 上溢中断屏蔽。PCM 模式下无效。 0：不屏蔽； 1：屏蔽。
[2]	RW	rx_right_fifo_over	I <sup>2</sup> S 模式下，右声道接收 FIFO 上溢中断屏蔽。PCM 模式下，PCM 接收 FIFO 下溢中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	tx_intr	发送 FIFO 低于阈值中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	rx_intr	接收 FIFO 高于阈值中断屏蔽。 0：不屏蔽； 1：屏蔽。

## SIO\_I2S\_DUAL\_RX\_CHN

该寄存器为 I<sup>2</sup>S 左右声道操作地址合并使能以后，读取接收数据的寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0A0	SIO_I2S_DUAL_RX_CHN	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	rx_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	RO	rx_data	接收到的数据。



## SIO\_I2S\_DUAL\_TX\_CHN

该寄存器为 I<sup>2</sup>S 左右声道操作地址合并使能后，写发送数据的寄存器。

Offset Address	Register Name	Total Reset Value	
0x0C0	SIO_I2S_DUAL_TX_CHN	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	tx_data		
Reset	0 0		
Bits	Access	Name	Description
[31:0]	WO	tx_data	发送的数据。

## 9.2 Audio Codec

### 9.2.1 概述

Hi3516V100 集成高性能的 Audio Codec，包括高品质立体声回放 DAC（96dB DR A-Weighted），单端 lineout 输出；高品质立体声录音 ADC（90dB DR A-Weighted），二路立体声单端输入，麦克风输入支持 6dB~37dB，1dB 步长的模拟增益控制。I2S 数据接口，支持 8kHz 到 192kHz 的标准采样率，可支持两种采样率同时工作，并支持数字混音。

### 9.2.2 特点

Audio Codec 模块有如下特点：

- 96dBA DR 立体声 DAC
- 立体声单端 Lineout 输出
- DAC 数字音量控制范围：-121dB~6dB，1dB 步长
- 90dBA DR 立体声 ADC
- ADC 通路模拟音量控制范围：6dB~37dB，1dB 步长
- ADC 通路数字音量控制范围：-96dB~30dB，1dB 步长
- 二路可选立体声单端输入
- 提供内部麦克风偏置
- 支持主从模式 I2S 数据接口，支持 24/20/18/16bits，二进制码
- 音频采样率：支持 48kHz、44.1kHz、32kHz 三个系列的采样率。其中各系列采样率情况如下：

32kHz 系列采样率包括 8kHz、16kHz、32kHz、64kHz、128kHz；

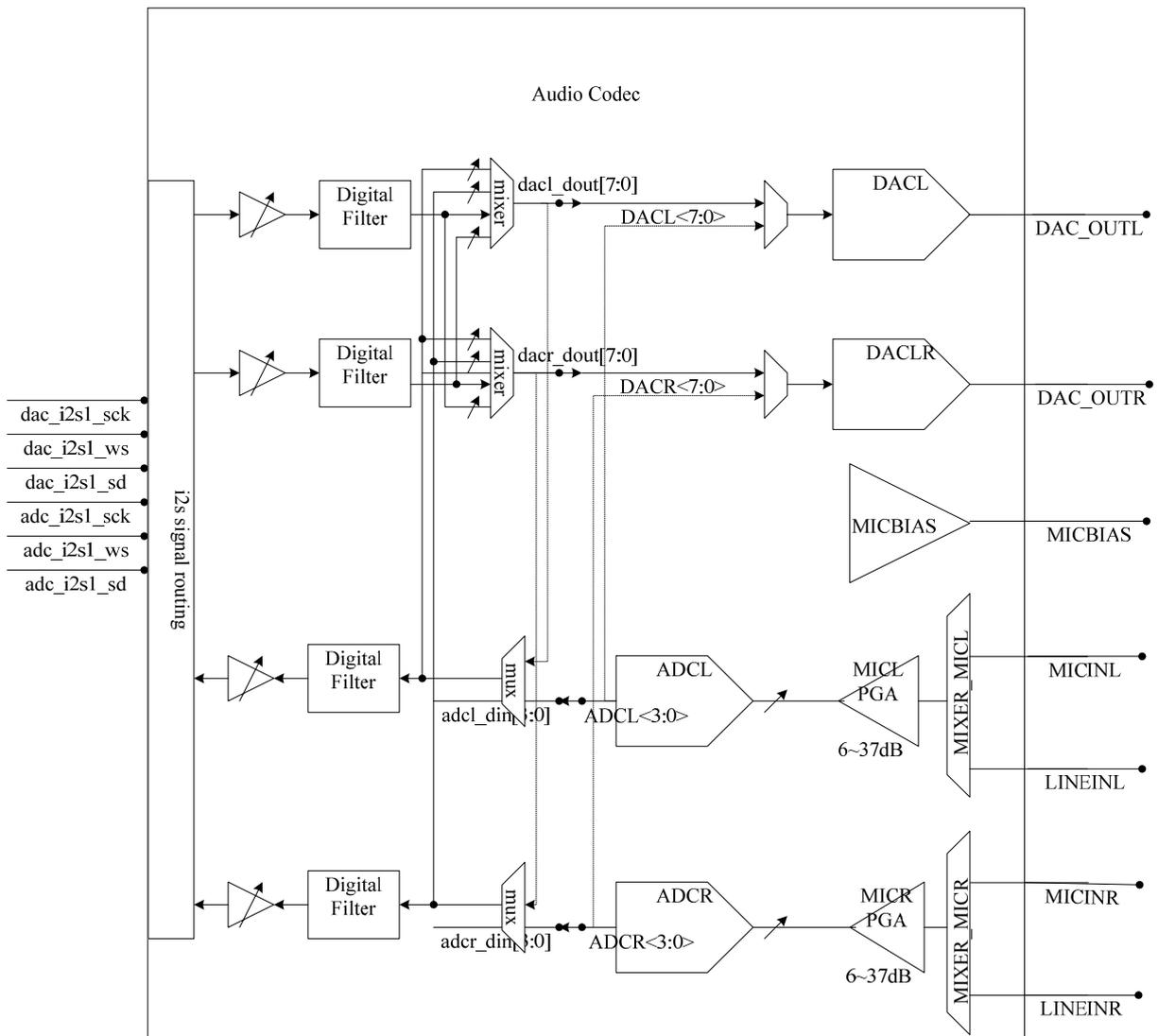


44.1kHz 系列采样率包括 11.025kHz、22.05kHz、44.1kHz、88.2kHz、176.4kHz；  
48kHz 系列采样率包括 12kHz、24kHz、48kHz、96kHz、192kHz。

### 9.2.3 功能描述

Audio Codec 提供录音和播放功能，录音时模拟信号从麦克风输入或是线入，经过模拟部分增益放大，再转换成数字信号，最后从 I2S 接口输出，实现录音功能，支持立体声录音；回放时，音频信号从 I2S 接口输入，再由 DAC 转换成模拟信号输出，支持立体声音乐播放。

图9-10 Audio Codec 结构图





## 录音模式

录音模式时，麦克风或线入信号从模拟输入端输入，经过可编程增益方法后到 ADC 进行转换，再经过数字部分的滤波和音量控制，最终录音的数据从 I2S 接口输出，完成整个录音功能操作。

操作流程如下：

- 步骤 1 电源上电，等待 1s 后参考电压开始正常工作。
- 步骤 2 根据寄存器描述配置好对应的寄存器值。
- 步骤 3 输入模拟音频信号即可进行录音操作，信号从 I2S 接口输出。

----结束

## 播放模式

播放模式时，音频信号从 I2S 接口送到 DAC 数字部分，经过数字部分的滤波和音量控制，再经过模拟部分的滤波，最后由 Lineout 端输出模拟音频信号。

操作流程如下：

- 步骤 1 电源上电，等待 1s 后参考电压正常工作。
- 步骤 2 根据寄存器描述配置好对应的寄存器值。
- 步骤 3 从 I2S 接口送信号，可以从 Lineout 输出模拟音乐信号。

----结束

## 9.2.4 寄存器概览

AUDIO CODEC 是通过基地址为 0x2005\_0000 的系统控制器中的寄存器（偏移地址分别为 0x00B8、0x00BC、0x00C0、0x00C4、0x00C8、0x00CC）直接控制。没有直接配置接口。

## 9.2.5 寄存器描述

寄存器的相关信息请参见“3.4.5 寄存器概览”和“3.4.6 寄存器描述”。



## 目 录

<b>10 外围设备</b> .....	<b>10-1</b>
10.1 I <sup>2</sup> C 控制器 .....	10-1
10.1.1 概述 .....	10-1
10.1.2 功能描述 .....	10-1
10.1.3 工作方式 .....	10-1
10.1.4 寄存器概览.....	10-3
10.1.5 寄存器描述.....	10-4
10.2 SPI.....	10-11
10.2.1 概述 .....	10-11
10.2.2 特点 .....	10-12
10.2.3 功能描述 .....	10-12
10.2.4 三种外设总线时序.....	10-13
10.2.5 工作方式 .....	10-20
10.2.6 SPI 寄存器概览.....	10-23
10.2.7 SPI 寄存器描述.....	10-24
10.3 通用异步收发器.....	10-34
10.3.1 概述 .....	10-34
10.3.2 特点 .....	10-34
10.3.3 功能描述 .....	10-34
10.3.4 工作方式 .....	10-36
10.3.5 寄存器概览.....	10-38
10.3.6 寄存器描述.....	10-39
10.4 红外接口.....	10-52
10.4.1 概述 .....	10-52
10.4.2 特点 .....	10-52
10.4.3 功能描述 .....	10-53
10.4.4 工作方式 .....	10-60
10.4.5 IR 寄存器概览.....	10-62
10.4.6 IR 寄存器描述.....	10-63
10.5 PWM .....	10-79



10.5.1 概述 .....	10-79
10.5.2 特点 .....	10-79
10.5.3 工作方式 .....	10-79
10.5.4 PWM 寄存器概览 .....	10-80
10.5.5 PWM 寄存器描述 .....	10-81
10.6 GPIO .....	10-85
10.6.1 概述 .....	10-85
10.6.2 特点 .....	10-85
10.6.3 功能描述 .....	10-86
10.6.4 工作方式 .....	10-86
10.6.5 寄存器概览 .....	10-87
10.6.6 寄存器描述 .....	10-88
10.7 USB 2.0 Host .....	10-93
10.7.1 概述 .....	10-93
10.7.2 功能描述 .....	10-93
10.7.3 工作方式 .....	10-96
10.7.4 寄存器概览 .....	10-98
10.7.5 寄存器描述 .....	10-98
10.8 MMC/SD/SDIO 控制器 .....	10-102
10.8.1 功能描述 .....	10-102
10.8.2 时序与参数 .....	10-108
10.8.3 应用说明 .....	10-109
10.8.4 寄存器概览 .....	10-122
10.8.5 寄存器描述 .....	10-123
10.9 PCI Express .....	10-149
10.9.1 概述 .....	10-149
10.9.2 特点 .....	10-149
10.9.3 功能描述 .....	10-149
10.9.4 工作方式 .....	10-152
10.9.5 ATU 寄存器概览 .....	10-153
10.9.6 ATU 寄存器描述 .....	10-153
10.9.7 ATU 寄存器配置 .....	10-161



## 插图目录

图 10-1 主机发送数据流程图.....	10-2
图 10-2 主机接收数据流程图.....	10-3
图 10-3 SPI 接单 Slave 时的应用.....	10-12
图 10-4 SPI 接两个 Slave 时的应用.....	10-13
图 10-5 SPI 单帧帧格式 (SPO=0、SPH=0) .....	10-14
图 10-6 SPI 连续帧帧格式 (SPO=0、SPH=0) .....	10-14
图 10-7 SPI 单帧帧格式 (SPO=0、SPH=1) .....	10-15
图 10-8 SPI 连续帧帧格式 (SPO=0、SPH=1) .....	10-15
图 10-9 SPI 单帧帧格式 (SPO=1、SPH=0) .....	10-16
图 10-10 SPI 连续帧帧格式 (SPO=1、SPH=0) .....	10-16
图 10-11 SPI 单帧帧格式 (SPO=1、SPH=1) .....	10-17
图 10-12 SPI 连续帧帧格式 (SPO=1、SPH=1) .....	10-17
图 10-13 SPI 接口时序图.....	10-18
图 10-14 TI 同步串行单帧帧格式.....	10-18
图 10-15 TI 同步串行连续帧帧格式.....	10-19
图 10-16 National Semiconductor Microwire 单帧帧格式.....	10-19
图 10-17 National Semiconductor Microwire 连续帧帧格式.....	10-20
图 10-19 UART 帧格式.....	10-35
图 10-20 发送单个 NEC with simple repeat code 码的帧格式.....	10-55
图 10-21 持续按键连续发送 NEC with simple repeat code 码的帧格式.....	10-55
图 10-22 NEC with simple repeat code 码 bit0 和 bit1 定义.....	10-55
图 10-23 NEC with simple repeat code 码单发代码格式.....	10-56
图 10-24 NEC with simple repeat code 码连发代码格式.....	10-56
图 10-25 发送单个 NEC with full repeat code 码的帧格式.....	10-56
图 10-26 持续按键连续发送 NEC with full repeat code 码的帧格式.....	10-57



图 10-27 NEC with full repeat code 码 bit0 和 bit1 定义 .....	10-57
图 10-28 NEC with full repeat code 码单发代码格式 .....	10-57
图 10-29 发送单个 TC9012 码的帧格式 .....	10-58
图 10-30 持续按键连续发送 TC9012 码的帧格式 .....	10-58
图 10-31 TC9012 码 bit0 和 bit1 定义 .....	10-58
图 10-32 TC9012 码单发代码格式 .....	10-58
图 10-33 TC9012 码连发代码格式 (C0=1) .....	10-59
图 10-34 TC9012 码连发代码格式 (C0=0) .....	10-59
图 10-35 发送单个 SONY 帧格式 .....	10-59
图 10-36 持续按键连续发送 SONY 码帧格式 .....	10-59
图 10-37 bit0 和 bit1 定义 .....	10-60
图 10-38 IR 模块初始化操作流程 .....	10-61
图 10-40 USB 2.0 Host 逻辑框图 .....	10-94
图 10-41 USB 2.0 Host 参考设计 .....	10-95
图 10-42 MMC 功能框图 .....	10-102
图 10-43 MMC 典型应用电路图 .....	10-103
图 10-44 MMC 指令格式 .....	10-104
图 10-45 MMC 指令响应格式 .....	10-105
图 10-46 MMC 非数据指令操作 .....	10-105
图 10-47 单块与多块读操作 .....	10-106
图 10-48 单块与多块写操作 .....	10-107
图 10-49 1bit 数据线传输模式下的块数据格式 .....	10-107
图 10-50 4bit 数据线传输模式下的块数据格式 .....	10-108
图 10-51 输出方向时序图 .....	10-109
图 10-52 输入方向时序图 .....	10-109
图 10-53 双 buffer 结构示意图 .....	10-116
图 10-54 链结构示意图 .....	10-116
图 10-55 32bit 位宽的描述子的结构 .....	10-117
图 10-56 PCI Express 控制器逻辑框图 .....	10-150
图 10-57 PCI Express 控制器应用框图 (RC 模式) .....	10-151
图 10-58 PCI Express 控制器应用框图 (EP 模式) .....	10-151



## 表格目录

表 10-1 I <sup>2</sup> C 模块寄存器概览表 .....	10-4
表 10-2 SPI 接口时序参数 .....	10-18
表 10-3 寄存器概览 (SPI0 基址是 200C_0000, SPI1 基址是 200E_0000) .....	10-23
表 10-4 UART 寄存器概览 .....	10-38
表 10-5 红外接收数据码型的统计表 (NEC with simple repeat code) .....	10-53
表 10-6 红外接收数据码型的统计表 (NEC with full repeat code) .....	10-54
表 10-7 红外接收数据码型的统计表 (TC9012 和 SONY 码) .....	10-54
表 10-8 IR 寄存器概览 (基址是 0x2007_0000) .....	10-63
表 10-9 PWM 寄存器概览 (PWM0 基址是 0x201D_0000; PWM1 基址是 0x201E_0000) .....	10-80
表 10-10 9 组 GPIO 寄存器对应的基址 .....	10-87
表 10-11 GPIO 寄存器概览 .....	10-88
表 10-12 USB 寄存器概览 (基址: 0x100B_0000) .....	10-98
表 10-13 信号线负载参数 .....	10-104
表 10-14 MMC 接口时序参数 .....	10-108
表 10-15 非数据传输指令时的寄存器 MMC_CMD 配置参考 (默认值) .....	10-112
表 10-16 单块或多块读数据时的寄存器 MMC_CMD 配置参考 (默认值) .....	10-113
表 10-17 单块或多块写数据时的寄存器 MMC_CMD 配置参考 (默认值) .....	10-115
表 10-18 DES0 各 bit 的含义: .....	10-117
表 10-19 DES1 各 bit 的含义: .....	10-118
表 10-20 DES2 各 bit 的含义: .....	10-118
表 10-21 DES3 各 bit 的含义: .....	10-118
表 10-22 Resume 操作时的寄存器 MMC_CMDARG 配置参考 .....	10-121
表 10-23 MMC 寄存器概览 (基址是 0x1002_0000 (SDIO0) / 0x1003_0000 (SDIO1)) .....	10-122
表 10-24 PCI Express 相关地址空间 .....	10-152
表 10-25 ATU 寄存器概览 (基址是 0x2080_0000) .....	10-153



---

表 10-26 RC 模式 ATU 初始化参考值.....	10-163
表 10-27 EP 模式 ATU 初始化参考值 .....	10-164



# 10 外围设备

## 10.1 I<sup>2</sup>C 控制器

### 10.1.1 概述

I<sup>2</sup>C 模块是 APB 总线上的从设备，是 I<sup>2</sup>C 总线上的主设备。I<sup>2</sup>C 模块的作用是完成 CPU 对 I<sup>2</sup>C 总线上从设备的数据读写。当 CPU 对从设备做写操作时，CPU 通过 APB 总线配置 I<sup>2</sup>C 的配置寄存器，然后发送控制信息和操作数到 I<sup>2</sup>C 模块的数据通信寄存器；I<sup>2</sup>C 模块解析命令后将数据通道寄存器的数据通过 I<sup>2</sup>C 总线发给从设备，发送完毕后将最终的状态通过中断反馈给 CPU。CPU 读取从设备数据的过程与写操作类似。

### 10.1.2 功能描述

Hi3516 芯片是 I<sup>2</sup>C Master 接口，I<sup>2</sup>C 的工作参考时钟为 1/2 APB 总线时钟。

I<sup>2</sup>C 具有以下功能特点：

- 2.0 版本的 I<sup>2</sup>C 总线协议，只支持 Master 模式。
- I<sup>2</sup>C 模块在 APB 总线上执行 APB Slave 的功能，在 I<sup>2</sup>C 总线上作为 Master，支持多主设备时的总线仲裁。
- 支持 Clock synchronization 和 Bit and Byte waiting。
- 支持中断或轮询操作。
- I<sup>2</sup>C 模块支持标准地址（7bit）和扩展地址（10bit）。
- 可以工作在两种速度模式下：标准模式（100kbit/s）、快速模式（400kbit/s）。
- I<sup>2</sup>C 模块支持 General Call 和 Start Byte 功能。
- I<sup>2</sup>C 总线上不支持微处理器接口 CBUS 器件。
- 对接收到的 SDA 和 SCL 信号进行滤波。

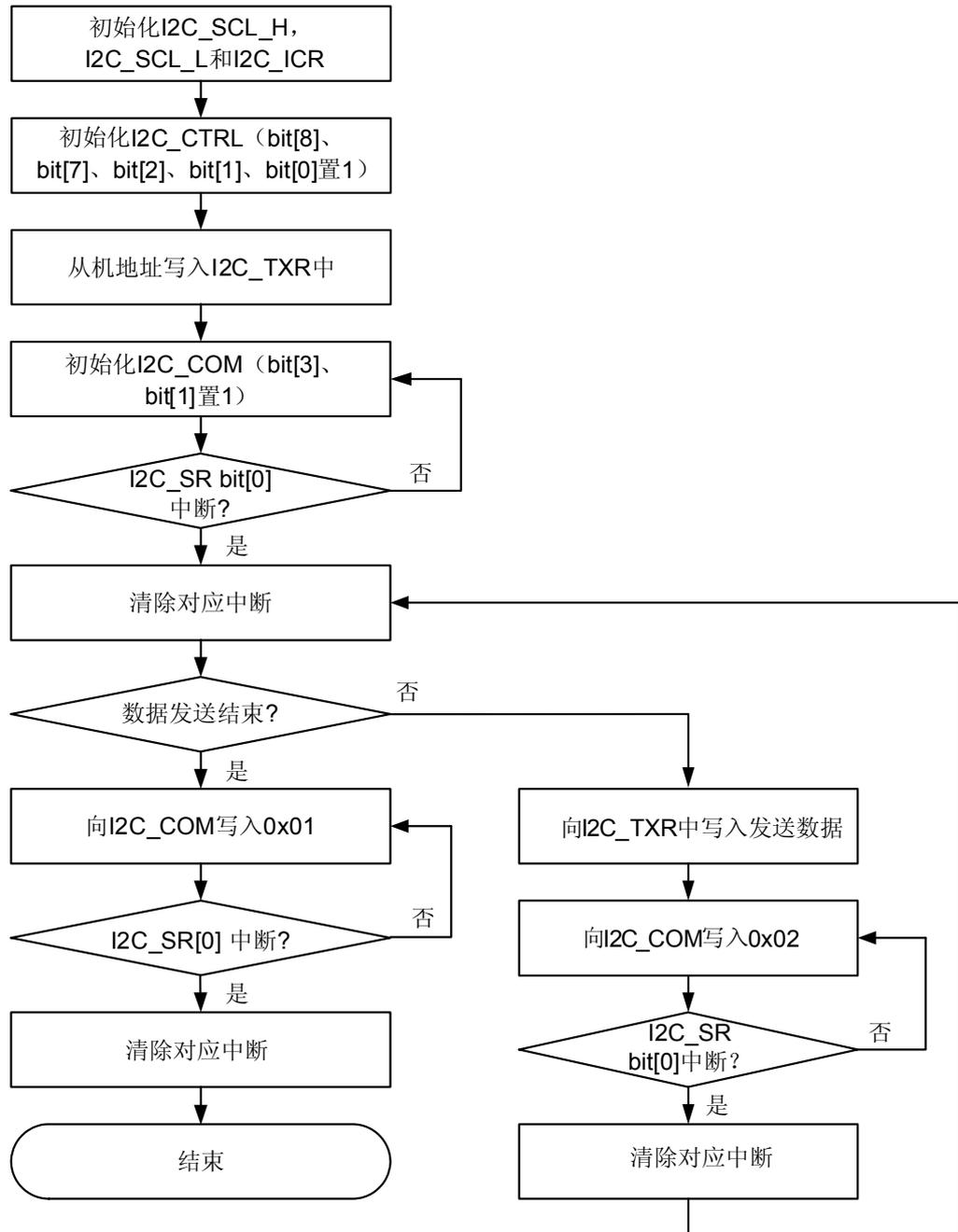
### 10.1.3 工作方式

#### 10.1.3.1 I<sup>2</sup>C 初始化配置流程

I<sup>2</sup>C 主机可以向从机写入数据，也可以接收从机发来的数据。I<sup>2</sup>C 主机发送数据流程如图 10-1 所示。



图10-1 主机发送数据流程图

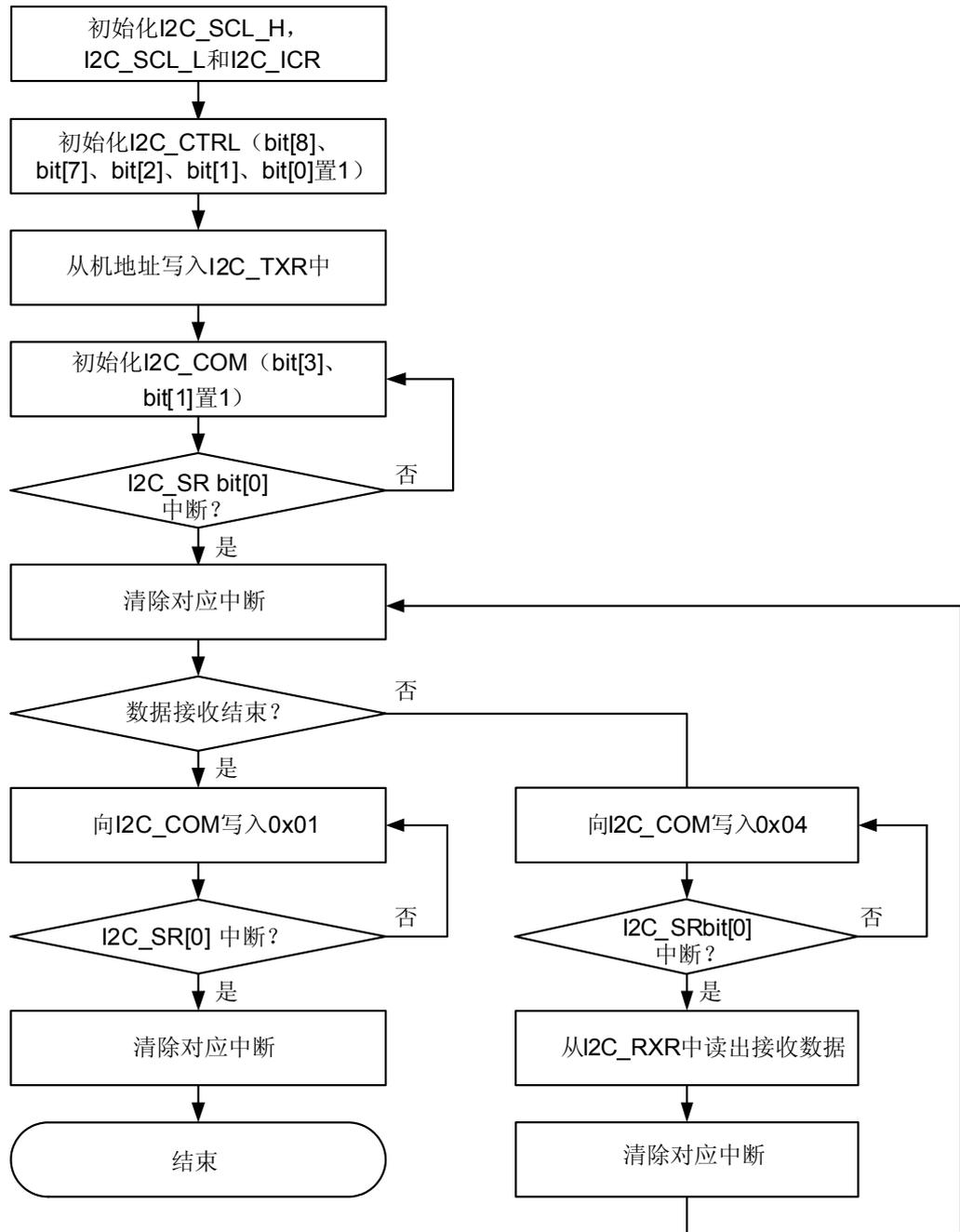


### 10.1.3.2 主机接收数据流程

主机接收数据流程如图 10-2 所示。



图10-2 主机接收数据流程图



### 10.1.4 寄存器概览

Hi3516 包含一个 I2C 模块，寄存器基地址为：0x200D\_0000。

I<sup>2</sup>C 模块寄存器概览如表 10-1 所示。

表10-1 I<sup>2</sup>C 模块寄存器概览表

偏移地址	名称	描述	页码
0x0000	I2C_CTRL	I <sup>2</sup> C 控制寄存器	10-4
0x0004	I2C_COM	I <sup>2</sup> C 命令寄存器	10-5
0x0008	I2C_ICR	I <sup>2</sup> C 中断清除寄存器	10-6
0x000C	I2C_SR	I <sup>2</sup> C 状态寄存器	10-7
0x0010	I2C_SCL_H	I <sup>2</sup> C SCL 高电平周期数	10-8
0x0014	I2C_SCL_L	I <sup>2</sup> C SCL 低电平周期数	10-10
0x0018	I2C_TXR	I <sup>2</sup> C 发送数据寄存器	10-10
0x001C	I2C_RXR	I <sup>2</sup> C 接收数据寄存器	10-11

## 10.1.5 寄存器描述

### I2C\_CTRL

I2C\_CTRL 为 I<sup>2</sup>C 控制寄存器。用于配置 I<sup>2</sup>C 使能和中断屏蔽。

Offset Address	Register Name	Total Reset Value	
0x0000	I2C_CTRL	0x0000_0000	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved	i2c_en int_mask int_start_mask int_stop_mask int_tx_mask int_rx_mask int_ack_err_mask int_arb_loss_mask int_done_mask	
Reset	0 0		
Bits	Access	Name	Description
[31:9]	-	reserved	保留。
[8]	RW	i2c_en	I <sup>2</sup> C 使能。 0: 不使能; 1: 使能。
[7]	RW	int_mask	I <sup>2</sup> C 中断总屏蔽。 0: 屏蔽; 1: 不屏蔽。



[6]	RW	int_start_mask	主机开始条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[5]	RW	int_stop_mask	主机停止条件发送结束中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[4]	RW	int_tx_mask	主机发送中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[3]	RW	int_rx_mask	主机接收中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[2]	RW	int_ack_err_mask	从机 ACK 错误中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[1]	RW	int_arb_loss_mask	总线仲裁失败中断屏蔽。 0: 屏蔽; 1: 不屏蔽。
[0]	RW	int_done_mask	总线传输完成中断屏蔽。 0: 屏蔽; 1: 不屏蔽。

## I2C\_COM

I2C\_COM 为 I<sup>2</sup>C 模块的命令寄存器。用于配置 I<sup>2</sup>C 模块工作时命令。



### 注意

在系统初始化时配置或配置前，需要清除对应中断标志。I2C\_COM bit[3:0]在操作结束后将自动清 0。



Offset Address		Register Name		Total Reset Value									
0x0004		I2C_COM		0x0000_0000									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5	4	3	2	1	0	
Name	reserved								op_ack	op_start	op_rd	op_we	op_stop
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0	0	
Bits	Access	Name	Description										
[31:5]	-	reserved	保留。										
[4]	RW	op_ack	主机作为接收器是否发送 ACK。 0: 发送; 1: 不发送。										
[3]	RW	op_start	产生开始条件操作。 0: 操作结束; 1: 操作有效。										
[2]	RW	op_rd	产生读操作。 0: 操作结束; 1: 操作有效。										
[1]	RW	op_we	产生写操作。 0: 操作结束; 1: 操作有效。										
[0]	RW	op_stop	产生停止条件操作。 0: 操作结束; 1: 操作有效。										

## I2C\_ICR

I2C\_ICR 为 I<sup>2</sup>C 模块的中断清除寄存器。



**注意**

新中断到来时，I2C 模块会自动将 I2C\_ICR 相应位清 0。



Offset Address		Register Name		Total Reset Value																												
0x0008		I2C_ICR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														clr_int_start	clr_int_stop	clr_int_tx	clr_int_rx	clr_int_ack_err	clr_int_arb_loss	clr_int_done											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:7]	-	reserved	保留。																													
[6]	WC	clr_int_start	主机开始条件发送结束中断标志清除。 0: 不清除; 1: 清除。																													
[5]	WC	clr_int_stop	主机停止条件发送结束中断标志清除。 0: 不清除; 1: 清除。																													
[4]	WC	clr_int_tx	主机发送中断标志清除。 0: 不清除; 1: 清除。																													
[3]	WC	clr_int_rx	主机接收中断标志清除。 0: 不清除; 1: 清除。																													
[2]	WC	clr_int_ack_err	从机 ACK 错误中断标志清除。 0: 不清除; 1: 清除。																													
[1]	WC	clr_int_arb_loss	总线仲裁失败中断标志清除。 0: 不清除; 1: 清除。																													
[0]	WC	clr_int_done	总线传输完成中断标志清除。 0: 不清除; 1: 清除。																													

## I2C\_SR

I2C\_SR 为 I<sup>2</sup>C 模块状态寄存器。用于读取 I<sup>2</sup>C 模块工作状态。



**注意**

I2C\_SR bit[1]表示 I2C 总线仲裁失败。当 I2C\_SR bit[1]有效时，当前操作失败。在清除 I2C\_SR bit[1]之前，需要清除其他中断标志，然后清除 I2C\_COM 或向 I2C\_COM 写入新的操作命令，最后清除 I2C\_SR bit[1]。

	Offset Address 0x000C								Register Name I2C_SR								Total Reset Value 0x0000_0000																															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved																								bus_busy	int_start	int_stop	int_tx	int_rx	int_ack_err	int_arb_loss	int_done																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
Bits	Access	Name	Description																																													
[31:8]	-	reserved	保留。																																													
[7]	RO	bus_busy	总线忙。 0: 空闲; 1: 忙。																																													
[6]	RO	int_start	主机开始条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																													
[5]	RO	int_stop	主机停止条件发送结束中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																													
[4]	RO	int_tx	主机发送中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																													
[3]	RO	int_rx	主机接收中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																													
[2]	RO	int_ack_err	从机 ACK 错误中断标志。 0: 无中断标志产生; 1: 中断标志产生。																																													



[1]	RO	int_arb_loss	总线仲裁失败中断标志。 0: 无中断标志产生; 1: 中断标志产生。
[0]	RO	int_done	总线传输完成中断标志。 0: 无中断标志产生; 1: 中断标志产生。

## I2C\_SCL\_H

I2C\_SCL\_H 为 I<sup>2</sup>C 总线 SCL 信号高电平周期数寄存器。用于配置 I<sup>2</sup>C 模块工作时 SCL 高电平周期数。



**注意**

在系统初始化时配置或配置前使 I2C\_CTRL bit[7]=0。

	Offset Address	Register Name	Total Reset Value													
	0x0010	I2C_SCL_H	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								scl_h							
Reset	0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	scl_h	SCL 高电平周期数×2。													

假设总线时钟为 216MHz，那么 I<sup>2</sup>C 的参考时钟为 108MHz，I2C\_SCL\_H 值为 m，SCL 高电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m + 1) \times 2 \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 高电平时间为 5μs，则 I2C\_SCL\_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269$$

I<sup>2</sup>C 的参考时钟为 108MHz，SCL 高电平最长时间是 606μs。



## I2C\_SCL\_L

I2C\_SCL\_L 为 I<sup>2</sup>C 总线 SCL 信号低电平周期数寄存器。用于配置 I<sup>2</sup>C 模块工作时 SCL 低电平周期数。



### 注意

在系统初始化时配置或配置前使 I2C\_CTRL bit[7]=0。

	Offset Address				Register Name				Total Reset Value																							
	0x0014				I2C_SCL_L				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																scl_l															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		scl_l		SCL 低电平周期数×2。																											

假设总线时钟为 216MHz，那么 I<sup>2</sup>C 的参考时钟为 108MHz，I2C\_SCL\_L 值为 m，SCL 低电平时间为 DelTim，则：

$$\text{DelTim} = (1/108) \times (m+1) \times 2 \quad (\text{单位: } \mu\text{s})$$

假设希望 SCL 低电平时间为 5μs，I2C\_SCL\_H 配置值 m 为：

$$m = (5 \times 108) / 2 - 1 = 269$$

I<sup>2</sup>C 的参考时钟为 108MHz，SCL 低电平最长时间是 606μs。

## I2C\_TXR

I2C\_TXR 为 I<sup>2</sup>C 发送数据寄存器。用于配置 I<sup>2</sup>C 模块工作时发送数据。



### 注意

发送结束后，I<sup>2</sup>C 模块不会修改 I2C\_TXR 内容。



Offset Address		Register Name		Total Reset Value					
0x0018		I2C_TXR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						i2c_txr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	i2c_txr	主机发送数据。						

## I2C\_RXR

I2C\_RXR 为 I<sup>2</sup>C 接收数据寄存器。用于主机接收从机数据。



### 注意

I2C\_RXR 数据在 I2C\_SR bit[3]=1 时，数据有效。同时数据将保持到下一个读操作之前。

Offset Address		Register Name		Total Reset Value					
0x001C		I2C_RXR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						i2c_rxr		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RO	i2c_rxr	主机接收数据。						

## 10.2 SPI

### 10.2.1 概述

SPI 控制器实现数据的串并、并串转换，可以作为 Master 与外部设备进行同步串行通信。支持 MOTOROLA 的 SPI、TI 串行同步、MicroWire 三种外设接口协议。



## 10.2.2 特点



### 注意

Hi3516 有 SPI0 和 SPI1 两组 SPI 接口，其中 SPI0 支持双片选，SPI1 支持单片选。  
Hi3516 芯片的 SPI 是 Master 接口，工作参考时钟为 APB 总线时钟，SPI 输出的 SPI\_CLK 最大支持 40MHz。

SPI 的功能特点有：

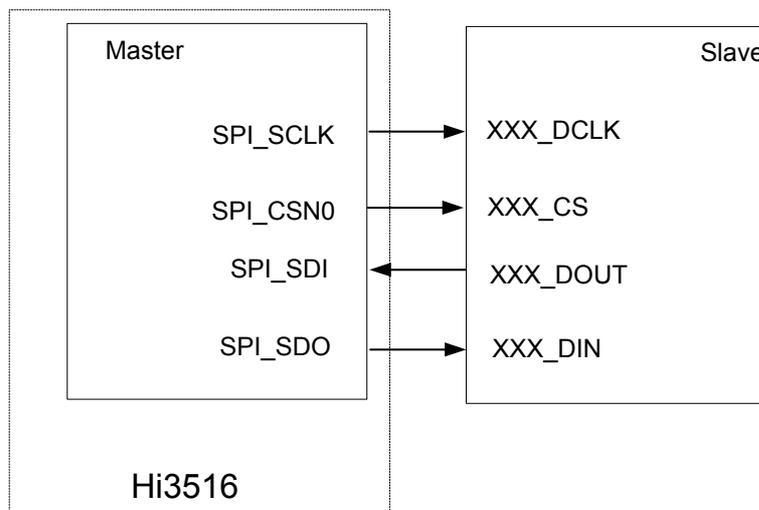
- 接口时钟频率可编程。
- 收/发分开的宽度 16bit、深度为 256 的 FIFO。
- 串行数据帧长度可编程：4bit~16bit。
- 内部提供环回测试模式。
- 支持 DMA 操作。
- 支持 SPI、MicroWire、TI 同步串行三种接口，支持单帧和连续帧格式。
- 支持 SPI 全双工工作模式，时钟极性、相位可配置。
- 支持 MicroWire 半双工工作模式。
- 支持 TI 同步串行接口全双工工作模式。

## 10.2.3 功能描述

### 典型应用

SPI 接单 Slave 时的应用框图如图 10-3 所示，使用 SPI 默认的片选管脚 SPI\_CSN0。

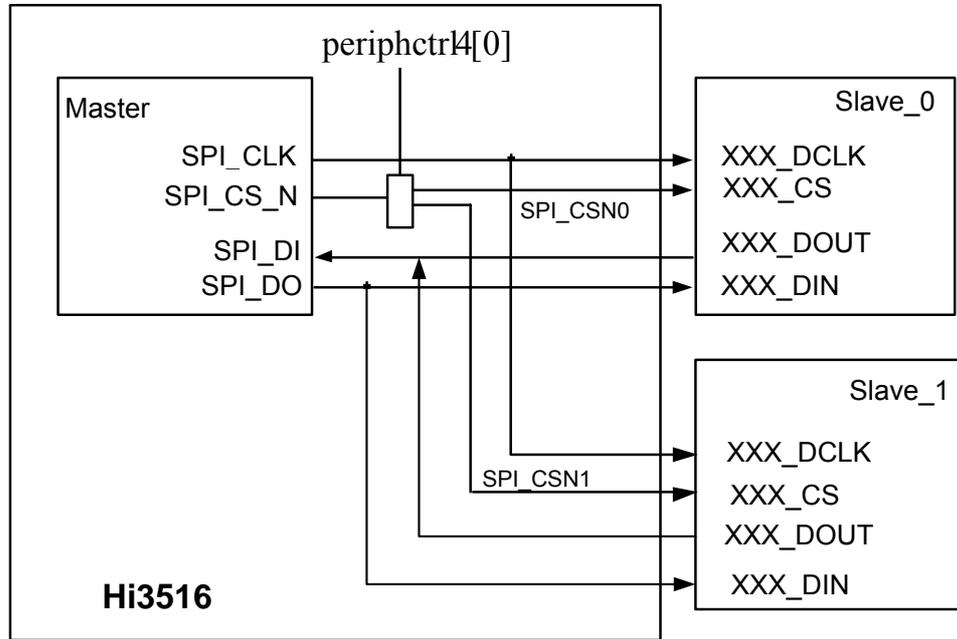
图10-3 SPI 接单 Slave 时的应用





SPI 接两个 Slave 时的应用框图如图 10-4 所示。

图10-4 SPI 接两个 Slave 时的应用



关于 SPI0 片选选择请查看“3.4 系统控制器”的 periphctr4[0]寄存器。

## 10.2.4 三种外设总线时序

图 10-5~图 10-12 中的缩略语含义为：

- MSB: Most Significant Bit
- LSB: Least Significant Bit
- Q: Q is an undefined signal

### SPI 接口



说明

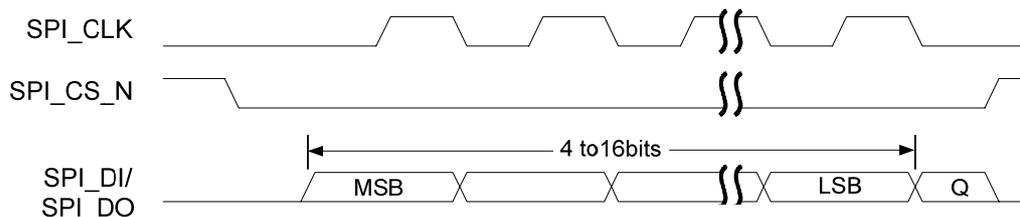
SPO 表示 SPICLKOUT 极性，SPH 表示 SPICLKOUT 相位。它们是寄存器 SPICR0 bit[7:6]。

#### (1) SPO=0、SPH=0

SPI 单帧格式如图 10-5 所示。

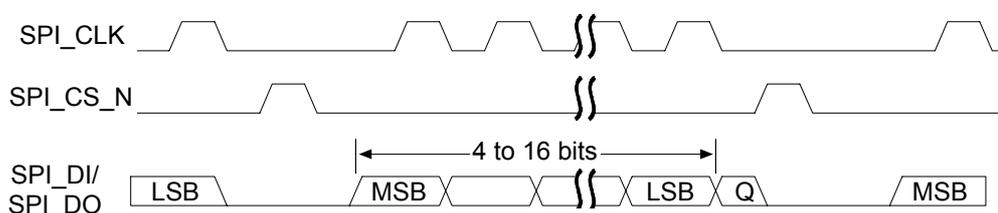


图10-5 SPI 单帧格式 (SPO=0、SPH=0)



SPI 连续帧格式如图 10-6 所示。

图10-6 SPI 连续帧格式 (SPO=0、SPH=0)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 处于使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低，表示开始传输数据。来自 Slave 的数据立刻发送到 Master 的接收数据线 SPI\_DI。半个 SPI\_CLK 时钟周期之后，有效的 Master 数据传输到 SPI\_DO。此时 Master 和 Slave 数据都已经有效，SPI\_CLK 管脚在接下来的半个 SPI\_CLK 时钟周期之后变为高电平。数据在 SPI\_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

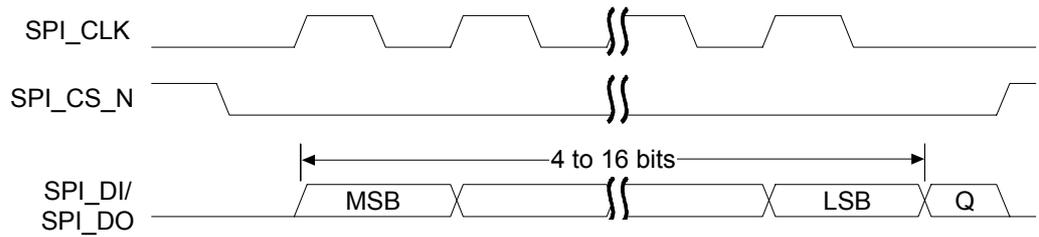
如果是连续的传输，SPI\_CS\_N 信号在每个 word 传输之间必须将 SPI\_CLK 时钟拉高一个时钟周期。这是因为 SPH 为 0 时，Slave 选择管脚会固定其内部串行设备寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每个 word 传输之间将 SPI\_CS\_N 信号拉高。连续传输结束时，SPI\_CS\_N 在捕捉到最后 1bit 之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

## (2) SPO=0、SPH=1

SPI 单帧格式如图 10-7 所示。

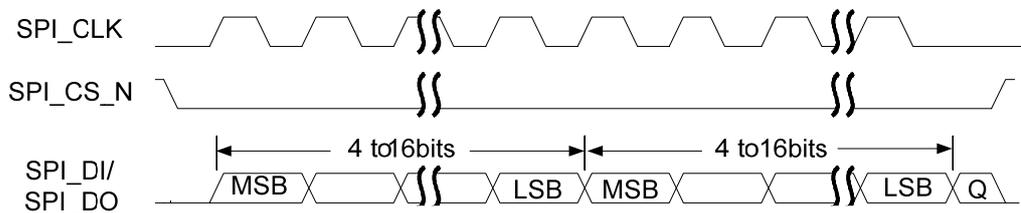


图10-7 SPI 单帧格式 (SPO=0、SPH=1)



SPI 连续帧格式如图 10-8 所示。

图10-8 SPI 连续帧格式 (SPO=0、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低
- SPI\_CS\_N 设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低表示开始传输数据。半个 SPI\_CLK 时钟周期之后，Master 和 Slave 的有效数据分别在各自的传输线上有效。同时，SPI\_CLK 从第一个上升沿开始有效。数据在 SPI\_CLK 时钟的下降沿被捕获，在时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟之后恢复为高电平。

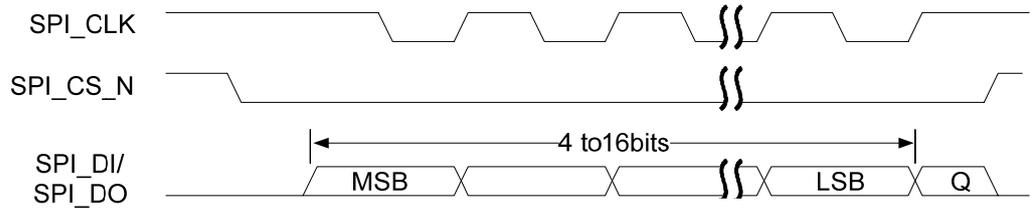
当连续传输时，在传输数据 word 之间 SPI\_CS\_N 保持为低。连续传输结束时，SPI\_CS\_N 在最后 1bit 捕捉之后的 1 个 SPI\_CLK 时钟之后恢复为高电平。

### (3) SPO=1、SPH=0

SPI 单帧格式如图 10-9 所示。

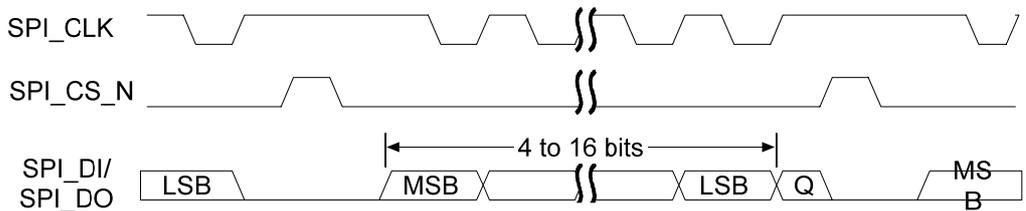


图10-9 SPI 单帧格式 (SPO=1、SPH=0)



SPI 连续帧格式如图 10-10 所示。

图10-10 SPI 连续帧格式 (SPO=1、SPH=0)



在该配置下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为高
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N 信号为低表示开始传输数据。此时 Slave 的数据立刻发送到 Master 的接收数据线 SPI\_DI。半个 SPI\_CLK 周期之后，Master 的有效数据传送到 SPI\_DO。再过半个 SPI\_CLK 时钟周期之后，SPI\_CLK Master 管脚设置为低。这表示数据在 SPI\_CLK 时钟的下降沿被捕获，在 SPI\_CLK 时钟的上升沿被传送。

如果传输单个 word，当捕捉到最后 1bit 数据时，SPI\_CS\_N 在接下来的 1 个 SPI\_CLK 时钟之后恢复为高电平。

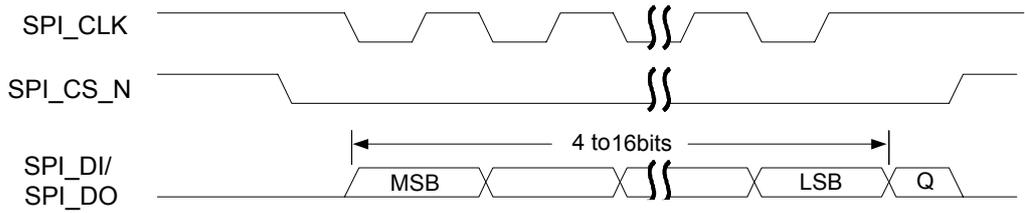
如果是连续的传输，SPI\_CS\_N 信号在每个 word 传输之间必须拉高。这是因为当 SPH 为 0 时，Salve 选择管脚固定其内部串行设备寄存器的数据，使它不会变化。SPI\_CS\_N 在捕捉到最后 1bit 数据之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

#### (4) SPO=1、SPH=1

SPI 单帧格式如图 10-11 所示。

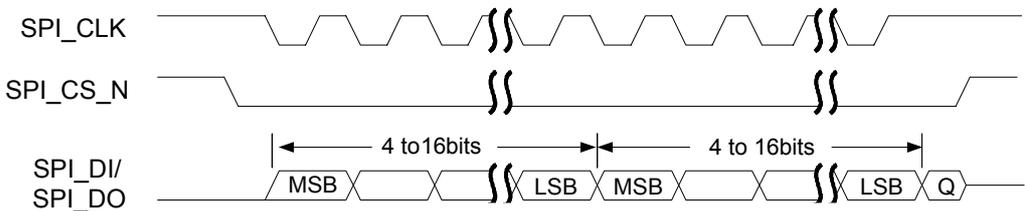


图10-11 SPI 单帧格式 (SPO=1、SPH=1)



SPI 连续帧格式如图 10-12 所示。

图10-12 SPI 连续帧格式 (SPO=1、SPH=1)



在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为高
- SPI\_CS\_N 信号设置为高
- 发送数据线 SPI\_DO 强制为低

当 SPI 为使能状态，而且发送 FIFO 内有有效数据时，设置 SPI\_CS\_N Master 信号为低表示开始传输数据。半个 SPI\_CLK 时钟周期后，Master 和 Slave 数据在各自的传输线上有效。同时，时钟 SPI\_CLK 从 1 个下降沿开始有效。数据在 SPI\_CLK 时钟的上升沿被捕获，在时钟的下降沿被传送。

当传输单个 word 时，SPI\_CS\_N 在传输的最后 1bit 捕获之后的 1 个 SPI\_CLK 时钟周期之后恢复为高电平。

如果是连续传输，SPI\_CS\_N 信号始终保持为低。SPI\_CS\_N 在捕获到最后 1bit 之后的 1 个 SPI\_CLK 时钟周期之后恢复到高状态。对于连续传输来说，SPI\_CS\_N 在传输过程中一直保持为低，结束方式与单个传输方式相同。

### (5) 接口时序



图10-13 SPI 接口时序图

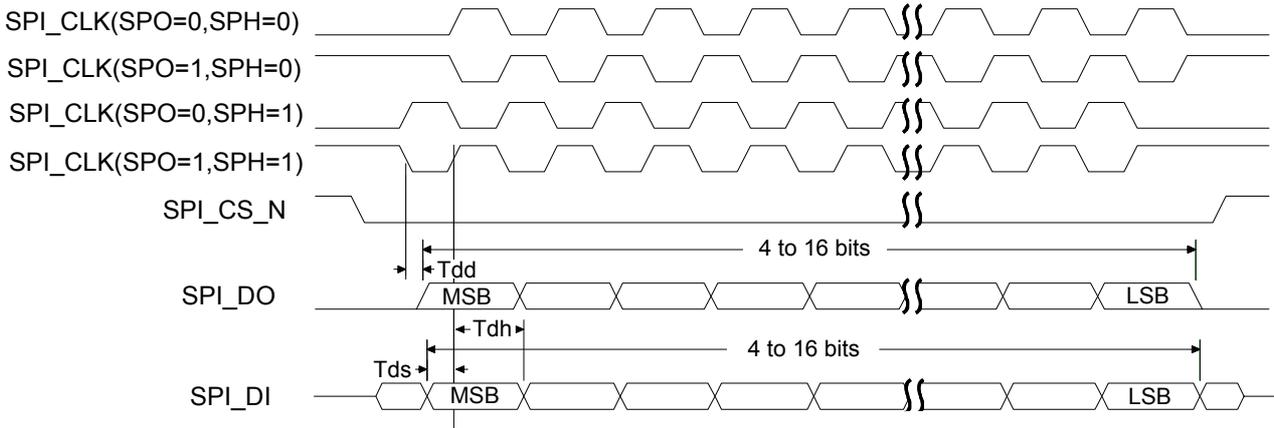


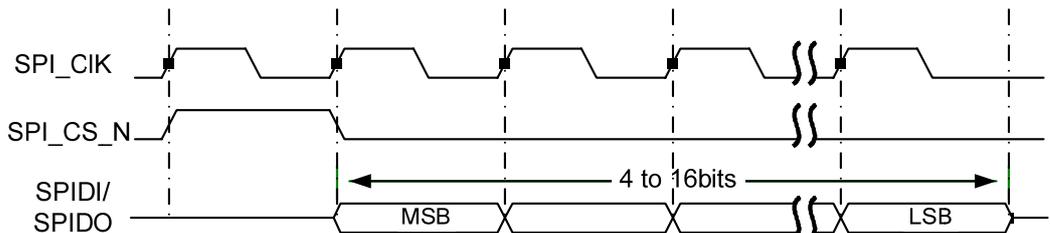
表10-2 SPI 接口时序参数

参数	描述	最小值	最大值	单位
Tdd	输出数据延迟	-3.5	5	ns
Tds	输入控制信号建立时间	23	-	ns
Tdh	输入控制信号保持时间	0	-	ns

## TI 同步串行接口

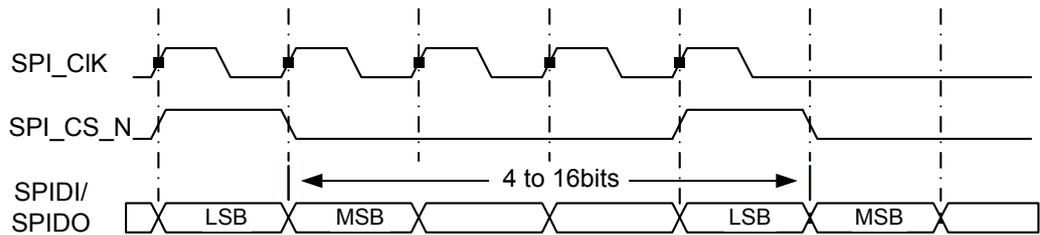
TI 同步串行单帧格式如图 10-14 所示。

图10-14 TI 同步串行单帧格式



TI 同步串行连续帧格式如图 10-15 所示。

图10-15 TI 同步串行连续帧格式



在该模式下，当 SPI 处于空闲状态时：

- SPICK 为低电平。
- SPICSN 为低电平。
- 传输数据线 SPIDO 保持为高阻。

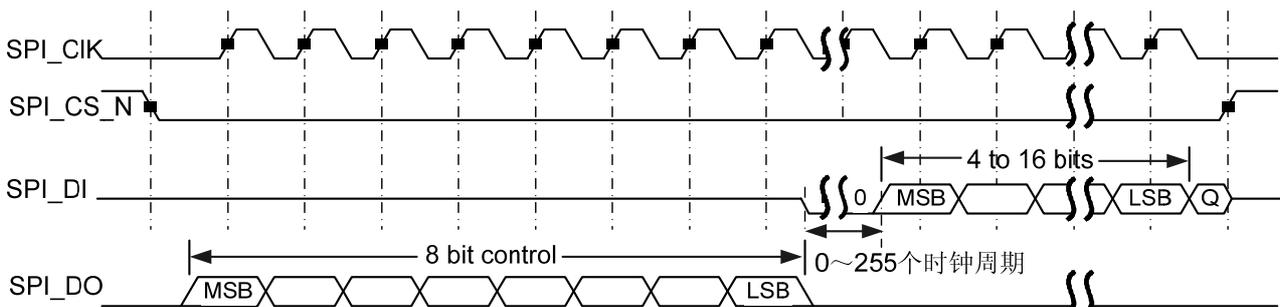
一旦发送 FIFO 有数据，SPICSN 就会产生一个 SPICK 时钟周期的高电平脉冲，将被发送的数据就会从发送 FIFO 传送到发送逻辑串行移位寄存器。在 SPICK 时钟的下一个上升沿，4bit~16bit 数据帧的 MSB 就会从 SPIDO 移位输出。同样，从外部串行 slave 设备接收数据的 MSB 会从 SPIDI 管脚移位输入。

SPI 和片外串行设备在 SPICK 时钟的下降沿将数据存入串行移位寄存器。接收串行寄存器在接收到 LSB 之后的第一个 SPICK 时钟上升沿将数据送给接收 FIFO。

## National Semiconductor Microwire 接口

National Semiconductor Microwire 单帧帧格式如图 10-16 所示。

图10-16 National Semiconductor Microwire 单帧帧格式

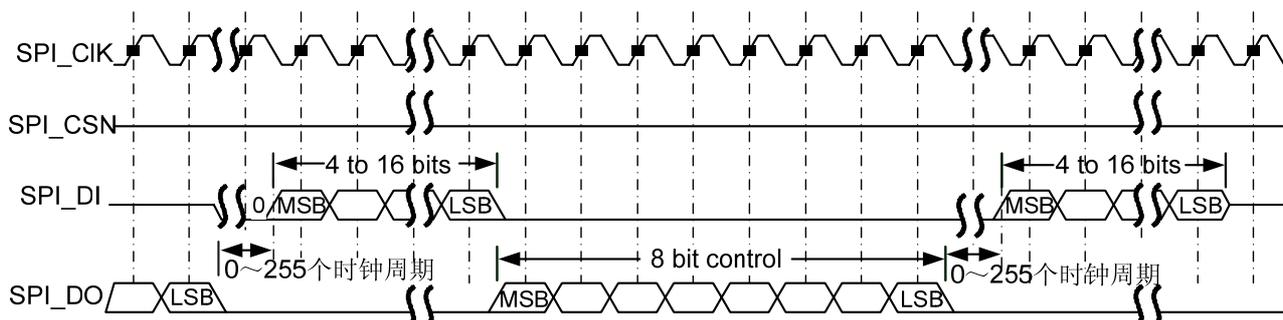


在 SPIDO LSB 结束和 SPIDI MSB 开始之间可以延迟 0~255 个时钟周期。

National Semiconductor Microwire 连续帧帧格式如图 10-17 所示。



图10-17 National Semiconductor Microwire 连续帧格式



在 SPI\_DO LSB 结束和 SPI\_DI MSB 开始之间可以延迟 0~255 个时钟周期。

Microwire 的格式与 SPI 的格式非常相近，使用 master-slave 信息的传输技术，只不过 SPI 是全双工通信，而 Microwire 半双工通信。在 SPI 向外部芯片发送串行数据的时候，都要先加 8bit 控制字。在这个过程中，SPI 没有接收到任何数据。传输完毕之后，片外芯片对接收到的数据进行解码，在与 8bit 控制信息间隔一个时钟周期之后，slave 开始响应所需求的数据。返回的数据长度为 4bit~16bit，使得整个帧的长度为 13bit~25bit。

在该模式下，当 SPI 处于空闲状态时：

- SPI\_CLK 信号设置为低电平。
- SPI\_CS\_N 设置为高电平。
- 发送数据线 SPI\_DO 强制为低电平。

向发送 FIFO 内部写进一个控制字节开始一次传送。SPI\_CS\_N 的下降沿引发数据的传输，发送 FIFO 的数据被发送到串行移位寄存器，8bit 控制帧的 MSB 被发送到发送管脚 SPIDO。在帧的传送过程中，SPI\_CS\_N 保持为低。SPI\_DI 在这个传送过程中保持为高阻。

片外的串行从设备在 SPI\_CLK 时钟的每一个上升沿将数据锁存到串行移位寄存器中。当从设备锁存完最后 1 个 bit 的数据之后，在接下来的 1 个时钟周期的等待时间里，对接收到的数据开始解码，然后从设备反馈给 SPI 所要求的数据。每 1 个 bit 都是在 SPI\_CLK 时钟的下降沿写到 SPI\_DI 的。对单个数据传送来说，在帧的结尾，SPI\_CS\_N 在最后 1 个 bit 写到接收串行寄存器之后的 1 个时钟周期后拉高，这样就使接收到的数据传送到接收 FIFO。

对于连续的传送来说，数据传送的开始和结束都和单个数据的传送方式相同。在这个传送过程中，信号 SPI\_CS\_N 时一直保持为低的，传送的数据也是连续的。下一帧的控制字直接和上一帧的 LSB 相邻。当帧的 LSB 锁存到 SPI 之后，接收到的每一个数值都是在 SPI\_CLK 时钟的下降沿取自接收移位寄存器。

## 10.2.5 工作方式

### 工作模式

SPI 的工作模式分为中断或查询方式下的数据传输和 DMA 方式下的数据传输。



## 时钟与复位

输出 SPI 时钟频率计算方式如下，

$$F_{\text{ssplkout}} = F_{\text{ssplk}} / (\text{CPSDVRx} (1 + \text{SCR}))$$

$F_{\text{ssplk}}$ : SPI 的工作参考时钟, 1/2 总线时钟。

CPSDVR、SCR 请查询相应寄存器。

SPI 的工作参考时钟可门控, 由寄存器 PERI\_CRG28 bit[1]实现。相应位写“0”, 表示关断时钟; 相应位写“1”, 表示开放时钟。上电缺省值为 1。

Hi3516 中 SPI 支持独立软复位, 由寄存器 PERI\_CRG28 bit[0]控制。相应位写“0”, SPI 退出软复位; 相应位写“1”, SPI 进入软复位。上电缺省值为 0。

## 中断处理

SPI 有 5 个中断, 其中前 4 个是独立中断源、可屏蔽、高电平有效。

- SPIRXINTR  
接收 FIFO 中断请求。当接收 FIFO 中有 4 个或更多的有效数据时, 该中断置位。
- SPITXINTR  
发送 FIFO 中断请求。当发送 FIFO 中有 4 个或更少的有效数据时, 该中断置位。
- SPIRORINTR  
接收 overrun 中断请求。当 FIFO 已满, 且又有新的数据需要写入 FIFO 时, 会引起 FIFO overrun, 该中断置位。此时数据被写入接收移位寄存器, 而不是 FIFO。
- SPIRTINTR  
接收 time out 中断请求。当接收 FIFO 非空, 且 SPI 处于 idle 态超过一个固定的 32bit 周期, 该中断置位。  
此时表明接收 FIFO 中仍有数据需要传输。如果接收 FIFO 被读空或者当有新的数据被接收到 SPIRXD 中, 该中断解除置位。也可以通过写寄存器 SPICR[RTIC]清除该中断。
- SPIINTR  
组合中断, 为以上 4 个中断经过“或”运算后的结果。如果上述 4 个独立中断中任意一个置位且使能, 该中断置位。

SPI 的中断 SPIINTR 连接参见中断处理章节。

## 初始化

初始化步骤如下:

- 步骤 1 向寄存器 SPICR1[sse]写“0”, 禁止 SPI。
- 步骤 2 写寄存器 SPICR0, 配置帧格式及传输数据位宽等参数。
- 步骤 3 配置寄存器 SPICPSR, 设定时钟分频因子。
- 步骤 4 中断方式下, 设置寄存器 SPIIMSC, 使能相应中断信号; 查询、DMA 方式下, 应禁止产生相应中断信号。



步骤 5 中断或 DMA 方式，设置 SPITXFIFO CR 和 SPIRXFIFO CR。

步骤 6 DMA 方式下，配置寄存器 SPIDMACR，使能 SPI 的 DMA 功能。

----结束

## 查询方式下的数据传输

因为发送/接收 FIFO 深度 512,所以一般不需考虑 FIFO 满。

具体步骤如下：

步骤 1 如果用到两个片选，配置系统控制寄存器 periphctrl4 [0]，选择当前进行操作的片选。

步骤 2 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 3 将需发送的数据连续写到寄存器 SPIDR。

步骤 4 轮询寄存器 SPISR，直到[BSY]=0，总线不忙；[TFE]=1，发送 FIFO 已空；[RNE]=1，接收 FIFO 非空。

步骤 5 读出数据，需保证读空接收 FIFO。可查询 SPISR[RNE]。



### 注意

SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

步骤 6 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束

## 中断方式下的数据传输

具体步骤如下：

步骤 1 如果用到两个片选，配置系统控制寄存器 periphctrl4 [0]，选择当前进行操作的片选。

步骤 2 向寄存器 SPICR1[sse]写“1”，使能 SPI。

步骤 3 将需发送的数据连续写到寄存器 SPIDR。

步骤 4 等待中断 SPIRXINTR，读出数据。循环直到读出所有数据。

注意 SPI/Microwire 的全双工特性，每发一个数据就接收一个数据，即使只需发送数据，也需要清空接收 FIFO。

步骤 5 向寄存器 SPICR1[sse]写“0”，禁止 SPI。

----结束



## DMA 方式下的数据传输

具体步骤如下：

步骤 1 获取一个 DMAC 通道。

步骤 2 如果用到 SPI0 两个片选，配置系统控制寄存器 `periphctrl14 [0]`，选择当前进行操作的片选。

步骤 3 向寄存器 `SPICR1[sse]`写“1”，使能 SPI。

步骤 4 发送数据

配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

启动 DMAC，响应 SPI 发送 FIFO 的 DMA 请求进行数据传输。

通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 5 接收数据

配置该 DMAC 通道的配置寄存器和控制寄存器中的相关参数。

启动 DMAC，响应 SPI 接收 FIFO 的 DMA 请求进行数据传输。

通过 DMA 中断上报，判断数据是否接收完成，如果完成则关闭 SPI 的 DMA 功能。

步骤 6 向寄存器 `SPICR1[sse]`写“0”，禁止 SPI。

----结束

## 10.2.6 SPI 寄存器概览

寄存器概览如表 10-3 所示。

表10-3 寄存器概览（SPI0 基址是 200C\_0000，SPI1 基址是 200E\_0000）

偏移地址	名称	描述	页码
0x000	SPICR0	控制寄存器 0	10-24
0x004	SPICR1	控制寄存器 1	10-25
0x008	SPIDR	数据寄存器	10-26
0x00C	SPISR	状态寄存器	10-26
0x010	SPICPSR	时钟分频寄存器	10-27
0x014	SPIIMSC	中断屏蔽寄存器	10-28
0x018	SPIRIS	原始中断状态寄存器	10-29
0x01C	SPIMIS	屏蔽后中断状态寄存器	10-29
0x020	SPIICR	中断清除寄存器	10-30



偏移地址	名称	描述	页码
0x024	SPIDMACR	DMA 控制寄存器	10-30
0x028	SPITXFIFO CR	发送 FIFO 控制寄存器	10-31
0x02C	SPIRXFIFO CR	接收 FIFO 控制寄存器	10-32

## 10.2.7 SPI 寄存器描述

### SPICR0

SPICR0 为控制寄存器 0。

Bit	Offset Address				Register Name				Total Reset Value							
	0x000				SPICR0				0x0000							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	SCR							SPH	SPO	FRF		DSS				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:8]	RW	SCR	串行时钟率，取值范围 0~255。SCR 的值用来产生 SPI 发送和接收的比特率，公式为 $F_{SPICLK} / (CPSDVSR (1+SCR))$ 。 CPSDVSR 是一个 2~254 之间的偶数，由寄存器 SPICPSR 配置。												
	[7]	RW	SPH	SPICLKOUT 相位，具体含义请参见“10.2.4 三种外设总线时序”的 SPI 帧格式。												
	[6]	RW	SPO	SPICLKOUT 极性，具体含义请参见“10.2.4 三种外设总线时序”的 SPI 帧格式。												
	[5:4]	RW	FRF	帧格式选择。 00: Motorola SPI 帧格式； 01: TI 同步串行帧格式； 10: National Microwire 帧格式； 11: 保留。												



[3:0]	RW	DSS	设置数据位宽。 0011: 4bit; 1000: 9bit; 1101: 14bit; 0100: 5bit; 1001: 10bit; 1110: 15bit; 0101: 6bit; 1010: 11bit; 1111: 16bit; 0110: 7bit; 1011: 12bit; 0111: 8bit; 1100: 13bit; 其他: 保留。
-------	----	-----	--

## SPICR1

SPICR1 为控制寄存器 1。

	Offset Address				Register Name				Total Reset Value								
	0x004				SPICR1				0x7F00								
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	WaitEn	WaitVal				reserved		BigEnd		reserved	MS	SSE	LBM				
Reset	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description														
[15]	RW	WaitEn	等待使能，当 SPICR0 寄存器的 FRF 配置为 National Microwire 帧格式时有效。 0: 不使能; 1: 使能。														
[14:8]	RW	WaitVal	National Microwire 帧格式时，写和读之间的等待拍数。当 WaitEn 为 1 并且帧格式为 National Microwire 时有效。														
[7:5]	RW	reserved	保留。														



[4]	RW	BigEnd	设置数据大小端模式。 0: 小端结束; 1: 大端结束。
[3]	RW	reserved	保留。
[2]	RW	MS	设置 Master 或者 Slave 模式, 此位只能在 SPI 被禁止时改变。 0: Master 模式 (默认); 1: Slave 模式。
[1]	RW	SSE	设置 SPI 使能。 0: 不使能; 1: 使能。
[0]	RW	LBM	设置环回模式。 0: 正常的串行接口操作使能; 1: 发送串行移位寄存器的输出在内部连接到接收串行移位寄存器的输入上。

## SPIDR

SPIDR 为数据寄存器。

	Offset Address						Register Name						Total Reset Value			
	0x008						SPIDR						0x0000			
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:0]	RW	DATA	发送/接收 FIFO。 读: 接收 FIFO; 写: 发送 FIFO。 如果数据比特数少于 16 则必须右对齐。发送逻辑将忽略高位未使用的比特位, 接收逻辑则自动将数据右对齐。													

## SPISR

SPISR 为状态寄存器。



		Offset Address					Register Name					Total Reset Value				
		0x00C					SPISR					0x0003				
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											BSY	RFF	RNE	TNF	TFE
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
Bits	Access	Name	Description													
[15:5]	RW	reserved	保留。													
[4]	RW	BSY	SPI 忙标记。 0: 空闲; 1: 忙。													
[3]	RW	RFF	接收 FIFO 是否已满。 0: 未滿; 1: 已滿。													
[2]	RW	RNE	接收 FIFO 是否未空。 0: 已空; 1: 未空。													
[1]	RW	TNF	发送 FIFO 是否未滿。 0: 已滿; 1: 未滿。													
[0]	RW	TFE	发送 FIFO 是否已空。 0: 未空; 1: 已空。													

## SPICPSR

SPICPSR 为时钟分频寄存器。



		Offset Address				Register Name				Total Reset Value							
		0x010				SPICPSR				0x0000							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved								CPSDVSR							
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description											
	[15:8]	RW		reserved		保留。											
	[7:0]	RW		CPSDVSR		时钟分频因子。此值必须是 2~254 之间的偶数，取决于输入时钟 SPICLK 的频率。最低位读作“0”。											

## SPIIMSC

SPIIMSC 为中断屏蔽寄存器。值“0”表示屏蔽中断，值“1”表示不屏蔽中断。

		Offset Address				Register Name				Total Reset Value							
		0x014				SPIIMSC				0x0000							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved								TXIM	RXIM	RTIM	RORIM				
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name		Description											
	[15:4]	RW		reserved		保留。											
	[3]	RW		TXIM		发送 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。											
	[2]	RW		RXIM		接收 FIFO 中断屏蔽。 0: 半空或更少情况下中断被屏蔽; 1: 半空或更少情况下中断未被屏蔽。											
	[1]	RW		RTIM		接收超时中断。 0: 接收超时中断屏蔽; 1: 接收超时中断不屏蔽。											



[0]	RW	RORIM	接收溢出中断屏蔽。 0: 接收 FIFO 溢出中断屏蔽; 1: 接收 FIFO 溢出中断不屏蔽。 值为“1”时使能硬件流控功能, 即接收 FIFO 满后 SPI 停止发送数据。
-----	----	-------	---

## SPIRIS

SPIRIS 为原始中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。

	Offset Address				Register Name				Total Reset Value							
	0x018				SPIRIS				0x0008							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											TXRIS	RXRIS	RTRIS	RORRIS	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
Bits	Access		Name		Description											
[15:4]	RO		reserved		保留。											
[3]	RO		TXRIS		发送 FIFO 中断的原始中断状态。											
[2]	RO		RXRIS		接收 FIFO 中断的原始中断状态。											
[1]	RO		RTRIS		接收超时中断的原始中断状态。											
[0]	RO		RORRIS		接收溢出中断的原始中断状态。											

## SPIMIS

SPIMIS 为屏蔽后中断状态寄存器。值“0”表示无中断, 值“1”表示有中断。



Offset Address		Register Name		Total Reset Value					
0x01C		SPIMIS		0x0000					
Bit	15 14 13 12 11 10 9 8 7 6 5 4	3	2	1	0				
Name	reserved					TXMIS	RXMIS	RTMIS	RORMIS
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0	0	0	0				
Bits	Access	Name	Description						
[15:4]	RO	reserved	保留。						
[3]	RO	TXMIS	发送 FIFO 中断屏蔽后的状态。						
[2]	RO	RXMIS	接收 FIFO 中断屏蔽后的状态。						
[1]	RO	RTMIS	接收超时中断屏蔽后的状态。						
[0]	RO	RORMIS	接收溢出中断屏蔽后的状态。						

### SPIICR

SPIICR 为中断清除寄存器。写“1”清除中断，写“0”无影响。

Offset Address		Register Name		Total Reset Value			
0x020		SPIICR		0x0000			
Bit	15 14 13 12 11 10 9 8 7 6 5 4	3	2	1	0		
Name	reserved					RTIC	RORIC
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0	0	0	0		
Bits	Access	Name	Description				
[15:2]	RO	reserved	保留。				
[1]	RO	RTIC	清除接收超时中断。				
[0]	RO	RORIC	清除接收溢出中断。				

### SPIDMACR

SPIDMACR 为 DMA 控制寄存器。



		Offset Address				Register Name				Total Reset Value							
		0x024				SPIDMACR				0x0000							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved												TXDMAE	RXDMAE		
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description													
[15:2]	WO	reserved		保留位。													
[1]	WO	TXDMAE		DMA 发送 FIFO 使能寄存器。 0: 禁止; 1: 使能。													
[0]	WO	RXDMAE		DMA 接收 FIFO 使能寄存器。 0: 禁止; 1: 使能。													

## SPITXFIFO CR

SPITXFIFO CR 为发送 FIFO 控制寄存器。

		Offset Address				Register Name				Total Reset Value							
		0x028				SPITXFIFO CR				0x0001							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										TXINTSize		DMATXBRSIZE			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name		Description													
[15:6]	RW	reserved		保留位。													



[5:3]	RW	TXINTSize	<p>配置发送 FIFO 请求中断的水线。即，发送 FIFO 中数据数目小于或等于 TXINTSize 所配置的字数时，TXRIS 有效。</p> <p>000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。</p>
[2:0]	RW	DMATXBRSIZE	<p>配置发送 FIFO 请求 DMA 进行 burst 传输的水线。即，发送 FIFO 中数据数目小于或等于 (256-DMATXBRSIZE) 所配置的字数时，DMATXBREQ 有效，此处字长是 16 位。</p> <p>000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 128。</p>

## SPIRXFIFO CR

SPIRXFIFO CR 为接收 FIFO 控制寄存器。



		Offset Address				Register Name				Total Reset Value							
		0x02C				SPIRXFIFOCR				0x0001							
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name		reserved										RXINTSize		DMARXBRSIZE			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name		Description													
[15:6]	RW	reserved		保留。													
[5:3]	RW	RXINTSize		配置接收 FIFO 请求中断的水线。即，接收 FIFO 中数据数目大于或等于（256-RXINTSize）所配置的字数时，RXRIS 有效，此处字长是 16 位。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 64; 111: 64。													
[2:0]	RW	DMARXBRSIZE		配置接收 FIFO 请求 DMA 进行 burst 传输的水线。即，接收 FIFO 中数据数目大于或等于 DMARXBRSIZE 所配置的字数时，DMARXBREQ 有效。 000: 1; 001: 4; 010: 8; 011: 16; 100: 32; 101: 64; 110: 128; 111: 224。													



## 10.3 通用异步收发器

### 10.3.1 概述

通用异步收发器 UART (Universal Asynchronous Receiver Transmitter) 是一个异步串行的通信接口, 主要功能是将来自外围设备的数据进行串并转换之后传入内部总线, 以及将数据进行并串转换之后输出到外部设备。UART 的主要功能是和外部芯片的 UART 进行对接, 从而实现两芯片间的通信。

Hi3516 提供 4 个 UART 单元:

- UART0: 2 线 UART, 主要用于调试。
- UART1: 4 线 UART, 主要用于连接外部 Modem
- UART2/3: 2 线 UART, 可用于与通用的 UART 设备对接

### 10.3.2 特点

UART 模块有以下特点:

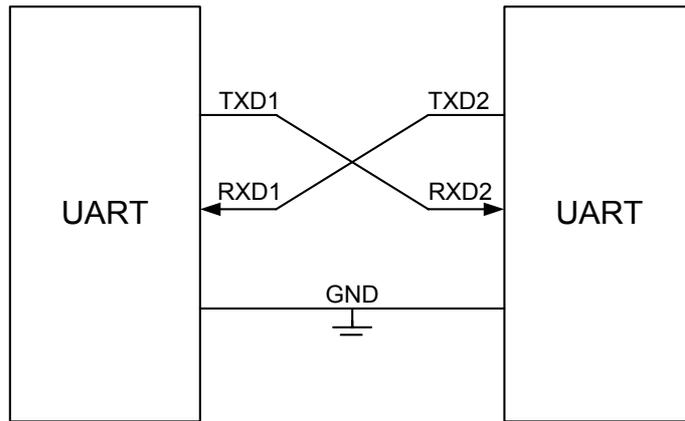
- 支持 16×8bit 的发送 FIFO 和 16×12bit 的接收 FIFO。
- 支持数据位和停止位的位宽可编程。数据位可通过编程设定为 5/6/7/8 比特; 停止位可通过编程设定为 1bit 或 2bit。
- 支持奇、偶校验方式或者无校验。
- 支持传输速率可编程。
- 支持接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持通过编程禁止 UART 模块或者 UART 发送/接收功能以降低功耗。
- 支持关断 UART 时钟以节省功耗。
- 支持 DMA 操作。

### 10.3.3 功能描述

#### 应用框图

UART 的典型应用框图如图 10-18 所示。

图10-18 UART 的典型应用框图一

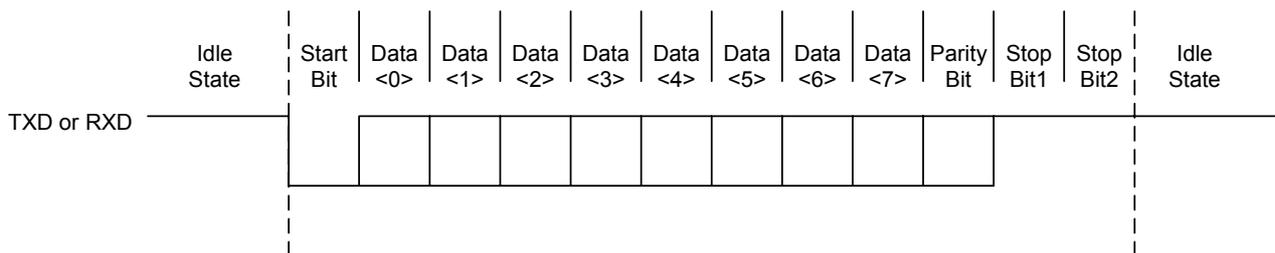


UART 是一种异步双向串行总线，它提供了一种简单有效的数据传输方式，只需要两根数据线互相对接。

## 功能原理

UART 的一次帧传输主要包括起始信号、数据、校验位和结束信号，如图 10-19 所示。数据帧从某一 UART 的 TXD 端输出，从另一个 UART 的 RXD 端输入。

图10-19 UART 帧格式



起始信号、数据、校验位和结束信号的含义如下：

- 起始信号（start bit）  
一个数据帧开始的标志，UART 协议规定 TXD 信号出现一个低电平就表示一个数据帧的开始。在 UART 不传输数据时，应该保持高电平。
- 数据信号（data bit）  
数据位宽可以根据不同的应用要求进行调整，可以配置成 5bit/6bit/7bit/8bit 数据位宽。
- 校验位（parity bit）  
校验位是 1 比特纠错信号，UART 的校验位有奇校验、偶校验和固定校验位，同时支持校验位的使能和禁止，详细描述请见 [UART\\_LCR\\_H](#) 寄存器。
- 结束信号（stop bit）  
结束信号即数据帧的停止位，支持 1 比特和 2 比特停止位两种配置。数据帧的结束信号就是把 TXD 拉成高电平。



## 10.3.4 工作方式

### 10.3.4.1 波特率配置

通过配置寄存器 `UART_IBRD` 和 `UART_FBRD` 可以设置 UART 工作的波特率，波特率计算公式为：

当前波特率=UART 参考时钟频率（1/2 总线时钟频率）/（16x 分频系数）

分频系数有整数和小数两部分组成，分别对应寄存器 `UART_IBRD` 和 `UART_FBRD`。

例如：UART 参考时钟频率为 60MHz，如果配置 `UART_IBRD` 为 0x1E，`UART_FBRD` 为 0x00，按照波特率计算公式，则当前的波特率为  $60 / (16 \times 30) = 0.125 \text{Mbit/s}$ 。

UART 波特率配置的典型值为：9,600bit/s、14,400bit/s、19,200bit/s、38,400bit/s、57,600bit/s、76,800bit/s、115,200bit/s、230,400bit/s、460,800bit/s。

分频系数值的计算以及分频系数寄存器的配置举例如下：

如果要求波特率为 230400bit/s，并且 UART 参考时钟频率为 100MHz，那么分频系数为  $(100 \times 10^6) / (16 \times 230400) = 27.1267$ ，因此 `IBRD`（整数部分）为 27，`FBRD`（小数部分）为 0.1267。

计算 6bit `UART_FBRD` 寄存器中的数值：根据  $m = \text{integer}(\text{FBRD} \times 2^n + 0.5)$ （ $n = \text{UART\_FBRD}$  寄存器的宽度），计算出  $m = \text{integer}(0.1267 \times 2^6 + 0.5) = 8$ ，在 `UART_IBRD` 寄存器中配置 0x001B，`UART_FBRD` 寄存器中配置 0x08。

当分频系数小数部分配置成 8 时，波特率除数的实际数值为  $27 + 8/64 = 27.125$ ，产生的波特率为  $(100 \times 10^6) / (16 \times 27.125) = 230414.75$ ，误差率为  $(230414.75 - 230400) / 230400 \times 100 = 0.006\%$ 。

使用 6bit `UART_FBRD` 寄存器最大的误差率为  $1/64 \times 100 = 1.56\%$ ，当  $m=1$  时会出现，误差率累计超过 64 个时钟周期。

### 10.3.4.2 软复位

通过配置 CRG 寄存器可实现对 UART 控制器的单独软复位。

- 通过配置 CRG 寄存器 `PERI_CRG33[uart0_srst_req]` 为 1，可实现对 UART0 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG34[uart1_srst_req]` 为 1，可实现对 UART1 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG35[uart2_srst_req]` 为 1，可实现对 UART2 控制器的单独软复位。
- 通过配置 CRG 寄存器 `PERI_CRG36[uart3_srst_req]` 为 1，可实现对 UART3 控制器的单独软复位。

复位后各配置寄存器的值均为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

### 10.3.4.3 中断或查询方式下的数据传输

初始化



初始化步骤如下：

- 步骤 1 向 `UART_CR` bit[0]写 0，使 UART 处于禁止状态。
- 步骤 2 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
- 步骤 3 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
- 步骤 4 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
- 步骤 5 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。
- 步骤 6 向 `UART_CR` bit[0]写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送步骤如下：

- 步骤 1 将发送数据写入 `UART_DR`，启动数据发送。
- 步骤 2 查询方式下，进行连续数据发送时通过读取 `UART_FR` bit[5]检测 `TX_FIFO` 状态，根据 `TX_FIFO` 的状态决定是否向 `TX_FIFO` 中发送数据；中断方式下，则根据相应中断状态位检测；决定是否向 `TX_FIFO` 中发送数据。
- 步骤 3 通过检测 `UART_FR` bit[7]是否为 1，判断 UART 是否完成全部数据发送。

----结束

数据接收

数据接收的处理方式如下：

- 查询方式下，进行数据接收时通过读取 `UART_FR`[rxfe]检测 `RX_FIFO` 状态，根据 `RX_FIFO` 的状态决定是否读取 `RX_FIFO` 中的数据。
- 中断方式下，则根据相应中断状态位检测决定是否读取 `RX_FIFO` 中的数据。

#### 10.3.4.4 DMA 方式下的数据传输

##### 初始化

初始化步骤如下：

- 步骤 1 向 `UART_CR`[uarten]写 0，使 UART 处于禁止状态。
- 步骤 2 写相应的配置值到 `UART_IBRD`、`UART_FBRD` 寄存器，配置传输速率。
- 步骤 3 配置 `UART_CR`、`UART_LCR_H`，设定相应的 UART 工作模式。
- 步骤 4 配置 `UART_IFLS` 设定相应的发送及接收 FIFO 阈值。
- 步骤 5 如果驱动程序采用中断方式则需设定 `UART_IMSC`，使能相应中断信号；采用查询方式时应禁止产生相应中断信号。



步骤 6 向 `UART_CR[uarten]` 写 1，使能 UART，完成初始化配置。

----结束

数据发送

数据发送（以 DMA 模式为例）步骤如下：

步骤 1 配置 DMA 数据通道，包括数据传输源和目的地址、数据传输个数、传输类型等参数。具体配置时请参见“直接存储器存取控制器”的相关描述。

步骤 2 配置 `UART_DMOCR` 为 0x2，使能 UART 的 DMA 发送功能。

步骤 3 通过 DMA 中断上报，判断数据是否发送完成，如果完成则关闭 UART 的 DMA 发送功能。

----结束

数据接收

数据接收（以 DMA 模式为例）步骤如下：

步骤 1 配置 DMA 数据通道，包括数据传输源和目的地址、数据接收区地址、数据传输个数、传输类型等参数。

步骤 2 配置 `UART_DMOCR` 为 0x1，使能 UART 的 DMA 接收功能。

步骤 3 通过 DMA 状态查询，判断数据是否接收完成，如果完成则关闭 UART 的 DMA 接收功能。

----结束

### 10.3.5 寄存器概览

Hi3516 提供 4 个 UART 单元，基址分别如下：

- UART0 寄存器基址为 0x2008\_0000。
- UART1 寄存器基址为 0x2009\_0000。
- UART2 寄存器基址为 0x200A\_0000。
- UART3 寄存器基址为 0x200B\_0000。

UART 寄存器概览如表 10-4 所示。

表10-4 UART 寄存器概览

偏移地址	名称	描述	页码
0x000	UART_DR	数据寄存器	10-39
0x004	UART_RSR	接收状态寄存器/错误清除寄存器	10-40
0x008~0x014	RESERVED	保留	-



偏移地址	名称	描述	页码
0x018	UART_FR	标志寄存器	10-41
0x01C~0x020	RESERVED	保留	-
0x024	UART_IBRD	整数波特率寄存器	10-42
0x028	UART_FBRD	小数波特率寄存器	10-42
0x02C	UART_LCR_H	线控寄存器	10-43
0x030	UART_CR	控制寄存器	10-45
0x034	UART_IFLS	中断 FIFO 阈值选择寄存器	10-46
0x038	UART_IMSC	中断屏蔽寄存器	10-47
0x03C	UART_RIS	原始中断状态寄存器	10-48
0x040	UART_MIS	屏蔽后中断状态寄存器	10-49
0x044	UART_ICR	中断清除寄存器	10-50
0x048	UART_DMACR	DMA 控制寄存器	10-51

### 10.3.6 寄存器描述

#### UART\_DR

UART\_DR 为 UART 数据寄存器，存放接收数据和发送数据，同时可以从该寄存器中读出接收状态。

	Offset Address				Register Name				Total Reset Value							
	0x000				UART_DR				0x00							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe	data							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:12]	-		reserved		保留。											
[11]	RO		oe		溢出错误。 0: 无溢出错误; 1: 有溢出错误, 接收 FIFO 满且接收了一个数据。											
[10]	RO		be		Break 错误。 0: 无 break 错误;											



			1: 有 break 错误，即接收数据的输入保持低的时间比一个全字传输（包括 start、data、parity、stop bit）还要长。
[9]	RO	pe	校验错误。 0: 无校验错误； 1: 有校验错误。
[8]	RO	fe	帧错误。 0: 无帧错误； 1: 有帧错误（错误的停止位）。
[7:0]	RW	data	接收数据和发送数据。

## UART\_RSR

UART\_RSR 为接收状态寄存器/错误清除寄存器。

- 寄存器读时作为接收状态寄存器。
- 寄存器写时作为错误清除寄存器。

接收状态也可以从 [UART\\_DR](#) 中读出。从 [UART\\_DR](#) 中读出的 break、frame、parity 的状态信息要比从 [UART\\_RSR](#) 读出的信息优先级高（即 [UART\\_DR](#) 中的状态变化比 [UART\\_RSR](#) 更快）。

对 [UART\\_RSR](#) 寄存器的任何写操作都会对 [UART\\_RSR](#) 寄存器进行复位。

	Offset Address				Register Name		Total Reset Value	
	0x004				UART_RSR		0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved				oe	be	pe	fe
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:4]	-	reserved	保留。					
[3]	RW	oe	溢出错误。 0: 无溢出错误； 1: 溢出错误。 当 FIFO 满时，FIFO 中的内容保持有效，因为不会有下一个数据写到 FIFO 中，只是移位寄存器会溢出。CPU 必须立刻读数据以腾空 FIFO。					



[2]	RW	be	Break 错误。 0: 无 break 错误; 1: break 错误。 Break 的条件: 接收数据的输入保持低的时间比一个全字传输 (定义了 start、data、parity、stop bit) 还要长。
[1]	RW	pe	校验错误。 0: 无校验错误; 1: 接收数据的校验错误。 FIFO 模式下, 该错误与 FIFO 顶部的数据相关联。
[0]	RW	fe	帧错误。 0: 无帧错误; 1: 接收到的数据的停止位错误 (有效的停止位为 1)。

## UART\_FR

UART\_FR 为 UART 标志寄存器。

	Offset Address				Register Name				Total Reset Value							
	0x018				UART_FR				0x0012							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							txfe	rxff	txff	rxfe	busy	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													
[7]	RO	txfe	该位的含义由 <a href="#">UART_LCR_H[fen]</a> 的状态决定。 如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当发送 holding register 空时该位置 1; 如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 则当发送 FIFO 为空时该位置 1。													
[6]	RO	rxff	该位的含义由 <a href="#">UART_LCR_H[FEN]</a> 的状态决定。 如果 <a href="#">UART_LCR_H[fen]</a> 为 0, 则当接收 holding register 满时该位置 1; 如果 <a href="#">UART_LCR_H[fen]</a> 为 1, 则当接收 FIFO 为满时该位置 1。													



[5]	RO	txff	该位的含义由 <code>UART_LCR_H[FEN]</code> 的状态决定。 如果 <code>UART_LCR_H[fen]</code> 为 0，则当发送 holding register 满时该位置 1； 如果 <code>UART_LCR_H[fen]</code> 为 1，当发送 FIFO 为满时该位置 1。
[4]	RO	rxfe	该位的含义由 <code>UART_LCR_H[FEN]</code> 的状态决定。 如果 <code>UART_LCR_H[fen]</code> 为 0，则当接收 holding register 空时该 bit 置 1； 如果 <code>UART_LCR_H[fen]</code> 为 1，则当接收 FIFO 为空时该位就置 1。
[3]	RO	busy	UART 忙闲状态位。 0: UART 空闲或者完成发送数据； 1: UART 正忙于发送数据。 该位一旦置位，该状态一直保持到整个字节（包括所有的停止位）完全从移位寄存器中发送出去。 一旦发送 FIFO 非空该位就置位，不管 UART 使能与否。
[2:0]	-	reserved	保留。

## UART\_IBRD

UART\_IBRD 为整数波特率寄存器。

	Offset Address					Register Name					Total Reset Value					
	0x024					UART_IBRD					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	baud divint															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description												
	[15:0]	RW	baud divint	整数波特率分频值。复位时全部清 0。												

## UART\_FBRD

UART\_FBRD 为小数波特率寄存器。



### 注意

- 整数波特率寄存器和小数波特率寄存器的值必须等到当前数据发送和接收完毕才能更新。
- 最小的分频值为 1，最大的分频值为 65535 ( $2^{16}-1$ )。即 `UART_IBRD=0` 是无效的，而此时 `UART_FBRD` 将被忽略。同样，如果 `UART_IBRD=65535 (0xFFFF)`，`UART_FBRD` 就只能是 0，如果比 0 大，则会导致发送和接收的失败。
- 假设 `UART_FBRD=0x1E`、`UART_IBRD=0x01`，这就表示分频系数的整数部分为 30，小数部分为 0.015625，整个分频系数为 30.015625。
- $\text{UART 的波特率} = \text{内部总线频率} / (16\% \text{分频系数}) = \text{内部总线频率} / (16\% \times 30.015625)$ 。

	Offset Address		Register Name				Total Reset Value	
	0x028		UART_FBRD				0x00	
Bit	7	6	5	4	3	2	1	0
Name	reserved		band divfrac					
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:6]	-	reserved	保留。					
[5:0]	RW	band divfrac	小数波特率分频值。复位时全部清 0。					

## UART\_LCR\_H

UART\_LCR\_H 为传输模式控制寄存器，`UART_LCR_H`、`UART_IBRD`、`UART_FBRD` 组成一个 30bit 宽的寄存器。如果更新 `UART_IBRD` 和 `UART_FBRD` 的内容，必须同时更新 `UART_LCR_H`。

	Offset Address		Register Name				Total Reset Value									
	0x02C		UART_LCR_H				0x0000									
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved							sps	wlen	fen	stp2	eps	pen	brk		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:8]	-	reserved	保留。													



[7]	RW	sps	<p>校验选择。</p> <p>当本寄存器的 bit[1]、bit[2]、bit[7]被置位时，校验位就会作为 0 发送和检测；</p> <p>当本寄存器的 bit[1]、bit[7]被置位，bit[2]为 0 时，校验位就会作为 1 发送和检测。</p> <p>当 bit[1]、bit[2]、bit[7]都清 0，则 stick parity 禁止。</p>
[6:5]	RW	wlen	<p>指示发送和接收一个帧里数据比特的数目。</p> <p>00: 5bit;</p> <p>01: 6bit;</p> <p>10: 7bit;</p> <p>11: 8bit。</p>
[4]	RW	fen	<p>发送和接收 FIFO 使能控制。</p> <p>0: 发送和接收 FIFO 禁止；</p> <p>1: 发送和接收 FIFO 使能。</p>
[3]	RW	stp2	<p>发送帧尾 2bit 停止位判断。</p> <p>0: 发送的帧尾没有 2bit 停止位；</p> <p>1: 发送的帧尾有 2bit 停止位。</p> <p>接收逻辑在接收时不检查 2bit 的停止位。</p>
[2]	RW	eps	<p>发送和接收过程中的奇偶校验选择。</p> <p>0: 在发送和接收过程中生成奇校验或检查奇校验；</p> <p>1: 在发送和接收过程中生成偶校验或检查偶校验。</p> <p>当 <code>UART_LCR_H[fen]</code> 为 0 时，该位不起作用。</p>
[1]	RW	pen	<p>校验选择位。</p> <p>0: 不作校验；</p> <p>1: 发送方向产生校验，接收方向作校验检查。</p>
[0]	RW	brk	<p>发送 break。</p> <p>0: 无效；</p> <p>1: 在完成当前数据的发送后，UTXD 连续输出低电平。</p> <p><b>注意：要正确的执行 break 命令，软件将该位置 1 的时间必须超过 2 个完整帧；在正常使用中，该位必须清 0。</b></p>



## UART\_CR

UART\_CR 为 UART 控制寄存器。

配置 UART\_CR 遵循以下步骤：

- 步骤 1 向 UART\_CR[uarten]写 0，禁止 UART。
- 步骤 2 等待当前数据发送或接收结束。
- 步骤 3 将 UART\_LCR\_H[fen]清 0。
- 步骤 4 配置 UART\_CR。
- 步骤 5 向 UART\_CR[uarten]写 1，使能 UART。

----结束

	Offset Address 0x030				Register Name UART_CR				Total Reset Value 0x0300							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ctsen	rtsen	reserved		rts	dtr	rx	txe	lbe				reserved			uarten
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description											
	[15]	RW	ctsen		CTS 硬件流控使能。 0：不使能 CTS 硬件流控； 1：使能 CTS 硬件流控，只有当 nUARTCTS 信号有效时才发送数据。											
	[14]	RW	rtsen		RTS 硬件流控使能。 0：不使能 RTS 硬件流控； 1：使能 RTS 硬件流控，只有当接收 FIFO 有空间时才请求接收数据。											
	[13:12]	-	reserved		保留。											
	[11]	RW	rts		请求发送。 该 bit 为 UART modem 状态输出信号 nUARTRTS 的取反。 0：输出信号不变； 1：即该 bit 配置为 1，则输出信号为 0。											



[10]	RW	dtr	数据发送准备。 该 bit 为 UART modem 状态输出信号 nUARTDTR 的取反。 0: 输出信号不变; 1: 即该 bit 配置为 1, 则输出信号为 0。
[9]	RW	rxen	UART 接收使能。 0: 禁止; 1: 使能。 在接收的过程中如果 UART 被禁止, 则当前数据的接收就会在正常停止之前结束。
[8]	RW	txen	UART 发送使能。 0: 禁止; 1: 使能。 在发送的过程中如果 UART 被禁止, 则当前数据的发送就会在正常停止之前结束。
[7]	RW	lbe	环回使能。 0: 禁止; 1: UARTTXD 输出环回到 UARTRXD。
[6:1]	-	reserved	保留。
[0]	RW	uarten	UART 使能。 0: 禁止; 1: 使能。 如果在发送和接收过程中将 UART 禁止, 则会在正常停止之前结束当前数据的传送。

## UART\_IFLS

UART\_IFLS 为中断 FIFO 阈值选择寄存器, 用于设置 FIFO 的中断 (UART\_TXINTR 或 UART\_RXINTR) 触发线。

	Offset Address				Register Name				Total Reset Value							
	0x034				UART_IFLS				0x0012							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								rxiflssel		txiflssel					
Reset	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
	Bits	Access	Name	Description												



[15:6]	-	reserved	保留。
[5:3]	RW	rxifsel	接收中断 FIFO 的阈值选择，接收中断的触发点如下。 000: 接收 FIFO <sub>f</sub> 1/8full; 001: 接收 FIFO <sub>f</sub> 1/4full; 010: 接收 FIFO <sub>f</sub> 1/2full; 011: 接收 FIFO <sub>f</sub> 3/4full; 100: 接收 FIFO <sub>f</sub> 7/8full; 101~111: 保留。
[2:0]	RW	txifsel	发送中断 FIFO 的阈值选择，发送中断的触发点如下。 000: 发送 FIFO 1/8full; 001: 发送 FIFO 1/4full; 011: 发送 FIFO 3/4full; 010: 发送 FIFO 1/2full; 100: 发送 FIFO 7/8full; 101~111: 保留。

## UART\_IMSC

UART\_IMSC 为中断屏蔽寄存器，用于屏蔽中断。

	Offset Address				Register Name				Total Reset Value							
	0x038				UART_IMSC				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeim	beim	peim	feim	rtim	txim	rxim	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:11]	-	reserved	保留。													
[10]	RW	oeim	溢出错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													
[9]	RW	beim	break 错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。													



[8]	RW	peim	校验中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[7]	RW	feim	帧错误中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[6]	RW	rtim	接收超时中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[5]	RW	txim	发送中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[4]	RW	rxim	接收中断的屏蔽状态。 0: 屏蔽该中断; 1: 不屏蔽该中断。
[3:0]	-	reserved	保留。

## UART\_RIS

UART\_RIS 为原始中断状态寄存器，其内容不受中断屏蔽寄存器的影响。

	Offset Address					Register Name					Total Reset Value					
	0x03C					UART_RIS					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeris	beris	peris	feris	rtris	txris	rxris	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:11]	-		reserved		保留。											
[10]	RO		oeris		原始的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。											
[9]	RO		beris		原始的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。											



[8]	RO	peris	原始的校验中断状态。 0: 未产生中断; 1: 已产生中断。
[7]	RO	feris	原始的错误中断状态。 0: 未产生中断; 1: 已产生中断。
[6]	RO	rtris	原始的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。
[5]	RO	txris	原始的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxris	原始的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

## UART\_MIS

UART\_MIS 为屏蔽后中断状态寄存器，其内容为原始中断状态和中断屏蔽进行“与”操作后的结果。

	Offset Address					Register Name					Total Reset Value					
	0x040					UART_MIS					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oemis	bemis	pemis	femis	rtmis	txmis	rxmis	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:11]	-		reserved		保留。											
[10]	RO		oemis		屏蔽后的溢出错误中断状态。 0: 未产生中断; 1: 已产生中断。											
[9]	RO		bemis		屏蔽后的 break 错误中断状态。 0: 未产生中断; 1: 已产生中断。											



[8]	RO	pemis	屏蔽后的校验中断状态。 0: 未产生中断; 1: 已产生中断。
[7]	RO	femis	屏蔽后的错误中断状态。 0: 未产生中断; 1: 已产生中断。
[6]	RO	rtmis	屏蔽后的接收超时中断状态。 0: 未产生中断; 1: 已产生中断。
[5]	RO	txmis	屏蔽后的发送中断状态。 0: 未产生中断; 1: 已产生中断。
[4]	RO	rxmis	屏蔽后的接收中断状态。 0: 未产生中断; 1: 已产生中断。
[3:0]	-	reserved	保留。

## UART\_ICR

UART\_ICR 为中断清除寄存器，写 1 时相应的中断被清除，写 0 则不起作用。

	Offset Address					Register Name					Total Reset Value					
	0x044					UART_ICR					0x0000					
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved					oeic	beic	peic	feic	rtic	txic	rxic	reserved			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description											
[15:11]	-		reserved		保留。											
[10]	WO		oeic		清除溢出错误中断。 0: 无效; 1: 清除中断。											
[9]	WO		beic		清除 break 错误中断。 0: 无效; 1: 清除中断。											



[8]	WO	peic	清除校验中断。 0: 无效; 1: 清除中断。
[7]	WO	feic	清除错误中断。 0: 无效; 1: 清除中断。
[6]	WO	rtic	清除接收超时中断。 0: 无效; 1: 清除中断。
[5]	WO	txic	清除发送中断。 0: 无效; 1: 清除中断。
[4]	WO	rxic	清除接收中断。 0: 无效; 1: 清除中断。
[3:0]	-	reserved	保留。

## UART\_DMCCR

UART\_DMCCR 为 DMA 控制寄存器，用于配置发送 FIFO 和接收 FIFO 的 DMA 使能。

	Offset Address				Register Name				Total Reset Value							
	0x048				UART_DMCCR				0x0000							
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved											dmaonerr	txdmae	rxdmae		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description													
[15:3]	-	reserved	保留。													



[2]	RW	dmaonerr	<p>UART 错误中断 (UARTEINTR) 出现时的接收通道 DMA 使能控制。</p> <p>0: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMASREQ 或 UARRTXDMABREQ) 有效;</p> <p>1: 当 UART 错误中断 (UARTEINTR) 有效时, 接收通道 DMA 的请求输出 (UARTRXDMASREQ 或 UARRTXDMABREQ) 无效。</p>
[1]	RW	txdmae	<p>发送 FIFO 的 DMA 使能控制。</p> <p>0: 禁止;</p> <p>1: 使能。</p>
[0]	RW	rxdmae	<p>接收 FIFO 的 DMA 使能控制。</p> <p>0: 禁止;</p> <p>1: 使能。</p>

## 10.4 红外接口

### 10.4.1 概述

红外遥控接收单元 IR (Infrared Remoter) 通过红外接口接收红外数据。

### 10.4.2 特点

IR 模块具有以下特点:

- 软件可配置关闭红外遥控接收模块。
- 支持 2 种工作模式:
  - 模式 0: 支持 NEC with simple repeat code、NEC with full repeat code、SONY 和 TC9012 四种数据格式解码, 及接收数据错误检测和红外遥控唤醒等功能。
  - 模式 1: 支持任意数据格式的 symbol 电平宽度检测。
- 模式 0 时, 支持接收数据帧溢出中断、接收数据帧格式错误中断、接收数据帧中断、按键释放的中断、各种中断构成的组合中断。
- 模式 1 时, 支持接收 symbol 溢出中断、接收到 symbol 中断、symbol 超时中断、各种中断构成的组合中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持中断清除和屏蔽 (写清)。
- 支持红外遥控唤醒。
- 支持参考时钟频率 1MHz~128MHz 可选, 软件可编程控制分频因子使工作时钟预分频到 1MHz。



### 10.4.3 功能描述

当 IR 模块接收到红外遥控器发射的红外信号时，便对其进行解码，然后传送给 ARM 系统。ARM 系统再根据接收到的码的不同进行相应的操作，实现期望的功能。IR 模块连接在 ARM 子系统内的 APB 总线上，当芯片处于低功耗状态时（CPU 处于低频模式），IR 模块会在接收一个完整的帧数据后，产生中断信号送给 CPU，实现红外遥控唤醒功能。

通过对多种红外遥控器发出的信号进行分析，发现在不同的遥控器发出的红外指令中，引导码各不相同，而且后面的控制指令也有较大差别，甚至指令码的位数也不相同，这是因为这些红外遥控器的设计没有遵循统一的红外遥控标准。尽管遵循的标准不同，但是基本的编码思想是相同的，都是采用不同的周期和不同占空比的脉冲分别表示 0 和 1。不同遥控器占空比可能不同，且脉冲周期也不相同。根据这些不同，对一些码型类似的红外数据进行分类：NEC with simple repeat code 的数据格式、NEC with full repeat code 的数据格式、TC9012 的数据格式和 SONY 的数据格式。

红外接收数据码型统计情况如表 10-5~表 10-7 所示。

表10-5 红外接收数据码型的统计表（NEC with simple repeat code）

数据格式		NEC with simple repeat code			
		uPD6121G	D6121/BU5777/D1913	LC7461M-C13	AEHA
引导码（10μs）	LEAD_S	900	900	900	337.6
	LEAD_E	450	450	450	168.8
bit0（10μs）	B0_L	56	56	56	42.2
	B0_H	56	56	56	42.2
bit1（10μs）	B1_L	56	56	56	42.2
	B1_H	169	169	169	126.6
simple repeat code （10μs）	SLEAD_S	900	900	900	337.6
	SLEAD_E	225	225	225	337.6
burst（10μs）		55	55	55	42.2
帧长（10μs）		10800	10800	10800	8777.6~ 12828.8
有效数据位		32	32	42	48



表10-6 红外接收数据码型的统计表（NEC with full repeat code）

数据格式		NEC with full repeat code						
		uPD6121G	LC7461 M-C13	MN602 4-C5D6	MN6014 -C6D6	MATNEW	MN6030	PANA SONIC
引导码 (10μs)	LEAD_S	900	900	337.6	349.2	348.8	349	352
	LEAD_E	450	450	337.6	349.2	374.4	349	352
bit0 (10μs)	B0_L	56	56	84.4	87.3	43.6	87.3	88
	B0_H	56	56	84.4	87.3	43.6	87.3	88
bit1 (10μs)	B1_L	56	56	84.4	87.3	43.6	87.3	88
	B1_H	169	169	253.2	174.6	130.8	261.9	264
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无	无	无
	SLEAD_E							
burst (10μs)		55	55	84.4	87.3	43.6	87.3	88
帧长 (10μs)		10800	10800	10130	10470	12413.6~ 16594.4	10500	10400
有效数据位		32	42	22	24	48	22	22

表10-7 红外接收数据码型的统计表（TC9012 和 SONY 码）

数据格式		TC9012	SONY			
		TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
引导码 (10μs)	LEAD_S	450	240	240	240	240
	LEAD_E	450	60	60	60	60
bit0 (10μs)	B0_L	56	60	60	60	60
	B0_H	56	60	60	60	60
bit1 (10μs)	B1_L	56	120	120	120	120
	B1_H	169	60	60	60	60
simple repeat code (10μs)	SLEAD_S	无	无	无	无	无
	SLEAD_E					
burst (10μs)		56	无	无	无	无



数据格式	TC9012	SONY			
	TC9012F/9243	SONY-D7C5	SONY-D7C6	SONY-D7C8	SONY-D7C13
帧长 (10μs)	10800	4500	4500	4500	4500
有效数据位	32	12	13	15	20

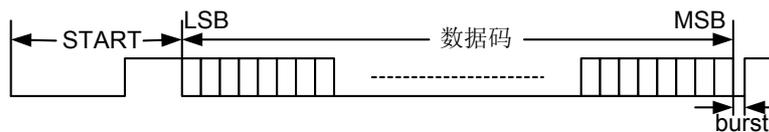
### 10.4.3.2 NEC with simple repeat code 数据格式

帧格式

NEC with simple repeat code 数据格式是由 START (引导码)、数据码和 burst 三部分组成，其中 START 是由一个起始码 (低电平)，一个结束码 (高电平) 组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。

发送单个 NEC with simple repeat code 的帧格式如图 10-20 所示。

图10-20 发送单个 NEC with simple repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧仅由简化的引导码和 burst 信号组成。引导码也是由起始码 (低电平) 和结束码 (高电平) 组成，持续按键连续发送 NEC with simple repeat code 码的帧格式如图 10-21 所示。

图10-21 持续按键连续发送 NEC with simple repeat code 码的帧格式

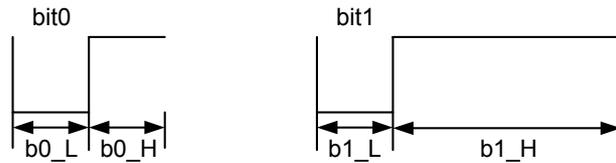


码格式

NEC with simple repeat code 的 bit0 或 bit1 定义如图 10-22 所示。



图10-22 NEC with simple repeat code 码 bit0 和 bit1 定义



NEC simple repeat code 单发代码格式和连发代码格式分别如图 10-23 和图 10-24 所示。

图10-23 NEC with simple repeat code 码单发代码格式

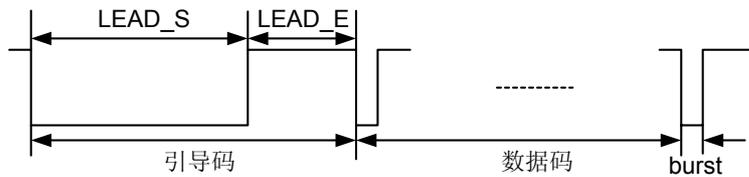
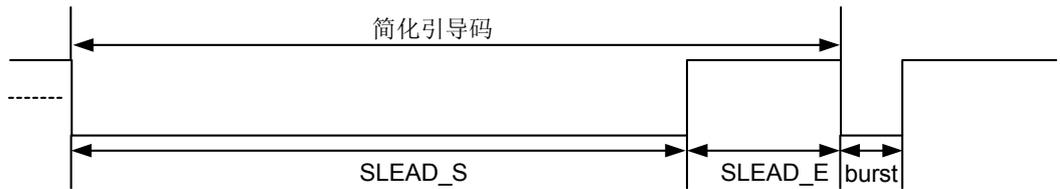


图10-24 NEC with simple repeat code 码连发代码格式



注 1：图中高低电平脉宽的宽度以及帧长均有各个具体码型决定，请参见表 10-5~表 10-7。

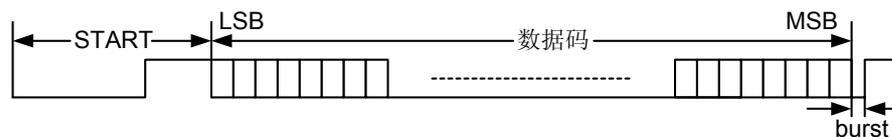
注 2：帧长不能大于 160ms，否则无法识别简化引导码。

### 10.4.3.3 NEC with full repeat code 数据格式

帧格式

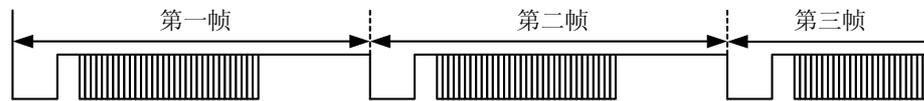
NEC with full repeat code 的数据格式是由 START（引导码）、数据码和 burst 三部分组成。START 是由一个起始码（低电平）和一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，它是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 NEC with full repeat code 帧格式如图 10-25 所示。

图10-25 发送单个 NEC with full repeat code 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧（第一帧）后，接下来收到的数据帧还是一个完整的数据帧格式（即按照帧间隔重复发送第一帧数据），持续按键连续发送 NEC with full repeat code 码的帧格式如图 10-26 所示。

图10-26 持续按键连续发送 NEC with full repeat code 码的帧格式

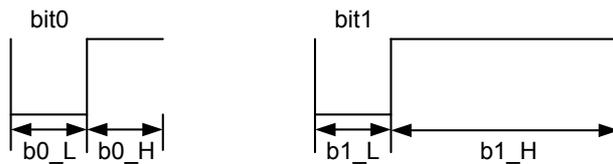


通过图 10-25 和图 10-26 可以看出：NEC with simple repeat code 与 NEC with full repeat code 唯一不同之处就是重复帧的格式，NEC with simple repeat code 发送的是简化的引导码，而 NEC with full repeat code 发送的是完整帧格式，第一帧和重复帧完全相同。

码格式

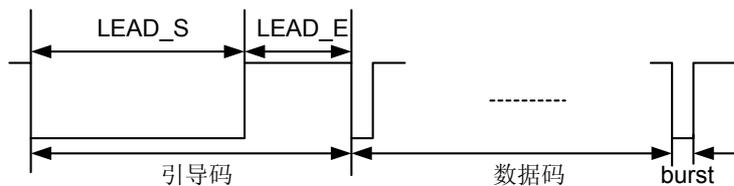
NEC with full repeat code 码 bit0 或 bit1 定义如图 10-27 所示。

图10-27 NEC with full repeat code 码 bit0 和 bit1 定义



NEC with full repeat code 码单发代码格式如图 10-28 所示。

图10-28 NEC with full repeat code 码单发代码格式



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定，请参见表 10-5～表 10-7。

### 10.4.3.4 TC9012 数据格式

#### 帧格式

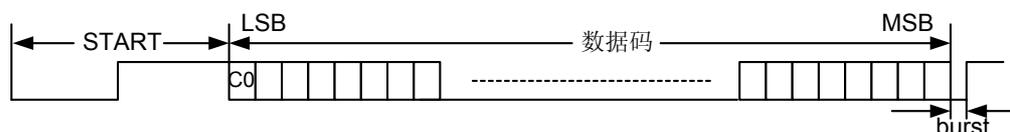


## 注意

根据 TC9012 码的数据格式特点，所有按键编码的第一位都必须全是 1 或者全是 0，否则会产生不需要的持续按键帧。

TC9012 的数据格式是由 START（引导码）、数据码和 burst 三部分组成，其中 START 是由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的；burst 信号用于接收最后一个数据码位。发送单个 TC9012 码的帧格式如图 10-29 所示。

图10-29 发送单个 TC9012 码的帧格式



如果按键时间持续超过一帧的时间，则在收到完整数据帧后，接下来收到的数据帧由引导码、一个数据位和 burst 信号三部分组成。引导码也是由起始码（低电平）和结束码（高电平）组成；该数据位是上一帧接收的第一个数据位（C0）的反码。发送连续 TC9012 码的帧格式如图 10-30 所示。

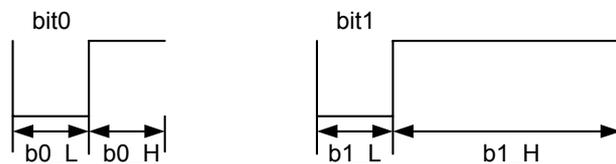
图10-30 持续按键连续发送 TC9012 码的帧格式



码格式

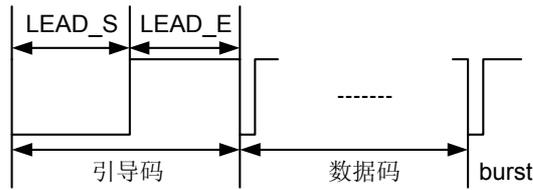
TC9012 码 bit0 或 bit1 定义如图 10-31 所示。

图10-31 TC9012 码 bit0 和 bit1 定义



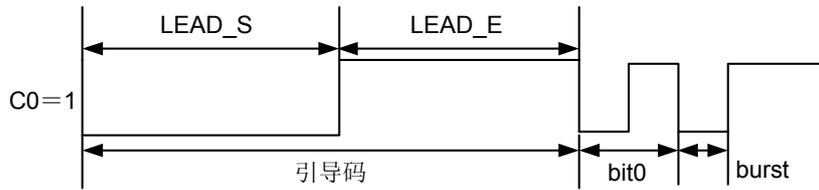
TC9012 码单发代码格式如图 10-32 所示。

图10-32 TC9012 码单发代码格式



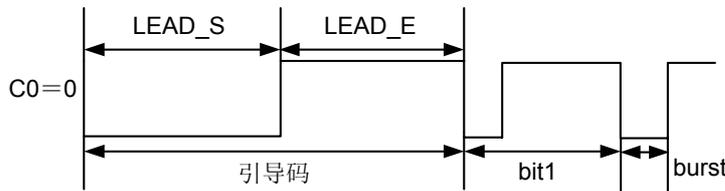
C0=1 时，TC9012 码连发代码格式如图 10-33 所示。

图10-33 TC9012 码连发代码格式 (C0=1)



C0=0 时，TC9012 码连发代码格式如图 10-34 所示。

图10-34 TC9012 码连发代码格式 (C0=0)



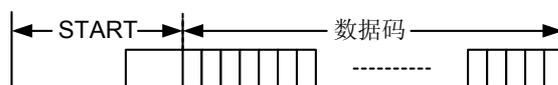
注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 10-5~表 10-7。另外值得注意的是帧长不能大于 160ms，否则无法识别重复帧。

### 10.4.3.5 SONY 的数据格式

#### 帧格式

SONY 码数据格式是由 START（引导码）和数据码两部分组成。其中 START 由一个起始码（低电平），一个结束码（高电平）组成；数据码的有效位数以及某位表示的含义由具体的码型而定，其是按照 LSB first 的顺序接收的。发送单个 SONY 码帧格式如图 10-35 所示。

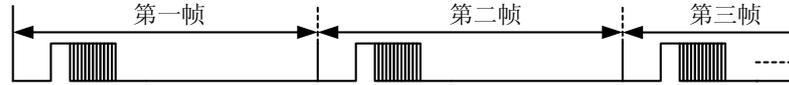
图10-35 发送单个 SONY 帧格式





如果按键时间持续超过一帧的时间，则再收到完整数据帧后，接下来收到的数据帧还是一个完整的数据帧格式。持续按键连续发送 SONY 码帧格式如图 10-36 所示。

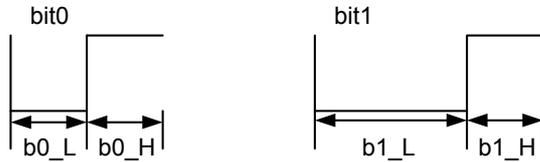
图10-36 持续按键连续发送 SONY 码帧格式



码格式

SONY 码 bit0 或 bit1 定义如图 10-37 所示。

图10-37 bit0 和 bit1 定义



注：图中高低电平的脉宽宽度以及帧长均有各个具体码型决定。请参见表 10-5~表 10-7。

## 10.4.4 工作方式

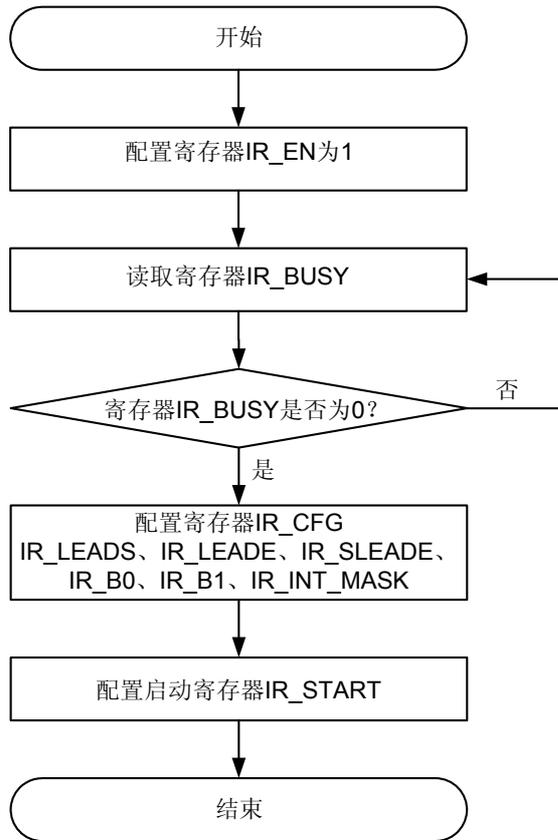
### 软复位

配置 CRG 寄存器 CRG\_PERCTRL38[ir\_srst\_req]为 1，对 IR 模块单独软复位。复位后各配置寄存器的值均复位为默认值，因此复位后需要重新对这些寄存器进行初始化配置。

### 寄存器配置实例

IR 模块初始化操作流程如图 10-38 所示。

图10-38 IR 模块初始化操作流程



IR 模块初始化操作流程如下：

步骤 1 选中 IR 模块地址空间，开始 IR 初始化配置操作。

步骤 2 配置 `IR_EN` bit[0]为 1，打开 IR 接收模块。

步骤 3 读 `IR_BUSY`，判断 IR 模块配置的当前状态。

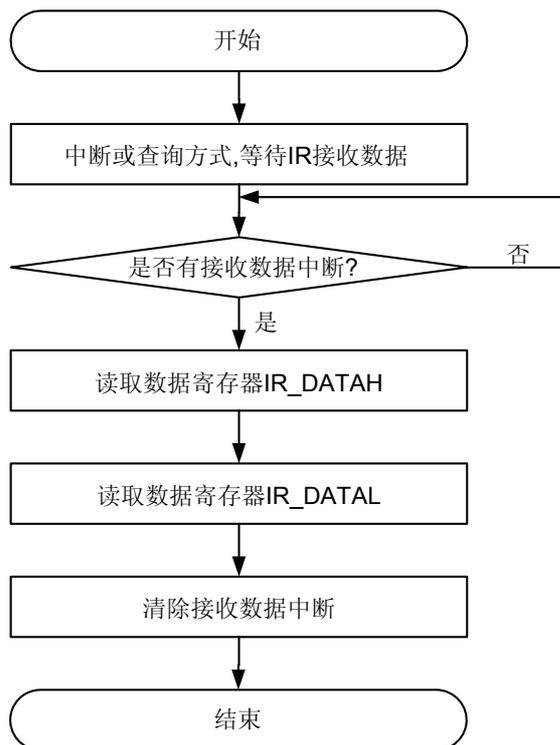
- 若读取的值为 1，表明 IR 模块处于配置忙状态，则继续查询 `IR_BUSY`（注意：此时软件不要对 IR 模块的其他控制寄存器进行配置，否则配置无效）。
- 若读取的值为 0，表明 IR 模块处于配置空闲状态，则执行步骤 4。

步骤 4 配置 `IR_CFG`、`IR_LEADS`、`IR_LEADE`、`IR_SLEADE`、`IR_B0`、`IR_B1`、`IR_INT_MASK`。注意：用户可以根据需要更新相应寄存器，如果不更新，则寄存器保持原值。

步骤 5 配置 `IR_START`。必须要等所有的 IR 控制寄存器都配置完成后，才能配置 `IR_START`，因为它被用来产生启动信号，只要对其进行配置，IR 模块就会根据控制寄存器的值进行红外数据接收。

----结束

图10-39 读取解码数据的操作流程



读取解码数据的操作流程如下：

步骤 6 选中 IR 模块地址空间。

步骤 7 中断或查询方式等待接收数据帧。

- 中断方式下，当 CPU 接收到 IR 模块的中断请求信号时，查询 [IR\\_INT\\_STATUS\[intms\\_rcv\]](#) 的值。若读取的值为 1 表明 IR 模块接收到一个数据帧，执行步骤 8；若读取的值为 0，重新执行步骤 7，继续等待中断。
- 查询方式下，软件不停（或每间隔一定时间）读取 [IR\\_INT\\_STATUS\[intrs\\_rcv\]](#) 的值，若读取的值为 1 表明 IR 模块接收到一个数据帧，执行步骤 8；若读取的值为 0 时，表明 IR 模块尚未接收到数据帧，重新执行步骤 7，继续查询。

步骤 8 读取数据寄存器 [IR\\_DATAH](#)。（如果一帧内的数据位数不大于 32 位，可以省略此步骤）

步骤 9 读取数据寄存器 [IR\\_DATAL](#)。

步骤 10 清除接收数据中断。

----结束

## 10.4.5 IR 寄存器概览

IR 寄存器概览如表 10-8 所示。



表10-8 IR 寄存器概览（基址是 0x2007\_0000）

偏移地址	名称	描述	页码
0x000	IR_EN	IR 接收使能控制寄存器	10-63
0x004	IR_CFG	IR 配置寄存器	10-64
0x008	IR_LEADS	引导码起始位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）	10-66
0x00C	IR_LEADE	引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）	10-67
0x010	IR_SLEADE	简化引导码结束位裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）	10-68
0x014	IR_B0	数据 0 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）	10-69
0x018	IR_B1	数据 1 的判断电平裕量配置寄存器（只在 IR_CFG[ir_mode]=0 时使用）	10-70
0x01C	IR_BUSY	配置忙标志寄存器	10-71
0x020	IR_DATAH	IR 接收解码数据的高 16 位寄存器（当 IR_CFG[ir_mode]=0 时）或 symbol FIFO 中的 symbol 个数寄存器（当 IR_CFG[ir_mode]=1 时）	10-71
0x024	IR_DATAH	IR 接收解码数据的低 32 位寄存器（当 IR_CFG[ir_mode]=0 时）或 IR 模块接收到的 symbol 宽度寄存器（当 IR_CFG[ir_mode]=1 时）	10-72
0x028	IR_INT_MASK	IR 中断屏蔽寄存器	10-73
0x02C	IR_INT_STATUS	IR 中断状态寄存器	10-75
0x030	IR_INT_CLR	IR 中断清除寄存器	10-77
0x034	IR_START	IR 启动配置寄存器	10-79

## 10.4.6 IR 寄存器描述

### IR\_EN

IR\_EN 为 IR 接收使能控制寄存器。

**注意**

软件必须先配置寄存器 IR\_EN[ir\_en]=1，才能配置其他寄存器，否则配置无效。当寄存器 IR\_EN[ir\_en]=0 时，其他寄存器只可读不可写，且读出值为寄存器的复位值。

	Offset Address				Register Name				Total Reset Value																							
	0x000				IR_EN				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_en					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	ir_en		IR 接收模块的使能。 0: 关闭 IR 接收模块; 1: 打开 IR 接收模块。																											

## IR\_CFG

IR\_CFG 为 IR 配置寄存器。

**注意**

必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。

IR 支持的参考时钟频率为 1MHz~128MHz，其与分频因子 ir\_freq 的对应关系是：

- 当参考时钟频率为 1MHz 时，分频因子 ir\_freq 需配置为 0x00。
- 当参考时钟频率为 128MHz 时，分频因子 ir\_freq 需配置为 0x7F。

当 IR 的参考时钟为 1MHz~128MHz 内的非整数倍频率时，选用四舍五入的方法选择相应的分频因子。举例：参考时钟为 12.1MHz，选用分频因子为 0x0B；参考时钟为 12.8MHz，选用分频因子为 0x0C。

对于频偏和计数偏差的关系：基频 f，频率变化 Df，则频偏率  $ratio = Df/f$ ；计数器计数偏差 Dcnt；判断电平宽度 s ( $\mu s$  为单位)，则计数偏差： $Dcnt = \lceil 0.1 \times s \times ratio \rceil$ 。所以在时钟有频偏的情况下，参数值的有效范围要移位，如果频率上升，相应的裕量值应改为： $[min + Dcnt, max + Dcnt]$ ，其中 min 和 max 为无偏移时的裕量值；如果频率下



降，相应的裕量值应改为：[min-Dcnt, max-Dcnt]。以引导码的起始位裕量举例来说：假如基频为 100MHz，频率上漂 0.1MHz，那么  $ratio=0.1/100=0.001$ ，设  $s=9000\mu s$ ，则  $Dcnt = \lceil 0.1 \times 9000 \times 0.001 \rceil = 1$ ，则 ir\_leads 的裕量值应改为[0x033D, 0x3CD]。

	Offset Address 0x004				Register Name IR_CFG								Total Reset Value 0x3E80_1F0B																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	ir_max_level_width								ir_format				ir_bits				ir_mode				ir_freq											
Reset	0	0	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	1	0	1	1

Bits	Access	Name	Description
[31:16]	RW	ir_max_level_width	当 IR_CFG[ir_mode]=0 时，无效； 当 IR_CFG[ir_mode]=1 时，表示 symbol 的最大电平宽度（单位 10 μs），用以确定一个 symbol stream 结束。
[15:14]	RW	ir_format	当 IR_CFG[ir_mode]=0 时，表示数据码型。 00: NEC with simple repeat code 的数据格式； 01: TC9012 的数据格式； 10: NEC with full repeat code 的数据格式； 11: SONY 的数据格式。 关于具体码型属于哪类码族，请参见表 10-5~表 10-7。 当 IR_CFG[ir_mode]=1 时，表示 symbol 格式。 bit[15]: 保留； bit[14]的含义如下： 0: symbol 的格式为先低后高，symbol stream 结束在高电平； 1: symbol 的格式为先高后低，symbol stream 结束在低电平。
[13:8]	RW	ir_bits	当 IR_CFG[ir_mode]=0 时，表示一帧内的数据位数。 0x00~0x2F: 分别对应一帧内包含 1~48 个数据位； 0x30~0x3F: 保留。 如果软件对该域配置 0x30~0x3F 范围内的值，则配置无效，ir_bits 保持原值不变。 当 IR_CFG[ir_mode]=1 时，表示接收到 symbol 的中断水准。 bit[13]: 保留； bit[12:8]: 0x0~0x1F: 分别对应 FIFO 中至少有 1~32 个 symbol 时报中断。
[7]	RW	ir_mode	IR 工作模式。 0: 输出解码后的完整数据帧； 1: 只输出 symbol 宽度。



[6:0]	RW	ir_freq	工作时钟分频因子。 0x00~0x7F 分别对应工作时钟分频因子 1~128。
-------	----	---------	--

## IR\_LEADS

IR\_LEADS 为引导码起始位裕量配置寄存器（只在 IR\_CFG[ir\_mode]=0 时使用）。



### 注意

必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。

为了准确判断引导码的起始位，需要在具体码型的典型值左右考虑一定的裕量，具体码型的典型值请参见表 10-5~表 10-7 中 LEAD\_S 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD\_S 的典型值为 900，那么相应的 cnt\_leads\_min=900%92%=828=0x33C，cnt\_leads\_max=900%108%=972=0x3CC。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD\_S 的典型值为 240，那么相应的 cnt\_leads\_min=240%80%=192=0xC0，cnt\_leads\_max=240%120%=288=0x120。

基本的配置原则：cnt\_leads\_max 不小于 cnt\_leads\_min，并且 cnt\_leads\_min 大于 cnt0\_b\_max 和 cnt1\_b\_max

	Offset Address																Register Name																Total Reset Value															
	0x008																IR_LEADS																0x033C_03CC															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Name	reserved				cnt_leads_min								reserved				cnt_leads_max																															
Reset	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	0																
Bits	Access		Name		Description																																											
[31:26]	-		reserved		保留。																																											
[25:16]	RW		cnt_leads_min		引导码起始位的最小脉宽。 0x000~0x007：保留。																																											
[15:10]	-		reserved		保留。																																											
[9:0]	RW		cnt_leads_max		引导码起始位的最大脉宽。 0x000~0x007：保留。																																											



## IR\_LEADE

IR\_LEADE 为引导码结束位裕量配置寄存器（只在 IR\_CFG[ir\_mode]=0 时使用）。



### 注意

- 必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，其 cnt\_sleade 的裕量范围和 cnt\_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。

为了准确判断引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 8%。具体码型的典型值请参见表 10-5~表 10-7 中 LEAD\_E 的值。

- 对于典型值不小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 LEAD\_E 的典型值为 450，那么相应的 cnt\_leade\_min=450%92%=414=0x19E，cnt\_leade\_max=450%108%=486=0x1E6。
- 对于典型值小于 400（其精度为 10 μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：SONY-D7C5 码型，其 LEAD\_E 的典型值为 60，那么相应的 cnt\_leade\_min=60%80%=48=0x030，cnt\_leade\_max=60%120%=72=0x048。

基本的配置原则是：cnt\_leade\_max 不小于 cnt\_leade\_min 的值。

	Offset Address 0x00C								Register Name IR_LEADE								Total Reset Value 0x019E_01E6															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				cnt_leade_min								reserved				cnt_leade_max															
Reset	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0
	Bits	Access	Name		Description																											
	[31:25]	-	reserved		保留。																											
	[24:16]	RW	cnt_leade_min		引导码结束位的最小脉宽。 0x000~0x007：保留。																											
	[15:9]	-	reserved		保留。																											
	[8:0]	RW	cnt_leade_max		引导码结束位的最大脉宽。 0x000~0x007：保留。																											



## IR\_SLEADE

IR\_SLEADE 为简化引导码结束位裕量配置寄存器（只在 IR\_CFG[ir\_mode]=0 时使用）。



## 注意

- 必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于 NEC with simple repeat code 的码族，cnt\_sleade 的裕量范围和 cnt\_leade 的裕量范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别简化引导码，会导致帧格式错误。
- 对于 NEC with simple repeat code 的数据格式，才需配置此寄存器；对于其他格式，无需配置此寄存器。

为了准确判断简化引导码的结束位，需要在具体码型的典型值左右考虑一定的裕量。具体码型的典型值请参见表 10-5~表 10-7 中 SLEAD\_E 的值。

- 对于典型值不小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 8%。举例说明：D6121 码型，其 SLEAD\_E 的典型值为 225，那么相应的 cnt\_sleade\_min=225%92%=207=0xCF，cnt\_sleade\_max=225%108%=243=0xF3。
- 对于典型值小于 225（其精度为 10μs）的脉宽，建议裕量范围设为典型值的 20%。举例说明：比如某种码型其 SLEAD\_E 的典型值为 60，那么相应的 cnt\_sleade\_min=60%80%=48=0x30，cnt\_sleade\_max=60%120%=72=0x48。

基本的配置原则是：cnt\_sleade\_max 不小于 cnt\_sleade\_min 的值。

	Offset Address 0x010								Register Name IR_SLEADE								Total Reset Value 0x00CF_00F3															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								cnt_sleade_min								reserved								cnt_sleade_max							
Reset	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt_sleade_min		简化引导码结束位的最小脉宽。 0x000~0x007：保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt_sleade_max		简化引导码起始位的最大脉宽。 0x000~0x007：保留。																											



## IR\_B0

IR\_B0 为数据 0 的判断电平裕量配置寄存器（只在 IR\_CFG[ir\_mode]=0 时使用）。



### 注意

- 必须在确保 IR\_BUSY[ir\_busy]=0 并且 IR\_EN[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit0，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with simple repeat code 和 TC9012 这三类码型，其包含的具体码型的典型值请参见表 10-5~表 10-7 中 B0\_H 的值。举例说明：D6121 码型，其 B0\_H 的典型值为 56（其精度为 10μs），那么相应的  $\text{cnt0\_b\_min}=56 \times 80\% = 45 = 0x2D$ ， $\text{cnt0\_b\_max}=56 \times 120\% = 67 = 0x43$ 。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 10-5~表 10-7 中 B0\_L 的值。举例说明：SONY-D7C5 码型，其 B0\_L 的典型值为 60（其精度为 10μs），那么相应的  $\text{cnt0\_b\_min}=60 \times 80\% = 48 = 0x30$ ， $\text{cnt0\_b\_max}=60 \times 120\% = 72 = 0x48$ 。

基本的配置原则是：cnt0\_b\_max 不小于 cnt0\_b\_min 的值。

Offset Address		Register Name		Total Reset Value																												
0x018		IR_B1		0x0087_00CB																												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0																								
Name	reserved				cnt0_b_min				reserved				cnt0_b_max																			
Reset	0 0 0 0				0 0 0 0				1 0 0 0				0 1 1 1				0 0 0 0				0 0 0 0				1 1 0 0				1 0 1 1			
Bits	Access		Name		Description																											
[31:25]	-		reserved		保留。																											
[24:16]	RW		cnt0_b_min		bit0 判断电平的最小脉宽。 0x000~0x007: 保留。																											
[15:9]	-		reserved		保留。																											
[8:0]	RW		cnt0_b_max		bit0 判断电平的最大脉宽。 0x000~0x007: 保留。																											



## IR\_B1

IR\_B1 为数据 1 的判断电平裕量配置寄存器（只在 IR\_CFG[ir\_mode]=0 时使用）。



### 注意

- 必须在确保 IR\_BUSY[0]=0 并且 IR\_EN[0]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值；另外寄存器保留值配置无效，仍然保持原值不变。
- 对于四类码型，bit0 判断电平裕量范围和 bit1 判断电平范围设置不能重合，否则当实际计数值落入重合范围内时，无法识别 bit1，只能被误解接收到 bit0。

为了准确判断 bit1，需要在具体码型的典型值左右考虑一定的裕量，裕量范围约为典型值的 20%。

- 对于 NEC with simple repeat code、NEC with simple repeat code 和 TC9012 这三类码族，其包含的具体码型的典型值请参见表 10-5~表 10-7 中 B1\_H 的值。举例说明：D6121 码型，其 B1\_H 的典型值为 169（其精度为 10μs），那么相应的 cnt1\_b\_min=169×80%=135=0x87，cnt1\_b\_max=169×120%=203=0xCB。
- 对于 SONY 的数据格式，其包含的具体码型的典型值请参见表 10-5~表 10-7 中 B1\_L 的值。举例说明：SONY-D7C5 码型，其 B1\_L 的典型值为 120（其精度为 10μs），那么相应的 cnt1\_b\_min=120×80%=96=0x60，cnt1\_b\_max=120×120%=144=0x90。

基本的配置原则是：cnt1\_b\_max 不小于 cnt1\_b\_min 的值。

Offset Address		Register Name		Total Reset Value												
0x018		IR_B1		0x0087_00CB												
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0								
Name	reserved				cnt1_b_min		reserved		cnt1_b_max							
Reset	0 0 0 0		0 0 0 0		1 0 0 0		0 1 1 1		0 0 0 0		0 0 0 0		1 1 0 0		1 0 1 1	
Bits	Access	Name	Description													
[31:25]	-	reserved	保留。													
[24:16]	RW	cnt1_b_min	bit1 判断电平的最小脉宽。 0x000~0x007: 保留。													
[15:9]	-	reserved	保留。													
[8:0]	RW	cnt1_b_max	bit1 判断电平的最大脉宽。 0x000~0x007: 保留。													



## IR\_BUSY

IR\_BUSY 为配置忙标志寄存器。

Offset Address		Register Name		Total Reset Value					
0x01C		IR_BUSY		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved								ir_busy
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	ir_busy	忙状态标志。 0: 空闲状态, 软件可以配置数据; 1: 忙状态, 软件不可以配置数据。						

## IR\_DATAH

IR\_DATAH 为 IR 接收解码数据的高 16 位寄存器（当 `IR_CFG[ir_mode]=0` 时）或 symbol FIFO 中的 symbol 个数寄存器（当 `IR_CFG[ir_mode]=1` 时）。

IR\_DATAH 是接收到的解码数据的高 16 位，IR\_DATAH 是接收到的解码数据的低 32 位。具体哪些数据位有效取决于具体码型一帧内包含的有效数据位数，请参见表 10-5~表 10-7 的有效数据位。

数据存储原则：按照由高到低的顺序存储在 IR\_DATAH 和 IR\_DATAH 中（MSB……LSB），先存满 IR\_DATAH，然后再存放 IR\_DATAH，未用到的高位作为保留位。软件读取数据的顺序必须是：先读 IR\_DATAH，然后再读 IR\_DATAH。

对于具体每个数据位表示的含义，硬件不做判断，仅负责接收所有数据位，最终由软件统一处理。

Offset Address		Register Name		Total Reset Value					
0x020		IR_DATAH		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1	0
Name	reserved				ir_datah				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



	Offset Address				Register Name								Total Reset Value																							
	0x020				IR_DATAH								0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																ir_datah																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Access	Name		Description																															
	[15:0]	RO	ir_datah		当 <code>IR_CFG[ir_mode]=0</code> 时，表示接收到的解码数据的高 16 位数据。 当 <code>IR_CFG[ir_mode]=1</code> 时，表示 symbol FIFO 中的 symbol 个数。 bit[15:6]: 保留； bit[5:0]: symbol FIFO 中的 symbol 个数。																															

## IR\_DATAH

IR\_DATAH 为 IR 接收解码数据的低 32 位寄存器（当 `IR_CFG[ir_mode]=0` 时）或，IR 模块接收到的 symbol 宽度寄存器（当 `IR_CFG[ir_mode]=1` 时）。



Offset Address		Register Name		Total Reset Value				
0x024		IR_DATAL		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	ir_datal							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	ir_datal	<p>当 <b>IR_CFG</b>[ir_mode]=0 时，表示接收到的解码数据的低 32 位数据。</p> <p>当 <b>IR_CFG</b>[ir_mode]=1 时，表示 IR 模块接收到的 symbol 宽度。</p> <p>bit[31:16]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）。</p> <p>bit[15:0]的含义如下： symbol 的格式为先低后高时，表示接收到的 symbol 的低电平宽度（单位是 10 μs）； symbol 的格式为先高后低时，表示接收到的 symbol 的高电平宽度（单位是 10 μs）。</p>					

## IR\_INT\_MASK

IR\_INT\_MASK 为 IR 中断屏蔽寄存器。



### 注意

- 必须在确保 **IR\_EN**[ir\_en]=1 时，才能配置此寄存器，否则配置无效，寄存器保持原值。
- 如果中断全部屏蔽后，无法支持红外遥控唤醒功能。
- **IR\_CFG**[ir\_mode]=0 时，IR\_INT\_MASK bit[3:0]有效；**IR\_CFG**[ir\_mode]=1 时，IR\_INT\_MASK bit[18:16]有效。

涉及到的中断定义如下：

- 接收数据溢出中断  
如果 CPU 没有及时响应取走当前帧的数据，而下一帧数据也已经收到的情况，下一帧数据将会覆盖当前帧数据，同时上报屏蔽前接收数据溢出错中断请求。
- 接收数据帧格式错误中断



如果接收到的数据帧不完整以及数据脉宽不满足裕量范围，则会上报屏蔽前的接收帧格式错误中断请求。

- 接收到数据帧中断

当接收到一个完整的帧数据后，则会上报屏蔽前接收到数据帧中断请求。

- 支持按键释放的检测中断

对于 NEC with simple repeat code 和 TC9012 码族的数据格式，在检测到一个有效起始同步码之后的 160ms 内，如果没有再次检测到起始同步码，或者检测到非简化引导码而是有效数据帧时，则会上报屏蔽前遥控器按键释放中断。对于 NEC with full repeat code 和 SONY 两种码制不支持按键释放中断。

- 接收 symbol 溢出中断

如果 CPU 没有及时响应取走数据，导致 symbol FIFO 满，而下一个 symbol 已经收到，则会上报屏蔽前接收 symbol 溢出错中断请求。

- 接收到 symbol 中断

当接收到一个完整的 symbol 后，且 symbol FIFO 中的 symbol 个数超过 [IR\\_CFG\[ir\\_bits\]](#) 设置的水线，则会上报屏蔽前接收到 symbol 中断请求。

- symbol 超时中断

在接收到一个有效的 symbol 后，[IR\\_CFG\[ir\\_max\\_level\\_width\]](#) 设置的时间内没有再接收到新的 symbol 的中断请求，则会上报屏蔽前 symbol 超时中断请求。

硬件没有中断优先级仲裁，任何一个或多个屏蔽后的中断源有效，都会产生中断。

	Offset Address 0x028								Register Name IR_INT_MASK								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																intm_overrun	intm_time_out	intm_symb_rcv	reserved								intm_release	intm_overflow	intm_framerr	intm_rcv	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:19]	-	reserved		保留。																											
	[18]	RW	intm_overrun		当 <a href="#">IR_CFG[ir_mode]=1</a> 时，symbol 溢出中断屏蔽。 0: 不屏蔽； 1: 屏蔽。																											
	[17]	RW	intm_time_out		当 <a href="#">IR_CFG[ir_mode]=1</a> 时，symbol 超时中断屏蔽。 0: 不屏蔽； 1: 屏蔽。																											



[16]	RW	intm_symb_rcv	当 <b>IR_CFG</b> [ir_mode]=1 时，接收到 N 个 symbol 中断屏蔽。 0：不屏蔽； 1：屏蔽。
[15:4]	-	reserved	保留。
[3]	RW	intm_release	当 <b>IR_CFG</b> [ir_mode]=0 时，按键释放中断屏蔽。 0：不屏蔽； 1：屏蔽。
[2]	RW	intm_overflow	当 <b>IR_CFG</b> [ir_mode]=0 时，接收数据溢出中断屏蔽。 0：不屏蔽； 1：屏蔽。
[1]	RW	intm_framerr	当 <b>IR_CFG</b> [ir_mode]=0 时，接收数据帧格式错误中断屏蔽。 0：不屏蔽； 1：屏蔽。
[0]	RW	intm_rcv	当 <b>IR_CFG</b> [ir_mode]=0 时，接收到数据帧中断屏蔽。 0：不屏蔽； 1：屏蔽。

## IR\_INT\_STATUS

IR\_INT\_STATUS 为 IR 中断状态寄存器。



### 注意

- **IR\_CFG**[ir\_mode]=0 时，IR\_INT\_STATUS bit[3:0]和 IR\_INT\_STATUS bit[19:16]有效；
- **IR\_CFG**[ir\_mode]=1 时，IR\_INT\_STATUS bit[10:8]和 IR\_INT\_STATUS bit[26:24]有效。



Offset Address		Register Name		Total Reset Value				
0x02C		IR_INT_STATUS		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved	intms_overnun intms_time_out intms_symb_rcv	reserved	intms_release intms_overflow intms_framerr intms_rcv	reserved	intrs_overnun intrs_time_out intrs_symb_rcv	reserved	intrs_release intrs_overflow intrs_framerr intrs_rcv
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:27]	-	reserved	保留。					
[26]	RO	intms_overnun	当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 溢出中断状态。 0: 无中断； 1: 有中断。					
[25]	RO	intms_time_out	当 IR_CFG[ir_mode]=1 时，屏蔽后的 symbol 超时中断状态。 0: 无中断； 1: 有中断。					
[24]	RO	intms_symb_rcv	当 IR_CFG[ir_mode]=1 时，屏蔽后的接收到 symbol 的中断状态。 0: 无中断； 1: 有中断。					
[23:20]	-	reserved	保留。					
[19]	RO	intms_release	当 IR_CFG[ir_mode]=0 时，屏蔽后的按键释放的中断状态。 0: 无中断； 1: 有中断。					
[18]	RO	intms_overflow	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据溢出错中断状态。 0: 无中断； 1: 有中断。					
[17]	RO	intms_framerr	当 IR_CFG[ir_mode]=0 时，屏蔽后的接收数据帧格式错误中断状态。 0: 无中断； 1: 有中断。					



[16]	RO	intms_rcv	当 <b>IR_CFG</b> [ir_mode]=0 时，屏蔽后的接收到数据帧中断状态。 0: 无中断; 1: 有中断。
[15:11]	-	reserved	保留。
[10]	RO	intrs_overrun	当 <b>IR_CFG</b> [ir_mode]=1 时，屏蔽前的 symbol 溢出中断状态。 0: 无中断; 1: 有中断。
[9]	RO	intrs_time_out	当 <b>IR_CFG</b> [ir_mode]=1 时，屏蔽前的 symbol 超时中断状态。 0: 无中断; 1: 有中断。
[8]	RO	intrs_symb_rcv	当 <b>IR_CFG</b> [ir_mode]=1 时，屏蔽前的接收到 symbol 的中断状态。 0: 无中断; 1: 有中断。
[7:4]	-	reserved	保留。
[3]	RO	intrs_release	当 <b>IR_CFG</b> [ir_mode]=0 时，屏蔽前的按键释放的中断状态。 0: 无中断; 1: 有中断。
[2]	RO	intrs_overflow	当 <b>IR_CFG</b> [ir_mode]=0 时，屏蔽前的接收数据溢出错中断状态。 0: 无中断; 1: 有中断。
[1]	RO	intrs_framerr	当 <b>IR_CFG</b> [ir_mode]=0 时，屏蔽前的接收数据帧格式错误中断状态。 0: 无中断; 1: 有中断。
[0]	RO	intrs_rcv	当 <b>IR_CFG</b> [ir_mode]=0 时，屏蔽前的接收到数据帧中断状态。 0: 无中断; 1: 有中断。

## IR\_INT\_CLR

IR\_INT\_CLR 为 IR 中断清除寄存器。



## 注意

- IR\_CFG[ir\_mode]=0 时，IR\_INT\_CLR bit[3:0]有效；
- IR\_CFG[ir\_mode]=1 时，IR\_INT\_CLR bit[18:16]有效。

Offset Address		Register Name		Total Reset Value																													
0x030		IR_INT_CLR		0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved								intc_overrun			intc_time_out			intc_symb_rcv			reserved								intc_release		intc_overflow		intc_framerr		intc_rcv	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0								
Bits	Access	Name	Description																														
[31:19]	-	reserved	保留。																														
[18]	WC	intc_overrun	IR_CFG[ir_mode]=1 时，清除 symbol 溢出中断请求。 0: 无影响； 1: 清除。																														
[17]	WC	intc_time_out	IR_CFG[ir_mode]=1 时，清除 symbol 超时中断请求。 0: 无影响； 1: 清除。																														
[16]	WC	intc_symb_rcv	IR_CFG[ir_mode]=1 时，清除接收到 symbol 中断请求。 0: 无影响； 1: 清除。																														
[15:4]	-	reserved	保留。																														
[3]	WC	intc_release	IR_CFG[ir_mode]=0 时，清除遥控器按键释放中断请求。 0: 无影响； 1: 清除。																														
[2]	WC	intc_overflow	IR_CFG[ir_mode]=0 时，清除接收数据溢出错中断请求。 0: 无影响； 1: 清除。																														
[1]	WC	intc_framerr	IR_CFG[ir_mode]=0 时，清除接收数据帧格式错误中断请求。 0: 无影响； 1: 清除。																														



[0]	WC	intc_rcv	<p>IR_CFG[ir_mode]=0 时，清除接收到数据帧中断请求。</p> <p>0：无影响；</p> <p>1：清除。</p> <p>如果接收数据帧中断请求产生后，软件未读走 IR_DATA1 中的数据就直接对本位进行写 1 操作，无法清除该中断请求。</p>
-----	----	----------	--

## IR\_START

IR\_START 为 IR 启动配置寄存器。

在其他寄存器的值配置完成后，启动 IR 模块时，只要往该地址进行一次写操作（写操作数可以为任意值），就可以启动配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x034				IR_START				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ir_start					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:1]	-	reserved	保留。																												
	[0]	WO	ir_start	IR 启动配置寄存器。																												

## 10.5 PWM

### 10.5.1 概述

Hi3516 提供 2 个模块共 6 路独立的脉宽调制信号输出。

### 10.5.2 特点

对于每路 PWM 输出：

- 内部 16bit 计数器，周期可配制。
- 高电平个数 16bit 可配置。

### 10.5.3 工作方式

PWM 内部工作于 54MHz，这里以 PWM 模块 0 第 0 路为例。配置 1 路 PWM 输出：



- 步骤 1 通过计算得到需要的周期数和高电平个数。
- 步骤 2 将对应数据写入 PWM0\_CFG 寄存器。
- 步骤 3 对 PWM0\_CTRL bit[0]写入 0，禁止 PWM 输出。
- 步骤 4 对 PWM0\_CTRL bit[0]写入 1，使能 PWM 输出。
- 步骤 5 回读 PWM0\_STATE 的数据，确认配置生效。

----结束

例如：需要输出 1 个频率为 36KHz，高电平占 72.5%的波形。

$(54\%1000) / 36 = 1500$ ，十六进制为 0x5DC

$1500\%72.5\% = 1087.5$ ，四舍五入后为 1088，十六进制为 0x440。

按如下步骤进行寄存器操作，即可输出所需要的波形：

- 步骤 6 向 PWM0\_CFG 写入 0x0440\_05DC。
- 步骤 7 向 PWM0\_CTRL 写入 0x0。
- 步骤 8 向 PWM0\_CTRL 写入 0x1。
- 步骤 9 读取 PWM0\_STATE 和 0x0440\_05DC 进行校验。

----结束

## 10.5.4 PWM 寄存器概览

PWM 寄存器概览如表 10-9 所示。

表10-9 PWM 寄存器概览（PWM0 基址是 0x201D\_0000；PWM1 基地址是 0x201E\_0000）

偏移地址	名称	描述	页码
0x0000	PWM0_CFG	PWM0 的配置	10-81
0x0004	PWM0_CTRL	PWM0 的控制	10-81
0x0008	PWM0_STATE	PWM0 的状态	10-82
0x0010	PWM1_CFG	PWM1 的配置	10-82
0x0014	PWM1_CTRL	PWM1 的控制	10-82
0x0018	PWM1_STATE	PWM1 的状态	10-83
0x0020	PWM2_CFG	PWM2 的配置	10-83
0x0024	PWM2_CTRL	PWM2 的控制	10-84
0x0028	PWM2_STATE	PWM2 的状态	10-84



## 10.5.5 PWM 寄存器描述

### PWM0\_CFG

PWM0\_CFG 为 PWM0 的配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0000				PWM0_CFG				0x00C7_018F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pwm0_duty								pwm0_period																							
Reset	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1
	Bits	Access	Name	Description																												
	[31:16]	RW	pwm0_duty	PWM0 的高电平拍数为 n+1，如果大于等于周期数，则输出一直为高电平。																												
	[15:0]	RW	pwm0_period	PWM0 的周期数，表示周期为 n+1。																												

### PWM0\_CTRL

PWM0\_CTRL 为 PWM0 的控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0004				PWM0_CTRL				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																pwm0_inv	pwm0_enable														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name	Description																												
	[31:2]	RW	reserved	保留。																												
	[1]	RW	pwm0_inv	输出控制信号。 0: 正常输出; 1: 取反输出。																												
	[0]	RW	pwm0_enable	PWM0 使能信号。 0: 不使能; 1: 使能。																												



## PWM0\_STATE

PWM0\_STATE 为 PWM0 的状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0008		PWM0_STATE		0x00C7_018F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pwm0_duty_st				pwm0_period_st				
Reset	0 0 0 0	0 0 0 0	1 1 0 0	0 1 1 1	0 0 0 0	0 0 0 1	1 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RO	pwm0_duty_st	PWM0 的内部模块采用的高电平拍数，表示拍数为 n+1。						
[15:0]	RO	pwm0_period_st	PWM0 的内部模块采用的计数周期数，表示周期为 n+1。						

## PWM1\_CFG

PWM1\_CFG 为 PWM1 的配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0010		PWM1_CFG		0x00C7_018F					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	pwm1_duty				pwm1_period				
Reset	0 0 0 0	0 0 0 0	1 1 0 0	0 1 1 1	0 0 0 0	0 0 0 1	1 0 0 0	1 1 1 1	
Bits	Access	Name	Description						
[31:16]	RW	pwm1_duty	PWM1 的高电平拍数为 n+1，如果大于等于周期数，则输出一直为高电平。						
[15:0]	RW	pwm1_period	PWM1 的周期数，表示周期为 n+1。						

## PWM1\_CTRL

PWM1\_CTRL 为 PWM1 的控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0014		PWM1_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							pwm1_inv	pwm1_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	reserved	保留。						
[1]	RW	pwm1_inv	输出控制信号。 0: 正常输出; 1: 取反输出。						
[0]	RW	pwm1_enable	PWM1 使能信号。 0: 不使能; 1: 使能。						

## PWM1\_STATE

PWM1\_STATE 为 PWM1 的状态寄存器。

Offset Address		Register Name		Total Reset Value				
0x0018		PWM1_STATE		0x00C7_018F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pwm1_duty_st				pwm1_period_st			
Reset	0 0 0 0	0 0 0 0	1 1 0 0	0 1 1 1	0 0 0 0	0 0 0 1	1 0 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RO	pwm1_duty_st	PWM1 的内部模块采用的高电平拍数，表示拍数为 n+1。					
[15:0]	RO	pwm1_period_st	PWM1 的内部模块采用的计数周期数，表示周期为 n+1。					

## PWM2\_CFG

PWM2\_CFG 为 PWM2 的配置寄存器。



Offset Address		Register Name		Total Reset Value				
0x0020		PWM2_CFG		0x00C7_018F				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	pwm2_duty				pwm2_period			
Reset	0 0 0 0	0 0 0 0	1 1 0 0	0 1 1 1	0 0 0 0	0 0 0 1	1 0 0 0	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	pwm2_duty	PWM2 的高电平拍数为 n+1，如果大于等于周期数，则输出一直为高电平。					
[15:0]	RW	pwm2_period	PWM2 的周期数，表示周期为 n+1。					

### PWM2\_CTRL

PWM2\_CTRL 为 PWM2 的控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0024		PWM2_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							pwm2_inv	pwm2_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	RW	reserved	保留。						
[1]	RW	pwm2_inv	输出控制信号。 0: 正常输出; 1: 取反输出。						
[0]	RW	pwm2_enable	PWM2 使能信号。 0: 不使能; 1: 使能。						

### PWM2\_STATE

PWM2\_STATE 为 PWM2 的状态寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x0028				PWM2_STATE				0x00C7_018F																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	pwm2_duty_st								pwm2_period_st																							
Reset	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1
Bits	Access		Name		Description																											
[31:16]	RO		pwm2_duty_st		PWM2 的内部模块采用的高电平拍数，表示拍数为 n+1。																											
[15:0]	RO		pwm2_period_st		PWM2 的内部模块采用的计数周期数，表示周期为 n+1。																											

## 10.6 GPIO

### 10.6.1 概述

Hi3516 支持 10 组 GPIO (General Purpose Input/Output)，每组 GPIO 提供 8 个可编程的输入输出管脚（除第 10 组外。第 10 组提供 5 个）。每个管脚可以配置为输入或者输出。这些管脚用于生成特定应用的输出信号或采集特定应用的输入信号。作为输入管脚时，GPIO 可作为中断源；作为输出管脚时，每个 GPIO 都可以独立地清 0 或置 1。



#### 注意

GPIO 具体管脚个数、管脚与其他管脚复用的说明请参见对应芯片的“硬件特性章节”，相关的控制请参见对应芯片的“硬件特性章节”的“IO\_CONFIG”。

### 10.6.2 特点

GPIO 模块具有以下特点：

- 每个 GPIO 管脚均可配置为输入、输出。
  - 作为输入管脚时，可作为中断源，每个 GPIO 管脚都具有独立的中断控制。
  - 作为输出管脚时，每个 GPIO 管脚都可以独立地清 0 或置 1。
- GPIO 的中断通过 [GPIO\\_IS](#) 等 7 个寄存器进行控制。通过这些寄存器可以选择中断源、极性以及边沿特性。GPIO 对应的中断寄存器请参见“3.3 中断系统”。
  - 当有多个中断同时发生时，将会统一汇集成一个中断进行上报，GPIO 的中断映射关系请参见“3.3 中断系统”。
  - [GPIO\\_IS](#)、[GPIO\\_IBE](#)、[GPIO\\_IEV](#) 三个寄存器共同决定了中断源的特性和中断触发类别。



通过 **GPIO\_RIS** 和 **GPIO\_MIS** 分别读取中断的原始状态和屏蔽后的状态。通过 **GPIO\_IE** 可以控制中断的最终上报情况。此外还提供了单独的 **GPIO\_IC** 用于对中断状态进行清除控制。

## 10.6.3 功能描述

每组 GPIO 提供 8 个可编程的输入输出管脚。每个管脚可以配置为输入或者输出。这些管脚用于生成或采集特定应用的输出或输入信号。

GPIO 可以根据电平或跳变值产生可屏蔽的中断。GPIOINTR (General Purpose Input Output Interrupt) 信号给中断控制器一个指示, 表示有中断发生。

## 10.6.4 工作方式

### 接口复位

上电复位时, 所有的寄存器都被清 0, 因此管脚默认为输入。

复位信号有效时, GPIO 有如下状态:

- 通过清除 **GPIO\_IE** 中相应的比特位使中断无效。
- 所有的寄存器被清 0。
- 所有的管脚都被配置为输入。
- 原始中断寄存器都被清 0。
- 中断被设为边沿触发的中断。

### 通用输入输出

每个管脚可以配置为输入或者输出, 具体步骤如下:

步骤 1 参考“IO\_CONFIG”配置管脚的相应位, 使能需要使用的 GPIO 管脚功能。

步骤 2 配置寄存器 **GPIO\_DIR**, 选择 GPIO 是作为输入还是输出。

- GPIO 用于输入: 外部信号通过 GPIO 管脚送进来, 此时可通过 **GPIO\_DATA** 寄存器查看输入信号值。

**注意:** 输入的信号会同时送到和 GPIO 复用的管脚上。

- GPIO 用于输出: 先向 **GPIO\_DATA** 寄存器写入相应值后, 再通过 GPIO 输出写入值。

**注意:** 此时若已使能 GPIO 中断功能, 则当输出信号满足触发条件时, 也会产生中断。

----结束

### 中断操作

如果要产生中断, 且避免假中断, 则必须按照下面的初始化顺序:

步骤 1 配置 **GPIO\_IS**, 选择边沿触发或电平触发。



- 步骤 2 配置 `GPIO_IEV`，选择下降沿/上升沿触发和高电平/低电平触发。
- 步骤 3 如果选择边沿触发，需配置 `GPIO_IBE`，选择单沿或双沿触发方式。
- 步骤 4 保证 GPIO 数据线在以上操作过程中保持稳定。
- 步骤 5 向寄存器 `GPIO_IC` 写 `0xFF`，清中断。
- 步骤 6 配置 `GPIO_IE` 为 1，使能中断。

----结束

GPIO 的中断设置由 7 个寄存器控制。当有一个或多个 GPIO 管脚产生中断，一个组合中断输出会送到中断控制器。边沿触发和电平触发有以下不同：

- 边沿触发的中断：软件必需清除该中断以使能更深的中断。
- 电平触发的中断：外部中断源应该保持该电平直到处理器识别到该中断。

## 10.6.5 寄存器概览

13 组 GPIO 寄存器的基地址如表 10-10 所示。

表10-10 9 组 GPIO 寄存器对应的基地址

寄存器	基地址
GPIO1	0x2016_0000
GPIO2	0x2017_0000
GPIO3	0x2018_0000
GPIO4	0x2019_0000
GPIO5	0x201A_0000
GPIO6	0x201B_0000
GPIO7	0x201C_0000
GPIO8	0x2020_0000
GPIO9	0x2021_0000
GPIO10	0x2022_0000

表 10-11 是单组 GPIO 内部寄存器的偏移地址以及定义，GPIO0~GPIO10 具有相同的寄存器组。



说明

- GPIO<sub>n</sub> 对应的寄存器地址为：GPIO<sub>n</sub> 基地址+该寄存器偏移地址。
- n 的取值范围：[1, 10]

表10-11 GPIO 寄存器概览

偏移地址	名称	描述	页码
0x000~0x3FC	GPIO_DATA	GPIO 数据寄存器	10-88
0x400	GPIO_DIR	GPIO 方向控制寄存器	10-89
0x404	GPIO_IS	GPIO 中断触发寄存器	10-89
0x408	GPIO_IBE	GPIO 双沿触发中断寄存器	10-90
0x40C	GPIO_IEV	GPIO 触发中断条件寄存器	10-90
0x410	GPIO_IE	GPIO 中断屏蔽寄存器	10-91
0x414	GPIO_RIS	GPIO 原始中断状态寄存器	10-91
0x418	GPIO_MIS	GPIO 屏蔽状态中断寄存器	10-92
0x41C	GPIO_IC	GPIO 中断清除寄存器	10-92

## 10.6.6 寄存器描述

### GPIO\_DATA

GPIO\_DATA 为 GPIO 数据寄存器。用来对输入或输出数据进行缓存。

当配置 GPIO\_DIR 中对应位为输出时，写入 GPIO\_DATA 寄存器的值将会输出到相应的管脚（注意需要配置正确的管脚复用）；如果配置为输入时，将会读取相应输入管脚的值。



注意

当 GPIO\_DIR 相应的比特配置为输入时，有效读取的结果将返回管脚的值；当配置为输出的时候，有效读取的结果将返回写入的值。

GPIO\_DATA 寄存器利用 PADDR[9:2]实现了读写寄存器比特的屏蔽操作。该寄存器对应 256 个地址空间。PADDR[9:2]分别对应 GPIO\_DATA[7:0]，当相应的 bit 为高时，则可以对相应的位进行读写操作；反之，若对应 bit 为低则不能进行操作。例如：

- 若地址为 0x3FC (0b11\_1111\_1100)，则对 GPIO\_DATA[7:0]这 8bit 操作全部有效。
- 若地址为 0x200 (0b10\_0000\_0000)，则仅对 GPIO\_DATA[7]的操作有效。



Offset Address		Register Name		Total Reset Value				
0x000~0x3FC		GPIO_DATA		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_data							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_data	当 GPIO 配置为输入模式时，为 GPIO 输入数据；当 GPIO 配置为输出模式时，为输出数据。各比特均可独立控制。与 <a href="#">GPIO_DIR</a> 配合使用。					

## GPIO\_DIR

GPIO\_DIR 为 GPIO 方向控制寄存器。用来配置 GPIO 管脚方向。

Offset Address		Register Name		Total Reset Value				
0x400		GPIO_DIR		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_dir							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_dir	GPIO 方向控制寄存器。bit[7:0]分别对应 <a href="#">GPIO_DATA</a> [7:0]，各比特可独立控制。 0：输入； 1：输出。					

## GPIO\_IS

GPIO\_IS 为 GPIO 中断触发寄存器。用来配置 GPIO 管脚触发电平方式。



Offset Address		Register Name		Total Reset Value				
0x404		GPIO_IS		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_is							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_is	GPIO 中断触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0: 边沿触发中断； 1: 电平触发中断。					

## GPIO\_IBE

GPIO\_IBE 为 GPIO 双沿触发中断寄存器。用来配置 GPIO 管脚沿触发方式。

Offset Address		Register Name		Total Reset Value				
0x408		GPIO_IBE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ibe							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ibe	GPIO 中断沿触发控制寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0: 单边沿触发中断，具体是上升沿还是下降沿触发由 GPIO_IEV 控制； 1: 双边触发中断。					

## GPIO\_IEV

GPIO\_IEV 为 GPIO 触发中断条件寄存器。用来配置 GPIO 管脚触发中断条件。



Offset Address		Register Name		Total Reset Value				
0x40C		GPIO_IEV		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_iev							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_iev	GPIO 触发中断条件寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：下降沿或低电平触发中断； 1：上升沿或高电平触发中断。					

## GPIO\_IE

GPIO\_IE 为 GPIO 中断屏蔽寄存器。用来屏蔽 GPIO 管脚中断。

Offset Address		Register Name		Total Reset Value				
0x410		GPIO_IE		0x00				
Bit	7	6	5	4	3	2	1	0
Name	gpio_ie							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RW	gpio_ie	GPIO 中断屏蔽寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特独立控制。 0：屏蔽中断； 1：不屏蔽中断。					

## GPIO\_RIS

GPIO\_RIS 为 GPIO 原始中断状态寄存器。用来查询 GPIO 管脚原始中断状态。



Offset Address		Register Name					Total Reset Value	
0x414		GPIO_RIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ris							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_ris	GPIO 原始中断寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，指示未屏蔽的中断状态。该 状态不受 <a href="#">GPIO_IE</a> 寄存器屏蔽控制。 0：已发生中断； 1：未发生中断。					

## GPIO\_MIS

GPIO\_MIS 为 GPIO 屏蔽状态中断寄存器。用来查询 GPIO 管脚屏蔽后的中断状态。

Offset Address		Register Name					Total Reset Value	
0x418		GPIO_MIS					0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_mis							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	RO	gpio_mis	GPIO 屏蔽后中断寄存器，bit[7:0]分别对应 <a href="#">GPIO_DATA[7:0]</a> ，指示经屏蔽后的中断状态。 该状态受 <a href="#">GPIO_IE</a> 寄存器屏蔽控制。 0：中断无效； 1：中断有效。					

## GPIO\_IC

GPIO\_IC 为 GPIO 中断清除寄存器。用来清除 GPIO 管脚产生的中断，同时清除 [GPIO\\_RIS](#) 寄存器和 [GPIO\\_MIS](#) 寄存器。



	Offset Address			Register Name			Total Reset Value	
	0x41C			GPIO_IC			0x00	
Bit	7	6	5	4	3	2	1	0
Name	gpio_ic							
Reset	0	0	0	0	0	0	0	0
Bits	Access	Name	Description					
[7:0]	WC	gpio_ic	GPIO 中断清除寄存器，bit[7:0]分别对应 GPIO_DATA[7:0]，各比特可独立控制。 0: 无影响； 1: 清除中断。					

## 10.7 USB 2.0 Host

### 10.7.1 概述

USB 2.0 Host 控制器支持 High-speed (480Mbit/s)、Full-speed (12Mbit/s) 和 Low-speed (1.5Mbit/s) 三种数据传输。USB 2.0 Host 控制器完全支持 USB 2.0、OHCI Rev 1.0a 和 EHCI Rev 1.0 协议。USB 2.0 Host 控制器中包含一个 Root Hub (USB 系统中的一部分，通过 Hub 可以扩展 USB 接口)。USB 2.0 Host 控制器的大部分硬件逻辑可以：

- 完成对传输的控制和处理
- 对数据包的解析和打包
- 对 USB 传输信号的编码和解码
- 为驱动程序提供了中断向量等接口

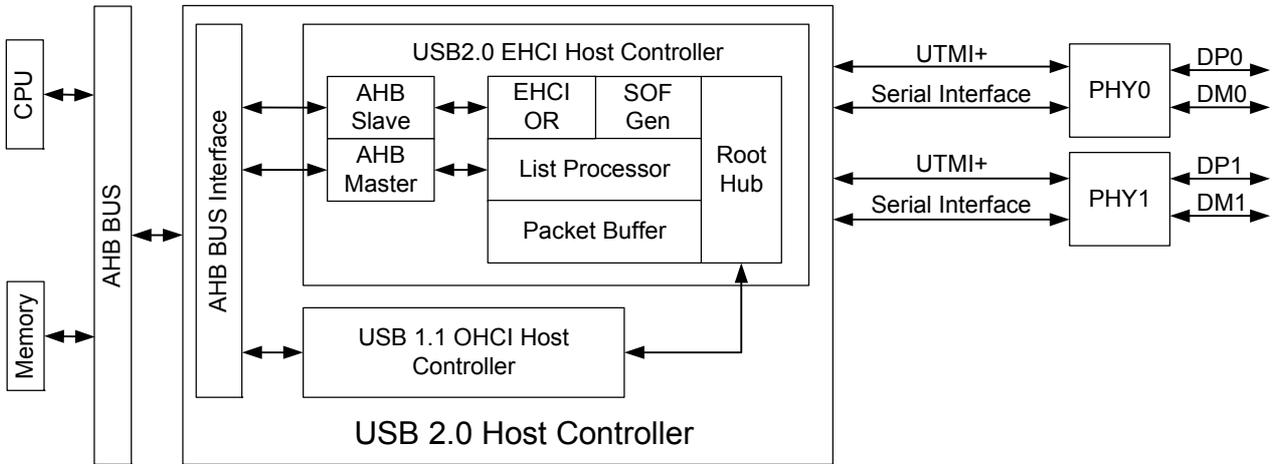
### 10.7.2 功能描述

#### 逻辑框图

USB 2.0 Host 逻辑框图如图 10-40 所示。



图10-40 USB 2.0 Host 逻辑框图



UTMI: USB2.0 Transceiver Macrocell Interface  
EHCI: Enhanced Host Controller Interface  
OHCI: Open Host Controller Interface

### 典型应用

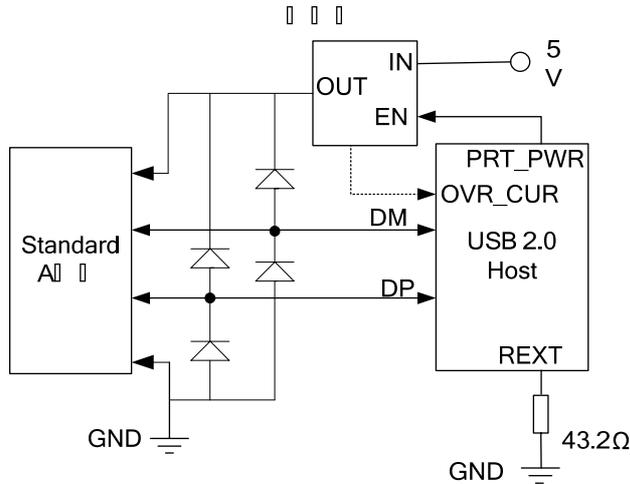
USB 2.0 Host 的参考设计如[图 10-41](#) 所示。



#### 注意

- DP 和 DM 的单端阻抗为 45Ω±1%，所以 DP 和 DM 无需外接任何的匹配电阻。
- REXT 电阻的精度是±1%。
- 需要使用高速的 ESD 器件，电容值推荐为 1pF 左右。

图10-41 USB 2.0 Host 参考设计



## 功能特点

USB 2.0 Host 具有以下功能特点：

- 完全兼容 USB 2.0。
- 完全符合 OHCI Rev 1.0a、EHCI Rev 1.0。
- 可以支持 High-speed、Full-speed、Low-speed 三种设备。
- 支持低功耗的解决方案。
- 支持 Control Transfer、Bulk Transfer、Isochronous Transfer、Interrupt Transfer 四种基本数据传输类型。
- 可以通过连接 USB Hub，连接最多 127 个设备。

## 工作原理

USB 2.0 Host 支持以下 4 种标准的传输方式：

- **Control Transfer（控制传输）**  
主要用于 USB Host 与 USB Device 端点 0 之间的传输，某些特定型号的 USB 设备的控制传输可能用到其他的端点。控制传输是双向传输，数据量通常较小，可以传输 8byte、16byte、32byte 或 64byte 的数据，依赖于设备和传输速度。
- **Bulk Transfer（批量传输）**  
主要用于没有带宽和间隔时间要求的情况下发送和接收大量的数据，这种类型的设备适合于传输非常慢和大量被延迟的传输，可以等到所有其他类型的数据的传送完成之后再传送和接收数据。它的特点是以错误检测和重传的方式保证 USB Host 与 USB Device 的数据被无差错地发送。
- **Isochronous Transfer（同步传输）**  
主要用于时间严格并具有较强容错性的流数据传输，或者用于数据传输速率恒定的即时应用中。同步传输提供了确定的带宽和间隔时间。



- Interrupt Transfer（中断传输）

主要用于少量、分散、不可预测的数据的传输。中断传输方式下，定时查询设备是否有中断数据要发送。设备的端点模式器的结构决定了它的查询频率为 1ms~255ms。典型的中断方式传输是单向的，并且对于 USB Host 来说只有输入的方式。

## 10.7.3 工作方式

### 管脚极性控制

通过设置系统控制寄存器 PERIPHCTRL20 [usbpwr\_p\_ctrl]可以设置 USB0\_PWREN、USB1\_PWREN 的有效极性，详细信息请参见 3.6 外设控制器 PERIPHCTRL20 [usbpwr\_p\_ctrl]的描述。

通过设置系统控制寄存器 PERIPHCTRL20 [usbovr\_p\_ctrl]可以设置 USB0\_OVRCUR、USB1\_OVRCUR 的有效极性，详细信息请参见 3.5 外设控制器 PERIPHCTRL20 [usbovr\_p\_ctrl]的描述。

### 时钟门控

在不使用 USB 2.0 Host 时，可关断 USB 2.0 Host 的时钟，以降低功耗。

关断时钟的步骤如下：

步骤 1 分别向 PERI\_CRG30 [usbphy\_port0\_treq]、PERI\_CRG30[usbphy\_port1\_treq]、PERI\_CRG30[usbphy\_req]、PERI\_CRG30[usb\_ctrl\_utmi0\_req]、PERI\_CRG30[usb\_ctrl\_utmi1\_req]、PERI\_CRG30[usb\_ctrl\_hub\_req]、PERI\_CRG30[usb\_ahb\_srst\_req]写 1，对 USB 控制器和 PHY 进行复位。

步骤 2 将系统寄存器 PERI\_CRG30 [usb\_cken]置 0，关断 USB 2.0 Host 相关时钟。

----结束

打开时钟的步骤如下：

步骤 1 将系统控制器的 PERI\_CRG30 [usb\_cken]置 1，打开 USB 2.0 Host 相关时钟。

步骤 2 撤销 USB 控制器和 PHY 的复位，详细信息请参见“[撤销复位](#)”。

----结束

### 撤销复位

USB 控制器和 PHY 在上电后默认处于复位状态，撤销复位的步骤如下：

步骤 1 至少延时 10us。

步骤 2 向 PERI\_CRG30[usbphy\_port0\_treq]写 0，撤销 USB PHY port0 的端口软复位；PERI\_CRG30[usbphy\_port1\_treq]写 0，撤销 USB PHY port1 的端口软复位。

步骤 3 向 PERI\_CRG30[usbphy\_req]写 0，撤销 USB PHY 的总复位；



步骤 4 延时 250us 后，向 PERI\_CRG30[usb\_ctrl\_utmi0\_req]写 0，撤销 USB 控制器的 port0 接口软复位；向 PERI\_CRG30[usb\_ctrl\_utmi1\_req]写 0，撤销 USB 控制器的 port1 接口软复位；向 PERI\_CRG30[usb\_ctrl\_hub\_req]写 0，撤销 USB 控制器的 hub 软复位。

步骤 5 向 PERI\_CRG30[usb\_ahb\_srst\_req]写 0，撤销 USB 总线侧软复位。

----结束

## 工作过程中单独复位 port0 或 port1

工作过程中单独复位 port0 的步骤如下：

步骤 1 向 PERI\_CRG30[usb\_ctrl\_utmi0\_req]写 1，对 USB 控制器的 port0 进行软复位。

步骤 2 向 PERI\_CRG30[usbphy\_port0\_treq]写 1，对 USB PHY 的 port0 的端口进行软复位。

步骤 3 延时 200us 后，向 PERI\_CRG30[usbphy\_port0\_treq]写 0，撤销 USB PHY 的 port0 的端口复位。

步骤 4 向 PERI\_CRG30[usb\_ctrl\_utmi0\_req]写 0，撤销 USB 控制器的 port0 复位。

----结束

工作过程中单独复位 port1 的步骤如下：

步骤 5 向 PERI\_CRG30[usb\_ctrl\_utmi1\_req]写 1，对 USB 控制器的 port1 接口进行软复位。

步骤 6 向 PERI\_CRG30[usbphy\_port1\_treq]写 1，对 USB PHY 的 port1 的端口进行软复位。

步骤 7 延时 200us 后，向 PERI\_CRG30[usbphy\_port1\_treq]写 0，撤销 USB PHY 的 port1 的端口复位。

步骤 8 向 PERI\_CRG30[usb\_ctrl\_utmi1\_req]写 0，撤销 USB 控制器的 port1 复位。

----结束

## 挂起和重启

挂起 port0（即 SUSPEND）：软件通过 EHCI/OHCI 寄存器设置挂起模式后，port0 就进入了挂起模式。

重启 port0（即 RESUME）：软件通过 EHCI/OHCI 寄存器设置退出 SUSPEND 模式后，如果 PERIPHERAL21 [commononn]为 1，需要至少延时 225us 后，软件才能发起 USB 操作；如果 PERIPHERAL21 [commononn]为 0，需要至少延时 5us 后，软件才能发起 USB 操作。



说明

挂起 port1 的操作与挂起 port0 的操作类似，重启 port1 的操作与重启 port0 的操作类似。

## USB TX 信号质量调节

如果测试发现单板上的 USB 眼图无法通过模板时，可以通过如下步骤调节 USB TX 的信号质量。



以 USB port0 为例。

步骤 1 向 PERIPHCTRL21[phy0\_txpreemphasistune]写 1，使能 USB PORT0 的预加重功能。

步骤 2 向 PERIPHCTRL21[phy0\_txrisetune]写 1，减小高速信号的上升/下降时间。

步骤 3 向 PERIPHCTRL21[phy0\_txverftune]写 1111，加大 DC 电平。

---结束

#### 说明

如果发现 USB 眼图无法通过模板，请确认已经配置了如上寄存器。

## 10.7.4 寄存器概览

#### 说明

由于该 USB 模块是一个标准的 USB 2.0 Host，内部寄存器也是标准的 EHCI 及 OHCI 寄存器，在 EHCI 协议及 OHCI 协议中有详细的描述，请参照协议。下面仅对几个厂家特别定义的寄存器进行描述。

USB 寄存器概览如表 10-12 所示。

表10-12 USB 寄存器概览（基地址：0x100B\_0000）

偏移地址	名称	描述	页码
0x90	INTNREG00	配置微帧长度寄存器	10-98
0x94	RESERVED	保留	-
0x98	RESERVED	保留	-
0x9C	RESERVED	保留	-
0xA0	INTNREG04	DEBUG 寄存器	10-99
0xA4	INTNREG05	控制及状态寄存器	10-100
0xA8	INTNREG06	AHB 错误状态寄存器	10-101
0xAC	INTNREG07	AHB 错误地址寄存器	10-101

注：EHCI 寄存器基地址是 0x100B\_0000，OHCI 寄存器基地址是 0x100A\_0000，表 10-12 中寄存器基地址是 EHCI 寄存器基地址。

## 10.7.5 寄存器描述

### INTNREG00

INTNREG00 为配置微帧长度寄存器。



Offset Address		Register Name		Total Reset Value					
0x90		INTNREG00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						val		en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:14]	-	reserved	保留。						
[13:1]	RW	val	微帧计数器值。该寄存器仅用于仿真。正常工作时，微帧长度是协议规定的 125μs；仿真时，为了缩短仿真时间，根据需要可以配置该寄存器改变微帧长度。						
[0]	RW	en	使能该寄存器。 0：禁止； 1：使能。						

## INTNREG04

INTNREG04 为 DEBUG 寄存器。

Offset Address		Register Name		Total Reset Value								
0xA0		INTNREG04		0x0000_0000								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved						auto_en	nak_reldfx_en	reserved	scaledwn_enum_time	hccparam_en	hccparam_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description									
[31:6]	-	reserved	保留。									
[5]	RW	auto_en	自动规格使能。 0：使能（当软件复位 run/stop，但 hchalted 位还未设置时挂起信号有效）； 1：禁止（即软件清除 run/stop 位时端口不挂起）。 默认为 0。									



[4]	RW	nak_reldfix_en	NAK 重载使能。 0: 使能; 1: 禁止。
[3]	-	reserved	保留。
[2]	RW	scaledwn_enum_time	减少端口枚举时间。 0: 禁止; 1: 使能。
[1]	RW	hccparam_en	HCCPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。
[0]	RW	hcsparam_en	HCSPARAMS 寄存器可写使能。 0: 禁止; 1: 使能。

### INTNREG05

INTNREG05 为控制及状态寄存器。用于读写 PHY 寄存器。

Offset Address		Register Name		Total Reset Value					
0xA4		INTNREG05		0x0000_1000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18	17 16 15 14 13	12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				vbusy	vport	vcontrol_loadm	vcontrol	vstatus
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0	0 0 0 0	1	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:18]	-	reserved	保留。						
[17]	RO	vbusy	“1” 表明硬件现在正在执行数据写操作，只有当进程结束时，该位清零。						
[16:13]	RW	vport	端口号，不能超过支持的端口数。						
[12]	RW	vcontrol_loadm	装载使能。 0: 使能; 1: 禁止。						
[11:8]	RW	vcontrol	端口控制信号。						



[7:0]	RO	vstatus	端口状态信号。
-------	----	---------	---------

## INTNREG06

INTNREG06 为 AHB 错误状态寄存器。

Offset Address		Register Name		Total Reset Value						
0xA8		INTNREG06		0x0000_0000						
Bit	31	30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	err_capture	reserved				hburst_err	num_beat_err	num_beat_ok		
Reset	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits		Access	Name	Description						
[31]		RW	err_capture	发生了 AHB 错误。						
[30:12]		-	reserved	保留。						
[11:9]		RO	hburst_err	发生 AHB 错误时控制传输阶段 hburst 值。						
[8:4]		RO	num_beat_err	发生 AHB 错误时该次 burst 传输的拍数。最大拍数为 16。 0x00~0x10: 有效; 0x11~0x1F: 保留。						
[3:0]		RO	num_beat_ok	发生 AHB 错误时该次 burst 传输中已经成功完成的拍数。						

## INTNREG07

INTNREG07 为 AHB 错误地址寄存器。

Offset Address		Register Name		Total Reset Value					
0xAC		INTNREG07		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	err_addr								
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits		Access	Name	Description					
[31:0]		RO	err_addr	发生 AHB 错误时控制传输阶段的地址。					



## 10.8 MMC/SD/SDIO 控制器

### 10.8.1 功能描述

#### 功能框图

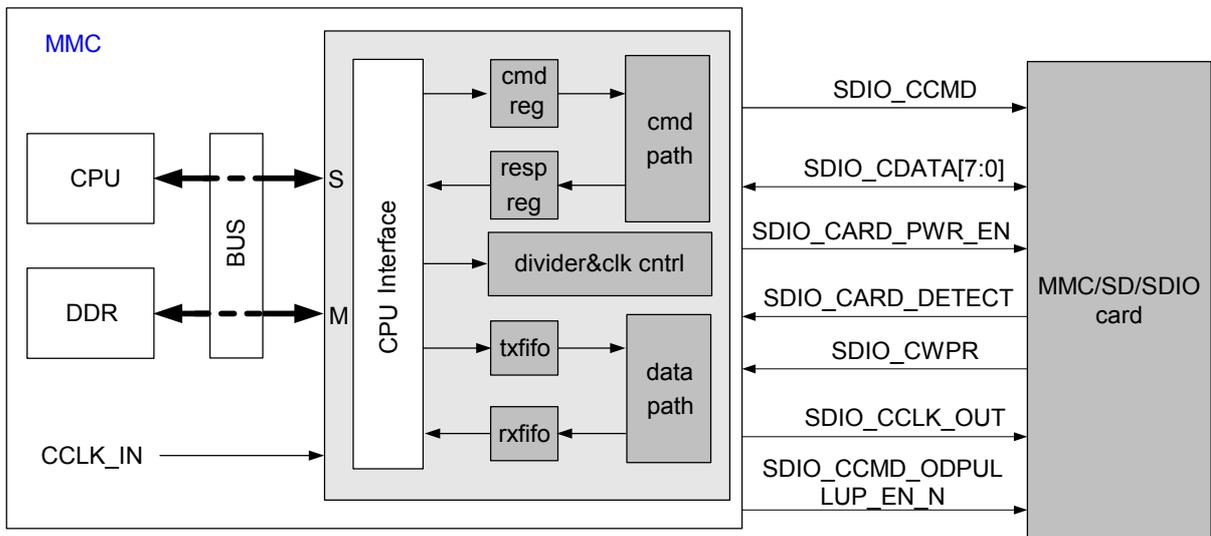
MMC/SD/SDIO 控制器（以下简称 MMC）用于处理对 SD/MMC 卡的读写等操作，并通过 SDIO 协议实现对扩展外设（如蓝牙、WiFi 等）的支持。提供 2 个 MMC 控制器，可用于控制 SD/MMC 卡、SDIO 设备。Hi3516 提供两个 MMC/SD/SDIO 控制器 SDIO0/SDIO1。

MMC 支持符合以下协议的设备：

- Secure Digital Memory（SD mem-version 2.00）
- Secure Digital I/O（SDIO-version 2.0）
- MultiMediaCard（MMC-version 4.3）

MMC 的功能框图如图 10-42 所示。

图10-42 MMC 功能框图



注：S：slave 接口；M：master 接口。

MMC 通过内部总线与系统连接，由以下单元构成：

- 命令通道  
完成指令的发送与响应的接收。
- 数据通道



配合命令通道完成数据读写操作。

- 接口时钟控制单元

根据需求改变接口时钟频率，控制接口时钟的关闭与开启。SDIO\_CCLK\_OUT 可以是 CCLK\_IN 的分频。

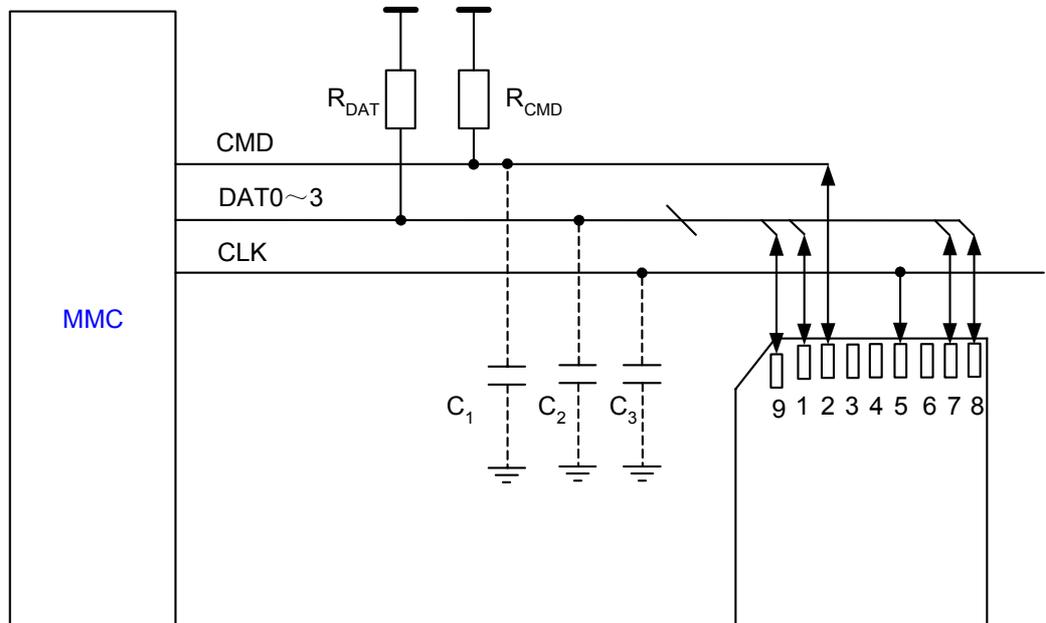
MMC 的功能特点有：

- 支持内部 DMA 数据传输方式。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256word
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。
- 接口时钟频率可编程。
- 支持低功耗模式关闭 MMC 时钟和接口时钟。
- 数据位宽支持 1、4、8bit，可根据对接器件选择。
- 支持 1byte~65535byte 的块数据读写操作。
- 支持 MMC 卡流数据读写方式。
- 支持 SDIO 的 suspend 操作、resume 操作和 read wait 操作。

## 典型应用

MMC 的典型应用电路如图 10-43 所示。

图10-43 MMC 典型应用电路图





MMC 通过 1 根时钟信号线、1 根双向指令信号线和 4 根双向数据信号线与卡设备对接来完成命令与数据的交互。指令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表 10-13 所示。

表10-13 信号线负载参数

参数	最小值	最大值	描述
$R_{DAT}$ 、 $R_{CMD}$	10k $\Omega$	100k $\Omega$	上拉电阻。
负载容抗 $C_x$	-	30pF	负载电容 $C_x = C_{mmchost} + C_{bus} + C_{card}$ 。每张卡最大负载电容 $C_{card}$ 为 10pF，所以 $C_{mmchost} + C_{bus}$ 应该小于 30pF。
信号线感抗	-	16nH	Fpp 20MHz。

**注意**

除图 10-43 中信号线外，卡槽一般还提供机械写保护信号和卡检测信号。芯片提供了这些接口，示意图中未给出。

**指令与响应**

MMC 与卡设备之间的所有交互操作均通过指令完成，包括卡初始化、寄存器读写、状态查询、数据传输等。

MMC 指令为 48bit 的串行数据，由起始位、传输位、指令序号、指令参数、CRC 校验位和终止位组成。卡收到指令后，会根据指令类型返回 48bit 或 136bit 的响应。

图10-44 MMC 指令格式

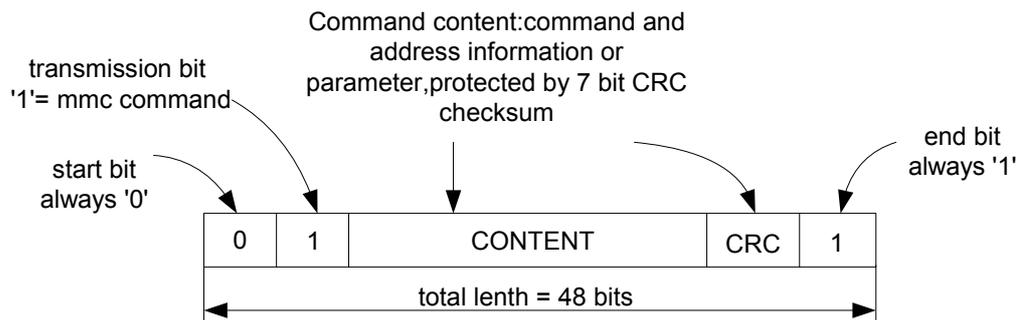
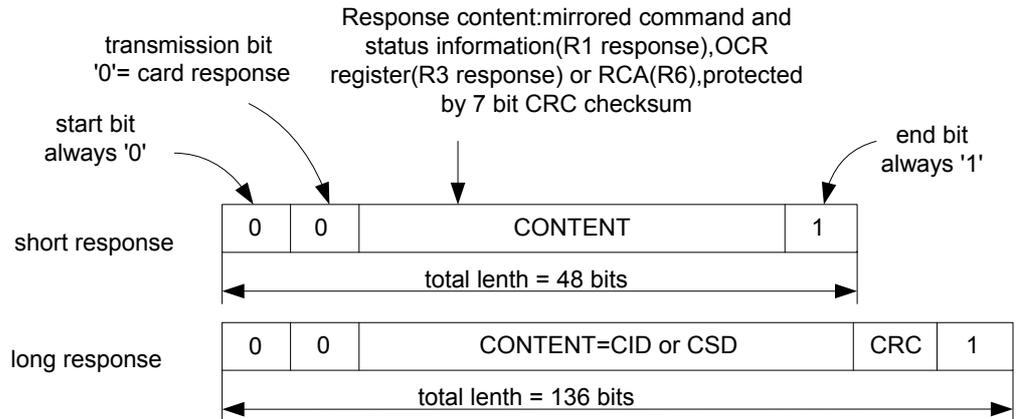


图10-45 MMC 指令响应格式



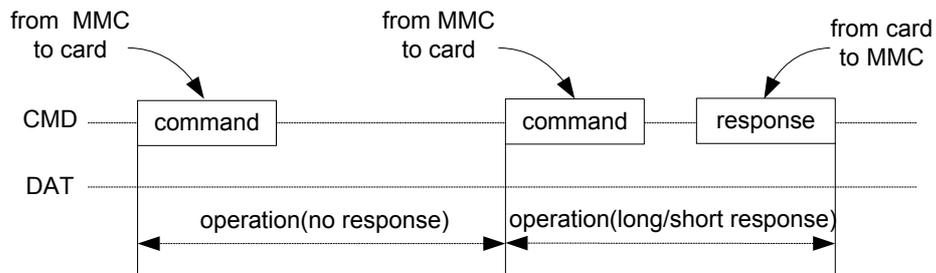
根据是否有数据传输，指令分为以下 2 种：

- 非数据传输指令  
基于指令信号线 CMD，MMC 与卡采用串行方式进行指令发送与响应接收。
- 数据传输指令  
除指令线上的交互外，还有数据线 DAT0~DAT7 上的数据传输。

#### (1) 非数据传输指令

MMC 与卡设备之间的非数据传输指令操作如图 10-46 所示。

图10-46 MMC 非数据指令操作



#### (2) 数据传输指令

MMC 卡支持以下数据传输指令：

- 流数据读写指令  
仅 MMC 卡支持，只使用 1 根数据线（即 DAT0）进行数据传输，无 CRC 校验。
- 单块数据读写指令  
一次传输完成一个块大小的数据，不需要使用停止命令结束一次数据传输。
- 多块数据读写指令
  - predefined block count 方式



在多块读写指令前，发送块数量指令指定待传输的数据量。

#### - open ended 方式

发送读写指令后，在数据传输末尾，需使用停止指令来结束一次数据传输。

两种方式的差别在于 MMC 通知卡结束一次传输的方式不同。SD 卡仅支持 open ended 方式，MMC 卡两种方式均支持。

SDIO 设备的多块读写指令，不同于上述 2 种方式，在发送读写指令时，指令参数中包含待传输的数据量。

根据响应的类型，指令分为以下 3 种：

- 无响应指令  
如卡复位指令。
- 短响应指令  
数据传输指令、卡状态查询等均属于这类指令。
- 长响应指令  
仅用于读取卡的寄存器 CID 和 CSD 信息。

## 数据传输

单块读写指令和多块读写指令为较常用的数据传输方式。通常 SD/MMC 卡数据传输的一个块大小为 512byte，而 SDIO 设备可根据应用自定义。

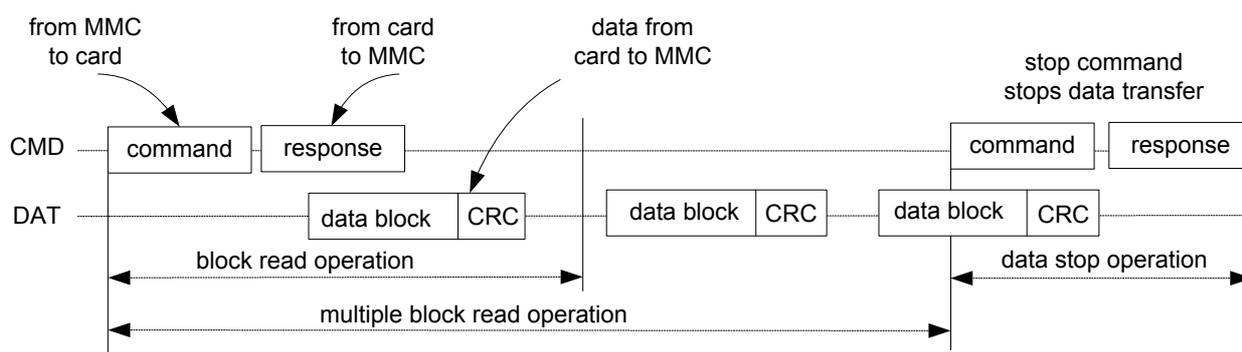
### 说明

以块读写指令方式进行数据传输时，传输数据总量必须为块大小的整数倍。

数据传输指令均为短响应指令，并伴随着数据线上的数据传输。指令、响应及数据线上的时序配合关系如图 10-47 和图 10-48 所示。

#### (1) 单块与多块读操作

图10-47 单块与多块读操作



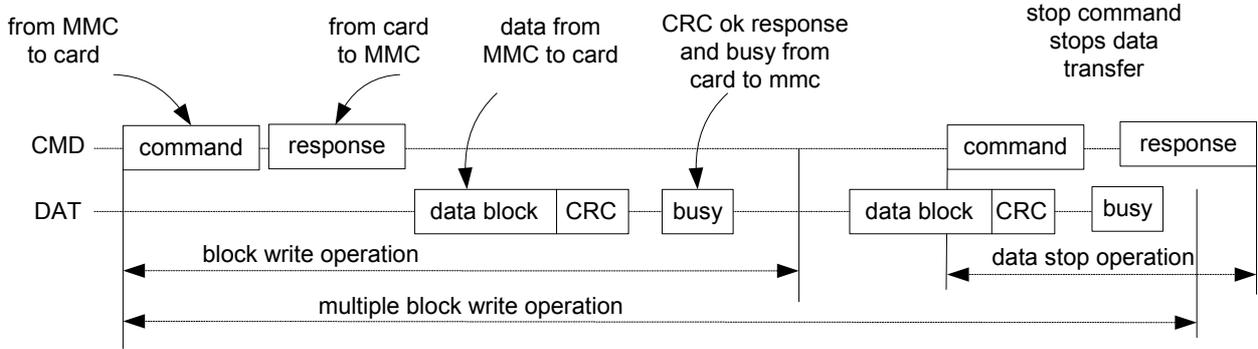
MMC 向卡发送单块或多块读指令。在接收响应的过程中，接收以块为单位的数据，其中每块数据中均包含有 CRC 校验位，以保证数据传输的完整性。



单块读指令操作时，MMC 在接收一块数据后完成一次数据传输；多块读指令操作时，MMC 在接收多块数据后，需发送一条停止指令结束本次数据传输（仅 open ended 多块读指令）。

(2) 单块与多块写操作

图10-48 单块与多块写操作



MMC 往卡发送单块或多块写指令。在接收到响应后，往卡发送以块为单位的数据，其中每块数据中均包含有 CRC 校验位，卡会对每块数据进行 CRC 校验，并反馈 CRC 状态以确认数据传输的正确性。

单块写指令操作时，MMC 在发送一块数据后完成一次数据传输；多块写指令操作时，MMC 在发送多块数据后，需发送一条停止指令完成本次数据传输（仅 open ended 多块读指令）。写操作结束后，卡可能会因为编程 Flash 而处于繁忙状态，MMC 需查询 DAT0 状态，以确认卡脱离繁忙状态后才能对卡进行下一步操作。

(3) 数据传输格式

块方式读写中，MMC 与卡之间可采用 1bit 或 4bit 数据线方式进行数据传输。在发送数据传输指令之前，应分别设置 MMC 与卡的数据传输位宽模式（1bit 或 4bit），使它们保持一致。MMC 的数据位宽通过寄存器 MMC\_CTYPE 设置，卡的数据位宽则通过发送相应的指令进行设置。

1bit 和 4bit 模式下的数据传输格式如图 10-49 和图 10-50 所示。

图10-49 1bit 数据线传输模式下的块数据格式

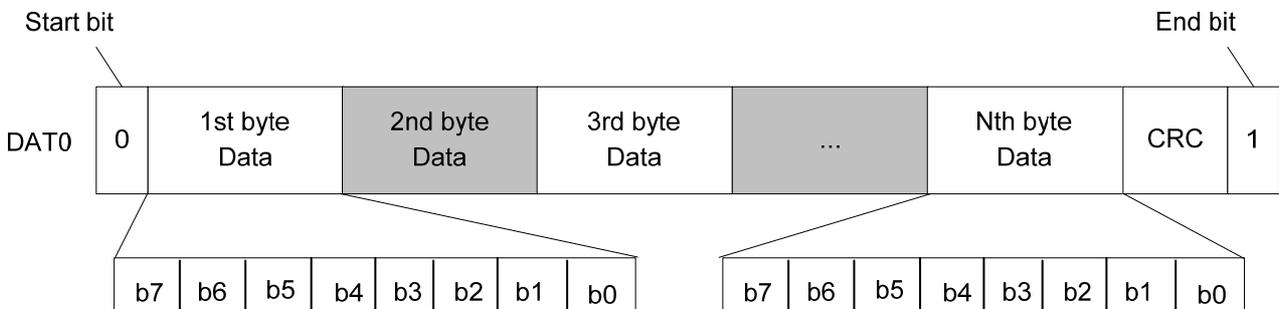
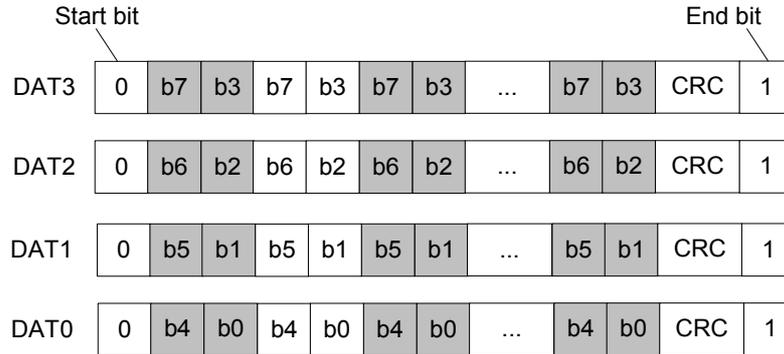




图10-50 4bit 数据线传输模式下的块数据格式



## 10.8.2 时序与参数

### 10.8.2.1 时序参数

MMC 接口时序参数如表 10-14 所示。

表10-14 MMC 接口时序参数

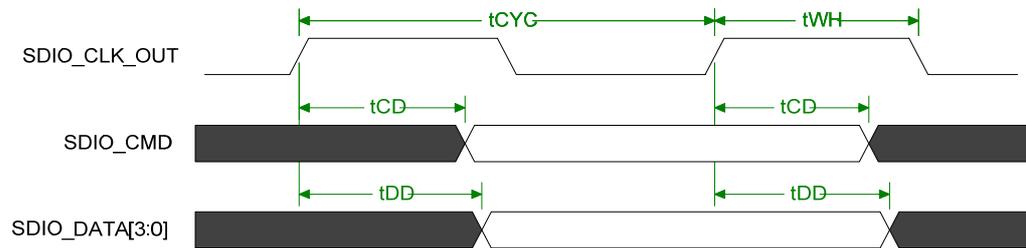
参数	描述	最小值	最大值	单位
tCYC	卡时钟周期	20	-	ns
tWH	卡时钟高电平时间	0.5tCYC	0.5tCYC	ns
tCCLK_IN	MMC 模块工作时钟周期	20 或者 41.67		ns
tCD	SDIO_CMD 输出延时	0.6tCCLK_IN-5.0	0.6tCCLK_IN+1.2	ns
tDD	SDIO_DATA 输出延时	0.6tCCLK_IN-4.7	0.6tCCLK_IN+2.1	ns
tCS	SDIO_CMD 输入建立时间	5.0	-	ns
tCH	SDIO_CMD 输入保持时间	0.7	-	ns
tDS	SDIO_DATA 输入建立时间	5.3	-	ns
tDH	SDIO_DATA 输入保持时间	0.7	-	ns

### 10.8.2.2 接口时序

输出方向时序

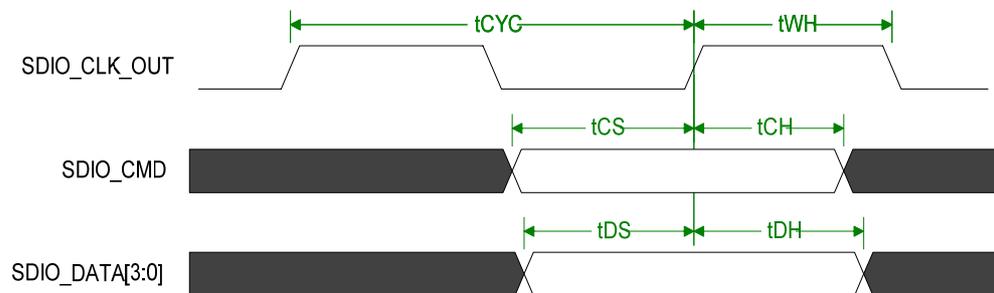


图10-51 输出方向时序图



输入方向时序

图10-52 输入方向时序图



## 10.8.3 应用说明

### 时钟门控

在软件完成当前命令或数据传输，并且未启动新传输时可关闭 SDIO\_CCLK\_OUT 时钟，但需要确保 MMC 已处于空闲状态。

具体步骤如下：

- 步骤 1 读寄存器 `MMC_STATUS`。
- 步骤 2 若 `MMC_STATUS[Command fsm states]`和 `MMC_STATUS[data_state_mc_busy]`均为 0，则向 `MMC_CTRL` 写“0”，屏蔽 MMC 中断、DMA 请求使能等，进入步骤 3。若其中有一个为非 0，则延时等待，返回步骤 1。
- 步骤 3 向 `CRG` 寄存器 `PERI_CRG32 bit[5] (SDIO1) / bit[1] (SDIO0)` 写“0”，关闭对应时钟。
- 步骤 4 如果需要重新开启工作时钟，则向 `CRG` 寄存器 `PERI_CRG32 bit[5] (SDIO1) / bit[1] (SDIO0)` 写“1”。

----结束



## 软复位

在数据传输出现异常而导致 MMC 无法回到空闲状态时，配置 CRG 寄存器 PERI\_CRG32 bit[4] (SDIO1) / bit[0] (SDIO0) 写“1”对 SDIO 模块进行软复位。查询寄存器 MMC\_STATUS[Data\_busy]确认控制器是否处于空闲状态。

建议在使用 MMC 之前和热插拔卡后，软复位 MMC。

## 工作时钟配置

在使用 MMC 前，需为其配置合适的工作时钟频率。MMC 的工作时钟可选择 24MHz 或者 50MHz，通过 CRG 寄存器 PERI\_CRG32 bit[6] (SDIO1) / bit[2] (SDIO0) 配置。

## 接口时钟配置

遵从不同协议版本的 MMC 卡，以及 MMC 卡处于不同的状态时，均使用不同的时钟频率。MMC 内部提供一个偶数分频器以便于将工作时钟分频至合适的接口时钟。控制器工作时钟 CCLK\_IN 与接口时钟 SDIO\_CCLK\_OUT 的频率关系为：

$$F_{SDIO\_CCLK\_OUT} = F_{CCLK\_IN} / (2 * clk\_divider)$$

其中，分频因子 clk\_divider 为寄存器 MMC\_CLKDIV[clk\_divider]的值。不同卡类型支持的时钟频率不同，卡侧 F<sub>SDIO\_CCLK\_OUT</sub> 最高不超过 50MHz。

在改变 MMC 卡的时钟频率之前，必须保证没有数据或指令正在传输。为了避免输出到 MMC 卡的时钟产生毛刺，在改变 MMC 卡的时钟频率时应该遵照以下步骤：

### 步骤 1 关闭接口时钟。

将寄存器 MMC\_CLKNA 配置为 0x0000\_0000，并将寄存器 MMC\_CMD[Start\_cmd]、MMC\_CMD[Update\_clk\_regs\_only]和 MMC\_CMD[Wait\_prvdata\_complete]置“1”，等待寄存器 MMC\_CMD[Start\_cmd]被自动清零。

### 步骤 2 设置分频因子。

根据所需要的时钟频率设置寄存器 MMC\_CLKDIV，并将寄存器 MMC\_CMD[Start\_cmd]和 MMC\_CMD[Update\_clk\_regs\_only]置“1”，等待寄存器 MMC\_CMD[Start\_cmd]被自动清零。

### 步骤 3 重新使能接口时钟。

将寄存器 MMC\_CLKENA 配置为 0x0000\_0001，并将寄存器 MMC\_CMD[Start\_cmd]和 MMC\_CMD[Update\_clk\_regs\_only]置“1”，等待寄存器 MMC\_CMD[Start\_cmd]被自动清零。

----结束



### 注意

- 只有当寄存器 `MMC_CMD[Start_cmd]` 和 `MMC_CMD[Update_clk_only]` 置“1”时，寄存器 `MMC_CLKDIV`、`MMC_CLKENA` 的值才会被载入。当载入成功以后，MMC 会自动清零寄存器 `MMC_CMD[Start_cmd]`。如果此时有其他指令正在执行，则会产生 HLE（Hardware Locked Error）中断。若产生 HLE 中断，清除中断后重新发命令即可。

当有指令执行和数据传输时，不能改变卡的时钟参数。

## 初始化

与卡进行命令和数据的交互前，需要初始化 MMC，步骤如下：

- 步骤 1 配置 MMC 工作时钟频率。请参见“10.8.3 应用说明”中的“工作时钟配置”。
- 步骤 2 当卡上电，指令和数据信号线上拉稳定后，软复位 MMC。请参见“10.8.3 应用说明”中的“软复位”。
- 步骤 3 清中断。将寄存器 `MMC_RINTSTS` bit[15:0]所有位置“1”，清除原始中断状态位。
- 步骤 4 设置寄存器 `MMC_INTMASK`。将寄存器 `MMC_INTMASK` bit[15:0]所有位置“1”，使能各中断源。  
  
若使用 DMA 方式进行数据传输，应将 `MMC_INTMASK` bit[4]、`MMC_INTMASK` bit[5] 置“0”，以屏蔽接收/发送 FIFO 数据请求中断。
- 步骤 5 将寄存器 `MMC_CTRL[Int_enable]`置“1”，使能 MMC 中断。
- 步骤 6 配置超时参数寄存器 `MMC_TMOUT`。
- 步骤 7 配置 FIFO 参数寄存器 `MMC_FIFOTH`。

----结束

完成以上步骤后，就可以配置接口时钟，往卡发送指令了。

## 非数据传输指令

MMC 在指令发送后，一旦收到响应（无论对错或超时），就会将寄存器 `MMC_RINTSTS` bit[2]置位。短响应保存到寄存器 `MMC_RESP0` 中，长响应保存到寄存器 `MMC_RESP0~MMC_RESP3` 中，寄存器 `MMC_RESP3` bit[31]为最高位，`MMC_RESP0` bit[0]为最低位。当指令发出以后，其错误是由指令响应以及寄存器 `MMC_RINTSTS` 的错误位反映。

发送非数据传输指令的步骤如下：

- 步骤 1 在寄存器 `MMC_CMDARG` 中设置相应的指令参数。
- 步骤 2 根据表 10-15 设置指令寄存器 `MMC_CMD`。
- 步骤 3 等待指令被 MMC 执行。如果指令已执行，MMC 自动清零寄存器 `MMC_CMD[Start_cmd]`。



- 步骤 4 检查寄存器 `MMC_RINTSTS` bit[12]是否产生 HLE 中断。
- 步骤 5 等待指令执行完毕。MMC 收到响应（无论对错或超时）时将寄存器 `MMC_RINTSTS` bit[2]置“1”，表示 Command Done。
- 步骤 6 检查是否有响应异常，必要时可读取响应值。

读取寄存器 `MMC_RINTSTS` bit[8]、`MMC_RINTSTS` bit[6]和 `MMC_RINTSTS` bit[1]，检查响应超时、响应 CRC 错误和响应错误。

----结束



### 注意

- 只有当寄存器 `MMC_CMD`[Start\_cmd]置“1”、`MMC_CMD`[Update\_clock\_registes\_only]置“0”时，寄存器 `MMC_BYTCNT`、`MMC_BLKSIZE`、`MMC_CMDARG` 和 `MMC_CMD` 的值才能被载入。载入成功后，MMC 自动清零 `MMC_CMD`[Start\_cmd]。

如果有其他指令正在执行，会产生 HLE 中断，此时重新执行操作即可。在非数据传输指令执行时，寄存器 `MMC_BYTCNT` 和 `MMC_BLKSIZE` 的值被忽略。

表10-15 非数据传输指令时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
data_transfer_expected	0	非数据传输指令。
card_number	0	-
cmd_index	Cmd index	指令序号。
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
rsponse_length	0	当响应为长响应类型时置“1”。
rsponse_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、指令 <code>CMD4</code> 、指令 <code>CMD15</code> 。
Wait_prvdata_complete	1 or 0	在发送指令之前，MMC 必须等待正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了在数据传输时查询卡状态或停止当前数据的传输。



参数	取值	描述
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

## 单块或多块读数据

读取单块或多块数据的步骤如下：

- 步骤 1 向寄存器 `MMC_CTRL[fifo_reset]` 写“1”，复位 FIFO 指针，查询等待该位自动清零。
- 步骤 2 向寄存器 `MMC_BYTCNT` 写入待传输数据的字节数。
- 步骤 3 向寄存器 `MMC_BLKSIZE` 写入块的大小。
- 步骤 4 向寄存器 `MMC_CMDARG` 写入读取数据的起始地址。
- 步骤 5 根据表 10-16 设置寄存器 `MMC_CMD`。

对于 SD/MMC 卡，分别使用指令 CMD17/CMD18 进行单块/多块读操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块读操作。

一旦寄存器 `MMC_CMD` 被写入，MMC 就执行指令；当指令被送到总线上以后，产生 `cmd_done` 中断。

- 步骤 6 检查寄存器 `MMC_RINTSTS` bit[5]和 `MMC_RINTSTS` bit[10]，如果其中之一为 1 或都为 1，则从寄存器 `MMC_DATA` 读取 FIFO 中的数据，以便 MMC 接收后面的数据；同时检查数据错误中断，即寄存器 `MMC_RINTSTS` bit[7]、`MMC_RINTSTS` bit[9]、`MMC_RINTSTS` bit[13]和 `MMC_RINTSTS` bit[15]。此时，程序可以发送一个停止指令中止数据的传输。
- 步骤 7 当寄存器 `MMC_RINTSTS` bit[3]为 1 时，数据传输完成，从寄存器 `MMC_DATA` 中读取残留在 FIFO 中的数据。
- 步骤 8 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]`置“1”，MMC 自动发送停止指令结束一次数据传输，请参见“10.8.3 应用说明”中的“Auto-stop 使用配置”。

----结束

表10-16 单块或多块读数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 CMD0。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 CMD12。



参数	取值	描述
send_auto_stop	0 or 1	请参见“10.8.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read/write	0	从卡中读取数据。
rspnse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rspnse_expect	1	当指令无响应时置“0”，如：指令 CMD0、CMD4、CMD15。
cmd_index	Cmd index	命令序号。
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待正在处理的数据传输指令结束。建议此位一直置1，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

## 单块与多块写数据

写入单块或多块数据的步骤如下：

- 步骤 1 向寄存器 `MMC_CTRL[fifo_reset]` 写“1”，复位 FIFO 指针，查询等待直至该位自动清零。
  - 步骤 2 向寄存器 `MMC_BYTCNT` 写入待传输数据的大小。
  - 步骤 3 向寄存器 `MMC_BLKSIZE` 写入块的大小。
  - 步骤 4 向寄存器 `MMC_CMDARG` 写入数据的起始地址。
  - 步骤 5 将数据写入 FIFO，即写寄存器 `MMC_DATA`，通常在开始时应写满 FIFO。
  - 步骤 6 根据表 10-17 设置寄存器 `MMC_CMD`。
- 对于 SD/MMC 卡，分别使用指令 CMD24/CMD25 进行单块/多块写操作；对于 SDIO 卡，使用指令 CMD53 进行单块/多块写操作。
- 步骤 7 检查寄存器 `MMC_RINTSTS` bit[4]和 `MMC_RINTSTS` bit[10]，如果其中之一为 1 或都为 1，写寄存器 `MMC_DATA` 往 FIFO 填充数据；同时应检查数据错误中断，即检查寄存器 `MMC_RINTSTS` bit[7]、`MMC_RINTSTS` bit[9]、`MMC_RINTSTS` bit[13]和 `MMC_RINTSTS` bit[15]。如果有需要，程序可以发送一个停止指令以中止数据的传输。当寄存器 `MMC_RINTSTS` bit[3]为 1，数据传输结束。
  - 步骤 8 若执行指令时已将寄存器 `MMC_CMD[Send_auto_stop]`置“1”，MMC 自动发送停止指令结束一次数据传输。请参见“10.8.3 应用说明”中的“Auto-stop 使用配置”。



步骤 9 查询并等待寄存器 `MMC_STATUS[data_busy]` 由 1 变为 0。

----结束

表10-17 单块或多块写数据时的寄存器 `MMC_CMD` 配置参考（默认值）

参数	取值	描述
Start_cmd	1	启动指令发送。
Update_clock_registes_only	0	非时钟参数更新指令。
card_number	0	-
send_initialization	0	当指令为卡复位时置“1”，如指令 <code>CMD0</code> 。
stop_abort_cmd	0	当指令为停止数据传输时置“1”，如指令 <code>CMD12</code> 。
send_auto_stop	0 or 1	请参见“10.8.3 应用说明”中的“Auto-stop 使用配置”。
transfer_mode	0	块传输。
read_write	1	往卡写入数据。
rspnse_length	0	数据指令均为短响应。
data_transfer_expected	1	数据传输指令。
rspnse_expect	1	当指令无响应时置“0”，如：指令 <code>CMD0</code> 、 <code>CMD4</code> 、 <code>CMD15</code> 。
cmd_index	Cmd index	-
Wait_prvdata_complete	1 or 0	在发送指令之前，主设备必须等待直到正在处理的数据传输指令结束。建议此位一直置“1”，除非该指令是为了询问卡状态或停止当前数据的传输。
Check_response_crc	1 or 0	MMC 是否检查响应的 CRC 校验位。

## 流数据读写

流数据的读写方式，除了将寄存器 `MMC_CMD[Transfer_mode]` 置“1”外，其他与块数据的读写方式一致。对于流数据的传输，通常需要使用 Auto-stop 功能。

## 内置 DMA 方式数据传输

MMC 控制器含有内置 DMA 控制器（IDMAC），IDMAC 可以根据指定的描述子把数据从原地址搬移到目的地址。

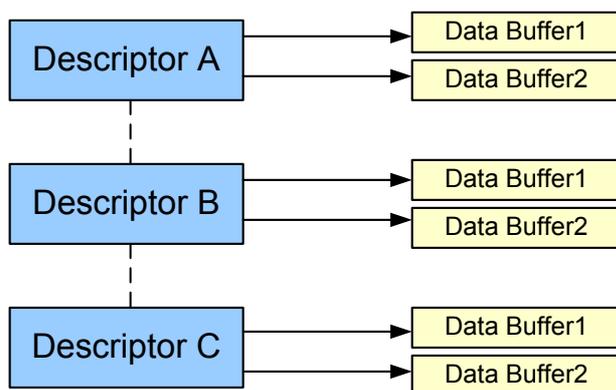


## 描述子

IDMAC 可以使用如下两种类型的描述子：

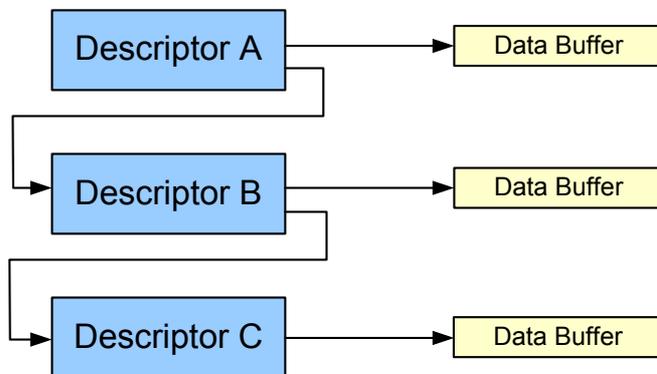
- 双 Buffer 结构：两个描述子之间的间隔根据 `MMC_BMOD` 寄存器的 `DSL` 位来指定。双 buffer 结构的示意图如图 10-53 所示。

图10-53 双 buffer 结构示意图



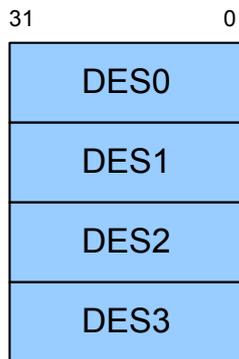
- 链结构：每个描述子指向唯一的 buffer 和下一个描述子。链结构的示意图如图 10-54 所示。

图10-54 链结构示意图



描述子必须以 word 对齐，每个描述子包含 16bytes 的控制和状态信息。描述子的内部结构如图 10-55 所示。

图10-55 32bit 位宽的描述子的结构



DES0 保护控制和状态信息，具体含义如表 10-18 所示。

表10-18 DES0 各 bit 的含义：

位	名称	说明
31	OWN	描述子属性指示： 0：表示该描述子属于 CPU 1：表示该描述子属于 IDMAC 使用内部 DMA 完成数据传输后，IDMAC 将该位清 0
30	CES	读写卡时出错的状态指示： 0：没有错 1：出错
29:6	RES	保留
5	ER	描述子链路结束指示： 0：不是最后一个 1：该链路最后一个描述子 只对双 buffer 结构的描述子有意义
4	CH	第二个地址（DES3 的地址）的含义： 0：DES3 中的第二个地址是指第二个 buffer 的地址 1：DES3 中的第二个地址是指下一个描述子的地址。 但该位为 1 时，DES1[25:13]应该是 0。
3	FS	为 1 表示该描述子包含第一个数据 buffer，如果第 1 个数据 buffer 的大小为 0，那么下一个描述子包含起始数据。
2	LD	为 1 表示该描述子指向的 buffer 是最后一个数据 buffer
1	DIC	为 1 时阻止数据传输结束上报中断



位	名称	说明
0	RES	保留

DES1 指示 buffer 大小，具体含义如表 10-19 所示。

表10-19 DES1 各 bit 的含义：

位	名称	说明
31: 26	RES	保留
25: 13	BS2	第二个数据 buffer 的 byte 数，必须是 4 的整数倍。DES0[4]为 1 时该位无意义
12: 0	BS1	第一个数据 buffer 的 byte 数，必须是 4 的整数倍

DES2 表示第一个数据 buffer 的地址指针，具体含义如表 10-20 所示。

表10-20 DES2 各 bit 的含义：

位	名称	说明
31:0	BAP1	第一个数据 buffer 的物理地址，必须 word 对齐。

DES3 表示第二个地址，具体含义如表 10-21 所示。

表10-21 DES3 各 bit 的含义：

位	名称	说明
31:0	BAP2	当使用的是双 buffer 结构时，表示第二个数据 buffer 的物理地址。如果 DES0[4]是 1，该地址表示下一个描述子的物理地址。

## 初始化

- 步骤 1 配置 MMC\_BMOD 寄存器，设置总线参数
- 步骤 2 配置 MMC\_IDINTEN 寄存器，屏蔽不需要的寄存器
- 步骤 3 创建发送或接收描述子链表，然后配置 MMC\_DBADDR 寄存器，设置起始地址
- 步骤 4 IDMAC 尝试从描述子链表中获取描述子

----结束



## 发送

- 步骤 1 CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1, 同时准备好数据 buffer。
- 步骤 2 把写数据命令写入 `MMC_CMD` 寄存器。
- 步骤 3 通过 `MMC_FIFOTH` 寄存器设置 TX\_Wmark。
- 步骤 4 IDMAC 获取描述子并判断 OWN 是否为 1, 如果 OWN 不为 1 则需要等待 CPU 释放描述子, 同时, IDMAC 会进入 suspend 状态, 需要 CPU 配置 `MMC_PLDMND` 寄存器使 IDMAC 重新获取描述子。
- 步骤 5 OWN 为 1 时, IDMAC 从数据 buffer 中搬移数据到 MMC 内部 FIFO。
- 步骤 6 如果中断已经使能, 数据搬移完成后 IDMAC 状态寄存器 `MMC_IDSTS` 的相应为将被更新, 同时 OWN 位被清零。

----结束

## 接收

- 步骤 1 CPU 创建描述子 (DES0~DES3) 并将 DES0[31]位 OWN 置为 1
- 步骤 2 把读数据命令写入 `MMC_CMD` 寄存器
- 步骤 3 通过 `MMC_FIFOTH` 寄存器设置 RX\_WMark
- 步骤 4 IDMAC 获取描述子并判断 OWN 是否为 1, 如果 OWN 不为 1 则需要等待 CPU 释放描述子, 同时, IDMAC 会进入 suspend 状态, 需要 CPU 配置 `MMC_PLDMND` 寄存器使 IDMAC 重新获取描述子。
- 步骤 5 OWN 为 1 时, IDMAC 从 MMC 内部 FIFO 中搬移数据到外部的数据 buffer
- 步骤 6 如果中断已经使能, 数据搬移完成后 IDMAC 状态寄存器 `MMC_IDSTS` 的相应为将被更新, 同时 OWN 位被清零。

----结束

## Auto-stop 使用配置

在多块读写指令操作中, 需使用停止指令完成一次数据传输。停止指令的发送可以通过[非数据传输指令](#)的方式发送, 也可以使用 Auto-stop 功能发送。

Auto-stop 功能的应用场合如下:

- SD 卡
  - 多块读写操作, 如指令 CMD18 和指令 CMD25。
- MMC 卡
  - 流数据读写操作。
  - open-ended 方式多块读写操作, 如指令 CMD18 和指令 CMD25。

建议使用控制器提供的 Auto-stop 功能, 配置过程如下:



- 步骤 1 在执行块数据传输指令操作中，将寄存器 `MMC_CMD[Send_auto_stop]` 置“1”。
- 步骤 2 在所有数据传输完成后，MMC 自动发送一次停止指令，以便卡能返回相应的状态。
- 步骤 3 检查寄存器 `MMC_RINTSTS[auto_cmd_done]`，判断该停止指令是否完成。其响应保存在寄存器 `MMC_RESP1` 中。

----结束

## 停止或中止数据传输

停止指令用于打断 MMC 与卡之间的数据传输，中止指令用于打断 I/O 数据的传输（仅用于 SDIO\_IOONLY 或 SDIO\_COMBO）。

这两种指令的用法如下：

- 停止指令  
该指令可以在数据传送的任何阶段进行发送。因为该指令用于停止数据传输，所以需要将寄存器 `MMC_CMD bit[5:0]` 设为指令 CMD12，将寄存器 `MMC_CMD bit[14]` 设为 1，将寄存器 `MMC_CMD bit[13]` 设为 0。
- 中止指令  
该指令仅用于 SDIO\_IOONLY 或 SDIO\_COMBO。为了中止数据的传输，需要通过指令 CMD52 设置 SDIO 卡的寄存器 `CCCR[ASx]`。

## Suspend 和 Resume 操作

对于 SDIO 卡（内部最多可容纳 7 个功能设备），MMC 可通过 Suspend 操作暂停某一功能设备的数据传输，将 SD 接口总线出让给另一个有更高优先级的功能设备。高优先级的功能设备完成数据传输后，MMC 通过 Resume 操作恢复前一功能设备未完成的数据传输。

Suspend 与 Resume 操作通过设置 SDIO 卡的寄存器 CCCR 来实现。读写寄存器 CCCR，使用指令 CMD52。

Suspend 操作步骤如下：

- 步骤 1 查询寄存器 `CCCR[SBS]`，判断 SDIO 卡是否支持 suspend/resume 操作。
- 步骤 2 查询寄存器 `CCCR[FSx]` 和 `[BS]`，判断待暂停的功能设备是否正在进行数据传输。

如果 `[BS]` 为 1，则 `[FSx]` 位所指定的功能设备正在进行数据传输。

- 步骤 3 将寄存器 `CCCR[BR]` 置“1”，暂停当前数据传输。
- 步骤 4 检测寄存器 `CCCR[BS]` 和 `[BR]` 状态是否清零。

`[BS]`（Bus 状态）在数据总线正被使用时保持为 1。`[BR]`（Bus 释放）在总线完全释放之前保持为 1。当 `[BR]` 与 `[BS]` 都为 0 时，所选功能设备的数据传输被暂停。

- 步骤 5 如果暂停正在进行的读操作，在 suspend 操作成功完成以后，必须置位寄存器 `MMC_CTRL[Abort_read_data]` 来复位 MMC 的数据传输功能。复位完成后，寄存器 `MMC_CTRL[Abort_read_data]` 自动清零。
- 步骤 6 读寄存器 `MMC_TCBCNT` 获取已传输数据字节数。



----结束

Resume 操作步骤如下：

- 步骤 1 检查卡是否处于非传输状态，以确认总线处于空闲状态。
- 步骤 2 如果卡处于 disconnect 状态，使用指令 CMD7 将它选中。卡的状态可以通过指令 CMD52/CMD53 获取。
- 步骤 3 检查待恢复的功能设备是否准备好进行数据传输（查询寄存器 CCCR[RF]）。如果 [RF]=1，则该功能设备已准备好进行数据传输。
- 步骤 4 为了恢复传输，使用指令 CMD52 将功能设备号写入寄存器 CCCR[FS]。发送指令 CMD52 的同时应启动 MMC 进入数据传输状态，即向寄存器 MMC\_BLKSIZE 写入块的大小，向寄存器 MMC\_BYTCNT 写入剩余待传输数据量。  
寄存器 MMC\_CMDARG 的配置如表 10-22 所示，寄存器 MMC\_CMD 的配置与块传输类似。
- 步骤 5 当指令 CMD52 成功发送以后，数据传输恢复正常。读取 SDIO 设备的 DF（Resume Data Flag）标志位，如果为 1，则在功能被恢复的同时，数据开始传输；如果为 0，则已无数据需要传输。
- 步骤 6 如果 DF 标志位为 0，在读数据的情况下，MMC 会等待一段时间后产生数据超时错误中断。

----结束

表10-22 Resume 操作时的寄存器 MMC\_CMDARG 配置参考

MMC_CMDARG	取值	描述
Bit[31]	1	读写标志。
Bit[30:28]	0	功能设备号，访问寄存器 CCCR。
Bit[27]	1	实时标志，先写后读。
Bit[26]	-	-
Bit[25:9]	0x0D	寄存器地址。
Bit[8]	-	-
Bit[7:0]	被恢复的功能号	写数据。



**注意**

系统处于低功耗模式后不能通过 MMC 唤醒。



## Read wait 操作

Read wait 操作用于暂停 SDIO 卡当前功能设备的数据传输。MMC 根据需要决定暂停数据传输的时间长度。

Read wait 操作步骤如下：

步骤 1 检查卡是否支持 read wait 操作。

使用指令 CMD52 读取寄存器 CCCR[SRW]。如果为 1，则卡的所有功能设备都支持 read wait 操作。

步骤 2 如果卡支持 read wait 操作，将寄存器 MMC\_CTRL[Read\_wait]置“1”。

步骤 3 如需恢复数据传输，清零寄存器 MMC\_CTRL[Read\_wait]。

----结束

## 10.8.4 寄存器概览

MMC 寄存器概览如表 10-23 所示。

表10-23 MMC 寄存器概览（基址是 0x1002\_0000 (SDIO0) / 0x1003\_0000 (SDIO1)）

偏移地址	名称	描述	页码
0x0000	MMC_CTRL	MMC 控制寄存器	10-123
0x0004	MMC_PWREN	Power_en 控制寄存器	10-125
0x0008	MMC_CLKDIV	时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比	10-126
0x000C	MMC_CLKSRC	SD 卡的时钟源选择寄存器	10-126
0x0010	MMC_CLKENA	时钟使能寄存器	10-127
0x0014	MMC_TMOUT	超时时间寄存器	10-128
0x0018	MMC_CTYPE	卡类型寄存器	10-126
0x001C	MMC_BLKSIZE	块大小配置寄存器	10-127
0x0020	MMC_BYTCNT	块传输计数寄存器	10-128
0x0024	MMC_INTMASK	中断屏蔽寄存器	10-128
0x0028	MMC_CMDARG	指令参数寄存器	10-129
0x002C	MMC_CMD	命令寄存器	10-129
0x0030	MMC_RESP0	响应寄存器 0	10-130
0x0034	MMC_RESP1	响应寄存器 1	10-131
0x0038	MMC_RESP2	响应寄存器 2	10-131



偏移地址	名称	描述	页码
0x003C	MMC_RESP3	响应寄存器 3	10-134
0x0040	MMC_MINTSTS	屏蔽后中断状态寄存器	10-135
0x0044	MMC_RINTSTS	原始中断状态寄存器	10-135
0x0048	MMC_STATUS	状态寄存器	10-135
0x004C	MMC_FIFOTH	FIFO 水位值寄存器	10-136
0x0050	MMC_CDETECT	卡检测寄存器	10-137
0x0054	MMC_WRTprt	卡写保护寄存器	10-138
0x005C	MMC_TCBCNT	发送到卡的 byte 数目寄存器	10-140
0x0060	MMC_TBBCNT	BIU FIFO 传送数据的 byte 数目寄存器	10-141
0x0080	MMC_BMOD	总线模式寄存器	10-142
0x0084	MMC_PLDMND	Poll demand 寄存器	10-142
0x0088	MMC_DBADDR	描述子链表的基地址寄存器	10-143
0x008C	MMC_IDSTS	IDMAC 状态寄存器	10-143
0x0090	MMC_IDINTEN	IDMAC 中断使能寄存器	10-144
0x0094	MMC_DSCADDR	当前描述子地址寄存器	10-145
0x0098	MMC_BUFADDR	当前数据 buffer 地址寄存器	10-145
0x0100	MMC_DATA	数据寄存器，为 FIFO 入口地址	10-146

## 10.8.5 寄存器描述

### MMC\_CTRL

MMC\_CTRL 为 MMC 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		MMC_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved		Use_internal_dmac Enable_OD_pullup	reserved				Abort_read_data Send_irq_response Read_wait Dma_enable Int_enable	reserved Dma_reset Fifo_reset Controller_reset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:26]	-	reserved	保留。						
[25]	RW	Use_internal_dmac	是否使用内置 DMA 搬移数据。 0: CPU 使用 slave 接口搬移数据; 1: 使用内部 DMA 搬移数据。						
[24]	RW	Enable_OD_pullup	外部 open-drain pullup。 0: 不使能; 1: 使能。 该值在内部取反后送到管脚 SDIO <sub>n</sub> _CCMD_ODPULLUP_EN <sub>N</sub> (n=0, 1)						
[23:9]	-	reserved	保留。						
[8]	RW	Abort_read_data	读数据过程中是否中止。 0: 无效; 1: 在读操作过程中发送 suspend 指令后, 软件让卡去查找 suspend 何时出现。 一旦 suspend 出现, 软件将该位置“1”, 使数据传输状态机回到 Idle 状态, 等待下一个块传输。 状态机回到 Idle 后状态, 此比特自动清零。						
[7]	RW	Send_irq_response	发送中断响应控制 0: 无效; 1: 发送自动 IRQ 回复。 当回复已经发送, 此比特自动清零。 为了等待 MMC 产生中断, 主侧发送指令 CMD40 并等待来自 MMC 的中断回复。同时, 如果主侧希望不再停留在中断等待状态, 可将该比特置“1”, 发送指令 CMD40 并回到 IDLE 状态。						



[6]	RW	Read_wait	读等待控制。 0: 禁止读等待; 1: 使能读等待。 此位仅用在具有 SDIO 功能的卡上, 要求卡支持读等待功能。
[5]	RW	Dma_enable	保留。系统使用的是内部 DMAC。
[4]	RW	Int_enable	全局中断使能。 0: 禁止; 1: 使能。 当该比特有效且有中断源被使能时, 中断输出才有效。
[3]	-	reserved	保留。
[2]	RW	Dma_reset	内部 DMAC 软复位控制。 0: 无效; 1: 复位内部 DMA 接口。 该比特在两个 AHB 时钟周期后自动复位。
[1]	RW	Fifo_reset	内部 FIFO 软复位控制。 0: 无效; 1: 复位 FIFO 指针。 当复位操作结束后, 该比特自动复位。
[0]	RW	Controller_reset	控制器软复位控制。 0: 无效; 1: 复位 MMC/SD/SDIO Host 模块。

## MMC\_PWREN

MMC\_PWREN 为 Power\_en 控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x0004		MMC_PWREN		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Power_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	Power_enable	POWER 控制。 0: 关闭电源; 1: 打开电源。 该值用来驱动管脚 SDIO <sub>n</sub> _CARD_POWER_EN。 (n=0, 1)						

### MMC\_CLKDIV

MMC\_CLKDIV 为时钟分频系数寄存器，显示模块输出时钟与输入时钟分频比。假如模块输入时钟为 40MHz，寄存器配置为 1，则输出时钟为 20MHz。

时钟分频系数值为  $2 \times N$ 。比如，N 为 0x0 时， $2 \times 0 = 0$ （无分频）；N 为 0x1 时为 2 分频；N 为 0xFF 时为 510 分频。

Offset Address		Register Name		Total Reset Value				
0x0008		MMC_CLKDIV		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						Clk_divider0	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	Clk_divider0	时钟分频系数 0。时钟分频系数是 $2 * n$ ，比如，0 为无分频，1 为 2 分频，ff 即为 510 分频等等。					

### MMC\_CLKSRC

MMC\_CLKSRC 为 SD 卡的时钟源选择寄存器。



Offset Address		Register Name		Total Reset Value					
0x000C		MMC_CLKSRC		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Clk_source
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	Clk_source	必须配置为 0。						

## MMC\_CLKENA

MMC\_CLKENA 为时钟使能寄存器。

Offset Address		Register Name		Total Reset Value				
0x0010		MMC_CLKENA		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Cclk_low_power	reserved			Cclk_enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					
[16]	RW	Cclk_low_power	卡的低功耗控制，用于关闭卡时钟。 0：无低功耗模式； 1：低功耗模式。 当卡处于 IDLE 状态时，停止该卡时钟。该功能一般只用于 MMC/SD 卡。对于 SDIO，为了能检测到中断，时钟不能停止。					
[15:1]	RW	reserved	保留。					



[0]	RW	Cclk_enable	卡的时钟使能控制。 0: 时钟关闭; 1: 时钟使能。
-----	----	-------------	-----------------------------------

### MMC\_TMOUT

MMC\_TMOUT 为超时时间寄存器。

Offset Address		Register Name		Total Reset Value					
0x0014		MMC_TMOUT		0xFFFF_FF40					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	Data_timeout						response_timeout		
Reset	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	0 1 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	RW	Data_timeout	卡数据传输超时时间，该值同时用作 CPU 的 data starvation 超时时间。单位为该卡的 mmc_clk 周期。						
[7:0]	RW	response_timeout	回复超时时间，单位为该卡的 mmc_clk 周期。						

### MMC\_CTYPE

MMC\_CTYPE 为卡类型寄存器。

Offset Address		Register Name		Total Reset Value				
0x0018		MMC_CTYPE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Card_width	reserved			Card_width1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:17]	-	reserved	保留。					



[16]	RW	Card_width_0	配置卡的总线宽度。 0: 非 8bit 模式; 1: 8bit 模式。 下面为卡配置说明: 如果 bit[16]=1, 卡将被配置成 8bit 模式。此时 bit[0]的值被忽略。 如果 bit[16]=0, 卡将会是 1bit 或者 4bit 模式, 取决于 bit[0]的配置。
[15:1]	RW	reserved	保留。
[0]	RW	Card_width_1	配置卡的总线宽度。 0: 1bit 模式; 1: 4bit 模式。

## MMC\_BLKSIZE

MMC\_BLKSIZE 为块大小配置寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x001C	MMC_BLKSIZE	0x0000_0200													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								Block_size							
Reset	0 1 0 0 0 0 0 0 0 0 0															
Bits	Access	Name	Description													
[31:16]	-	reserved	保留。													
[15:0]	RW	Block_size	块大小值, 初始值为 512byte/block。													

## MMC\_BYTCNT

MMC\_BYTCNT 为块传输计数寄存器。



Offset Address		Register Name		Total Reset Value				
0x0020		MMC_BYTCNT		0x0000_0200				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	Byte_count	被传输的字节数，应该为块大小的整数倍。 如果为非块传输，本寄存器需要置“0”，此时必须由软件发出 stop/abort 命令来控制数据传输操作。					

## MMC\_INTMASK

MMC\_INTMASK 为中断屏蔽寄存器。

Offset Address		Register Name		Total Reset Value					
0x0024		MMC_INTMASK		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Sdio_int_mask		Int_mask			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16]	RW	Sdio_int_mask	屏蔽 SDIO 中断。 0: 屏蔽; 1: 使能。						



[15:0]	RW	Int_mask	<p>屏蔽中断。0：屏蔽；1：使能。</p> <p>Bit[15]: End-bit error (read) /Write no CRC (EBE)</p> <p>Bit[14]: Auto command done (ACD)</p> <p>Bit[13]: Start-bit error (SBE)</p> <p>Bit[12]: Hardware locked write error (HLE)</p> <p>Bit[11]: FIFO underrun/overflow error (FRUN)</p> <p>Bit[10]: Data starvation-by-host timeout (HTO)</p> <p>Bit[9]: Data read timeout (DTO)</p> <p>Bit[8]: Response timeout (RTO)</p> <p>Bit[7]: Data CRC error (DCRC)</p> <p>Bit[6]: Response CRC error (RCRC)</p> <p>Bit[5]: Receive FIFO data request (RXDR)</p> <p>Bit[4]: Transmit FIFO data request (TXDR)</p> <p>Bit[3]: Data transfer over (DTO)</p> <p>Bit[2]: Command done (CD)</p> <p>Bit[1]: Response error (RE)</p> <p>Bit[0]: Card detect (CD)</p>
--------	----	----------	---

## MMC\_CMDARG

MMC\_CMDARG 为指令参数寄存器。

	Offset Address	Register Name	Total Reset Value					
	0x0028	MMC_CMDARG	0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Cmd_arg							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	Cmd_arg	配置传输给卡的指令参数。指令参数与协议相关，每个指令都对应一个具体的指令参数。					

## MMC\_CMD

MMC\_CMD 为命令寄存器。



	Offset Address 0x002C								Register Name MMC_CMD								Total Reset Value 0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Name	Start_cmd				reserved				Boot_mode	Disable_boot	Expect_boot_ack	Enable_boot	reserved				Update_clock_registes_only				Card_number								Send_initialization	Stop_abort_cmd	wait_prvdata_complete	Send_auto_stop	Transfer_mode	Read_write	data_transfer_expected	Check_repsonse_crc	Response_length	Response_expect	Cmd_index							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										

Bits	Access	Name	Description
[31]	RW	Start_cmd	启动控制。 0: 不启动; 1: 启动命令。当命令已经被传到 CIU, 该比特被清零。 CPU 不允许修改此寄存器。如果修改, 产生 hardware lock error 中断。 CPU 发送完命令以后需要查询该比特, 查到该比特变为 0 以后再发下一个命令。
[30:28]	-	reserved	保留位。
[27]	RW	Boot_mode	Boot 模式。 0: Boot 模式; 1: 备选 Boot 模式。
[26]	RW	Disable_boot	禁用 Boot。 当软件同时使能此 bit 和 Start_cmd 时, 控制器终止 Boot 操作。 不允许同时使能 Enable_boot 和 Disable_boot。
[25]	RW	Expect_boot_ack	使能 Boot 响应。 当软件同时使能此 bit 和 Enable_boot 时, 控制器将检测 Boot 响应信号, 即“0-1-0”序列。
[24]	RW	Enable_boot	使能 Boot。 此 bit 只能使用在“必选 Boot 模式”。当软件同时使能此 bit 和 Start_cmd 时, 控制器拉低 CMD 信号启动 Boot 流程。 不允许同时使能 Enable_boot 和 Disable_boot。
[23:22]	-	reserved	保留位。



[21]	RW	Update_clock_registers_only	<p>是否自动更新。</p> <p>0: 正常命令顺序, 寄存器 <code>MMC_CMD</code>、<code>MMC_CMDARG</code>、<code>MMC_TMOUT</code>、<code>MMC_CTYPE</code>、<code>MMC_BLKSIZE</code>、<code>MMC_BYTCNT</code> 的值会从 BIU 传到 CIU。CIU 在新命令中使用寄存器新值;</p> <p>1: 不发送命令, 只更新卡时钟域的时钟寄存器值。寄存器 <code>MMC_CLKDIV</code>、<code>MMC_CLKSRC</code>、<code>MMC_CLKENA</code> 的值被转换到卡时钟域。</p> <p>无需发命令给卡即可转换卡时钟 (转换频率和时钟开关), 用于调整卡时钟频率以及控制卡时钟开关。</p> <p>每次改变卡时钟时, 需要将该比特设为 “1”。此时不会有命令被传送给卡, 也不会产生 Command Done 中断。</p>
[20:16]	RW	Card_number	正在使用的卡的序号。
[15]	RW	Send_initialization	<p>是否发初始序列</p> <p>0: 在发送 <code>Send_initialization</code> 命令前不送出初始序列 (80 个时钟周期的 “1”);</p> <p>1: 在发送 <code>Send_initialization</code> 命令前送出初始序列。</p> <p>卡上电时, 在发送任何命令以前, 都必须先送出初始序列来做初始化, 即该比特置 “1”。</p>
[14]	RW	Stop_abort_cmd	<p>当 <code>open_end</code> 或定长的数据传输操作正在进行时, 该位取值含义如下。</p> <p>0: 不发送 stop/abort 命令;</p> <p>1: 发送 stop/abort 命令, 终止正在进行的数据传输。</p>
[13]	RW	wait_prvdata_complete	<p>是否立即发送指令</p> <p>0: 立即发送命令 (即使前一个数据传输还没完成);</p> <p>1: 等到前一个数据传输完成才发送命令。</p> <p>“0” 为典型值, 用于数据传输时读取状态或中断传输。</p>
[12]	RW	Send_auto_stop	<p>是否发送 stop 命令</p> <p>0: 数据传完以后不发 stop 命令;</p> <p>1: 数据传完以后发 stop 命令。</p> <p>在非数据传输时, 该比特被忽略。</p>
[11]	RW	Transfer_mode	<p>传输模式</p> <p>0: block 传输命令;</p> <p>1: stream 传输命令。</p> <p>在非数据传输时, 该比特被忽略。</p>



[10]	RW	Read_write	读写控制 0: 从卡读取数据; 1: 往卡写数据。 在非数据传输时, 该比特被忽略。
[9]	RW	data_transfer_expected	数据传输指示 0: 没有数据从卡输出; 1: 有数据从卡输出。
[8]	RW	Check_reponse_crc	是否 CRC 检查 0: 不检查 CRC response; 1: 检查 CRC response。 一些命令回复时没有返回有效的 CRC。为了禁止 Host 对 CRC 进行检查, 软件需要针对这些命令禁止该功能。
[7]	RW	Response_length	Response 长度 0: 短 response 从卡输出; 1: 长 response 从卡输出。 长 response 是 128bit, 短 response 是 32bit。
[6]	RW	Response_expect	是否有 response 0: 无 response 从卡输出; 1: 有 response 从卡输出。
[5:0]	RW	Cmd_index	指令序号。

### MMC\_RESP0

MMC\_RESP0 为响应寄存器 0。

	Offset Address				Register Name				Total Reset Value																							
	0x0030				MMC_RESP0				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	Response0																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	Response0		Response 的 bit[31:0]。																											



## MMC\_RESP1

MMC\_RESP1 为响应寄存器 1。

	Offset Address	Register Name	Total Reset Value				
	0x0034	MMC_RESP1	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	Response1						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RO	Response1	长 Response 的 bit[63:32]。 当 CIU 发出 Auto-stop 命令，response 就会被保存在该寄存器。上一条命令的 response 仍然会被保存在寄存器 MMC_RESP0 内。 Auto-stop 只供数据传输使用，回复类型一直是短 response。				

## MMC\_RESP2

MMC\_RESP2 为响应寄存器 2。

	Offset Address	Register Name	Total Reset Value				
	0x0038	MMC_RESP2	0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20				
	19 18 17 16	15 14 13 12	11 10 9 8				
	7 6 5 4	3 2 1 0					
Name	Response2						
Reset	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
	0 0 0 0	0 0 0 0	0 0 0 0				
Bits	Access	Name	Description				
[31:0]	RO	Response2	长 Response 的 bit[95:64]。				

## MMC\_RESP3

MMC\_RESP3 为响应寄存器 3。



Offset Address		Register Name		Total Reset Value				
0x003C		MMC_RESP3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	Response3							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	Response3	长 Response 的 bit[127:96]。					

### MMC\_MINTSTS

MMC\_MINTSTS 为屏蔽后中断状态寄存器。

Offset Address		Register Name		Total Reset Value					
0x0040		MMC_MINTSTS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved			Sdio_interrupt		Int_status			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description						
[31:17]	-	reserved	保留。						
[16]	RO	Sdio_interrupt	SDIO 中断屏蔽状态。 SDIO 中断只有在对应的 <a href="#">MMC_INTMASK</a> [sdio_int_mask] 被使能才有效。 0: 无 SDIO 中断从卡输出; 1: 有 SDIO 中断从卡输出。						



[15:0]	RO	Int_status	<p>各中断状态。</p> <p>Bit[15]: End-bit error (read) /write no CRC (EBE)</p> <p>Bit[14]: Auto command done (ACD)</p> <p>Bit[13]: Start-bit error (SBE)</p> <p>Bit[12]: Hardware locked write error (HLE)</p> <p>Bit[11]: FIFO underrun/overrun error (FRUN)</p> <p>Bit[10]: Data starvation by the host timeout (HTO)</p> <p>Bit[9]: Data read timeout (DTO)</p> <p>Bit[8]: Response timeout (RTO)</p> <p>Bit[7]: Data CRC error (DCRC)</p> <p>Bit[6]: Response CRC error (RCRC)</p> <p>Bit[5]: Receive FIFO data request (RXDR)</p> <p>Bit[4]: Transmit FIFO data request (TXDR)</p> <p>Bit[3]: Data transfer over (DTO)</p> <p>Bit[2]: Command done (CD)</p> <p>Bit[1]: Response error (RE)</p> <p>Bit[0]: Card detect (CD)</p>
--------	----	------------	---

## MMC\_RINTSTS

MMC\_RINTSTS 为原始中断状态寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0044	MMC_RINTSTS	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17	16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				Sdio_interrupt	Int_status				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:17]	-	reserved	保留。							



[16]	RW	Sdio_interrupt	<p>SDIO 中断原始状态。</p> <p>0: 无 SDIO 中断从卡输出；</p> <p>1: 有 SDIO 中断从卡输出。</p> <p>中断状态位的值与中断屏蔽无关。</p>
[15:0]	RW	Int_status	<p>各中断的原始状态。写“1”清零，写“0”不修改。中断状态位的值与中断屏蔽无关。</p> <p>Bit[15]: End-bit error (read) /write no CRC (EBE)</p> <p>Bit[14]: Auto command done (ACD)</p> <p>Bit[13]: Start-bit error (SBE)</p> <p>Bit[12]: Hardware locked write error (HLE)</p> <p>Bit[11]: FIFO underrun/overflow error (FRUN)</p> <p>Bit[10]: Data starvation by the host timeout (HTO)</p> <p>Bit[9]: Data read timeout (DRTO) /Boot Data Start (BDS)</p> <p>Bit[8]: Response timeout (RTO) /Boot Ack Received (BAR)</p> <p>Bit[7]: Data CRC error (DCRC)</p> <p>Bit[6]: Response CRC error (RCRC)</p> <p>Bit[5]: Receive FIFO data request (RXDR)</p> <p>Bit[4]: Transmit FIFO data request (TXDR)</p> <p>Bit[3]: Data transfer over (DTO)</p> <p>Bit[2]: Command done (CD)</p> <p>Bit[1]: Response error (RE)</p> <p>Bit[0]: Card detect (CD)</p>

## MMC\_STATUS

MMC\_STATUS 为状态寄存器。



Offset Address		Register Name		Total Reset Value																																
0x0048		MMC_STATUS		0x0000_0106																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved				FIFO_count								Response_index				data_state_mc_busy			Data_busy		Data_3_status			Commandsm_states				Fifo_full		Fifo_empty		Fifo_tx_watermark		Fifo_rx_watermark	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0				
Bits	Access	Name	Description																																	
[31:30]	-	reserved	保留。																																	
[29:17]	RO	FIFO_count	FIFO 计数值。																																	
[16:11]	RO	Response_index	前一个 response 的序号，包括 Auto-stop 的 response。																																	
[10]	RO	data_state_mc_busy	0: 数据发送/接收状态机空闲； 1: 数据发送/接收状态机正忙。																																	
[9]	RO	Data_busy	0: 卡闲； 1: 卡忙。																																	
[8]	RO	Data_3_status	0: DATA3 管脚为高电平； 1: DATA3 管脚为低电平。																																	



[7:4]	RO	Commandfsm_state s	Command 状态机状态。 0x0: Idle 0x1: Send init sequence 0x2: Tx cmd start bit 0x3: Tx cmd tx bit 0x4: Tx cmd index +arg 0x5: Tx cmd crc7 0x6: Tx cmd end bit 0x7: Rx resp start bit 0x8: Rx resp IRQ response 0x9: Rx resp tx bit 0xA: Rx resp cmd idx 0xB: Rx resp data 0xC: Rx resp crc7 0xD: Rx resp end bit 0xE: Cmd path wait NCC 0xF: Wait, CMD-to-response turnaround
[3]	RO	Fifo_full	FIFO 满标志。 0: FIFO 空; 1: FIFO 满。
[2]	RO	Fifo_empty	FIFO 空标志。 0: FIFO 非空; 1: FIFO 空。
[1]	RO	Fifo_tx_watermark	FIFO 是否到达 Transmit watermark level。 0: 未达到水位; 1: 达到水位。
[0]	RO	Fifo_rx_watermark	FIFO 是否到达 Receive watermark level。 0: 未达到水位; 1: 达到水位。

## MMC\_FIFOTH

MMC\_FIFOTH 为 FIFO 水位值寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		MMC_FIFOTH		0x00FF_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	RX_Wmark			reserved	TX_Wmark			
Reset	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:28]	-	reserved	保留。						
[27:16]	RW	RX_Wmark	<p>读数据时的 FIFO threshold watermark level。当 FIFO 计数大于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。</p> <p>在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。</p> <p>在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。</p> <p>限制：RX_WMark FIFO_DEPTH-2 建议：大于 (FIFO_DEPTH/2) - 1 时发出请求。</p>						
[15:12]	RW	reserved	保留。						
[11:0]	RW	TX_Wmark	<p>发送数据时的 FIFO threshold watermark level。当 FIFO 计数小于该值时，使能 DMA 请求。数据传输结束后为了完成剩余的数据，不论该值为多少，都会产生 DMA 请求。</p> <p>在非 DMA 模式，使能 RXDR 中断。在数据传输完成后如果 FIFO 计数没有大于该值，不会产生中断。这需要软件主动查询 DTD 中断来读取剩余的数据。</p> <p>在 DMA 模式，当数据传输结束时，即使剩余的数据比门限低，DMA 还是会发出 single 传送请求读取数据，直到产生 DTD 中断。</p> <p>限制：TX_WMark FIFO_DEPTH-2 建议：大于 (FIFO_DEPTH/2) - 1 时发出请求。</p>						

## MMC\_CDETECT

MMC\_CDETECT 为卡检测寄存器。



Offset Address		Register Name		Total Reset Value					
0x0050		MMC_CDETECT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Card_detect_n
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	Card_detect_n	卡检测信号。 值由管脚 SDIO_CARD_DETECT 决定。						

## MMC\_WRTPRT

MMC\_WRTPRT 为卡写保护寄存器。

Offset Address		Register Name		Total Reset Value					
0x0054		MMC_WRTPRT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								Write_protect
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RO	Write_protect	卡写保护信号。 值由管脚 SDIO_CWPR 决定。						

## MMC\_TCBCNT

MMC\_TCBCNT 为发送到卡的 byte 数目寄存器。



Offset Address		Register Name		Total Reset Value				
0x005C		MMC_TCBCNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	trans_card_byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	trans_card_byte_count	已经从 CIU 发送到卡的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。					

### MMC\_TBBCNT

MMC\_TBBCNT 为 BIU FIFO 传送数据的 byte 数目寄存器。

Offset Address		Register Name		Total Reset Value				
0x0060		MMC_TBBCNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	trans_fifo_byte_count							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	trans_fifo_byte_count	在 CPU/DMA 与 BIU FIFO 之间传送数据的 byte 数目。 32bit AHB 总线对该寄存器进行访问时，应该一次读完 32bit，避免出现 read-coherency 错误。					

### MMC\_BMOD

MMC\_BMOD 为总线模式寄存器。



	Offset Address								Register Name								Total Reset Value															
	0x0080								MMC_BMOD								0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																PBL	DE	DSL				FB	SWR								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:11]	-		reserved		保留。																											
[10:8]	RW		PBL		IDMAC burst 传输的长度。 000: 1; 001: 4; 010: 8; 011: 16; 1xx: 保留。																											
[7]	RW		DE		IDMAC 使能。 0: 不使能; 1: 使能。																											
[6:2]	RW		DSL		描述子跨越的长度。即两个非链接的描述子之间间隔多少个 WORD。该参数只用于双 buffer 结构描述子。																											
[1]	RW		FB		固定 burst 长度。 0: 使用 SINGLE 和 INCR burst 类型; 1: 使用 SINGLE、INCR4、INCR8、INCR16 burst 类型。																											
[0]	RW		SWR		IDMAC 内部寄存器软复位控制。 0: 不复位; 1: 复位。置位后 1 个时钟周期自动清零。																											

### MMC\_PLDMND

MMC\_PLDMND 为 Poll demand 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0084		MMC_PLDMND		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	PD							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	WO	PD	如果描述子 DES0[OWN]为 0, IDMAC 会进入 suspend 状态, CPU 往该寄存器中写任何值都可以使 IDMAC 重新获取描述子。					

## MMC\_DBADDR

MMC\_DBADDR 为描述子链表的基地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0088		MMC_DBADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	SDL							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	SDL	描述子链表的起始地址。即第一个描述子的基地址。					

## MMC\_IDSTS

MMC\_IDSTS 为 IDMAC 状态寄存器。

Offset Address		Register Name		Total Reset Value										
0x008C		MMC_IDSTS		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved			FSM	EB	AIS	NIS	reserved	CES	DU	reserved	FBE	RI	TI
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:17]	-	reserved	保留。											



[16:13]	RW	FSM	IDMAC 状态机当前状态。 0: DMA_IDLE 1: DMA_SUSPEND 2: DESC_RD 3: DESC_CHK 4: DMA_RD_REQ_WAIT 5: DMA_WR_REQ_WAIT 6: DMA_RD 7: DMA_WR 8: DESC_CLOSE 该位是只读的。
[12:10]	RW	EB	总线错误类型指示。 001: 发送被中止; 010: 接收被中止; 其它: 保留。
[9]	RW	AIS	异常总中断。是 FBE、DU、CES 取或。写 1 清 0。
[8]	RW	NIS	正常总中断。是 TI、RI 取或。写 1 清 0
[7:6]	-	reserved	保留。
[5]	RW	CES	卡出错指示。指示卡在接收发送数据过程中状态。
[4]	RW	DU	描述子无效中断。当 DES0[OWN]为 0 时, 该位被置位。写 1 清 0。
[3]	-	reserved	保留。
[2]	RW	FBE	致命的总线错误中断。当该 bit 被置位时, IDMAC 停止总线访问。写 1 清 0。
[1]	RW	RI	接收完成中断。指示一个描述子的数据接收完成。写 1 清 0。
[0]	RW	TI	发送完成中断。指示一个描述子的数据发送完成。写 1 清 0。

## MMC\_IDINTEN

MMC\_IDINTEN 为 IDMAC 中断使能寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0090		MMC_IDINTEN		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																AI	NI	reserved	CES	DU	reserved	FBE	RI	TI							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																													
[31:10]	-	reserved	保留。																													
[9]	RW	AI	异常中断使能位。 0: 不使能; 1: 使能 FBE/DU/CES 中断。																													
[8]	RW	NI	正常中断使能位。 0: 不使能; 1: 使能 TI/RI 中断。																													
[7:6]	-	reserved	保留。																													
[5]	RW	CES	卡出错中断使能位。 0: 不使能; 1: 使能。																													
[4]	RW	DU	描述子无效中断使能位。 0: 不使能; 1: 使能。																													
[3]	-	reserved	保留。																													
[2]	RW	FBE	致命总线错中断使能位。 0: 不使能; 1: 使能。																													
[1]	RW	RI	接收中断使能位。 0: 不使能; 1: 使能。																													
[0]	RW	TI	发送中断使能位。 0: 不使能; 1: 使能。																													



## MMC\_DSCADDR

MMC\_DSCADDR 为当前描述子地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0094				MMC_DSCADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	HAD																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	HAD		描述子指针。在数据传输过程中自动更新。该寄存器指向当前正要被 IDMAC 使用的描述子的起始地址。																											

## MMC\_BUFADDR

MMC\_BUFADDR 为当前数据 buffer 地址寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0098				MMC_BUFADDR				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	HBA																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	HBA		数据 buffer 指针。在数据传输过程中自动更新，该寄存器指向当前正被 IDMAC 访问的数据 buffer 地址。																											

## MMC\_DATA

MMC\_DATA 为数据寄存器，为 FIFO 入口地址。在读写 FIFO 时，应先读取 [MMC\\_STATUS\[fifo\\_count\]](#) 得到 FIFO 剩余空间，以此确定读写的数据量，以免造成 FIFO 溢出。



	Offset Address				Register Name				Total Reset Value																							
	0x0100				MMC_DATA				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	DATA																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RW	DATA		读写 FIFO 的地址。地址范围 0x100~0x100+FIFO_DEPTH, 均选中 FIFO。																											

## 10.9 PCI Express

### 10.9.1 概述

PCI Express 是一种能够应用于移动设备、台式电脑、工作站、服务器、嵌入式计算和通信平台等所有周边 I/O 设备互联的第三代高性能 I/O 总线。

PCI Express 总线采用串行点对点的通信方式，每个通道单个方向的传输速率是 2.5Gbps。采用协议层架构，支持热插拔和热交换，引入 QoS（Quality of Service）、TC（Traffic Class）和 VC（Virtual Channel）技术，并且软件具有向下与 PCI 软件兼容等特点。

### 10.9.2 特点

Hi3516 中 PCI Express 控制器具有以下特点：

- 支持 PCI Express spec Rev1.1。
- 支持标准的 PIPE（PHY Interface for the PCI Express Architecture）接口，接口位宽为 16bit。
- 支持一条 X1 的链路，工作速率 2.5Gbps。
- 支持 1 VC，1 TC。
- 支持 RC（Root Complex）和 EP（End Point）模式。
- 支持 bypass、store-forward 类型 TLP 队列。
- 支持通过 DBI（Data Bus Interface）slave 接口读写 PCI Express 寄存器。
- 支持 32bit 数据位宽及地址位宽。
- 与系统通过 AXI 接口连接。

### 10.9.3 功能描述

Hi3516 支持一个 X1 的 PCI Express 控制器，可以成两种模式：

- RC 模式



- EP 模式

## RC 模式

RC 是指连接 CPU 和存储子系统及 PCI Express 结构的设备，可以通过将 Hi3516 的 PCI Express 接口设置为 RC 模式，来扩展 PCI Express EP 设备，如外扩 WIFI 设备、以太网设备等。

## EP 模式

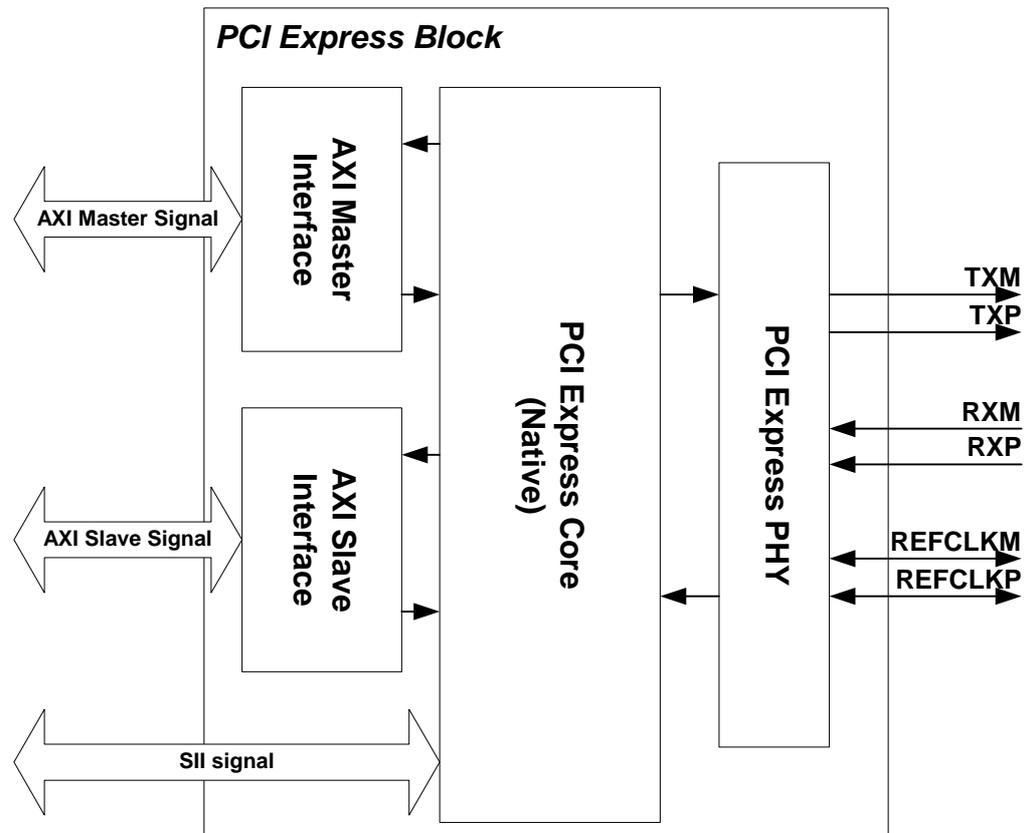
EP 是不同于 RC 的其他设备，是 PCI Express 事务的请求者或完成者。它可以是外围设备，如以太网、USB 或图形设备等。Hi3516 可将 PCI Express 配置为 EP 模式，与其他 PCI Express RC 接口对接可实现 RC 对 Hi3516 内寄存器和存储空间的访问。EP 模式为 Hi3516 上电复位后默认的工作模式。

通过将 Hi3516 的 PCI Express 控制器配置为 RC 和 EP 模式，外加通过 PCI Express Switch 设备可实现将 Hi3516 级联。

### 10.9.3.2 应用框图

PCI Express 逻辑框图如图 10-56 所示。

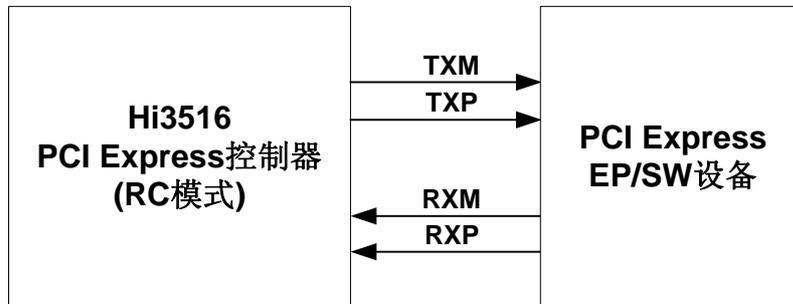
图10-56 PCI Express 控制器逻辑框图





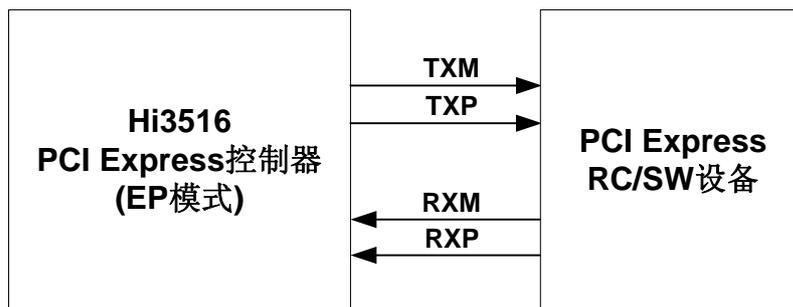
Hi3516 中 PCI Express 接口可以配置为 RC 或 EP 模式，在 RC 模式下可与其它 PCI Express EP 或者 SWITCH（上游端口）设备进行对接以实现扩展,RC 模式下的应用框图如图 10-57 所示。

图10-57 PCI Express 控制器应用框图（RC 模式）



在 EP 模式下可与其它 PCI Express RC 或者 SW（上游端口）设备进行对接以实现扩展,EP 模式下的应用框图如图 10-58 所示：

图10-58 PCI Express 控制器应用框图（EP 模式）



### 10.9.3.3 功能原理

PCI Express 支持以下 4 种标准的传输方式：

- 存储器事务  
传输数据至系统存储器映射的某一单元，或从系统存储器映射的某一单元中读取数据，同时协议还支持锁定的存储器读事务。
- IO 事务  
传输数据至系统 IO 映射的某一单元，或从系统 IO 映射的某一单元中读取数据。PCI Express IO 地址分配给传统的设备，不允许对真正的 PCI Express 设备进行 IO 寻址。
- 配置事务  
传输数据至 PCI Express 设备配置空间的某一单元或从 PCI Express 设备配置空间的某一单元中读取数据。使用 4KB 的 PCI Express 配置空间，利用配置来发现设备的功能、编程即插即用特性并检查状态。
- 消息事务



提供带内消息和事件报告。处理方法与存储器写事务相同。

## 10.9.4 工作方式

### 10.9.4.1 地址空间

Hi3516 中 PCI Express 控制器使用三个地址空间，如表 10-24 所示。

表10-24 PCI Express 相关地址空间

地址空间类型	大小	起始地址	结束地址	说明
配置寄存器空间	4K	0x20800000	0x20800FFF	此空间为 PCI Express 规范所定义的配置寄存器空间。
存储器和 I/O 操作地址空间	256M	0x30000000	0x3FFFFFFF	在此空间内的读写操作将在 PCI Express 链路上转换为 PCI Express 协议所定义的存储器读写或 I/O 读写事务（需地址转换功能配合，地址转换功能请参考下一节）。
配置操作地址空间	256M	0x40000000	0x4FFFFFFF	在此空间内的读写操作将在 PCI Express 链路上转化为 PCI Express 协议所定义的类型 0 配置事务或者类型 1 配置事务（需地址转换功能配合，地址转换功能请参考下一节）。

### 10.9.4.2 地址转换

#### 地址转换功能

在上述地址空间中，除了地址“配置寄存器空间”的目标地址是 PCI Express 控制器自身外，其余的地址空间的目标地址都是跟 PCI Express 控制器建立连接的对端设备。地址转换单元实现将不同的地址空间范围内的读写事务转换为对应的 PCI Express 事务，或者实现目标地址的转换的功能。

在不同的应用中，事务类型转换和目标地址转换的配置可能不同，Hi3516 中提供了 ATU（地址转换单元）配置寄存器接口用来配置不同的地址转换需求。Hi3516 中对发送方向和接收方向各提供了 6 个 ATU 区，每一个区可单独实现某一种类型或地址转换功能。

例如：可将其中输出侧的编号为 0 的 ATU 区设置为将事务目标地址为 0x41000000~0x41000FFF 转化为 PCI Express 类型 0 配置事务的区域，这样就可实现在



0x41000000~0x41000FFF 内的读写操作自动转换为在 PCI Express 总线上的类型 0 配置操作。

地址转换功能配置寄存器位于 PCI Express 控制器配置寄存器空间内的 ATU 控制寄存器内（基地址为 0x20800000）。

## 10.9.5 ATU 寄存器概览

ATU 寄存器概览如表 10-25 所示。

表10-25 ATU 寄存器概览（基址是 0x2080\_0000）

偏移地址	名称	描述	页码
0x0900	ATUViewPoint	ATU 区域号寄存器	10-153
0x0904	ATURegionCtrl1	ATU 区域控制寄存器	10-154
0x0908	ATURegionCtrl2	ATU 区域控制寄存器	10-156
0x090C	ATUBaseLow	ATU 基地址低位寄存器	10-159
0x0910	ATUBaseHigh	ATU 基地址高位寄存器	10-160
0x0914	ATULimit	ATU 地址界限寄存器	10-160
0x0918	ATUTargetLow	ATU 目标地址低位寄存器	10-160
0x091C	ATUTargetHigh	ATU 目标地址高位寄存器	10-161

## 10.9.6 ATU 寄存器描述

### ATUViewPoint

ATUViewPoint 为 ATU 区域号寄存器。



Offset Address		Register Name		Total Reset Value								
0x0900		ATUViewPoint		0x0000_0000								
Bit	31	30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3	2	1	0
Name	atu_reg_region_dir	reserved						atu_reg_region_index				
Reset	0	0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0	0	0	0
Bits	Access	Name	Description									
[31]	RW	atu_reg_region_dir	区域方向。 表明是输出还是接收地址转换区域，与区域号配合使用以确定操作的具体 ATU 区域。 0：输出地址转换区域； 1：输入地址转换区域。									
[30:4]	-	reserved	保留。									
[3:0]	RW	atu_reg_region_index	区域编号。 表明地址转换控制寄存器操作对应的区域号。 区域号赋值范围为 0~5。									

### ATURegionCtrl1

ATURegionCtrl1 为 ATU 区域控制寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0904		ATURegionCtrl1		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								atu_reg_func_num		reserved		atu_reg_at		reserved				atu_reg_attr		atu_reg_td		atu_reg_tc		atu_reg_type							
Reset	0 0 0 0								0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0				0 0 0 0		0 0 0 0		0 0 0 0									
Bits	Access	Name	Description																													
[31:23]	-	reserved	保留。																													
[22:20]	RW	atu_reg_func_num	功能号。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中功能号字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中与此寄存器值相对应的功能号的 BAR 地址匹配时，则对此接收的 TLP 做地址转换处理（仅当接收区域匹配模式为 BAR 地址匹配时）。																													
[19:18]	-	reserved	保留。																													
[17:16]	RW	atu_reg_at	AT 字段。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中 AT 字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中 AT 字段与此寄存器匹配，则对此接收的 TLP 做地址转换处理。																													
[15:11]	-	reserved	保留。																													
[10:9]	RW	atu_reg_attr	ATTR 字段。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中 ATTR 字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中 ATTR 字段与此寄存器匹配，则对此接收的 TLP 做地址转换处理。																													
[8]	RW	atu_reg_td	TD 字段。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中 TD 字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中 TD 字段与此寄存器匹配，则对此接收的 TLP 做地址转换处理。																													



[7:5]	RW	atu_reg_tc	TC 字段。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中 TC 字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中 TC 字段与此寄存器匹配，则对此接收的 TLP 做地址转换处理。
[4:0]	RW	atu_reg_type	TYPE 字段。 发送（Outbound）：当发送的 TLP 属于本 ATU 区域范围，则将该 TLP 数据包中 TYPE 字段换成此寄存器的值。 接收（Inbound）：当接收到的 TLP 包中 TYPE 字段与此寄存器匹配，则对此接收的 TLP 做地址转换处理。

### ATURegionCtrl2

ATURegionCtrl2 为 ATU 区域控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x0908		ATURegionCtrl2		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_region_enable atu_reg_in_bar_match reserved atu_reg_shift atu_reg_fuzzy reserved atu_reg_rsp_code reserved atu_reg_msgcode_match_en reserved atu_reg_func_match_en atu_reg_at_match_en reserved atu_reg_attr_match_en atu_reg_id_match_en atu_reg_tc_match_en reserved atu_reg_bar_num atu_reg_msg_code							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	atu_reg_region_enable	ATU 区域使能。 0：不使能； 1：使能。					



[30]	RW	atu_reg_in_bar_match	接收 ATU 匹配模式选择。 发送 (Outbound) : 无作用。 接收 (Inbound) :选择接收 MEM/IO 数据包的匹配模式: 0: 地址匹配模式: 当接收到的 MEM/IO TLP 地址在 ATU 控制寄存器 1 中的地址相匹配时, 则做地址转换。 1: BAR 匹配模式: 当接收到的 MEM/IO TLP 地址与 BAR 编号相匹配时, 则做地址转换。
[29]	-	reserved	保留。
[28]	RW	atu_reg_shift	配置事务移位功能。 此寄存器在做配置类型转换时使能, 能实现操作地址和总线号、设备号、功能号的转换 (以实现用 256M 地址空间访问所有配置空间的功能。): 发送 (Outbound) : 将未转换的地址的 27~12bit 赋值给转换后地址的 31~16bit。 接收 (Inbound) : 将接收到的配置事务的未转换的地址的 31-16bit 赋值给转换后地址的 27~12bit。 0: 不使能; 1: 使能。
[27]	RW	atu_reg_fuzzy	模糊类型匹配模式。 若使能, 则使能事务类型模糊匹配模式。 0: 不使能; 1: 使能。
[26]	-	reserved	保留。
[25:24]	RW	atu_reg_rsp_code	完成状态代码: 必须设置为 0。
[23:22]	-	reserved	保留
[21]	RW	atu_reg_msgcode_match_en	消息代码匹配使能。 发送 (Outbound) : 未使用。 接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的消息代码与 ATURegionCtrl2 中的 atu_reg_msg_code 做匹配。 0: 不使能; 1: 使能。
[20]	-	reserved	保留。



[19]	RW	atu_reg_func_match_en	<p>功能号匹配使能。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的功能号与 ATURegionCtrl1 中的 atu_reg_func_num 做匹配。</p> <p>0: 不使能; 1: 使能。</p>
[18]	RW	atu_reg_at_match_en	<p>AT 字段匹配使能。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的 AT 字段与 ATURegionCtrl1 中的 atu_reg_at 做匹配。</p> <p>0: 不使能; 1: 使能。</p>
[17]	-	reserved	保留。
[16]	RW	atu_reg_attr_match_en	<p>ATTR 字段匹配使能。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的 ATTR 字段与 ATURegionCtrl1 中的 atu_reg_attr 做匹配。</p> <p>0: 不使能; 1: 使能。</p>
[15]	RW	atu_reg_td_match_en	<p>TD 字段匹配使能。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的 TD 字段与 ATURegionCtrl1 中的 atu_reg_td 做匹配。</p> <p>0: 不使能; 1: 使能。</p>
[14]	RW	atu_reg_tc_match_en	<p>TC 字段匹配使能。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当使能时, 则将接收到的 TLP 中的 TC 字段与 ATURegionCtrl1 中的 atu_reg_tc 做匹配。</p> <p>0: 不使能; 1: 使能。</p>
[13:11]	-	reserved	保留。



[10:8]	RW	atu_reg_bar_num	<p>BAR 编号。</p> <p>发送 (Outbound) : 未使用。</p> <p>接收 (Inbound) : 当接收到的 TLP 中 BAR 地址与此寄存器对应的 BAR 地址相匹配时, 则对此 TLP 做地址转换处理。</p> <p>000b: BAR#0; 001b: BAR#1; 010b: BAR#2; 011b: BAR#3; 100b: BAR#4; 101b: BAR#5; 110b: ROM; 111b: 保留。</p>
[7:0]	RW	atu_reg_msg_code	<p>消息代码。</p> <p>发送 (Outbound) : 当发送的 TLP 地址与此区域匹配, 且 ATURegionCtrl1 中 atu_reg_type 字段为 MSG,则将转换后的 TLP 中 MSP 字段设置为此寄存器的值。</p> <p>接收 (Inbound) : 当 ATURegionCtrl2 中的 atu_reg_msgcode_match_en 使能时, 且接收到的消息事务中消息代码与此寄存器值相匹配时, 则对此事务包做地址转换处理。</p>

## ATUBaseLow

ATUBaseLow 为 ATU 基地址低位寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x090C				ATUBaseLow				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	atu_reg_base_low								reserved																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	RW		atu_reg_base_low		表示此区域的起始地址中的 31~16 位, 当未转换的地址位于起始地址和地址界限范围内时, 则满足地址匹配条件。 ATUBaseLow 和 ATUBaseHigh 共同组成基地址。																											
[15:0]	-		reserved		保留。																											



## ATUBaseHigh

ATUBaseHigh 为 ATU 基地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x0910		ATUBaseHigh		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_base_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_base_high	基地址高 32 位。 此区域的起始地址的 63-32bit, 当未转换的地址位于起始地址和地址界限范围内时, 则满足地址匹配条件。(此寄存器只在 64bit 地址下有效, 32bit 地址模式下需设置为 0。 ATUBaseLow 和 ATUBaseHigh 共同组成基地址。					

## ATULimit

ATULimit 为 ATU 地址界限寄存器。

Offset Address		Register Name		Total Reset Value				
0x0914		ATULimit		0x0000_FFFF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_limit				reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:16]	RW	atu_reg_limit	地址界限。 此区域的界限地址的中的 31~16bit, 当未转换的地址位于起始地址和地址界限范围内时, 则满足地址匹配条件。					
[15:0]	-	reserved	保留。					

## ATUTargetLow

ATUTargetLow 为 ATU 目标地址低位寄存器。



Offset Address		Register Name		Total Reset Value					
0x0918		ATUTargetLow		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	atu_reg_trgt_low				reserved				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RW	atu_reg_trgt_low	目标地址低 32 位。 当做地址转换时，转换后的地址的 31-16bit。ATUTargetLow 和 ATUTargetHigh 共同组成目标地址。 地址转换公式为： 转换后的地址 = 转换前地址 - 基地址 + 目标地址。 转换后的地址 = 转换前地址 - 基地址 + 目标地址。						
[15:0]	-	reserved	保留。						

## ATUTargetHigh

ATUTargetHigh 为 ATU 目标地址高位寄存器。

Offset Address		Register Name		Total Reset Value				
0x091C		ATUTargetHigh		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	atu_reg_trgt_high							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	atu_reg_trgt_high	目标地址高 32 位。 当做地址转换时，转换后的地址的 63~32bit。ATUTargetHigh 和 ATUTargetLow 共同组成目标地址。					

## 10.9.7 ATU 寄存器配置

ATU 控制寄存器有两种方式可以访问来进行配置：

### 方式一

作为 RC/EP 设备时，通过访问配置寄存器空间进行配置。如：



CPU 通过配置寄存器空间读写事务来配置 ATU 寄存器，ATU 寄存器在配置寄存器空间中的偏移量参考表 10-25。

## 方式二

作为 EP 设备时，对端设备可通过配置读写操作进行配置。如：

RC 可通过 PCI Express 配置事务对 EP 设备的 ATU 进行设置，ATU 寄存器在配置空间的偏移量参考表 10-25)。

ATU 设置步骤如下：

- 步骤 1 设置 ATU 区域号寄存器为对应的区号。
- 步骤 2 设置 ATU Region Lower Base Address Register 和 ATU Region Upper Base Address Register。（在此区域内的目标地址将由区域号寄存器所在的 ATU 转换）
- 步骤 3 设置 ATU Region Limit Address Register。
- 步骤 4 设置 ATU Region Lower Target Address Register 和 ATU Region Upper Target Address Register。
- 步骤 5 设置 ATU Region Control 1 Register。
- 步骤 6 设置 ATU Region Control 2 Register 并使能此 ATU Region。。

----结束

### 10.9.7.2 时钟和复位

#### PHY 参考时钟

PHY 工作需要提供一个 100MHz 的参考时钟，此参考时钟由两个来源：

- 内部 CRG 提供
- 外部 PCI Express 时钟管脚提供

由 PCI Express PHY 控制寄存器 0 中的 use\_refclk\_alt 位来控制。请参考第 3 章的系统控制寄存器中关于 PCI Express PHY 控制寄存器中的描述。

PCI Express 接口时钟管脚可配置为输入或者输出，Hi3516 中可通过寄存器来选择 PCI Express 时钟管脚是作为输入还是输出。此功能由 CRG 控制寄存器中的 PCI Express\_slot\_en 信号来控制，请参考 CRG 寄存器中关于 PCI Express\_slot\_en 的描述。

- 在作为输入时，Hi3516 可接受外部差分时钟作为 PHY 的参考时钟。
- 在作为输出时，Hi3516 可选内部 CRG 产生的时钟为 PHY 参考时钟并将此内部差分时钟通过 PCI Express 时钟管脚输出给对端设备作为参考时钟使用。

#### 控制器时钟

PCI Express 控制器 CORE 工作时钟为 125MHz，由 PCI Express PHY 提供。在 PHY 工作稳定后即可向 PCI Express Core 输出 125MHz 工作时钟。



PCI Express 控制器的 AXI 总线时钟由系统 CRG 模块提供。

## PCI Express 软复位和时钟控制

软件可通过 PCI Express 复位寄存器来控制 PCI Express 复位，PCI Express 控制器复位寄存器位于 CRG 寄存器中的 PERI\_CRG31 寄存器，请参考第 3 章的 CRG 寄存器中关于此寄存器的定义。

### 10.9.7.3 PHY 初始化

PCI Express PHY 的初始化由 PCI Express PHY 控制寄存器来实现，系统控制寄存器中 periphctrl31 和 periphctrl32 两组寄存器是 PCI Express PHY 的控制寄存器，分别对应 PCI Express PHY 控制寄存器 0 和 PCI Express PHY 控制寄存器 1，请参考第 3 章的系统控制寄存器中关于此寄存器的描述。

在系统上电后，PCI Express 功能未使能之前，需对 PCI Express PHY 完成初始化。

### 10.9.7.4 控制器初始化

#### ATU 的初始化

在系统上电复位之后，ATU 寄存器未配置，ATU 功能未启用，不能实现地址转换和事务类型转换的功能。因此在上电复位之后，必须对 ATU 寄存器做初始化配置。

#### RC 模式 ATU 区域设置

本版本需要设置 3 个 ATU 发送区域：

- **Region 0 配置 0 操作转换区**  
将地址范围在此区域范围内的操作转换为类型 0 的配置操作。
- **Region 1 配置 1 操作转换区**  
将地址范围在此区域范围内的操作转换为类型 1 的配置操作。
- **Region 2IO 操作转换区**  
将地址范围在此区域范围内的操作转换为 IO 操作。

按上述 ATU 设置步骤分别设置三个 ATU 区域，其中各寄存器值如表 10-26 所示。其中各寄存器的值也可以按照需要进行配置。

表10-26 RC 模式 ATU 初始化参考值

ATU 寄存器名称	Region 0 参考值	Region 1 参考值	Region 2 参考值
ATU 区域号寄存器	0x00000000	0x00000001	0x00000002
ATU 区域控制寄存器 1	0x00000004	0x00000005	0x00000002
ATU 区域控制寄存器 2	0x90000000	0x90000000	0x80000000



ATU 寄存器名称	Region 0 参考值	Region 1 参考值	Region 2 参考值
ATU 区域基地址低位寄存器 Register	0x40100000	0x40200000	0x31F00000
ATU 区域基地址高位寄存器	0x00000000	0x00000000	0x00000000
ATU 区域地址界限寄存器	0x401FFFFFFF	0x4FFFFFFF	0x31FFFFFFF
ATU 区域目标地址低位寄存器	0x01000000	0x02000000	0x00000000
ATU 区域目标地址高位寄存器	0x00000000	0x00000000	0x00000000

## EP 模式 ATU 区域设置

如果 Hi3516 配置为 EP 模式（默认模式），ATU 输入区域需配置以实现端设备对 Hi3516 内部地址空间的访问。此配置可根据实际应用需要进行。

在 EP 模式下，配置三个 ATU 输入地址转换区域如下：

- Region0 BAR0 地址转换区  
将与 BAR0 相匹配的操作映射至 DDR 地址空间区域。
- Region1 BAR1 地址转换区  
将与 BAR1 相匹配的操作映射至 DDRC 控制寄存器地址空间。
- Region2 BAR2 地址转换区  
将与 BAR2 相匹配的操作映射至系统控制寄存器空间。

EP 模式 ATU 初始化参考值如表 10-27 所示。

表10-27 EP 模式 ATU 初始化参考值

ATU 寄存器名称	Region 0 参考值	Region 1 参考值	Region 2 参考值
ATU 区域号寄存器	0x80000000	0x80000001	0x80000002
ATU 区域控制寄存器 1	0x00000000	0x00000000	0x00000000
ATU 区域控制寄存器 2	0xC0000000	0xC0000100	0xC0000200
ATU 区域基地址低位寄存器 Register	0x00000000	0x00000000	0x00000000
ATU 区域基地址高位寄存器	0x00000000	0x00000000	0x00000000
ATU 区域地址界限寄存器	0xFFFFFFFF	0xFFFFFFFF	0xFFFFFFFF
ATU 区域目标地址低位寄存器	0x81000000	0x20110000	0x20000000



ATU 寄存器名称	Region 0 参考 值	Region 1 参考 值	Region 2 参考 值
ATU 区域目标地址高位寄存器	0x00000000	0x00000000	0x00000000

## 控制器使能

通过系统控制寄存器中的 PCI Express Controller 控制寄存器 7 中的 PCI Express0\_app\_ltssm\_enable 控制信号能够使能和关闭 PCI Express 控制器（请参考第 3 章系统控制寄存器中关于此信号的描述）。

按如下步骤使能 PCI Express 控制器：

- 步骤 1 设置 PCI Express 控制器的工作模式和时钟。
- 步骤 2 PCI Express 软复位。
- 步骤 3 撤销 PCI Express 软复位。
- 步骤 4 待 PHY 工作稳定后，开始初始化 ATU 寄存器。
- 步骤 5 设置 PCI Express 控制器的类代码：当工作在 RC 模式时，需要配置对应的控制器的类代码寄存器（CLASS Code Register）为 0x060400（对应为 PCI 到 PCI 桥设备）。EP 模式下无需设置（默认值）。
- 步骤 6 启动 PCI EXPRESS 控制器：设置 PCI Express 使能信号 app\_ltssm\_enable=1 启动 PCI Express 控制器。

----结束



### 注意

在没有初始化好相关的系统控制器之前不要启动 PCI Express 控制器。

完成以上配置步骤之后，PCI Express 总线开始枚举过程。

上电时，软件仅知道总线 0 的存在，但并不知道总线 0 上挂接的设备类型。

RC 模式下，Hi3516 的 PCI Express 控制器为总线 0 上的设备 0。

通过枚举过程将设置 PCI Express 系统中的设备信息，枚举是按照深度优先来进行搜索的。

具体的枚举过程如下：

- 步骤 1 启动设备 0，枚举软件尝试着读取每台设备中功能 0 的厂商 ID，如果从总线 0 返回的厂商 ID 值为 0xFFFF 则表明该设备不存在，否则连接上一个设备。
- 步骤 2 如果检测到端点设备，则枚举结束；如果检测到桥设备，则软件执行配置读操作，将设备的头类型字段读取并解析。



步骤 3 软件执行配置写操作，设置该设备的主总线号、二级总线号和从属总线号，然后按照步骤 1 和步骤 2 往下一级总线继续搜索。

----结束

### 10.9.7.5 链路建立

链路初始化和定向是配置和初始化设备物理层、端口和相关链路的物理层的过程，使链路可以传输正常的数据包流量。链路的建立均是由硬件自动完成的，复位后自动发起，无需任何软件参与。

### 10.9.7.6 事务发起

通过 AXI 总线接口，可以通知控制器向对端设备发起 PCI Express 事务。



#### 注意

在 PCI Express 连接未建立之前，不要发起任何 PCI Express 事务，软件通过查询系统控制寄存器 `periphctrl139 [22]` 确定 PCI Express 控制器是否与对端设备连接上。若连接未建立，不可对对端设备发起任何 PCI Express 事务。

#### 配置读事务

在 AXI 总线上发起读请求，AXI 总线读请求的地址字段组成为：RADDR bit[31:28]=0x7，RADDR[27:20]=总线号，RADDR[19:15]=设备号，RADDR[14:12]=功能号，RADDR[11:8]=扩展寄存器号，RADDR[7:2]=寄存器号（按 DWORD 计数），其它部分字段为 0。经 ATU 转换后能自动转换为对应的配置读事务。

#### 配置写事务

在 AXI 总线上发起写请求，AXI 总线写请求的地址字段组成为：WADDR bit[31:28]=0x7，WADDR[27:20]=总线号，WADDR[19:15]=设备号，WADDR[14:12]=功能号，WADDR[11:8]=扩展寄存器号，WADDR[7:2]=寄存器号（按 DWORD 计数），其它部分字段为 0。经 ATU 转换后能自动转换为对应的配置写事务。

#### 存储器读事务

在 AXI 总线上发起读请求，通知 PCI Express 控制器发起存储器读事务，AXI 读请求的总线地址为目标存储器地址，PCI Express 控制器会自动根据 AXI 地址范围进行事务类型译码（AXI 地址范围需在 MEM 地址范围内（0x30000000~0x30FFFFFF））。

#### 存储器写事务

在 AXI 总线上发起写请求，通知 PCI Express 控制器发起存储器写事务，AXI 写请求的总线地址为目标存储器地址，PCI Express 控制器会自动根据 AXI 地址范围进行事务类型译码（AXI 地址范围需在 MEM 地址范围内（0x30000000~0x30FFFFFF））。

#### IO 读事务

在 AXI 总线上发起读请求，通知 PCI Express 控制器发起 IO 读事务，AXI 读请求的总线地址为目标 IO 地址，PCI Express 控制器会自动根据 AXI 地址范围进行事务类型译码（AXI 地址范围需在 IO 地址范围内（0x31000000~0x31FFFFFF））。

#### IO 写事务



在 AXI 总线上发起写请求，通知 PCI Express 控制器发起 IO 写事务，AXI 写请求的总线地址为目标 IO 地址，PCI Express 控制器会自动根据 AXI 地址范围进行事务类型译码（AXI 地址范围需在 IO 地址范围内（0x31000000~0x31FFFFFF））。

---



## 目 录

<b>11 智能加速引擎</b> .....	<b>11-7</b>
11.1 概述.....	11-7
11.2 功能描述.....	11-7
11.3 工作方式.....	11-8
11.3.1 硬件使用.....	11-8
11.3.2 中断.....	11-12
11.3.3 时钟复位.....	11-12
11.3.4 输入、输出数据格式.....	11-13
11.4 IVE 寄存器概览.....	11-27
11.5 IVE 寄存器描述.....	11-27



## 插图目录

图 11-1 IVE 链表节点结构示意图 .....	11-9
图 11-2 IVE 链表使用示意图 .....	11-12
图 11-3 数据格式为 SemPlanar YCbCr422 时, Pixel 在 Memory 中的存储 .....	11-13
图 11-4 数据格式为 SemPlanar YCbCr420 时, Pixel 在 Memory 中的存储 .....	11-13
图 11-5 数据格式为单分量时, Pixel 在 Memory 中的存储 .....	11-14
图 11-6 数据格式为 RGB package 时, Pixel 在 Memory 中的存储 .....	11-14
图 11-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储 .....	11-15
图 11-8 SOBEL 算子时, 输出结果在 Memory 中的存储 .....	11-16
图 11-9 CANNY 算子, 结果在 Memory 中的存储 .....	11-16
图 11-10 积分图算子时, 输出结果在 Memory 中的存储 (INTEGRAL_OUT) .....	11-17
图 11-11 直方图统计时, 输出结果在 Memory 中的存储 (HIST_OUT) .....	11-17
图 11-12 算子的参数 stride 取最小值时的情况 .....	11-18
图 11-13 DMA 数据搬运应用之一 .....	11-19
图 11-14 3×3 模板滤波计算公式 .....	11-20
图 11-15 SOBEL 梯度计算公式 .....	11-23
图 11-16 CANNY 角度量化定义 .....	11-24



## 表格目录

表 11-1 IVE 链表节点参数说明 .....	11-9
表 11-2 YCbCr 到 RGB 的视频矩阵 (BT.601) .....	11-21
表 11-3 YCbCr 到 RGB 的视频矩阵 (BT.709) .....	11-21
表 11-4 YCbCr 到 RGB 的图象矩阵 (BT.601) .....	11-21
表 11-5 YCbCr 到 RGB 的图象矩阵 (BT.709) .....	11-22
表 11-6 IVE 寄存器概览 (基址是 0x2013_0000) .....	11-27



# 11 智能加速引擎

## 11.1 概述

IVE (Intelligent Video Engineering) 模块是智能分析系统中的硬件加速模块。实现模板滤波、膨胀、腐蚀、图像 sobel 和 canny 边缘提取, 图像减、与、或, 图像二值化, 积分图, 直方图统计功能。IVE 通过 AXI Master 总线接口读写数据以及链表节点参数信息; 通过 APB Slave 总线接口配置 IVE 启动所需的寄存器信息以及获得运行过程中的寄存器状态信息。

## 11.2 功能描述

IVE 模块支持如下功能特点:

- 支持 DMA。
- 支持 3×3 模板滤波。
- 支持 YUV 到 RGB 的颜色空间转换。
- 支持 3×3 模板滤波加 YUV 到 RGB 颜色空间转换的复合功能。
- 支持 SOBEL/SCHARR 等算子的 X/Y 方向的梯度计算。
- 支持 CANNY 梯度幅值及方向计算。
- 支持 3×3 腐蚀。
- 支持 3×3 膨胀。
- 支持图象二值化。
- 支持两幅图象相与。
- 支持两幅图象相减。
- 支持两幅图象相或。
- 支持积分图计算。
- 支持直方图统计。
- 最大运行频率 300MHz。
- 支持单独进行软复位。
- 支持 64bit AXI 总线 (Master) 和 32bit APB 总线 (Slave)。



- 支持链表级中断和节点级中断。
- 支持查询模式。
- 支持单分量，SP420（semi-planar420），SP422（semi-planar422）输入格式。
- 支持单分量，SP420，SP422，RGBpackage，RGBplanar 等输出格式。
- 部分算子支持读写地址非 8byte 对齐。

## 11.3 工作方式

### 11.3.1 硬件使用

在查询模式下使用 IVE 的操作步骤如下：

- 步骤 1 在内存中创建任务链表。
- 步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。
- 步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。
- 步骤 4 在运行过程中查看 `IVE_STATUS` 的状态以获取 IVE 运行状态。如果 IVE 空闲，则链表任务完成。如需要继续使用，重复步骤 1 至步骤 4。

----结束

在中断模式下使用 IVE 的操作步骤如下：

- 步骤 1 在内存中创建任务链表。
- 步骤 2 配置 IVE 内部寄存器 `LIST_POINTER`，`INT_EN`。
- 步骤 3 配置 IVE 内部寄存器 `IVE_START`，启动 IVE。
- 步骤 4 在中断服务程序中，根据 `INT_STATUS` 判断中断类型，配置 IVE 内部寄存器 `INT_RW` 可以清除 `INT_STATUS` 的中断状态。并根据 `IVE_STATUS` 判断 IVE 状态，`IVE_STATUS` 状态为 IDLE，表明链表任务完成，回步骤 1 开始下一次链表操作。

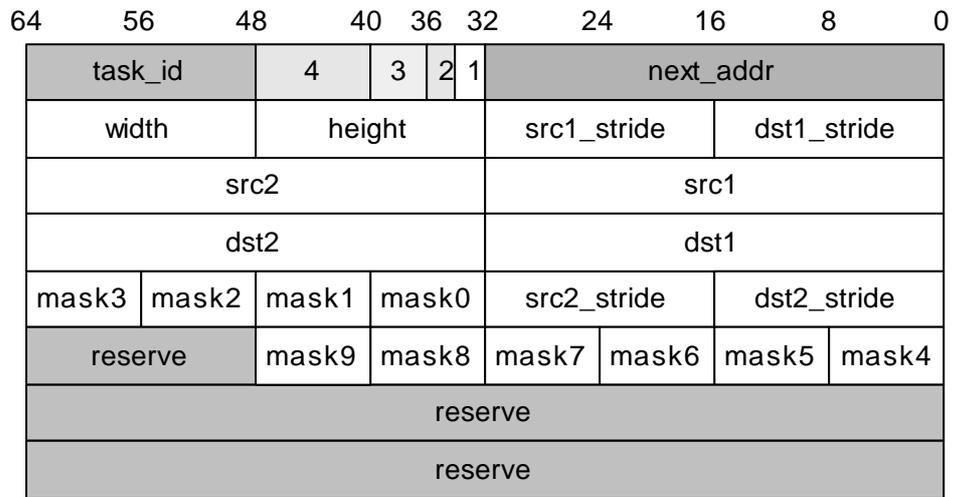
----结束

IVE 任务链表采用定长定位的链表节点格式，每个节点的大小为  $8 \times 8\text{byte}$ ，链表的节点数目为任意值。

链表节点结构如图 11-1 所示，



图11-1 IVE 链表节点结构示意图



1: in\_fmt[1:0]    2: csc\_fmt[1:0]    3: out\_fmt[3:0]    4: op\_type[7:0]

表 11-1 描述了节点各参数值的意义。

表11-1 IVE 链表节点参数说明

参数寄存器	描述
next_addr	下一个结点在内存中的地址，为 0x00000000，表示当前链表的最后一个节点。
in_fmt	图像输入格式。 00: 单分量; 01: SP420; 10: SP422; 11: 保留。
csc_fmt	CSC 模式选择。 00: BT601&BT656, 范围 16~235; 01: BT701, 范围 16~235; 10: BT601&BT656, 范围 0~255; 11: BT701, 范围 0~255。



参数寄存器	描述
out_fmt	图像输出格式。 CSC: 0000: package; 0001: planar。 CANNY: 0000: 只输出幅值; 0001: 输出幅值和角度值。 THRESH: 0000: 大于阈值置为 maxvalue, 小于阈值置为 minvalue; 0001: 大于阈值置为 maxvalue, 小于阈值不变; 0010: 大于阈值不变, 小于阈值置为 minvalue。 SUBSTRACT: 0000: 差异绝对值输出; 0001: 差异值右移一位输出。
op_type	当前节点选择运行的算子类型。 0x00: 快速拷贝 (DMA); 0x01: 模板滤波 (FILTER); 0x02: 色彩空间转换 (CSC); 0x03: 模板滤波加色彩转换复合功能 (FILTER+CSC); 0x04: SOEBL 梯度 (SOBEL); 0x05: SOBEL 幅度及方向 (CANNY); 0x06: 膨胀 (DILATE); 0x07: 腐蚀 (ERODE); 0x08: 图像二值化 (THRESH); 0x09: 两图像相与 (AND); 0x0A: 两图像相减 (SUBSTRACT); 0x0B: 两图像相或 (OR); 0x0C: 积分图 (INTEGRAL); 0x0D: 直方图 (HISTOGRAM)。
task_id	当前节点的任务 ID 号。
dst1_stride	输出目的地址 1 的 stride 信号, 8byte 对齐。
src1_stride	源图像 1 的 stride 信号, 8byte 对齐。
height	源图像实际高度值。
width	源图像实际宽度值, 当输入格式为 420 和 422 时, 为偶数。

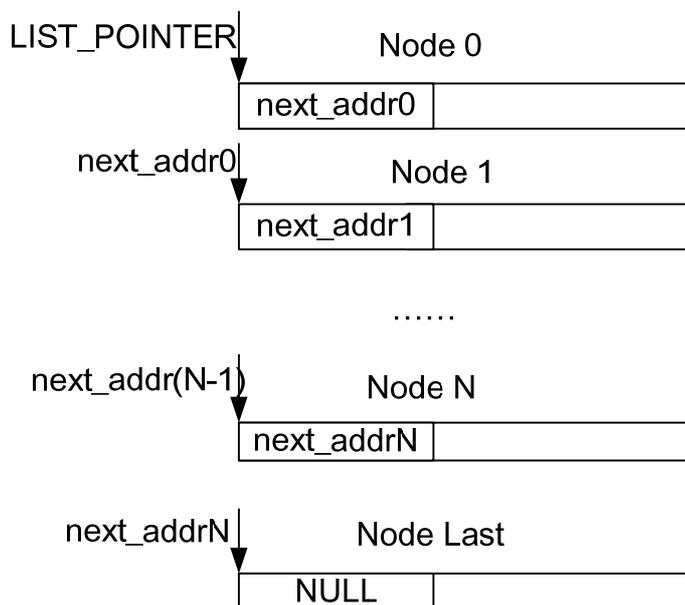


参数寄存器	描述
src1	源图像 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，8byte 对齐。
src2	源图像 2 的起始地址。
dst1	目标 1 的起始地址，FILTER，CSC，FILTER+CSC，SOBEL，CANNY，DILATE，ERODE，INTEGRAL，HISTOGRAM 等算子时，要求 8byte 对齐。
dst2	目标 2 的起始地址。
dst2_stride	目标地址 2 的 stride，要求 8byte 对齐。
src2_stride	源图像 2 的 stride，8byte 对齐。
mask0	模板系数 00 或者 THRESH 算子的 threshold。
mask1	模板系数 01 或者 THRESH 算子的 min_value。
mask2	模板系数 02 或者 THRESH 算子的 max_value。
mask3	模板系数 10。
mask4	模板系数 11。
mask5	模板系数 12。
mask6	模板系数 20。
mask7	模板系数 21。
mask8	模板系数 22。
mask9	FILTER 算子系数和。
reserved	保留位。

模板系数：3×3 运算算子（FILTER、FILTER+CSC、SOBEL、CANNY、DILATE、ERODE）使用的运算模板的系数。



图11-2 IVE 链表使用示意图



## 11.3.2 中断

IVE 会产生以下 2 种中断：

- 当前链表的全部节点完成中断。
- 当前节点的操作完成中断。

## 11.3.3 时钟复位

### 时钟关断策略

IVE 的输入时钟可以进行关断，以达到降功耗的目的。IVE 时钟关断前必须保证 IVE 处于空闲状态（查询状态寄存器 IVE\_STATUS 为 IDLE），然后才能关断时钟。时钟关断不会丢掉 IVE 的寄存器配置。在对 IVE 内部寄存器进行操作前，必须先开启时钟。

### 复位策略

单独对 IVE 复位时不支持任意时间复位，否则可能导致总线异常，单独对 IVE 复位时必须在 IVE 状态寄存器 IVE\_STATUS 为 IDLE 时方可复位。

系统复位将使 IVE 内部各寄存器全部清空。



## 11.3.4 输入、输出数据格式

### 11.3.4.1 存放顺序

下面数据存放顺序均是在小端系统（little endian）的内存存放顺序，为了方便描述，统一使用 Word、Double Word 作为存储单位进行描述，实际应用中不同的算子对数据存储对齐格式有特殊要求，具体要求见 11.3.4.2 支持的功能描述部分。

图11-3 数据格式为 SemPlanar YCbCr422 时，Pixel 在 Memory 中的存储

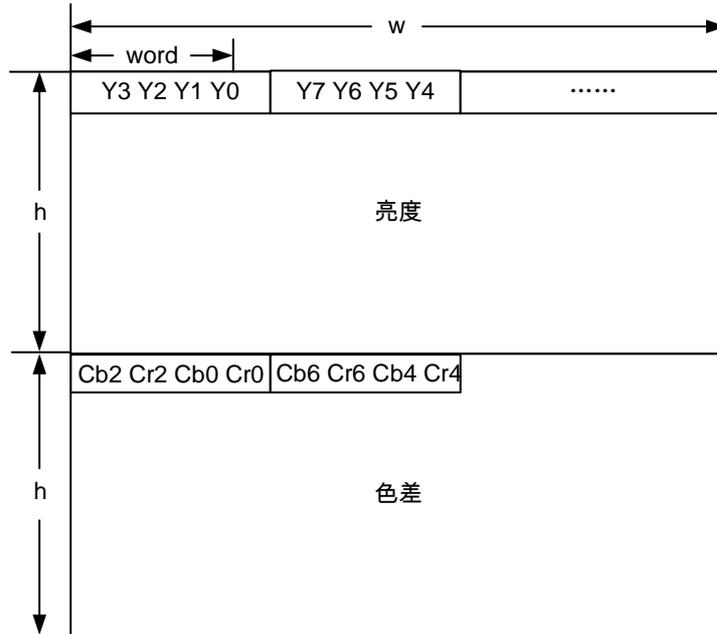


图11-4 数据格式为 SemPlanar YCbCr420 时，Pixel 在 Memory 中的存储

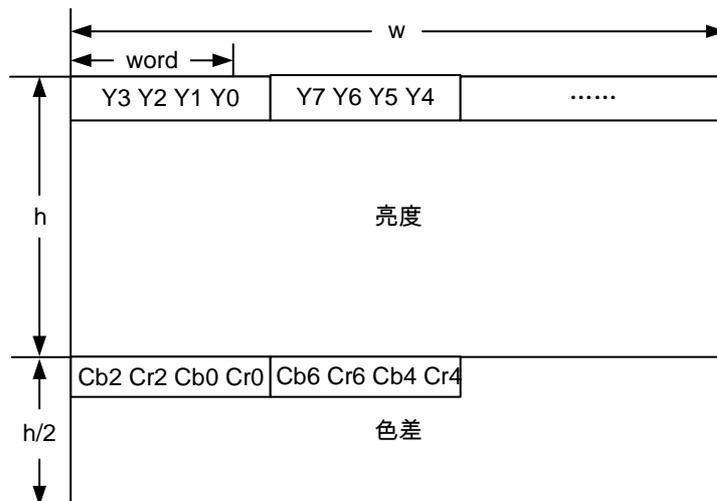




图11-5 数据格式为单分量时，Pixel 在 Memory 中的存储

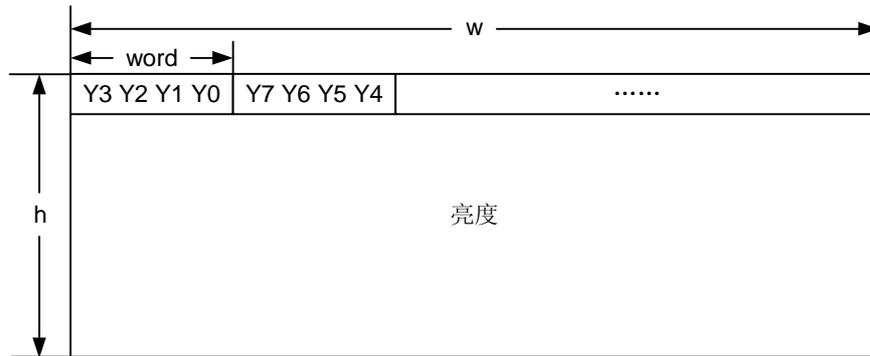


图11-6 数据格式为 RGB package 时，Pixel 在 Memory 中的存储

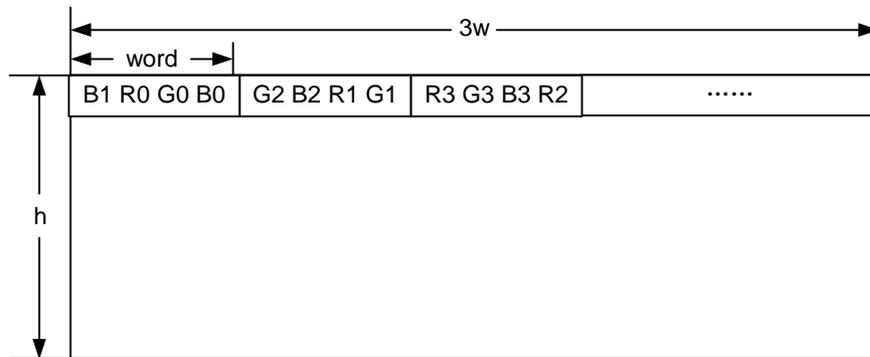




图11-7 数据格式为 RGB planar 时, Pixel 在 Memory 中的存储

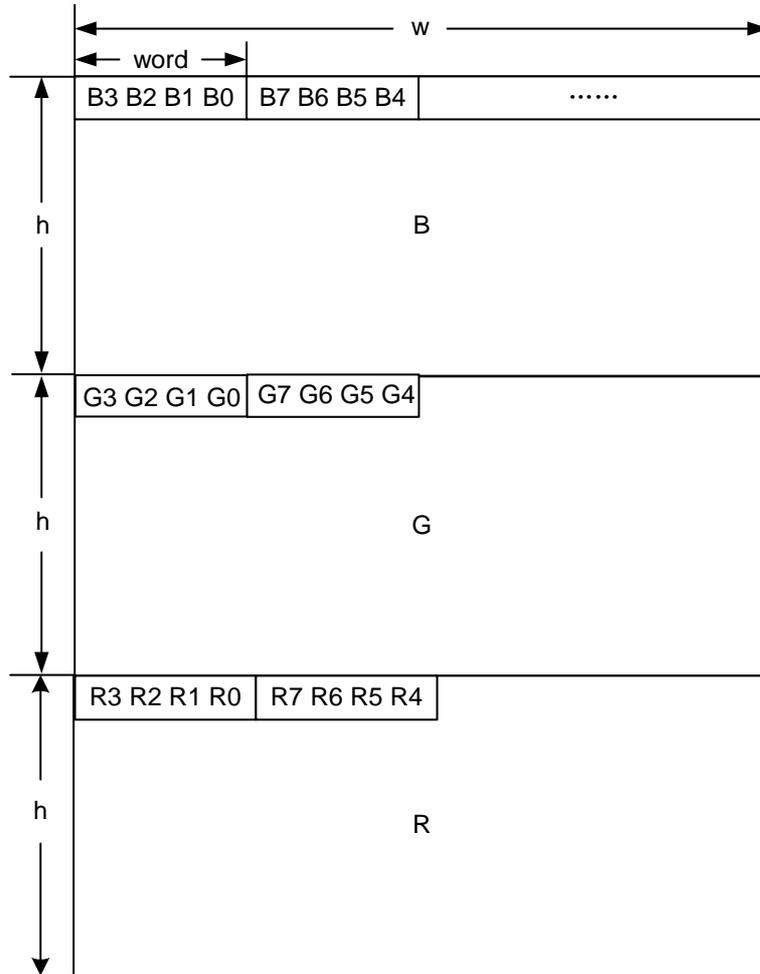




图11-8 SOBEL 算子时，输出结果在 Memory 中的存储

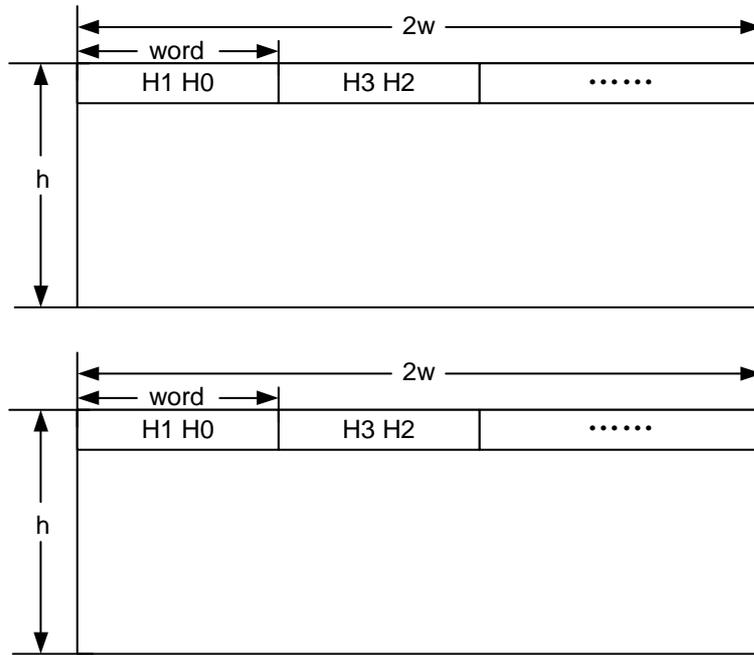


图11-9 CANNY 算子，结果在 Memory 中的存储

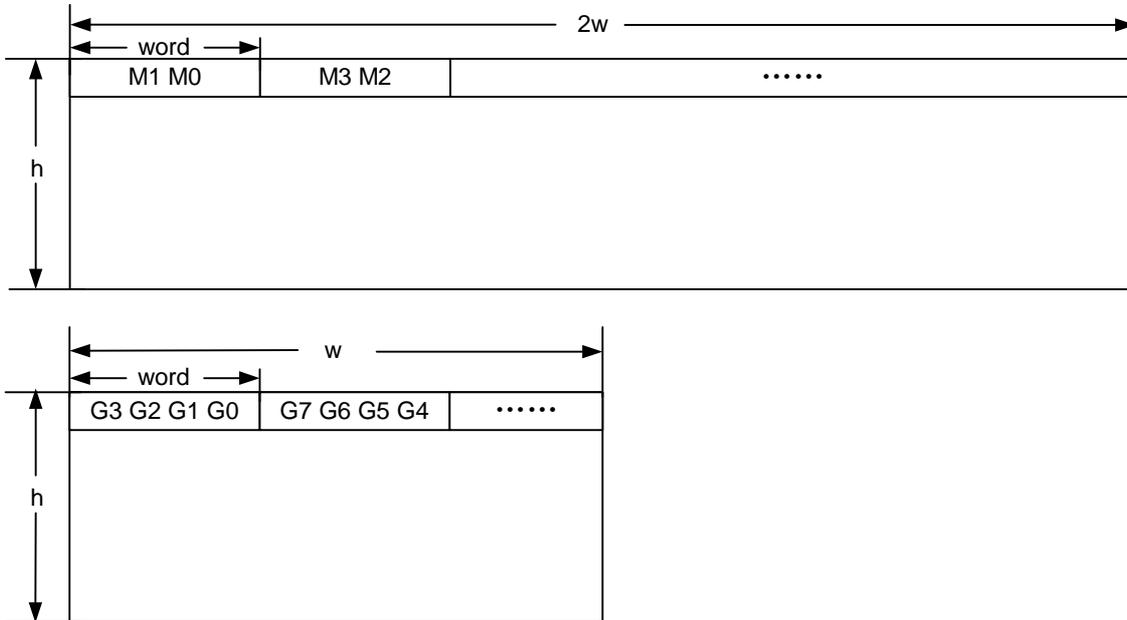




图11-10 积分图算子时，输出结果在 Memory 中的存储（INTEGRAL\_OUT）

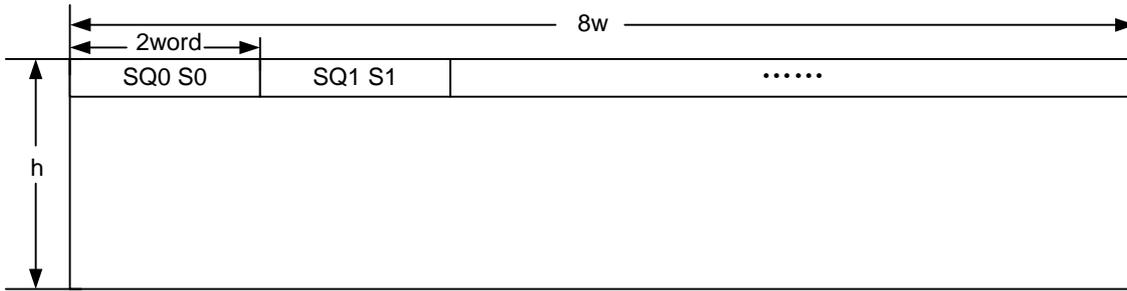
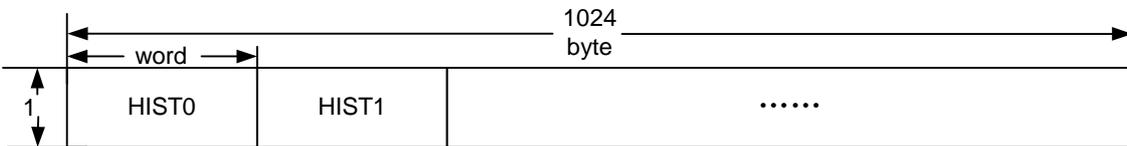


图11-11 直方图统计时，输出结果在 Memory 中的存储（HIST\_OUT）



### 11.3.4.2 支持的功能

IVE 所有算子的 stride 均需要满足以下条件：

当  $((src\%8) == 0) \& \&((width\%8) == 0)$  成立时，要求

$$\begin{cases} stride \geq width \\ stride\%8 = 0 \end{cases}$$

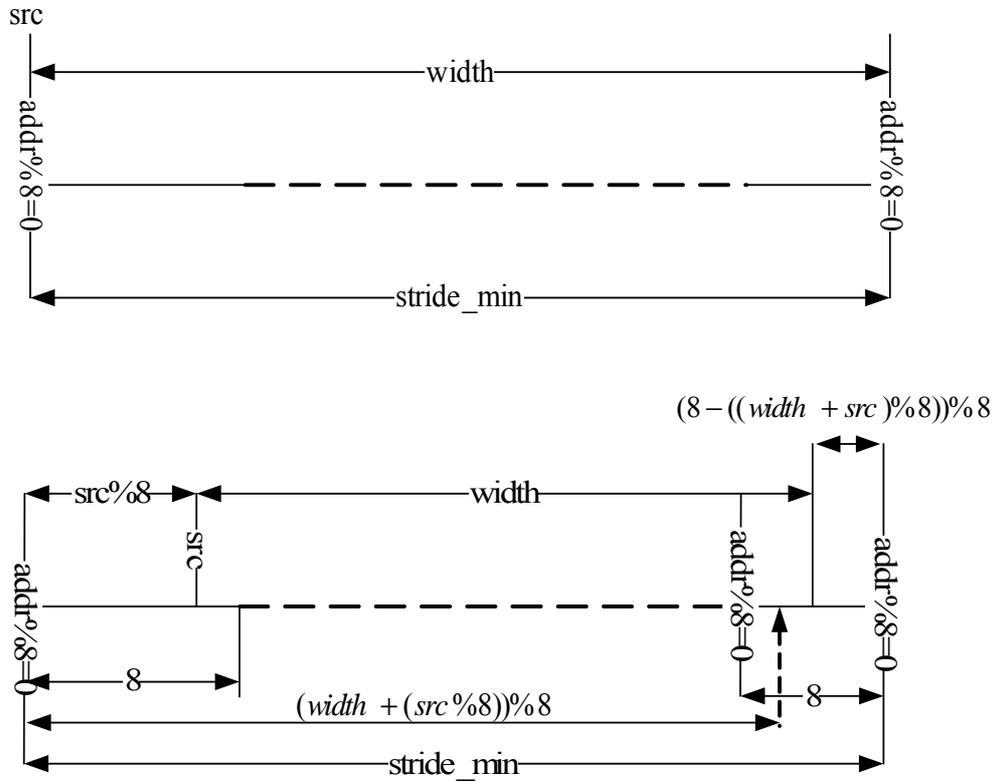
否则要求

$$\begin{cases} \{(8 - ((width + (src\%8))\%8)) + (src\%8) + width\} \leq stride \\ stride\%8 = 0 \end{cases}$$

其中 % 表示求余数操作。示例见图 11-12。



图11-12 算子的参数 stride 取最小值时的情况



### 快速拷贝

实现矩形图像区域的快速搬移功能。源数据在 DMA 模式下将会直接通过 IVE 内部快速通路，搬移到目的区域，并直接覆盖目标区域数据。

图象分辨率：32×1~1920×1080

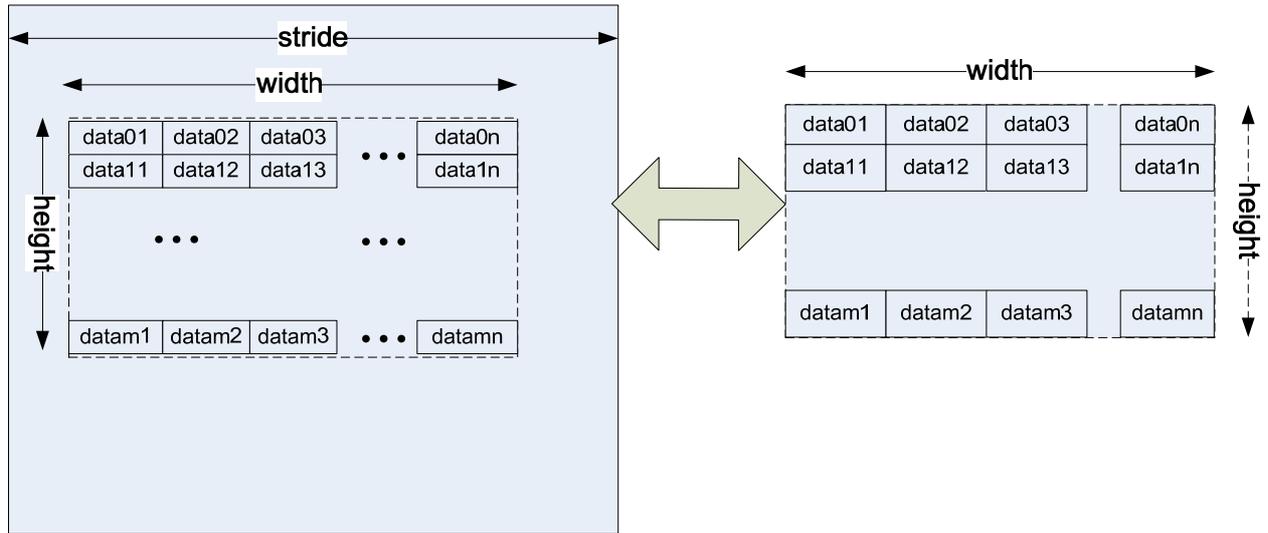
地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的  $op\_type$  为 0x00



图11-13 DMA 数据搬运应用之一



### 3×3 模板滤波

将源图象以 3×3 模板作滤波后输出。

图象分辨率：64×64~1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量；SP420→SP420；SP422→SP422。

使用方法：

- 配置 op\_type 为 0x1。
- 配置输入格式。
- 配置系数 mask0, mask1, …… mask9。mask0~mask8 范围为[-128, 127]，mask9 取值为[0, 10]。



图11-14 3×3 模板滤波计算公式

I(x-1,y-1)	I(x,y-1)	I(x+1,y-1)	coef(-1,-1) mask0	coef(0,-1) mask1	coef(1,-1) mask2
○	○	○	○	○	○
I(x-1,y)	I(x,y)	I(x+1,y)	coef(-1,0) mask3	coef(0,0) mask4	coef(1,0) mask5
○	○	○	○	○	○
I(x-1,y+1)	I(x,y+1)	I(x+1,y+1)	coef(-1,1) mask6	coef(0,1) mask7	coef(1,1) mask8
○	○	○	○	○	○

$$I_{out}(x, y) = \left\{ \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x+i, y+j) \cdot coef(i, j) \right\} \gg mask9$$

## 颜色空间转换（CSC）

颜色空间转换支持从 YUV 空间到 RGB 空间的转换。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置链表中结点的 op\_type 为 0x02。
  - 配置链表中结点的 in\_fmt:
    - 01: 420
    - 10: 422
  - 配置链表中结点的 out\_fmt:
    - 0000: package
    - 0001: planar
- 配置链表中结点的 csc\_fmt:
- 00: BT601&BT656 （16~235）
  - 01: BT709 （16~235）
  - 10: BT601&BT656 （0~255）
  - 11: BT709 （0~255）

当 csc\_fmt = 0 或者 1 时为 YUV 到 RGB 的视频变换，输出满足 16≤R, G, B≤235



当 `csc_fmt = 2` 或者 `3` 时为 YUV 到 RGB 的图像变换，输出满足  $0 \leq R, G, B \leq 255$   
YUV 到 RGB 的转换的视频矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq Cb, Cr \leq 240$
- $16 \leq R, G, B \leq 235$

YUV 到 RGB 的转换的视频矩阵算法如表 11-2。

表11-2 YCbCr 到 RGB 的视频矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	$\times (Y)$	+	0.0	$\times (Cb-128)$	+	1.371	$\times (Cr-128)$
G	=	1	$\times (Y)$	-	0.336	$\times (Cb-128)$	-	0.698	$\times (Cr-128)$
B	=	1	$\times (Y)$	+	1.732	$\times (Cb-128)$	+	0.0	$\times (Cr-128)$

表11-3 YCbCr 到 RGB 的视频矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1	$\times (Y)$	+	0.0	$\times (Cb-128)$	+	1.540	$\times (Cr-128)$
G	=	1	$\times (Y)$	-	0.183	$\times (Cb-128)$	-	0.459	$\times (Cr-128)$
B	=	1	$\times (Y)$	+	1.816	$\times (Cb-128)$	+	0.0	$\times (Cr-128)$

YUV 到 RGB 的转换的图象矩阵的输入输出要求如下。

- $16 \leq Y \leq 235$
- $16 \leq U, V \leq 240$
- $0 \leq R, G, B \leq 255$

YUV 到 RGB 的转换的图象矩阵算法如表 11-4。

表11-4 YCbCr 到 RGB 的图象矩阵 (BT.601)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	$\times (Y-16)$	+	0.0	$\times (Cb-128)$	+	1.596	$\times (Cr-128)$



RGB 到 YCbCr 颜色空间转换浮点计算方法:									
G	=	1.164	× (Y-16)	−	0.391	× (Cb-128)	−	0.813	× (Cr-128)
B	=	1.164	× (Y-16)	+	2.018	× (Cb-128)	+	0.0	× (Cr-128)

表11-5 YCbCr 到 RGB 的图象矩阵 (BT.709)

RGB 到 YCbCr 颜色空间转换浮点计算方法:									
R	=	1.164	× (Y-16)	+	0.0	× (Cb-128)	+	1.793	× (Cr-128)
G	=	1.164	× (Y-16)	−	0.213	× (Cb-128)	−	0.534	× (Cr-128)
B	=	1.164	× (Y-16)	+	2.115	× (Cb-128)	+	0.0	× (Cr-128)

### 3×3 模板滤波加 CSC

将源图象以 3×3 模板作滤波，然后再作颜色空间转换后输出。

图象分辨率：64×64~1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：SP420→RGB package；SP420→RGB planar；SP422→RGB package；SP422→RGB planar。

使用方法：

- 配置 op\_type 为 0x3。
- 配置 CSC 系数。
- 配置输入格式和输出格式。
- 配置系数 mask0, mask1, ..... mask9。mask0~mask8 范围为[-128, 127]，mask9 取值为[0, 10]。

### SOBEL x/y 方向梯度计算

图象分辨率：64×64~1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

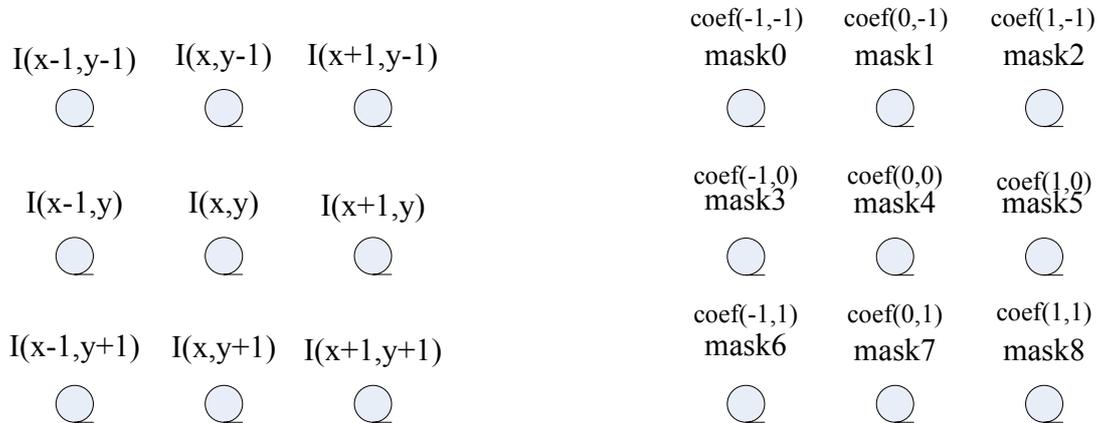
输入输出格式：单分量→SOBEL\_OUT。

使用方法：

- 配置 op\_type 为 0x4。
- 配置系数 mask0, mask1, ..... mask8。mask0~mask8 范围为[-128, 127]。



图11-15 SOBEL 梯度计算公式



$$Hout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(i, j)$$

$$Vout(x, y) = \sum_{-2 < j < 2} \sum_{-2 < i < 2} I(x + i, y + j) \bullet coef(j, i)$$

## CANNY 梯度幅值及角度

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→CANNY\_OUT1；单分量→CANNY\_OUT2。

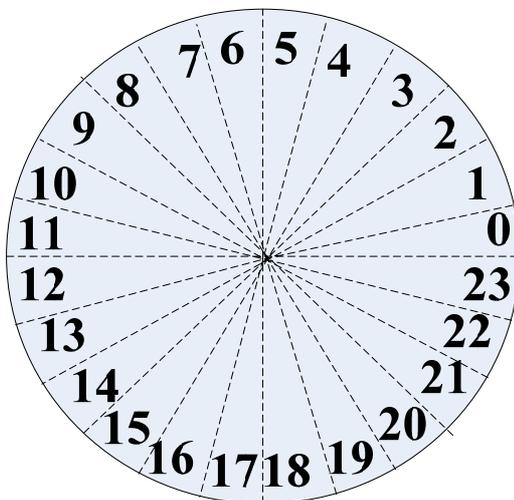
使用方法：

- 配置 op\_type 为 0x5。
- 配置输出格式。
- 配置系数 mask0, mask1, ..... mask8。mask0～mask8 范围为[-128, 127]。

幅值定义： $Mag(x, y) = abs(Hout(x, y)) + abs(Vout(x, y))$



图11-16 CANNY 角度量化定义



$$\text{计算输出角度为: } \theta = \left[ \frac{\arctan\left(\frac{V}{H}\right) * 12}{\pi} \right]$$

### 3×3 膨胀

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置 op\_type 为 0x6。
- 配置系数 mask0, mask1, ..... mask8。

要求输入输出数据为 0 或 255, mask 的值为 0 或 255。

### 3×3 腐蚀

图象分辨率：64×64～1920×1024。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→单分量。

使用方法：



- 配置 `op_type` 为 `0x7`。
- 配置系数 `mask0`, `mask1`, ..... `mask8`。
- 要求输入输出数据为 0 或 255, `mask` 的值为 0 或 255。

## 图像二值化处理

使用固定阈值对图像进行二值化操作, 共有三种模式:

- `mode=2`: 像素值>阈值 `threshold`, 像素值不变, 否则为 `minValue`
- `mode=1`: 像素值>阈值 `threshold`, 则为 `maxValue`, 否则像素值不变
- `mode=0`: 像素值>阈值 `threshold`, 则为 `maxValue`, 否则为 `minValue`

图象分辨率:  $64 \times 64 \sim 1920 \times 1080$ 。

地址对齐方式: 输入输出地址都要求 `byte` 对齐。

输入输出格式: 单分量→单分量。

使用方法:

- 配置链表中结点的 `op_type` 为 `0x08`;
- 配置链表中结点 `mask0`, `mask1` 和 `mask2` 对应为 `threshold`, `minValue` 和 `maxValue`。

## 双源图像与运算



### 注意

要求源图 2 和源图 1 的高宽一致, 但是 `stride` 不要求一致。

---

源图 2 数据与源图 1 数据进行进行与运算, 然后搬移到目的区域。

图象分辨率:  $64 \times 64 \sim 1920 \times 1080$ 。

地址对齐方式: 输入输出地址都要求 `byte` 对齐。

输入输出格式: 单分量→单分量。

使用方法: 配置链表中结点的 `op_type` 为 `0x09`。

## 双源图像减运算



### 注意

要求源图 2 和源图 1 的高宽一致, 但是 `stride` 不要求一致。

---



源图 2 数据与源图 1 数据进行进行减运算，然后搬移到目的区域，提供两种工作模式：

0000: 差异值绝对值输出，即  $dst[i, j] = abs(src1[i, j] - src2[i, j])$ ;

0001: 差异值右移 1 位输出，保留符号位，即  
 $dst[i, j] = (src1[i, j] - src2[i, j]) >> 1$ ;

如图像 1 某位置像素值为 0x23，图像 2 对应位置像素值为 0x40，则在模式 0000 时结果为 0x1D，在模式 0001 时结果为 0xF1。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：

- 配置链表中结点的 op\_type 为 0x0a;
- 配置链表中结点的 out\_fmt 为 0x0000 或 0x0001。

## 双源图像或运算



**注意**

要求源图 2 和源图 1 的高宽一致，但是 stride 不要求一致。

源图 2 数据与源图 1 数据进行进行或运算，然后搬移到目的区域。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 byte 对齐。

输入输出格式：单分量→单分量。

使用方法：配置链表中结点的 op\_type 为 0x0b。

## 积分图

支持分量累加和与分量平方累加和，输出格式为 64 比特，分量累加和占低 28 比特，分量平方累加和占高 36 比特。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→INTEGRAL\_OUT。

使用方法：配置链表中结点的 op\_type 为 0x0c。



## 直方图

256 级直方图统计，输入为单分量，输出为位宽为 32bit 的 256 级直方图统计值。

图象分辨率：64×64~1920×1080。

地址对齐方式：输入输出地址都要求 8byte 对齐。

输入输出格式：单分量→HIST\_OUT。

使用方法：配置链表中结点的 op\_type 为 0x0d。

## 11.4 IVE 寄存器概览

IVE 寄存器概览如表 11-6 所示。

表11-6 IVE 寄存器概览（基址是 0x2013\_0000）

偏移地址	名称	描述	页码
0x0000	IVE_START	启动信号寄存器	<a href="#">11-27</a>
0x0004	INT_EN	中断使能信号寄存器	<a href="#">11-28</a>
0x0008	INT_RW	原始中断信号寄存器	<a href="#">11-28</a>
0x000C	INT_STATUS	中断状态信号寄存器	<a href="#">11-29</a>
0x0010	LIST_POINTER	链表首地址寄存器	<a href="#">11-30</a>
0x0014	IVE_STATUS	IVE 工作状态信号寄存器	<a href="#">11-30</a>
0x0018	IVE_TASK_ID	刚刚完成的 task 的 ID 寄存器	<a href="#">11-31</a>

## 11.5 IVE 寄存器描述

### IVE\_START

IVE\_START 为启动信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0000		IVE_START		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	WO	ive_start	IVE 启动信号，高电平有效。						

### INT\_EN

INT\_EN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value						
0x0004		INT_EN		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved								list_int_en	node_int_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:2]	RO	reserved	保留。							
[1]	RW	list_int_en	链表中断使能。 0: 不使能; 1: 使能。							
[0]	RW	node_int_en	节点中断使能。 0: 不使能; 1: 使能。							

### INT\_RW

INT\_RW 为原始中断信号寄存器。



Offset Address		Register Name		Total Reset Value																												
0x0008		INT_RW		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										list_int_rw	node_int_rw				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											
[1]	RW		list_int_rw		链表级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。																											
[0]	RW		node_int_rw		节点级原始中断。软件在通过 INT_STATUS 读取中断后通过写 INT_RW 来清除中断。 0: 没有中断; 1: 有中断。																											

## INT\_STATUS

INT\_STATUS 为中断状态信号寄存器。

Offset Address		Register Name		Total Reset Value																												
0x000C		INT_STATUS		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										list_int_status	node_int_status				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:2]	RO		reserved		保留。																											



[1]	RO	list_int_status	链表级中断状态。软件通过读此状态位确定是否有链表级中断。 0: 没有中断; 1: 有中断。
[0]	RO	node_int_status	节点级中断状态。软件通过读此状态位确定是否有节点级中断。 0: 没有中断; 1: 有中断。

## LIST\_POINTER

LIST\_POINTER 为链表首地址寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0010	LIST_POINTER	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0
Name	link_table_header_addr		
Reset	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0
Bits	Access	Name	Description
[31:0]	RW	link_table_header_addr	标明链表第一个节点的地址。

## IVE\_STATUS

IVE\_STATUS 为 IVE 工作状态信号寄存器。



Offset Address		Register Name		Total Reset Value					
0x0014		IVE_STATUS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								ive_working_status
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:1]	RO	reserved	保留。						
[0]	RO	ive_working_status	IVE 当前的工作状态。 0: 空闲; 1: 忙碌。						

## IVE\_TASK\_ID

IVE\_TASK\_ID 为刚完成的任务的 ID 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0018		IVE_TASK_ID		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				ive_task_id			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RO	ive_task_id	刚刚完成的任务的 ID。如果任务 ID 是递增的，则表明此 ID 之前的所有任务都已完成。					



## 目 录

<b>12 ISP .....</b>	<b>12-1</b>
12.1 特点.....	12-1
12.2 功能描述.....	12-1
12.2.1 功能框图 .....	12-1
12.2.2 功能介绍 .....	12-2
12.3 定点小数格式.....	12-5
12.4 ISP 寄存器概览.....	12-5
12.5 ISP 寄存器描述.....	12-11



---

## 插图目录

---

图 12-1 ISP 结构图.....	12-2
图 12-2 color_matrix 矩阵运算.....	12-4



---

## 表格目录

---

表 12-1 各模块的寄存器偏移地址变量表.....	12-5
表 12-2 ISP 寄存器概览（基址是 0x20660000）.....	12-5



# 12 ISP

## 12.1 特点

主要特点如下：

- 支持黑电平校正
- 支持坏点校正
- 支持空域去噪
- 支持 gamma 校正
- 支持动态范围压缩(DRC)
- 支持自动白平衡，7%9 区间权重设置
- 支持自动曝光，7%9 区间权重设置
- 支持自动对焦，7%9 区间权重设置
- 支持数字防抖（图像宽度不能超过 2816 像素）
- 支持统计信息输出
- 支持镜头阴影校正
- 支持图像边缘锐化
- 支持最大图像分辨率 5632%4224
- 最小水平消隐区 32 像素
- 最小垂直消隐区 17 行

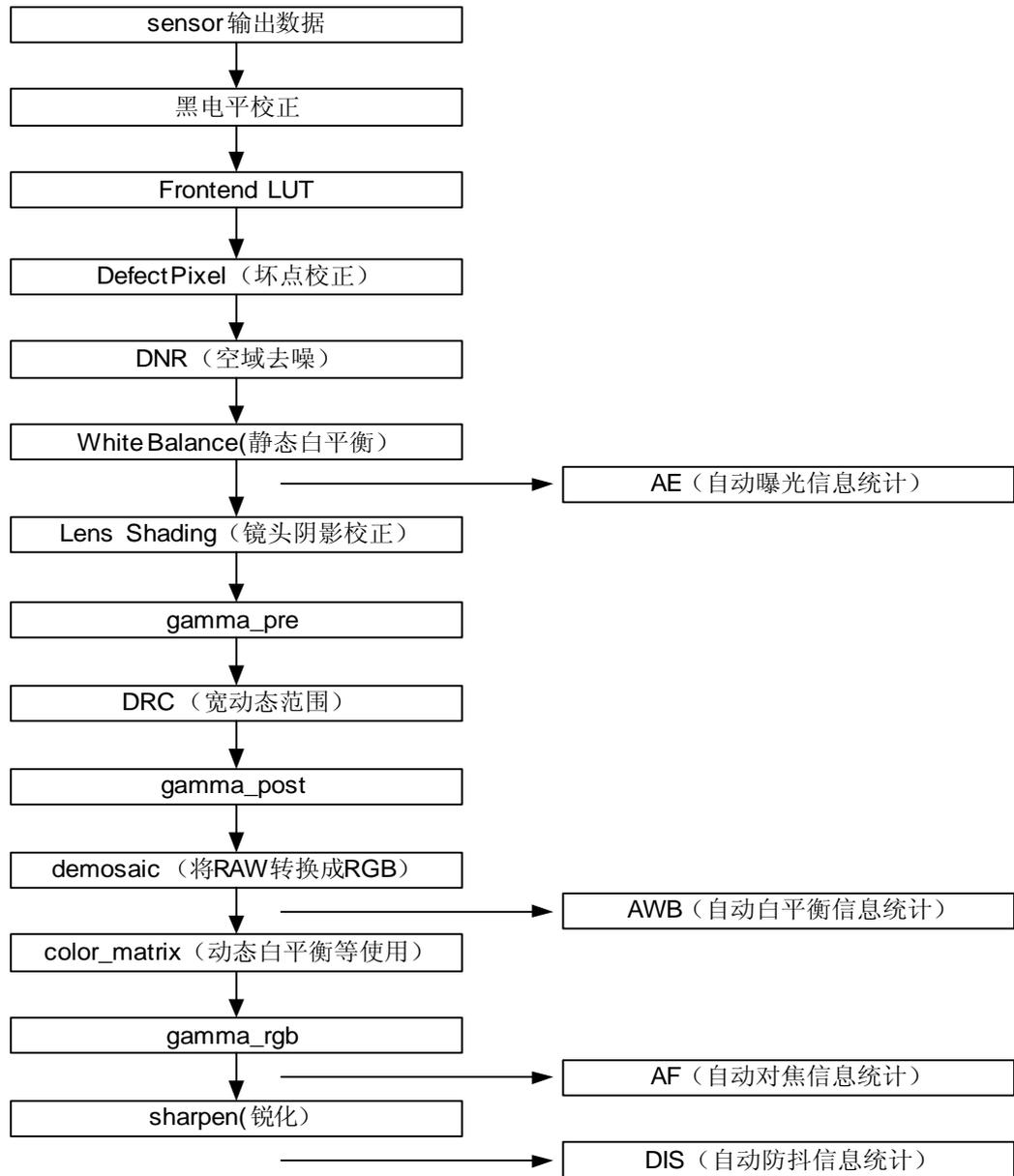
## 12.2 功能描述

### 12.2.1 功能框图

ISP 的功能结构图如图 12-1 所示。



图12-1 ISP 结构图



## 12.2.2 功能介绍

### sensor offset 模块

提供 sensor 相关的黑电平校正。分别提供 4 个分量 (R, Gr, Gb, B) 的偏移量设置。

### Frontend LUT 模块

提供 sensor 相关的 gamma 校正。gamma 曲线由 129 个点组成，每个点由 12bit 的数据表示，两个结点之间的点通过插值得到。Gamma 曲线要求  $\text{gamma}[0]=0x000$ ， $\text{gamma}[128]=0xFF$ 。



## Defect Pixel 模块

用于校正 sensor 的坏点，分动态坏点和静态坏点，静态坏点最多校正 1024 个坏点，需要先检测后使用，动态坏点没有数量限制，也不需要检测，但静态坏点更准确。

## DNR 模块

提供空域去噪功能。

## White Balance 模块

提供静态白平衡功能。分别提供 4 个分量（R，Gr，Gb，B）的增益和偏移量设置。

## Gamma\_pre 模块

DRC 前的 gamma 校正。gamma 曲线由 65 个点组成，每个点由 12bit 的数据表示，两个结点之间的点通过插值得到。Gamma 曲线要求  $\text{gamma}[0]=0x000$ ， $\text{gamma}[64]=0xFFFF$ 。

## Shading 模块

用于镜头阴影校正。每个像素点，分别提供 3 个分量（R，G，B）的增益，增益由 8bit 的数据表示，总共可设置 64\*64 个点，其余的点通过插值得到。

## DRC 模块

提供基于人的视觉的动态范围压缩，使图像亮区得到抑制防止过曝，提升暗区亮度保留更多细节。可以使原来看不清楚的图像看得更清楚。

## Gamma\_post 模块

DRC 后的 gamma 校正。gamma 曲线由 65 个点组成，每个点由 12bit 的数据表示，两个结点之间的点通过插值得到。Gamma 曲线要求  $\text{gamma}[0]=0x000$ ， $\text{gamma}[64]=0xFFFF$ 。

## Demosaic 模块

将输入的 Bayer 数据转换成 RGB 域的数据。

## color\_matrix 模块

为矩阵运算，公式如图 12-2 所示。R，G，B 为输入数据，R'，G'，B' 为输出数据。通过动态的调整矩阵的系数，可实现自动白平衡，饱和度，颜色校正等功能。



图12-2 color\_matrix 矩阵运算

$$\begin{pmatrix} R' \\ G' \\ B' \end{pmatrix} = \begin{pmatrix} m_{RR} & m_{RG} & m_{RB} \\ m_{GR} & m_{GG} & m_{GB} \\ m_{BR} & m_{BG} & m_{BB} \end{pmatrix} \cdot \begin{pmatrix} R \\ G \\ B \end{pmatrix}$$

## Gamma\_rgb 模块

提供输出的 gamma 调节。gamma 曲线由 65 个点组成，每个点由 16bit 的数据表示，两个结点之间的点通过插值得到。Gamma 曲线要求 gamma[0]=0x000，gamma[64]=0xFFFF。

## Sharpen 模块

提供图像的边缘锐化功能。

## AE 模块

实现自动曝光信息的统计，软件根据统计信息调节 sensor 可实现自动曝光的功能。图像分成 7%9（7 行 9 列）的区域，区域可设权重，每个区域分 5 段统计直方图信息，直方图信息被归一化为 0xFFFF，因此只存储第 0，1，3，4 段的统计信息。可读取加权后的最终的统计信息，也可读取每个区域的统计信息。

## AWB 模块

实现自动白平衡信息的统计，软件根据统计信息调节 color\_matrix 模块可实现自动白平衡功能。图像分成 7%9（7 行 9 列）的区域，区域可设权重，每个区域分别统计 R/G，B/G 的值，以及参与统计的像素个数。可读取加权后的最终的统计信息，也可读取每个区域的统计信息。

## AF 模块

实现自动对焦信息的统计，软件根据统计信息调节 sensor 可实现自动对焦的功能。图像分成 7%9（7 行 9 列）的区域，区域可设权重，每个区域分别统计对焦准确性的度量值。可读取加权后的最终的统计信息，也可读取每个区域的统计信息。

## DIS 模块

实现数字防抖和数字防抖信息的统计。分别统计水平偏移从-32~31，垂直偏移-32~31 的图像的相关性，并且计算出最终的偏移量。



## 12.3 定点小数格式

定点小数格式由“a.b”的形式表示，a 表示整数位宽，b 表示小数位宽。

如 4.8 表示高 4 位位整数部分，低 8 位为小数部分

## 12.4 ISP 寄存器概览

各模块的寄存器偏移地址中变量的取值范围和含义如表 12-1 所示。

表12-1 各模块的寄存器偏移地址变量表

变量名称	取值范围	描述
aen	0~251	AE 统计信息的寄存器个数
aew	0~31	AE 窗口权重的寄存器个数
afn	0~62	AF 统计信息的寄存器个数
afw	0~31	AF 窗口权重的寄存器个数
awbn	0~251	AWB 统计信息的寄存器个数
awbw	0~31	AWB 窗口权重的寄存器个数
disn	0~127	DIS 统计信息的寄存器个数
fn	0~128	Frontend LUT 的查找表的个数

ISP 寄存器概览如表 12-2 所示。

表12-2 ISP 寄存器概览（基址是 0x20660000）

偏移地址	名称	描述	页码
0x0000	ACTIVE_WIDTH	图像宽度寄存器	<a href="#">12-11</a>
0x0004	ACTIVE_HEIGHT	图像高度寄存器	<a href="#">12-12</a>
0x0008	RGGB_START	RGGB 模式寄存器	<a href="#">12-12</a>
0x0080	BYPASS0	BYPASS0 寄存器	<a href="#">12-13</a>
0x0084	BYPASS1	BYPASS1 寄存器	<a href="#">12-15</a>
0x0100	INTERRUPT0	中断 0 寄存器	<a href="#">12-15</a>
0x0104	INTERRUPT1	中断 1 寄存器	<a href="#">12-16</a>
0x0108	INTERRUPT2	中断 2 寄存器	<a href="#">12-17</a>



偏移地址	名称	描述	页码
0x010C	INTERRUPT3	中断 3 寄存器	12-17
0x0110	INTERRUPT4	中断 4 寄存器	12-17
0x0114	INTERRUPT5	中断 5 寄存器	12-18
0x0118	INTERRUPT6	中断 6 寄存器	12-18
0x011C	INTERRUPT7	中断 7 寄存器	12-19
0x0280	SENSOR_R_BLACK	sensor offset 模块的 R 分量黑电平寄存器	12-19
0x0284	SENSOR_GR_BLACK	sensor offset 模块的 Gr 分量黑电平寄存器	12-19
0x0288	SENSOR_GB_BLACK	sensor offset 模块的 Gb 分量黑电平寄存器	12-20
0x028C	SENSOR_B_BLACK	sensor offset 模块的 B 分量黑电平寄存器	12-20
0x0310	FRONTEND_LUT_EN	Frontend LUT 模块的使能寄存器	12-21
0x1200 + fn × 4	FRONTEND_LUT	Frontend LUT 模块的 LUT 查找表寄存器	12-21
0x0380	HP_DEFECT_PIXEL_CTRL	defect pixel 模块的控制寄存器	12-22
0x0384	HP_THRESHOLD_CALIBRATE	Defect Pixel 模块的静态坏点门限寄存器	12-23
0x0388	HP_THRESHOLD_DIFF0	Defect Pixel 模块的 band0 动态坏点门限寄存器	12-23
0x038C	HP_THRESHOLD_DIFF1	Defect Pixel 模块的 band1 动态坏点门限寄存器	12-24
0x0390	HP_THRESHOLD_DIFF2	Defect Pixel 模块的 band2 动态坏点门限寄存器	12-24
0x0394	HP_THRESHOLD_DIFF3	Defect Pixel 模块的 band3 动态坏点门限寄存器	12-24
0x0398	HP_THRESHOLD_DIFF4	Defect Pixel 模块的 band4 动态坏点门限寄存器	12-25
0x039C	HP_COUNT	Defect Pixel 模块的静态坏点个数计数器	12-25
0x03A0	HP_TABLE_START	Defect Pixel 模块的坏点首地址寄存器	12-26



偏移地址	名称	描述	页码
0x03A4	HP_COUNT_IN	Defect Pixel 模块的写入的坏点个数寄存器	12-26
0x03B0	HP_TABLE_LUT_A DDR	Defect Pixel 模块的 LUT 表的地址寄存器	12-26
0x03B4	HP_TABLE_LUT_W RITE_DATA0	Defect Pixel 模块的 LUT 表的低 bit 写数据寄存器	12-27
0x03B8	HP_TABLE_LUT_W RITE_DATA1	Defect Pixel 模块的 LUT 表的高 bit 写数据寄存器	12-28
0x03BC	HP_TABLE_LUT_R EAD_DATA0	Defect Pixel 模块的 LUT 表的低 bit 读数据寄存器	12-28
0x03C0	HP_TABLE_LUT_R EAD_DATA1	Defect Pixel 模块的 LUT 表的高 bit 读数据寄存器	12-28
0x0400	DNR_CTRL	DNR 模块的控制寄存器	12-29
0x0404	DNR_THRESH_0H	DNR 模块的水平高频噪声门限寄存器	12-29
0x0408	DNR_THRESH_1H	DNR 模块的水平绿色噪声门限寄存器	12-30
0x040C	DNR_THRESH_2H	DNR 模块的水平中频噪声门限寄存器	12-30
0x0410	DNR_THRESH_4H	DNR 模块的水平低频噪声门限寄存器	12-31
0x0414	DNR_THRESH_0V	DNR 模块的垂直高频噪声门限寄存器	12-31
0x0418	DNR_THRESH_1V	DNR 模块的垂直绿色噪声门限寄存器	12-31
0x041C	DNR_THRESH_2V	DNR 模块的垂直中频噪声门限寄存器	12-32
0x0420	DNR_THRESH_4V	DNR 模块的垂直低频噪声门限寄存器	12-32
0x0424	DNR_THRESH	DNR 模块的噪声门限寄存器	12-29
0x042C	DNR_STRENGTH0	DNR 模块的高频分量去噪强度寄存器	12-33
0x0430	DNR_STRENGTH1	DNR 模块的绿色分量去噪强度寄存器	12-33
0x0434	DNR_STRENGTH2	DNR 模块的中频分量去噪强度寄存器	12-34
0x0438	DNR_STRENGTH4	DNR 模块的低频分量去噪强度寄存器	12-34
0x0500	DNR_NOISE_LUT_ ADDR	DNR 模块的噪声特性查找表地址寄存器	12-35
0x0504	DNR_NOISE_PROFI LE_LUT	DNR 模块的噪声特性查找表写数据寄存器	12-35
0x04E4	DNR_RATIO	DNR 模块的噪声特性查找表的倍数寄存器	12-35



偏移地址	名称	描述	页码
0x0600	WB_GAIN00	White Balance 模块的 R 分量增益寄存器	12-36
0x0604	WB_GAIN01	White Balance 模块的 Gr 分量增益寄存器	12-36
0x0608	WB_GAIN10	White Balance 模块的 Gb 分量增益寄存器	12-37
0x060C	WB_GAIN11	White Balance 模块的 B 分量增益寄存器	12-37
0x0620	WB_BLACK00	White Balance 模块的 R 分量黑电平值寄存器	12-37
0x0624	WB_BLACK01	White Balance 模块的 Gr 分量黑电平值寄存器	12-38
0x0628	WB_BLACK10	White Balance 模块的 Gb 分量黑电平值寄存器	12-38
0x062C	WB_BLACK11	White Balance 模块的 B 分量黑电平值寄存器	12-39
0x0680	SHADING_CTRL	shading 模块的控制寄存器	12-39
0x0684	SHADING_MESH_WIDTH	shading 模块的水平节点数寄存器	12-40
0x0688	SHADING_MESH_RELOAD	shading 模块的垂直节点数寄存器	12-40
0x0700	DRC_CTRL	DRC 模块的控制寄存器	12-41
0x0704	DRC_STRENGTH	DRC 模块的强度等级寄存器	12-41
0x0708	DRC_VARIANCE	DRC 模块的范围等级寄存器	12-41
0x070C	DRC_SLOPE_MAX	DRC 模块的最大斜率限制寄存器	12-42
0x0710	DRC_SLOPE_MIN	DRC 模块的最小斜率限制寄存器	12-42
0x0790	GAMMA_PRE_CTRL	GAMMA_PRE 模块的控制寄存器	12-43
0x0780	GAMMA_PRE_LUT_ADDR	GAMMA_PRE 模块的查找表地址寄存器	12-43
0x0784	GAMMA_PRE_LUT_WRITE_DATA	GAMMA_PRE 模块的写数据寄存器	12-44
0x07D0	GAMMA_POST_CTRL	GAMMA_POST 模块的控制寄存器	12-44
0x07C0	GAMMA_POST_LUT_ADDR	GAMMA_POST 模块的查找表地址寄存器	12-45



偏移地址	名称	描述	页码
0x07C4	GAMMA_POST_LUT_WRITE_DATA	GAMMA_POST 模块的写数据寄存器	12-45
0x0800	DEMOSAIC_SLOPE	Demosaic 模块的最大斜率寄存器	12-46
0x0804	DEMOSAIC_OFFSET	Demosaic 模块偏移寄存器	12-46
0x08A4	CCM_CTRL	Color Matrix 模块的控制寄存器	12-46
0x0880	CCM_COEFFT_RR	Color Matrix 模块的 RR 位置的系数寄存器	12-47
0x0884	CCM_COEFFT_RG	Color Matrix 模块的 RG 位置的系数寄存器	12-47
0x0888	CCM_COEFFT_RB	Color Matrix 模块的 RB 位置的系数寄存器	12-48
0x088C	CCM_COEFFT_GR	Color Matrix 模块的 GR 位置的系数寄存器	12-48
0x0890	CCM_COEFFT_GG	Color Matrix 模块的 GG 位置的系数寄存器	12-49
0x0894	CCM_COEFFT_GB	Color Matrix 模块的 GB 位置的系数寄存器	12-49
0x0898	CCM_COEFFT_BR	Color Matrix 模块的 BR 位置的系数寄存器	12-49
0x089C	CCM_COEFFT_BG	Color Matrix 模块的 BG 位置的系数寄存器	12-50
0x08A0	CCM_COEFFT_BB	Color Matrix 模块的 BB 位置的系数寄存器	12-50
0x0910	GAMMA_CTRL	GAMMA 模块控制寄存器	12-51
0x0900	GAMMA_LUT_ADDR	GAMMA 模块的查找表地址寄存器	12-51
0x0904	GAMMA_LUT_WRITE_DATA	GAMMA 模块的查找表写数据寄存器	12-52
0x0980	SHARPEN_CTRL	Sharpen 模块的控制寄存器	12-52
0x0984	SHARPEN_STRENGTH	Sharpen 模块的强度寄存器	12-53
0x0C00	METERING_HIST_THRESHOLD01	直方图统计第 0 段与第 1 段的边界点寄存器	12-53



偏移地址	名称	描述	页码
0x0C04	METERING_HIST_THRESH12	直方图统计第 1 段与第 2 段的边界点寄存器	12-53
0x0C08	METERING_HIST_THRESH34	直方图统计第 3 段与第 4 段的边界点寄存器	12-54
0x0C0C	METERING_HIST_THRESH45	直方图统计第 4 段与第 5 段的边界点寄存器	12-54
0x0C20	METERING_HIST0	第 0 段的直方图统计信息寄存器	12-55
0x0C24	METERING_HIST1	第 1 段的直方图统计信息寄存器	12-55
0x0C28	METERING_HIST3	第 3 段的直方图统计信息寄存器	12-55
0x0C2C	METERING_HIST4	第 4 段的直方图统计信息寄存器	12-56
0x0C80	METERING_AWB_WHITE_LEVEL	AWB 的最亮点寄存器	12-56
0x0C84	METERING_AWB_BLACK_LEVEL	AWB 的最暗点寄存器	12-57
0x0C88	METERING_AWB_CR_REF_MAX	AWB 参考白点的最大 Cr 值寄存器	12-57
0x0C8C	METERING_AWB_CR_REF_MIN	AWB 参考白点的最小 Cr 值寄存器	12-57
0x0C90	METERING_AWB_CB_REF_MAX	AWB 参考白点的最大 Cb 值寄存器	12-58
0x0C94	METERING_AWB_CB_REF_MIN	AWB 参考白点的最小 Cb 值寄存器	12-58
0x0C98	METERING_AWB_RG	AWB 输出的 G/R 寄存器	12-59
0x0C9C	METERING_AWB_BG	AWB 输出的 B/G 寄存器	12-59
0x0CA0	METERING_AWB_SUM0	AWB 参考白点的个数的低 16bit 寄存器	12-59
0x0CA4	METERING_AWB_SUM1	AWB 参考白点的个数的高 16bit 寄存器	12-60
0x0D00	METERING_AF_METRICS	AF 的统计结果寄存器	12-60
0x0D04	METERING_AF_THRESHOLD_WRITE	AF 的预设的门限寄存器	12-61
0x0D08	METERING_AF_THRESHOLD_READ	AF 的刷新后的门限寄存器	12-61



偏移地址	名称	描述	页码
0x0D0C	METERING_AF_INTENSITY_READ	AF 的计算出的亮度寄存器	12-61
0x0E00 + aew × 4	METERING_AEXP_WEIGHT	AE 的窗口权重寄存器	12-62
0x0E80 + awbw × 4	METERING_AWB_WEIGHT	AWB 的窗口权重寄存器	12-62
0x0F00 + afw × 4	METERING_AF_WEIGHT	AF 的窗口权重寄存器	12-63
0x1000	DIS_CTRL	DIS 模块的控制寄存器	12-64
0x100C	DIS_OFFSET_X	DIS 模块的水平偏移寄存器	12-64
0x1010	DIS_OFFSET_Y	DIS 模块的垂直偏移寄存器	12-65
0x2000 + aen × 4	METERING_AE	AE 的统计信息寄存器	12-65
0x2400 + awbn × 4	METERING_AWB	AWB 的统计信息寄存器	12-66
0x2800 + afn × 4	METERING_AF	AF 的统计信息寄存器	12-67
0x2A00 + disn × 4	METERING_DIS	DIS 的统计信息寄存器	12-67

## 12.5 ISP 寄存器描述

### ACTIVE\_WIDTH

ACTIVE\_WIDTH 为图像宽度寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0000	ACTIVE_WIDTH	0x0000_0780													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved								active_width							
Reset	0 1 1 1 1 0 0 0 0 0 0 0															
	Bits	Access	Name	Description												
	[31:16]	-	reserved	保留。												



[15:0]	RW	active_width	有效图像宽度，以像素为单位。
--------	----	--------------	----------------

## ACTIVE\_HEIGHT

ACTIVE\_HEIGHT 为图像高度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0004		ACTIVE_HEIGHT		0x0000_0438					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				active_height				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 1 1	1 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	active_height	有效图像高度，以像素为单位。						

## RGGG\_START

RGGG\_START 为 RGGG 模式寄存器。

Offset Address		Register Name		Total Reset Value				
0x0008		RGGG_START		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							rggb_start
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:2]	-	reserved	保留。					



[1:0]	RW	rggb_start	<p>RGGB 开始顺序。</p> <p>00: R Gr Gb B;</p> <p>01: Gr R B Gb;</p> <p>10: Gb B R Gr;</p> <p>11: B Gb Gr R。</p>
-------	----	------------	---

## BYPASS0

BYPASS0 为 BYPASS0 寄存器。

	Offset Address 0x0080								Register Name BYPASS0								Total Reset Value 0x0000_0012															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																bypass_sharpen	bypass_gamma_rgb	bypass_color_matrix	bypass_demosaic	bypass_gamma_post	reserved	bypass_gamma_pre	bypass_shading	bypass_DRC	bypass_gain	reserved	bypass_dnr	bypass_hotpixel	bypass_gamma_fe	bypass_balance_fe	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15]	RW		bypass_sharpen		sharpen 模块的 bypass 控制信号。 0: 允许 sharpen 模块; 1: 旁路 sharpen 模块。																											
[14]	RW		bypass_gamma_rgb		gamma_rgb 模块的 bypass 控制信号。 0: 允许 gamma_rgb 模块; 1: 旁路 gamma_rgb 模块。																											
[13]	RW		bypass_color_matrix		color_matrix 模块的 bypass 控制信号。 0: 允许 color_matrix 模块; 1: 旁路 color_matrix 模块。																											



[12]	RW	bypass_demosaic	demosaic 模块的 bypass 控制信号。 0: 允许 demosaic 模块; 1: 旁路 demosaic 模块。
[11]	RW	bypass_gamma_post	gamma_post 模块的 bypass 控制信号。 0: 允许 gamma_post 模块; 1: 旁路 gamma_post 模块。
[10]	-	reserved	保留。
[9]	RW	bypass_gamma_pre	gamma_pre 模块的 bypass 控制信号。 0: 允许 gamma_pre 模块; 1: 旁路 gamma_pre 模块。
[8]	RW	bypass_shading	shading 模块的 bypass 控制信号。 0: 允许 shading 模块; 1: 旁路 shading 模块。
[7]	RW	bypass_DRC	DRC 模块的 bypass 控制信号。 0: 允许 DRC 模块; 1: 旁路 DRC 模块。
[6]	RW	bypass_gain	White Balance 模块的 bypass 控制信号。 0: 允许 White Balance 模块; 1: 旁路 White Balance 模块。
[5:4]	-	reserved	保留。
[3]	RW	bypass_dnr	DNR 模块的 bypass 控制信号。 0: 允许 DNR 模块; 1: 旁路 DNR 模块。
[2]	RW	bypass_hotpixel	Defect Pixel 模块的 bypass 控制信号。 0: 允许 Defect Pixel 模块; 1: 旁路 Defect Pixel 模块。
[1]	RW	bypass_gamma_fe	Frontend LUT 模块的 bypass 控制信号。 0: 允许 Frontend LUT 模块; 1: 旁路 Frontend LUT 模块。
[0]	RW	bypass_balance_fe	sensor offset 模块的 bypass 控制信号。 0: 允许 sensor offset 模块; 1: 旁路 sensor offset 模块。



## BYPASS1

BYPASS1 为 BYPASS1 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0084		BYPASS1		0x0000_0002					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved					isp_full_bypass_enable	reserved		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	
Bits	Access	Name	Description						
[31:11]	-	reserved	保留。						
[10]	RW	isp_full_bypass_enable	ISP 的 bypass 控制信号。 0: 允许 ISP; 1: 旁路 ISP。						
[9:0]	-	reserved	保留。						

## INTERRUPT0

INTERRUPT0 为中断 0 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0100		INTERRUPT0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						interrupt0		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						



[4:0]	RW	interrupt0	<p>ISP 0 号中断的中断源选择。</p> <p>中断源编号如下：</p> <p>0x08: 自动曝光；</p> <p>0x09: 自动白平衡；</p> <p>0x0A: 自动对焦；</p> <p>0x0B: 直方图统计；</p> <p>0x10: 图像输入开始；</p> <p>0x11: 坏点校正开始；</p> <p>0x12: 去噪开始；</p> <p>0x14: DRC 开始；</p> <p>0x15: 去马赛克开始；</p> <p>0x16: 锐化开始；</p> <p>0x17: 图像输出开始；</p> <p>0x18: 图像输入结束；</p> <p>0x19: 坏点校正结束；</p> <p>0x1A: 去噪结束；</p> <p>0x1C: DRC 结束；</p> <p>0x1D: 去马赛克结束；</p> <p>0x1E: 锐化结束；</p> <p>0x1F: 图像输出结束。</p> <p>其他: 保留</p>
-------	----	------------	---

## INTERRUPT1

INTERRUPT1 为中断 1 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0104		INTERRUPT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved							interrupt1
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:5]	-	reserved	保留。					
[4:0]	RW	interrupt1	<p>ISP 1 号中断的中断源选择。</p> <p>中断源编号同中断 0。</p>					



## INTERRUPT2

INTERRUPT2 为中断 2 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0108		INTERRUPT2		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							interrupt2	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						
[4:0]	RW	interrupt2	ISP 2 号中断的中断源选择。 中断源编号同中断 0。						

## INTERRUPT3

INTERRUPT3 为中断 3 寄存器。

Offset Address		Register Name		Total Reset Value					
0x010C		INTERRUPT3		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							interrupt3	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						
[4:0]	RW	interrupt3	ISP 3 号中断的中断源选择。 中断源编号同中断 0。						

## INTERRUPT4

INTERRUPT4 为中断 4 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0110		INTERRUPT4		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							interrupt4	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						
[4:0]	RW	interrupt4	ISP 4 号中断的中断源选择。 中断源编号同中断 0。						

## INTERRUPT5

INTERRUPT5 为中断 5 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0114		INTERRUPT5		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							interrupt5	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						
[4:0]	RW	interrupt5	ISP 5 号中断的中断源选择。 中断源编号同中断 0。						

## INTERRUPT6

INTERRUPT6 为中断 6 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0118		INTERRUPT6		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							interrupt6	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						



[4:0]	RW	interrupt6	ISP 6 号中断的中断源选择。 中断源编号同中断 0。
-------	----	------------	---------------------------------

## INTERRUPT7

INTERRUPT7 为中断 7 寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x011C	INTERRUPT7	0x0000_0000							
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0									
Name	reserved						interrupt7			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0									
Bits	Access	Name	Description							
[31:5]	-	reserved	保留。							
[4:0]	RW	interrupt7	ISP 7 号中断的中断源选择。 中断源编号同中断 0。							

## SENSOR\_R\_BLACK

SENSOR\_R\_BLACK 为 sensor offset 模块的 R 分量黑电平寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0280	SENSOR_R_BLACK	0x0000_0000							
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0									
Name	reserved						r_black			
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0									
Bits	Access	Name	Description							
[31:16]	-	reserved	保留。							
[15:0]	RW	r_black	R 分量黑电平值，针对某些 sensor 的特性使用。							

## SENSOR\_GR\_BLACK

SENSOR\_GR\_BLACK 为 sensor offset 模块的 Gr 分量黑电平寄存器。



Offset Address		Register Name		Total Reset Value				
0x0284		SENSOR_GR_BLACK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				gr_black			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	gr_black	Gr 分量黑电平值，针对某些 sensor 的特性使用。					

## SENSOR\_GB\_BLACK

SENSOR\_GB\_BLACK 为 sensor offset 模块的 Gb 分量黑电平寄存器。

Offset Address		Register Name		Total Reset Value				
0x0288		SENSOR_GB_BLACK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				gb_black			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	gb_black	Gb 分量黑电平值，针对某些 sensor 的特性使用。					

## SENSOR\_B\_BLACK

SENSOR\_B\_BLACK 为 sensor offset 模块的 B 分量黑电平寄存器。

Offset Address		Register Name		Total Reset Value				
0x028C		SENSOR_B_BLACK		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				b_black			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	b_black	B 分量黑电平值，针对某些 sensor 的特性使用。					



## FRONTEND\_LUT\_EN

FRONTEND\_LUT\_EN 为 Frontend LUT 模块的使能寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0310	FRONTEND_LUT_EN	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:2]	-	reserved
	[1]	RW	frontend_lut_en
	[0]	-	reserved
	Description		
	保留。		
	Frontend LUT 使能寄存器，针对某些 sensor 的特性使用。 0：禁止； 1：使能。		
	保留。		

## FRONTEND\_LUT

FRONTEND\_LUT 为 Frontend LUT 模块的 LUT 查找表寄存器。

	Offset Address	Register Name	Total Reset Value
	0x1200 + fn × 4 (fn = 0~128)	FRONTEND_LUT	0x0000_0000
Bit	31 30 29 28   27 26 25 24   23 22 21 20   19 18 17 16   15 14 13 12   11 10 9 8   7 6 5 4   3 2 1 0		
Name	reserved		
Reset	0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0   0 0 0 0		
	Bits	Access	Name
	[31:12]	-	reserved
	[11:0]	RW	frontend_lut
	Description		
	保留。		
	LUT 查找表。 由 129 个 12bit 的数据组成		



## HP\_DEFECT\_PIXEL\_CTRL

HP\_DEFECT\_PIXEL\_CTRL 为 defect pixel 模块的控制寄存器。

Offset Address		Register Name		Total Reset Value										
0x0380		HP_DEFECT_PIXEL_CTRL		0x0000_0000										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0						
Name	reserved				show_dynamic_hotpixels	reserved	enable_cluster_detect	enable_dynamicfilter	reserved	detection_trigger	show_hotpixels	enable	show_reference	pointer_seset
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description											
[31:12]	-	reserved	保留。											
[11]	RW	show_dynamic_hotpixels	显示动态坏点。 0: 不显示; 1: 显示。											
[10]	RW	reserved	保留。											
[9]	RW	enable_cluster_detect	坏点簇检测使能。 0: 禁止; 1: 使能。 注: 默认关闭,建议仅在低照度下打开											
[8]	RW	enable_dynamicfilter	动态坏点校正使能。 0: 禁止; 1: 使能。											
[7:5]	-	reserved	保留。											
[4]	RW	detection_trigger	由 0 变 1 时触发坏点检测。											
[3]	RW	show_hotpixels	显示检测到的坏点。 0: 不显示; 1: 显示。											



[2]	RW	enable	坏点校正使能。 0: 禁止; 1: 使能。
[1]	RW	show_reference	显示坏点检测的参考值。 0: 不显示; 1: 显示。
[0]	RW	pointer_reset	每一帧复位坏点表的指针, 当由 CPU 写完坏点表时, 设置此位。 0: 不复位; 0: 复位。

## HP\_THRESHOLD\_CALIIBRATE

HP\_THRESHOLD\_CALIIBRATE 为 Defect Pixel 模块的静态坏点门限寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x0384	HP_THRESHOLD_CALIIBRATE	0x0000_001F									
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						threshold_calibrate					
Reset	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 1 1 1 1 1						
Bits	Access	Name	Description									
[31:8]	-	reserved	保留。									
[7:0]	RW	threshold_calibrate	静态坏点门限。									

## HP\_THRESHOLD\_DIFF0

HP\_THRESHOLD\_DIFF0 为 Defect Pixel 模块的 band0 动态坏点门限寄存器。

	Offset Address	Register Name	Total Reset Value									
	0x0388	HP_THRESHOLD_DIFF0	0x0000_0001									
Bit	31 30 29 28 27 26 25 24 23 22 21 20	19 18 17 16 15 14 13 12	11 10 9 8 7 6 5 4 3 2 1 0									
Name	reserved						threshold_diff0					
Reset	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 1						
Bits	Access	Name	Description									
[31:8]	-	reserved	保留。									





Offset Address		Register Name		Total Reset Value					
0x0394		HP_THRESHOLD_DIFF3		0x0000_000A					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						threshold_diff3		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	threshold_diff3	band3 动态坏点门限。						

## HP\_THRESHOLD\_DIFF4

HP\_THRESHOLD\_DIFF4 为 Defect Pixel 模块的 band4 动态坏点门限寄存器。

Offset Address		Register Name		Total Reset Value					
0x0398		HP_THRESHOLD_DIFF4		0x0000_0080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						threshold_diff4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	threshold_diff4	band4 动态坏点门限(高亮度)。						

## HP\_COUNT

HP\_COUNT 为 Defect Pixel 模块的坏点个数计数器。

Offset Address		Register Name		Total Reset Value					
0x039C		HP_COUNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						hot_pixel_count		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:10]	-	reserved	保留。						
[9:0]	RO	hot_pixel_count	检测到的坏点个数。						



## HP\_TABLE\_START

HP\_TABLE\_START 为 Defect Pixel 模块的坏点首地址寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x03A0				HP_TABLE_START								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																table_start															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:0]	RO		table_start		检测到的坏点首地址。																											

## HP\_COUNT\_IN

HP\_COUNT\_IN 为 Defect Pixel 模块的写入的坏点个数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x03A4				HP_COUNT_IN								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hot_pixel_count_in															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:0]	RW		hot_pixel_count_in		CPU 写入的坏点个数。																											

## HP\_TABLE\_LUT\_ADDR

HP\_TABLE\_LUT\_ADDR 为 Defect Pixel 模块的 LUT 表的地址寄存器。



Offset Address		Register Name		Total Reset Value						
0x03B0		HP_TABLE_LUT_ADDR		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						table_lut_addr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	-	reserved	保留。							
[9:0]	RW	table_lut_addr	LUT 查找表的地址寄存器。 间接的访问 LUT 表的地址，总共有 1024 个坏点，每个坏点 26bit 表示，高 13bit 表示行，低 13bit 表示列。 写 LUT 表的步骤如下： 1. 写 LUT 表的地址到地址寄存器。 2. 将坏点信息的低 16bit 写入低 16bit 写数据寄存器。 3. 将坏点信息的高 10bit 写入高 10bit 写数据寄存器。 读 LUT 表的步骤如下： 1. 写 LUT 表的地址到地址寄存器。 2. 等待至少 2 个时钟。 3. 从读数据寄存器中读取坏点信息。							

## HP\_TABLE\_LUT\_WRITE\_DATA0

HP\_TABLE\_LUT\_WRITE\_DATA0 为 Defect Pixel 模块的 LUT 表的低 bit 写数据寄存器。

Offset Address		Register Name		Total Reset Value						
0x03B4		HP_TABLE_LUT_WRITE_DATA0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						table_lut_write_data0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	-	reserved	保留。							
[15:0]	WO	table_lut_write_data0	LUT 查找表的低 16bit 写数据寄存器。							



## HP\_TABLE\_LUT\_WRITE\_DATA1

HP\_TABLE\_LUT\_WRITE\_DATA1 为 Defect Pixel 模块的 LUT 表的高 bit 写数据寄存器。

Offset Address		Register Name		Total Reset Value						
0x03B8		HP_TABLE_LUT_WRITE_DATA1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						table_lut_write_data1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	-	reserved	保留。							
[9:0]	WO	table_lut_write_data1	LUT 查找表的高 10bit 写数据寄存器。							

## HP\_TABLE\_LUT\_READ\_DATA0

HP\_TABLE\_LUT\_READ\_DATA0 为 Defect Pixel 模块的 LUT 表的低 bit 读数据寄存器。

Offset Address		Register Name		Total Reset Value						
0x03BC		HP_TABLE_LUT_READ_DATA0		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						table_lut_read_data0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	-	reserved	保留。							
[15:0]	RO	table_lut_read_data0	LUT 查找表的低 16bit 读数据寄存器。							

## HP\_TABLE\_LUT\_READ\_DATA1

HP\_TABLE\_LUT\_READ\_DATA1 为 Defect Pixel 模块的 LUT 表的高 bit 读数据寄存器。



Offset Address		Register Name		Total Reset Value						
0x03C0		HP_TABLE_LUT_READ_DATA1		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						table_lut_read_data1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:10]	-	reserved	保留。							
[9:0]	RO	table_lut_read_data1	LUT 查找表的高 10bit 读数据寄存器。							

## DNR\_CTRL

DNR\_CTRL 为 DNR 模块的控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0400		DNR_CTRL		0x0000_001C					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						filter_select	enable	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 0 0	
Bits	Access	Name	Description						
[31:5]	-	reserved	保留。						
[4]	RW	enable	DNR 使能寄存器。 0: 禁止; 1: 使能。						
[3:0]	RW	reserved	保留。						

## DNR\_THRESH\_0H

DNR\_THRESH\_0H 为 DNR 模块的水平高频噪声门限寄存器。



Offset Address		Register Name		Total Reset Value						
0x0404		DNR_THRESH_0H		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_0h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_0h	水平高频部分噪声门限。							

## DNR\_THRESH\_1H

DNR\_THRESH\_1H 为 DNR 模块的水平绿色噪声门限寄存器。

Offset Address		Register Name		Total Reset Value						
0x0408		DNR_THRESH_1H		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_1h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_1h	水平绿色部分噪声门限。							

## DNR\_THRESH\_2H

DNR\_THRESH\_2H 为 DNR 模块的水平中频噪声门限寄存器。

Offset Address		Register Name		Total Reset Value						
0x040C		DNR_THRESH_2H		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_2h			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_2h	水平中频部分噪声门限。							



## DNR\_THRESH\_4H

DNR\_THRESH\_4H 为 DNR 模块的水平低频噪声门限寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0410				DNR_THRESH_4H								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thresh_4h															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		thresh_4h		水平低频部分噪声门限。																											

## DNR\_THRESH\_0V

DNR\_THRESH\_0V 为 DNR 模块的垂直高频噪声门限寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0414				DNR_THRESH_0V								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																thresh_0v															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		thresh_0v		垂直高频部分噪声门限。																											

## DNR\_THRESH\_1V

DNR\_THRESH\_1V 为 DNR 模块的垂直绿色噪声门限寄存器。



Offset Address		Register Name		Total Reset Value						
0x0418		DNR_THRESH_1V		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_1v			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_1v	垂直绿色部分噪声门限。							

## DNR\_THRESH\_2V

DNR\_THRESH\_2V 为 DNR 模块的垂直中频噪声门限寄存器。

Offset Address		Register Name		Total Reset Value						
0x041C		DNR_THRESH_2V		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_2v			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_2v	垂直中频部分噪声门限。							

## DNR\_THRESH\_4V

DNR\_THRESH\_4V 为 DNR 模块的垂直低频噪声门限寄存器。

Offset Address		Register Name		Total Reset Value						
0x0420		DNR_THRESH_4V		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh_4v			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh_4v	垂直低频部分噪声门限。							



## DNR\_THRESH

DNR\_THRESH 为 DNR 模块的噪声门限寄存器。

Offset Address		Register Name		Total Reset Value						
0x0424		DNR_THRESH		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						thresh			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	thresh	去噪强度。							

## DNR\_STRENGTH0

DNR\_STRENGTH0 为 DNR 模块的高频分量去噪强度寄存器。

Offset Address		Register Name		Total Reset Value						
0x042C		DNR_STRENGTH0		0x0000_00FF						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						strength0			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	strength0	DNR 模块的高频分量去噪强度。							

## DNR\_STRENGTH1

DNR\_STRENGTH1 为 DNR 模块的绿色分量去噪强度寄存器。



Offset Address		Register Name		Total Reset Value					
0x0430		DNR_STRENGTH1		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						strength1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	strength1	DNR 模块的绿色分量去噪强度。						

## DNR\_STRENGTH2

DNR\_STRENGTH2 为 DNR 模块的中频分量去噪强度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0434		DNR_STRENGTH2		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						strength2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	strength2	DNR 模块的中频分量去噪强度。						

## DNR\_STRENGTH4

DNR\_STRENGTH4 为 DNR 模块的低频分量去噪强度寄存器。

Offset Address		Register Name		Total Reset Value					
0x0438		DNR_STRENGTH4		0x0000_00FF					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						strength4		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	strength4	DNR 模块的低频分量去噪强度。						



## DNR\_NOISE\_LUT\_ADDR

DNR\_NOISE\_LUT\_ADDR 为 DNR 模块的噪声特性查找表地址寄存器。

Offset Address		Register Name		Total Reset Value					
0x0500		DNR_NOISE_LUT_ADDR		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							weight_lut_addr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:7]	-	reserved	保留。						
[6:0]	RW	weight_lut_addr	查找表的地址寄存器。 提供间接的访问噪声配置 LUT 的接口，查找表由 128 个 8bit 的数据组成。 写数据的步骤如下： 1. 写地址到地址寄存器。 2. 写 8bit 的数据到写数据寄存器。						

## DNR\_NOISE\_PROFILE\_LUT

DNR\_NOISE\_PROFILE\_LUT 为 DNR 模块的噪声特性查找表写数据寄存器。

Offset Address		Register Name		Total Reset Value					
0x0504		DNR_NOISE_PROFILE_LUT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							weight_lut_write_data	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	WO	weight_lut_write_data	查找表的写数据寄存器。						

## DNR\_RATIO

DNR\_RATIO 为 DNR 模块的噪声特性查找表的倍数寄存器。



Offset Address		Register Name		Total Reset Value					
0x04E4		DNR_RATIO		0x0000_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						ratio		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:8]	-	reserved	保留。						
[7:0]	RW	ratio	噪声特性查找表的倍数。 格式：6.2 的无符号定点数。						

## WB\_GAIN00

WB\_GAIN00 为 White Balance 模块的 R 分量增益寄存器。

Offset Address		Register Name		Total Reset Value					
0x0600		WB_GAIN00		0x0000_01B0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						gain00		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						
[11:0]	RW	gain00	R 分量增益。 格式：4.8 的无符号定点数。						

## WB\_GAIN01

WB\_GAIN01 为 White Balance 模块的 Gr 分量增益寄存器。

Offset Address		Register Name		Total Reset Value					
0x0604		WB_GAIN01		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved						gain01		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:12]	-	reserved	保留。						



[11:0]	RW	gain01	Gr 分量增益。 格式：4.8 的无符号定点数。
--------	----	--------	-----------------------------

## WB\_GAIN10

WB\_GAIN10 为 White Balance 模块的 Gb 分量增益寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0608				WB_GAIN10				0x0000_0100																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain10																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11:0]	RW		gain10		Gb 分量增益。 格式：4.8 的无符号定点数。																											

## WB\_GAIN11

WB\_GAIN11 为 White Balance 模块的 B 分量增益寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x060C				WB_GAIN11				0x0000_0160																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gain11																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11:0]	RW		gain11		B 分量增益。 格式：4.8 的无符号定点数。																											

## WB\_BLACK00

WB\_BLACK00 为 White Balance 模块的 R 分量黑电平值寄存器。



Offset Address		Register Name		Total Reset Value					
0x0620		WB_BLACK00		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				black00				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	black00	R 分量黑电平值。						

## WB\_BLACK01

WB\_BLACK01 为 White Balance 模块的 Gr 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value					
0x0624		WB_BLACK01		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				black01				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	black01	Gr 分量黑电平值。						

## WB\_BLACK10

WB\_BLACK10 为 White Balance 模块的 Gb 分量黑电平值寄存器。

Offset Address		Register Name		Total Reset Value					
0x0628		WB_BLACK10		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				black10				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	black10	Gb 分量黑电平值。						



## WB\_BLACK11

WB\_BLACK11 为 White Balance 模块的 B 分量黑电平值寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x062C	WB_BLACK11	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:16]	-	reserved	保留。	
[15:0]	RW	black11	B 分量黑电平值。	

## SHADING\_CTRL

SHADING\_CTRL 为 shading 模块的控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0680	SHADING_CTRL	0x0000_0000	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
		19 18 17 16	15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
			mesh_scale	
			reserved	
			enable	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description	
[31:4]	-	reserved	保留。	
[3:2]	RW	mesh_scale	系数格式： 0: 1.7 格式的无符号定点数； 1: 2.6 格式的无符号定点数； 2: 3.5 格式的无符号定点数； 3: 4.4 格式的无符号定点数。	
[1]	RW	reserved	保留。	



[0]	RW	enable	shading 使能寄存器。 0: 禁止; 1: 使能。
-----	----	--------	------------------------------------

## SHADING\_MESH\_WIDTH

SHADING\_MESH\_WIDTH 为 shading 模块的水平节点数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0684				SHADING_MESH_WIDTH								0x0000_3F3F																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mesh_height				reserved		mesh_width													
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1
Bits	Access		Name		Description																											
[31:14]	-		reserved		保留。																											
[13:8]	RW		mesh_height		垂直节点个数减 1。																											
[7:6]	-		reserved		保留。																											
[5:0]	RW		mesh_width		水平节点个数减 1。																											

## SHADING\_MESH\_RELOAD

SHADING\_MESH\_RELOAD 为 shading 模块的垂直节点数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0688				SHADING_MESH_RELOAD								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved															mesh_reload																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]	-		reserved		保留。																											



[0]	RW	mesh_reload	0 到 1 变化触发载入配置信息。
-----	----	-------------	-------------------

## DRC\_CTRL

DRC\_CTRL 为 DRC 模块的控制寄存器。

Offset Address		Register Name		Total Reset Value				
0x0700		DRC_CTRL		0x0000_0029				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				enable			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	1 0 0 1
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	enable	DRC 使能寄存器。 0: 禁止; 1: 使能。					

## DRC\_STRENGTH

DRC\_STRENGTH 为 DRC 模块的强度等级寄存器。

Offset Address		Register Name		Total Reset Value				
0x0704		DRC_STRENGTH		0x0000_00FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						strength	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	strength	动态范围压缩强度。					

## DRC\_VARIANCE

DRC\_VARIANCE 为 DRC 模块的范围等级寄存器。



Offset Address		Register Name		Total Reset Value				
0x0708		DRC_VARIANCE		0x0000_0012				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						variance_inten sity	variance_space
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:4]	RW	variance_intensity	强度等级寄存器。					
[3:0]	RW	variance_space	范围等级寄存器。					

## DRC\_SLOPE\_MAX

DRC\_SLOPE\_MAX 为 DRC 模块的最大斜率限制寄存器。

Offset Address		Register Name		Total Reset Value				
0x070C		DRC_SLOPE_MAX		0x0000_0080				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						slope_max	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					
[7:0]	RW	slope_max	自适应算法的最大斜率限制。					

## DRC\_SLOPE\_MIN

DRC\_SLOPE\_MIN 为 DRC 模块的最小斜率限制寄存器。

Offset Address		Register Name		Total Reset Value				
0x0710		DRC_SLOPE_MIN		0x0000_0040				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						slope_min	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:8]	-	reserved	保留。					



[7:0]	RW	slope_min	自适应算法的最小斜率限制。
-------	----	-----------	---------------

## GAMMA\_PRE\_CTRL

GAMMA\_PRE\_CTRL 为 GAMMA\_PRE 模块的控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0790		GAMMA_PRE_CTRL		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved							enable	reserved
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:2]	-	reserved	保留。						
[1]	RW	enable	gamma_pre 使能寄存器。 0: 禁止; 1: 使能。						
[0]	RW	reserved	保留。						

## GAMMA\_PRE\_LUT\_ADDR

GAMMA\_PRE\_LUT\_ADDR 为 GAMMA\_PRE 模块的查找表地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0780		GAMMA_PRE_LUT_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						gamma_pre_lut_addr	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:7]	-	reserved	保留。					



[6:0]	RW	gamma_pre_lut_addr	<p>gamma_pre 查找表地址寄存器。</p> <p>提供间接的访问 gamma_pre 查找表的只写接口，查找表由 65 个 12bit 的数据组成。</p> <p>写数据的步骤如下：</p> <ol style="list-style-type: none"> <li>1.写地址到地址寄存器。</li> <li>2.写 12bit 的数据到写数据寄存器。</li> </ol>
-------	----	--------------------	--

## GAMMA\_PRE\_LUT\_WRITE\_DATA

GAMMA\_PRE\_LUT\_WRITE\_DATA 为 GAMMA\_PRE 模块的写数据寄存器。

	Offset Address								Register Name								Total Reset Value																					
	0x0784								GAMMA_PRE_LUT_WRITE_DATA								0x0000_0000																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved												gamma_pre_lut_write_data																									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access		Name		Description																																	
[31:12]	-		reserved		保留。																																	
[11:0]	WO		gamma_pre_lut_write_data		gamma_pre 查找表写数据寄存器。																																	

## GAMMA\_POST\_CTRL

GAMMA\_POST\_CTRL 为 GAMMA\_POST 模块的控制寄存器。

	Offset Address								Register Name								Total Reset Value																					
	0x07D0								GAMMA_POST_CTRL								0x0000_0000																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Name	reserved																enable	reserved																				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access		Name		Description																																	
[31:2]	-		reserved		保留。																																	



[1]	RW	enable	gamma_post 使能寄存器。 0: 禁止; 1: 使能。
[0]	RW	reserved	保留。

## GAMMA\_POST\_LUT\_ADDR

GAMMA\_POST\_LUT\_ADDR 为 GAMMA\_POST 模块的查找表地址寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x07C0	GAMMA_POST_LUT_ADDR	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved											gamma_post_lut_addr					
Reset	0 0																
Bits	Access	Name	Description														
[31:7]	-	reserved	保留。														
[6:0]	RW	gamma_post_lut_addr	gamma_post 查找表地址寄存器。 提供间接的访问 gamma_post 查找表的只写接口，查找表由 65 个 12bit 的数据组成 写数据的步骤如下： 1.写地址到地址寄存器。 2.写 12bit 的数据到写数据寄存器。														

## GAMMA\_POST\_LUT\_WRITE\_DATA

GAMMA\_POST\_LUT\_WRITE\_DATA 为 GAMMA\_POST 模块的写数据寄存器。

	Offset Address	Register Name	Total Reset Value														
	0x07C4	GAMMA_POST_LUT_WRITE_DATA	0x0000_0000														
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
Name	reserved											gamma_post_lut_write_data					
Reset	0 0																
Bits	Access	Name	Description														
[31:12]	-	reserved	保留。														
[11:0]	WO	gamma_post_lut_write_data	gamma_post 查找表写数据寄存器。														



## DEMOSAIC\_SLOPE

DEMOSAIC\_SLOPE 为 Demosaic 模块的最大斜率寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0800				DEMOSAIC_SLOPE				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																linear_slope															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		linear_slope		Demosaic 的最大斜率。																											

## DEMOSAIC\_OFFSET

DEMOSAIC\_OFFSET 为 Demosaic 模块偏移寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0804				DEMOSAIC_OFFSET				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																demosaic_offset															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:8]	-		reserved		保留。																											
[7:0]	RW		demosaic_offset		Demosaic 的偏移寄存器。																											

## CCM\_CTRL

CCM\_CTRL 为 Color Matrix 模块的控制寄存器。



Offset Address		Register Name		Total Reset Value					
0x08A4		CCM_CTRL		0x0000_0001					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								enable
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:1]	-	reserved	保留。						
[0]	RW	enable	Color Matrix 使能寄存器。 0:禁止; 1:使能。						

## CCM\_COEFFT\_RR

CCM\_COEFFT\_RR 为 Color Matrix 模块的 RR 位置的系数寄存器。

Offset Address		Register Name		Total Reset Value				
0x0880		CCM_COEFFT_RR		0x0000_01C8				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				coefft_rr			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 0 0	1 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RW	coefft_rr	RR 位置的系数。 格式：8.8 的有符号定点数。					

## CCM\_COEFFT\_RG

CCM\_COEFFT\_RG 为 Color Matrix 模块的 RG 位置的系数寄存器。



Offset Address		Register Name		Total Reset Value					
0x0884		CCM_COEFFT_RG		0x0000_8150					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_rg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 1	0 1 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	coefft_rg	RG 位置的系数。 格式：8.8 的有符号定点数。						

## CCM\_COEFFT\_RB

CCM\_COEFFT\_RB 为 Color Matrix 模块的 RB 位置的系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x0888		CCM_COEFFT_RB		0x0000_0090					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_rb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	coefft_rb	RB 位置的系数。 格式：8.8 的有符号定点数。						

## CCM\_COEFFT\_GR

CCM\_COEFFT\_GR 为 Color Matrix 模块的 GR 位置的系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x088C		CCM_COEFFT_GR		0x0000_8050					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_gr				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 1 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	coefft_gr	GR 位置的系数。 格式：8.8 的有符号定点数。
--------	----	-----------	------------------------------

## CCM\_COEFFT\_GG

CCM\_COEFFT\_GG 为 Color Matrix 模块的 GG 位置的系数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0890				CCM_COEFFT_GG								0x0000_0188																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																coefft_gg															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		coefft_gg		GG 位置的系数。 格式：8.8 的有符号定点数。																											

## CCM\_COEFFT\_GB

CCM\_COEFFT\_GB 为 Color Matrix 模块的 GB 位置的系数寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0894				CCM_COEFFT_GB								0x0000_8050																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																coefft_gb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		coefft_gb		GB 位置的系数。 格式：8.8 的有符号定点数。																											

## CCM\_COEFFT\_BR

CCM\_COEFFT\_BR 为 Color Matrix 模块的 BR 位置的系数寄存器。



Offset Address		Register Name		Total Reset Value					
0x898		CCM_COEFFT_BR		0x0000_8030					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_br				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	0 0 1 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	coefft_br	BR 位置的系数。 格式：8.8 的有符号定点数。						

## CCM\_COEFFT\_BG

CCM\_COEFFT\_BG 为 Color Matrix 模块的 BG 位置的系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x089C		CCM_COEFFT_BG		0x0000_8080					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_bg				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	coefft_bg	BG 位置的系数。 格式：8.8 的有符号定点数。						

## CCM\_COEFFT\_BB

CCM\_COEFFT\_BB 为 Color Matrix 模块的 BB 位置的系数寄存器。

Offset Address		Register Name		Total Reset Value					
0x08A0		CCM_COEFFT_BB		0x0000_01A0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				coefft_bb				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RW	coefft_bb	BB 位置的系数。 格式：8.8 的有符号定点数。
--------	----	-----------	------------------------------

## GAMMA\_CTRL

GAMMA\_CTRL 为 GAMMA 模块控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0910				GAMMA_CTRL								0x0000_0002																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																								enable	reserved						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
Bits	Access		Name		Description																											
[31:2]	-		reserved		保留。																											
[1]	RW		enable		gamma 使能寄存器。 0: 禁止; 1: 使能。																											
[0]	RW		reserved		保留。																											

## GAMMA\_LUT\_ADDR

GAMMA\_LUT\_ADDR 为 GAMMA 模块的查找表地址寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0900				GAMMA_LUT_ADDR								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												gamma_lut_addr																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:7]	-		reserved		保留。																											



[6:0]	RW	gamma_lut_addr	<p>gamma 查找表的地址寄存器。</p> <p>提供间接的写 gamma 查找表的接口，这个表有 65 个 16bit 的数据组成。</p> <p>写数据的步骤如下：</p> <ol style="list-style-type: none"> <li>1.写地址到地址寄存器。</li> <li>2.写 16bit 的数据到写数据寄存器。</li> </ol>
-------	----	----------------	--

## GAMMA\_LUT\_WRITE\_DATA

GAMMA\_LUT\_WRITE\_DATA 为 GAMMA 模块的查找表写数据寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0904				GAMMA_LUT_WRITE_DATA								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																gamma_lut_write_data															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:0]	RW	gamma_lut_write_data		gamma 查找表的写数据寄存器。																											

## SHARPEN\_CTRL

SHARPEN\_CTRL 为 Sharpen 模块的控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0980				SHARPEN_CTRL								0x0000_0004																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																enable															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
	Bits	Access	Name		Description																											
	[31:1]	-	reserved		保留。																											
	[0]	RW	enable		Sharpen 使能寄存器。 0: 禁止; 1: 使能。																											



## SHARPEN\_STRENGTH

SHARPEN\_STRENGTH 为 Sharpen 模块的强度寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0984				SHARPEN_STRENGTH								0x0000_0030																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																strength															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
Bits	Access	Name		Description																												
[31:8]	-	reserved		保留。																												
[7:0]	RW	strength		Sharpen 强度寄存器。																												

## METERING\_HIST\_THRESH01

METERING\_HIST\_THRESH01 为直方图统计第 0 段与第 1 段的边界点寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C00				METERING_HIST_THRESH01								0x0000_0010																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												hist_thresh01																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
Bits	Access	Name		Description																												
[31:16]	-	reserved		保留。																												
[15:0]	RW	hist_thresh01		直方图统计的第 0 段区间与第 1 段区间的边界点。																												

## METERING\_HIST\_THRESH12

METERING\_HIST\_THRESH12 为直方图统计第 1 段与第 2 段的边界点寄存器。



Offset Address		Register Name		Total Reset Value					
0x0C04		METERING_HIST_THRESH12		0x0000_0020					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hist_thresh12				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hist_thresh12	直方图统计的第 1 段区间与第 2 段区间的边界点。						

### METERING\_HIST\_THRESH34

METERING\_HIST\_THRESH34 为直方图统计第 3 段与第 4 段的边界点寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C08		METERING_HIST_THRESH34		0x0000_00D0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hist_thresh34				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 0 1	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hist_thresh34	直方图统计的第 3 段区间与第 4 段区间的边界点。						

### METERING\_HIST\_THRESH45

METERING\_HIST\_THRESH45 为直方图统计第 4 段与第 5 段的边界点寄存器。

Offset Address		Register Name		Total Reset Value					
0x0C0C		METERING_HIST_THRESH45		0x0000_00E0					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				hist_thresh45				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RW	hist_thresh45	直方图统计的第 4 段区间与第 5 段区间的边界点。						



## METERING\_HIST0

METERING\_HIST0 为第 0 段的直方图统计信息寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C20				METERING_HIST0								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hist0															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RO		hist0		63 个窗口加权平均后的第 0 段的直方图统计信息。																											

## METERING\_HIST1

METERING\_HIST1 为第 1 段的直方图统计信息寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C24				METERING_HIST1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																hist1															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RO		hist1		63 个窗口加权平均后的第 1 段的直方图统计信息。																											

## METERING\_HIST3

METERING\_HIST3 为第 3 段的直方图统计信息寄存器。



Offset Address		Register Name		Total Reset Value				
0x0C28		METERING_HIST3		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist3			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RO	hist3	63 个窗口加权平均后的第 3 段的直方图统计信息。					

## METERING\_HIST4

METERING\_HIST4 为第 4 段的直方图统计信息寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C2C		METERING_HIST4		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				hist4			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:0]	RO	hist4	63 个窗口加权平均后的第 4 段的直方图统计信息。					

## METERING\_AWB\_WHITE\_LEVEL

METERING\_AWB\_WHITE\_LEVEL 为 AWB 的最亮点寄存器。

Offset Address		Register Name		Total Reset Value				
0x0C80		METERING_AWB_WHITE_LEVEL		0x0000_03FF				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved						white_level	
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1	1 1 1 1	1 1 1 1
Bits	Access	Name	Description					
[31:10]	-	reserved	保留。					
[9:0]	RW	white_level	自动白平衡的最亮点设置。					



## METERING\_AWB\_BLACK\_LEVEL

METERING\_AWB\_BLACK\_LEVEL 为 AWB 的最暗点寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0C84	METERING_AWB_BLACK_LEVEL	0x0000_0000							
Bit	31 30 29 28	27 26 25 24	23 22 21 20							
		19 18 17 16	15 14 13 12							
		11 10 9 8	7 6 5 4							
		3 2 1 0								
Name	reserved						black_level			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description							
[31:10]	-	reserved	保留。							
[9:0]	RW	black_level	自动白平衡的最暗点设置。							

## METERING\_AWB\_CR\_REF\_MAX

METERING\_AWB\_CR\_REF\_MAX 为 AWB 参考白点的最大 Cr 值寄存器。

	Offset Address	Register Name	Total Reset Value							
	0x0C88	METERING_AWB_CR_REF_MAX	0x0000_01FF							
Bit	31 30 29 28	27 26 25 24	23 22 21 20							
		19 18 17 16	15 14 13 12							
		11 10 9 8	7 6 5 4							
		3 2 1 0								
Name	reserved						cr_ref_max			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1	1 1 1 1	
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RW	cr_ref_max	参考白点的最大 R/G 的值。 格式：4.8 格式的无符号定点数。							

## METERING\_AWB\_CR\_REF\_MIN

METERING\_AWB\_CR\_REF\_MIN 为 AWB 参考白点的最小 Cr 值寄存器。



Offset Address		Register Name		Total Reset Value						
0x0C8C		METERING_AWB_CR_REF_MIN		0x0000_0040						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cr_ref_min			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RW	cr_ref_min	参考白点的最小 R/G 的值。 格式：4.8 格式的无符号定点数。							

## METERING\_AWB\_CB\_REF\_MAX

METERING\_AWB\_CB\_REF\_MAX 为 AWB 参考白点的最大 Cb 值寄存器。

Offset Address		Register Name		Total Reset Value						
0x0C90		METERING_AWB_CB_REF_MAX		0x0000_01FF						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cb_ref_max			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							
[11:0]	RW	cb_ref_max	参考白点的最大 B/G 的值。 格式：4.8 格式的无符号定点数。							

## METERING\_AWB\_CB\_REF\_MIN

METERING\_AWB\_CB\_REF\_MIN 为 AWB 参考白点的最小 Cb 值寄存器。

Offset Address		Register Name		Total Reset Value						
0x0C94		METERING_AWB_CB_REF_MIN		0x0000_0040						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						cb_ref_min			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 1 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:12]	-	reserved	保留。							



[11:0]	RW	cb_ref_min	参考白点的最小 B/G 的值。 格式：4.8 格式的无符号定点数。
--------	----	------------	--------------------------------------

## METERING\_AWB\_RG

METERING\_AWB\_RG 为 AWB 输出的 G/R 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C98				METERING_AWB_RG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												awb_rg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留。																											
[11:0]	RO		awb_rg		AWB 输出的 G/R 值。 格式：4.8 格式的无符号定点数。																											

## METERING\_AWB\_BG

METERING\_AWB\_BG 为 AWB 输出的 G/B 寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0C9C				METERING_AWB_BG								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												awb_bg																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:12]	-		reserved		保留																											
[11:0]	RO		awb_bg		AWB 输出的 G/B 值。 格式：4.8 格式的无符号定点数。																											

## METERING\_AWB\_SUM0

METERING\_AWB\_SUM0 为 AWB 参考白点的个数的低 16bit 寄存器。



Offset Address		Register Name		Total Reset Value					
0x0CA0		METERING_AWB_SUM0		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				awb_sum0				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RO	awb_sum0	AWB 参考白点个数的低 16bit。 格式：32bit 无符号整数。						

## METERING\_AWB\_SUM1

METERING\_AWB\_SUM1 为 AWB 参考白点的个数的高 16bit 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0CA4		METERING_AWB_SUM1		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				awb_sum1				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RO	awb_sum1	AWB 参考白点个数的低 16bit。 格式：32bit 无符号整数。						

## METERING\_AF\_METRICS

METERING\_AF\_METRICS 为 AF 的统计结果寄存器。

Offset Address		Register Name		Total Reset Value					
0x0D00		METERING_AF_METRICS		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				af_metrics				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						



[15:0]	RO	af_metrics	63 个窗口加权平均归一化后的对焦准确性的度量值。 格式：16bit 无符号整数。
--------	----	------------	--

## METERING\_AF\_THRESHOLD\_WRITE

METERING\_AF\_THRESHOLD\_WRITE 为 AF 的预设的门限寄存器。

Offset Address	Register Name	Total Reset Value
0x0D04	METERING_AF_THRESHOLD_WRITE	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												af_threshold_write																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留。																															
[15:0]	RW		af_threshold_write		AF 的设置的门限(0 表示使用前 1 帧的值) 格式：16bit 无符号整数																															

## METERING\_AF\_THRESHOLD\_READ

METERING\_AF\_THRESHOLD\_READ 为 AF 的刷新后的门限寄存器。

Offset Address	Register Name	Total Reset Value
0x0D08	METERING_AF_THRESHOLD_READ	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved												af_threshold_read																							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[31:16]	-		reserved		保留																															
[15:0]	RO		af_threshold_read		AF 的计算出的门限。 格式：16bit 无符号整数。																															

## METERING\_AF\_INTENSITY\_READ

METERING\_AF\_INTENSITY\_READ 为 AF 的计算出的亮度寄存器。



Offset Address		Register Name		Total Reset Value					
0x0D0C		METERING_AF_INTENSITY_READ		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				af_intensity_read				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	-	reserved	保留。						
[15:0]	RO	af_intensity_read	AF 的亮度信息。 格式：16bit 无符号整数。						

## METERING\_AEXP\_WEIGHT

METERING\_AEXP\_WEIGHT 为 AE 的窗口权重寄存器。

Offset Address		Register Name		Total Reset Value				
0x0E00+aew×4 (aew = 0~31)		METERING_AEXP_WEIGHT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				reserved	aexp_weight_j	reserved	aexp_weight_i
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	-	reserved	保留。					
[15:12]	RW	reserved	保留。					
[11:8]	RW	aexp_weight_j	自动曝光的 7x9 窗口权重信息， 权重对应的窗口排列顺序为从左到右，从上到下。 第 1, 3, 5, 7...61 个窗口的权重信息。					
[7:4]	RW	reserved	保留。					
[3:0]	RW	aexp_weight_i	自动曝光的 7x9 窗口权重信息。 第 0, 2, 4, 6, 8...60, 62 个窗口的权重信息。					

## METERING\_AWB\_WEIGHT

METERING\_AWB\_WEIGHT 为 AWB 的窗口权重寄存器。



Offset Address  
0x0E80+awbw×4  
(awbw = 0~31)

Register Name  
METERING\_AWB\_WEIGHT

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												reserved				awb_weight_j				reserved				awb_weight_i							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:12]	RW	reserved		保留。																											
	[11:8]	RW	awb_weight_j		自动白平衡的 7x9 窗口权重信息， 权重对应的窗口排列顺序为从左到右，从上到下。 第 1, 3, 5, 7...61 个窗口的权重信息。																											
	[7:4]	RW	reserved		保留。																											
	[3:0]	RW	awb_weight_i		自动白平衡的 7x9 窗口权重信息。 第 0, 2, 4, 6, 8...60, 62 个窗口的权重信息。																											

## METERING\_AF\_WEIGHT

METERING\_AF\_WEIGHT 为 AF 的窗口权重寄存器。

Offset Address  
0x0F00+afw×4  
(afw = 0~31)

Register Name  
METERING\_AF\_WEIGHT

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												reserved				af_weight_j				reserved				af_weight_i							
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0											
	Bits	Access	Name		Description																											
	[31:16]	-	reserved		保留。																											
	[15:12]	RW	reserved		保留。																											
	[11:8]	RW	af_weight_j		自动对焦的 7x9 窗口权重信息， 权重对应的窗口排列顺序为从左到右，从上到下。 第 1, 3, 5, 7...61 个窗口的权重信息。																											
	[7:4]	RW	reserved		保留。																											



[3:0]	RW	af_weight_i	自动对焦的 7x9 窗口权重信息。 第 0, 2, 4, 6, 8...60, 62 个窗口的权重信息。
-------	----	-------------	---

## DIS\_CTRL

DIS\_CTRL 为 DIS 模块的控制寄存器。

	Offset Address 0x1000								Register Name DIS_CTRL								Total Reset Value 0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																shift_mux	reserved								manual_control						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:10]	-		reserved		保留。																											
[9:8]	RW		shift_mux		内部累加器乘上的倍数。 00: 1 倍; 01: 4 倍; 10: 16 倍; 11: 64 倍。																											
[7:1]	RW		reserved		保留																											
[0]	RW		manual_control		数字防抖使能寄存器。 0: 禁止; 1: 使能。																											

## DIS\_OFFSET\_X

DIS\_OFFSET\_X 为 DIS 模块的水平偏移寄存器。



Offset Address		Register Name		Total Reset Value						
0x100C		DIS_OFFSET_X		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						offset_x			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	offset_x	计算出的水平方向的偏移量。							

## DIS\_OFFSET\_Y

DIS\_OFFSET\_Y 为 DIS 模块的垂直偏移寄存器。

Offset Address		Register Name		Total Reset Value						
0x1010		DIS_OFFSET_Y		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						offset_y			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:8]	-	reserved	保留。							
[7:0]	RW	offset_y	计算出的垂直方向的偏移量。							

## METERING\_AE

METERING\_AE 为 AE 的统计信息寄存器。

Offset Address		Register Name		Total Reset Value						
0x2000 + aen × 4 (aen = 0~251)		METERING_AE		0x0000_0000						
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0		
Name	reserved						metering_ae			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0		
Bits	Access	Name	Description							
[31:16]	-	reserved	保留。							



[15:0]	RW	metering_ae	<p>AE 的统计信息。</p> <p>分成 7x9 个窗口，窗口顺序为从左到右，从上到下，每个窗口占用 4 个寄存器，共 252 个寄存器。</p> <p>每个窗口分 5 段统计直方图，归一化为 0xFFFF，只存储第 0, 1, 3, 4 段的值。</p> <p>每个窗口会有一个权重寄存器设置权重，根据每个窗口的权重信息，会计算出一个最终的信息。</p> <p>最终的统计信息由寄存器 METERING_HIST0, METERING_HIST1, METERING_HIST2, METERING_HIST3 给出。</p>
--------	----	-------------	--

### METERING\_AWB

METERING\_AWB 为 AWB 的统计信息寄存器。

Offset Address	Register Name	Total Reset Value
0x2400+awbn×4 (awbn = 0~251)	METERING_AWB	0x0000_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																metering_awb															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bits	Access	Name	Description
[31:16]	-	reserved	保留。
[15:0]	RW	metering_awb	<p>AWB 的统计信息。</p> <p>分成 7x9 个窗口，窗口顺序为从左到右，从上到下，每个窗口占用 4 个寄存器，共 252 个寄存器。</p> <p>每个窗口的寄存器排列如下：</p> <p>第 1 个寄存器：G/R 的平均值；</p> <p>第 2 个寄存器：G/B 的平均值；</p> <p>第 3 个寄存器：记入统计的像素个数低 16bit；</p> <p>第 4 个寄存器：记入统计的像素个数高 16bit。</p> <p>每个窗口会有一个权重寄存器设置权重，根据每个窗口的权重信息，会计算出一个最终的信息。</p> <p>最终的统计信息由寄存器 METERING_AWB_RG, METERING_AWB_BG, METERING_AWB_SUM0, METERING_AWB_SUM1 给出。</p>



## METERING\_AF

METERING\_AF 为 AF 的统计信息寄存器。

Offset Address  
0x2800+afn×4  
(afn = 0~62)

Register Name  
METERING\_AF

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												metering_af																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		metering_af		<p>AF 的统计信息。</p> <p>分成 7x9 个窗口，窗口顺序为从左到右，从上到下，每个窗口占用 1 个寄存器，共 63 个寄存器。</p> <p>对焦准确性的度量值，数值越大表示对焦越准。</p> <p>每个窗口会有一个权重寄存器设置权重，根据每个窗口的权重信息，会计算出一个最终的信息。</p> <p>最终的统计信息由寄存器 METERING_AF_METRICS 给出。</p>																											

## METERING\_DIS

METERING\_DIS 为 DIS 的统计信息寄存器。

Offset Address  
0x2A00+disn×4  
(disn = 0~127)

Register Name  
METERING\_DIS

Total Reset Value  
0x0000\_0000

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												metering_dis																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:16]	-		reserved		保留。																											
[15:0]	RW		metering_dis		<p>DIS 的统计信息。</p> <p>水平偏移-32, -31 ... 31 的相关性</p> <p>垂直偏移-32, -31 ... 31 的相关性</p> <p>每个偏移占 1 个寄存器，共 128 个寄存器。</p>																											



---

## 目 录

---

<b>13 运动检测单元.....</b>	<b>13-5</b>
13.1 概述.....	13-5
13.2 功能描述.....	13-5
13.3 工作方式.....	13-5
13.3.1 MDU 运动检测业务的软硬件分工 .....	13-5
13.3.2 MDU 视频遮挡检测业务的软硬件分工.....	13-6
13.4 MDU 寄存器概览 .....	13-6
13.5 MDU 寄存器描述 .....	13-7



---

## 表格目录

---

表 13-1 MDU 寄存器概览（基址是 0x2062\_0000） ..... 13-6



# 13 运动检测单元

## 13.1 概述

MDU (Motion Detect Unit) 是一个高性能的运动检测和视频遮挡检测硬件加速 IP, 能够对视频背景进行高效的建模, 并计算运动区域的信息。MDU 通过 AXI Master 总线接口读取图像信息, 写出刷新后的背景图信息、SAD (Sum of absolute differences) 值及运动区域信息。通过 APB Slave 总线获取配置寄存器信息。

## 13.2 功能描述

MDU 支持如下几种功能:

- 支持以 8%8 或 16%16 为单位的 SAD 值计算和输出。
- 支持运动区域检测及运动区域信息输出。
- 支持背景图更新。

## 13.3 工作方式

### 13.3.1 MDU 运动检测业务的软硬件分工

软件实现待编码图像的准备, 包括:

- 在 DDR 中分配存储空间。
- 调用其他硬件完成视频捕获、缩放等处理。
- 多个运动检测的调度, 待检测区域的指定, 划分和生成地址信息等。

硬件实现对输入图像进行 SAD 值计算:

- 根据 SAD 的计算结果和设定的阈值检测运动区域, 并更新背景。
- 根据软件的设置输出运动区域的信息, 背景图像或 SAD 值。



### 13.3.2 MDU 视频遮挡检测业务的软硬件分工

软件使用硬件输出的运动区域的面积信息，判断是否达到遮挡阈值，如果达到，则设置硬件不再更新背景，但继续进行运动区域的检测，当运动区域面积连续超过设置的遮挡阈值，则进行遮挡报警。

## 13.4 MDU 寄存器概览

MDU 寄存器概览如表 13-1 所示。

表13-1 MDU 寄存器概览（基址是 0x2062\_0000）

偏移地址	名称	描述	页码
0x0000	MDU_INTSTAT	中断状态信号寄存器	13-7
0x0004	MDU_INTEN	中断使能信号寄存器	13-8
0x0008	MDU_RAWINT	原始中断信号寄存器	13-9
0x000C	MDU_INTCLR	中断清除寄存器	13-10
0x0020	MDU_VEDIMGSIZE	图像大小配置寄存器	13-10
0x0024	MDU_MODE	模式配置寄存器	13-11
0x0028	MDU_START	MDU 启动寄存器	13-12
0x002C	MDU_AXI_OUTST D_NUM	AXI OUTSTANDING 配置寄存器	13-13
0x0040	MDU_REF_YADDR	参考图像亮度存储地址寄存器	13-13
0x0044	MDU_REF_YSTRID E	参考图像亮度 Stride 寄存器	13-13
0x0048	MDU_CUR_YADDR	当前图像亮度存储地址寄存器	13-14
0x004C	MDU_CUR_YSTRID E	当前图像亮度 Stride 寄存器	13-14
0x0060	MDU_MBSAD_AD DR	宏块 SAD 值存储地址寄存器	13-15
0x0064	MDU_MBSAD_STR IDE	宏块 SAD 值存储 Stride 寄存器	13-15
0x0070	MDU_BACKGROU ND_ADDR	背景图像亮度存储地址寄存器	13-16
0x0074	MDU_BACKGROU ND_STRIDE	背景图像亮度 Stride 寄存器	13-16
0x0078	MDU_OBJ_ADDR	运动区域存储地址寄存器	13-16



偏移地址	名称	描述	页码
0x007C	MDU_BG_UP_WEIGHT	背景图更新权重寄存器	13-17
0x0080	MDU_MBSAD_TH	宏块动静判决阈值寄存器	13-18
0x0084	MDU_TIMEOUT	TIMEOUT 上限寄存器	13-18
0x0090	MDU_WND_SIZE	SAD 值输出窗口配置寄存器	13-18
0x0094	MDU_MIN_OBJ_SIZE	边界搜索最小窗口配置寄存器	13-19
0x0098	MDU_MAX_OBJ_CNT	边界搜索最大窗口配置寄存器	13-20
0x009C	MDU_OBJ_CNT	运动区域信息回读寄存器	13-20
0x00A0	MDU_MAX_OBJ_SIZE	最大运动区域回读寄存器	13-20
0x00A4	MDU_TOTAL_OBJ_SIZE	总运动区域信息回读寄存器	13-21
0x00A8	MDU_MOVE_PIX_CNT	整帧运动像素统计寄存器	13-22
0x00AC	MDU_OBJ_CNT1	基于背景的运动区域信息回读寄存器	13-22
0x00B0	MDU_MAX_OBJ_SIZE1	基于背景的最大运动区域回读寄存器	13-22
0x00B4	MDU_TOTAL_OBJ_SIZE1	基于背景的总运动区域信息回读寄存器	13-23
0x00B8	MDU_MOVE_PIX_CNT1	基于背景的整帧运动像素统计寄存器	13-23

## 13.5 MDU 寄存器描述

### MDU\_INTSTAT

MDU\_INTSTAT 为中断状态信号寄存器。



Offset Address		Register Name		Total Reset Value				
0x0000		MDU_INTSTAT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err mdu_cfg_err	reserved						mdu_timeout mdu_endofpic
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RO	mdu_bus_err	总线读写错误。					
[30]	RO	mdu_cfg_err	寄存器配置错误。					
[29:2]	RO	reserved	保留。					
[1]	RO	mdu_timeout	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RO	mdu_endofpic	MDU 当前图像结束指示，高有效。					

## MDU\_INTEN

MDU\_INTEN 为中断使能信号寄存器。

Offset Address		Register Name		Total Reset Value				
0x0004		MDU_INTEN		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_en mdu_cfg_err_en	reserved						mdu_timeout_en mdu_endofpic_en
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_en	总线读写错误时中断使能。 0: 禁止; 1: 使能。					



[30]	RW	mdu_cfg_err_en	寄存器配置错误中断使能。 0: 禁止; 1: 使能。
[29:2]	RO	reserved	保留。
[1]	RW	mdu_timeout_en	mdu 超时工作中断, 当 mdu 被配置为打开超时检测模式下, 且 mdu 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。 0: 禁止; 1: 使能。
[0]	RW	mdu_endofpic_en	MDU 当前图像结束中断使能。 0: 禁止; 1: 使能。

## MDU\_RAWINT

MDU\_RAWINT 为原始中断信号寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0008	MDU_RAWINT	0x0000_0000
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	mdu_bus_err_raw mdu_cfg_err_raw	reserved	mdu_timeout_raw mdu_endofpic_raw
Reset	0 0		
Bits	Access	Name	Description
[31]	RO	mdu_bus_err_raw	总线读写错误指示, 高有效。
[30]	RO	mdu_cfg_err_raw	寄存器配置错误指示, 高有效。
[29:2]	RO	reserved	保留。
[1]	RO	mdu_timeout_raw	MDU 超时工作中断, 高有效。
[0]	RO	mdu_endofpic_raw	MDU 当前图像结束指示, 高有效。



## MDU\_INTCLR

MDU\_INTCLR 为中断清除寄存器。

Offset Address		Register Name		Total Reset Value				
0x000C		MDU_INTCLR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_bus_err_clr mdu_cfg_err_clr	reserved						mdu_timeout_clr mdu_endofpic_clr
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31]	RW	mdu_bus_err_clr	总线读写错误清除，高有效。					
[30]	RW	mdu_cfg_err_clr	寄存器配置错误清除，高有效。					
[29:2]	RO	reserved	保留。					
[1]	RW	mdu_timeout_clr	MDU 超时工作中断，当 MDU 被配置为打开超时检测模式下，且 MDU 工作时间已经超过软件在寄存器 MDU_TIMEOUT 中配置的阈值时此中断有效。					
[0]	RW	mdu_endofpic_clr	MDU 当前图像结束指示清除，高有效。					

## MDU\_VEDIMGSIZE

MDU\_VEDIMGSIZE 为图像大小配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0020		MDU_VEDIMGSIZE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved	imgheightinpixelsminus1				reserved	imgwidthinpixelsminus1		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:29]	RO	reserved	保留。						
[28:16]	RW	imgheightinpixelsminus1	图像高度。以像素为单位，实际宽度减 1。例如图像宽度为 352，此寄存器应该配为 351。						



[15:13]	RO	reserved	保留。
[12:0]	RW	imgwidthinpixelsminus1	图象宽度。以像素为单位，实际高度减 1。例如图象宽高为 288，此寄存器应该配为 287。

## MDU\_MODE

MDU\_MODE 为模式配置寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0024				MDU_MODE				0x0000_019C																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																mcpi_clkgate_en	mcpi_wrlock_en	timeout_en	md_mod	bg_update_en	eg_find_en	obj_out_en	sad_out_en	sad_mad_sel							
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0
Bits	Access		Name		Description																											
[31:9]	RO		reserved		保留。																											
[8]	RW		mcpi_clkgate_en		时钟门控开关。																											
[7]	RW		mcpi_wrlock_en		寄存器配置锁开关，打开时，在启动 MDU 后，到结束检测之前，配置寄存器无效，防止寄存器在使用中被改写。																											
[6]	RW		timeout_en		mdu 超时检测开关，打开时可以自行检测软件在寄存器 MDU_TIMEOUT 中配置的工作 cycle 数上限值。 0：关闭超时检测功能； 1：打开超时检测功能。																											
[5]	RW		md_mod		运动检测模式。 0：基于背景算法； 1：基于帧差算法。																											
[4]	RW		bg_update_en		背景更新开关。 0：不更新背景； 1：更新背景。 此寄存器在 md_mod 设置为基于背景算法的情况下有效，基于帧差算法时，此寄存器为任何值都设置无效。																											



[3]	RW	eg_find_en	运动区域联通检测开关。 0: 不使用运动区域联通检测; 1: 使用运动区域联通检测。 在基于背景算法时, 此开关只关闭最后一次基于背景的区域联通检测。
[2]	RW	obj_out_en	运动区域输出开关, 如果此开关打开, 必须设置运动区域信息存储内存的地址和间隔寄存器。 0: 运动区域信息不输出; 1: 运动区域信息输出。
[1]	RW	sad_out_en	SAD 输出开关, 如果此开关打开必须设置 SAD 的存储内存地址和间隔寄存器。 0: 生成的 SAD 不输出; 1: 生成的 SAD 输出。
[0]	RW	sad_mad_sel	SAD 输出比特数选择信号。 0: 8bit; 1: 16bit。

### MDU\_START

MDU\_START 为 MDU 启动寄存器。

	Offset Address	Register Name	Total Reset Value													
	0x0028	MDU_START	0x0000_0000													
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Name	reserved															mdu_start
Reset	0 0															
Bits	Access	Name	Description													
[31:1]	RO	reserved	保留。													
[0]	WO	mdu_start	MDU 工作触发开始。 0: 不工作; 1: 触发工作。													



## MDU\_AXI\_OUTSTD\_NUM

MDU\_AXI\_OUTSTD\_NUM 为 AXI OUTSTANDING 配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x002C		MDU_AXI_OUTSTD_NUM		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										axi_outstd_num					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:3]	RO	reserved		保留。																												
[2:0]	RW	axi_outstd_num		AXI outstanding 配置寄存器，从 0 计数（实际值为加 1 后的值）。																												

## MDU\_REF\_YADDR

MDU\_REF\_YADDR 为参考图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0040		MDU_REF_YADDR		0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	mdu_ref_yaddr																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name		Description																												
[31:0]	RW	mdu_ref_yaddr		参考图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的，即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。																												

## MDU\_REF\_YSTRIDE

MDU\_REF\_YSTRIDE 为参考图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value				
0x0044		MDU_REF_YSTRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				mdu_ref_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	mdu_ref_ystride	亮度 Stride ， 以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐， Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。					

### MDU\_CUR\_YADDR

MDU\_CUR\_YADDR 为当前图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0048		MDU_CUR_YADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_cur_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_cur_yaddr	原始图像 Y 分量存储地址。输入的原始图像必须是 Qword (128bit) 对齐的， 即地址的低 4 位为 0。硬件会自动将地址的低 4 位置为 0。					

### MDU\_CUR\_YSTRIDE

MDU\_CUR\_YSTRIDE 为当前图像亮度 Stride 寄存器。



Offset Address		Register Name		Total Reset Value					
0x004C		MDU_CUR_YSTRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_cur_ystride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	mdu_cur_ystride	亮度 Stride，以 byte 为单位。 为保证图像换行后地址仍保持 128-bit 对齐，Ystride 的低 4bit 也应配为 0。硬件会自动将 Ystride 的低 4 位置为 0。 STRIDE 需要配置为 64byte 的整数倍。						

## MDU\_MBSAD\_ADDR

MDU\_MBSAD\_ADDR 为宏块 SAD 值存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0060		MDU_MBSAD_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	mdu_mbsad_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	mdu_mbsad_addr	宏块 SAD 存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

## MDU\_MBSAD\_STRIDE

MDU\_MBSAD\_STRIDE 为宏块 SAD 值存储 Stride 寄存器。

Offset Address		Register Name		Total Reset Value					
0x0064		MDU_MBSAD_STRIDE		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				mdu_mbsad_stride				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						



[15:0]	RW	mdu_mbsad_stride	宏块 sad 行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。
--------	----	------------------	---

## MDU\_BACKGROUND\_ADDR

MDU\_BACKGROUND\_ADDR 为背景图像亮度存储地址寄存器。

Offset Address		Register Name		Total Reset Value				
0x0070		MDU_BACKGROUND_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	bg_yaddr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	bg_yaddr	背景图像地址。地址必须是 qword 对齐的，因此其低 4 位为 0。					

## MDU\_BACKGROUND\_STRIDE

MDU\_BACKGROUND\_STRIDE 为背景图像亮度 Stride 寄存器。

Offset Address		Register Name		Total Reset Value				
0x0074		MDU_BACKGROUND_STRIDE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	reserved				bg_ystride			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	reserved	保留。					
[15:0]	RW	bg_ystride	背景图像行间距。Stride 单位为 byte。Stride 为 128bit 对齐，因此低 4bit 始终为 0。					

## MDU\_OBJ\_ADDR

MDU\_OBJ\_ADDR 为运动区域存储地址寄存器。



Offset Address		Register Name		Total Reset Value				
0x0078		MDU_OBJ_ADDR		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	obj_addr							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RW	obj_addr	<p>运动区域存储地址。地址必须是 qword 对齐的，因此其低 4 位为 0。</p> <p>存储格式为一个运动区域使用 4 个 16bit 存放 4 个点顺序为 left、top、right、bottom；因而一个运动区域会使用 3 个 32bit 的内存，软件在分配内存的时候应该使用 2%32bit%最大运动区域个数作为内存的最小值。</p>					

## MDU\_BG\_UP\_WEIGHT

MDU\_BG\_UP\_WEIGHT 为背景图更新权重寄存器。

Offset Address		Register Name		Total Reset Value					
0x007C		MDU_BG_UP_WEIGHT		0x0000_0101					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved			src_weight			weight_sum_exp_2		
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:8]	RW	src_weight	新图像权重。						
[7:0]	RW	weight_sum_exp_2	<p>权重和的对 2 的指数。</p> <p>MDU 在进行源图像与背景迭加生成新背景的时候，使用如下的计算公式：  <math>(\text{背景像素值} \times ((1 \ll \text{weight\_sum\_exp\_2}) - \text{src\_weight}) + \text{源图像} \times \text{bg\_weight}) \gg \text{weight\_sum\_exp\_2}</math>。</p> <p>背景图像的权重 bg_weight 为：  <math>((1 \ll \text{weight\_sum\_exp\_2}) - \text{src\_weight})</math>，如果背景权重设置的比 src_weight 越大，背景更新的速度就越慢。</p> <p>Default: 0x1，最大值为 8。</p>						



## MDU\_MBSAD\_TH

MDU\_MBSAD\_TH 为宏块动静判决阈值寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0080		MDU_MBSAD_TH		0x0000_001E																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												mdu_mbsad_th																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
Bits	Access		Name		Description																											
[31:16]	RO		reserved		保留。																											
[15:0]	RW		mdu_mbsad_th		4%4 块动静判决阈值。在 MDU 内部所有的计算都是使用的 4%4 块																											

## MDU\_TIMEOUT

MDU\_TIMEOUT 为 TIMEOUT 上限寄存器。

Offset Address		Register Name		Total Reset Value																																
0x0084		MDU_TIMEOUT		0x0360_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	mdu_timeout																																			
Reset	0	0	0	0	0	0	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																															
[31:0]	RW		mdu_timeout		工作 cycle 数的上限值。																															

## MDU\_WND\_SIZE

MDU\_WND\_SIZE 为 SAD 值输出窗口配置寄存器。



Offset Address		Register Name		Total Reset Value																													
0x0090		MDU_WND_SIZE		0x0000_0001																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											sad_wnd_size					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																														
[31:1]	RO	reserved	保留。																														
[0]	RW	sad_wnd_size	sad 输出窗口大小。在 MDU 内部以 4%4 块为单位进行计算，在使能了模式寄存器中的 sad_out_en 后，MDU 在输出的时候会根据这个寄存器对多个 4%4 块做加和，然后输出到 DDR 中。 0: 8%8; 1: 16%16。（默认值）																														

### MDU\_MIN\_OBJ\_SIZE

MDU\_MIN\_OBJ\_SIZE 为边界搜索最小窗口配置寄存器。

Offset Address		Register Name		Total Reset Value																												
0x0094		MDU_MIN_OBJ_SIZE		0x0300_0101																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	egsearch_timeout								min_obj_size_h								min_obj_size_w															
Reset	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Bits	Access	Name	Description																													
[31:16]	RW	egsearch_timeout	边缘搜索超时，如果一个运动区域搜索的点数超过此值，则停止此运动区域边缘搜索，进行下一个区域搜索。																													
[15:8]	RW	min_obj_size_h	运动尺寸的高度下限值，小于此高度的运动区域不上报。此处的 size 的 1 代表一个 4%4 块。																													
[7:0]	RW	min_obj_size_w	运动尺寸的宽度下限值，小于此宽度的运动区域不上报。此处的 size 的 1 代表一个 4%4 块。																													



## MDU\_MAX\_OBJ\_CNT

MDU\_MAX\_OBJ\_CNT 为边界搜索最大窗口配置寄存器。

Offset Address		Register Name		Total Reset Value					
0x0098		MDU_MAX_OBJ_CNT		0x0000_0100					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved				max_obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	reserved	保留。						
[15:0]	RW	max_obj_cnt	检测运动目标的上限值。						

## MDU\_OBJ\_CNT

MDU\_OBJ\_CNT 为运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value					
0x009C		MDU_OBJ_CNT		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	max_obj_index				obj_cnt				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[31:16]	RO	max_obj_index	最大运动区域索引。后面不带数字后缀的统计寄存器，是使用帧差法的统计信息，或使用背景法，在第一次计算 SAD 和进行运动区域搜索得到的统计信息。						
[15:0]	RO	obj_cnt	检测到的运动目标个数。						

## MDU\_MAX\_OBJ\_SIZE

MDU\_MAX\_OBJ\_SIZE 为最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value				
0x00A0		MDU_MAX_OBJ_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_size							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	max_obj_size	<p>最大运动区域面积，用来对视频遮挡进行检测。此处输出的值是像素面积。</p> <p>软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行视频遮挡检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。</p>					

## MDU\_TOTAL\_OBJ\_SIZE

MDU\_TOTAL\_OBJ\_SIZE 为总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A4		MDU_TOTAL_OBJ_SIZE		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	total_obj_size							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	total_obj_size	<p>所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。</p> <p>MDU 内部的计算方法为把所有的运动区域面积进行加和。此处输出的值是像素面积（用一个运动区域的 4%4 块的个数乘 16）。</p> <p><b>注意：</b></p> <ul style="list-style-type: none"> <li>在某些情况下，运动区域可能会有重叠，此面积可能会超过原始图象面积。</li> <li>每个运动区域是的 4%4 块宽度和高度计算公式为： weight= (right-left) +1; heigth= (bottom-top) +1。</li> </ul>					



## MDU\_MOVE\_PIX\_CNT

MDU\_MOVE\_PIX\_CNT 为整帧运动像素统计寄存器。

Offset Address		Register Name		Total Reset Value				
0x00A8		MDU_MOVE_PIX_CNT		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	move_pix_cnt							
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:0]	RO	move_pix_cnt	整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。 <b>注意：因为这个是按单个像素点进行的统计，此面积和上面的 total_obj_size 可能会不相等。</b>					

## MDU\_OBJ\_CNT1

MDU\_OBJ\_CNT1 为基于背景的运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value				
0x00AC		MDU_OBJ_CNT1		0x0000_0000				
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Name	max_obj_index1				obj_cnt1			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description					
[31:16]	RO	max_obj_index1	基于背景的最大运动区域索引。后面所有的后缀为 1 的统计寄存器，都是指在使用背景法的时候，第二次进行 SAD 计算和运动区域搜索得到的统计信息。					
[15:0]	RO	obj_cnt1	检测到的基于背景的运动目标个数。					

## MDU\_MAX\_OBJ\_SIZE1

MDU\_MAX\_OBJ\_SIZE1 为基于背景的最大运动区域回读寄存器。



Offset Address		Register Name		Total Reset Value																																
0x00B0		MDU_MAX_OBJ_SIZE1		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	max_obj_size1																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	max_obj_size1	基于背景的最大运动区域面积，用来对视频遮挡进行检测。软件用此值计算运动区域所占的百分比并和阈值比较，如果大于运动区域面积阈值，则认为此帧被遮挡，后面进行的视频检测的帧停止更新图像背景，并检测是否连续的运动区域面积超出阈值，当遮挡时间超出阈值，则认为发生视频遮挡，需要告警。以像素为单位。																																	

### MDU\_TOTAL\_OBJ\_SIZE1

MDU\_TOTAL\_OBJ\_SIZE1 为基于背景的总运动区域信息回读寄存器。

Offset Address		Register Name		Total Reset Value																																
0x00B4		MDU_TOTAL_OBJ_SIZE1		0x0000_0000																																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	total_obj_size1																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access	Name	Description																																	
[31:0]	RO	total_obj_size1	基于背景的所有运动区域的面积的和。用来对摄像头喷雾遮挡检测，使用方法同最大运动区域面积统计。																																	

### MDU\_MOVE\_PIX\_CNT1

MDU\_MOVE\_PIX\_CNT1 为基于背景的整帧运动像素统计寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x00B8				MDU_MOVE_PIX_CNT1				0x0000_0000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	move_pix_cnt1																															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access	Name		Description																											
	[31:0]	RO	move_pix_cnt1		基于背景的整帧运动像素个数，可用来做视频遮挡检测，用法同运动区域面积统计。																											



---

# 目 录

---

A 缩略语..... A-1



# A 缩略语

## A

<b>ABR</b>	Average Bit Rate	平均比特率
<b>ACD</b>	Auto Command Done	自动停止指令完成
<b>AE</b>	Auto Exposure	自动曝光
<b>AES</b>	Advanced Encryption Standard	先进的加密标准
<b>AF</b>	Auto Focus	自动对焦
<b>AHB</b>	Advanced High-performance Bus	-
<b>AMBA</b>	Advanced Microcontroller Bus Architecture	先进的微处理器总线结构
<b>ARM</b>	ARM	ARM 公司的 RISC Core
<b>ATF</b>	Adaptive Temporal Filter	自适应时域滤波
<b>AWB</b>	Auto White Balance	自动白平衡

## B

<b>BTF</b>	Brute Force Temporal Filter	强制时域滤波
<b>BVACT</b>	Bottom Vertical Active Area	底场垂直活动有效区域
<b>BVBB</b>	Bottom Vertical Back Blank	底场垂直后消隐
<b>BVFB</b>	Bottom Vertical Front Blank	底场垂直前消隐

## C

<b>CBC</b>	Cipher Block Chaining	密码分组链接
<b>CBR</b>	Constants Bit Rate	固定比特率
<b>CCITT</b>	International Telegraph and Telephone Consultative Committee	国际电报电话咨询委员会



<b>CD</b>	Command Done	指令完成
<b>CFB</b>	Cipher Feedback	密码反馈
<b>CL</b>	CAS Latency	读延迟
<b>CPU</b>	Central Processing Unit	中央处理单元
<b>CRC</b>	Cyclic Redundancy Check	循环冗余校验
<b>CRG</b>	Clock Reset Generation	时钟复位产生模块
<b>CTR</b>	Counter	计数器
<b>CVBS</b>	Composite Video Broadcast Signal	复合视频广播信号
<b>D</b>		
<b>DCRC</b>	Data CRC Error	数据 CRC 错误
<b>DDR</b>	Double Data-Rate	双数据速率
<b>DEI</b>	De-Interlace	反交错/去隔行
<b>DES</b>	Data Encryption Standard	数据加密标准
<b>DFT</b>	Design For Test	可测试性设计
<b>DIS</b>	Digital Image Stabilization	数字防抖
<b>DLL</b>	Delay Locked Loop	延迟锁相环
<b>DMA</b>	Direct Memory Access	直接存储器存取
<b>DMAC</b>	Direct Memory Access Controller	直接存储器存取控制器
<b>DNR</b>	Digital Noise Reduction	数字去噪
<b>DQS</b>	Data Strobe	数据选通信号
<b>DRC</b>	Dynamic Range Compression	动态范围压缩
<b>DRTO</b>	Data Read Timeout	数据读超时
<b>DTO</b>	Data Transfer Over	数据传输完成
<b>DVR</b>	Digital Video Recorder	数字视频录像机
<b>E</b>		
<b>EBE</b>	End-bit error	结束位错误
<b>EBI</b>	External Bus Interface	外部总线接口
<b>ECB</b>	Electronic Codebook	电子密码书
<b>EOF</b>	End Of Frame	帧结束



<b>EOP</b>	End Of Packet	包结束
<b>ETH</b>	Ethernet MAC	以太网接口
<b>F</b>		
<b>FIFO</b>	First In First Out	先入先出
<b>FIQ</b>	Fast Interrupt Request	快速中断请求
<b>FRUN</b>	FIFO Underrun/Overrun Error	FIFO 溢出错误
<b>G</b>		
<b>GPIO</b>	General Purpose Input/Output	通用目的输入/输出
<b>H</b>		
<b>HACT</b>	Horizontal Active Area	水平活动有效区域
<b>HBB</b>	Horizontal Back Blank	水平后消隐
<b>HCCA</b>	Host Controller Communication Area	主机控制器通信区域
<b>HFB</b>	Horizontal Front Blank	水平前消隐
<b>HLE</b>	Hardware Locked Error	硬件锁定错误
<b>HPW</b>	Horizontal Pulse Width	水平脉冲宽度
<b>HTO</b>	Data starvation-by-host timeout	控制器读写数据超时
<b>I</b>		
<b>I2C</b>	Inter-Integrated Circuit	一种串行总线协议标准
<b>I2S</b>	Inter-IC Sound	I2S 音频输入输出接口
<b>IE</b>	Image Enhancement	图像增强
<b>IEC</b>	International Electrotechnical Commission	国际电子技术委员会
<b>IEEE</b>	Institute of Electrical and Electronics Engineers	美国电气和电子工程师协会
<b>IPVS</b>	IP Video Surveillance	网络视频监控系统
<b>IR</b>	Infrared Remoter	红外遥控接口
<b>IRQ</b>	Interrupt Request	中断请求
<b>ISO</b>	International Standard Organization	国际标准化组织
<b>ISP</b>	Image Signal Processing	图像信号处理



<b>ISR</b>	Interrupt Service Routine	中断服务程序
<b>ITCM</b>	Instruction TCM	指令紧耦合存储器
<b>ITU-T</b>	International Telecommunication Union - Telecommunication Standardization Sector	国际电信联盟-电信标准部
<b>IV</b>	Initialization Vector	初始向量
<b>J</b>		
<b>JTAG</b>	Joint Test Action Group	联合测试行动小组
<b>L</b>		
<b>LSB</b>	Least Significant Bit	结尾 bit 位
<b>LUT</b>	Lookup Table	查找表
<b>M</b>		
<b>MAC</b>	Media Access Control	媒体访问控制
<b>MCU</b>	Micro Controller Unit	微型控制单元
<b>MDIO</b>	Management Data Input/Output	控制数据输入输出接口
<b>MII</b>	Media Independent Interface	介质无关接口
<b>MMC</b>	Multi-media Card	多媒体卡
<b>MSB</b>	Most Significant Bit	起始 bit 位
<b>N</b>		
<b>NTSC</b>	National Television Systems Committee	国家电视系统委员会（是一种原理为“正交平衡调幅制”的电视广播传输制式）
<b>NVR</b>	Net Video Recorder	网络视频录像机
<b>O</b>		
<b>OFB</b>	Output Feedback	输出反馈
<b>OHCI</b>	Open Host Controller Interface	公开主机控制器接口
<b>OSD</b>	On Screen Display	屏幕视控系统
<b>OTG</b>	On-The-Go	-



## P

<b>PAL</b>	Phase Alternating Line	逐行倒相（是一种原理为“逐行倒相正交平衡调幅制”的电视广播传输制式）
<b>PCB</b>	Printed Circuit Board	印刷电路板
<b>PCI</b>	Peripheral Component Interconnect	一种通用的本地总线
<b>PCM</b>	Pulse Code Modulation	脉冲编码调制
<b>PID</b>	Packet ID	包标识
<b>PIP</b>	Picture In Picture	画中画
<b>PSRAM</b>	Pseudo Static Random Access Memory	伪静态随机存储器

## Q

<b>QXGA</b>	Quantum Extended Graphics Array	昆腾扩展图形阵列（是一种计算机图形显示标准格式）
-------------	---------------------------------	--------------------------

## R

<b>RAM</b>	Random-Access Memory	随机存取存储器
<b>RCRC</b>	Response CRC error	响应 CRC 错误
<b>RE</b>	Response error	响应错误
<b>ROM</b>	Read Only Memory	只读存储器
<b>ROP</b>	Raster Operation	光栅操作
<b>RTO</b>	Response Timeout	响应超时
<b>RXDR</b>	Receive FIFO data request	接收 FIFO 数据请求

## S

<b>SAD</b>	Sum Of Absolute Difference	图象绝对误差和
<b>SBE</b>	Start-bit Error	起始位错误
<b>SCL</b>	Serial Clock	串行时钟
<b>SCR</b>	System Clock Reference	系统时钟参考
<b>SD</b>	Secure Digital	安全数字
<b>SDA</b>	Serial Data	串行数据
<b>SDIO</b>	secure digital Input/Output	安全数字输入输出接口
<b>SDRAM</b>	Synchronous Dynamic Random Access	同步动态随机存取存储器



	Memory	
<b>SF</b>	Spacial Filter	空域滤波
<b>SFD</b>	Start of Frame Delimiter	帧前导码
<b>SI</b>	Specific Information	特定信息
<b>SIO</b>	Sonic Input/Output	音频输入输出接口
<b>SMI</b>	Static Memory Interface	静态存储器接口
<b>SOF</b>	Start Of Frame	起始帧
<b>SPI</b>	Synchronous Peripheral Interface	同步外设接口
<b>SRAM</b>	Static Random Access Memory	静态随机存储器
<b>SSP</b>	Synchronous Serial Port	同步串口
<b>T</b>		
<b>TCM</b>	Tightly-Coupled Memory	紧耦合存储器
<b>TDE</b>	Two Dimension Engine	2D 引擎
<b>TVACT</b>	Top Vertical Active Area	顶场垂直活动有效区域
<b>TVBB</b>	Top Vertical Back Blank	顶场垂直后消隐
<b>TVFB</b>	Top Vertical Front Blank	顶场垂直前消隐
<b>TXDR</b>	Transmit FIFO Data Request	发送 FIFO 数据请求
<b>U</b>		
<b>UART</b>	Universal Asynchronous Receiver Transmitter	通用异步收发器
<b>USB</b>	Universal Serial Bus	通用串行总线
<b>V</b>		
<b>VACT</b>	Vertical Active Area	垂直活动有效区域
<b>VBB</b>	Vertical Back Blank	垂直后消隐
<b>VBI</b>	Vertical Blanking Interval	垂直消隐间隔
<b>VBR</b>	Variable Bit Rate	动态比特率
<b>VEDU</b>	Video Encode Unit	视频编码单元
<b>VFB</b>	Vertical Front Blank	垂直前消隐
<b>VGA</b>	Video Graphics Array	视频图形阵列



---

<b>VIU</b>	Video Input Unit	视频输入单元
<b>VLC</b>	Variable Length Coding	可变长度编码
<b>VOU</b>	Video Output Unit	视频输出单元
<b>VPP</b>	Video Pre-processing	视频前处理
<b>VPW</b>	Vertical Pulse Width	垂直脉冲宽度