



Hi3521/Hi3520A 硬件设计
用户指南

文档版本 01

发布日期 2012-08-30

版权所有 © 深圳市海思半导体有限公司 2012。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3521 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。
本文档提供 Hi3521 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3521 芯片	V100
Hi3520A 芯片	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2012-08-30	01	<p>第 1 章原理图设计建议</p> <p>1.1.5 Power Supply 电路，刷新注意要点，并刷新电源上下电顺序图。</p> <p>针对 DDR 对接 32bit 颗粒的拓扑做了刷新，修正了 DDR 半驱和全驱的说法。</p> <p>补充图 1-6 T 点串联电阻示意图。</p> <p>1.2.9 模拟 DAC 接口设计中，修改 VDAC1_IREF 外接 1% 精密电阻的阻值；增加高清 PIP 和 CVBS0 复用的说明。</p> <p>补充 VOU1120 和 VOU656 的复用关系表</p> <p>第 2 章 PCB 设计建议</p> <p>2.3 DDR2/3 SDRAM 接口中增加 1.5V/1.8V 的电源通道上 10uF 的电容位置说明及图。</p> <p>修改 DQS 走线长度相对于 CLK 的走线长度允许的偏差为 1100mil。</p> <p>修改 DQ[31:0]、DM 走线长度的偏差为 300mil。</p> <p>修改 ADDR[0:14]走线长度的偏差为+500mil 或-1000mil；增加 DDR 颗粒端需要串接 22R 电阻的说明；刷新 PCB 布线建议。</p> <p>增加表 2-2。</p> <p>增加图 2-14 戴维南的滤波电容示意图。</p> <p>第 3 章 单板热设计建议</p> <p>刷新表 3-1 和表 3-2。</p> <p>修改散热片的相关描述。</p> <p>刷新图 3-1。</p>
2012-06-30	00B10	<p>第 2 章 PCB 设计建议</p> <p>新增 2.10 PCIe 管脚处理说明</p>
2012-06-08	00B05	<p>第 2 章 PCB 设计建议</p> <p>2.2 Core 电源区域设计建议</p> <p>刷新电容数量的相关描述；对 1V0_Core 的电容摆放要求进行刷新；同时增加 1V5 的 bottom 面电容分布图。</p> <p>2.10 系统电源、地设计建议</p> <p>增加“如客户因特殊需求无法复制 Hi3521 DMEB 的小系统设计，需要将设计文件提交 FAE 检视”的说明。</p>



修订日期	版本	修订说明
2012-05-16	00B04	第 1 章 原理图设计建议 1.1.5 Power Supply 电路 更新 CORE 电源、IO 电源和 DDR 电源的设计要求。 1.2.6 SPI 控制接口设计 SPI 外加片选信号的个数由 8 个改为 4 个 第 2 章 PCB 设计建议 2.2 Core 电源区域设计建议 新增 2.7 HDMI 接口走线设计建议 HDMI 的四对差分信号走线长度由“小于 5inch”改为 “3.5inch” 2.10 系统电源、地设计建议 增加“建议完全复制 HI3521DMEB 的小系统设计，包括 Fanout 方式和滤波电容分布。”。 新增 第 3 章 单板热设计建议
2012-04-20	00B03	补充第一章
2012-03-29	00B02	更新
2012-03-15	00B01	初稿



目 录

前 言.....	iii
1 原理图设计建议.....	1-1
1.1 小系统外部电路要求.....	1-1
1.1.1 Clocking 电路.....	1-1
1.1.2 复位和 Watchdog 电路.....	1-1
1.1.3 JTAG Debug 接口.....	1-2
1.1.4 Hi3521 硬件初始化系统配置电路.....	1-3
1.1.5 Power Supply 电路.....	1-4
1.2 Hi3521 接口电路设计.....	1-6
1.2.1 DDR2/3 接口.....	1-6
1.2.2 USB2.0 Host 接口.....	1-14
1.2.3 GMAC 接口设计.....	1-14
1.2.4 FLASH 接口设计.....	1-16
1.2.5 SATA 接口设计.....	1-16
1.2.6 SPI 控制接口设计.....	1-16
1.2.7 I ² S 接口设计.....	1-17
1.2.8 HDMI 输出接口设计.....	1-17
1.2.9 模拟 DAC 接口设计.....	1-17
1.2.10 VI/VO 接口设计.....	1-17
2 PCB 设计建议.....	2-1
2.1 Fanout 封装设计建议.....	2-1
2.2 Core 电源区域设计建议.....	2-6
2.2.1 Core 电源布线和过孔设计.....	2-6
2.2.2 Core 电源设计与滤波电容分布.....	2-7
2.3 DDR2/3 SDRAM 接口.....	2-10
2.3.1 电源设计.....	2-10
2.3.2 信号设计(以 16bit DDR3 为例).....	2-12
2.4 GMAC 布线设计建议.....	2-18
2.5 USB 接口电路设计建议.....	2-19
2.6 SATA 接口走线设计建议.....	2-19



2.7 HDMI 接口走线设计建议	2-19
2.8 VI/VO 接口走线设计建议	2-20
2.9 系统以及外设复位信号走线设计建议	2-20
2.10 PCIe 管脚处理说明（Hi3521 不支持 PCIe 功能）	2-20
2.11 系统电源、地设计建议	2-21
2.12 PCB 信号完整性仿真设计建议	2-21
3 单板热设计建议.....	3-1
3.2 散热设计参考	3-2
3.3 电路热设计参考	3-4
3.3.1 原理图	3-4
3.3.2 PCB	3-4



插图目录

图 1-1 推荐晶振连接方式及器件参数.....	1-1
图 1-2 复位和 Watchdog 典型设计电路.....	1-2
图 1-3 JTAG 连接方式及标准连接器管脚定义	1-3
图 1-4	1-5
图 1-5	1-5
图 1-6 Hi3521 与 DDR3 的拓扑结构图(以单个 DDRC 接口为例).....	1-7
图 1-7 Hi3521 与 DDR2 的拓扑结构图	1-8
图 1-8 DDR3 电源分压网络参考设计图	1-9
图 1-9 DDR2 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用.....	1-11
图 1-10 DDR3 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用.....	1-11
图 1-11 地址和控制信号一驱一应用.....	1-12
图 1-12 地址和控制信号一驱二应用.....	1-12
图 1-13 地址和控制信号单负载应用.....	1-12
图 1-14 地址和控制信号双负载应用.....	1-13
图 1-15 T 点串联电阻示意图	1-13
图 1-16 Hi3521 RGMII 模式下的信号连接图	1-15
图 1-17 Hi3521 MII 模式下的信号连接图.....	1-15
图 2-1 Hi3521 的 Pin 脚排布	2-2
图 2-2 Hi3521 芯片中间电源、地管脚排布.....	2-3
图 2-3 Hi3521 芯片管脚中间打过孔(见蓝色亮点).....	2-4
图 2-4 Hi3521 芯片管脚中间打过孔时，GND 层 BGA 下方的回流通道	2-5
图 2-5 Hi3521 芯片管脚中间打过孔时，电源层 BGA 下方的过流通道.....	2-6
图 2-6 Hi3521Core 电源区域 TOP 面示意图.....	2-7
图 2-7 Hi3521 1V0 的滤波电路.....	2-8
图 2-8 Hi3521 1V0 的滤波电路.....	2-8



图 2-9 1V0_Core BOTTOM 面电容分布	2-9
图 2-10 1V5 BOTTOM 面电容分布	2-10
图 2-11 1.5V/1.8V 的电源通道上 10uF 的电容位置一	2-11
图 2-12 1.5V/1.8V 的电源通道上 10uF 的电容位置二	2-12
图 2-13 时钟信号线 CLK 的走线方式	2-17
图 2-14 DDR 模块周围包地处理	2-18
图 3-1 散热器组示意图	3-3



表格目录

表 1-1 JTAG Debug 接口信号	1-2
表 1-2 TEST_MODE 模式说明	1-3
表 1-3 信号描述	1-3
表 1-4 PADLO 和 PADHI 上下拉电阻与芯片 DDRC 引脚驱动电阻的关系	1-9
表 1-5 ODT 阻抗列表	1-10
表 1-1 VOU1120 和 VOU656 复用关系.....	1-18
表 2-1 DDR 片内走线长度	2-12
表 2-2 PCIE 管脚的处理.....	2-20
表 3-2 不同风速下的热阻值（不带散热器）	3-1
表 3-3 导热介质材料推荐表.....	3-3
表 3-4 散热器固定方式与质量关系.....	3-3



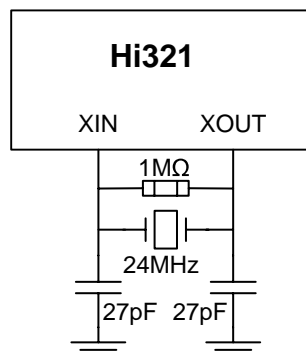
1 原理图设计建议

1.1 小系统外部电路要求

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。
推荐晶振连接方式及器件参数如图 1-1 所示。

图1-1 推荐晶振连接方式及器件参数



另外，系统时钟还可以直接由外部的时钟电路产生时钟，通过 XIN 脚输入。

1.1.2 复位和 Watchdog 电路

Hi3521 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，脉冲宽度大于 12 个 XIN 管脚输入的晶振时钟周期（一般复位脉冲宽度为 100ms~300ms）。

板级设计时，为了系统稳定，建议采用专用的复位芯片产生复位信号，复位 Hi3521 系统异常时，Hi3521 可以通过 WDG_RSTN 管脚产生低电平脉冲，因此可以把 WDGRST 管脚连接到系统复位芯片的输入上来复位整个系统。

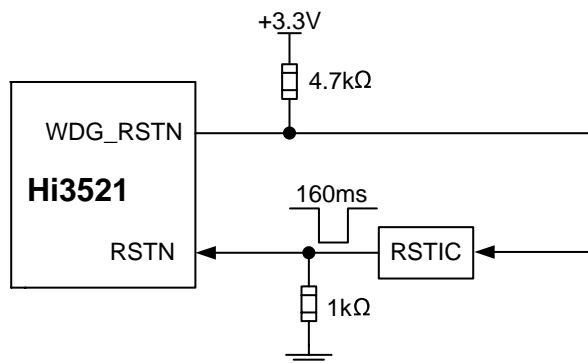


注意

需要注意的是，WDG_RSTN 管脚为 OD 输出，必须外置上拉电阻。

复位和 Watchdog 典型设计电路如图 1-2 所示。

图1-2 复位和 Watchdog 典型设计电路



1.1.3 JTAG Debug 接口

Hi3521 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器，调试 A9 CPU。JTAG Debug 接口信号描述如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试器，建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

芯片外部上拉电阻、芯片外部下拉电阻的阻值请参见图 1-3。

Hi3521 可以通过 TEST_MODE 管脚选择正常和测试两种工作模式，正常工作模式采用 10K 电阻下拉，具体说明如表 1-2 所示。

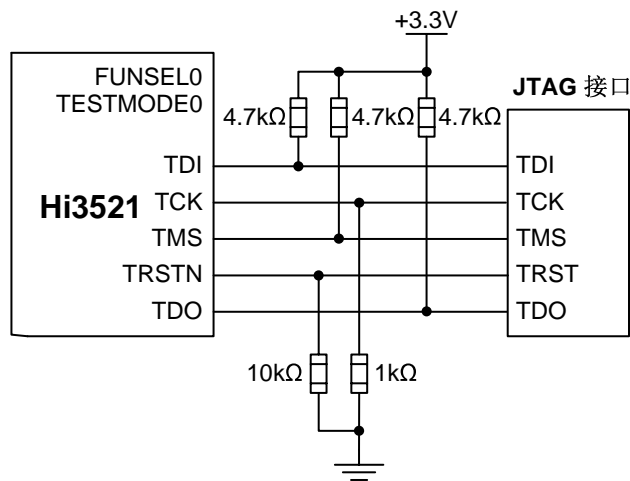


表1-2 TEST_MODE 模式说明

TEST_MODE	模式说明
0	Hi3521 正常工作模式，此时可通过 JTAG 对 A9 软件进行调试。
1	Hi3521 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。

JTAG 连接方式及标准连接器管脚定义如图 1-3 所示。

图1-3 JTAG 连接方式及标准连接器管脚定义



1.1.4 Hi3521 硬件初始化系统配置电路

Hi3521 内部集成 A9 CPU，支持 SPI Flash、NAND Flash、DDR 三种启动模式，支持多种 NAND Flash 规格。所以在 Hi3521 硬件初始化的过程中需要根据不同的需求进行硬件配置。单板上通过上、下拉电阻实现。

硬件配置信号描述如下表 1-3 所示。

表1-3 信号描述

信号名	方向	说明
JTAG_SEL0/JTAG_SEL1 (备注：这两个管脚与其它功能复用)	I	表示 JTAG debug 选择。 { JTAG_SEL 1, JTAG_SEL 0} 的含义如下： 00: 选择 A9 debug; 01: 保留; 10: SATA; 11: 保留。



信号名	方向	说明
BOOTSEL0/BOOTSEL1	I	BOOTSEL0/BOOTSEL1 配合使用，表示启动模式选择。 {BOOTSEL1、BOOTSEL0}的含义如下： 00：选择 SPI NOR Flash 启动； 01：保留； 10：选择从 NAND flash 启动； 11：Bootroom。
NF_BOOT_PIN[4:0]	I	表示 NAND FLASH 参数选择。 00001： 2k page size,1bit ecc,64page/block,5addr 00011： 2k page size,4bit ecc,64page/block,5addr 00101： 2k page size,24bit ecc,64page/block,5addr 00110： 2k page size,1bit ecc,64page/block,4addr 01000： 4k page size,4bit ecc,128page/block,5addr 01001： 4k page size,4bit ecc,64page/block,5addr 01010： 2k page size,4bit ecc,64page/block,4addr 01011： 4k page size,24bit ecc,128page/block,5addr 01101： 8k page size,24bit ecc,128page/block,5addr 10000： 8k page size,24bit ecc,64page/block,5addr 10001： 4k page size,24bit ecc,64page/block,5addr 10011： 4k page size,1bit ecc,64page/block,5addr 10101： 2k page size,4bit ecc,128page/block,5addr 11001： 2k page size,24bit ecc,128page/block,5addr

1.1.5 Power Supply 电路

Hi3521 芯片电源需求请参考 Hi3521 芯片手册电性能参数。

Hi3521 单板设计时，需要注意以下几点：

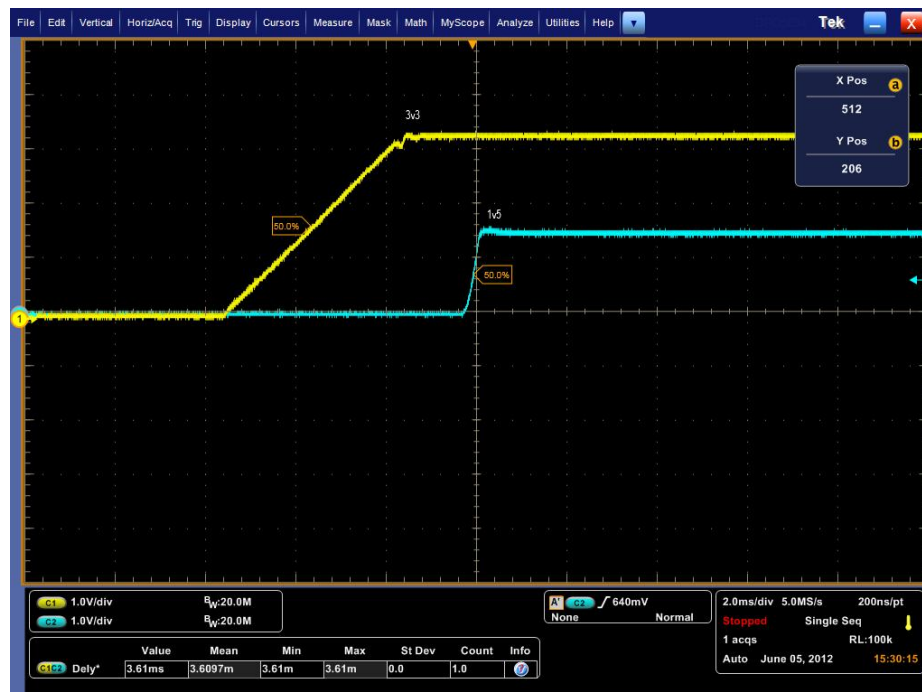
- CORE 电源（管脚名 DVDD10）：连接数字 1.0V 电源。DVDD10 的设计，建议选择大于等于 5A 供电能力的 DC-DC。
- IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。DVDD33 预估最大电流 350mA。
- DDR 电源（管脚名 DVDD1518）：连接数字 1.5V 或者 1.8V（DDR3/DDR2）电源。DVDD1518（不包含 DDR 颗粒）的最大电流(单个 DDR 控制器接口)450mA，建议与所有对接的 DDR 颗粒采用同一电源设计。
- 电源上电顺序：上电瞬间高电平始终高于低电平，即 3.3V 先稳定，1.5V/1.8V 次之，1.0V 最后稳定。具体如图 1-4 和图 1-5 所示。



图1-4 电源上电顺序图



图1-5 电源下电顺序图



- 建议 PLL 的电源管脚 (VDD10_PLL1、VDD10_PLL2345、VDDREF10_PLL2345、AVDD33_PLL1、AVDD33_PLL2345) 与芯片 DVDD10 和 DVDD33 电源进行隔离, 具体电路设计请参考 Hi3521 demo 板原理图。



- 各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

1.2 Hi3521 接口电路设计

1.2.1 DDR2/3 接口

1.2.1.1 接口介绍

Hi3521 DDR 接口支持 DDR2，接口电平标准为 SSTL-18，也支持 DDR3 标准接口，接口电平标准为 SSTL-15。

Hi3521 DDRC 有如下特点：

- 提供 1 个 DDRC 接口；具备 1 个 DDRn SDRAM 片选，支持数据总线位宽为 32/16bit、地址总线位宽为 15bit 可配。
- DDR2 时，DDRC 接口支持：2 片主流 16bit DDR2 器件最大容量 1Gb x 2=2Gb=256MB；同时也支持 4 片主流 8bit DDR2 器件最大容量 1Gb x 4=4Gb=512MB；总线频率：400MHz~533MHz。
- DDR3 时，DDRC 接口支持：2 片主流 16bit DDR3 器件最大容量 4Gb x 2=8Gb=1GB；同时也支持 4 片主流 8bit DDR3 器件最大容量 2Gb x 4=8Gb=1GB；总线频率：533MHz~620MHz；
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR3L。

1.2.1.2 电路设计建议

DDR 拓扑结构

Hi3521 典型外接 DDR3 SDRAM 拓扑结构如[图 1-6](#)所示。典型外接 DDR2 SDRAM 拓扑结构如[图 1-7](#)所示。



图1-6 Hi3521 与 DDR3 的拓扑结构图(以单个 DDRC 接口为例)

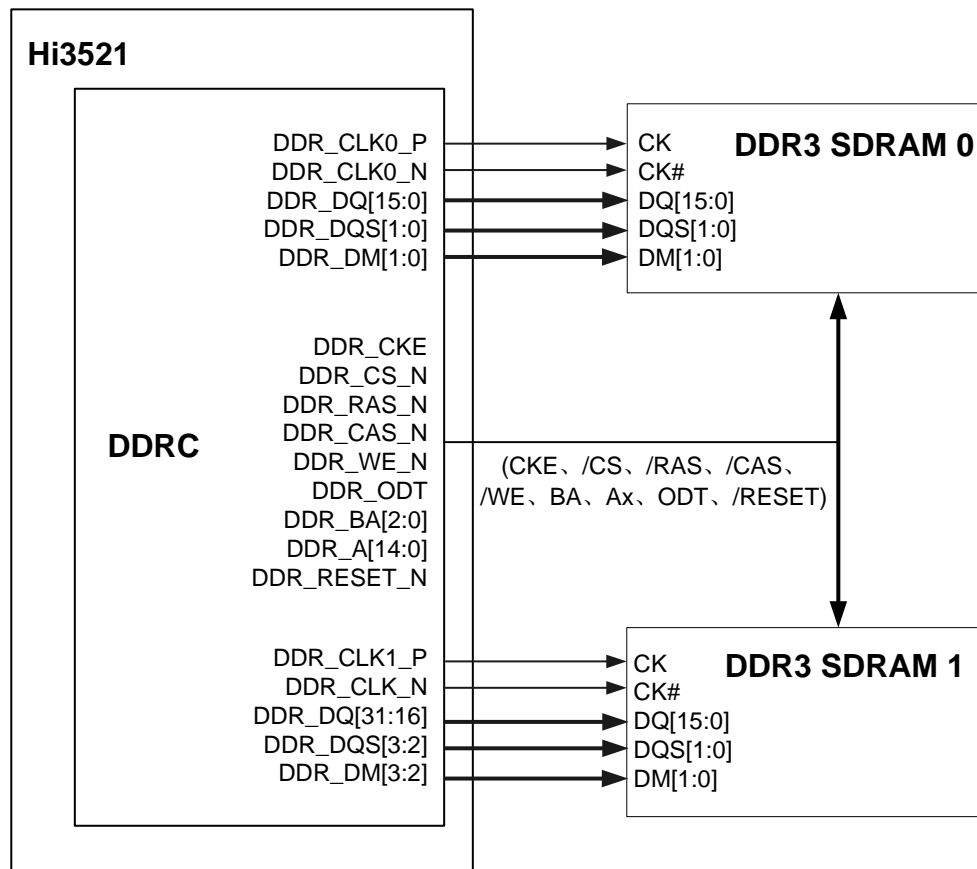
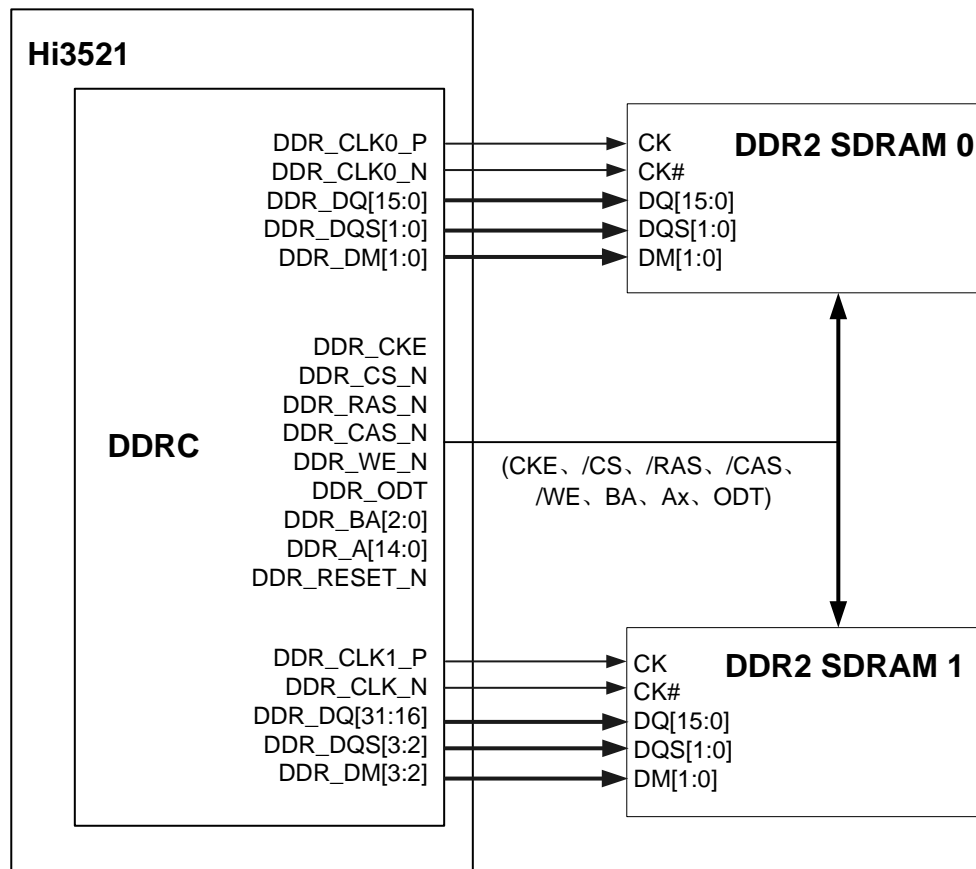




图1-7 Hi3521 与 DDR2 的拓扑结构图



DDR 电源设计

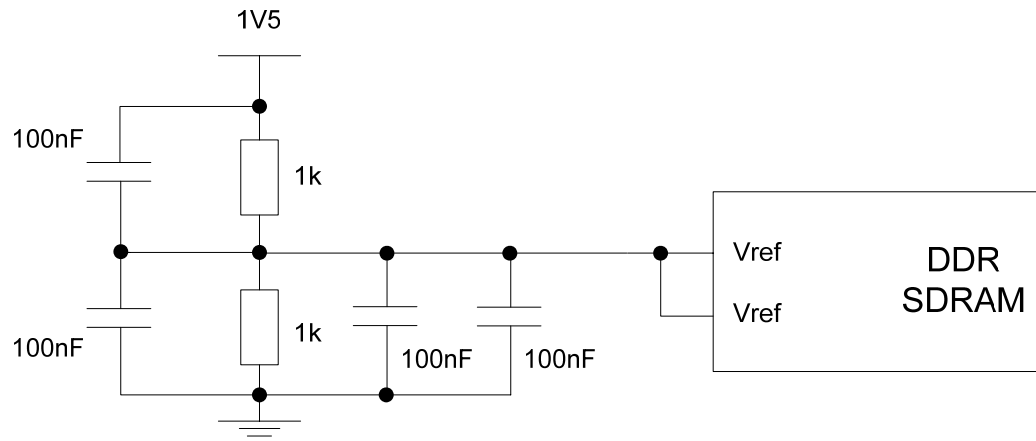
Hi3521 DDRC 及接口符合 DDR3 SSTL-15/SSTL-18 电平标准，电源需要 1.5V/1.8V，参考电压 V_{ref} 需要 0.75V/0.9V。必须把 Hi3521 的 1.5V/1.8V 电源与 DDR 颗粒的 1.5V/1.8V 电源统一。

建议单板上采用单独的 DC-DC 电路为 DDR3/DDR2 颗粒和 Hi3521 DDRC 1.5V/1.8V 电源管脚供电。通过 1k Ω 电阻（精度 $\pm 1\%$ ）分压提供 0.75V/0.9V 的 V_{ref} 电压给 DDR3/DDR2 颗粒和 Hi3521 DDRC 参考电源管脚 V_{ref} 供电，每个电源管脚和参考电源管脚旁边放 1 个 0.1 μ F 的去耦电容。

DDR3 电源分压网络参考设计如图 1-8 所示。DDR2 电源分压网络设计和图 1-8 类似，只是电源电压变为 1.8V。



图1-8 DDR3 电源分压网络参考设计图



DDR_PADLO、DDR_PADHI、DDR_RTT 引脚的设计

DDR_PADLO 和 DDR_PADHI 这两个引脚是用于驱动补偿，DDR_PADHI 必须接一个下拉电阻到地，DDR_PADLO 必须接一个上拉电阻到 VCC。上下拉电阻共同决定了芯片 DDRC 引脚驱动电阻。

- 对于 DDR2，我们通常选 SSTL_1.8V_ClassI 模式，上拉电阻通常选择 68Ω，根据表 1-4 的显示，驱动电阻为 34Ω。
- 对于 DDR3，我们通常选 SSTL_1.5V 模式，上拉电阻通常选择 68Ω，根据表 1-4 的显示，驱动电阻为 34Ω。

表1-4 PADLO 和 PADHI 上下拉电阻与芯片 DDRC 引脚驱动电阻的关系

Mode	上拉电阻 (Ω)	下拉电阻 (Ω)	驱动阻抗 (Ω)
HSTL_1.5V_ClassI	78	78	39
HSTL_1.5V_ClassII	44	44	22
SSTL_1.8V_ClassI	68	68	34
SSTL_1.8V_ClassII	38	38	19
SSTL_2.5V_ClassI	78	78	39
SSTL_2.5V_ClassII	43	43	21.5
SSTL_1.5V	68	68	34

DDR_RTT 是用做 RTT 补偿。DDR_RTT 必须接一个电阻 R 到地，该电阻和内部寄存器的设置共同决定 ODT 阻抗的大小。

对于 DDR2 来说，外部电阻通常选择 300Ω。如表 1-5 所示，如果内部寄存器 REN75 和 REN150 配置成 01，则 ODT 阻抗等于 150Ω；如果 REN75 和 REN150 配置成 1x，则 ODT 阻抗等于 75Ω。



对于 DDR3 来说，外部电阻通常选择 240Ω，根据表 1-5 所示。REN75 和 REN150 配置成 01，则 ODT 等于 120Ω；REN75 和 REN150 配置成 1x，则 ODT 等于 60Ω。

表1-5 ODT 阻抗列表

REN75	REN150	External Resistance	RTT Value
0	0	Any	No RTT
0	1	200	100
0	1	240	120
0	1	300	150
1	X	200	50
1	X	240	60
1	X	300	75

1.2.1.3 匹配方式设计建议

DQ、DQS 双向信号

Hi3521 DDR 应用中 DQ、DQS_P/DQS_N 信号都是点对点拓扑：

- 外接 DDR2 时：
 - 写数据(即 Hi3521 输出，下同)时，直连，采用 SSTL_1.8V_ClassI 模式，DDR 端开启 75Ω ODT；
 - 读数据(即 Hi3521 输入，下同)时，直连，Hi3521 端开启 75Ω ODT。
- 外接 DDR3 时：
 - 写数据时，直连，Hi3521 芯片端输出阻抗为 34 欧姆，DDR 端开启 60Ω ODT；
 - 读数据时，直连，DDR 端输出阻抗为 34 欧姆，Hi3521 芯片端开启 60Ω 阻抗。

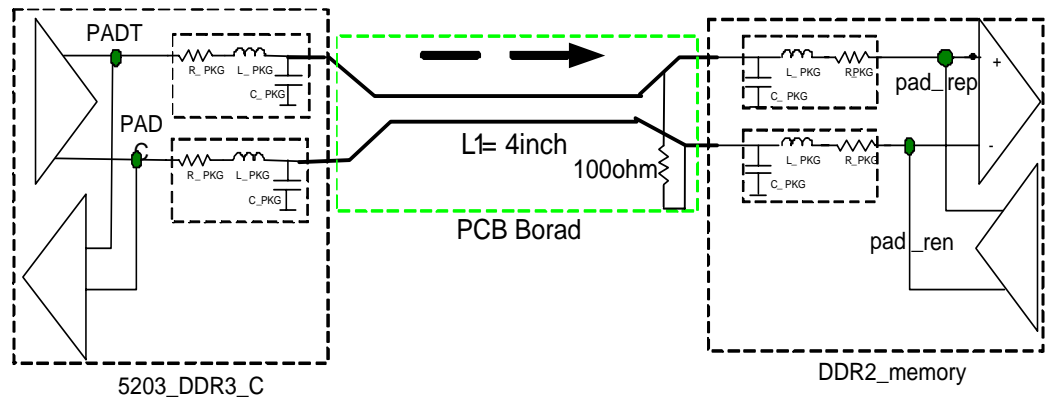
差分时钟

Hi3521 DDR 应用中差分时钟 DDR_CLK_N、DDR_CLK_P 信号有一驱一应用：

- 外接 DDR2 时：
 - 在单负载情况下，写数据时，在负载端跨接 100Ω 电阻；如图 1-9 所示。



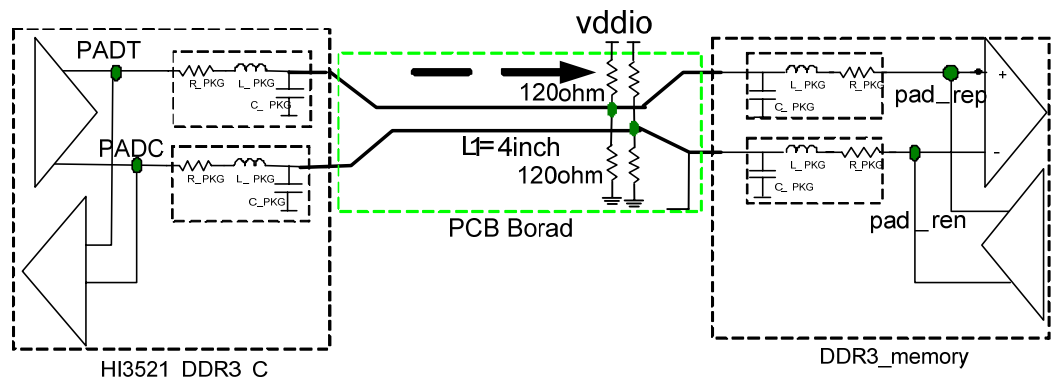
图1-9 DDR2 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用



(注：图中的长度为最长的走线长度，实际走线一般小于该长度值，下同)

- 外接 DDR3 时：
 - 在单负载情况下，负载端时钟信号的 N/P 分别上拉 120Ω 电阻至 1.5V，同时，下拉 120Ω 电阻到地，如图 1-10 所示。

图1-10 DDR3 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用



地址信号、控制信号

DDR3 和 DDR2 的地址和控制信号有二种应用，一驱一、一驱二(以 16bit 为宽为例)。

在外挂 DDR2 时：

- (1)、单负载情况下，直连，如图 1-11 所示；
- (2)、双负载情况下，直连，T 型拓扑结构，如图 1-12 所示；



图1-11 地址和控制信号一驱一应用

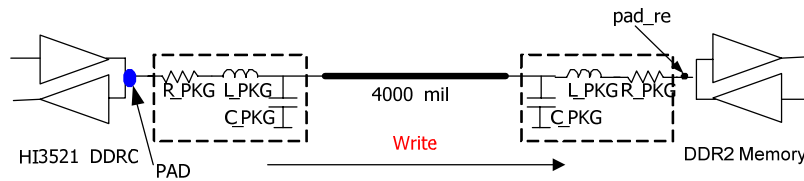
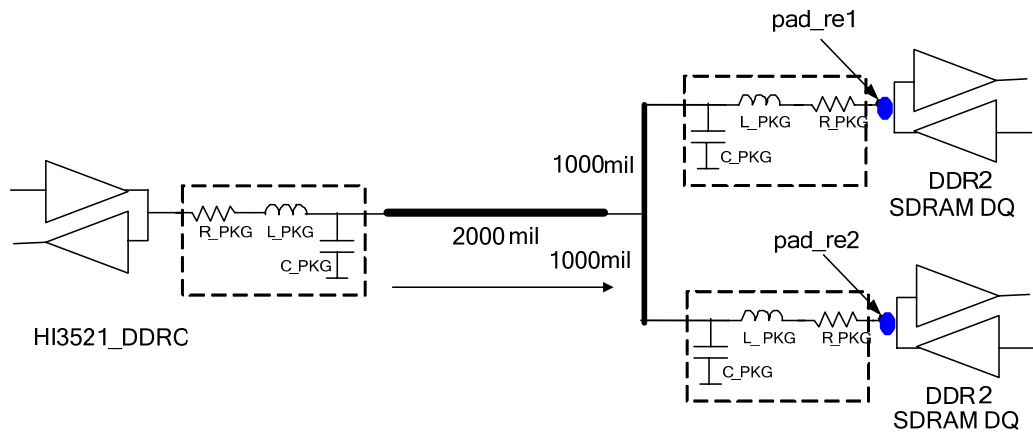


图1-12 地址和控制信号一驱二应用



外挂 DDR3 时:

- (1)、在单负载时，直接直连，如图 1-13 所示；
- (2)、在双负载时，采用 T 型拓扑结构，如图 1-14 所示；并且在 T 点到 DDR 颗粒左右两边分别串接 22R 电阻，如图 1-15 所示。

图1-13 地址和控制信号单负载应用

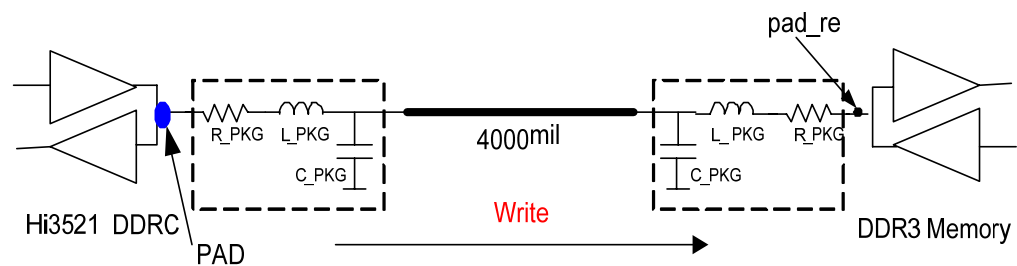




图1-14 地址和控制信号双负载应用

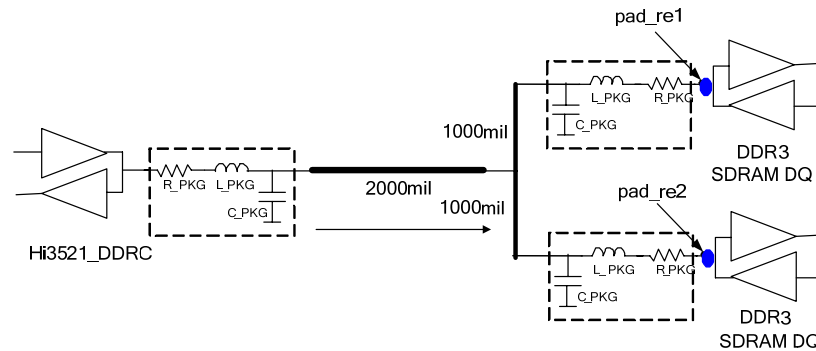
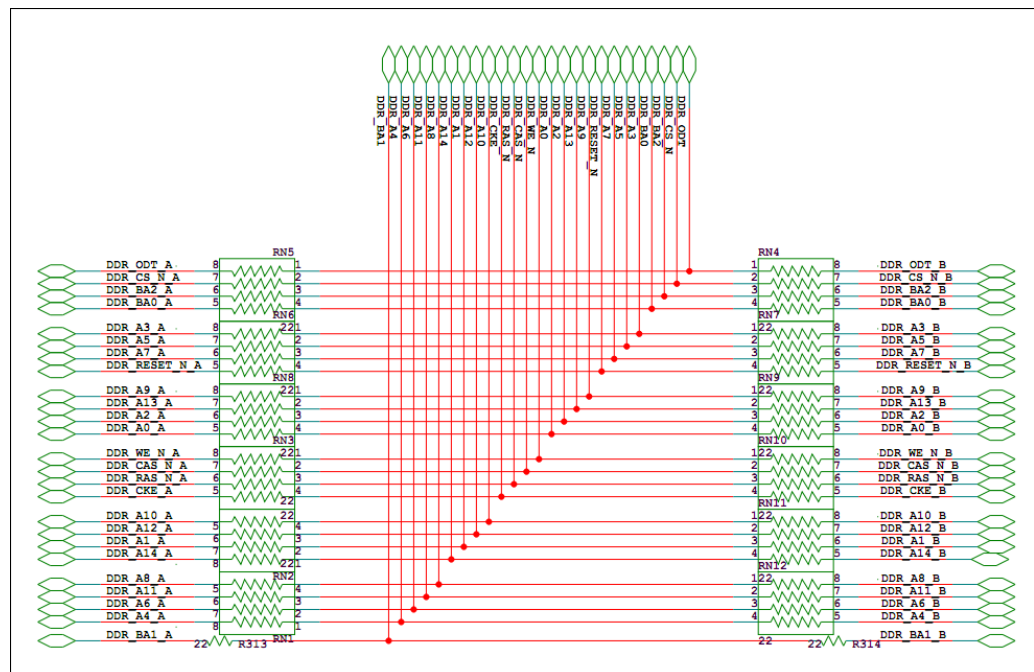


图1-15 T 点串联电阻示意图



数据掩码信号

Hi3521 DDR3 和 DDR2 应用中 DM 信号都是点对点拓扑，直连即可。

1.2.1.4 器件选型建议

Hi3521 DDRC 接口 DDR3 最高工作频率支持到 620MHz，DDR2 最高工作频率支持 533MHz；目前主流的 DDR3/2 颗粒都可以满足需求，选择主要依据容量需求和成本考虑。



1.2.2 USB2.0 Host 接口

1.2.2.1 接口介绍

Hi3521 USB2.0 Host 支持 USB2.0 协议，支持低速、高速和全速模式。USB2.0 Host 模块在 Hi3521 内是独立的模块，可以选择使用，不发送接收数据时，可以关闭此模块，以降低芯片功耗。

1.2.2.2 USB 电路设计建议

USB 电源设计建议

模拟电源 AVDD33_USB 要求与数字电源隔离，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，并在芯片邻近管脚摆放滤波电容。

数字电源和地 DVDD10_USB/DVSS_USB 也应避免受干扰，尽量使用短而宽的走线。

USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 连接器端口放置。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 1pF，响应时间小于 1ns。

1.2.3 GMAC 接口设计

Hi3521 的 GMAC 支持 RGMII 和 MII 模式，特别注意 TXCKOUT 和 TXCK 的信号连接方式。当使用 RGMII 模式的时候，Hi3521 的 RGMII_TXCKOUT 脚和 PHY 芯片的 GTXCLK 引脚连接；当使用 MII 模式的时候，Hi3521 的 RGMII_TXCK 引脚和 PHY 芯片的 TXCLK 引脚连接。两种模式的信号连接如图 1-16、图 1-17 所示。



图1-16 Hi3521 RGMII 模式下的信号连接图

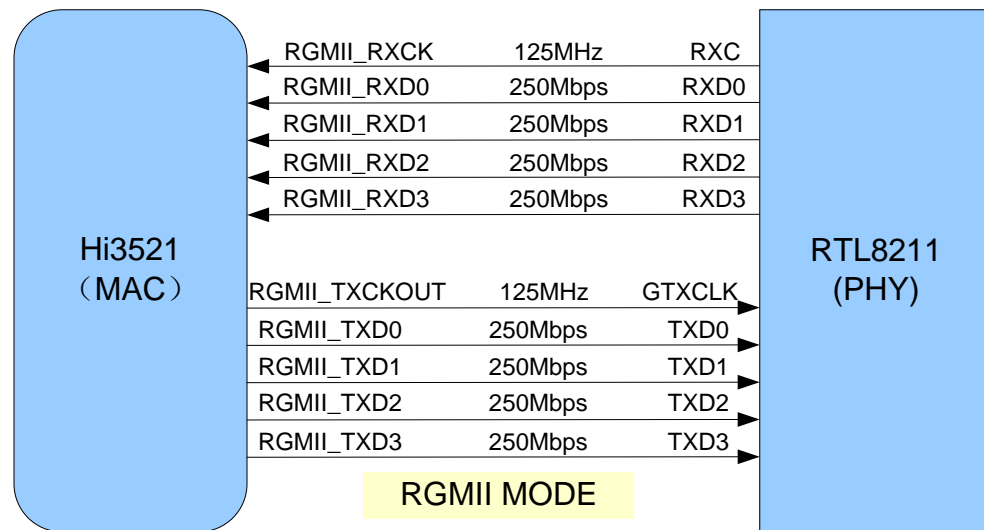
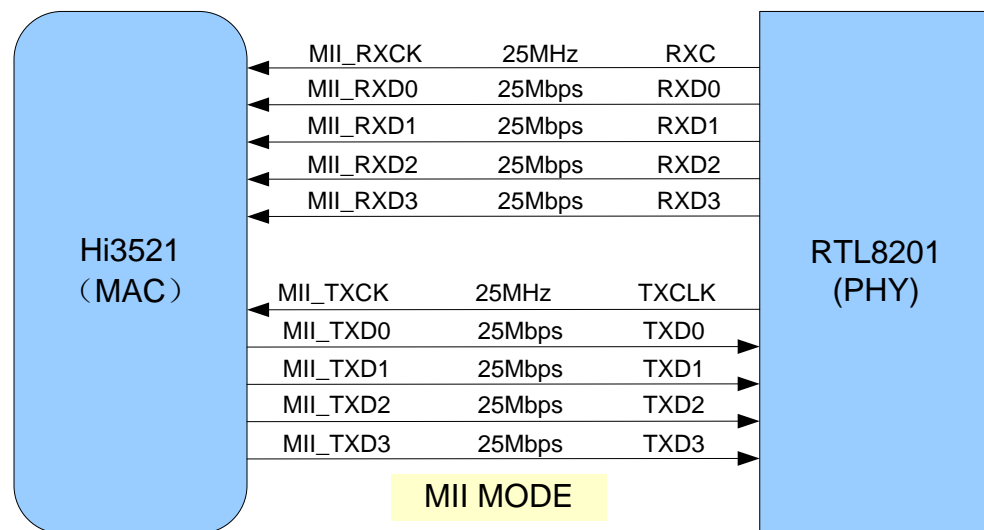


图1-17 Hi3521 MII 模式下的信号连接图



GMAC 所有信号为点对点拓扑结构（对接芯片为 RTL8211EG），如果时钟的 PCB 走线过长，125MHz 输出时钟 duty cycle 将会不满足 RGMII 规范。建议 PCB 走线控制在 6inch 以内。电阻匹配设计建议如下：

- MDIO 需要接上拉电阻，电阻值为 4.7kΩ。
- TXD0~TXD3 信号在 Hi3521 端需串联 22Ω 电阻。
- MII 模式下，TXCLK 信号在对接芯片（即网口 PHY）端要串联 33Ω 电阻。
- GTXCLK 信号在 Hi3521 端要串联 22Ω 电阻。
- RXD0~RXD3 信号要在对接芯片端（即网口 PHY）串联 22Ω 电阻。
- RGMII_RXCK 信号要在对接芯片端（即网口 PHY）串联 22Ω 电阻。



1.2.4 FLASH 接口设计

Hi3521 可以同时支持 NAND Flash 和 SPI Nor Flash。信号输出驱动电流为 8mA，用户根据负载方案和板级情况，来确定具体的拓扑结构和匹配方式。下面的匹配建议供参考：

电平有效信号，包括数字信号、地址和非边沿有效的控制信号。

- 外接多负载时，需要考虑反射、振铃带来的过冲和电平不稳定窗口。采用 T 型拓扑结构通常会得到比较好的信号质量。
- 驱动单负载时，主要考虑过冲，如果过冲太大，可在驱动端串 22Ω 电阻。

Hi3521 的 NFC (NAND Flash Controller) 和 SFC (SPI Nor Flash Controller) 都有两个 CS 信号，用于兼容两个 CS 引脚的器件或者两个 Flash 器件的应用。

- 如果 Hi3521 选择从 SPI Nor Flash 进行 boot，那么该 SPI Nor Flash 的片选需要接到 Hi3521 的 SFC_CS1N 上。
- 如果 Hi3521 选择从 NAND Flash 进行 boot，那么该 NAND Flash 的片选需要接到 Hi3521 的 NF_CSN0 上。

1.2.5 SATA 接口设计

Hi3521 提供了 2 个 SATA2.6 接口，每个 SATA 口均支持 PM 功能，也支持 eSATA 功能，支持时钟门控，在不使用的情况下，可以进行 Power Down 控制降低功耗；

- SATA 接口的 1.0V 与 2.5V 电源需要与系统 1.0V、2.5V 电源隔离，靠近芯片管脚端需要有滤波电容；
- SATA 接口的 Rx、Tx 差分信号上串接的 10nf 陶瓷贴片电容应靠近 SATA 插座；
- SATA 接口电源如通过主板进行 12V、5V 的供电，建议此两个电源需要采用 π 型滤波；
- 走线长度建议不超过 5inch。

1.2.6 SPI 控制接口设计

Hi3521 提供一个 SPI 的时钟信号、数据输入、数据输出管脚各一个，外加 4 个片选信号，主要用于对接具有 SPI 控制接口的外设；SPI_CLK 最高时钟频率可达 40MHz。

- 对于单负载情况，鉴于其 12mA 的驱动电流，因此建议在源端串接 47ohm 电阻；两根数据线源端串接 33Ω 电阻；
- 在多负载情况下(如挂 4 路 GV7601)，建议 SPI_CLK 源端串接 22Ω 电阻，在负载端串接 33ohm 电阻，采用 T 型拓扑；
- 多负载情况时，若采用菊花链的连接方式，设定 SPI_CLK 工作频率时，需要考虑走线延迟以及信号经过器件时的延迟，走线延迟的时间参数，1000mil 走线的延迟时间，参考值为 180ps。



1.2.7 I²S 接口设计

Hi3521 提供 3 组 I²S 音频信号接口；该接口在设计上没有太多的要求，稍微注意的是：

- SIO0~1 两组 I²S 信号只作为单向输入接口；
- SIO2 I²S 信号作为双向输入、输出接口。

1.2.8 HDMI 输出接口设计

Hi3521 自身内置了一个 HDMI PHY，能直接输出 HDMI 信号。

- 给 HDMI 接口模块供电的 1.0V，需要与系统 1.0V 隔离并在芯片管脚端有足够的滤波电容；**推荐隔离磁珠采用 1000Ω@100MHz，磁珠后面需增加 100uf/6.3V 的陶瓷电容；**
- HDMI_REXT 管脚外接参考电阻，推荐采用 1%的精密电阻 6.8KΩ 与 51KΩ 电阻并联；
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置；
- HDMI 接口专用的 I²C 信号，注意需要经过电平转换(由 3.3V 转为 5V)方能连接到 HDMI 接口；
- HDMI 接口电路注意防倒灌设计，详细见 Hi3521DMO 板原理图。

1.2.9 模拟 DAC 接口设计

Hi3521 提供两组 Video DAC。

- 第一组 Video DAC 的 VDAC0_IOUT0、VDAC0_IOUT1 作为 CVBS 信号的输出，在设计中，注意阻抗的匹配；**注意：VDAC0_IOUT2 管脚并没有模拟信号输出，在设计上需要外接 75Ω 电阻到地；VDAC0_VDREF 外接 10nf、1nf 电容并联到地；VDAC0_IREF 外接 1%精密电阻 1.1KΩ、51KΩ 电阻并联到地；详细设计见 Hi3521DMEB 原理图；**
- 第二组 Video DAC 的 VDAC1_IOUT0、VDAC1_IOUT1、VDAC1_IOUT2 分别作为 Pr/B、Pb/G、Y/R 信号的输出，在设计中，注意阻抗的匹配；**VDAC1_VDREF 外接 10nf、1nf 电容并联到地；VDAC1_IREF 外接 1%精密电阻 1.1 KΩ、51K 电阻并联到地；R、G、B 信号与 VGA_HS/VS 一起可输出 VGA 信号；详细设计见 Hi3521DMEB 板原理图；**
- 给两组 Video DAC 供电的 3.3V 电源注意与系统 3.3V 隔离并确保模拟 DAC 的 3.3V 电源管脚有足够的滤波电容。
- **特别需要注意：高清 PIP 与 CVBS0 复用，若需要高清 PIP 功能，则 CVBS0 无视频输出。即若需要同时支持高清 PIP 和标清 CVBS 输出，标清 CVBS 只能通过 CVBS1 来输出。**

1.2.10 VI/VO 接口设计

在物理接口上，Hi3521 共有 3 个 BT1120 接口，一个 BT656 接口。



- VIU0、VIU1 接口在物理上可作为 BT1120 输入接口；
- VOU1120 接口作为 BT1120 输出，VOU656 接口作为 BT656 输出；
- VOU1120 与 VOU656 一起，作为 LCD 的 24bitRGB 信号输出接口。
- VIU0、VIU1 接口可以分别拆分为 2 个 BT656 输入接口，此时，VIU_x_CLK 信号作为高 8 位的采样时钟信号，VIU_x_VS 作为低 8 位的采样时钟信号；高低 8bit 的编码能力都是一样的。
- VOU656 还复用为 SD 卡接口；

复用关系如表 1-1 所示，具体信息参加 Hi3521 芯片管脚描述；详细电路设计见 Hi3521DMO 板原理图。

表1-1 VOU1120 和 VOU656 复用关系

信号名称	复用功能 1	复用功能 2	复用功能 3
VOU1120	VOU1120	LCD_B、 LCD_G	-
VOU656	VOU656	LCD_R	SDIO



2 PCB 设计建议

2.1 Fanout 封装设计建议

Hi3521 芯片采用 FLIP-CHIP 封装，封装尺寸为 19mm x 19mm，共计 449 个管脚，管脚间距 Core 区域为 0.8mm，其他区域为 0.65mm。具体的芯片尺寸和封装请参见 Hi3521 芯片资料的硬件章节。

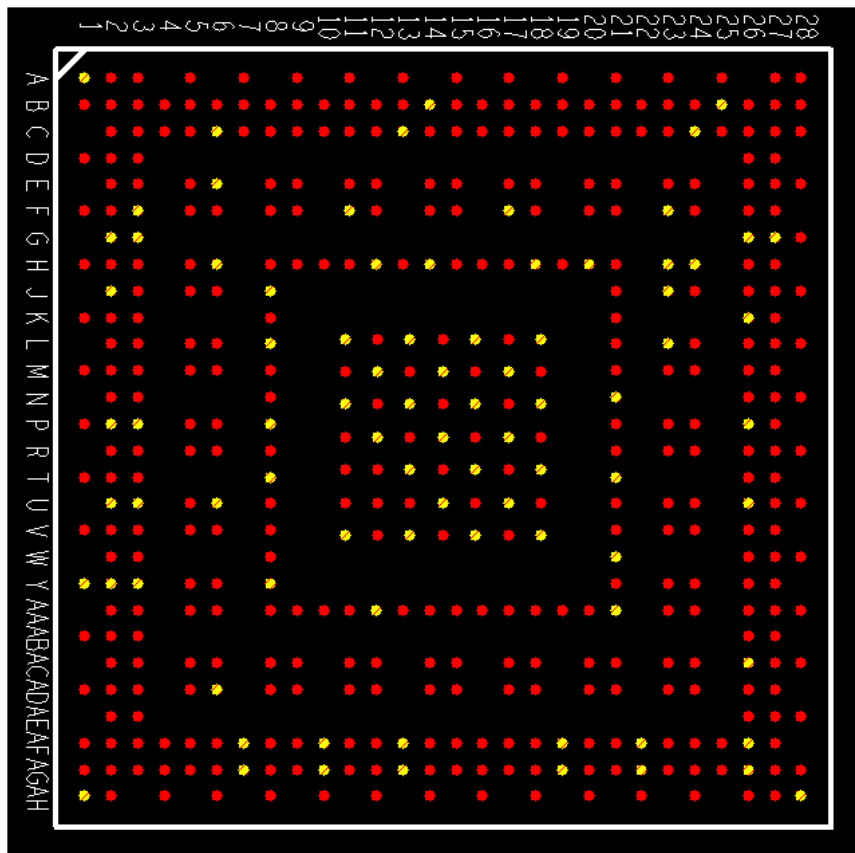
当 Hi3521 所有的信号都引出时，综合考虑信号完整性和成本，建议采用 4 层 PCB 单板设计，层叠结构建议如下：

- TOP 层：信号层 1（器件层 1）；
- 第 2 层：地平面层；
- 第 3 层：电源平面层；
- BOTTOM 层：信号层 4（器件层 2）。

Hi3521 的 Pin 脚排布如[图 2-1](#) 所示。



图2-1 Hi3521 的 Pin 脚排布



外围六圈管脚为信号管脚以及部分模块的电源、地管脚；中间部分主要为 Core 电源管脚以及地管脚，中间管脚的排布如图 2-2 所示。



图2-2 Hi3521 芯片中间电源、地管脚排布

VSS	VDD	VSS	VDD	VSS	VDD	VSS
VDD	VSS	VDD	VSS	VDD	VSS	VDD
VSS	VDD	VSS	VDD	VSS	VDD	VSS
VDD	VSS	VDD	VSS	VDD	VSS	VDD
VSS	VDD	VSS	VDD	VSS	VDD	VSS
VDD	VSS	VDD	VSS	VDD	VSS	VDD
VSS	VDD	VSS	VDD	VSS	VDD	VSS

PCB Fanout 设计注意事项:

由于 Hi3521 芯片尺寸为 19mm x19mm。为了保证 GND 层的回流通路和电源层的过流能力，需要特别注意外六圈管脚的 Fanout 方式和打过孔的位置。其中外三圈管脚尽量通过 top 层走线的方式直接 Fanout，如图 2-3 所示；而内三圈需要通过有规律的控制打过孔位置，保证 GND 层和电源层不会被过孔打碎。图 2-4 为规律打过孔后的 GND 层，图 2-5 为电源层。



图2-3 Hi3521 芯片管脚中间打过孔(见蓝色亮点)

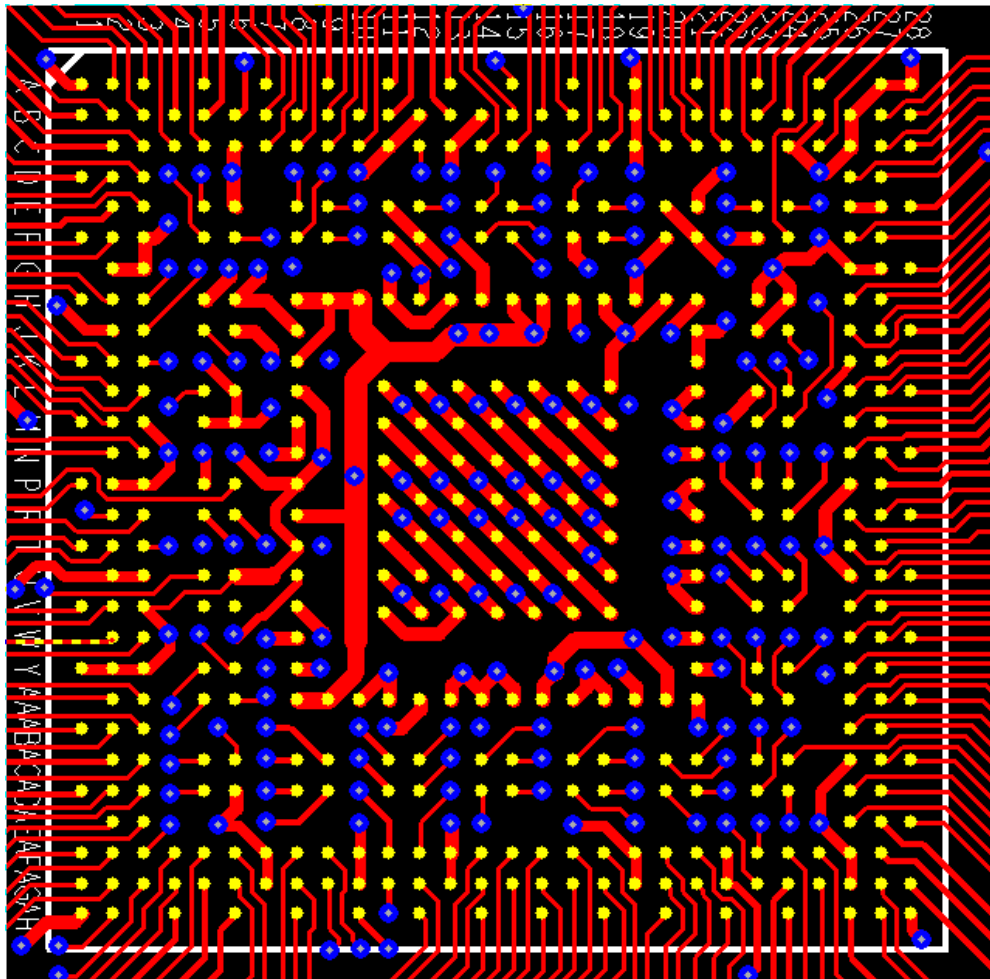




图2-4 Hi3521 芯片管脚中间打过孔时，GND层 BGA 下方的回流通道

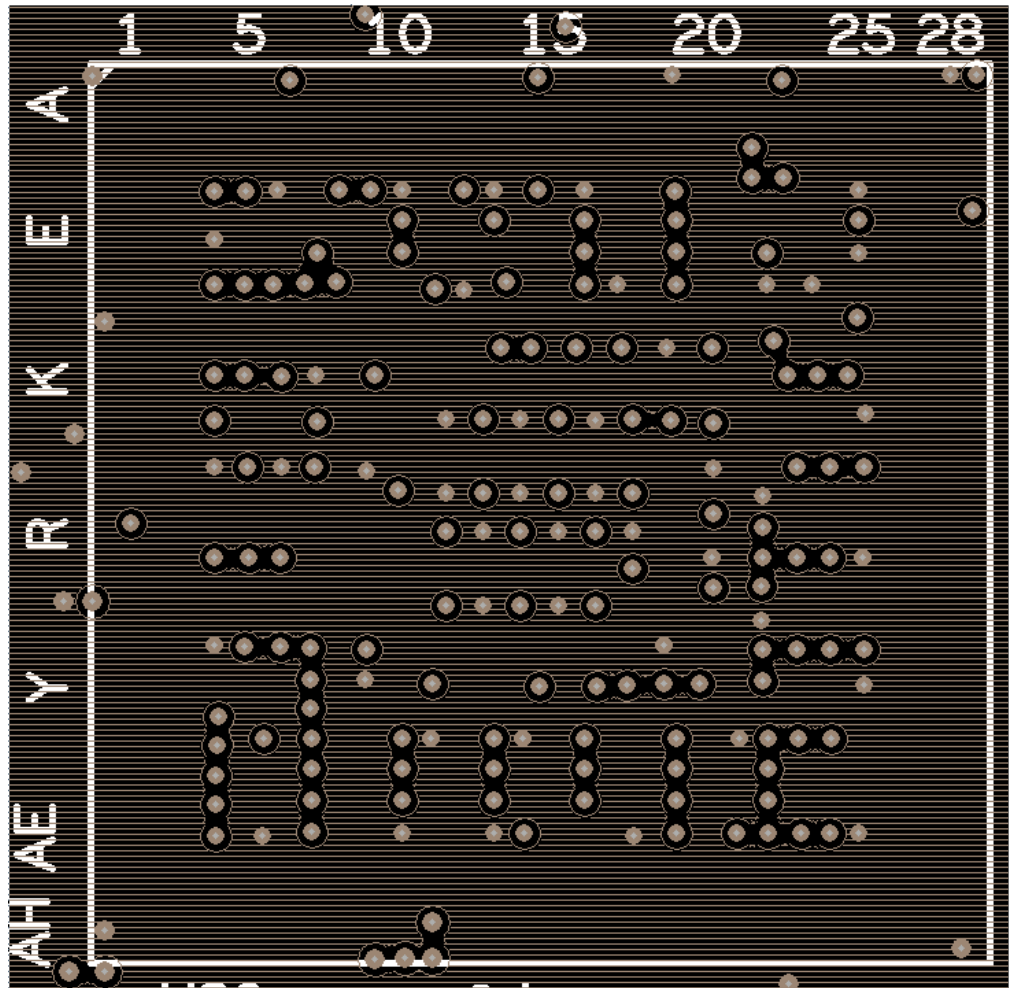
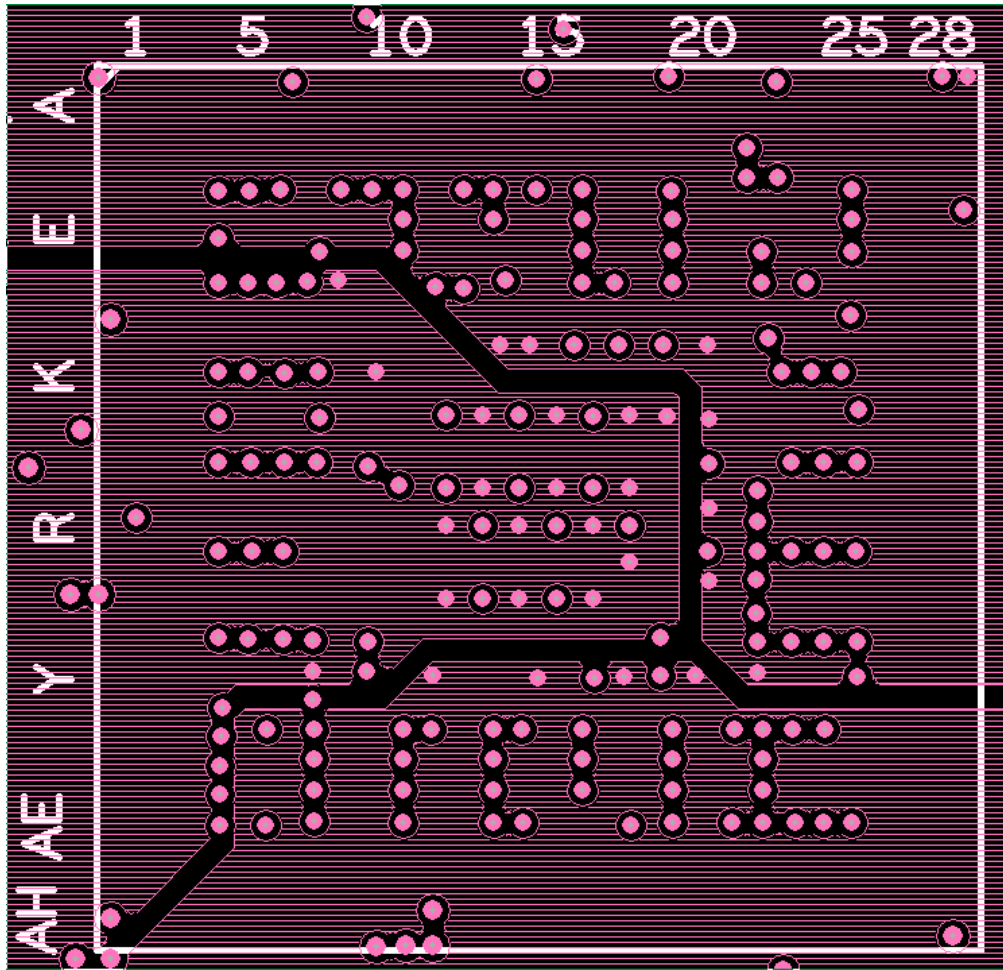




图2-5 Hi3521 芯片管脚中间打过孔时，电源层 BGA 下方的过流通道



Hi3521 的电源管脚 3.3V、1.5V 或 1.0V 都尽可能通过较为完整的电源平面层供电。特别需要注意：务必保证 core 电压 1V0 的电源铜皮宽度，能达到 5A 的过流能力。

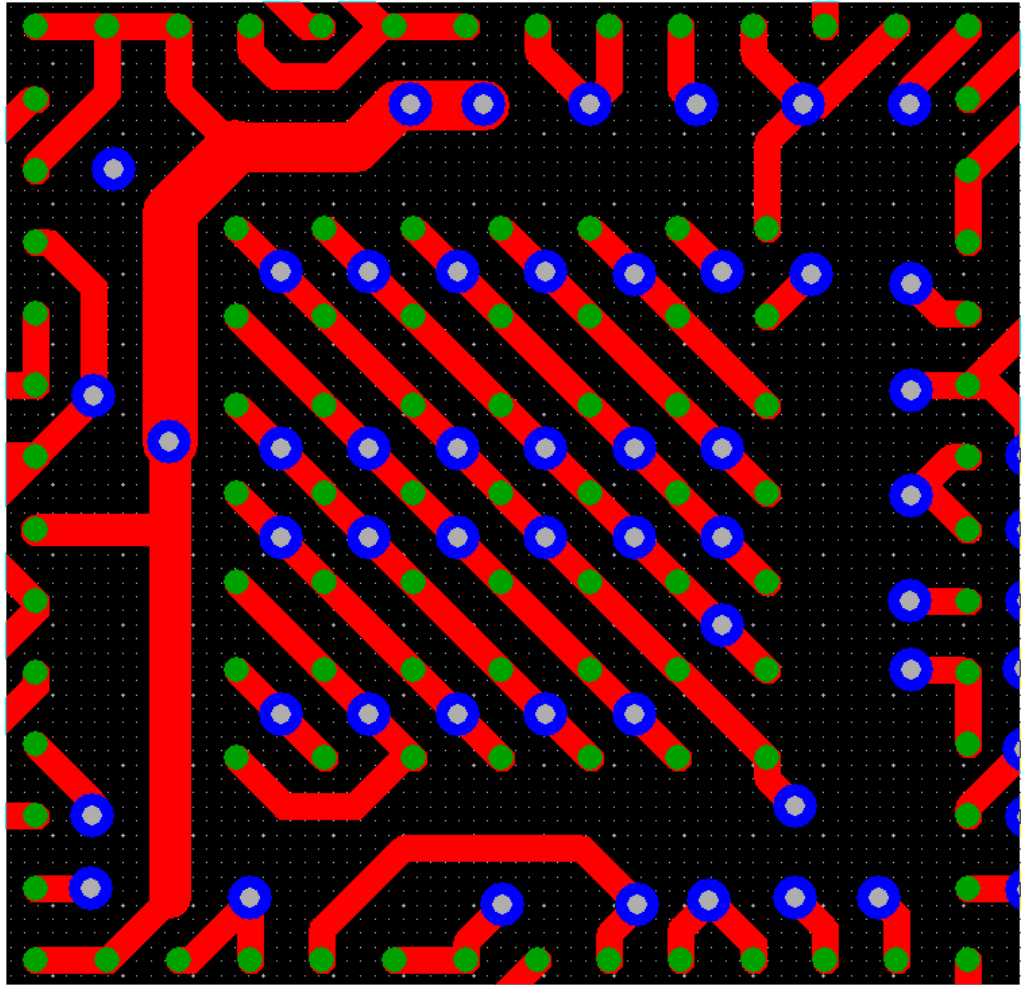
2.2 Core 电源区域设计建议

2.2.1 Core 电源布线和过孔设计

为了满足 Core 电源的过流能力，建议 TOP 面的焊盘与焊盘之间参考图 2-6 的走线方式，并要求最多两个焊盘共用一个过孔。若采用 8/16mil 的过孔，那么过孔的数量要求在 14 个以上。



图2-6 Hi3521Core 电源区域 TOP 面示意图



2.2.2 Core 电源设计与滤波电容分布

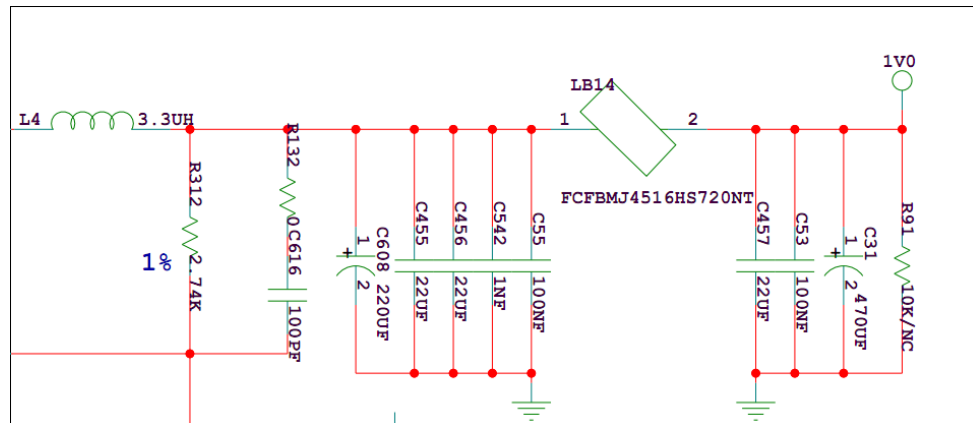
为了保证 Core 电源的质量，主要考虑以下 3 个方面：

DC-DC 方案选型与输出滤波

为了保证 Core 电源的质量，尽量选用瞬态响应快、轻载高效的 DC-DC 方案。在 DC-DC 的输出端，建议采用隔离磁珠后增加电解电容，形成 Π 型滤波的设计。具体的电路图如图 2-7 所示。



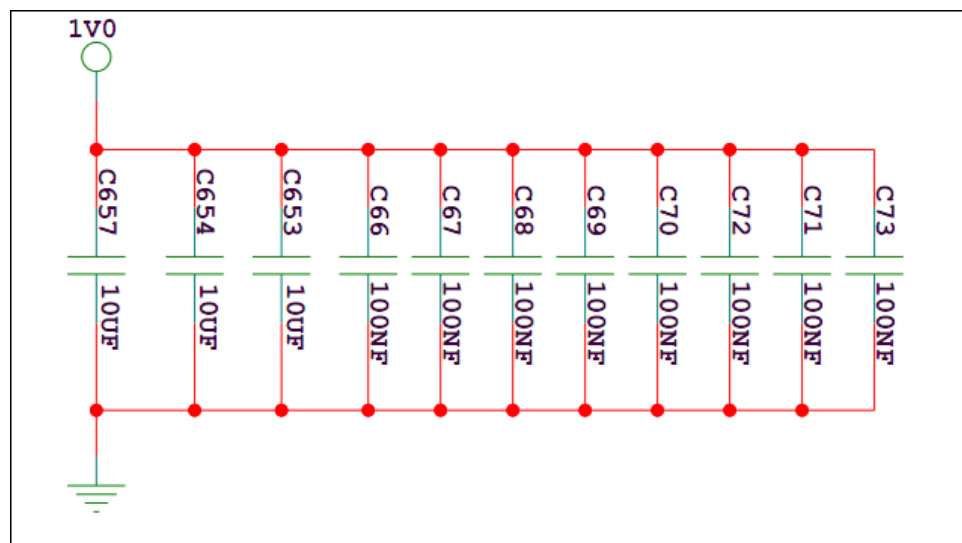
图2-7 Hi3521 1V0 的滤波电路



电容数量

为了保证 Core 电源的质量，对 1V0_Core 的电容数量有严格的要求。Hi3521 的 Core 电源一共有 24pin，要求最多每 2 个 pin 共用一个过孔，每个过孔必须有一个 100nF 的电容靠近放置对其滤波，另外还需要放置 3 个 10uF 的电容，如图 2-8 所示。

图2-8 Hi3521 1V0 的滤波电路



电容放置方式

为了保证 Core 电源的质量，对 1V0_Core 的电容在主芯片背面的放置方式也有严格的要求：

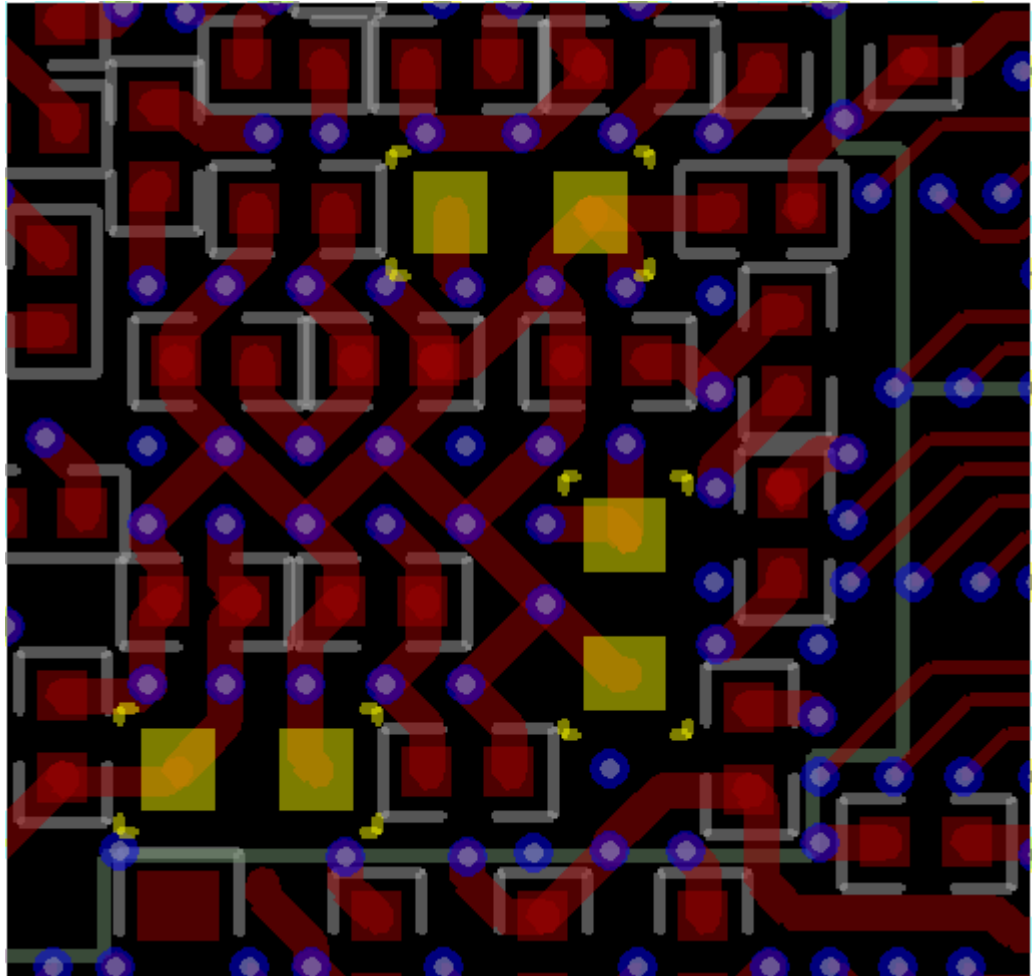
- 要求在主芯片底下 Bottom 面每一个 1V0_Core 电源的过孔，都有一个电容靠近为其滤波，距离要求<50mil



- 10uF 的大滤波电容，也必须放置在 core 区域中心，不允许放置在外围。具体的放置位置如图 2-9 所示。
- 建议 1V0_Core 电源增加一个 100uF 的钽电容，放置在 bottom 面，主芯片的外围靠近主芯片处。

BOTTOM 面电容分布如图 2-9 所示。

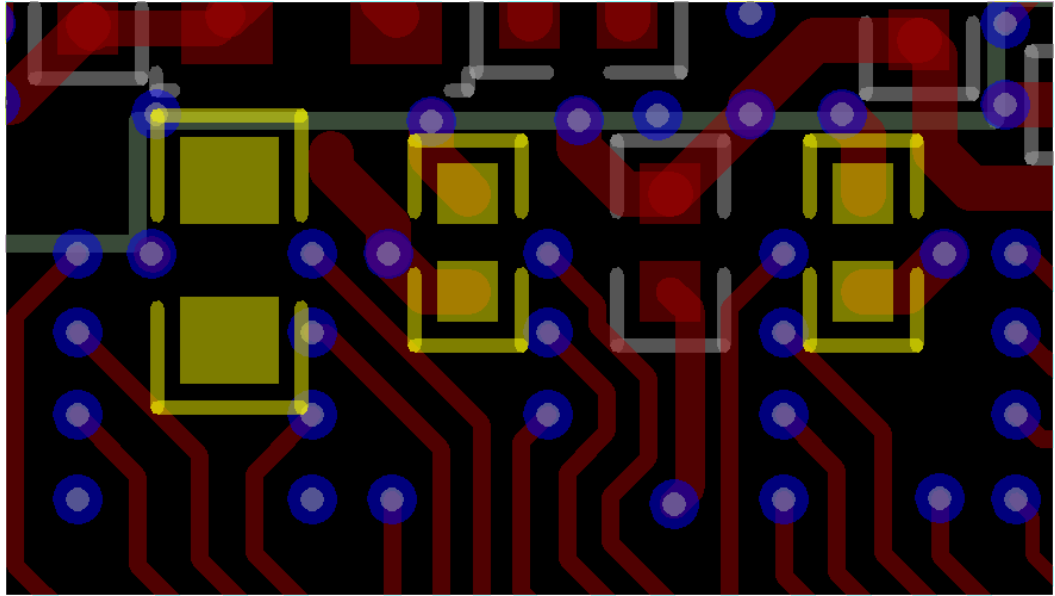
图2-9 1V0_Core BOTTOM 面电容分布



同样对于芯片端 1V5 的电源设计，要求跟 1V0_Core 一致。要求最多 2 个焊盘共用一个过孔，每个过孔需靠近放置 100nF 滤波电容，并至少靠近放置 1 个 10uF 的陶瓷电容。具体如图 2-10 所示。



图2-10 1V5 BOTTOM 面电容分布



2.3 DDR2/3 SDRAM 接口

2.3.1 电源设计

为了满足 DDR2/3 总线高带宽的性能要求，Hi3521 内部集成了支持 SSTL-15/SSTL-18 电平标准的端口驱动器，所以建议板级布线遵循 SSTL-15/SSTL-18 信号布线设计规范。

Hi3521 和 DDR2/3 SDRAM 的 VREF (0.9V/0.75V) 电源都必须和其他电源隔离，可以通过较宽的走线 (15mil 及以上) 连接，保证每个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。DDR2/3 颗粒 1.5V/1.8V 电源管脚与 Hi3521 DDR 1.5V/1.8V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。

另外在 1.5V/1.8V 的电源通道上，需要均匀的分布 4 个以上的 10uF 电容，具体位置可以参考 Hi3521DMEB，如图 2-11 和图 2-12 所示。



图2-11 1.5V/1.8V 的电源通道上 10uF 的电容位置一

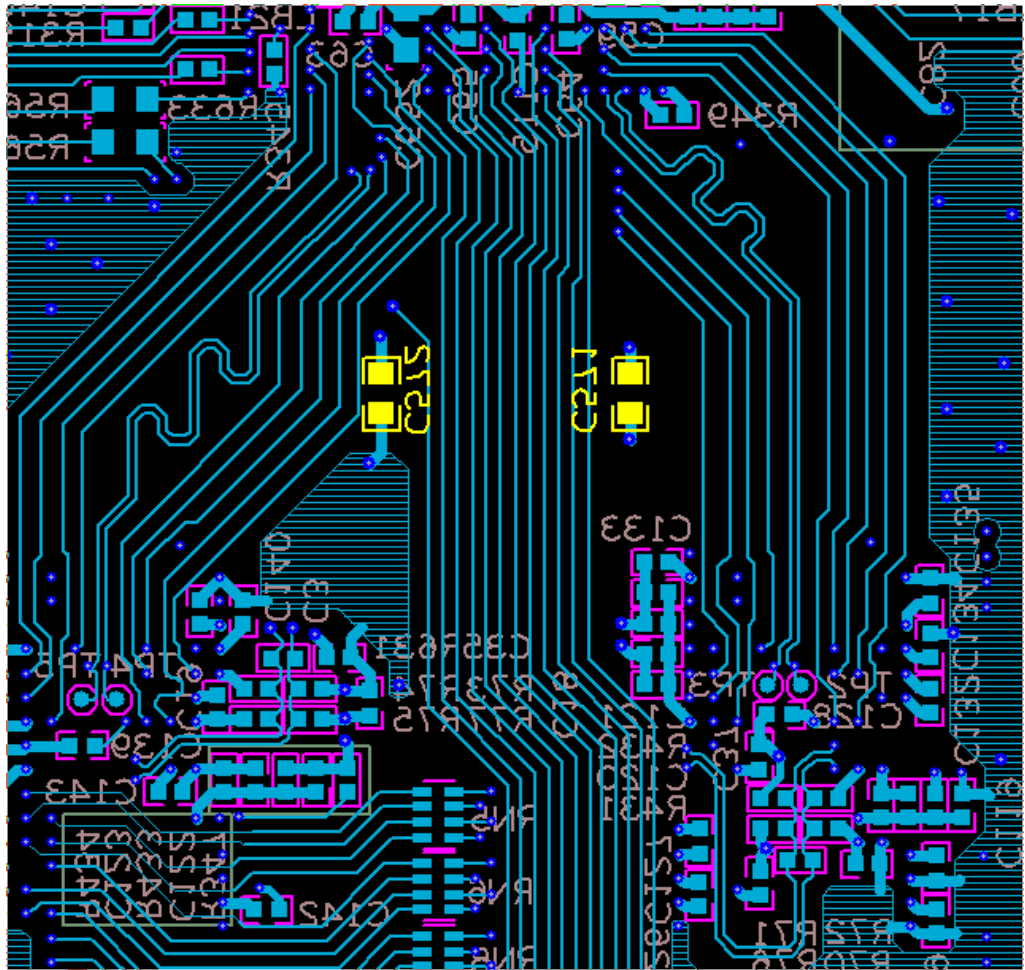
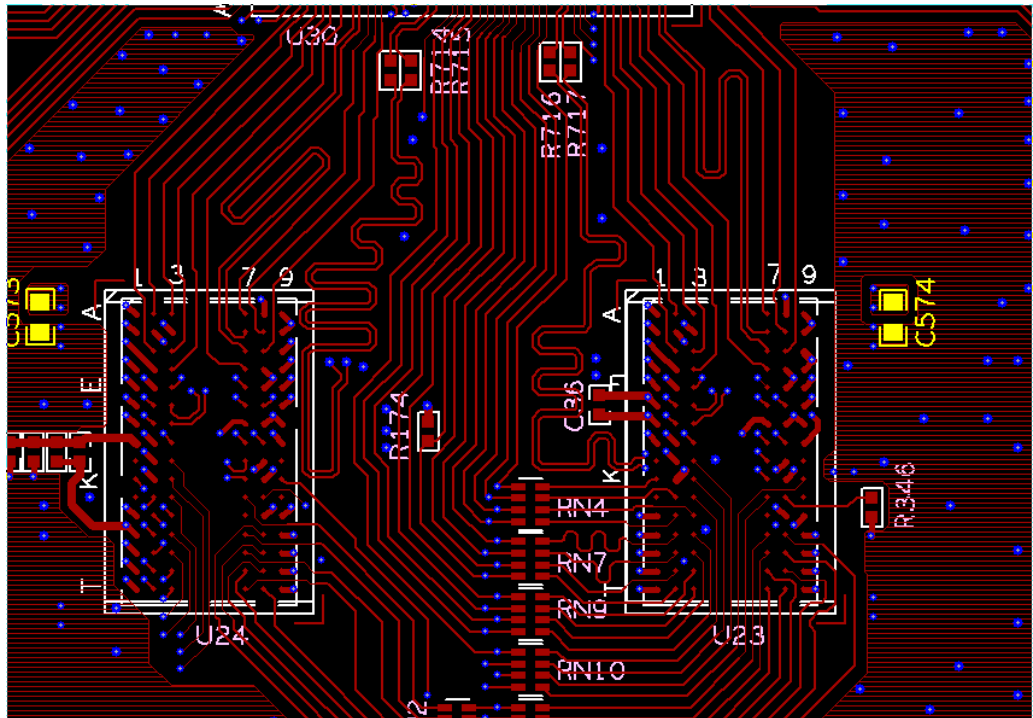


图2-12 1.5V/1.8V 的电源通道上 10uF 的电容位置二



VREF 参考电压设计建议如下：

- 参考电压设计时，需要重点关注参考电压的布线。根据 SSTL-15 协议要求，VREF 参考电压上的噪声不得超过 $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

2.3.2 信号设计(以 16bit DDR3 为例)

DDR 的走线等长约束，需要考虑芯片的片内走线长度，具体如表 2-1 所示。

表2-1 DDR 片内走线长度

Net Name	Conductor Length (mil)	Net Name	Conductor Length (mil)
DDR_A0	225.6098425	DDR_DQ10	233.2862205
DDR_A1	135.1224409	DDR_DQ11	273.3224409
DDR_A2	155.6885827	DDR_DQ12	292.5507874
DDR_A3	195.5511811	DDR_DQ13	261.5366142



Net Name	Conductor Length (mil)	Net Name	Conductor Length (mil)
DDR_A4	144.3472441	DDR_DQ14	296.1649606
DDR_A5	217.8531496	DDR_DQ15	279.0480315
DDR_A6	134.465748	DDR_DQ16	251.0188976
DDR_A7	210.0173228	DDR_DQ17	170.5472441
DDR_A8	98.94685039	DDR_DQ18	202.2204724
DDR_A9	188.9177165	DDR_DQ19	277.8787402
DDR_A10	134.7051181	DDR_DQ20	112.9492126
DDR_A11	115.8318898	DDR_DQ21	182.8795276
DDR_A12	112.4708661	DDR_DQ22	202.3322835
DDR_A13	207.6877953	DDR_DQ23	188.3791339
DDR_A14	104.6590551	DDR_DQ24	293.6858268
DDR_BA0	237.1031496	DDR_DQ25	287.6338583
DDR_BA1	187.6759843	DDR_DQ26	265.5625984
DDR_BA2	225.6641732	DDR_DQ27	308.2818898
DDR_CAS_N	180.7125984	DDR_DQ28	271.9598425
DDR_CKE	130.4212598	DDR_DQ29	293.0389764
DDR_CLK0_N	223.6885827	DDR_DQ30	317.034252
DDR_CLK0_P	227.4688976	DDR_DQ31	279.8259843
DDR_CLK1_N	253.353937	DDR_DQS0_N	216.6614173
DDR_CLK1_P	256.8681102	DDR_DQS0_P	220.146063
DDR_CS_N	199.0137795	DDR_DQS1_N	254.4322835



Net Name	Conductor Length (mil)	Net Name	Conductor Length (mil)
DDR_DM0	113.2350394	DDR_DQS1_P	272.1767717
DDR_DM1	290.7637795	DDR_DQS2_N	267.1059055
DDR_DM2	148.711811	DDR_DQS2_P	270.9251969
DDR_DM3	242.0535433	DDR_DQS3_N	342.8385827
DDR_DQ0	225.4031496	DDR_DQS3_P	339.1653543
DDR_DQ1	173.5358268	DDR_ODT	266.3854331
DDR_DQ2	239.230315	DDR_PADHI	187.6555118
DDR_DQ3	140.4728346	DDR_PADLO	238.7354331
DDR_DQ4	157.6220472	DDR_RAS_N	197.426378
DDR_DQ5	172.538189	DDR_REF	241.2240157
DDR_DQ6	133.8622047	DDR_RESET_N	231.2448819
DDR_DQ7	150.4066929	DDR_RTT	161.1582677
DDR_DQ8	265.1944882	DDR_WE_N	208.8507874
DDR_DQ9	255.7858268		

时钟信号 CLK

时钟信号 CLK 的长度要求如下：

- CLK 信号走线长度最长不能超过 4inch；
- CLK 差分对信号走线严格走差分，差分对内部走线的长度差推荐小于 5mil，即：
 $|L_{CLKxP} - L_{CLKxN}| < 5\text{mil}$ ；
- CLK 差分阻抗需要控制 100Ω。

数据选通信号线 DQS

数据选通信号线 DQS 的长度要求如下：



- DQS 差分对内部两根信号线严格等长，差分走线长度偏差推荐小于 5mil，即： $|LDQSxP-LDQSxN| < 5\text{mil}$ ；
- DQS 以 CLK 时钟走线长度为参照进行走线，其走线长度相对于 CLK 的走线长度允许的偏差为 $\pm 1100\text{mil}$ ，即： $LDQSx = LCLKx \pm 1100\text{mil}$ 。
- DQS 差分阻抗需要控制 100Ω 。

数据信号线 DQ[0:31]

数据信号线 DQ[31: 0]的走线长度以 DQS 作为参考，偏差 300mil，具体如下：

- DQ[7:0]以 DQS0 的走线长度为参照进行走线，允许偏差范围为 300mi，即： $LDQ[7:0] = LDQS0 \pm 300\text{mil}$ ；
- DQ[15:8]以 DQS1 的走线长度为参照进行走线，允许偏差范围为 300mil，即： $LDQ[15:8] = LDQS1 \pm 300\text{mil}$ ；
- DQ[23:16]以 DQS2 的走线长度为参照进行走线，允许偏差范围为 300mil，即： $LDQ[23:16] = LDQS2 \pm 300\text{mil}$ ；
- DQ[31:24]以 DQS3 的走线长度为参照进行走线，允许偏差范围为 300mil，即： $LDQ[31:24] = LDQS3 \pm 300\text{mil}$ ；
- 数据走线推荐以 GND 层为参考平面，在无法满足的情况下，要求同组同层走线。

数据掩码信号线 DM

数据掩码信号线 DM 的走线长度以 DQS 为参考，要求如下：

- DM0 以 DQS0 的走线长度为参照进行走线，允许偏差范围为 300mil。
- DM1 以 DQS1 的走线长度为参照进行走线，允许偏差范围为 300mil。
- DM2 以 DQS2 的走线长度为参照进行走线，允许偏差范围为 300mil。
- DM3 以 DQS3 的走线长度为参照进行走线，允许偏差范围为 300mil。

地址信号线 ADDR[0:14]

地址信号线 ADDR[0:14]的长度要求如下：

- ADDR[0:14]以 CLK 时钟走线长度为参照进行走线，允许的差范围为 $+500\text{mil}/-1000\text{mil}$ ，即： $LADDR = LCLK + 500\text{mil}$ 或 $LADDR = LCLK - 1000\text{mil}$ ；
- 地址线采用 T 型走线，T 点到 Hi3521 端管脚的走线，最长不超过 2inch；T 点到 DDR 颗粒端需要串接 22R 电阻，走线最长不超过 1inch。
- 相同网络 T 点到左颗粒端和到右边颗粒的走线长度偏差控制在 300mil 以内。

控制信号线

控制信号线 BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT 的长度要求如下：控制信号线的要求与地址信号线一致，请参考地址信号线。



PCB 布线建议

建议 PCB 布线设计采用以下原则：



CAUTION

DDR 模块走线要求完全复制 Hi3521DMEB 的设计；若客户由于特殊需求无法完全复制，请遵循以下的要求，并建议把设计文件发给我司 FAE 检视。

- 所有 DDR3 SDRAM 信号走线需要避免穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面。
- 单端信号 PCB 走线特性阻抗需要控制 $50\Omega\pm 10\%$ ，差分信号 PCB 走线特性阻抗需要控制 $100\Omega\pm 10\%$ 。
- DQ 信号走线要求同组同层。同组指的是一组 8bitDQx，加上一个 DMx 信号和一对 DQSx 差分信号，共 11 根信号线；同层指的是同组信号必须走在相同的走线层，参考相同的回流平面。
- 数据信号线 DQ 和数据掩码 DM，由于长度约束变宽，可以实现芯片到 DDR 颗粒点对点直拉，不绕蛇形线导致一起平行走线长度变长。所以要求相邻走线间距必须保持 4 倍线宽以上，即满足“4W”原则，如下图 xx。
- 地址信号线 A[X] 以及控制信号线，在满足长度约束前提下，尽量缩短走线长度；但是相邻走线间距必须保持 3 倍线宽以上，即满足“3W”原则。
- 时钟信号线 CLK 必须保证大部分走线走在 TOP 面，只是在靠近 DDR 颗粒端再打孔到 Bottom 面连接到戴维南匹配上，并且建议在打孔的地方加 100nF 的续流电容，如图 2-13 所示；另外要求戴维南匹配的 1V5 取电需要增加 100nF 电容滤波。具体参考 Hi3521DMEB，如图 2-14 所示。



图2-13 时钟信号线 CLK 的走线方式

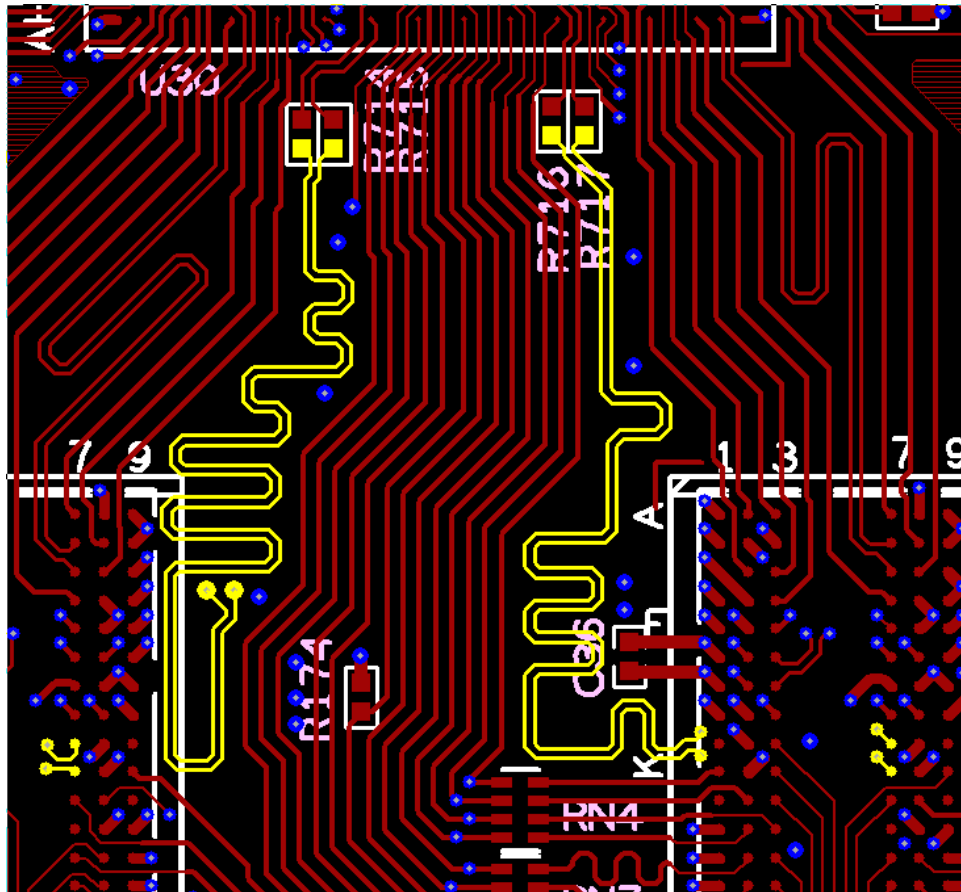
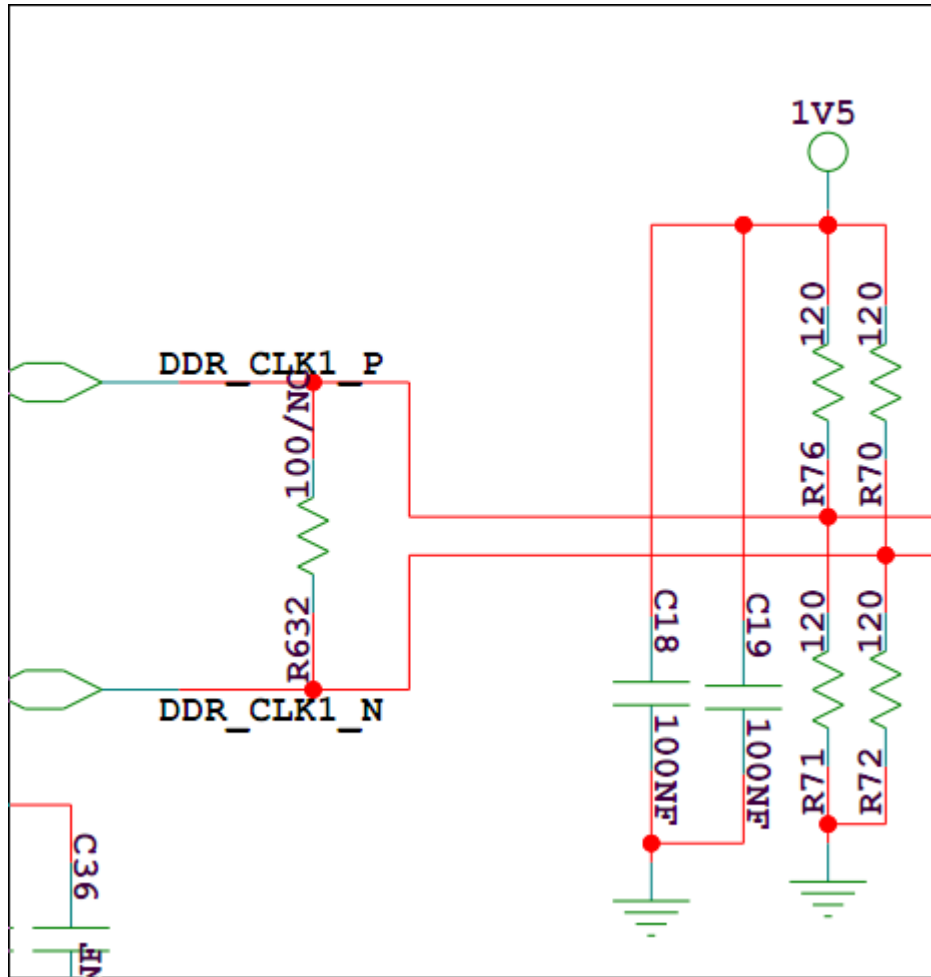




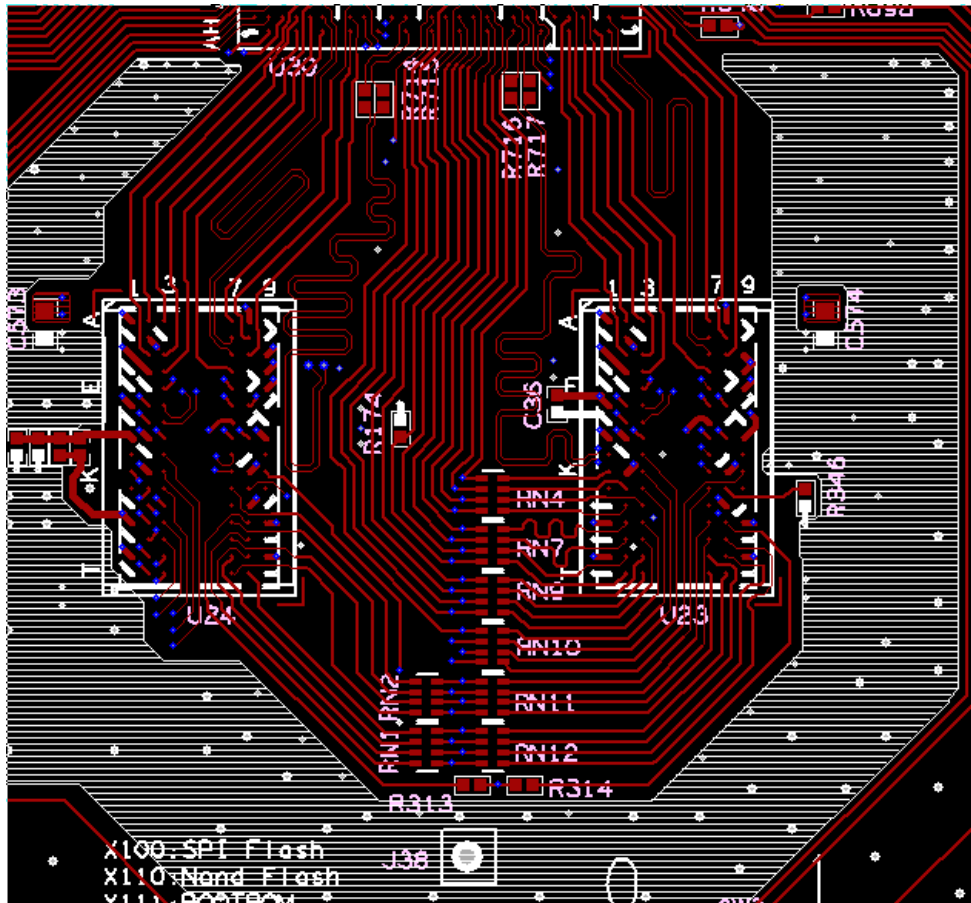
图2-14 戴维南的滤波电容示意图



- DDR3 SDRAM 信号与其他信号走线间隔至少 20mil，并包地处理，如图 2-14 所示。



图2-15 DDR 模块周围包地处理



- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

2.4 GMAC 布线设计建议

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 关键信号，如时钟信号等，避免紧邻数据、地址总线。
- 避免地址/控制信号紧邻数据信号。
- DP/DM 布线与其他信号线也应尽量距离远，保证最小的串扰。
- 信号线长度以时钟线为基准，控制在 $\pm 50\text{mil}$ 以内。
- 变压器芯片正下方的地需要挖空处理。
- 变压器和网口连接器附近区域的地需要挖空处理。为了防雷击，网口地使用 1nF/2KV 电容和单板 GND 单点连接，网口地和单板数字地的隔离距离要大于 3mm。



- MDI+_0、MDI-_0、MDI+_1、MDI-_1、MDI+_2、MDI-_2、MDI+_3、MDI-_3 差分对尽量等长，长度控制在 5mil 以内，差分阻抗控制在 100Ω。

2.5 USB 接口电路设计建议

为了保证良好的信号质量，USB2.0 Host 端口数据线需要差分布线。差分数据线走线控制等长，走线间距保持均匀，控制 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片（比如：时钟谐振器、时钟振荡器和时钟驱动器等）。为了达到 USB2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在 20mil 范围内。
- 差分数据线走线宽度恒定，差分数据线要求平行。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其他高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。
- REXT 电阻应该尽可能靠近 Hi3521 侧。

2.6 SATA 接口走线设计建议

Hi3521 提供两个 SATA 接口，其走线建议如下：

- SATA 走线差分阻抗控制在 100Ω；
- 差分信号线上串接的 10nf 贴片电容靠近 SATA 插座放置；
- 在 PCB 上的信号走线长度推荐小于 5inch。

2.7 HDMI 接口走线设计建议

Hi3521 自身自带一个 HDMI 接口，能直接输出 HDMI 信号，其走线建议如下：

- HDMI 的四对差分信号，差分阻抗控制在 100Ω；
- 接口 ESD 器件靠近 HDMI 插座放置；
- 信号走线在拐弯处尽量走弧线。
- HDMI 的四对差分信号走线长度小于 3.5inch（推荐）



2.8 VI/VO 接口走线设计建议

Hi3521 共有 2 个 BT1120(可分别拆分复用为 2 个 BT656 接口)输入接口，其走线设计要求如下：

- 在作为 BT1120 接口使用时，数据线、行同步、场同步信号走线均以 CLK 信号作为参考，偏差建议不超过 100mil；
- 在分拆为 2 个 BT656 接口时，高 8 位数据线，走线长度参考 BT1120 时的 CLK 信号，偏差建议不超过 100mil；低 8 位数据线，走线长度参考 BT1120 时的场同步信号(VS，此时复用为低 8 位数据线的采样时钟信号)，偏差建议不超过 100mil。

2.9 系统以及外设复位信号走线设计建议

系统以及外设的复位信号走线，建议如下：复位信号需要与其他信号走线，尤其是高速数字信号走线隔离 3 倍线宽以上，越远越好，防止被干扰。

2.10 PCIe 管脚处理说明（Hi3521 不支持 PCIe 功能）

Hi3521 不支持 PCIe 功能，芯片中的 PCIe 的管脚用于后续芯片扩展使用。需要特别注意这些管脚的处理方式，如表 2-2 所示。

表2-2 PCIe 管脚的处理

管脚（信号）名称	处理方式
PCIE_RXP	悬空
PCIE_RXM	悬空
PCIE_TXP	悬空
PCIE_TXM	悬空
PCIE_REFCLKP	悬空
PCIE_REFCLKM	悬空
PCIE_VPH25	连接电源，保持供电
PCIE_VP10	连接电源，保持供电
PCIE_REXT	接 191R(1%)电阻到地



2.11 系统电源、地设计建议

Hi3521 系统电源设计建议如下：



注意

如客户因特殊需求无法复制 Hi3521 DMEB 的小系统设计，需要将设计文件提交 FAE 检视。

- 要求完全复制 Hi3521 DMEB 的小系统设计，包括 Fanout 方式和滤波电容分布。
- 主芯片 Core 电压的 1.0V，推荐其电源通道的铜皮满足 5A 以上过流能力；
- DDR 接口部分的 1.5V/1.8V 电源与 DDR2/3 颗粒电源公用同一电源平面；
- Hi3521 PLL 部分的 GND，建议不要直接与系统地连接，而采用单点连接的方式；
- 整个外设 3.3V 电压公用一个电源平面；
- 注意 Top 层、Bottom 层 GND 的完整性，有利于散热以及抑制 EMI。

2.12 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，并结合提供的 Hi3521 接口 IBIS 模型、器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。

PCB 设计人员可以通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃和单调性等。



3 单板热设计建议

3.1 工作条件



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

工作环境参数如表 3-1 所示。

表3-1 工作环境参数

参数	符号	最小值	典型值	最大值	单位
推荐环境温度	T_A	0	-	70	°C
极限结温	T_{JMAX}	-20	-	105	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	17.8	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	4.1	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	0.37	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	TBD	-	°C/W

不同风速下的 θ_{JA} 如表 3-2 所示。

表3-2 不同风速下的热阻值（不带散热器）

Airflow (Linear Feet per Minute)	θ_{JA} (°C/W)
0	TBD



Airflow (Linear Feet per Minute)	θ_{JA} (°C/W)
100	TBD
200	TBD
300	TBD
400	TBD
500	TBD
600	TBD

3.2 散热设计参考

散热器规格

器件/模块散热器热阻必须满足器件/模块工作散热要求：

$$\theta_{sa} < (T_{j_max} - T_a) / P - \theta_{jc} - \theta_{cs}。$$

其中：

- T_{j_max} 为器件结温上限。
- P 为耗散功率。
- T_a 为最高环境温度。
- θ_{jc} 为器件结到外壳的热阻。
- θ_{cs} 为器件与散热器之间的界面热阻。

Hi3521 芯片的散热解决方案，芯片的散热解决方案，推荐客户采用 31*31*16(mm)尺寸的散热片，散热片齿条尺寸：1.0*1.5*13(mm)，散热片表面推荐发黑处理；散热片的选择上，要求比该规格好，不能差于此规格。散热器与芯片接触面涂敷导热硅脂，视情况加装绝缘垫。散热器与芯片接触面涂敷导热硅脂，视情况加装绝缘垫。如图 3-1 所示。



图3-1 散热器组示意图



说明

以上规格选型仅作为参考，具体客户散热器规格选型需根据客户单板设计来定。

导热介质材料推荐

导热介质材料推荐如表 3-3 所示。

表3-3 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m·k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	NA	NA	NA	NA	NA	NA	NA
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

散热器固定方式与质量关系

散热器固定方式跟散热器质量有关系，如：大质量的散热器不适合用导热胶粘接，散热器固定方式与质量关系如表 3-4 所示，可根据实际单板设计选择合适的安装方式。

表3-4 散热器固定方式与质量关系

安装方式	质量		
	m<85g	85≤m<150g	m≥150 个
导热胶粘接	√		



安装方式	质量		
	m<85g	85≤m<150g	m≥150 个
PUSH PIN 扣具	√		
弹簧+螺钉结构		√	√
专用金属扣具（非优选）	√	√	√
塑料卡座（非优选）	√		

3.3 电路热设计参考

3.3.1 原理图

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

单板为外接设备供电的电源（例如 SD 卡、USB 等），设计中可保留，不用时可以关断该功能。单板的主要 IC 必须支持 Power Down 功能。

闲置模块低功耗配置

在 Hi3521 产品形态应用中，很多模块（VO、USB、SATA 等）如果不使用，此时应当将这些模块配置为 Power Down 模式或者默认状态。



注意

为了降低功耗，请在软件中打开主芯片的时钟门控功能。

3.3.2 PCB

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3521 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。



走线

走线热设计建议如下：

- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率；
- Hi3521 的 1.0V/1.5V (1.8V) /3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。