

32 位微控制器

KF32A146

数据手册

芯片特征

● CPU

32 位高性能 KungFu32 内核；
工作频率最高为 72MHz，可软件调节；
基于 16 位/32 位混合指令的高效指令集；
3 级流水线；
32×32 单周期乘法，32÷32 硬件除法；
支持中断优先级处理，实现自动中断堆栈；
13 个 32 位通用寄存器 R0~R12；
链接寄存器（R13）；
堆栈指针寄存器（R14）；
程序计数器（R15）；
24 位系统节拍定时器；

● 存储器

最高 256KByte FLASH，带 ECC 校验；
最高 48KByte RAM，带 ECC 校验；
2 个 1KByte 双端口 RAM，带 ECC 校验；
16KByte 引导 ROM；
FLASH 可经受 100 000 次写操作；

● 特殊功能

内嵌上电复位电路；
低电压检测及低电压复位；
可编程电压检测；
硬件双看门狗；
6 种时钟源，3 种时钟信号选择；
支持两线串行编程/在线调试；

● I/O 口配置

LQFP48 封装有 43 个通用 I/O；
LQFP64 封装有 58 个通用 I/O；
支持输入输出设置；
支持内置上拉/下拉功能；
支持推挽输出和开漏输出模式；
支持数字/模拟引脚设置；
支持引脚功能重映射；
施密特电平输入；
支持外部引脚不可屏蔽中断；

● 定时器/计数器

定时器 5/6：16 位高级定时器，定时器 5/6
支持 ECCP5；
定时器 1/2/3/4/18/19：16 位通用定时器，分

别支持 CCP1/2/3/4/18/19；

定时器 0：16 位低功耗通用定时器，支持 CCP0；

定时器 21：32 位通用定时器，支持 CCP21；

定时器 14：16 位基本定时器；

定时器 7：用于 QEI0；

● 其它外设

2 个 7 通道 DMA；

2 个 SPI 总线模块（兼容 I2S）；

2 个 I2C 总线模块（兼容 SMBUS/PMBUS）；

3 个 USART 模块，1 个低功耗 USART（均兼容 7816/LIN/IRDA 功能）；

1 个 CAN 模块；

1 个 CANFD 模块；

1 个 CFGL 可配置逻辑单元模块；

1 个 FlexMUX 触发选择模块；

1 个 ECFGL 增强型可配置逻辑模块；

1 个 FDC 可编程延时模块；

1 个独立的 RTC（万年历）；

1 个 12 位 ADC 模块；

1 个 12 位 DAC 模块；

4 个 CMP 比较器模块；

1 个硬件 CRC32 模块；

1 个 AES 加/解密模块；

1 个 RNG 随机数生成模块；

● 功耗管理

5 种功耗模式：正常运行模式、普通休眠模式、停止模式、待机模式、关断模式；

● 工作条件

工作电压：2.7V~5.5V；

工作温度范围：-40°C~+125°C；

目 录

芯片特征.....	2
目 录.....	3
1 芯片资源.....	6
1.1 产品订购信息.....	6
1.2 资源表.....	7
2 系统概述.....	9
2.1 系统概述.....	9
2.2 指令集.....	9
2.3 在线编程.....	10
2.3.1 ISP 模式.....	10
2.3.2 DPI 模式.....	10
2.4 系统框图.....	11
2.5 芯片引脚图.....	12
2.5.1 LQFP48.....	12
2.5.2 LQFP64.....	13
2.6 电源引脚说明.....	14
3 振荡器 (OSC)	15
3.1 概述.....	15
3.2 振荡器结构框图.....	16
4 I/O 端口介绍.....	17
4.1 概述.....	17
4.2 引脚重映射说明 (数字功能)	18
4.3 引脚重映射说明 (模拟功能)	21
4.4 引脚重映射表 低功耗外设功能重映射.....	23
4.5 引脚重映射表 外部唤醒引脚、侵入检测和 IONMI.....	24
4.6 FlexRM 模块.....	24
4.7 IONMI 控制器.....	24
5 资源介绍.....	25
5.1 DMA.....	25
5.2 节拍定时器 (SYSTICK)	25
5.3 基本定时/计数器(T14).....	25
5.4 通用定时/计数器(T0/1/2/3/4/18/19/21).....	26
5.5 高级定时/计数器 (T5/T6)	26
5.6 通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4/18/19/21)	26
5.7 增强型捕捉/比较/PWM 模块(ECCP5).....	27

5.8 增强型脉宽调制模块 (EPWM11/12/13/16)	27
5.9 正交编码脉冲电路 (QEIO)	27
5.10 模数转换模块 (A/D)	28
5.11 数模转换器模块 (D/A)	28
5.12 模拟比较器模块 (CMP)	29
5.13 通用全/半双工收发器 (USART)	29
5.14 串行外设接口 (SPI)	29
5.15 内部集成电路接口 (I2C)	30
5.16 实时时钟 (RTC)	30
5.17 控制器局域网总线 (CAN)	30
5.18 增强型控制器局域网总线 (CANFD)	31
5.19 独立看门狗 (IWDG)	31
5.20 窗口看门狗 (WWDG)	31
5.21 外围看门狗 (EWDG)	32
5.22 CFGL 模块 (CFGL)	32
5.23 增强型可配置逻辑单元 (ECFGL)	33
5.24 触发选择模块 (FlexMUX)	33
5.25 延时控制器模块 (FDC)	33
5.26 复位 (RESET)	33
5.27 外设模块时钟使能模块 (CLK_EN)	34
5.28 备份域 (BKP)	34
5.29 循环冗余校验单元 (CRC)	34
5.30 AES 加密模块 (AES)	34
5.31 随机数生成模块 (RNG)	34
6 电气特性	36
6.1 概述.....	36
6.1.1 最大值和最小值说明.....	36
6.1.2 典型值.....	36
6.2 最大承受范围.....	36
6.3 运行条件.....	38
6.3.1 常规运行条件.....	38
6.3.2 上电/掉电的运行条件.....	39
6.3.3 复位和电源控制模块特性 BOR, PVD.....	39
6.3.4 内核电源 VREG.....	40
6.4 时钟源特性.....	41
6.4.1 HSE.....	41
6.4.2 LSE.....	41
6.4.3 HSI.....	41
6.4.4 LP4M.....	42
6.4.5 LSI.....	42
6.4.6 PLL.....	42
6.5 IO 端口特性.....	43
6.5.1 静态特性.....	43

6.5.2 IO 输出特性.....	43
6.5.3 IO AC 特性.....	43
6.5.4 NRST 管脚特性.....	44
6.5.5 外部中断特性.....	44
6.6 外设.....	45
6.6.1 ADC 12BIT 特性.....	45
6.6.2 DAC 12 BIT 转换特性.....	46
6.6.3 电压参考 VREFREG 特性.....	48
6.6.4 比较器特性.....	48
6.7 功耗特性.....	49
6.7.1 程序运行在 FLASH 时的静态功耗特性.....	49
6.7.2 程序运行在 SRAM 时的静态功耗特性.....	49
6.7.3 休眠功耗特性.....	50
6.7.4 低功耗模式特性.....	50
7 封装信息.....	51
7.1 LQFP48 封装.....	51
7.2 LQFP64 封装.....	52
8 KF32 产品标识体系.....	53
9 RoHS 认证.....	54
10 声明及销售网络.....	55
11 版本更新记录.....	56

1 芯片资源

1.1 产品订购信息

表 1-1 产品订购信息表

型号	订货号	封装	GPIO	FLASH(KB)	RAM(KB)	CACHE(KB)	频率(MHz)	16 位定时器			32 位定时器		ECCP	EPWM	ECAP	QE1	EXIC	SPI	I2C	USART	CAN	CANFD	FDC	12bit ADC	12bit DAC	CMP	RTC	CFGL	ECFGL	FlexMUX	CRC	AES128	RNG	工作电压(V)
								基本	通用	高级	通用	高级																						
KF32A146	KF32A146IQS	LQFP48	43	128	32	1	72	1	6+1	2	1	N	1x8ch	4x3ch	N	1	N	2	2	1+3	1	1	1	1	1	4	Y	Y	Y	Y	Y	Y	Y	2.7~5.5
	KF32A146KQS	LQFP48	43	256	48	1	72	1	6+1	2	1	N	1x8ch	4x3ch	N	1	N	2	2	1+3	1	1	1	1	1	4	Y	Y	Y	Y	Y	Y	Y	2.7~5.5
	KF32A146IQT	LQFP64	58	128	48	1	72	1	6+1	2	1	N	1x8ch	4x3ch	N	1	N	2	2	1+3	1	1	1	1	1	4	Y	Y	Y	Y	Y	Y	Y	2.7~5.5
	KF32A146KQT	LQFP64	58	256	48	1	72	1	6+1	2	1	N	1x8ch	4x3ch	N	1	N	2	2	1+3	1	1	1	1	1	4	Y	Y	Y	Y	Y	Y	Y	2.7~5.5

1.2 资源表

表 1-2 KF32A146 资源表

型号		KF32A146			
订货号		KF32A146IQS	KF32A146KQS	KF32A146IQT	KF32A146KQT
封装		LQFP48		LQFP64	
GPIO		43		58	
FLASH		128 Kbyte 带 ECC 校验	256 Kbyte 带 ECC 校验	128 Kbyte 带 ECC 校验	256 Kbyte 带 ECC 校验
RAM		32Kbyte, 带 ECC 校验	48Kbyte, 带 ECC 校验		
ROM		16Kbyte			
系统频率		72MHz			
16 位 定时器	高级	2 个高级定时器 T5/T6 支持 1 个 ECCP5 ^[1]			
	通用	7 个通用定时器 (T0/1/2/3/4/18/19), 支持 7 个通用 CCP (CCP0/1/2/3/4/5/18/19), 其中 T0 为低功耗定时器, 支持低功耗 CCP0			
	基本	1 个基本定时器 (T14)			
32 位 通用定时器	通用	1 个通用定时器 (T21), 支持 1 个通用 CCP (CCP21)			
	高级	4 个高级定时器 (T11/T12/T13/T16), 分别支持 EPWM11/12/13/16 ^[2]			
QEI		QEIO, 支持低功耗			
CMP		CMP0/1/2/3			
DAC		DAC0			
ADC		ADC0*(36ch)		ADC0*(48ch)	
FDC		FDC0			
USART		USART0/1/2/5, 其中 USART0 支持低功耗			
I2C		I2C0/2			
SPI		SPI0/1			
CAN		CAN4			
CANFD		CANFD6			
RTC		Y			
DMA		DMA0/1			
CFGL		Y			
ECFGL		Y			
FlexMUX		Y			

^[1] ECCP5 是以 T5/T6 为时基, 捕捉、比较模式下 CH1/2/3 以 T5 为时基, CH4 以 T6 为时基, PWM 模式下 CH1/2/3 以 T5 为时基, CH4 以 T5 或 T6 为时基。

^[2] LQFP64 封装的 EPWM12 没有 C 和 CLK 对应的功能引脚, EPWM13 没有 CLK 对应的功能引脚。LQFP100 封装的 EPWM12 没有 CLK 对应的功能引脚。

CRC	Y
AES128	Y
RNG	Y
内部高频振荡器	16MHz
内部低频振荡器	32KHz
外部高频时钟	4~32MHz
外部低频时钟	32.768KHz
内部参考	1.5/2/3/4V
指令系统	V0
工作电压	2.7V~5.5V
工作温度	工作温度范围：-40~+125°C

2 系统概述

2.1 系统概述

KF32A146 系列单片机是基于 KF32 内核架构开发的单片机。KF32 为 32 位三级流水线结构的高性能处理器内核，KF32 内核具有以下特点：

- 三级流水线结构
- 基于 16 位/32 位混合指令的高效指令集
- 支持 13 个 32 位通用寄存器（R0~R12），1 个链接寄存器（R13），1 个堆栈指针寄存器（R14），1 个程序计数器（R15）
- 支持 32x32 单周期硬件乘法
- 支持 32/32 硬件除法
- 支持 8/16/32 位数据访存操作，支持 8/16/32/64 位数据处理
- 支持加减移位和逻辑运算
- 支持相对/绝对跳转，支持条件跳转
- 具有统一的存储空间，32 位地址位宽，支持 4GB 存储空间
- 支持最多 64+16 个中断请求和 16 级中断优先级设置
- 支持多种休眠模式
- 支持 24 位系统节拍定时器
- 提供了可编程存储器访问权限控制
- 支持多种操作系统（OS）特性

2.2 指令集

KF32A146 系列单片机拥有基于 16 位/32 位混合指令的高效指令集，拥有多种操作模式。

2.3 在线编程

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时候，任何地点，对电路板上的单片机程序进行更新。

可以通过下列方式实现对单片机的编程：

- 调用 ROM 内的 ISP 命令
- DPI 模式进行调试或编程

2.3.1 ISP 模式

在 ROM 启动模式中可以直接通过串口实现对芯片的编程。该模式接口连接如下图所示：

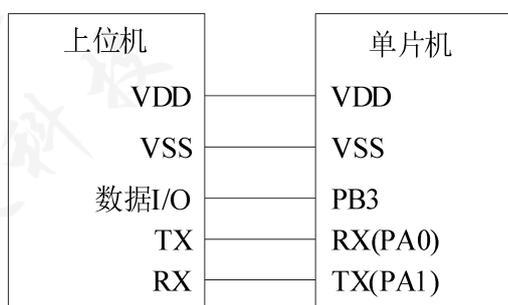


图 2-1 ISP 模式编程接口

2.3.2 DPI 模式

DPI (Debug/Program Interface) 模式通过 KF32DP 编程器对芯片进行调试或编程。该模式接口连接如下图所示：



图 2-2 DPI 模式编程接口

2.4 系统框图

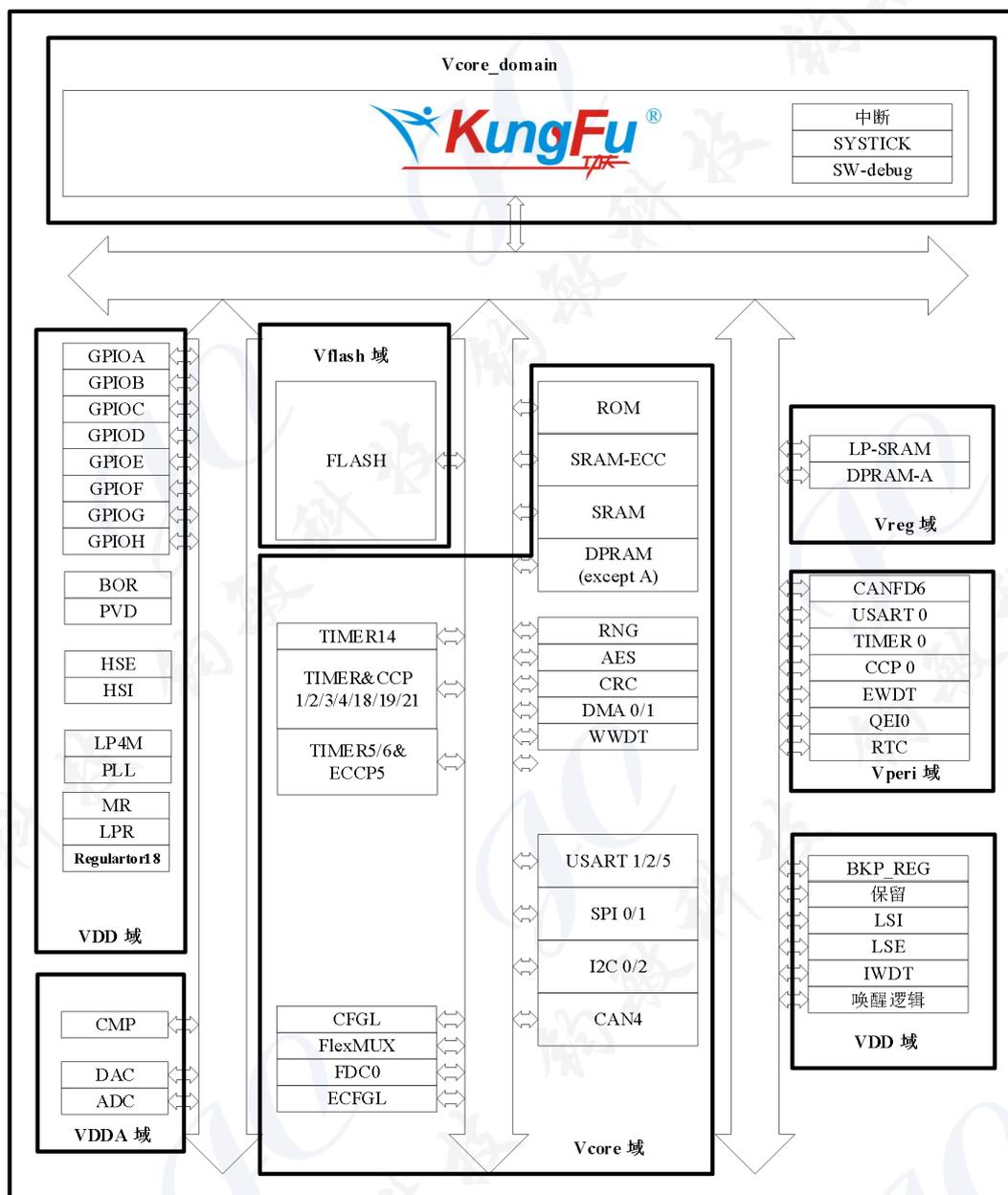


图 2-3 系统结构框图

2.5 芯片引脚图

2.5.1 LQFP48

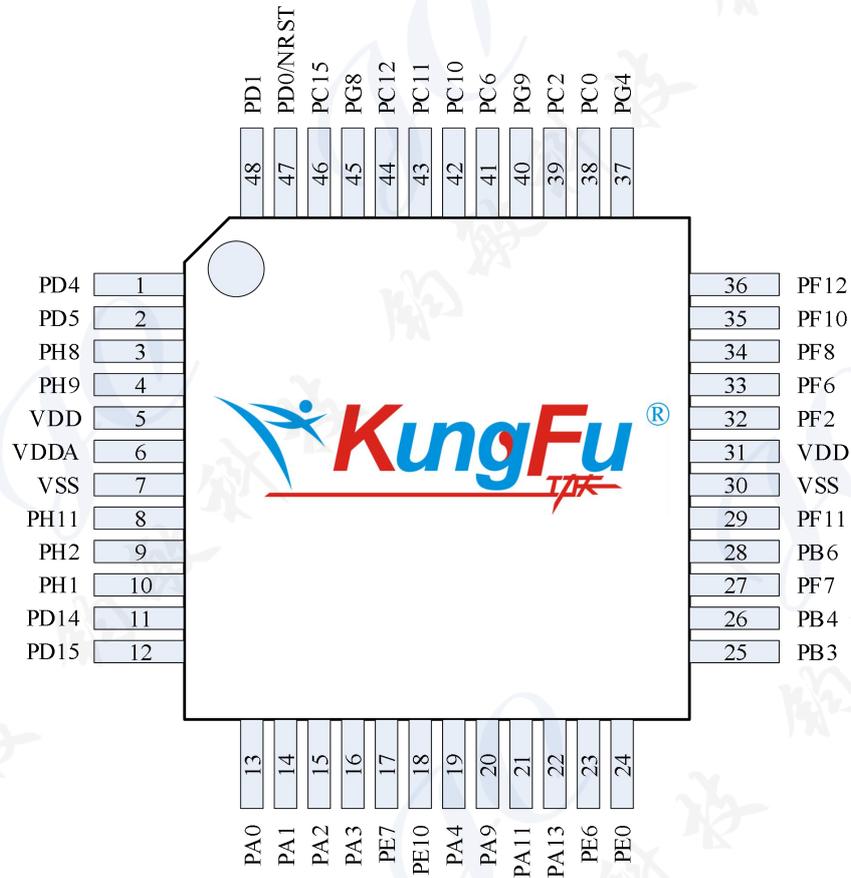


图 2-4 LQFP48

2.5.2 LQFP64

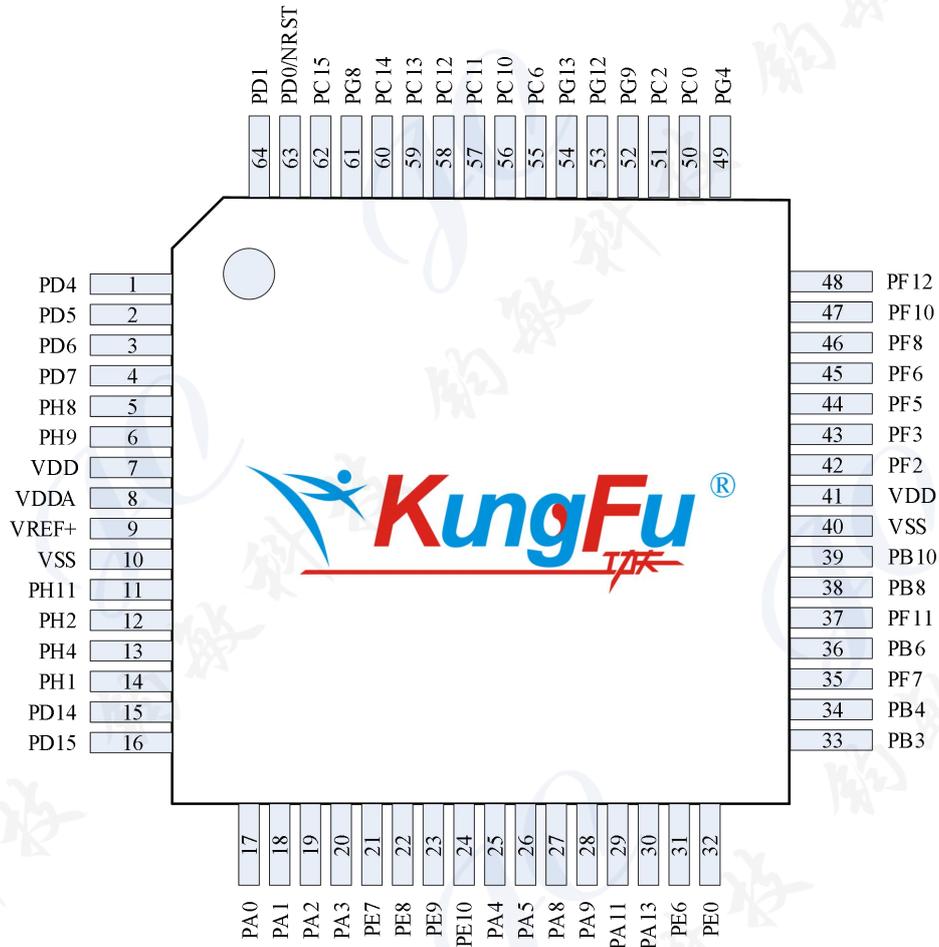
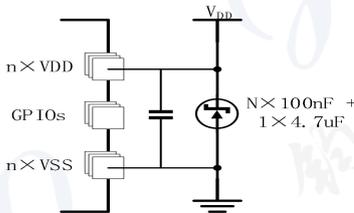
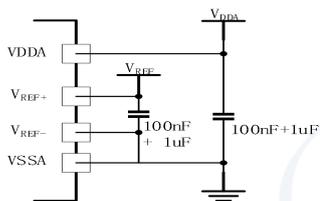
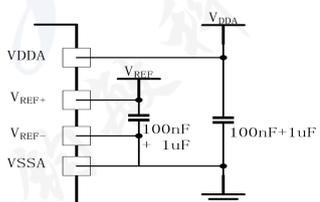


图 2-5 LQFP64

2.6 电源引脚说明

表 2-1 电源引脚连接说明

引脚名称	功能说明
VDD/VSS	<p>供电电源/地引脚，所有 VDD、VSS 须在外围分别连接，需要接 4.7uF 电容和稳压二极管，靠近 VDD/VSS；每组电源地之间，还需要接一个 100nF 的电容，方式参考下图。</p>  <p style="text-align: center;">$N \times 100\text{nF} + 1 \times 4.7\mu\text{F}$</p>
VDDA/VSSA	<p>模拟电源/地引脚。VDDA 须和 VDD 外围连接，VSSA 须和 VSS 外围连接，需要接 1uF+100nF 电容，靠近 VDDA/VSSA。 方式参考下图。 注意： 1、部分封装没有 VSSA，则内部 VSSA 与 VSS 相连。 2、部分封装没有 VDDA，则内部 VDDA 与 VDD 相连。</p>  <p style="text-align: center;">$100\text{nF} + 1\mu\text{F}$</p>
VREF+/VREF-	<p>AD 参考电源/地脚，使用 VREF-引脚功能时需要接地，需要接 1uF+100nF 电容，靠近 VREF+/-；方式参考下图。 注意： 1、使用内部参考电压模块时，VREF+/VREF-将被占用；因此，当使用外部参考电压时，请勿使能内部参考电压模块。 2、部分封装没有 VREF-，则内部与 VSS 相连。 3、部分封装没有 VREF+，则内部与 VDD 相连</p>  <p style="text-align: center;">$100\text{nF} + 1\mu\text{F}$</p>

3 振荡器 (OSC)

3.1 概述

单片机提供 6 种基础时钟振荡器选择, 分别为内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、内部的 PLL 和低功耗 4M 时钟 LP4M。内部的 PLL 可以将内部高频 (INTHF) 和外部高频 (EXTHF) 的输出时钟倍频, 提供更高频率的工作时钟选择, 作为系统和外设工作需要的基础时钟。通过寄存器配置, 可以从 6 种振荡器中得到 3 种系统和外设运行时需要的时钟源: 系统主时钟 (SCLK)、低频外设时钟 (LFCLK) 和高频外设时钟 (HFCLK) 满足不同的需要。此外, 内部低频振荡器还可以直接用于看门狗定时器、时钟故障检测或是其他低功耗外设的时钟。

系统复位后, INTHF 振荡器被选为系统时钟, 当系统时钟需要切换时, 只有当目标时钟源准备就绪 (时钟源稳定, 延迟标志位置 1), 才会发生时钟源的切换。

振荡器模块具有以下特征:

- 提供 6 种振荡源选择
 - 内部高频振荡器 INTHF (16MHz);
 - 内部低频振荡器 INTLF (32KHz);
 - 外接高频振荡器 EXTHF (4~32MHz);
 - 外部低频振荡器 EXTLF (32.768KHz 的晶振);
 - 内部 PLL (最高 400MHz)
 - 内部低功耗振荡器 LP4M (4MHz)
- 可产生 3 种时钟源
 - 系统主时钟 SCLK
由内部高频 (INTHF)、内部低频 (INTLF)、外部高频 (EXTHF)、外部低频 (EXTLF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 高频外设时钟 HFCLK
由内部高频 (INTHF)、外部高频 (EXTHF)、PLL 倍频或内部 4M 振荡器 (LP4M) 产生。
 - 低频外设时钟 LFCLK
由内部低频 (INTLF) 或外部低频 (EXTLF) 产生。
- 外部时钟启动/切换保障: 当使能外部时钟时, 会有 EHFIF/ELFIF 位指示外部时钟是否稳定, 通过判断标志位检测当前外部时钟状态。
- 带时钟同步功能: 切换系统时钟时, SCLK 提供硬件同步避免发生时间竞争。
- 带外部时钟故障检测功能: 使能该功能, 直接或间接使用外部时钟, 当系统时钟发生故障后, 会自动切换至内部高频时钟源, 并产生时钟故障中断信号。

3.2 振荡器结构框图

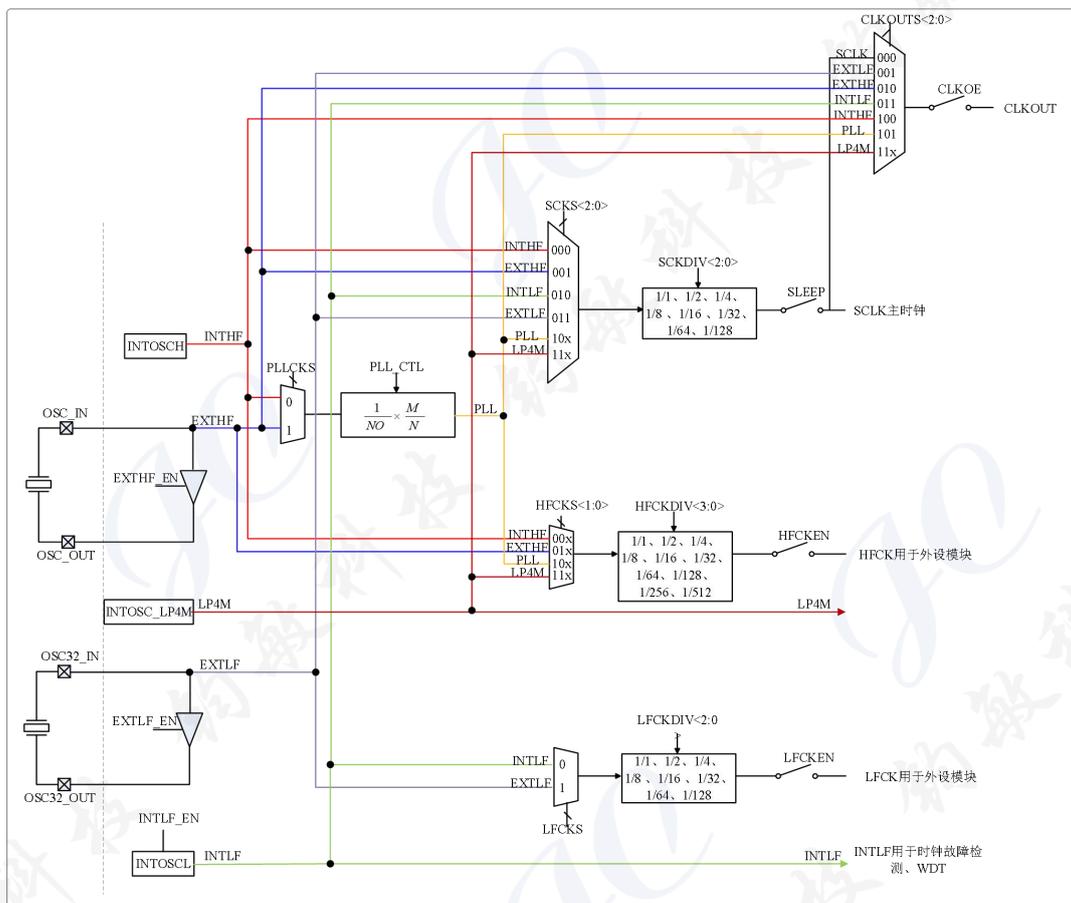


图 3-1 振荡器结构框图

注 1：内部低频可直接用于时钟故障检测、看门狗、上电复位延迟定时器（PWRT）以及低功耗外设。

注 2：当任意时钟源选择 EXTHF 作为时钟源或软件使能时，需要 EXTHF_EN 使能。

注 3：当任意时钟源选择 EXTLF 作为时钟源或软件使能时，需要 EXTLF_EN 使能。

4 I/O 端口介绍

4.1 概述

单片机包括 PA 口、PB 口、PC 口、PD 口、PE 口、PF 口、PG 口、PH 口和电源等特殊引脚。

端口特性如下：

- 数字输入
- 数字输出
 - 推挽输出
 - 开漏输出
- 模拟口
- 独立端口上/下拉控制
- 支持 IONMI 中断

4.2 引脚重映射说明（数字功能）

简要说明：对引脚重映射的配置使用，可参照用户手册第四章 GPIOx_RMP_MSB Px 重映射端口模块选择寄存器使用方法，来选择需要的配置进行使用。

表 4-1 引脚重映射表

KF32A146		封装管脚	默认映射	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
64	48	GPIO																
17	13	PA0	-	-	ECCP5CH3L	T18CK	-	-	-	-	FlexRM_CH0	-	CCP2CH3	-	-	-	-	-
18	14	PA1	-	CLKOUT	ECCP5CH2L	CCP18CH4	-	SPI0_SS0/ I2S0_WS0	SPI0_SS1/ I2S0_WS1	-	FlexRM_CH1	-	CCP2CH2	-	-	-	-	FlexMUX_IN0
19	15	PA2	-	-	ECCP5CH1L	CCP18CH3	-	SPI0_SDO/ I2S0_SD	-	-	-	-	CCP2CH1	-	-	-	-	FlexMUX_IN1
20	16	PA3	-	-	ECCP5CH4H	CCP18CH2	USART0_TX0	-	-	CAN6_TX	-	-	CCP1CH4	-	CFGL1_IN0	-	-	-
21	17	PE7	-	-	-	CCP1CH3	USART0_RX	-	-	CAN6_RX	-	-	-	-	-	-	-	-
22	-	PE8	-	-	-	-	USART2_TX0	-	-	-	-	-	-	-	CCP19_BKIN	-	CCP18_BKIN	-
23	-	PE9	-	-	-	-	USART2_RX	-	I2C0_SCL	-	-	-	-	-	CCP19_BKIN	-	CCP18_BKIN	-
24	18	PE10	-	-	-	CCP18CH1	USART2_TX1	-	-	-	-	-	-	CCP18CH4	CCP19_BKIN	T0CK	CCP18_BKIN	FlexMUX_IN7
25	19	PA4	-	-	ECCP5CH3H	CCP18CH1	USART0_RX	-	CCP4CH4	CAN6_RX	-	-	CCP1CH2	-	CFGL1_IN1	-	-	FlexMUX_IN4
26	-	PA5	-	-	T5CK	INDEX0	USART2_TX0	-	CCP4CH3	-	-	-	CCP1CH1	-	CFGL1_IN2	-	-	FlexMUX_IN5
27	-	PA8	-	-	ECCP5CH3H	CCP1CH3	USART2_RTS	-	-	CAN4_TX	-	CCP4_BKIN	-	CCP3_BKIN	FLT11	CCP19CH3	USART5_RX	-
28	20	PA9	-	-	ECCP5CH2H	CCP1CH2	USART2_CTS	-	-	CAN4_RX	-	CCP4_BKIN	-	CCP3_BKIN	FLT12	CCP19CH2	USART5_RTS	-
29	21	PA11	-	-	ECCP5CH2H	T19CK	-	-	-	-	-	-	EPWM16B	CCP3CH4	FLT10	-	-	FlexMUX_IN8
30	22	PA13	-	-	EPWM12B	CCP19CH3	-	-	I2C2_SCL	-	-	-	-	CCP3CH3	FLT12	-	-	FlexMUX_IN9
31	23	PE6	-	-	-	CCP19CH1	-	SPI0_SDI	-	-	-	-	QEA0	CCP3CH2	-	-	-	FlexMUX_IN2
32	24	PE0	-	-	EPWM16A	QEB0	-	-	-	-	-	SPI0_SCK/ I2S0_CK	CCP19CH4	CCP3CH1	-	-	-	FlexMUX_IN3
33	25	PB3	-	GTCK0	ECCP5CH3L	T4CK	USART0_RX	SPI0_SDO/ I2S0_SD	-	CAN6_TX	FlexRM_CH2	USART0_TX0	EPWM16_CLK	EPWM12B	EPWM11B	T0CK	-	-
34	26	PB4	-	-	EPWM11A	T1CK	USART0_RTS	SPI0_SS0/ I2S0_WS0	-	CAN6_RX	-	USART0_RX	USART1_TX0	T0CK	EPWM12A	CCP0CH4	-	-
35	27	PF7	-	-	EPWM16A	T3CK	USART1_RTS	-	EPWM13A	-	-	USART1_TX0	USART0_RTS	EPWM11A	CCP3_BKIN	CCP0CH2	CCP4_BKIN	FlexMUX_IN1
36	28	PB6	-	-	EPWM12B	T4CK	-	SPI1_SS0/ I2S1_WS0	EPWM13B	-	-	USART0_CTS	EPWM16_CLK	-	CCP3_BKIN	CCP0CH1	CCP4_BKIN	-
37	29	PF11	-	RTC_TS	CCP0CH1	CCP4CH4	USART1_RTS	-	-	-	-	-	T4CK	EPWM16A	CCP1_BKIN	CCP2_BKIN	-	-
38	-	PB8	-	-	ECCP5CH3L	T0CK	-	SPI1_SS1/ I2S1_WS1	-	-	-	USART1_CTS	-	CCP0CH2	CCP1_BKIN	CCP2_BKIN	CCP0CH2	-
39	-	PB10	-	-	ECCP5CH1L	CCP0CH3	-	SPI1_SDO/ I2S1_SD	-	-	ECCP5_BKIN	-	T1CK	CCP2CH4	CFGL2_IN0	CCP21_BKIN	USART1_TX1	-
40	30	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

KF32A146		封装管脚	默认映射	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
64	48	GPIO																
41	31	VDD	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
42	32	PF2	-	-	EPWM12A	CCP3CH2	USART0_TX0	-	I2C0_SCL	CAN4_TX	-	ECCP5_BKIN	T21CK	CCP1CH2	CFGL2_IN3	CCP21CH4	CCP21_BKIN	FlexMUX_IN0
43	-	PF3	-	-	EPWM11A	CCP3CH1	USART0_RX	-	I2C0_SDA	CAN4_RX	-	ECCP5_BKIN	EPWM11_SYNCO	CCP1CH1	-	CCP21CH3	CCP21_BKIN	FlexMUX_IN1
44	-	PF5	-	-	EPWM13A	CCP3CH3	-	-	-	-	-	ECCP5_BKIN	CCP2_BKIN	CCP1_BKIN	C2OUT	CCP21CH1	CCP21_BKIN	-
45	33	PF6	-	-	EPWM12A	CCP3CH2	-	-	-	-	FlexRM_CH5	SPI1_SS0/ I2S1_WS0	FlexRM_CH7	ECCP5CH2L	ECCP5CH1H	-	-	FlexMUX_IN4
46	34	PF8	-	-	T5CK	-	USART5_CTS	-	-	-	FlexRM_CH4	SPI1_SDO/ I2S1_SD	FlexRM_CH6	ECCP5CH1L	-	-	-	FlexMUX_IN5
47	35	PF10	-	-	-	CCP21CH2	USART0_TX0	-	I2C0_SCL	-	-	EWDT_IN	FlexRM_CH5	-	-	-	-	-
48	36	PF12	-	-	-	CCP21CH1	USART0_RX	-	I2C0_SDA	-	-	EWDT_OUT	FlexRM_CH4	-	-	-	-	-
49	37	PG4	-	-	EPWM13A	CCP3CH3	USART0_RTS	-	I2C0_SDA	-	FlexRM_CH3	QEA0	QEB0	CCP3CH2	I2C2_SDA	CCP21CH4	-	CH1_TROUT
50	38	PC0	-	-	EPWM13A	CCP18CH2	USART0_CTS	SPI0_SS0/ I2S0_WS0	I2C0_SCL	-	FlexRM_CH2	-	-	-	I2C2_SCL	CCP21CH2	-	CH4_TROUT
51	39	PC2	-	-	EPWM13B	CCP4CH3	USART1_CTS	SPI0_SDO/ I2S0_SD	-	-	-	USART1_TX0	QEA0	-	-	CCP21CH4	-	-
52	40	PG9	-	-	-	-	-	-	-	-	-	USART1_RX	QEB0	-	-	CCP21CH3	-	-
53	-	PG12	-	-	ECCP5CH4L	-	USART1_RTS	SPI0_SS2/ I2S0_WS2	-	-	-	-	-	ECCP5CH2H	-	-	-	-
54	-	PG13	-	-	ECCP5CH3L	T0CK	USART1_CTS	SPI0_SDO/ I2S0_SD	-	-	CAN6_TX	-	-	ECCP5CH2L	-	-	-	-
55	41	PC6	-	RTC_TS	EPWM12B	-	USART2_TX1	I2S0_MCK	-	-	CAN6_RX	CCP4CH4	EPWM13_SYNCO	ECCP5CH2H	-	-	ECCP5CH3H	-
56	42	PC10	-	RTC_TS	EPWM12CAP	CCP4CH3	-	-	-	CAN4_TX	-	-	-	-	CFGL2_IN1	-	-	-
57	43	PC11	-	-	EPWM13CAP	CCP4CH2	-	-	-	CAN4_RX	FlexRM_CH1	-	-	-	-	-	-	-
58	44	PC12	-	-	-	CCP4CH1	USART2_TX0	-	-	-	FlexRM_CH0	-	-	-	-	-	-	-
59	-	PC13	-	-	-	-	USART2_RX	-	I2C0_SMBALT	-	-	SPI1_SS0/ I2S1_WS0	SPI0_SDI	-	CCP3_BKIN	CCP4_BKIN	-	-
60	-	PC14	-	GTCK1	-	T4CK	-	SPI1_SDO/ I2S1_SD	-	-	-	-	SPI0_SCK/ I2S0_CK	-	CCP3_BKIN	CCP4_BKIN	-	-
61	45	PG8	-	RTC_OUT	-	CCP18CH1	-	-	-	-	FlexRM_CH11	-	-	-	-	-	-	-
62	46	PC15	DPI_CLK	RTC_OUT	-	CCP3CH1	-	-	-	-	FlexRM_CH10	QEB0	EWDT_IN	-	-	-	-	-
63	47	PD0/NRST	-	GTCK1	-	T3CK	-	-	-	-	FlexRM_CH9	-	-	-	-	-	-	-
64	48	PD1	DPI_DAT	-	-	INDEX0	-	-	-	-	FlexRM_CH8	-	EWDT_OUT	-	C1OUT	-	-	-
1	1	PD4	-	-	ECCP5CH4H	CCP1CH2	-	SPI1_SDI	-	CAN6_RX	FlexRM_CH1	-	ECCP5CH2H	CCP1CH4	CCP18CH2	CCP18CH3	-	CH3_TROUT
2	2	PD5	-	-	ECCP5CH3H	CCP1CH1	-	SPI1_SCK/ I2S1_CK	-	CAN6_TX	FlexRM_CH0	-	ECCP5CH1H	CCP1CH3	CCP18CH1	CCP18CH4	-	CH2_TROUT
3	-	PD6	-	-	ECCP5CH2L	CCP2CH2	-	-	-	-	FlexRM_CH5	-	T0CK	-	CCP19CH2	CCP19CH1	-	CH2_TROUT
4	-	PD7	-	CLKOUT	ECCP5CH1L	CCP2CH1	-	-	-	-	FlexRM_CH4	-	EPWM16_SYNCO	-	CCP19CH1	CCP19CH2	-	CH1_TROUT

KF32A146		封装管脚	默认映射	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
64	48	GPIO																
5	3	PH8	-	GTCK2	T5CK	CCP1CH4	-	-	-	CAN6_TX	FlexRM_CH7	EWDT_IN	-	-	CCP18CH4	CCP19CH4	-	-
6	4	PH9	-	-	ECCP5CH3H	CCP1CH3	-	-	-	CAN6_RX	FlexRM_CH6	EWDT_OUT	-	-	CCP18CH3	CCP19CH1	-	-
7	5	VDD	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
8	6	VDDA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
9	-	VREF+	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
10	7	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
11	8	PH11	-	-	T5CK	T21CK	-	-	I2C0_SCL	-	-	-	-	-	-	-	-	-
12	9	PH2	-	-	T6CK	CCP21CH4	USART2_RTS	-	I2C0_SDA	-	-	-	-	-	C2OUT	CCP1CH2	-	FlexMUX_IN6
13	-	PH4	-	-	EPWM13_Tz1	CCP21CH2	USART2_TX0	-	USART2_RTS	EPWM16_Tz1	CCP19_BKIN	-	CCP2_BKIN	CCP1_BKIN	C0OUT	CCP1CH4	CCP18_BKIN	FlexMUX_IN6
14	10	PH1	-	-	-	-	-	I2S1_MCK	-	-	-	-	SPI0_SDI	CCP1CH2	-	CCP1CH1	-	-
15	11	PD14	-	-	ECCP5CH4L	CCP1CH1	USART2_CTS	I2S1_MCK	-	-	FlexRM_CH3	-	SPI0_SCK/ I2S0_CK	-	-	-	-	-
16	12	PD15	-	CLKOUT	ECCP5CH2L	CCP2CH2	USART2_CTS	-	-	-	-	-	-	-	CCP2CH4	-	-	-

4.3 引脚重映射说明（模拟功能）

表 4-2 模拟引脚映射

KF32A146		封装管脚	电源	振荡器	ADC ^[1]	DAC	CMP
64	48	GPIO					
17	13	PA0	-	-	-	DAC0_OUT	CxIN+
18	14	PA1	-	-	ADC_CH66	-	CxIN-
19	15	PA2	-	-	-	-	-
20	16	PA3	-	-	ADC_CH44	-	C0IN+/-
21	17	PE7	-	-	ADC_CH67	-	C0IN+/-
22	-	PE8	-	-	-	-	C3IN+
23	-	PE9	-	-	-	-	C3IN-
24	18	PE10	-	-	-	-	-
25	19	PA4	-	-	ADC_CH45	DAC0_OUT1	C0IN+/-
26	-	PA5	-	-	ADC_CH68	DAC0_REF	C0IN+/-
27	-	PA8	-	-	ADC_CH69	-	-
28	20	PA9	-	-	ADC_CH70	-	CxIN+
29	21	PA11	-	-	ADC_CH56	-	-
30	22	PA13	-	-	ADC_CH72	-	-
31	23	PE6	-	-	ADC_CH58	-	-
32	24	PE0	-	-	-	-	-
33	25	PB3	-	-	ADC_CH55	-	CxIN-
34	26	PB4	-	-	ADC_CH74	-	-
35	27	PF7	-	-	ADC_CH14	-	-
36	28	PB6	-	-	ADC_CH15	-	-
37	29	PF11	-	-	ADC_CH75	-	-
38	-	PB8	-	-	ADC_CH76	-	-
39	-	PB10	-	-	ADC_CH17	-	C0IN-
40	30	VSS	VSS	-	-	-	-
41	31	VDD	VDD	-	-	-	-
42	32	PF2	-	-	ADC_CH80	-	-
43	-	PF3	-	-	ADC_CH81	-	-
44	-	PF5	-	-	ADC_CH21	-	-
45	33	PF6	-	-	ADC_CH22	-	C0_1
46	34	PF8	-	-	ADC_CH83	-	-
47	35	PF10	-	-	ADC_CH85	-	C0_2
48	36	PF12	-	-	ADC_CH86	-	C0_3
49	37	PG4	-	-	ADC_CH27	-	C3IN+/-
50	38	PC0	-	-	ADC_CH29	-	C2IN+/-
51	39	PC2	-	-	ADC_CH31	-	-
52	40	PG9	-	-	ADC_CH97	-	-

KF32A146		封装管脚	电源	振荡器	ADC ^[1]	DAC	CMP
64	48	GPIO					
53	-	PG12	-	-	ADC_CH90	-	-
54	-	PG13	-	-	ADC_CH91	-	-
55	41	PC6	-	-	ADC_CH35	-	C3IN-
56	42	PC10	-	-	ADC_CH40	-	-
57	43	PC11	-	-	ADC_CH41	-	C0IN+
58	44	PC12	-	-	ADC_CH42	-	C0IN-
59	-	PC13	-	-	ADC_CH43	-	-
60	-	PC14	-	-	ADC_CH0	-	-
61	45	PG8	-	-	ADC_CH92	-	-
62	46	PC15	-	-	ADC_CH100	-	C1IN+/-
63	47	PD0/NRST	-	-	ADC_CH93	-	-
64	48	PD1	-	-	ADC_CH102	-	-
1	1	PD4	-	-	ADC_CH2	-	C2IN-
2	2	PD5	-	-	ADC_CH3	-	C2IN+
3	-	PD6	-	-	ADC_CH95	-	C1IN-
4	-	PD7	-	-	ADC_CH4	-	C1IN+
5	3	PH8	-	OSC32_IN	ADC_CH6	-	-
6	4	PH9	-	OSC32_OUT	ADC_CH7	-	-
7	5	VDD	VDD	-	-	-	-
8	6	VDDA	VDDA	-	-	-	-
9	-	VREF+	VREF+	-	-	-	-
10	7	VSS	VSS	-	-	-	-
11	8	PH11	-	OSC_IN	-	-	-
12	9	PH2	-	OSC_OUT	-	-	-
13	-	PH4	-	-	-	-	-
14	10	PH1	-	-	-	-	-
15	11	PD14	-	-	ADC_CH11	-	CxIN+
16	12	PD15	-	-	ADC_CH12	-	CxIN-

^[1] ADC 参考引脚复用信息

VREF+与 PC6 引脚复用, VREF-无复用, 在内部直接与地 (VSSA) 引脚相连;

4.4 引脚重映射表 低功耗外设功能重映射

低功耗外设可以工作在正常运行模式、低功耗运行模式、普通休眠模式、低功耗休眠模式、停止模式（除了待机模式和关断模式）。低功耗外设包括：USART0、CCP0、CAN6、RTC、QEIO。低功耗引脚分配如下表，当需要在低功耗模式下正常工作时，需要将 PM_CTL2 寄存器的 GPIOALPEN 置 1 以让 GPIOA 在低功耗模式下不复位。

表 4-3 低功耗专用引脚分配

引脚	功能
PA0	USART0_RX
PA1	USART0_TX0
PA2	USART0_TX1
PA3	USART0_CLK
PA4	QEIOA
PA5	USART0_RTS
PA8	CCP0CH1
PA9	CCP0CH2/CAN6TX
PA11	CCP0CH4/RTC_TS<0>
PA13	CAN6RX

通过 PM_CTL2 寄存器使能相应模块的低功耗功能后，硬件不会自动打开该模块的低功耗映射，需要配置 PMOD 寄存器为重映射模式，引脚重映射寄存器不需要配置。

但是部分低功耗引脚存在功能复用的情况（PA9/11），此时根据低功耗模块的优先级来自动分配低功耗引脚功能。CCP0 的优先级大于 CAN6，CCP 的优先级大于 RTC，CCP 的优先级大于 QEIO。

以 PA11 为例，当同时使能 CCP0 和 RTC 时，因为 CCP0 的优先级大于 RTC，所以 PA11 被强制分配给 CCP0 使用。其他同理。

注 1：某些小管脚封装因为封装的管脚数量少，引脚未封出，低功耗功能不可使用；

注 2：如果某些型号的芯片资源不带上面的低功耗外设，则忽略。

4.5 引脚重映射表 外部唤醒引脚、侵入检测和 IONMI

表 4-4 模拟功能引脚映射

GPIO	唤醒引脚	侵入检测引脚	IONMI
PF6	-	-	IONMI
PC0	WKUP2	-	-
PG12	VKUP5	-	-
PC6	WKUP1	-	-
PD4	WKUP3	-	-
PD6	-	TAMP3	-

4.6 FlexRM 模块

FlexRM(Flex Remap)模块是 1 个接口映射管理模块，可以将特定的 IO 口上分配给其他模块使用，FlexRM 是模块接口与 IO 口之间的桥梁。

在正常使用 USART/SPI/I2C/PWM/CAN 时，它们的接口信号直接通过各模块的接口重映射逻辑映射到 IO 口上，以实现各模块与外部的信号交互。FlexRM 的工作原理是：通过配置先将 USART/SPI/I2C/PWM/CAN 的接口映射到 FlexRM 的接口上，然后 USART/SPI/I2C/PWM/CAN 借助 FlexRM 的接口重映射逻辑与外部信号进行交互。FlexRM 主要特征包括：

- 支持 USART/SPI/I2C/PWM/CAN
- 12 个独立的子模块配置，可以自由设置成输入或输入模式

4.7 IONMI 控制器

IONMI（外部引脚不可屏蔽中断）控制器用于产生外部引脚的不可屏蔽中断，只有 PF6 引脚可产生 NMI 中断。

IONMI 控制器特性：

- 可选的滤波时钟源：SCLK 或 LFCLK
- 可配置滤波器时钟分频（1/1~1/128）
- 可配置的滤波长度（1~8 滤波时钟）
- 可配置的外部引脚中断请求模式

5 资源介绍

5.1 DMA

直接存储器访问模块(DMA)用于外设和存储器间直接数据传输,可用于 RAM 和 RAM 之间、RAM 和外设、外设和外设之间的数据传输。DMA 模块将从源地址上读取的数据写入到目标地址空间中,从而完成数据传输,而无需 CPU 的干预。

每个 DMA 模块有如下特性:

- 7 个独立可配置的通道
- 支持存储器和存储器、存储器和外设、外设和外设之间的数据传输
- 支持 8bit/16bit/32bit 数据位宽传输
- 支持自动递增的源和目标地址,支持固定的源和目标地址
- 支持循环模式
- 支持传输数据数量设置,最大为 65535
- 支持 4 级通道优先级设置
- 支持外设触发,支持软件触发
- 追踪当前的源指针和目标指针
- 追踪当前未传输的数据量

5.2 节拍定时器 (SYSTICK)

KungFu32 内核提供了一个 24 位的系统节拍定时器(System Tick Timer)。系统节拍定时器可为系统提供可编程时长的周期性中断,能工作在休眠模式下(注:深度休眠下不能工作)。系统节拍定时器有专用的中断向量。

系统节拍定时器为递减计数模式,当系统节拍定时器的值为 0 时会产生一个中断,同时系统节拍定时器重载值寄存器(ST_RELOAD)的值会装入系统节拍定时器中。对系统节拍定时器重载值寄存器(ST_RELOAD)进行设置可以修改产生中断的间隔时长。在使用节拍定时器时,使能前要先向 ST_CV 系统节拍定时器当前值寄存器写任意值,使 COUNTZERO 位及 ST_CV 清零,保证 ST_RELOAD 的值加载到 ST_CV 中。

向 ST_RELOAD 写 0 会使计数器在下一个计数周期禁止。

通过使能 INT_EIE0 寄存器的 SYSTICKIE 位可以使能系统节拍定时器中断,当定时器由 1 变 0 时可以将 INT_EIF0 中的 SYSTICKIF 标志位置 1。

5.3 基本定时/计数器(T14)

T_x(x=14)是一个 16 位的定时/计数器,它有定时和计数两种工作模式,支持 3 种计数方式:向上计数、向下计数和向上向下计数方式。根据不同的模式,计数会产生溢出,将 T_x 溢出中断标志 TXIF 位置 1。

基本定时器主要功能包括:

- 16 位自动重载计数器
- 16 位可编程预分频器,用于对输入的时钟按系数为 1~65536 之间任意数值分频
- 在更新事件以及触发事件时产生 DMA 请求

- 基本定时器可以用于触发 AD 和 DA 模块

5.4 通用定时/计数器(T0/1/2/3/4/18/19/21)

Tx(x=0,1,2,3,4,18,19 是 16 位的定时/计数器, Tx(x=21)是 32 位的定时/计数器。它们除位宽不一样外, 其他功能以及实现方式都是一样的。其中 T0 可作为低功耗定时器使用。

通用定时/计数器有定时和计数 2 种工作模式, 支持 3 种计数方式: 向上计数、向下计数和向上向下计数方式。根据不同的模式, 计数会产生溢出, 将 Tx 中断标志位 TXIF 置 1。Tx 属于外部单元, 因此在使用 Tx 中断时, 需使能对应的外设中断。

通用定时/计数器主要功能包括:

- 16 位/32 位自动重载计数器
- 16 位/32 位可编程预分频器, 用于对输入的时钟按系数为 1~65536/1~4294967296 之间任意数值分频
- 通用定时器可以用于触发 AD 和 DA 模块
- 更新事件、触发事件(触发模式、门控模式、复位模式)、捕捉事件、比较事件
- 可以产生 DMA 请求

5.5 高级定时/计数器 (T5/T6)

ECCPx 模块各包含两个计数器 Tx/Tz (x=5;z=6; Tx 和 Tz 原理相同), 他们是 16 位的定时器, 有 3 种计数方式: 向上计数、向下计数和向上向下计数方式, 可精确配置 1-65536 自由分频进行计数。支持触发其它定时器、AD 及 DMA 等外设。

高级定时/计数器主要功能包括:

- 16 位位自动重载计数器
- 16 位的可编程预分频器(分频器 1)和 4 位的可编程后分频器(分频器 2)
- 高级定时器可用于触发 AD、DA 等模块
- 支持周期更新和立即更新
- 支持比较器清零定时器功能
- 支持主从模式(触发、门控、复位)
- 可以用来产生 DMA 请求(更新、TRGI 触发、捕捉/比较、关断事件)

5.6 通用捕捉/比较/PWM 模块 (CCP0/1/2/3/4/18/19/21)

CCP 模块是通用型捕捉/比较/脉宽调制模块, 在通用 CCP 模块中, 采用通用定时/计数器做为该 CCP 的计数时基, 可以用来实现捕捉功能、比较功能和 PWM 功能。

在 CCP0/1/2/3/4/18/19 模块中比较寄存器为 16 位的寄存器 CCPx_Ry (x=0,1,2,3,4,18,19; y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置; 在 CCP21 中比较寄存器为 32 位的寄存器 CCPx_Ry (x=21; y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置。

在 CCP0/1/2/3/4/18/19 模块中捕捉寄存器为 16 位的寄存器 CCPx_Cy (x=0,1,2,3,4,18,19; y=1,2,3,4), 该寄存器为只读。在 CCP21 模块中捕捉寄存器为 32 位的寄存器 CCPx_Cy (x=21; y=1,2,3,4), 该寄存器为只读。

通用 CCP 主要功能包括:

- 16 位/32 位的捕捉功能
- 16 位/32 位的比较功能

- 16 位/32 位的 PWM 功能
- 支持 PWM 测量功能
- 4 个独立的通道
- PWM 支持边沿对其和中心对齐
- 支持单脉冲输出
- 更新事件、触发事件（触发模式、门控模式、复位模式）、捕捉事件、比较事件
- 可以产生 DMA 请求

5.7 增强型捕捉/比较/PWM 模块(ECCP5)

ECCPx (x=5) 模块是增强型捕捉/比较/脉宽调制模块, 可以提供外部信号捕捉、内部比较输出以及 PWM 输出三种功能。在 ECCP 模块中, 采用 16 位的定时器/计数器(ECCP5 为 T5 和 T6)做为该 ECCP 的计数时基, 在 ECCP5 模块中捕捉寄存器为 16 位的寄存器 ECCPx_Cy (x=5;y=1,2,3,4), 比较寄存器为 16 位的寄存器 ECCPx_Ry (x=5;y=1,2,3,4), 该寄存器也用于 PWM 模式下的占空比设置。支持部分寄存器的数据更新功能。支持各个通道独立的关断操作。

如下事件发生时产生 DMA:

- 输入捕获
- 输出比较
- 关断事件
- 更新事件

5.8 增强型脉宽调制模块 (EPWM11/12/13/16)

EPWM11/12/13/16 分别以 32 位定时器 T11/12/13/16 作为计数时基。每个 EPWM 模块都支持下列特性:

- 精确的 32 位时间定时器, 可以进行周期和频率控制。
- 有三个 PWM 输出(EPWMxA、EPWMxB、EPWMxC), EPWMxA、EPWMxB 是两个独立的 PWM 输出, EPWMxC 是 EPWMxA、EPWMxB 的异或。
- 与其他 EPWM 模块有关的可编程超前和滞后相控。
- 在一个循环基础上的硬件锁定(同步)相位关系。
- 独立的上升沿和下降沿死区延时控制。
- 可编程控制故障区用于故障时的自动重启与关断。
- 一个控制条件可以使 PWM 输出强制为高, 低, 或高阻逻辑电平。
- 可以触发 CPU 中断, 以及启动 ADC 开始转换。
- 具有强大的高频载波功能。
- 带有高精度 HRPWM 功能。

5.9 正交编码脉冲电路 (QEIO)

单片机内部集成有正交编码脉冲电路。正交编码脉冲电路可用于获得旋转机械的位置和速率等信息。

正交编码脉冲是两个频率变化且正交的脉冲。当它由电机轴上的光电编码器产生时(光电编码器具有 3 路输出: A 相、B 相和索引脉冲), 电机的旋转方向可以通过检测两个脉

冲序列（QEA 和 QEB）中先到达的列来确定，角位置和转速可由脉冲数和脉冲频率（即齿脉冲和圈脉冲）来决定。电机的绝对位置以索引脉冲为基准确定。

QEI 由用于解析 A 相（QEA）和 B 相（QEB）信号的解码器逻辑以及用于累计计数值的递增/递减计数器组成。输入端上的数字噪声滤波器对输入信号进行滤波。

QEIO 的计数时基为定时器 T7。

QEI 的工作特性包括：

- 3 路输入通道，分别为两相信号和索引脉冲输入
- 输入端上的可编程数字噪声滤波器
- 16 位递增/递减位置计数器
- 计数方向状态
- x2 和 x4 计数分辨率
- 两种位置计数器复位模式：
 - 使用周期复位位置计数器
 - 使用索引脉冲复位位置计数器
- 通用 16 位定时器/计数器模式
- 正交编码器接口中断

5.10 模数转换模块（A/D）

ADC 特性：

- 12 位分辨率
- 16 常规扫描通道+4 个高优先级通道
- 支持常规模式和高优先级模式
- 支持单次转换模式和连续转换模式
- 最高 20 个通道连续转换模式
- 数据左对齐或右对齐
- ADC 支持 DMA 触发
- 支持模拟看门狗事件
- 支持定时器触发 ADC
- 双 AD 模式
- ADC 转换时间：14 个周期
- AD 工作电压：2.7V 到 5V
- ADC 参考电压 VREF+：2V 到 VDD+0.1V
- ADC 参考电压 VREF-：VSS±0.1V
- ADC 量化输入范围（使用外部参考模式）：VREF-到 VREF+
- ADC 量化输入范围（使用 VDD 做参考模式）：VREF-到 VDD

注 1：若封装没有 VREF-引脚，则默认 VREF-引脚内部连到 VSS 上。

5.11 数模转换器模块（D/A）

DAC 特性：

- 12 位 DAC 支持 DMA 功能
- 12 位 DAC 支持外部触发转换
- 12 位 DAC 支持噪声波发生器

- 12 位 DAC 支持三角波发生器
- 独立的外部参考电压源

5.12 模拟比较器模块 (CMP)

模拟比较器模块主要特点如下：

- 正负端多输入端口可选
- 电阻分压模块提供可选内部参考电压
- 输出极性可选
- 中断边沿可选
- 数字滤波功能
- 比较器输出可作为定时器捕捉输入、PWM 关断源或用于清零定时器

5.13 通用全/半双工收发器 (USART)

USART 是 Universal Synchronous /Asynchronous Receive & Transmit 的缩写,它的中文名称是通用同步/异步收发器,又称通用全双工/半双工收发器。这是一个串口通信的 I/O 外设,也可作为串行通信接口。它可被配置为与个人计算机等外设通信的全双工异步系统。也可以被配置为与外设或其它单片机通信的半双工同步系统,与之通信的单片机通常不具有产生波特率的内部时钟,它需要主控同步器件提供外部时钟信号。

5.14 串行外设接口 (SPI)

SPI 模块可配置为支持 SPI 协议或者 I2S 协议。SPI 模块默认工作在 SPI 方式,可通过软件将其切换到 I2S 模式。在 I2S 模式下,原则上数据传输为全双工模式,主机和从机同时收发数据,但实际情况下通常只有一个方向上的数据是有意义的。

SPI 模式主要特征:

- 3 线或者 4 线数据传输
- 8/16/32 位传输帧格式
- MSB/LSB 先发送可选
- 主从模式
- 时钟频率可设
- 可编程的时钟极性和相位
- 可触发中断的发送和接收标志
- DMA 读写

I2S 主要特征:

- 单工通信
- 主从模式
- 数据长度可为 16/32 位
- 8 位线性可编程预分频器 (音频采样频率 8KHz 到 96KHz)
- 可编程时钟极性
- 支持多种 I2S 协议:
 - I2S 飞利浦标准
 - LSB 对齐标准 (右对齐)

- MSB 对齐标准（左对齐）
- PCM 标准
- DMA 读写
- 可输出的主时钟，频率为 $256 \times F_s$ (F_s 为音频采样频率)

5.15 内部集成电路接口 (I2C)

I2C 特征:

- 多主机模式: 可用作主设备或者从设备
- I2C 主设备产生时钟, 起始和停止信号
- 检测 7 位和 10 位地址
- 支持 Fast Mode Plus 模式, 最高速度可达 1Mbit/s
- 支持多地址识别
- 在监控模式下可观察所有的 I2C 总线通信量
- DMA 读写

I2C 模块能够实现全部从动功能, 且硬件支持启动位和停止位中断, 以便于固件实现主控功能。I2C 模块实现标准模式规范以及 7 位和 10 位寻址。有两个引脚用于数据传输: 时钟线 (SCL) 和数据线 (SDA)。通过使能位 I2CEN 置 1 以使能 I2C 模块的功能。

5.16 实时时钟 (RTC)

实时时钟 (Real Time Counting, RTC) 单元提供给用户实时时间以及日历信息。RTC 单元通过时间寄存器提供时间信息 (秒、分、时、星期、日、月、年)。数据信息由 BCD 码格式进行表示。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 模块可以根据年、月份 (闰年、大小月), 自动补偿天数; 还可以进行夏令时、冬令时补偿。

RTC 的时钟源可以通过软件选择外部低频晶振 EXTLF、内部低频时钟 INTLF 和外部高频晶振的 128 分频。RTC 模块自带高精度的数字时钟校准功能。

RTC 提供两个可编程的闹钟功能及中断, 用户可预先在时间闹钟寄存器中设置闹钟日期进行闹铃设置。

5.17 控制器局域网总线 (CAN)

控制器局域网 (Controller Area Network, 简称为 CAN) 是一种用于连接电子控制设备 (Electronic Control Unit, 简称为 ECU) 的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计, 适用于具有较强电磁干扰的环境, 不但可以使用与 RS-485 类似的差分平衡传输线, 也可以使用更加可靠的双绞线。CAN 总线最初是针对汽车应用而研发的, 不过时至今日已经广泛应用于各种嵌入式控制领域 (例如工业方面和医疗方面)。CAN 总线在总线长度小于 40 米时最高可达 1Mbps 位速率。位速率越低则有效通讯距离越远 (例如 125kbps 时通讯距离可达 500 米)。

CAN 有如下特性:

- 支持 CAN2.0B 协议
- 同时支持 11 位和 29 位识别码
- 位速率可达 1Mbits/s

- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个CAN总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 在标准和扩展格式中都有验收滤波器含屏蔽和代码寄存器
- 当错误或仲裁丢失时可配置是否重发

5.18 增强型控制器局域网总线（CANFD）

CANFD 模块是 CAN 的升级版，它同时支持 CAN FD（CAN with Flexible Data rate）协议和 CAN 2.0B 协议，两种协议下均可收发标准帧和扩展帧。在收发 CAN FD 帧时，帧数据长度最大可以达到 64 字节。

CANFD 通过一专用的双端口 RAM 来进行消息的接收和发送。

CANFD 有如下特性：

- 支持CAN FD协议，同时支持ISO CAN FD和non-ISO CAN FD
- 同时支持11位和29位识别码
- 位速率可达2Mbits/s
- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个CAN总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 全局验收掩码
- 一次性发送当错误或仲裁丢失时不重发

5.19 独立看门狗（IWDG）

看门狗可用于检测 and 解决由软件错误引起的故障，当计数器达到给定的超时值时产生一个系统复位。

IWDG 最适合那些要求看门狗在主程序外，能够完全独立工作的场合。

IWDG 特点：

- 自由递增的计数器；
- 工作时钟源内部低频 INTLF 和外部低频 EXTLF 可选；
- 可编程预分频；
- 避免复位：溢出前清零看门狗计数器（喂狗）

5.20 窗口看门狗（WWDG）

窗口看门狗通常被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

WWDG 最适合那些要求看门狗在精确计时窗口起作用的应用程序。通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

WWDG 特点：

- 可编程自由运行计数；
- 工作时钟 INTLF、SCLK、LFCLK、LP4M 可选；
- 可编程预分频；
- 提供中断；
- 避免复位：窗口内写计数器或利用中断写计数器（喂狗）

5.21 外围看门狗（EWDT）

外围看门狗通常被用来监测外部电路的安全，与内部看门狗不同的是：在外部电路产生故障时，外围看门狗可以提供独立的输出信号，使得外部电路复位或者处于安全模式。

EWDT 特点：

- 可编程自由运行计数
- 时钟可选
- 可编程预分频
- 提供中断
- 避免复位：窗口内写计数器或利用中断写计数器（喂狗）
- 一个外部的输入端口 EWDTIN，可用于控制模块的输出
- 输出的有效信号（复位信号）极性可选，可根据需要选择高或者低有效
- 输出的有效信号（复位信号）持续时间可控制，产生复位信号时，EWDTRSTIF 标志位置一，产生的复位信号一直有效，可以通过清零 EWDTRSTIF 标志位使复位信号无效。

5.22 CFGL 模块（CFGL）

可配置逻辑单元（CFGLx）提供可超越软件执行速度限制而工作的可编程逻辑。该逻辑单元最多可接收 16 个输入信号，并通过使用可配置门将 16 个输入缩减为 4 条驱动 8 种可选单输出逻辑功能之一的逻辑线。

输入源是以下信号源的组合：

- I/O 引脚
- 内部时钟
- 外设
- 寄存器位

可能的配置包括：

- 组合逻辑
 - AND
 - NAND
 - AND-OR
 - AND-OR-INVERT
 - OR-XOR
 - OR-XNOR
- 锁存器
 - S-R
 - 带置 1 和复位功能的时钟控制 D 型锁存器
 - 带置 1 和复位功能的透明 D 型锁存器

- 带复位功能的时钟控制 J-K 型锁存器

5.23 增强型可配置逻辑单元 (ECFGL)

增强型可配置逻辑单元(ECFGL)是一种可编程的逻辑阵列,它由 16 个子模块 Element 组成。每一个子模块都有一个 2 输入 1 输出的可编程逻辑盒,通过配置每个子模块的输入信号和可编程逻辑盒,ECFGL 可以完成多种逻辑功能。

ECFGL 主要特征包括:

- 16 个单独配置的子模块 Element
- 输出滤波功能
- 子模块之间具有反馈机制

5.24 触发选择模块 (FlexMUX)

FlexMUX 模块提供了可选择的触发源,通过 32 位的寄存器可以灵活的选择产生触发事件的信号来源,该触发源信号由 GPIO 口及其他外设产生。

FlexMUX 模块有最多支持 128 个输入触发源的选择,有独立的 4 个触发输出通道,每个通道可以通过寄存器位 SELx<6:0>选择 128 个输入触发源的任意一种用来触发其他外设。每个通道可由 CHxSEL<1:0>进行选择输出 4 种模式的触发信号,当 CHxSEL<1:0>为 1x 时,可由 CHxDIV<1:0>来选择时钟的分频比,以及实现触发输入信号的维持时间。当 CHxSEL<1:0>为 11 时,在触发信号有效维持期间(最多可维持 8 个 FlexMUX 时钟周期),忽略其它到来的触发信号。

5.25 延时控制器模块 (FDC)

FDC (Flex Delay Control) 模块为延时控制器模块,可以自动的连续产生指定延迟时间的触发信号,用于控制 ADC 的转换,转换期间不需要 CPU 来控制。

FDC 特性:

- 支持三种工作时钟选择
- 支持 FlexMUX 输出触发,4 个脉冲输出可作为 FlexMUX 输入触发其他外设
- 支持软件触发
- 可产生 4*5 共 20 个预触发信号,每个信号可独立配置及使能
- MDLIF 中断可触发 DMA
- 两种工作模式:随机模式及定序模式

5.26 复位 (RESET)

系统复位源:

- POR 上电复位
- BOR 复位
- NRST 外部复位引脚复位
- 窗口看门狗复位
- 独立看门狗复位
- 软件复位

单片机具有：POR 上电复位、BOR 复位、NRST 复位、IWDT 复位、WWDT 复位、软件复位六种复位方式。

除复位方式以外，单片机还提供一个可编程的电压检测模块（PVD），对供电电源 VDD 的电压进行检测。

有些寄存器的状态在任何复位条件下都不会受到影响，其它大多数寄存器在复位事件发生时将被复位成“复位状态”。

5.27 外设模块时钟使能模块(CLK_EN)

为了降低功耗，默认外设时钟就禁止。在使用外设模块时，需要使能该外设模块时钟控制信号，否则模块不工作。通过 PCLK_CTLx (x=0,1,2,3) 外设时钟控制寄存器控制相应的外设时钟。当外设时钟禁止时，CPU 无法对相应的模块寄存器进行写操作。

5.28 备份域 (BKP)

备份域中的 32 个 32 位带有侵入检测功能的备份寄存器，可用于保存数据。备份域内寄存器只会在初始上电复位时被复位，不会因为 VDD 掉电上电而复位。

5.29 循环冗余校验单元 (CRC)

循环冗余校验单元 (Cyclic Redundancy Check, CRC) 可以通过生成多项式计算不同长度数据的 CRC 校验值。CRC 技术可应用于核实数据传输或者数据存储的正确性和完整性。

CRC 特性：

- 可编程的多项式，最高支持 33 项数的生成多项式
- 单周期计算时间
- 支持可编程的初始值
- 支持 8/16/32 位长度的输入数据格式
- 输入数据支持字节反序操作
- 计算结果支持可编程的异或操作
- 计算结果支持反序操作

5.30 AES 加密模块 (AES)

芯片内部集成了一个 AES 加密模块，其可以进行 128bit 的 AES 加密解密，生成用于流密码加密的密钥。

特点：

- 电密码本模式 (ECB 模式)
- 密码分组链接模式 (CBC 模式)

5.31 随机数生成模块 (RNG)

随机数生成模块 RNG(number generator)是一种从物理过程而不是计算机程序生成随机数的设备。本模块可以用于生成 32bit 的随机序列，以供主机使用。

RNG 主要特征包括：

- 真随机种子发生器
- 生成 32bit 的随机序列
- 真随机/伪随机数模式可选
- 错误检测逻辑，用于真随机种子的状态

6 电气特性

6.1 概述

除非另外说明，所有电压都是相对 VSS 做参考的。

6.1.1 最大值和最小值说明

除非另外声明，在测试过程中，所有产品参数都会经过 $T_A=25^{\circ}\text{C}$ 的环境温度测试。产品能够保证满足所规定的运行电压范围和运行频率范围。

基于描述性的特性，设计值和工艺特性等数据会隐含在表格中的脚注中。它们不会在量产中测试。

6.1.2 典型值

除非另外声明，典型数据（典型值）来源于环境温度 T_A 为 25°C ， $V_{DD}=5\text{V}$ 的条件。它只作为设计参考，并不一定经过测试。

6.2 最大承受范围

超过下表中的最大承受范围会对器件造成不可恢复的损坏。这些只是可加的最大条件，在这些条件下的功能不能保证稳定工作。长期工作在这个范围的最大值条件下，会影响器件的可靠性。器件的应用条件符合 JEDEC JESD47 的规格标准。

表 6-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{DDX} - V_{SS}$	外部主要电源电压（包括 V_{DD} ， V_{DDA} ）	-0.3	5.8	V
$V_{DD12} - V_{SS}$	内部稳压器输出	-0.3	1.32	V
$V_{IN}^{(2)}$	输入范围	$V_{SS}-0.3$	5.8	V
$ \Delta V_{DDX} $	V_{DDX} 电源域之间的压差	-	50	mV
$ \Delta V_{SSX} $	不同地电源域之间的压差 ⁽³⁾	-	50	mV
$V_{REF+} - V_{DDA}$	可允许的 V_{REF+} 大于 V_{DDA} 的电压量		0.3	V

注 1：所有主电源（ V_{DD} ， V_{DDA} ）和地（ V_{SS} ， V_{SSA} ）必须连接到外部电源上，并且不能超过以上的规定范围。

注 2：如果要满足最大的注入电流特性的话， V_{IN} 必须注意范围。

注 3：包括 V_{REF+} -脚。

表 6-2 电流特性

符号	描述	最大值	单位
ΣI_{VDD}	整个 V_{DD} 电源域可以提供的电流总和 ⁽¹⁾	150	mA
ΣI_{VSS}	整个 V_{SS} 电源域可以泄放的电流总和 ⁽¹⁾	150	
$I_{VDD(PIN)}$	每个 V_{DD} 脚可以提供的最大的电流 ⁽¹⁾	100	
$I_{VSS(PIN)}$	每个地管脚可以泄放的最大电流 ⁽¹⁾	100	
$I_{IO(PIN)}$	每个 IO 可以泄放的最大电流	20	
	每个 IO 可以提供的最大电流	20	
$\Sigma I_{IO(PIN)}$	所有 IO 可以泄放的电流总量 ⁽²⁾	100	
	所有 IO 可以提供的电流总量 ⁽²⁾	100	
$I_{IN(PIN)}$	每个 IO 口通过外部注入的电流	- 5/0 ⁽³⁾	
$\Sigma I_{IO(PIN)} $	所有 IO 口可以通过外部注入的电流总和 ⁽⁴⁾	± 25	

注 1：所有主电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 都必须连接到外部电源上，并且符合允许的电源输入范围。

注 2：所有 IO 脚上的电流必须合理分配。

注 3：当 $V_{IN} < V_{SS}$ 时，会有负电流注入。但是不能超过 $I_{IN(PIN)}$ 这个值。

注 4：当同时有几个 IO 都有电流注入时， $\Sigma |I_{IO(PIN)}|$ 是允许它们泄露电流总和的最大值。

表 6-3 温度特性

符号	描述	最大值	单位
T_{STG}	存储温度范围	-65 ~ +150	°C
T_J	最大结温	150	°C

6.3 运行条件

6.3.1 常规运行条件

表 6-4 常规运行条件

符号	参数	条件	最小值	最大值	单位
f_{SCLK}	core 频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	MHz
$f_{SYSTICK}$	节拍定时器工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{DMA}	DMA 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{AES}	AES 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{TIMER}	基本/通用/高级定时器工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{QEI}	QEI 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{CFGL}	CFGL 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{I2C}	I2C 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{SPI}	SPI 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{USART}	USART 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{CRC}	CRC 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{CAN}	CAN 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{BKP}	BKP 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	72	
f_{RTC}	RTC 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	32	
f_{WDT}	IWDT/WWDT 工作频率	$V_{DD}=2.7V\sim 5.5V$, $T_A=-40^{\circ}C\sim 125^{\circ}C$	0	32	
V_{DD}	标准运行电压	$T_A=-40^{\circ}C\sim 125^{\circ}C$	2.7 ⁽¹⁾	5.5	V
V_{DD12}	内核运行电压	全频率范围	1.18	1.22	V
V_{DDA}	模拟电源电压	使用 ADC 时	2.7	5.5	V
		使用 DAC 时	2.7		
		使用 VREFBUF 时	2.7		
		ADC,DAC, COMP,VREFBUF 不使用时	2.7		
V_{IN}	I/O 输入范围	所有 I/O 口	-0.3	$V_{DD}+0.3$	V
T_A	环境温度范围	最大功耗下	-40	125	$^{\circ}C$
		最低功耗下	-40	125	$^{\circ}C$

注 1: 当 RESET 功能不起作用时, 可以保证产品在 V_{DD} 电压达到 V_{POR} 最小值以上时运行正确。

6.3.2 上电/掉电的运行条件

这个表格中的参数是在表 6-4 的条件下得出的。

表 6-5 上电/掉电的运行条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	-	0	∞	us/V
	V _{DD} 下降速率		10	∞	
t _{VDDA}	V _{DDA} 上升速率	-	0	∞	us/V
	V _{DDA} 下降速率	-	10	∞	

6.3.3 复位和电源控制模块特性 BOR, PVD

这个表格中的参数是在表 6-4 的条件下得出的。

表 6-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{RST_POR}	在检测到 POR 后, 复位的延迟时间	V _{DD} 上升	-	3.8	5	ms
V _{POR} ⁽¹⁾	上电复位阈值	上升沿	2.37	2.40	2.43	V
		下降沿	2.35	2.37	2.40	
V _{BOR3}	BOR3 复位阈值	上升沿	-	2.52	-	V
		下降沿	-	2.42	-	
V _{BOR4}	BOR4 复位阈值	上升沿	-	2.62	-	V
		下降沿	-	2.68	-	
V _{PVD0}	可编程电压检测阈值 0	上升沿	-	2.40	-	V
		下降沿	-	2.37	-	
V _{PVD1}	可编程电压检测阈值 1	上升沿	-	2.40	-	V
		下降沿	-	2.37	-	
V _{PVD2}	可编程电压检测阈值 2	上升沿	-	2.63	-	V
		下降沿	-	2.43	-	
V _{PVD3}	可编程电压检测阈值 3	上升沿	-	2.78	-	V
		下降沿	-	2.57	-	
V _{PVD4}	可编程电压检测阈值 4	上升沿	-	2.98	-	V
		下降沿	-	2.78	-	
V _{PVD5}	可编程电压检测阈值 5	上升沿	-	4.34	-	V
		下降沿	-	4.16	-	
V _{PVD6}	可编程电压检测阈值 6	上升沿	-	4.62	-	V
		下降沿	-	4.40	-	
V _{hyst_POR}	POR 的迟滞电压	-	-	20	-	mV
V _{hyst_BOR}	BOR 的迟滞电压	-	-	120	-	mV
V _{hystPVD}	PVD 的迟滞电压	-	-	200	-	mV
I _{DD(BOR_PVD)} ⁽²⁾	BOR 和 PVD 的总功耗	-	-	1.1	2	uA

注 1: POR 在除了 Shutdown 模式外, 都是默认使能的。它的功耗是包含在电源电流特性表格中的。

注 2：设计保证。

6.3.4 内核电源 VREG

表 6-7 VREG 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{REG}	调整器的输出电压	-	-	1.2	-	V
V _{DDcoeff}	V _{REG} 的电源变化率	-	-	0.1	-	%
t _{setting}	建立时间	V _{REG} = 1.2V	-	43	100	us
I _{drive}	驱动能力	V _{REG} = 1.2V	-	150	-	mA

6.4 时钟源特性

6.4.1 HSE

 表 6-8 HSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSE)	HSE 占空比	-	45	-	55	%
f _{HSE}	HSE 外部高频频率	V _{DD} = 5V, T _A = 25°C	4	-	32	MHz
T _{su} ⁽²⁾ _(HSE)	HSE 启动时间	V _{DD} = 5V, T _A = 25°C	-	4	-	ms
C _{L(HSE)}	HSE 负载电容	-	10	14	39	pF
I _{DD(HSE)}	HSE 功耗	V _{DD} = 5V, R _m =45Ω, C _L =10pF@16MHz	-	5	-	mA
V _{HSEH}	HSE 输入 PIN 的高电平范围	-	0.7V _{DD}	-	V _{DD}	V
V _{HSEL}	HSE 输入 PIN 的低电平范围	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

注 2: t_{su} 表示从软件使能到晶振稳定在 8MHz 的时间。

6.4.2 LSE

 表 6-9 LSE 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(LSE)	LSE 占空比	-	30	-	70	%
f _(LSE)	LSE 频率	V _{DD} = 5V, T _A = 25°C	-	32.768	40	kHz
t _{su(LSE)}	LSE 开启时间	-	-	2	-	s
C _{L(LSE)}	LSE 负载电容	-	-	12	-	pF
I _{DD(LSE)}	LSE 功耗	-	-	1300	-	nA
V _{LSEH}	OSC_IN 输入 PIN 高电平	-	0.7V _{DD}	-	V _{DD}	V
V _{LSEL}	OSC_IN 输入 PIN 低电平	-	V _{SS}	-	0.3V _{DD}	

注 1: 设计保证。

6.4.3 HSI

 表 6-10 HSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy _(HSI)	HSI 占空比	-	45	-	55	%
f _{INTHF(HSI)}	HSI 内部高频频率	在 V _{DD} =5V、T _A =25°C 条件下	-	16	-	MHz
ΔTemp _(HSI)	HSI 频率随温度的漂移	在 V _{DD} =5V、 T _A =-40°C~+125°C 条件下	-	±3	-	%
ΔV _{DD}	HSI 频率随电源的漂移	V _{DD} 范围: 2.7V-5.5V	-	±0.3	-	%
t _{su(HSI)}	HSI 启动时间	-	-	200	-	us
t _{stab(HSI)}	HSI 稳定时间	-	-	500	-	us
I _{DD(HSI)}	HSI 功耗	-	-	260	-	uA

注 1: 设计保证。

6.4.4 LP4M

 表 6-11 LP4M 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy(LP4M)	LP4M 占空比	-	45	-	55	%
f _{CLKOUT} (LP4M)	LP4M 时钟频率	在 V _{DD} =5V、T _A =25°C条件下	-	4	-	MHz
ΔTemp(LP4M)	LP4M 温度漂移	在 V _{DD} =5V、T _A =-40°C~+85°C条件下	-6	-	5	%
t _{su} (LP4M)	LP4M 启动时间	-	-	1.5	-	us
t _{stab} (LP4M)	LP4M 稳定时间	-	-	2	-	us
I _{DD} (LP4M)	LP4M 功耗	-	-	6	-	uA

注 1: 设计保证。

6.4.5 LSI

 表 6-12 LSI 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD} (LSI)	LSI 供电电压	T _A = 25°C	2.7	5	5.5	V
f _{LSI}	LSI 频率	V _{DD} = 5V, T _A = 25°C	30.08	32	33.92	kHz
ΔTemp(LSI)	LSI 温度漂移	V _{DD} = 5V, T _A = -40°C~125°C	-10	-	+10	%
ΔV _{DD} (LSI)	LSI 电压漂移	V _{DD} = 2.7V~5V	-30	-	+30	%
T _{su} (LSI)	LSI 启动时间	-	-	80	132	us
t _{stab} (LSI)	LSI 稳定时间	最终稳定频率 5%内	-	110	200	us
I _{DD} (LSI)	LSI 功耗	-	-	600	-	nA

注 1: 设计保证。

6.4.6 PLL

 表 6-13 PLL 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD} (PLL)	运行电压范围	-	2.7	5	5.5	V
f _{IN/N} (PLL)	输入频率范围	-	1	-	50	MHz
f _{OUTVCO} (PLL)	VCO 频率范围	-	200	-	400	MHz
T _{pj(RMS)}	Period Jitter	f _{OUTVCO} ≥200MHz; 干净电源	-	25	-	ps
T _{pj(P-P)}			-	200	-	
T _{cj}			Cycle-to-Cycle jitter	-	50	
DuCy(PLL)	占空比	f _{OUTVCO} =200~400Mhz	40	50	60	%
LKT	锁定时间	-	-	0.5	-	ms
I _{DD} (PLL)	功耗	f _{IN} =25MHz, f _{OUTVCO} =200MHz	-	0.56	-	mA

注 1: 设计保证。

6.5 IO 端口特性

6.5.1 静态特性

表 6-1 IO 静态电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{INL}	I/O 输入低电平	$2.7V < V_{DD} < 5.5V$	-	-	$0.3V_{DD}$	V
V_{INH}	I/O 输入高电平	$2.7V < V_{DD} < 5.5V$	$0.6V_{DD}$	-	-	V
V_{hys}	I/O 施密特触发器迟滞电压	$2.7V < V_{DD} < 5.5V$	-	900	-	mV
I_{ikg}	输入漏电流	$V_{IN} \leq V_{DD}$	-	-	50	nA
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	40	45	50	k Ω
R_{PD}	弱下拉等效电阻	$V_{IN} = V_{DD}$	40	45	50	k Ω
C_{IO}	I/O 脚等效电容	-	-	3	-	pF

6.5.2 IO 输出特性

表 6-14 IO 输出电气特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	任意 IO 输出低电平	I_{IO} = 15mA $V_{DD} \geq 2.7V$	-	0.4	V
V_{OH}	任意 IO 输出高电平		$V_{DD} - 0.4$	-	
V_{OL}	任意 IO 输出低电平	I_{IO} = 20mA $V_{DD} \geq 2.7V$	-	1.3	
V_{OH}	任意 IO 输出高电平		$V_{DD} - 1.3$	-	
V_{OL}	任意 IO 输出低电平	I_{IO} = 10mA $V_{DD} \geq 2.7V$	-	0.45	
V_{OH}	任意 IO 输出高电平		$V_{DD} - 0.45$	-	

6.5.3 IO AC 特性

表 6-15 IO AC 电气特性

I/O 速度配置	符号	参数	条件	最小值	最大值	单位
低速模式	f_{max}	最大频率	$C_L = 10pF, 2.7V \leq V_{DD} \leq 5.5V$	-	10	MHz
	t_r/t_f	输出上升和下降时间	$C_L = 10pF, 2.7V \leq V_{DD} \leq 5.5V$	-	18	ns
高速模式	f_{max}	最大频率 ⁽¹⁾	$C_L = 10pF, 2.7V \leq V_{DD} \leq 5.5V$	-	20	MHz
	t_r/t_f	输出上升和下降时间	$C_L = 10pF, 2.7V \leq V_{DD} \leq 5.5V$	-	8	ns

注 1: 设计保证。

6.5.4 NRST 管脚特性

表 6-16 NRST 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平	-	-	-	$0.3V_{DD}$	V
$V_{IH(NRST)}$	NRST 输入高电平	-	$0.7V_{DD}$	-	-	
$V_{hys(NRST)}$	NRST 施密特迟滞电压	-	-	200	-	mV
$R_{pu(NRST)}$	弱上拉等效电阻	$V_{IN}=V_{SS}$	-	50	-	k Ω
$T_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	-	-	-	60	ns
$T_{NF(NRST)}^{(1)}$	NRST 输入不会滤掉的脉冲	$2.7V \leq V_{DD} \leq 5.5V$	500	-	-	ns

注 1: 设计保证。

6.5.5 外部中断特性

表 6-17 外部中断电气特性

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	触发事件的脉冲宽度	-	50	-	-	ns

6.6 外设

6.6.1 ADC 12BIT 特性

 表 6-18 ADC 电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电压	-	2.7	-	5.5	V
V _{REF+}	正电压参考	-	2.7	-	V _{DDA}	V
V _{REF-}	负电压参考	-	V _{SSA}			
f _{ADC}	ADC 时钟频率 (分频后)	-	-	-	8M	Hz
f _s	采样速率	12 bits	2	-	500	Ksps
A _{Vin}	转换电压范围	-	0	-	V _{REF+}	V
R _{IN}	外部允许最大输入串联阻抗	-	-	-	50	kΩ
R _{ADC}	采样开关的电阻	-	0.3	-	2	kΩ
C _{ADC}	内部采样和保持电容	-	-	12	-	pF
t _{su}	上电时间	-	100	-	-	us
t _s	采样时间	f _{ADC} =5M	0.6	-	-	us
		f _{ADC} =5M	2.5	-	2.5+512	1/f _{ADC}
t _{CONV}	整个转换时间(包含采样时间)	f _{ADC} =5M	3	-	-	us
		12 bits	T _s +14 cycles		1/f _{ADC}	
I _{DD(ADC)}	ADC 功耗	f _s =0.3Msps	-	1000	1200	uA
O _e	失调误差	f _{ADC} =5M, R _{IN} =500 2.7<V _{DDA} <5.5 V _{REF+} =V _{DDA} , T _A =25°	-	±6	-	LSB
G _e	增益误差		-	±6	-	
DNL	微分非线性		-4	-	4	
INL	积分非线性		-8	-	8	
ET	全范围误差	f _{ADC} =5M, R _{IN} =500 V _{DDA} =5V V _{REF+} =V _{DDA} , T _A =25°	-	4	8	
ENOB	有效位数	-	-	9.6	-	Bits
SINAD	信号对噪声和失真的抑制比	-	62	63	-	dB
SNR	信噪比		64	65	-	
THD	谐波失真		72	73	-	

注 1: ADC 测试数据为软件 10 次平均后的结果。

6.6.2 DAC 12 BIT 转换特性

表 6-19 DAC 转换特性

符号	参数	条件		最小值	典型值	最大值	单位
V_{DDA}	电源电压	DAC 输出 buffer 关闭		2.7	-	5.5	V
V_{REF+}	外部参考电压	DAC 输出 buffer 关闭		1.5	-	V_{DDA}	V
V_{REF-}	负参考电压	-		V_{SSA}			
R_L	负载电阻	DAC 输出 buffer 开启	Connected to V_{SSA}	5	-	-	k Ω
			Connected to V_{DDA}	25	-	-	
R_O	输出阻抗	DAC 输出 buffer 关闭		-	16	-	k Ω
R_{BON}	输出 buffer 开启时的 输出阻抗	$V_{DD}=5V$		-	5	-	k Ω
		$V_{DD}=5V$		-	10	-	
C_L	负载电容	DAC 输出 buffer 开启		-	-	100	pF
V_{DAC_OUT}	DAC 的输出电压	DAC 输出 buffer 开启		0.2	-	$V_{REF+} - 0.2$	V
		DAC 输出 buffer 关闭		0	-	V_{REF+}	
$t_{SETTLING}$	建立时间（从最低 码转换到最高码 时，输出稳定在最 终值的 $\pm 0.5LSB$ ， $\pm 1LSB$ ， $\pm 2LSB$ ， $\pm 4LSB$ ， $\pm 8LSB$ ）	DAC 输出 buffer 开启 $C_L \leq 50pF$ ， $R_L \geq 5k\Omega$	$\pm 0.5LSB$	-	2	4	us
			$\pm 1LSB$	-	1.8	3.5	
			$\pm 2LSB$	-	1.6	3	
			$\pm 4LSB$	-	1.5	2.9	
			$\pm 8LSB$	-	1.5	2.8	
DAC 输出 buffer 关闭， $\pm 1LSB$ ， $C_L = 10pF$		-	50	100			
PSRR	V_{DDA} 电源抑制 比	DAC 输出 buffer 开启； $C_L \leq 50pF$ ， $R_L = 5k\Omega$		-	-70	-25	dB
$t_{W_to_W}$	两个相邻转换码的 时间(1LSB)	$C_L \leq 50pF$ ， $R_L \geq 5k\Omega$		2	-	-	us
$I_{DD}(DAC_V_{DDA})$	DAC 从 V_{DDA} 消耗 的功耗	DAC 输出 buffer 开启	无负载，中间码	-	400	-	uA
		DAC 输出 buffer 开启	无负载，最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载，中间码	-	206	-	
$I_{DD}(DAC_V_{REF+})$	DAC 从 V_{REF+} 消 耗的电流	DAC 输出 buffer 开启	无负载，中间码	-	400	-	uA
			无负载，最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载，中间码	-	206	-	

表 6-20 DAC 精度

符号	参数	条件	最小值	典型值	最大值	单位	
DNL	微分非线性	DAC 输出 buffer 开启	-	-	±2	LSB	
		DAC 输出 buffer 关闭	-	-	±2		
-	单调性	10bits	设计保证				
INL	积分非线性	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$	-	-	±5		
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±5		
Offset	在中间码的失调误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$	$V_{\text{REF}+} = 5.5\text{V}$	-	-		±11
			$V_{\text{REF}+} = 1.8\text{V}$	-	-		±21
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±9		
Offset1	在 code0 的失调误差	DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±4		
Gain	增益误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$	-	-	±0.6		%
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±0.7		
TUE	全范围误差	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$	-	-	±20	LSB	
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L	-	-	±10		
SNR	信噪比	DAC 输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$, 1kHz, BW 500kHz	-	69	-	dB	
		DAC 输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz, BW 500kHz	-	70	-		
THD	谐波失真	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$, 1kHz	-	-76	-	dB	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	-77	-		
SINAD	信号与噪声和失真比例	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$, 1kHz	-	70	-	dB	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	70.4	-		
ENOB	有效位数	输出 buffer 开启 $C_L \leq 50\text{pF}$, $R_L \geq 5\text{k}\Omega$, 1kHz	-	11	-	Bits	
		输出 buffer 关闭 $C_L \leq 50\text{pF}$, 无 R_L , 1kHz	-	11	-		

6.6.3 电压参考 VREFREG 特性

表 6-21 VREFREG 特性

符号	参数	条件	最小值	典型值	最大值	单位	
V_{DDA}	供电电源		2.7	-	5.5	V	
$V_{REFVBUF_OUT}$	输出参考电压	常规模式	电压输出 1.5V	1.48	1.5		1.52
			电压输出 2V	1.95	2.0		2.05
			电压输出 3V	2.95	3.0		3.05
			电压输出 4V	3.95	4.0		4.05
$C_{L(VREFREG)}$	电容负载	-	-	1	2.2	uF	
$I_{load(VREFREG)}$	静态负载电流	-	-	-	1	mA	
$I_{line_reg(VREFREG)}$	电源调整率	$2.8V \leq V_{DDA} \leq 5.5V$	$I_{load}=500\mu A$	-	200	1000	ppm/V
			$I_{load}=1mA$	-	100	500	
$I_{load_reg(VREFREG)}$	负载调整率	$500\mu A \leq V_{DDA} \leq 4mA$	正常模式	-	50	500	ppm/mA
$T_{C_{coeff}(VREFREG)}$	温漂	$-40^{\circ}C \leq T_j \leq +125^{\circ}C$		-	-	200	ppm/ $^{\circ}C$
		$0^{\circ}C \leq T_j \leq +50^{\circ}C$		-	-	150	
$PSRR(VREFREG)$	电源抑制比	直流		30	55	-	dB
		100kHz		15	29	-	
$T_{su}(VREFREG)$	开启时间	-	-	50	-	us	
I_{INRUSH}	开启时 buffer 的最大驱动电流	-	-	9	-	mA	
$I_{DDA(VREFBUF)}$	VREFBUF 的电流消耗	$I_{load}=0\mu A$		-	13.3	16	uA
		$I_{load}=500\mu A$		-	15	19	
		$I_{load}=4mA$		-	26	30	

6.6.4 比较器特性

 表 6-22 比较器电气特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
$V_{DDA(CMP)}$	供电电源	-	2.7	-	5.5	V	
$V_{IN(CMP)}$	比较器输入范围	-	0.1	-	$V_{DDA}-0.1$		
$V_{offset(CMP)}$	失调电压	校准前 (温度范围)		-10	-	10	mV
		校准后		-3	-	3	
$V_{hys(CMP)}$	比较器迟滞电压	无迟滞		-	0	-	mV
		低迟滞		-	5.1	-	
		中等迟滞		-	10.6	-	
		高迟滞		-	15.7	-	
$I_{DD(CMP)}$	比较器电流消耗	-	-	120	-	uA	
$t_{delay(CMP)}$	输出延迟	$V_{DD}=5V$, 200mV 的台阶, 100mV 的过冲		-	86	-	ns

注 1: 设计保证

6.7 功耗特性

6.7.1 程序运行在 FLASH 时的静态功耗特性

表 6-23 程序运行在 FLASH 时的静态功耗特性

运行模式	程序方式	外设工作条件	MR	时钟源	温度	SCLK 频率 (HZ)	最小值	典型值 ⁽¹⁾	最大值	单位
RUN	程序在 FLASH 运行, 开 预取, FLASH_CFG=0XC2	所有外设禁止, V _{DD} =5V	1.2V	PLL	25°C	72MHz	-	4460	-	uA
					25°C	64MHz	-	4100	-	
	25°C				48MHz	-	3450	-		
	25°C				32MHz	-	3100	-		
	INTHF			25°C	16M	-	1800	-		

注 1: 设计保证

6.7.2 程序运行在 SRAM 时的静态功耗特性

表 6-24 程序运行在 SRAM 时的静态功耗特性

运行模式	运行方式	外设工作条件	VDD	MR	温度	最小值	典型值 ⁽¹⁾	最大值	单位
RUN	程序在 SRAM 中运 行	所有外设禁止	5V	1.2V	-40	-	4500	-	uA
					25	-	4460	-	
					125	-	4500	-	

注 1: 系统时钟频率 72MHz, 设计保证。

6.7.3 休眠功耗特性

表 6-25 休眠功耗特性

运行模式	运行方式	外设工作条件	MR	时钟源	SCLK 频率	温度	最小值	典型值 ⁽¹⁾	最大值	单位
休眠	SLEEP	所有外设禁止	1.2V	INTHF	16M	-40	-	950	-	uA
						25	-	1000	-	
						85	-	1150	-	

注 1: 供电电压 5V。

6.7.4 低功耗模式特性

 表 6-26 低功耗模式特性⁽¹⁾

功耗模式	工作模块	VDD	PMCTL0	MR/LPR	VDD18	电流	单位
Shutdown	无	5V	0100 0804	关断	关断	0.9	uA
Standby	无	5V	0100 0803	关断	关断	0.9	
Standby	IWDT	5V	2100 0803	关断	关断	1.5	
Standby	DPRAM	5V	0110 0803	LPR	关断	2.7	
Stop1	无	5V	0100 0802	LPR	关断	4.2	
Stop1	LPRAM	5V	0108 0802	LPR	关断	7.6	
Stop0	无	5V	0100 0801	LPR	关断	126	

注 1: $T_A=25^{\circ}\text{C}$ 条件下。

7 封装信息

7.1 LQFP48 封装

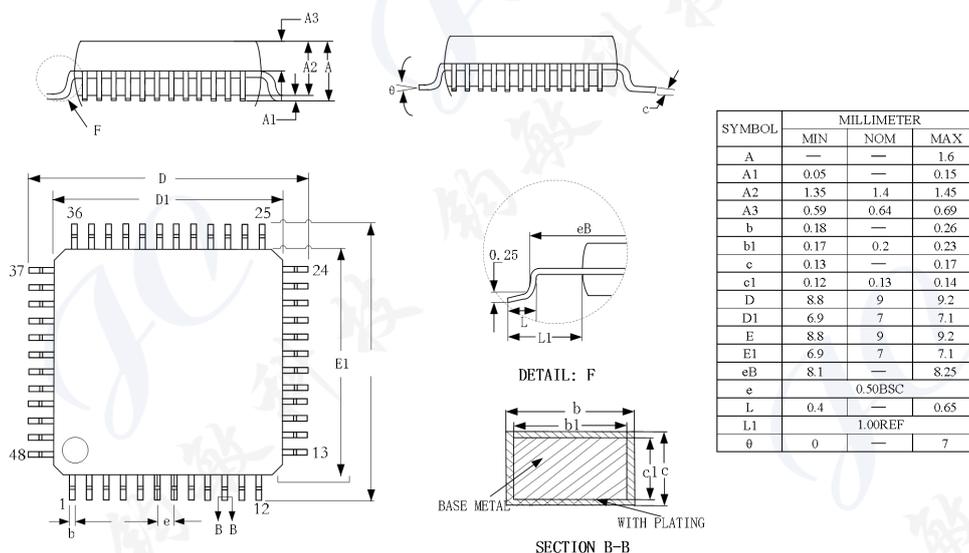


图 7-1 LQFP48 封装图

7.2 LQFP64 封装

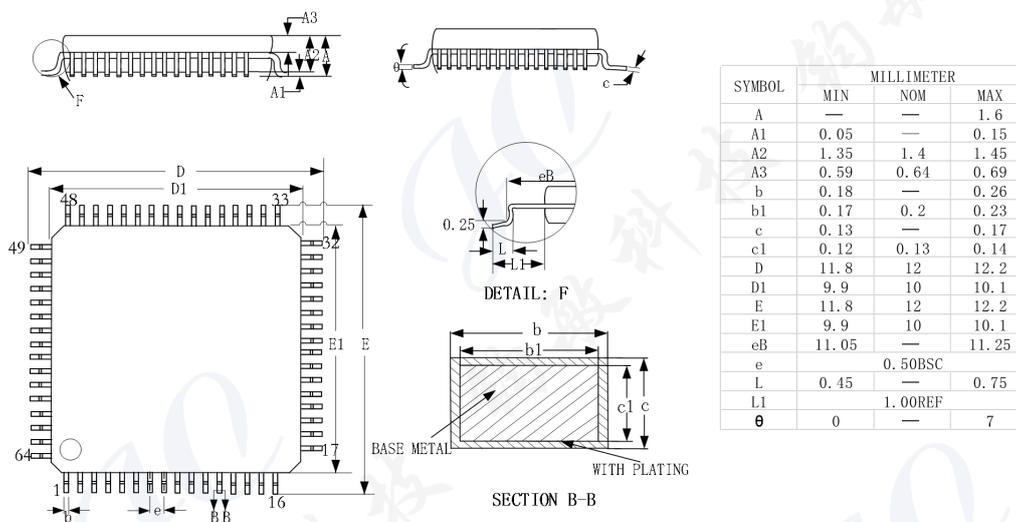
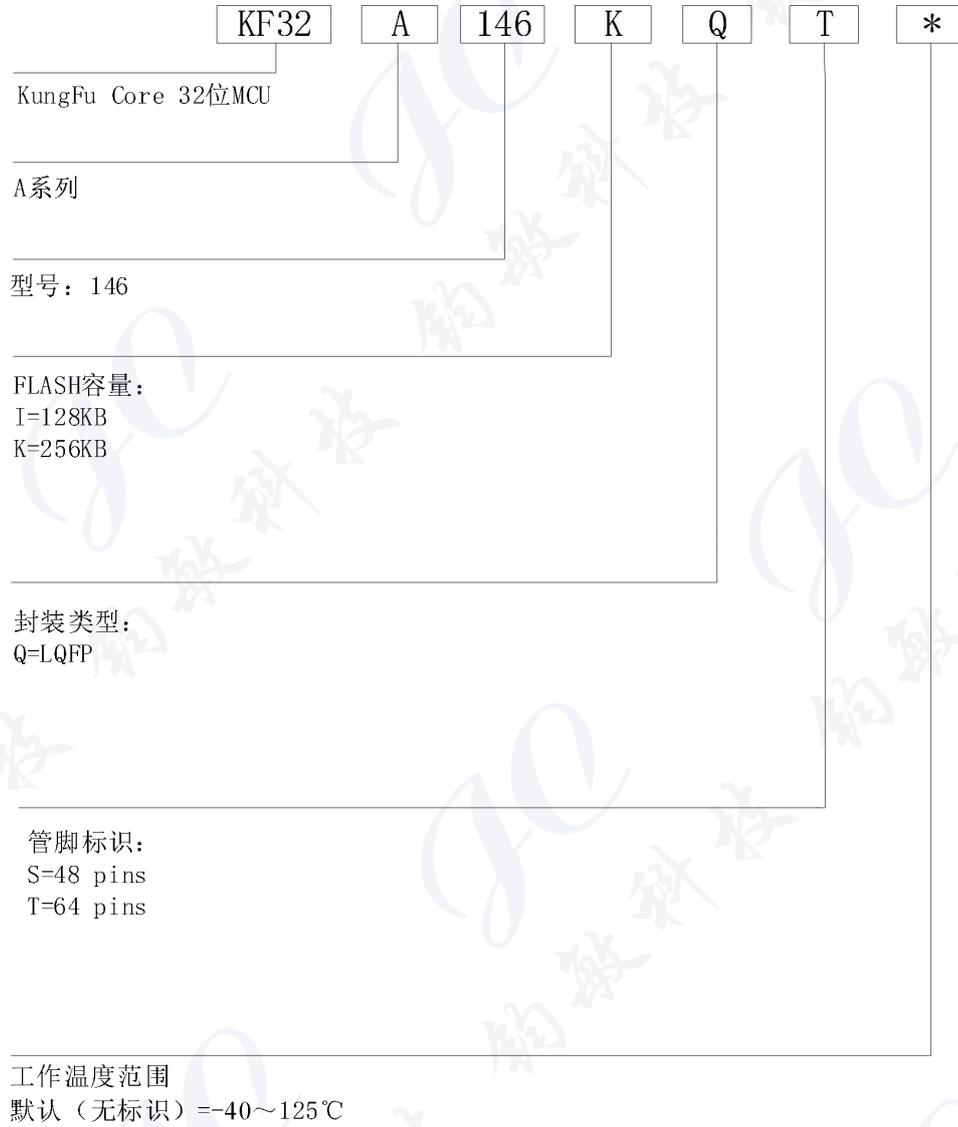


图 7-2 LQFP64 封装图

8 KF32 产品标识体系



9 RoHS 认证

本产品已通过 RoHS 检测。

10 声明及销售网络

销售及服务网点

上海 TEL: 021-50275927

地址: 上海浦东龙东大道 3000 号张江集电港 1 幢 906 号 B 座

11 版本更新记录

版本号	更新说明	页码	更新日期
V0.1	KF32A146 初版	-	2021/07/29
V1.0	KF32A146 电气特性更新	-	2021/10/22
V1.0.1	更新 KF32A146IQT FLASH 大小的描述内容 新增订货号 KF32A145KQT 新增 EPWM 功能在 KF32A146IQS/KF32A146KQS/ KF32A146IQT 中 新增模拟重映射 PA5-DAC0_REF	-	2021/11/17