

開発ニュース No.2638 とさしかえてください。

## LA8200M モノリシックリニア集積回路 —FDD用リード/ライト—

- 特長
- ・ヘッド切り換え用タイオード内蔵。
  - ・タイムドメインフィルターは 時定数用コンデンサ内蔵。
  - ・ライト電流は 外部抵抗により任意の値に設定可能。
  - ・ディスク内周トラックでの ライト電流切り換え機能内蔵。

絶対最大定格 /  $T_a = 25^\circ\text{C}$

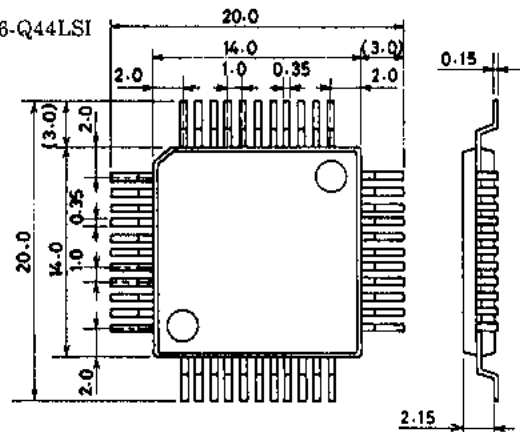
	unit
最大電源電圧 $V_{CC1 \text{ max}}$	7 V
最大電源電圧 $V_{CC2 \text{ max}}$	17 V
デジタル信号入力系、 入力電圧	-0.5~5.5 V
パワーオンディテクタ 印加電圧	$V_{CC2} + 0.3$ V
イレース出力 印加電圧	$V_{CC2} + 0.3$ V
コモン0, コモン1 ソース電流	150 mA
パワーオン ディテクタ シンク電流	20 mA
イレース出力 シンク電流	150 mA
許容消費電力 $P_d \text{ max}$	760 mW
動作周囲温度 $T_{opg}$	-20~+75 $^\circ\text{C}$
保存周囲温度 $T_{stg}$	-65~+125 $^\circ\text{C}$

\*これらの入力は WRITE, CURRENT, WRITE DATA, WRITE GATE, ERASE GATE, SIDE1, MMVA CONTROL

動作条件 /  $T_a = 25^\circ\text{C}$

	unit
推奨電源電圧 $V_{CC1}$	5 V
$V_{CC2}$	12 V
動作電源電圧範囲 $V_{CC1 \text{ op}}$	4.4~6.0 V
$V_{CC2 \text{ op}}$	10.8~13.2 V

外形図 3106-Q44LSI  
(unit: mm)



SANYO: QIP44

この資料の応用回路および回路定数は一例を示すもので、量産セットとしての設計を保証するものではありません。  
またこの資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたってお客様の工業所有権その他の権利の実施に対する保証を行なうものではありません。

\*これらの仕様は、改良などのため変更することがあります。

LA8200M

電気的特性 /  $V_{CC1}=5V, V_{CC2}=12V, T_a=25^{\circ}C$

			min	typ	max	unit
ヘッド入力端子 リーク電流(ライト時)	I <sub>LKM</sub>					10 $\mu$ ADC
ヘッド切替器/アリアンプ 電圧利得精度	E <sub>GV</sub>	f = 100kHz, R <sub>L</sub> = 10k $\Omega$	-15		+15	%
ヘッド切替器/アリアンプ 高域利得減衰	B <sub>W</sub>	f = 5MHz, R <sub>L</sub> = 10k $\Omega$			3	dB
ヘッド切替器/アリアンプ 同相信号除去比	C <sub>MRR</sub>		45			dB
ヘッド切替器/アリアンプ 電源変動除去比	P <sub>SR</sub>		70			dB
アリアンプ 差動出力オフセット電圧	V <sub>OFS</sub>				0.8	V
アリアンプ 差動出力電圧振幅	V <sub>OUT</sub>		3.7	4.2		V <sub>p-p</sub>
アリアンプ 差動出力電流振幅	I <sub>OUT</sub>		3.0	4.0		mA <sub>p-p</sub>
アリアンプ 入力換算雑音電圧	E <sub>N</sub>	L.P.F 1MHz		6.5	6.0	$\mu$ V
微分器 差動出力オフセット電圧	V <sub>OFD</sub>		-10		+10	mV
タイムメインフィルタ 第一単安定出力パルス幅精度	E <sub>TM1</sub>	R <sub>A</sub> = 45k $\Omega$	-15		+15	%
タイムメインフィルタ 第二単安定出力パルス幅精度	E <sub>TM2</sub>	R <sub>B</sub> = 44k $\Omega$	-20		+20	%
タイムメインフィルタ 第一単安定出力パルス幅補正精度	E <sub>TMIC</sub>	R <sub>COMP</sub> = 81.6k $\Omega$	-15		+15	%
ピークシフト	P <sub>S</sub>				1	%
ライト電流源 出力電流精度	E <sub>W</sub>	R <sub>W1</sub> = 4.3k $\Omega$	-10		+10	%
ライト電流源 出力インバランス	D <sub>W</sub>				1.0	%
ライト電流源 補正電流精度	E <sub>WC</sub>	R <sub>W2</sub> = 12.6k $\Omega$	-10		+10	%
ヘッド入力端子 ライト時飽和電圧	V <sub>sat</sub>	R <sub>L</sub> = 10k $\Omega, V_{RL} = 12V$			4.0	V
センタスタップ電圧源 ライト時L出力電圧	V <sub>WL</sub>				0.1	V
センタスタップ電圧源 ライト時H出力電圧	V <sub>WH</sub>	I <sub>O</sub> = -100mA	10.5		11.4	V
センタスタップ電圧源 リード時H出力電圧	V <sub>RH</sub>		4.8		5.4	V
消去電流スイッチ 出力飽和電圧	V <sub>ER</sub>	R <sub>L</sub> = 110 $\Omega, V_{RL} = 12V$			0.5	V
消去電流スイッチ リーク電流	I <sub>LKIR</sub>	V <sub>O</sub> = 12V			15	$\mu$ A
電源オンオフ検出器 5V系入レッシュォルド電圧	V <sub>TH5</sub>		3.4	3.9	4.4	V
電源オンオフ検出器 12V系入レッシュォルド電圧	V <sub>TH12</sub>		8.2	9.0	10.0	V
デジタル信号入力 論理L入力電圧	V <sub>LIN</sub>				0.8	V
デジタル信号入力 論理H入力電圧	V <sub>HIN</sub>		2.0			V
デジタル信号入力 論理H入力電流	I <sub>HIN</sub>	V <sub>IN</sub> = 2.4V			130	$\mu$ A

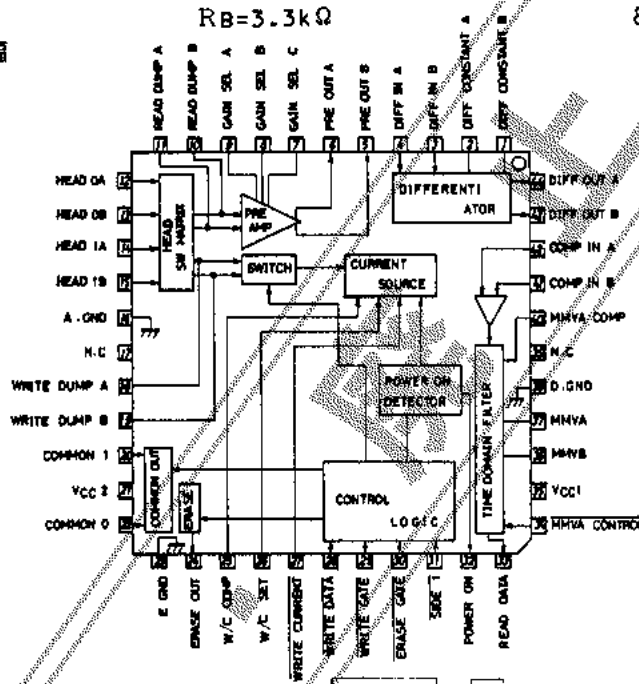
次ページへ続く

# LA8200M

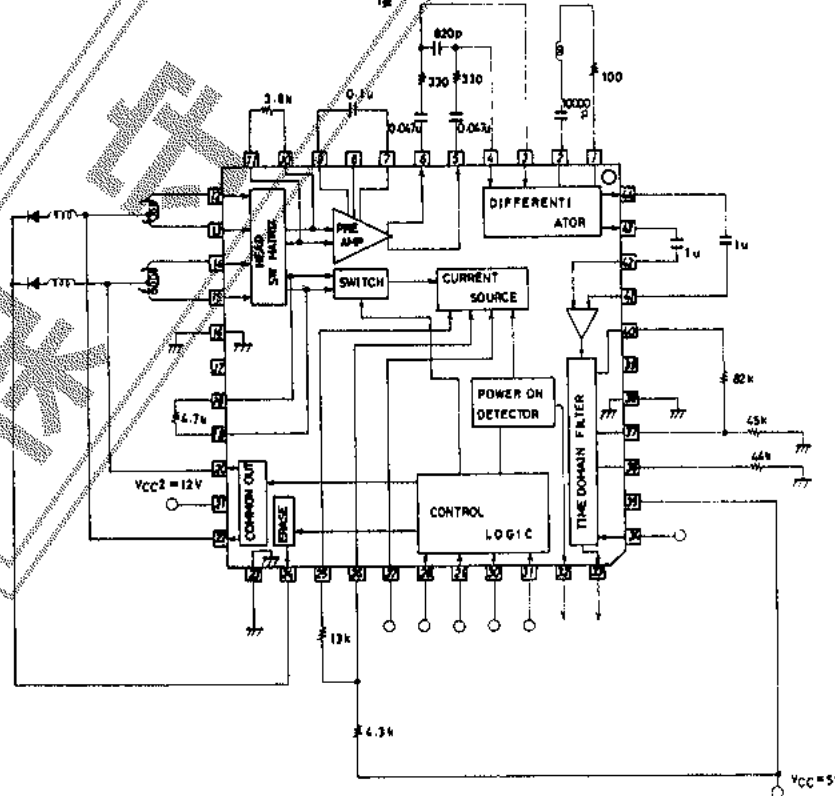
前ページより続く

		min	typ	max	unit
デジタル信号入力 論理L入力電流	$I_{LIN} \quad V_{IN}=0.4V$			250	$\mu A$
デジタル信号出力 論理L出力電圧	$V_{LOUT} \quad I_O=2mA$		0.5		V
デジタル信号出力 論理H出力電圧	$V_{HOUT} \quad I_O=-0.4mA$	2.8			V
デジタル信号出力 立ち上がり時間	$T_R$			100	ns
デジタル信号入力 立ち下り時間	$T_F$			100	ns
5V系消費電流リード時	$I_{CC1R}$	16	20	28	mA
5V系消費電流ライト時	$I_{CC1W}$	7	11	16.5	mA
12V系消費電流リード時	$I_{CC2R}$	6	9	14	mA
12V系消費電流ライト時	$I_{CC2W}$	9	11	16	mA
タイムドメインフィルタ 第二単安定出力パルス幅	$R_B=3.3k\Omega$	85	100	115	ns

等価回路ブロック図



応用回路例



## LA8200M

## ピン説明

PIN No	PIN NAME	PIN 説明
12	HEAD 0A	1つの磁気ヘッドの入出力。
13	HEAD 0B	センタタッパを有する。記録/再生 兼用タイプが適合する。
22	COMMON 0	
14	HEAD 1A	上記と同様。
15	HEAD 1B	
20	COMMON 1	
11	READ DUMP A	アリアンプの入力点で リード時のヘッドダンピング抵抗 または 周波数特性補正のための コンデンサを接続する。
10	READ DUMP B	
9	GAIN SEL. A-B.C.	交流的短絡のために 1つのコンデンサをこれらのピン間に接続することによりアリアンプのゲインを100 または 200に設定する。
8		
7		
6	PRE OUT A	アリアンプ出力。
5	PRE OUT B	
4	DIFF IN A	微分器入力。
3	DIFF IN B	
2	DIFF CONSTANT A	微分定数を接続する。
1	DIFF CONSTANT B	
44	DIFF OUT A	微分器出力。
43	DIFF OUT B	
42	COMP IN A	コンパレータ入力。
41	COMP IN B	
40	MMVA COMP	タイムメインフィルタ 第1モノマルチの 出力パルス幅補正のための抵抗を接続する。
38	D.GND	ディジタル GND。
37	MMVA	タイムメインフィルタ 第1モノマルチの RAを接続する。
36	MMVB	タイムメインフィルタ 第2モノマルチの RBを接続する。
35	VCC1	5V電源。
34	MMVA CONTROL	40 MMVA COMPの制御入力。ローアクティブで 第1モノマルチの出力幅は狭くなる。
33	READ DATA	リードデータ出力(トータム ホール出力)。
32	POWER ON	VCC1, VCC2 チェック出力で 規定数値以下時ONする。(オーアコレクタ出力)
31	SIDE 1	ヘッド切換え制御入力。HEAD 1が ローアクティブである。
30	ERASE GATE	イレース回路制御入力。ローアクティブである。
29	WRITE GATE	ライト回路制御入力。ローアクティブである。
28	WRITE DATA	ライトデータ入力。H→Lにてトリガされる。
27	WRITE CURRENT	ライト電流補正制御入力。ローアクティブで ライト電流増える。
26	W/C SET	ライト電流設定抵抗を接続する。
25	W/C COMP	27 WRITE CURRENTにて 増加する電流値を設定する抵抗を接続する。
24	ERASE OUT	イレース出力(オーアコレクタ出力)。
23	E.GND	イレース GND。
18	WRITE DUMP A	ライト時のヘッドダンピング抵抗を接続する。
19	WRITE DUMP B	
21	VCC2	12V電源。
16	A.GND	アナログGND。