

**SANYO****三洋半導体開発ニュース**

No. N 5622A

31501

開発ニュース No. 5622 とさしかえてください。

**暫定規格**

# LC65P43 — CMOS LSI ワンタイム PROM 内蔵型 4ビット1チップマイクロコンピュータ

## 概要

LC65P43 は、当社 CMOS 4ビット1チップマイクロコンピュータ LC6543N/F/L, LC6546N/F/L のワンタイム PROM 内蔵型マイクロコンピュータである。

マスク ROM 版の LC6543N/F/L, LC6546N/F/L とほぼ同等の機能（一部特性が異なる）、ピン配置を持ち、内蔵 EPROM サイズは 2K バイトである。

LC65P43 は、DIP30S-D/MFP30S プラスチックパッケージ型で、ユーザによるプログラムの書き込みが可能であるため、セットの初期出荷の立ち上げや少量生産、仕様変更時の切り換えの短縮に適している。

## 特長

- 1) EPROM データにより以下の3種類のオプション切り換えが可能
  - a. リセット時の C, D ポート出力オプション
  - b. 発振回路オプション
  - c. 分周器オプション
 但し、ポート出力形式はオープンドレイン固定となる。
- 2) 2K バイト PROM 内蔵
- 3) EPROM のデータセキュリティ機能内蔵
- 4) マスク ROM 版とピンコンパチブル
- 5) 命令サイクル           0.92 $\mu$ s ~ 20 $\mu$ s
- 6) 出荷形態               DIP-30S-D, MFP30S

## シリーズ構成

機種名	ピン数	ROM 容量	RAM 容量	パッケージ
LC6543N/F/L, LC6546N/F/L	30	2K/1K	128W/64W	DIP30S, DIP30S-D, MFP30S
LC65E43	30	2K	128W	DIP30S, MFP30S
LC65P43	30	2K	128W	DIP30S-D, MFP30S

## 弊社 ROM 書き込みについて

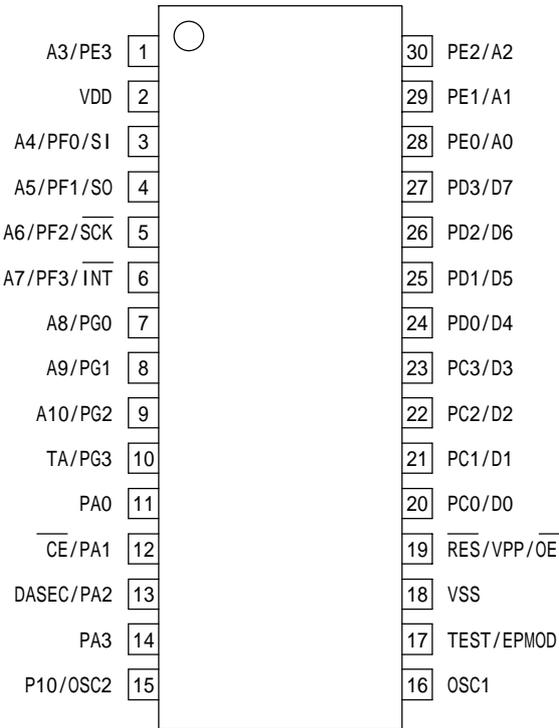
弊社では、ワンタイムマイコンの ROM 書き込みから捺印、スクリーニング、読み出し確認を有料で行うサービスを実施している。詳細については、営業担当者にご相談下さい。

- 本書記載の製品は、極めて高度の信頼性を要する用途（生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途）に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

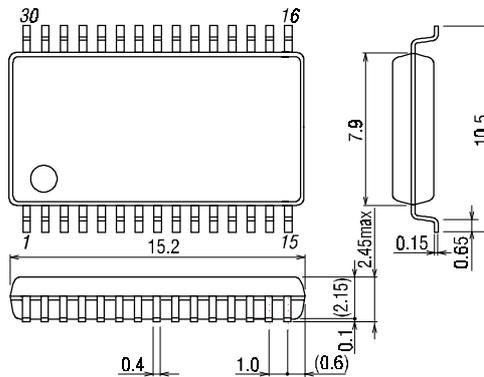
# LC65P43

## 端子配列

DIP・MFP 共通

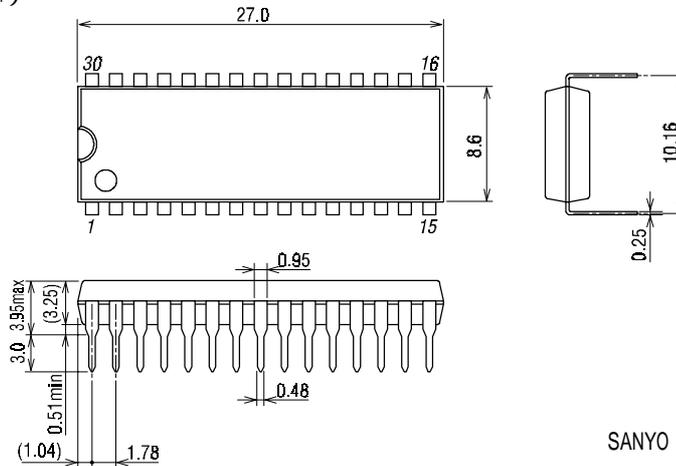


外形図 3216B (unit : mm)



SANYO : MFP30S (375mil)

外形図 3196A (unit : mm)



SANYO : DIP30S-D (400mil)

(注) 上記外形図は交差記述なしの参考図です。正式外形図については、弊社までお問い合わせください。

## LC65P43

### 使用上の注意点

LC65P43 は、LC6543N/F/L,LC6546N/F/L の初期出荷 , 及び少量出荷用に作られたもので、使用に当たっては次の点に注意すること。

(1) 実装時の注意点

ワンタイムマイコンは、その構造上、弊社にて完全な試験を行って出荷することはできない。このため、25 ページに示すスクリーニングを必ず実施すること。

(2) 弊社による PROM 書き込みサービス (有料) を行うときの ROM 発注方法

ワンタイム版の ROM データ書き込みを当社で行う場合に、次のようにすること。

- ・ワンタイム版とマスク版を同時に発注する場合

マスク版の EPROM とマスク版発注資料及び、ワンタイム版発注資料を提出すること。

- ・ワンタイム版のみを発注する場合

ワンタイム版の EPROM と発注資料を提出すること。オプション指定は、SU60K.EXE を使用して行います。

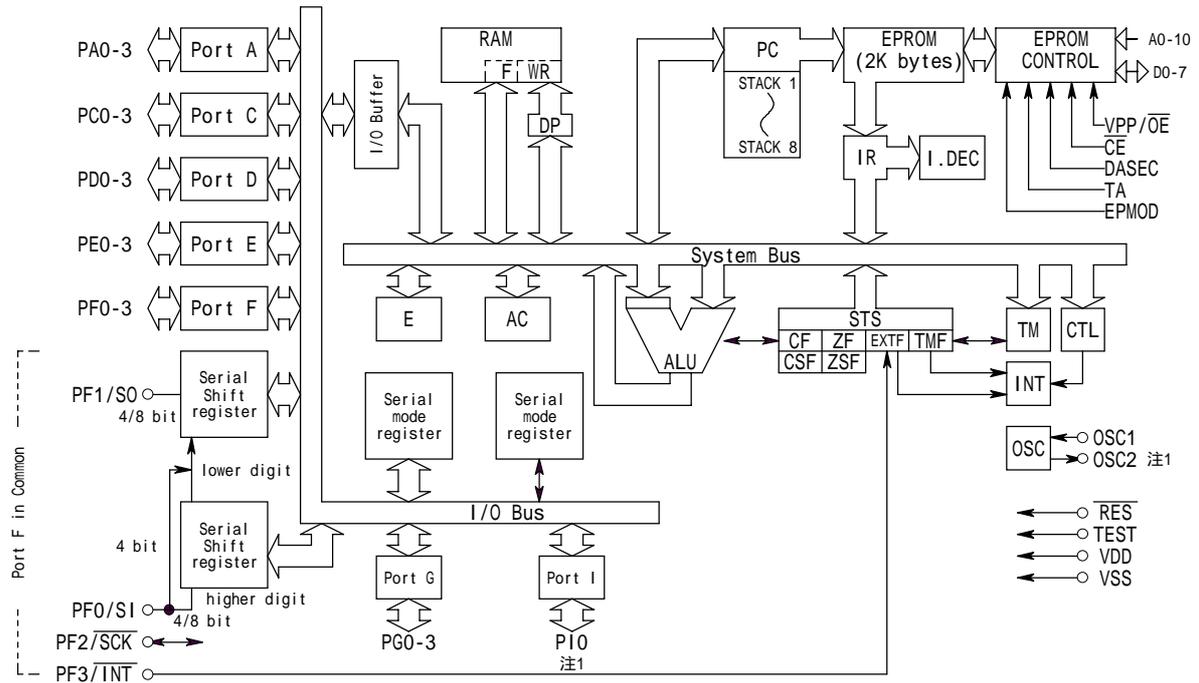
これにより発生されたオプション指定ファイルと当社マクロアセンブラ (M60K.EXE) により生成されたファイルを、当社リンカ (L60K.EXE) でリンクすることによって、オプションコードがオプション指定エリア (800 ~ 804H 番地) に作成されます。

(3) LC65P43 と LC6543N/F/L, LC6546N/F/L の違い

項目	LC65P43	LC6543F/46F	LC6543N/46N	LC6543L/46L
リセット時のポート出力形式	OD 出力固定 (全ポート)	OD/PU 指定可 (マスクオプション)	OD/PU 指定可 (マスクオプション)	OD/PU 指定可 (マスクオプション)
リセット時の C,D ポート出力	H/L 指定可 (オプションコード)	H/L 指定可 (マスクオプション)	H/L 指定可 (マスクオプション)	H/L 指定可 (マスクオプション)
発振回路オプション	CF/RC 指定可 (オプションコード)	CF/RC 指定可 (マスクオプション)	CF/RC 指定可 (マスクオプション)	CF/RC 指定可 (マスクオプション)
分周器オプション	1/1, 1/3, 1/4 指定可 (オプションコード)	1/1 のみ (マスクオプション)	1/1, 1/3, 1/4 指定可 (マスクオプション)	1/1, 1/3, 1/4 指定可 (マスクオプション)
動作電源電圧	4.5 ~ 5.5V	4.5 ~ 6.0V	3.0 ~ 6.0V	2.2 ~ 6.0V
Normal モード消費電流	Typ. マスク版+3mA 前後	Typ. 2.5mA	Typ. 2mA	Typ. 2mA
リセットポート入力「L」レベル電流	Typ. -50μA	Typ. -10μA	Typ. -10μA	Typ. -10μA
動作周囲温度	-30 ~ +70	-40 ~ +85	-40 ~ +85	-40 ~ +85
パッケージ外形	DIP30S-D MFP30S	DIP30S, DIP30S-D MFP30S	DIP30S, DIP30S-D MFP30S	DIP30S, DIP30S-D MFP30S

# LC65P43

LC65P43 システムブロック図



注 1 PI0 と OSC2 はオプション選択による排他的な共通端子である。

RAM	: データ メモリ	ROM	: プロクラセム メモリ
F	: フラグ	PC	: プログラム カウンタ
WR	: ワーキングレジスタ	INT	: 割り込み制御
AC	: アキュムレータ	IR	: インストラクション レジスタ
ALU	: 論理演算ユニット	I.DEC	: インストラクション デコーダ
DP	: データ ポインタ	CF, CSF	: キャリーフラグ, キャリーセーブフラグ
グ		ZF, ZSF	: ゼロフラグ, ゼロセーブフラグ
E	: E レジスタ	EXTF	: 外部割り込み要求フラグ
CTL	: コントロールレジスタ	TMF	: 内部割り込み要求フラグ
OSC	: 発振回路	STS	: ステータスレジスタ
TM	: タイマ		

# LC65P43

## 端子機能

名称	ピン	入出力	機能	オプション	リセット時	PROMモード時
VDD	1	-	電源	-	-	-
VSS	1	-	電源	-	-	-
OSC1	1	入力	<ul style="list-style-type: none"> <li>・システムクロック発振子 RC, セラミック共振子外付け用端子</li> <li>・1端子外部クロック入力時 P10/OSC2 端子は、入出力ポート P10 となる。</li> <li>・2端子 RC 発振、2端子セラミック発振時 P10/OSC2 端子は、発振用端子 OSC2 となる。</li> </ul>	2端子 RC 発振 1端子外部クロック 2端子セラミック発振 分周オプション a.分周器なし b.1/3分周 c.1/4分周	-	-
OSC2 (P10)	1	出力				
PA0 PA1/ $\overline{CE}$ PA2/DASEC PA3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート A0~A3 4ビット単位での入力 (IP 命令)</li> <li>・4ビット単位での出力 (OP 命令)</li> <li>・1ビット単位での判定 (BP, BNP 命令)</li> <li>・1ビット単位でのセット,リセット (SPB, RPB 命令)</li> <li>・PA3 (PA0~PA3 のどちらか選択) はスタンバイのコントロールを行う。</li> <li>・HALT 命令実行サイクル中は PA3 (または PA0~PA3) 端子にチャタリングが入らないようにすること。</li> </ul>	出力オープンドレインのみ	「H」出力 (出力 Nch トランジスタ OFF)	EPROM 制御信号入力 ・ $\overline{CE}$ ・DASEC
PC0/D0 PC1/D1 PC2/D2 PC3/D3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート C0~C3 機能は PA0~PA3 と同じ。(注)</li> <li>・リセット時の出力を、オプションで「H」または「L」に指定できる。</li> <li>(注) スタンバイコントロールの機能はない。</li> </ul>	出力オープンドレインのみ リセット時出力「H」 リセット時出力「L」 ・ , の指定は4ビット一括	「H」出力 ・「L」出力 (オプションによる)	データ入出力 ・D0~D3
PD0/D4 PD1/D5 PD2/D6 PD3/D7	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート D0~D3 機能、オプション共 PC0~PC3 と同じ。</li> </ul>	PC0~PC3 と同じ	PC0~PC3 と同じ	データ入出力 ・D4~D7
PE0/A0 PE1/A1 PE2/A2 PE3/A3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート E0~E3 4ビット単位での入力 (IP 命令)</li> <li>・4ビット単位での出力 (OP 命令)</li> <li>・1ビット単位でのセット,リセット (SPB, RPB 命令)</li> <li>・1ビット単位での判定 (BP, BNP 命令)</li> <li>・PE0 は、連続パルス(64Tcyc)出力機能付き。</li> </ul>	出力オープンドレインのみ	「H」出力 (出力 Nch トランジスタ OFF)	アドレス入力 ・A0~A3

## LC65P43

名称	ピン	入出力	機能	オプション	リセット時	PROMモード時
PF0/SI/A4 PF1/SO/A5 PF2/ $\overline{\text{SCK}}$ /A6 PF3/ $\overline{\text{INT}}$ /A7	4	入出力	<ul style="list-style-type: none"> <li>入出力ポート F0～F3 機能、オプションは PE0～PE3 と同じ。 (注)</li> <li>PF0～PF3 はシリアルインタフェース、<math>\overline{\text{INT}}</math> 入力と兼用になっている。</li> </ul> プログラムによりどちらにするか選択できる。 SI・・・シリアル入力ポート SO・・・シリアル出力ポート $\overline{\text{SCK}}$ ・・・シリアルクロック用入出力 $\overline{\text{INT}}$ ・・・割り込み要求入力 シリアル入出力の4ビット/8ビット切り換えは、プログラムにより選択可。 (注) 連続パルス出力機能はない。	PE0～PE3 と同じ	<ul style="list-style-type: none"> <li>PE0～PE3 と同じ</li> <li>シリアルポートはデisable</li> <li>割り込みソースは <math>\overline{\text{INT}}</math></li> </ul>	アドレス入力 A4～A7
PG0/A8 PG1/A9 PG2/A10 PG3/TA	4	入出力	<ul style="list-style-type: none"> <li>入出力ポート G0～G3 機能、オプションは PE0～PE3 と同じ。 (注)</li> </ul> (注) 連続パルス出力機能はない。	PE0～PE3 と同じ	PE0～PE3 と同じ	<ul style="list-style-type: none"> <li>アドレス入力 A8～A10</li> <li>EPROM 制御信号入力 TA</li> </ul>
PI0 (OSC2)	1	入出力	<ul style="list-style-type: none"> <li>入出力ポート I0 機能、オプションは PG0～PG3 と同じ。但し、1ビット構成。</li> <li>2端子 OSC 時は OSC2 端子となり入出力ポート機能はなくなる。</li> </ul>	PG0～PG3 と同じ	PG0～PG3 と同じ	-
$\overline{\text{RES}}$ /VPP/ $\overline{\text{OE}}$	1	入力	<ul style="list-style-type: none"> <li>システムリセット入力。</li> <li>パワーアップリセットは、外付けCを接続。</li> <li>リセットスタートは、「L」レベルを4クロックサイクル以上入力。</li> </ul>	-	-	EPROM 制御信号入力 VPP/ $\overline{\text{OE}}$
TEST/EPMOD	1	入力	<ul style="list-style-type: none"> <li>LSI のテスト用端子 通常 VSS へ接続。</li> </ul>	-	-	EPROM 制御信号入力 EPMOD

## ユーザオプションの種類

### (1)リセット時のポートC, D出力レベルオプション

入出力ポートC, Dはそれぞれ4ビット一括で、リセット時の出力レベルを次の2つのオプションから選択できる。

オプション名	条 件・その他
1.リセット時出力「H」レベル	ポートC, Dの4ビット一括
2.リセット時出力「L」レベル	ポートC, Dの4ビット一括

### (2)ポート出力形式オプション

入出力ポートA,C,D,E,F,G,Iは、全てオープンドレイン出力形式に固定される。

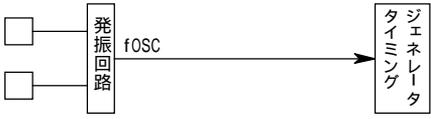
オプション名	回 路
1.オープンドレイン出力 (0D)	

### (3)発振回路オプション

オプション名	回 路	条 件・そ の 他
1.外部クロック		・PI0/OSC2 端子は、ポートPI0として使用
2.2端子RC発振		・PI0/OSC2 端子は、OSC2 となりポートとしての機能はなくなる。
2.セラミック発振子		・PI0/OSC2 端子は、OSC2 となりポートとしての機能はなくなる。

# LC65P43

## (4)分周器オプション

オプション名	回路	条件・その他
1.分周器なし (1/1)		<ul style="list-style-type: none"> <li>・ 3つの発振オプション全てに適応される。</li> <li>・ 発振周波数，外部クロックは 1444kHz を超えない(LC6543N, 6546N)。</li> <li>・ 発振周波数，外部クロックは 4330kHz を超えない(LC6543F, 6546F)。</li> <li>・ 発振周波数，外部クロックは 1040kHz を超えない(LC6543L, 6546L)。</li> </ul>
2. 1/3 分周器内蔵		<ul style="list-style-type: none"> <li>・ 外部クロックおよびセラミック発振の2つのオプションのみ適応。</li> <li>・ 発振周波数，外部クロックは 4330kHz を超えない。</li> </ul>
3. 1/4 分周器内蔵		<ul style="list-style-type: none"> <li>・ 外部クロックおよびセラミック発振の2つのオプションのみ適応。</li> <li>・ 発振周波数，外部クロックは 4330kHz を超えない。</li> </ul>

## 使用方法

### (1) オプション指定方法

オプション指定は、SU60K.EXE を使用して行います。これにより発生されたオプション指定ファイルと当社マクロアセンブラ(M60K.EXE)により生成されたファイルを、当社リンカ(L60K.EXE)でリンクすることによって、オプションコードがオプション指定エリア(800~804H番地)に作成されます。

また、オプション指定エリアに直接データをセットすることも可能である。この場合、11ページに示すオプションコード作成一覧表に従ってオプション指定を行うこと。

### (2) PROM への書き込み方法

作成したデータを LC65P43 に書き込みを行う場合、専用の書き込み変換基板(W65EP43D,W65EP43M)を用いることによって、汎用 EPROM プログラマを使用することができる。

・EPROM プログラマには、下表に示すものが使用可能である。

メーカー	使用可能機種
アドバンテスト	R4945, R4944A, R4943 または、同等品
安藤	AF-9704
AVAL	-
ミナトエレクトロニクス	-

・書き込み方式には、“27512(VPP=12.5V)インテル高速書き込み”を使用すること。その時、アドレスの設定

は“0~804H番地”を指定し、ジャンパ(DASEC)は必ずOFFにすること。

### (3) データセキュリティ機能の使用方法

「データセキュリティ」とは、予め、マイコンの EPROM に書き込まれているデータを読み出せないようにする機能である。

LC65P43 にデータセキュリティをかける場合には、以下の手順で行うこと。

1. 書き込み変換基板上のジャンパ(DASEC)をONにする。

2. 再度、データを書き込む。

この時、本機能が動作するために、EPROM プログラマはエラーを表示するが、プログラマおよび LSI の異常ではない。

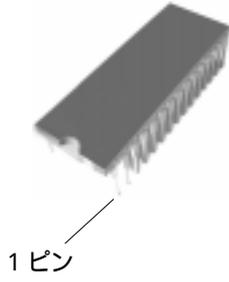
注意：・手順2で、全アドレスのデータが“FF”の場合、データセキュリティはかからない。

・手順2で、「BLANK PROGRAM VERIFY」の連続動作による書き込みでは、データセキュリティはかからない。

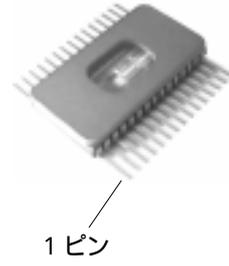
・データセキュリティを行った後は、必ずジャンパをOFFに戻すこと。

# LC65P43

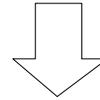
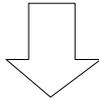
LC65P43(DIP30S)



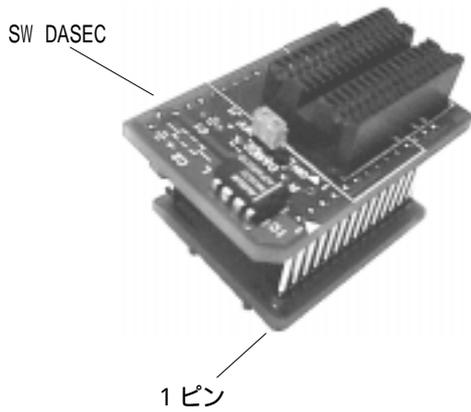
LC65P43(MFP30S)



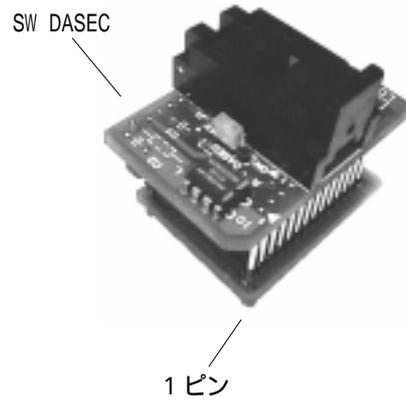
LC65P43 をソケットに正しく差すこと。



W65EP43D



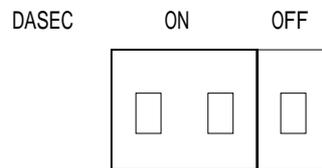
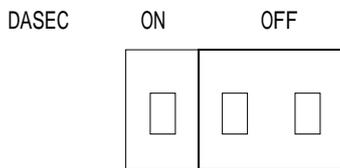
W65EP43M



## DASEC の設定

・通常書き込みを行う場合

・セキュリティをかける場合



## LC65P43

### (4) オプションデータのエリアと定義

ROM エリア	ビット	オプション項目	オプションとデータとの関係	
800H	7	43/46 選択	1:46      0:43	
	6	未使用	0 に固定する。	
	5	PD	リセット時の出力 レベル	
	4	PC		
	3	OSC 分周選択		00:1/1      01:1/3
	2	(XX=bit3,bit2)		10:1/4      11:禁止
	1	OSC 選択		00:禁止      01: 1 端子 EXT
0	(XX=bit1,bit0)		10: 2 端子 RC    11: 2 端子 CF	
801H	7	PC3	出力形式 (注1) 1=PU,0=OD	
	6	PC2		
	5	PC1		
	4	PC0		
	3	PA3	出力形式 (注1) 1=PU,0=OD	
	2	PA2		
	1	PA1		
0	PA0			
802H	7	PE3	出力形式 (注1) 1=PU,0=OD	
	6	PE2		
	5	PE1		
	4	PE0		
	3	PD3	出力形式 (注1) 1=PU,0=OD	
	2	PD2		
	1	PD1		
0	PD0			
803H	7	PG3	出力形式 (注1) 1=PU,0=OD	
	6	PG2		
	5	PG1		
	4	PG0		
	3	PF3	出力形式 (注1) 1=PU,0=OD	
	2	PF2		
	1	PF1		
0	PF0			
804H	7	未使用	0 に固定する。	
	6			
	5			
	4			
	3			
	2			
	1			
0	PIO	出力形式	1=PU,0=OD (注1)(注2)	

(注1) LC65P43 はポートオプションデータに関係なく全てオープンドレイン形式となるが、LC6543/46 (マスク版) 使用時のポートオプションを選択しておくこと。

PU: プルアップ抵抗付き, OD: オープンドレイン

(注2) 1 端子 EXT 発振をオプション選択した場合のみ有効。

2 端子 RC 発振, 2 端子 CF 発振をオプション選択した場合は, 無条件で「0」とする。

# LC65P43

## LC6543N, 6546N 対応時

### 1. 絶対最大定格 / Ta=25、VSS=0V

項目	記号	条件	適用端子・備考	規格	min.
最大電源電圧	VDDMAX		VDD	-0.3 ~ +7.0	V
出力電圧	VO		OSC2	発生する電圧まで許容する	
入力電圧	VI(1)		OSC1 (注1)	-0.3 ~ VDD+0.3	
	VI(2)		TEST, RES	-0.3 ~ VDD+0.3	
入出力電圧	VI0(1)	PI0 以外の入出力ポート	ポート	-0.3 ~ +15	
	VI0(2)	PI0	ポート	-0.3 ~ VDD+0.3	
ピーク出力電流	IOP		入出力ポート	-2 ~ +20	mA
平均出力電流	IOA	1 端子当たり 100ms 間の平均	入出力ポート	-2 ~ +20	
	IOA(1)	PC0 ~ PC3, PD0 ~ PD3 および、PE0 ~ PF3 の合計電流 (注2)	PC0 ~ PC3 PD0 ~ PD3 PE0 ~ PE3	-15 ~ +100	
	IOA(2)	PF0 ~ PF3, PG0 ~ PG3 および、PA0 ~ PA3, PI0 の合計電流 (注2)	PF0 ~ PF3, PI0 PG0 ~ PG3 PA0 ~ PA3	-15 ~ +100	
許容消費電力	Pd max(1)	Ta=-30 ~ +70 (DIPパッケージ)		250	mW
	Pd max(2)	Ta=-30 ~ +70 (MFPパッケージ)		150	
動作周囲温度	Topr			-30 ~ +70	
保存周囲温度	Tstg			-55 ~ +125	

### 2. 許容動作範囲 / Ta=-30 ~ +70、VSS=0V、VDD=4.5 ~ 5.5V (指定のない場合)

項目	記号	条件	適用端子・備考	規格			unit	
				min.	typ.	max.		
動作電源電圧	VDD		VDD	4.5		5.5	V	
スタンバイ電源電圧	VST	RAM, レジスタ保持 (注3)	VDD	1.8		5.5		
入力「H」レベル電圧	VIH(1)	出力 Nch Tr. オフ	ポート A, C, D, E, F, G	0.7VDD		13.5		
	VIH(2)	出力 Nch Tr. オフ	ポート I	0.8VDD		VDD		
	VIH(3)	出力 Nch Tr. オフ	INT, SCK, SI	0.8VDD		13.5		
	VIH(4)		VDD=1.8 ~ 5.5V	RES	0.8VDD		VDD	
	VIH(5)	外部クロック仕様		OSC1	0.8VDD		VDD	
入力「L」レベル電圧	VIL(1)	出力 Nch Tr. オフ	ポート	VSS		0.3VDD		
	VIL(2)	出力 Nch Tr. オフ	INT, SCK, SI	VSS		0.25VDD		
	VIL(3)	外部クロック仕様	OSC1	VSS		0.25VDD		
	VIL(4)		TEST	VSS		0.3VDD		
	VIL(5)		RES	VSS		0.25VDD		

# LC65P43

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
動作周波数 (サイクルタイム)	fOP (Tcyc)	クロックは 1/3 または、1/4 分周内蔵波形使用時は 4.33MHz までとする。		200 (20)		1444 (2.77)	kHz ( $\mu$ s)
外部クロック条件 周波数	text	図 1 . クロック周波数が、1.444MHz をこえる時は、1/3, 1/4 分周器内蔵とする。	OSC1	200		4330	kHz
パルス幅	textH, textL		OSC1	69			ns
立上り/立下り時間	textR, textF		OSC1			50	
発振保証定数 2 端子 RC 発振	Cext	図 2	OSC1, OSC2		220 $\pm$ 5%		pF
セラミック発振	Rext	図 2	OSC1, OSC2		5.6 $\pm$ 1%		k $\Omega$
		図 3			表 1 参照		

# LC65P43

## 3. 電氣的特性 / Ta=-30 ~ +70、VSS=0V、VDD=4.5 ~ 5.5V (指定のない場合)

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
入力「H」 レベル電流	I1H(1)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=13.5V	ポート A,C,D, E,F,G			5.0	μA
	I1H(2)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=VDD	ポート I			5.0	
	I1H(3)	外部クロック時, VIN=VDD	OSC1			1.0	
入力「L」 レベル電流	I1L(1)	・出力 Nch トランジスタオフ ・VIN=VSS	ポート	-1.0			
	I1L(2)	VIN=VSS	RES	-150	-50		
	I1L(3)	外部クロック時, VIN=VSS	OSC1	-1.0			
出力「L」 レベル電圧	VOL(1)	IOL=10mA	ポート			1.5	V
	VOL(2)	IOL=1mA, 全ポートの IOL が 各々1mA 以下の時	ポート			0.5	
シミュ リット 特性	ヒステリシス電圧	VHIS	RES, INT, SCK, SI		0.1VDD		
	Hレベルシュ ミット電圧	VtH	シュミット仕様時の OSC1 (注4)	0.4VDD		0.8VDD	
	Lレベルシュ ミット電圧	VtL		0.2VDD		0.6VDD	
消費電流	2端子RC発振 セラミック発振	IDDOP(1)	・動作時, 出力 Nch Tr. オフ ・ポート=VDD ・図2 fosc=850kHz(TYP)	VDD		4.5 6	mA
		IDDOP(2)	図3 4MHz, 1/3分周	VDD		4.5 7	
		IDDOP(3)	図3 4MHz, 1/4分周	VDD		4.5 6	
		IDDOP(4)	図3 400kHz	VDD		4.0 4.5	
		IDDOP(5)	図3 800kHz	VDD		4.5 6	
	外部クロック	IDDOP(6)	・200kHz ~ 1444kHz, 1/1分周 ・600kHz ~ 4330kHz, 1/3分周 ・800kHz ~ 4330kHz, 1/4分周	VDD		4.5 7	
スタンバイ時	IDDst	出力 Nch Tr. オフ VDD=5.5V ポート=VDD VDD=3V	VDD VDD		0.05 10 0.025 5	μA	
発振特性 セラミック発振 発振周波数	fCFOSC (注5)	・図3 fo=400kHz ・図3 fo=800kHz ・図3 fo=1MHz ・図3 fo=4MHz, 1/3分周, 1/4分周	OSC1, OSC2	384	400	416	kHz
			OSC1, OSC2	768	800	832	
			OSC1, OSC2	960	1000	1040	
			OSC1, OSC2	3840	4000	4160	
発振安定時間	tCFS	・図4 fo=400kHz ・図4 fo=800kHz, 1MHz, 4MHz, 1/3分周, 1/4分周				10	ms
						10	
2端子RC発振 発振周波数	fMOSC	・図2 Cext=220PF ± 5% ・図2 Rext=5.6kΩ ± 1%	OSC1, OSC2	649	850	1321	kHz
プルアップ抵抗 RES	Ru	VIN=VSS VDD=5V	RES	50	100	250	kΩ

# LC65P43

項目	記号	条件	VDD(V)	適用端子・備考	規格			
					min.	typ.	max.	unit
外部リセット特性 リセット時間	tRST					図5参照		
端子容量	Cp	・ f=1MHz ・ 被測定端子以外 VIN=VSS				10		pF
シリアルクロック 入力クックサイクルタイム	tCKCY(1)	図6		$\overline{\text{SCK}}$	3.0			μs
出力クックサイクルタイム	tCKCY(2)	図6		$\overline{\text{SCK}}$		64 × TCYC (注6)		
入力クロック 「L」レベル幅	tCKL(1)	図6		$\overline{\text{SCK}}$	1.0			
出力クロック 「L」レベル幅	tCKL(2)	図6		$\overline{\text{SCK}}$		32 × TCYC		
入力クロック 「H」レベル幅	tCKH(1)	図6		$\overline{\text{SCK}}$	1.0			
出力クロック 「H」レベル幅	tCKH(2)	図6		$\overline{\text{SCK}}$		32 × TCYC		
シリアル入力 データセットアップ時間	tICK	$\overline{\text{SCK}}$ の に対して規定する 図6		SI	0.4			
データホールド時間	tCKI			SI	0.4			
シリアル出力 出力遅延時間	tCKO	$\overline{\text{SCK}}$ の に対して規定する Nch ODのみ外付け 1kΩ 外付け 50pF 図6		SO			0.6	
パルス出力 周期	tPCY	図7 TCYC=4 × システムクロック Nch ODのみ外付け 1kΩ 外付け 50pF		PE0		64 × TCYC		
	tPH			PE0		32 × TCYC ± 10%		
	tPL			PE0		32 × TCYC ± 10%		

- (注1) 図4の発振回路および保証定数で内部発振させた場合、発生する発振振幅まで許容するものとする。
- (注2) 100ms間の平均
- (注3) HALT命令を実行してスタンバイ状態となるまでは必ず動作電源電圧VDDを保持すること。また、HALT命令実行サイクル中は、PA3(またはPA0~PA3)端子にチャタリングが入らないようにすること。
- (注4) OSC1は発振オプションで2端子RC発振、外部クロック発振を選択した時にシュミット仕様になる。
- (注5) fCFOSCは発振可能な周波数を示す。セラミック発振時の中心周波数はセラミック発振子メーカーの公称値と約1%の相異がある。詳細についてはセラミック発振子の仕様を参照すること。
- (注6) TCYC=4×システムクロック周期

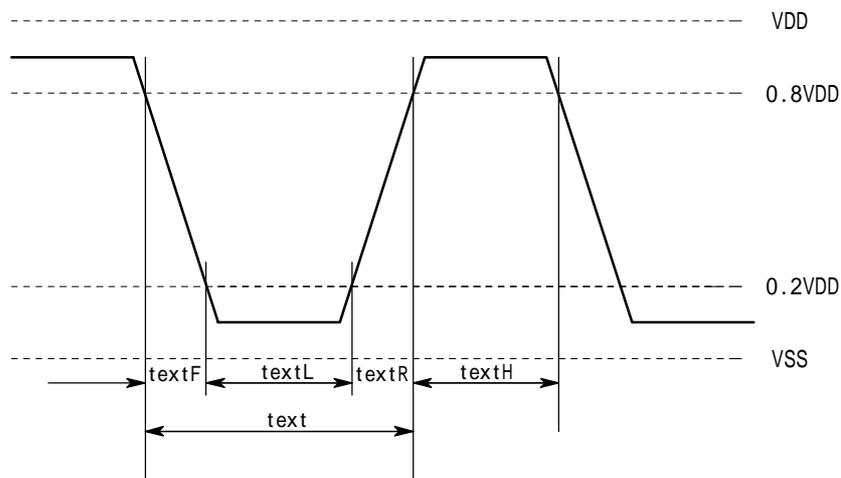
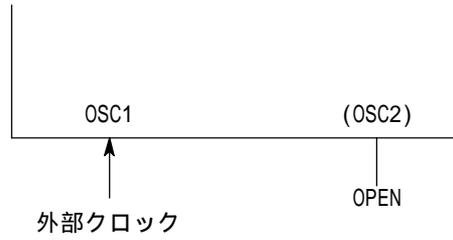


図1 外部クロック入力波形

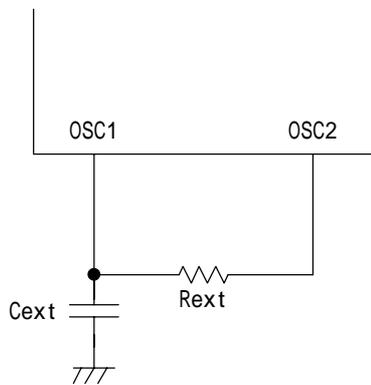


図2 2端子RC発振回路

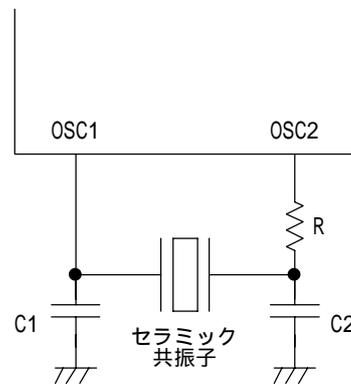


図3 セラミック発振回路

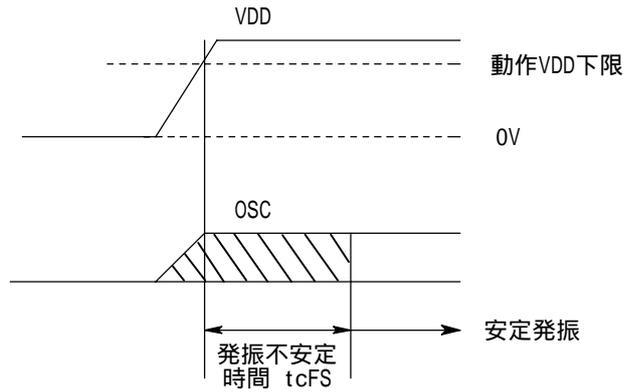


図4 発振安定時間

表1 セラミック発振保証定数

4MHz(ムラタ) CSA4.00MG	C1	33pF ± 10%
	C2	33pF ± 10%
	R	0Ω
4MHz(京セラ) KBR4.0MSA	C1	33pF ± 10%
	C2	33pF ± 10%
	R	0Ω
4MHz(ムラタ) CST4.00MGW(C内蔵)	C1	33pF ± 10%
	C2	33pF ± 10%
	R	0Ω
1MHz(ムラタ) CSB1000J	C1	100pF ± 10%
	C2	100pF ± 10%
	R	2.2kΩ
1MHz(京セラ) KBR1000F	C1	100pF ± 10%
	C2	100pF ± 10%
	R	0Ω
800kHz(ムラタ) CSB800J	C1	100pF ± 10%
	C2	100pF ± 10%
	R	2.2kΩ
800kHz(京セラ) KBR800F	C1	100pF ± 10%
	C2	100pF ± 10%
	R	0Ω
400kHz(ムラタ) CSB400P	C1	220pF ± 10%
	C2	220pF ± 10%
	R	2.2kΩ
400kHz(京セラ) KBR400K	C1	330pF ± 10%
	C2	330pF ± 10%
	R	0Ω

\*上記定数は暫定定数。正式定数は評価後決定。

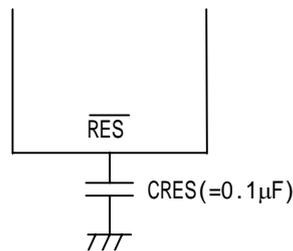


図5 リセット回路

(注) 電源の立ち上がり時間がゼロの時、  
CRES=0.5μFにてリセット時間は  
10ms ~ 100msとなる。  
電源の立ち上がり時間が大きい場合、  
必ずリセット時間が10ms以上となる  
よう CRES の値を増加する。

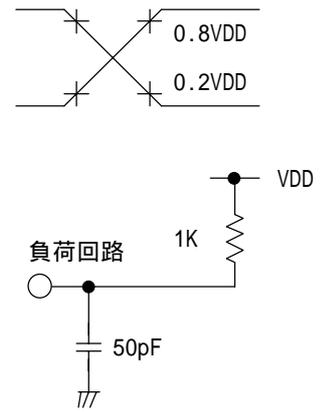
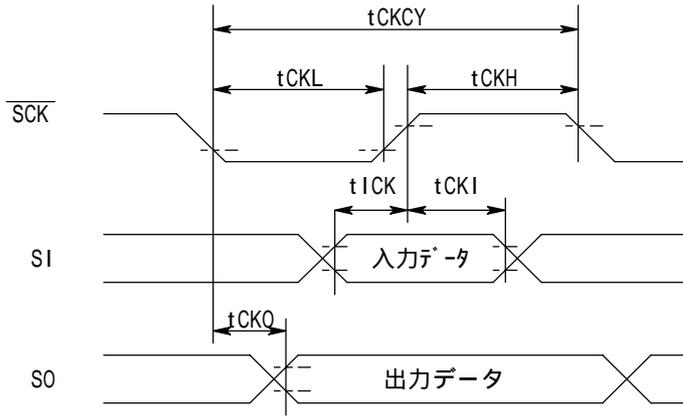
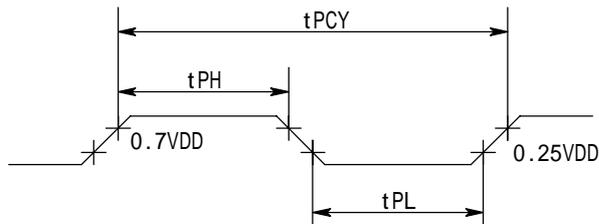


図6 シリアル入出力タイミング



負荷条件は図6と同じ

図7 ポート PE0 パルス出力タイミング

# LC65P43

LC6543F, 6546F 対応時

1. 絶対最大定格 / Ta=25、VSS=0V

項目	記号	条件	適用端子・備考	規格	min.
最大電源電圧	VDDMAX		VDD	-0.3 ~ +7.0	V
出力電圧	VO		OSC2	発生する電圧まで許容する	
入力電圧	VI(1)		OSC1 (注1)	-0.3 ~ VDD+0.3	
	VI(2)		TEST, $\overline{\text{RES}}$	-0.3 ~ VDD+0.3	
入出力電圧	VI0(1)	PI0 以外の入出力ポート	ポート	-0.3 ~ +15	
	VI0(2)	PI0	ポート	-0.3 ~ VDD+0.3	
ピーク出力電流	IOP		入出力ポート	-2 ~ +20	mA
平均出力電流	IOA	1 端子当たり 100ms 間の平均	入出力ポート	-2 ~ +20	
	IOA(1)	PC0 ~ PC3, PD0 ~ PD3 および、PE0 ~ PE3 の合計電流 (注2)	PC0 ~ PC3 PD0 ~ PD3 PE0 ~ PE3	-15 ~ +100	
	IOA(2)	PF0 ~ PF3, PG0 ~ PG3 および、PA0 ~ PA3, PI0 の合計電流 (注2)	PF0 ~ PF3, PI0 PG0 ~ PG3 PA0 ~ PA3	-15 ~ +100	
許容消費電力	Pd max(1)	Ta=-30 ~ +70 (DIPパッケージ)		250	mW
	Pd max(2)	Ta=-30 ~ +70 (MFPパッケージ)		150	
動作周囲温度	Topr			-30 ~ +70	
保存周囲温度	Tstg			-55 ~ +125	

許容動作範囲 / Ta=-30 ~ +70、VSS=0V、VDD=4.5 ~ 5.5V (指定のない場合)

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
動作電源電圧	VDD		VDD	4.5		5.5	V
スタンバイ電源電圧	VST	RAM, レジスタ保持 (注3)	VDD	1.8		5.5	
入力「H」レベル電圧	VIH(1)	出力 Nch Tr. オフ	ポート A, C, D, E, F, G	0.7VDD		13.5	
	VIH(2)	出力 Nch Tr. オフ	ポート I	0.8VDD		VDD	
	VIH(3)	出力 Nch Tr. オフ	$\overline{\text{INT}}$ , $\overline{\text{SCK}}$ , SI	0.8VDD		13.5	
	VIH(4)		VDD=1.8 ~ 5.5V $\overline{\text{RES}}$	0.8VDD		VDD	
	VIH(5)	外部クロック仕様	OSC1	0.8VDD		VDD	
入力「L」レベル電圧	VIL(1)	出力 Nch Tr. オフ	ポート	VSS		0.3VDD	
	VIL(2)	出力 Nch Tr. オフ	$\overline{\text{INT}}$ , $\overline{\text{SCK}}$ , SI	VSS		0.25VDD	
	VIL(3)	外部クロック仕様	OSC1	VSS		0.25VDD	
	VIL(4)		TEST	VSS		0.3VDD	
	VIL(5)		$\overline{\text{RES}}$	VSS		0.25VDD	

# LC65P43

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
動作周波数 (サイクルタイム)	fOP (Tcyc)			200 (20)		4330 (0.92)	kHz (s)
外部クロック条件 周波数	text	} 図1	OSC1	200		4330	kHz
パルス幅	textH, textL		OSC1	69			ns
立上り/立下り時間	textR, textF		OSC1			50	
発振保証定数 セラミック発振		図2		表1参照			

### 3. 電気的特性 / Ta=-30~+70、VSS=0V、VDD=4.5~5.5V (指定のない場合)

項目	記号	条件	適用端子・備考	規格				
				min.	typ.	max.	unit	
入力「H」 レベル電流	IIH(1)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=13.5V	ポート A,C,D, E,F,G			5.0	A	
	IIH(2)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=VDD	ポート I			5.0		
	IIH(3)	外部クロック時, VIN=VDD	OSC1			1.0		
入力「L」 レベル電流	IIL(1)	・出力 Nch トランジスタオフ ・VIN=VSS	ポート	-1.0				
	IIL(2)	VIN=VSS	RES	-150	-50			
	IIL(3)	外部クロック時, VIN=VSS	OSC1	-1.0				
出力「L」 レベル電圧	VOL(1)	IOL=10mA	ポート			1.5	V	
	VOL(2)	IOL=1mA, 全ポートの IOL が 各々1mA 以下の時	ポート			0.5		
シュミット 特性	ヒステリシス電圧	VHIS	RES, INT, SCK, S		0.1VDD			
	Hレベルシュミット電圧	VtH	I シュミット仕様 時の OSC1 (注4)		0.4VDD		0.8VDD	
	Lレベルシュミット電圧	VtL			0.25VDD		0.6VDD	
消費電流 セラミック発振	IDDOP(1)	図2 4MHz 200kHz ~ 4330kHz } *1	VDD		5	8	mA	
外部クロック	IDDOP(2)	*1 動作時, 出力 Nch Tr. オフ ポート=VDD	VDD		5	8		
スタンバイ時	IDDst	出力 Nch Tr. オフ ポート=VDD	VDD=5.5V	VDD		0.05	10	A
			VDD=3V	VDD		0.025	5	

# LC65P43

項目	記号	条件	VDD(V)	適用端子・備考	規格			
					min.	typ.	max.	unit
発振特性								
セラミック発振 発振周波数	fCFOSC	図 2 fo=4MHz (注 5)		OSC1, OSC2	3840	4000	4160	kHz
発振安定時間	tCFS	図 3 fo=4MHz					10	ms
ブルアップ抵抗 RES	Ru	VIN=VSS VDD=5V		RES	50	100	250	kΩ
外部リセット特性 リセット時間	tRST						図 4 参照	
端子容量	Cp	・ f=1MHz ・ 被測定端子以外 VIN=VSS				10		pF
シリアルクロック 入力クックサイクルタイム	tCKCY(1)	図 5		SCK	2.0			μs
出力クックサイクルタイム	tCKCY(2)	図 5		SCK		64 × TCYC (注 6)		
入力クロック 「L」レベル幅	tCKL(1)	図 5		SCK	0.6			
出力クロック 「L」レベル幅	tCKL(2)	図 5		SCK		32 × TCYC		
入力クロック 「H」レベル幅	tCKH(1)	図 5		SCK	0.6			
出力クロック 「H」レベル幅	tCKH(2)	図 5		SCK		32 × TCYC		
シリアル入力 データセットアップ時間	tICK	SCK の に対して規定する		SI	0.2			
データホールド時間	tCKI	図 5		SI	0.2			
シリアル出力 出力遅延時間	tCKO	SCK の に対して規定する Nch OD のみ外付け 1kΩ 外付け 50pF 図 5		SO			0.4	
パルス出力 周期	tPCY	図 6		PE0		64 × TCYC		
「H」レベル幅	tPH	TCYC=4 × システムクロック周期 Nch OD のみ外付け 1kΩ		PE0		32 × TCYC ± 10%		
「L」レベル幅	tPL	外付け 50pF		PE0		32 × TCYC ± 10%		

(注 1) 図 2 の発振回路および保証定数で内部発振させた場合、発生する発振振幅まで許容するものとする。

(注 2) 100ms 間の平均

(注 3) HALT 命令を実行してスタンバイ状態となるまでは必ず動作電源電圧 VDD を保持すること。また、HALT 命令実行サイクル中は、PA3 (または PA0 ~ PA3) 端子にチャタリングが入らないようにすること。

(注 4) OSC1 は発振オプションで外部クロック発振を選択した時に、シュミット仕様になる。

(注 5) fCFOSC は発振可能な周波数を示す。

(注 6) TCYC=4 × システムクロック周期

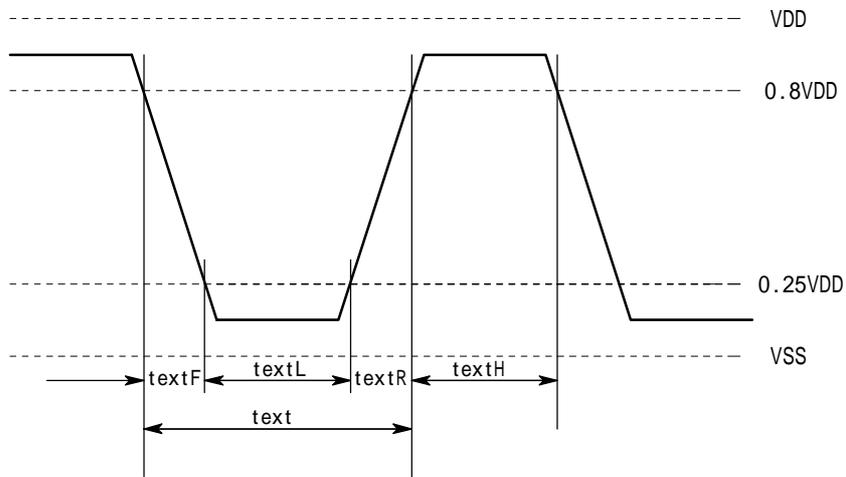
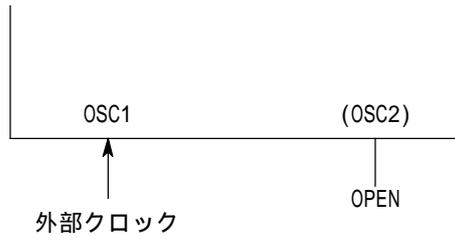


図1 外部クロック入力波形

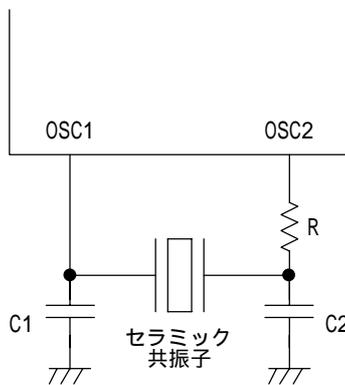


図2 セラミック発振回路

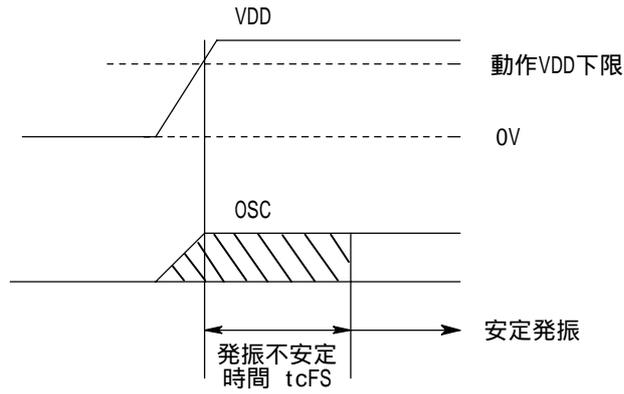


図3 発振安定時間

表1 セラミック発振保証定数

4MHz(ムラタ)	C1	33pF ± 10%
CSA4.00MG	C2	33pF ± 10%
CST4.00MGW(C内蔵)	R	0Ω
4MHz(京セラ)	C1	33pF ± 10%
KBR4.0MSA	C2	33pF ± 10%
KBR4.0MKS(C内蔵)	R	0Ω

\*上記定数は暫定定数。正式定数は評価後決定。

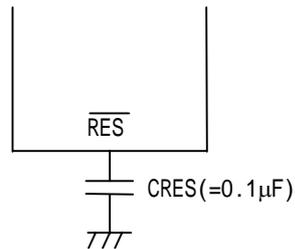


図4 リセット回路

(注) 電源の立ち上がり時間がゼロの時、  
CRES=0.5μFにてリセット時間は  
10ms~100msとなる。  
電源の立ち上がり時間が大きい場合、  
必ずリセット時間が10ms以上となる  
ようCRESの値を増加する。

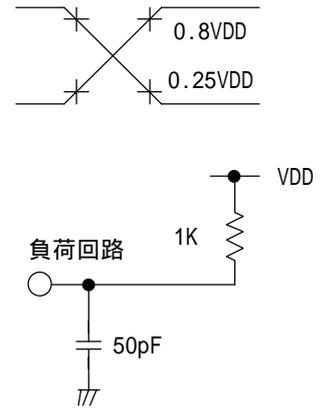
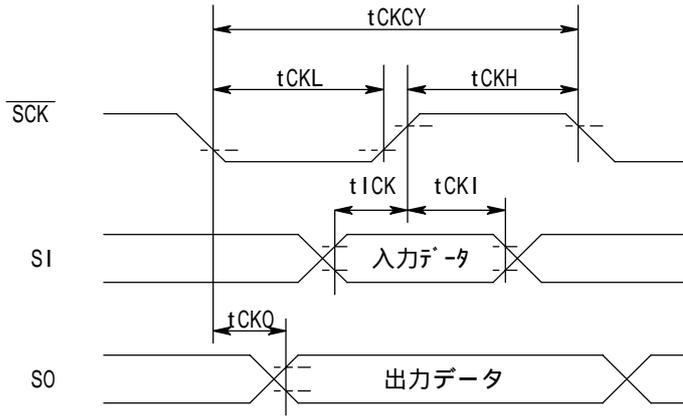
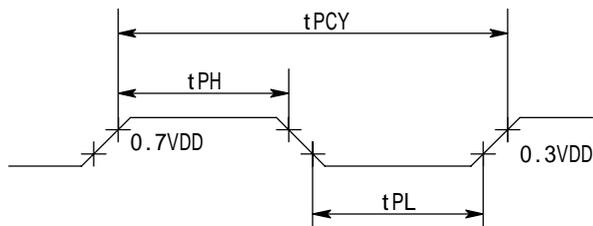


図5 シリアル入出力タイミング

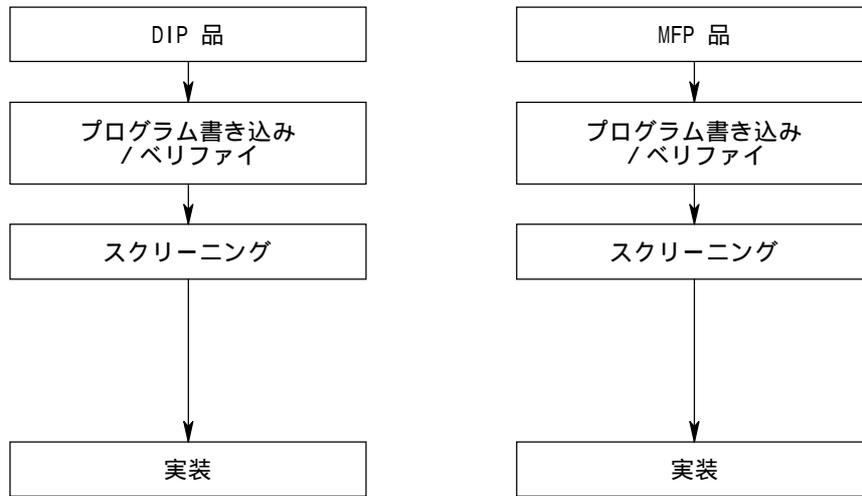


負荷条件は図5と同じ

図6 ポート PE0 パルス出力タイミング

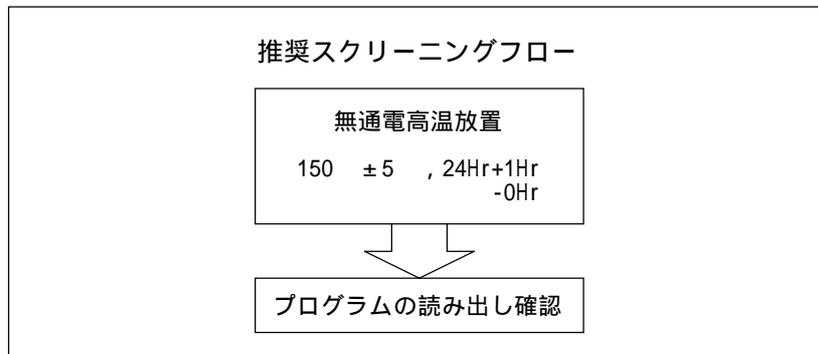
ワンタイムマイコンの実装前条件について

本機種には、IDP/MFPパッケージが準備されているが、以下に示す各フローを必ず実施すること。



ワンタイムマイコンのスクリーニングについて

ワンタイムマイコン（PROM 未書き込み品）は、その構造上、弊社にて完全な試験を行って出荷することができない。ROM 書き込み後の信頼性を高めるために、下記フローによるスクリーニングの実施を推奨する。



ワンタイムマイコン PROM 未書き込み品は、その性質上、全ビット書き込み試験を実施することはできない。従って、必ずしも書き込み歩留まり 100%を保証できない場合があるので、あらかじめ御了承ください。

memo:

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。