

SANYO**三洋半導体開発ニュース**

No. N 6845

D0500

暫定規格

LC87F52C8A

CMOS LSI
FROM128K バイト, RAM4K バイト内蔵
8ビット1チップマイクロコンピュータ

概要

LC87F52C8Aは、最小バスサイクルタイム100nsで動作するCPU部を中心にして、128KバイトのフラッシュROM（オンボード書き換え可能）、4KバイトRAM、高機能16ビットタイマ/カウンタ×2（8ビットタイマに分割可）、プリスケアラ付き8ビットタイマ×4、時計用ベースタイマ、自動転送機能付き同期式SIO×2、非同期/同期式SIO×1、12ビットPWM×2、8ビット12チャンネルADコンバータ、高速8ビットパラレルインタフェース、高速クロックカウンタ、システムクロック分周機能、21要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

特長**フラッシュROM**

- ・5V単一電源でのオンボード書き込み可能。
- ・128バイト単位でのブロック消去可能。
- ・131071×8ビット（LC87F52C8A）

最小バスサイクルタイム

- ・100ns（10MHz）
- （注）バスサイクルタイムはROMの読み出し速度を表します。

最小命令サイクルタイム

- ・300ns（10MHz）

ポート

- ・ノーマル耐圧入出力ポート
 - 1ビット単位で入出力指定可能 61（P1n, P2n, P3n, P70~P73, P8n, PAn, PBn, PCn, S2Pn）
 - 2ビット単位で入出力指定可能 16（PEn, PFn）
 - 4ビット単位で入出力指定可能 8（P0n）
- ・ノーマル耐圧入力ポート 2（XT1, XT2）
- ・ノーマル耐圧出力ポート 2（PWW0, PWW1）
- ・発振専用ポート 2（CF1, CF2）
- ・リセット端子 1（RES#）
- ・電源端子 8（VSS1~4, VDD1~4）

■本書記載の製品は、極めて高度の信頼性を要する用途（生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途）に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

タイマ

- ・タイマ0：キャプチャレジスタ付きの16ビットのタイマ/カウンタ
 - モード0：8ビットプログラマブルプリスケアラ付8ビットタイマ（8ビットキャプチャレジスタ付）×2チャンネル
 - モード1：8ビットプログラマブルプリスケアラ付8ビットタイマ（8ビットキャプチャレジスタ付）+8ビットカウンタ（8ビットキャプチャレジスタ付）
- モード2：8ビットプログラマブルプリスケアラ付16ビットタイマ（16ビットキャプチャレジスタ付）
 - モード3：16ビットカウンタ（16ビットキャプチャレジスタ付）
- ・タイマ1：PWM/トグル出力可能な16ビットのタイマ/カウンタ
 - モード0：8ビットタイマ（トグル出力付）+8ビットタイマ/カウンタ（トグル出力付）
 - モード1：8ビットPWM×2チャンネル
 - モード2：16ビットタイマ/カウンタ（トグル出力付）（下位8ビットからトグル出力可能）
 - モード3：16ビットタイマ（トグル出力付）（下位8ビットはPWMとして使用可能）
- ・タイマ4：6ビットプリスケアラ付8ビットタイマ
- ・タイマ5：6ビットプリスケアラ付8ビットタイマ
- ・タイマ6：6ビットプリスケアラ付8ビットタイマ
- ・タイマ7：6ビットプリスケアラ付8ビットタイマ
- ・ベースタイマ
 - クロックは、サブクロック（32.768kHz水晶発振）、システムクロック、タイマ0のプリスケアラ出力から選択できる。
 - 5種類の時間での割り込み発生が可能。

高速クロックカウンタ

- 最高20MHzのクロックをカウントできる。（メインクロック10MHz使用時）
- リアルタイム出力

SIO

- ・SIO0：8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切り替え可能
 - 8ビットボーレートジェネレータ内蔵（最大転送クロック周期4/3Tcy c）
 - 連続自動データ通信（1~256ビット）
- ・SIO1：8ビット非同期/同期式シリアルインタフェース
 - モード0：同期式8ビットシリアルIO（2線式または3線式、転送クロック2~512Tcy c）
 - モード1：非同期シリアルIO（半二重、データ8ビット、ストップビット1、ボーレート8~2048Tcy c）
 - モード2：バスモード1（スタートビット、データ8ビット、転送クロック2~512Tcy c）
 - モード3：バスモード2（スタート検出、データ8ビット、ストップ検出）
- ・SIO2：8ビット同期式シリアルインタフェース
 - LSB先頭
 - 8ビットボーレートジェネレータ内蔵（最大転送クロック周期4/3Tcy c）
 - 連続自動データ通信（1~32バイト）

ADコンバータ：8ビット×12チャンネル

PWM：周期可変12ビットPWM×2チャンネル

パラレルインタフェース

- ・RS, RD#, WR#, CS0#~CS2#出力（極性切替可能）
- ・1Tcy cでの読み出し/書き込み可能

リモコン受信回路（P73/INT3/T0IN端子と共用）

- ・ノイズ除去機能（ノイズ除去フィルタの時定数選択1/32/128Tcy c）

ウォッチドッグタイマ

- ・RC外付けによるウォッチドッグタイマ
- ・割り込み、リセットの選択可能

割り込み

・ 2 1 要因 1 0 ベクタ

割り込みは低レベル (L) , 高レベル (H) , 最高レベル (X) の 3 レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

2 つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	X または L	INT0
2	0000BH	X または L	INT1
3	00013H	H または L	INT2/T0L/INT4
4	0001BH	H または L	INT3/INT5/ベースタイマ
5	00023H	H または L	T0H
6	0002BH	H または L	T1L/T1H
7	00033H	H または L	SI00
8	0003BH	H または L	SI01/SI02
9	00043H	H または L	ADC/T6/T7
10	0004BH	H または L	ポート 0/T4/T5/PWM0,1

・ 優先レベル X > H > L

・ 同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大 5 1 2 レベル (スタックは R A M の中に設定)

高速乗除算命令

- ・ 1 6 ビット × 8 ビット (実行時間： 5 T c y c)
- ・ 2 4 ビット × 1 6 ビット (実行時間： 1 2 T c y c)
- ・ 1 6 ビット ÷ 8 ビット (実行時間： 8 T c y c)
- ・ 2 4 ビット ÷ 1 6 ビット (実行時間： 1 2 T c y c)

発振回路

- ・ R C 発振回路 (内蔵) : システムクロック用
- ・ C F 発振回路 : システムクロック用, R f 内蔵
- ・ 水晶発振回路 : 低速システムクロック用

システムクロック分周機能

- ・ 低消費電流動作可能
- ・ 最小命令サイクルで 3 0 0 n s , 6 0 0 n s , 1 . 2 μ s , 2 . 4 μ s , 4 . 8 μ s , 9 . 6 μ s , 1 9 . 2 μ s , 3 8 . 4 μ s , 7 6 . 8 μ s の選択が可能 (メインクロック 1 0 M H z 使用時)

スタンバイ機能

- ・ H A L T モード：命令実行停止，周辺回路動作継続
発振の停止は自動的には行いません。
システムリセットまたは割り込みの発生により解除。
- ・ H O L D モード：命令実行停止，周辺回路動作停止
C F 発振，R C 発振，水晶発振のいずれも自動的に停止します。
H O L D モードを解除するには次の 3 つの方法があります。
(1) リセット端子に「 L 」レベルを入力する。
(2) I N T 0 , I N T 1 , I N T 2 , I N T 4 , I N T 5 の少なくとも 1 つの端子に指定されたレベルを入力する。
(3) ポート 0 で割り込み要因が成立する。

LC87F52C8A

- X'tal HOLDモード：命令実行停止，ペースタイマ以外の周辺回路動作停止
CF発振，RC発振は自動的に停止します。
水晶発振は突入時の状態を維持します。
X'tal HOLDモードを解除するには次の4つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0，INT1，INT2，INT4，INT5の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)ポート0で割り込み要因が成立する。
 - (4)ペースタイマ回路で割り込み要因が成立する。

出荷形態

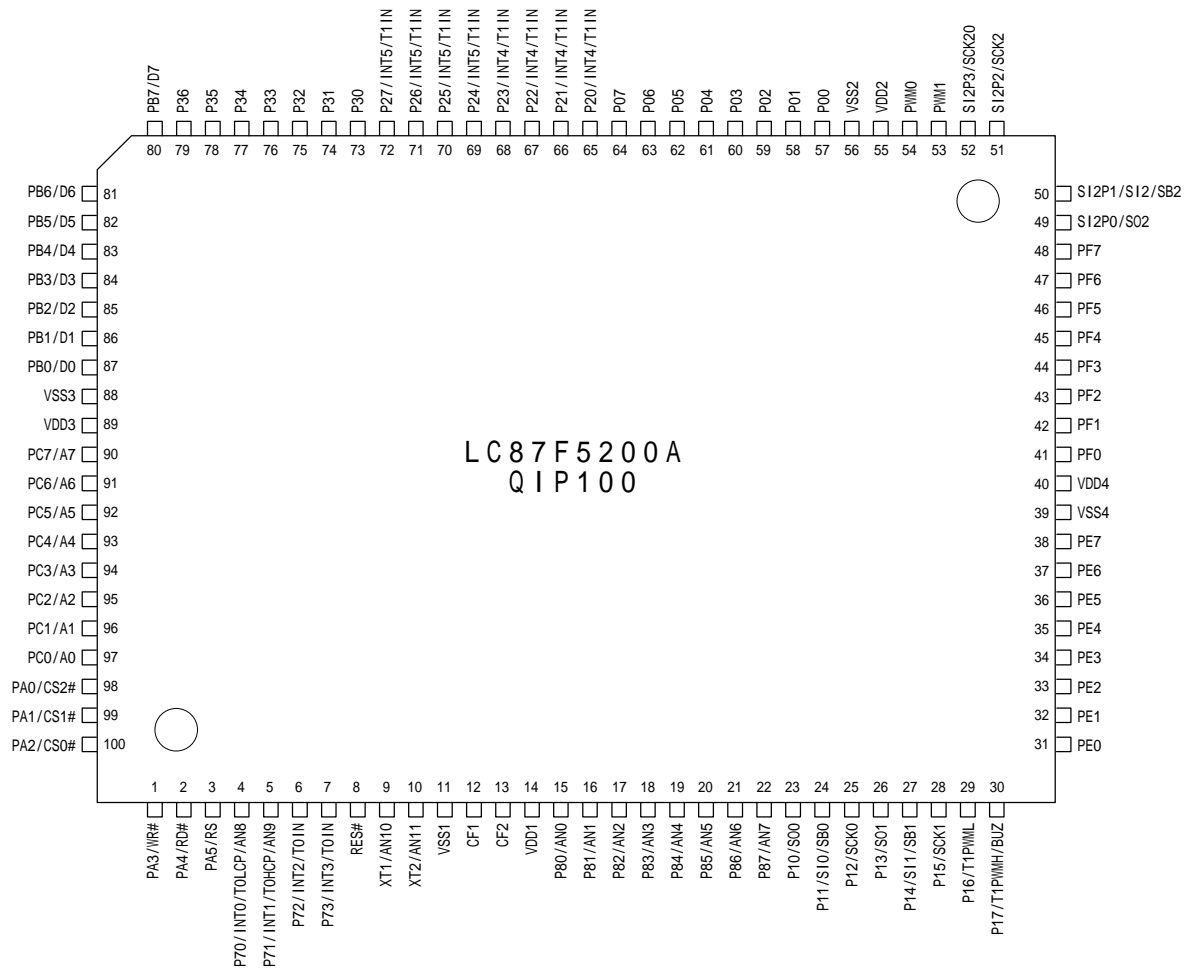
- QFP100E
- SQFP100

開発ツール

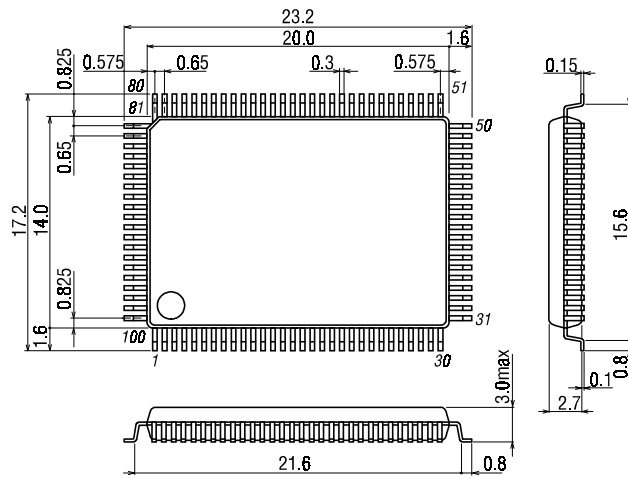
- エバチップ : LC876095
- エミュレータ : EVA62S+ECB876500/6600+SUB875200+POD100QFP
or POD100SQFP2

LC87F52C8A

ピン配置図

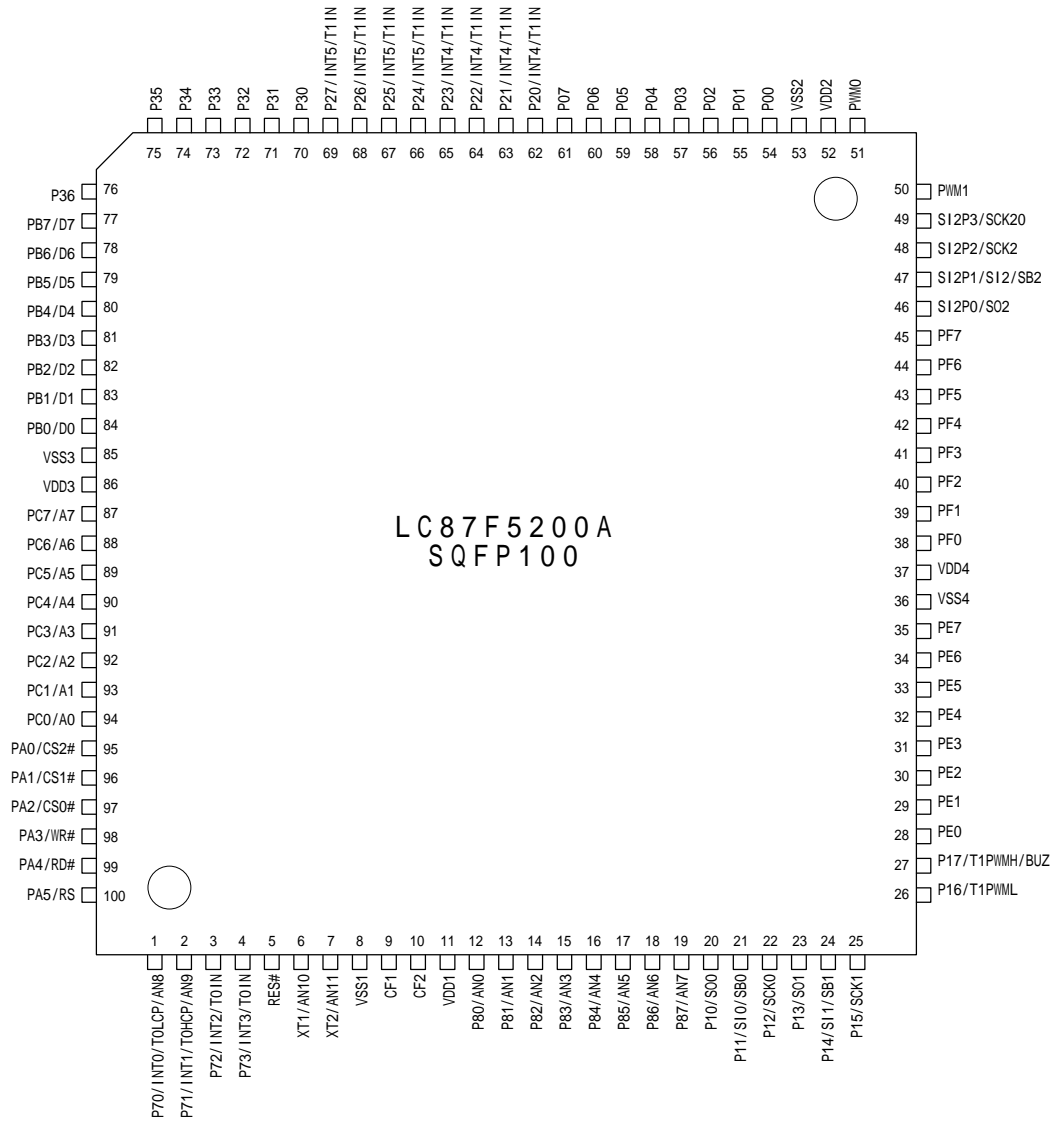


外形図 3151 (unit : mm)

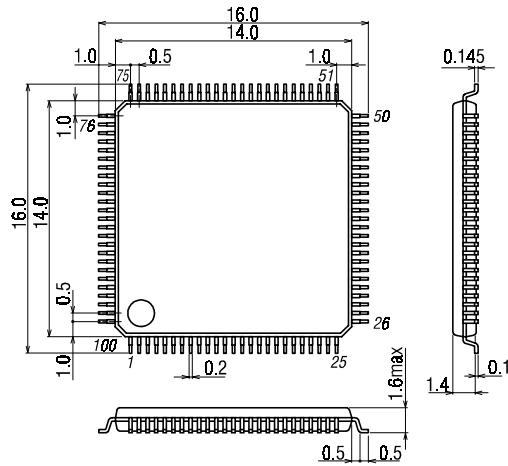


SANYO : QIP100E

LC87F52C8A



外形图 3181B (unit : mm)



SANYO : SQFP100

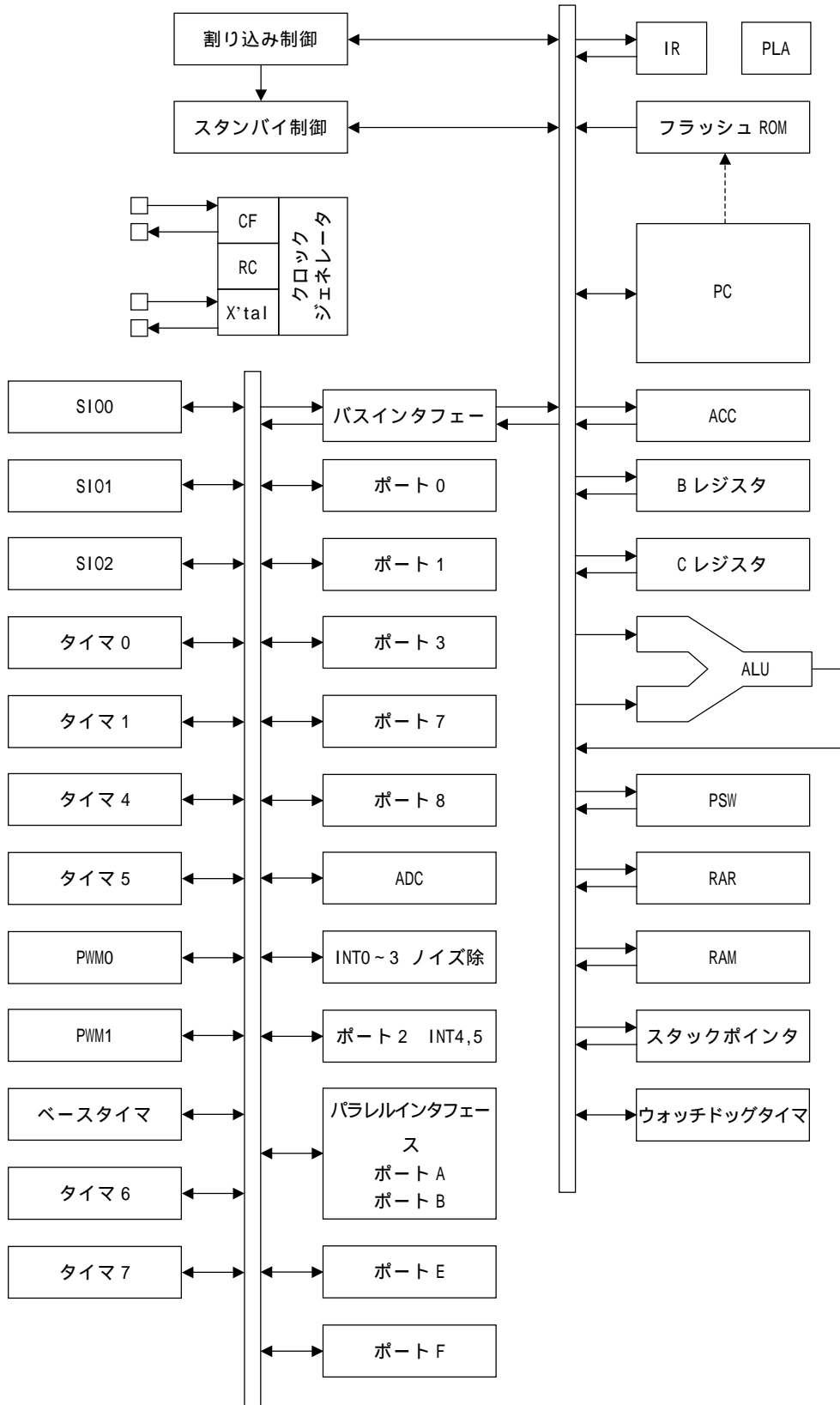
LC87F52C8A

QIP	NAME	SQFP
1	PA3/WR#	98
2	PA4/RD#	99
3	PA5/RS	100
4	P70/INT0/TOLCP/AN8	1
5	P71/INT1/TOHCP/AN9	2
6	P72/INT2/TOIN	3
7	P73/INT3/TOIN	4
8	RES#	5
9	XT1/AN10	6
10	XT2/AN11	7
11	VSS1	8
12	CF1	9
13	CF2	10
14	VDD1	11
15	P80/AN0	12
16	P81/AN1	13
17	P82/AN2	14
18	P83/AN3	15
19	P84/AN4	16
20	P85/AN5	17
21	P86/AN6	18
22	P87/AN7	19
23	P10/S00	20
24	P11/S10/SB0	21
25	P12/SCK0	22
26	P13/S01	23
27	P14/S11/SB1	24
28	P15/SCK1	25
29	P16/T1PWML	26
30	P17/T1PMMH/BUZ	27
31	PE0	28
32	PE1	29
33	PE2	30
34	PE3	31
35	PE4	32
36	PE5	33
37	PE6	34
38	PE7	35
39	VSS4	36
40	VDD4	37
41	PF0	38
42	PF1	39
43	PF2	40
44	PF3	41
45	PF4	42
46	PF5	43
47	PF6	44
48	PF7	45
49	S12P0/S02	46
50	S12P1/S12/SB2	47

QIP	NAME	SQFP
51	S12P2/SCK2	48
52	S12P3/SCK20	49
53	PWM1	50
54	PWM0	51
55	VDD2	52
56	VSS2	53
57	P00	54
58	P01	55
59	P02	56
60	P03	57
61	P04	58
62	P05	59
63	P06	60
64	P07	61
65	P20/INT4/T1IN	62
66	P21/INT4/T1IN	63
67	P22/INT4/T1IN	64
68	P23/INT4/T1IN	65
69	P24/INT5/T1IN	66
70	P25/INT5/T1IN	67
71	P26/INT5/T1IN	68
72	P27/INT5/T1IN	69
73	P30	70
74	P31	71
75	P32	72
76	P33	73
77	P34	74
78	P35	75
79	P36	76
80	PB7/D7	77
81	PB6/D6	78
82	PB5/D5	79
83	PB4/D4	80
84	PB3/D3	81
85	PB2/D2	82
86	PB1/D1	83
87	PB0/D0	84
88	VSS3	85
89	VDD3	86
90	PC7/A7	87
91	PC6/A6	88
92	PC5/A5	89
93	PC4/A4	90
94	PC3/A3	91
95	PC2/A2	92
96	PC1/A1	93
97	PC0/A0	94
98	PA0/CS2#	95
99	PA1/CS1#	96
100	PA2/CS0#	97

LC87F52C8A

システムブロック図



LC87F52C8A

端子機能表

端子名	I/O	機能説明	オプション																														
VSS1, VSS2, VSS3, VSS4	-	電源の - 端子	なし																														
VDD1, VDD2, VDD3, VDD4	-	電源の + 端子	なし																														
ポート 0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 	あり																														
ポート 1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P10 : SI00 データ出力 P11 : SI00 データ入力 / バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力 / バス入出力 P15 : SI01 クロック入出力 P16 : タイマ 1PWML 出力 P17 : タイマ 1PWMH 出力 / ブザー出力 	あり																														
ポート 2 P20 ~ P27	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P20 ~ P23 : INT4 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力 P24 ~ P27 : INT5 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th></th> <th style="text-align: center;">立ち上がり</th> <th style="text-align: center;">立ち下がり</th> <th style="text-align: center;">立ち上がり 立ち下がり</th> <th style="text-align: center;">Hレベル</th> <th style="text-align: center;">Lレベル</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">INT4</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td style="text-align: center;">INT5</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4				×	×	INT5				×	×	あり												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT4				×	×																												
INT5				×	×																												
ポート 3 P30 ~ P36	I/O	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 	あり																														
ポート 7 P70 ~ P73	I/O	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P70 : INT0 入力 / HOLD 解除入力 / タイマ 0L キャプチャ入力 / ウォッチドッグタイマ用出力 P71 : INT1 入力 / HOLD 解除入力 / タイマ 0H キャプチャ入力 P72 : INT2 入力 / HOLD 解除入力 / タイマ 0 イベント入力 / タイマ 0L キャプチャ入力 P73 : INT3 入力 (ノイズフィルタ付入力) / タイマ 0 イベント入力 / タイマ 0H キャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th></th> <th style="text-align: center;">立ち上がり</th> <th style="text-align: center;">立ち下がり</th> <th style="text-align: center;">立ち上がり 立ち下がり</th> <th style="text-align: center;">Hレベル</th> <th style="text-align: center;">Lレベル</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">INT0</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td style="text-align: center;">INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td style="text-align: center;">INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			×			INT1			×			INT2				×	×	INT3				×	×	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			×																														
INT1			×																														
INT2				×	×																												
INT3				×	×																												
		・ AD 変換入力ポート : AN8 (P70), AN9 (P71)																															

(次ページへ)

LC87F52C8A

端子名	I/O	機能説明	オプション
ポート 8 P80 ~ P87	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 P80 ~ P87 : AD 変換入力ポート 	なし
ポート A PA0 ~ PA5	I/O	<ul style="list-style-type: none"> ・ 6 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PA0 : パラレルインタフェースの CS2#出力 PA1 : パラレルインタフェースの CS1#出力 PA2 : パラレルインタフェースの CS0#出力 PA3 : パラレルインタフェースの WR#出力 PA4 : パラレルインタフェースの RD#出力 PA5 : パラレルインタフェースの RS 出力 	あり
ポート B PB0 ~ PB7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PB0 ~ PB7 : パラレルインタフェースのデータ入出力 / アドレス出力 	あり
ポート C PC0 ~ PC7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON / OFF 可能 ・ 兼用機能 PC0 ~ PC7 : パラレルインタフェースのアドレス出力 	あり
ポート E PE0 ~ PE7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 2 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON / OFF 可能 	なし
ポート F PF0 ~ PF7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 2 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON / OFF 可能 	なし
SI02 ポート SI2P0 ~ SI2P3	I/O	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 SI2P0 : SI02 データ出力 SI2P1 : SI02 データ入力 / バス入出力 SI2P2 : SI02 クロック入出力 SI2P3 : SI02 クロック出力 	なし
PWM0	0	PWM0 出力ポート	なし
PWM1	0	PWM1 出力ポート	なし
RES	I	リセット端子	なし
XT1	I	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 AN10 : AD 変換入力ポート 汎用入力ポート 使用しない場合は VDD1 に接続してください。 	なし
XT2	I/O	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用出力端子 ・ 兼用機能 AN11 : AD 変換入力ポート 汎用入力ポート 使用しない場合は発振仕様にして、オープンにしてください。 	なし
CF1	I	セラミック発振子用入力端子	なし
CF2	0	セラミック発振子用出力端子	なし

LC87F52C8A

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。

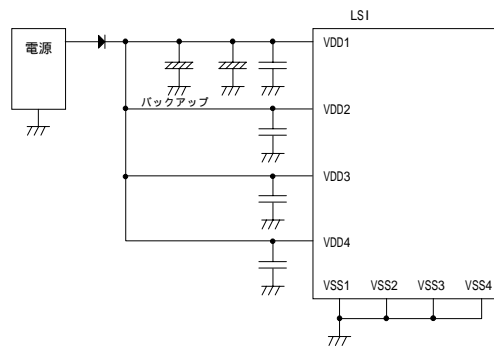
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション切替単位	オプション種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17 P20 ~ P27 P30 ~ P36	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PA0 ~ PA5 PB0 ~ PB7(注) PC0 ~ PC7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PE0 ~ PE7 PF0 ~ PF7(注)	-	なし	CMOS	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P87	-	なし	Nch-オープンドレイン	なし
S12P0, S12P2 S12P3 PWM0, PWM1	-	なし	CMOS	なし
S12P1	-	なし	CMOS(通常ポート選択時) Nch-オープンドレイン (S102データ選択時)	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz 水晶発振子用出力	なし

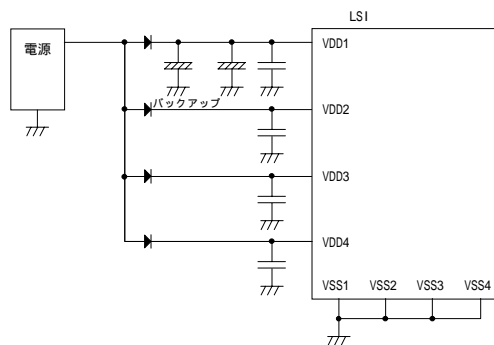
注1 ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00~03, P04~07)の制御になります。

(注) パラレルインタフェースモードの時、PB0~PB7はオプションに関係なく、出力形式がCMOSとなります。

- VDD1端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続してください。VSS1端子とVSS2端子とVSS3端子は必ず電気的にショートしてください。
(例1) HOLDモードでバックアップ時、ポート出力の‘H’レベルはバックアップ用コンデンサより供給されます。



(例2) HOLDモードバックアップ時、ポートの‘H’レベル出力は保持されず不定となります。



LC87F52C8A

1. 絶対最大定格 / Ta=25 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格				unit	
				VDD[V]	min.	typ.	max.		
最大電源電圧	VDDMAX	VDD1, VDD2, VDD3, VDD4	VDD1=VDD2=VDD3=VDD4		-0.3	~	+6.5	V	
入力電圧	VI(1)	XT1, XT2, CF1			-0.3	~	VDD+0.3		
出力電圧	VO(1)	PWM0, PWM1			-0.3	~	VDD+0.3		
入出力電圧	VI0(1)	ホ ⁺ -ト0, 1, 2 ホ ⁺ -ト3, 7, 8 ホ ⁺ -トA, B, C, E, F SI2P0 ~ SI2P3 PWM0, PWM1			-0.3	~	VDD+0.3		
高レベル出力電流	ピーク出力電流	IOPH(1)	ホ ⁺ -ト0, 1, 2, 3 ホ ⁺ -トA, B, C, E, F SI2P0 ~ SI2P3 PWM0, PWM1	CMOS 出力選択 適用 1 端子当り			-10		mA
		IOPH(2)	P71 ~ P73	適用 1 端子当り			-5		
	合計出力電流	IOAH(1)	P71 ~ P73	適用全端子合計			-5		
		IOAH(2)	ホ ⁺ -ト1 PWM0, PWM1 ホ ⁺ -ト3 SI2P0 ~ SI2P3	適用全端子合計			-30		
		IOAH(3)	ホ ⁺ -ト0, 2	適用全端子合計			-20		
		IOAH(4)	ホ ⁺ -トB	適用全端子合計			-20		
		IOAH(5)	ホ ⁺ -トA, C	適用全端子合計			-20		
		IOAH(6)	ホ ⁺ -トE	適用全端子合計			-20		
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ホ ⁺ -ト1, 2, 3 ホ ⁺ -トA, B, C, E, F SI2P0 ~ SI2P3 PWM0, PWM1	適用 1 端子当り				20	
		IOPL(2)	P00, P01	適用 1 端子当り				30	
		IOPL(3)	ホ ⁺ -ト7, 8	適用 1 端子当り				5	
	合計出力電流	IOAL(1)	ホ ⁺ -ト7	適用全端子合計				15	
		IOAL(2)	ホ ⁺ -ト8	適用全端子合計				15	
		IOAL(3)	ホ ⁺ -ト1 PWM0, PWM1 ホ ⁺ -ト3 SI2P0 ~ SI2P3	適用全端子合計				50	
		IOAL(4)	ホ ⁺ -ト0, 2	適用全端子合計				70	
		IOAL(5)	ホ ⁺ -トB	適用全端子合計				40	
		IOAL(6)	ホ ⁺ -トA, C	適用全端子合計				40	
		IOAL(7)	ホ ⁺ -トE	適用全端子合計				40	
許容消費電力	Pdmax	QIP100E SQFP100	Ta=-20 ~ +70				350	mW	
動作周囲温度	Topg				-20	~	70		
保存周囲温度	Tstg				-55	~	125		

LC87F52C8A

2. 許容動作条件 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
動作電源電圧	VDD(1)	VDD1=VDD2=VDD3=VDD4	0.294 μ s tCYC 200 μ s		4.5		5.5	V
			0.588 μ s tCYC 200 μ s FROM オンボード書き込みは除く		2.5		5.5	
メモリ保持電源電圧	VHD	VDD1=VDD2=VDD3=VDD4	HOLD モード時 RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	VIH(1)	ポート1,2 SI2P0~3 P71~P73 P70のポート入力 / 割り込み側		2.5~5.5	0.3VDD +0.7		VDD	
	VIH(2)	ポート0,8,3 ポートA,B,C,E,F		2.5~5.5	0.3VDD +0.7		VDD	
	VIH(3)	ポート70の ウォッチドッグタイマ側		2.5~5.5	0.9VDD		VDD	
	VIH(4)	XT1,XT2,CF1,RES#		2.5~5.5	0.75VDD		VDD	
低レベル入力電圧	VIL(1)	ポート1,2 SI2P0~3 P71~P73 P70のポート入力 / 割り込み側		2.5~5.5	VSS		0.1VDD +0.4	
	VIL(2)	ポート0,8,3 ポートA,B,C,E,F		2.5~5.5	VSS		0.15VDD +0.4	
	VIL(5)	ポート70の ウォッチドッグタイマ側		2.5~5.5	VSS		0.8VDD -1.0	
	VIL(6)	XT1,XT2,CF1,RES#		2.5~5.5	VSS		0.25VDD	
命令サイクルタイム	tCYC			4.5~5.5	0.294		200	μ s
			FROM オンボード書き込みは除く	2.5~5.5	0.588		200	
外部システムクロック周波数	FEXCF(1)	CF1	・CF2 端子オープン ・システムクロック 分周 1/1 ・外部システムクロック の DUTY50 \pm 5%	4.5~5.5	0.1		10	MHz
			・CF2 端子オープン ・システムクロック 分周 1/1 ・外部システムクロック の DUTY50 \pm 5%	2.5~5.5	0.1		5	
			・CF2 端子オープン ・システムクロック 分周 1/2	4.5~5.5	0.2		20.4	
			・CF2 端子オープン ・システムクロック 分周 1/2	2.5~5.5	0.1		10	

(注1) 発振定数は表1, 2参照のこと。

(注2) フラッシュROMへのオンボード書き込みは、VDD 4.5Vとすること。

LC87F52C8A

3. 電気的特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高レベル入力電流	I1H(1)	ポート0,1,2 ポート3,7,8 ポートA,B,C SI2P0~SI2P3 RES# PWMO, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VDD (出力 Tr. のオフリーク 電流を含む)	2.5 ~ 5.5			1	μA
	I1H(2)	XT1, XT2	入力ポート仕様時 VIN=VDD	2.5 ~ 5.5			1	
	I1H(3)	CF1	VIN=VDD	2.5 ~ 5.5			15	
低レベル入力電流	I1L(1)	ポート0,1,2 ポート3,7,8 ポートA,B,C,E,F SI2P0~SI2P3 RES# PWMO, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VSS (出力 Tr. のオフリーク 電流を含む)	2.5 ~ 5.5	-1			
	I1L(2)	XT1, XT2	入力ポート仕様時 VIN=VSS	2.5 ~ 5.5	-1			
	I1L(3)	CF1	VIN=VSS	2.5 ~ 5.5	-15			
高レベル出力電圧	VOH(1)	ポート0,1,2,3 ポートB,C,E,F SI2P0~SI2P3 PWMO, PWM1	IOH=-1.0mA	4.5 ~ 5.5	VDD-1			V
	VOH(2)		IOH=-0.1mA	2.5 ~ 5.5	VDD-0.5			
	VOH(3)	ポートA	IOH=-5.0mA	4.5 ~ 5.5	VDD-1			
	VOH(4)		IOH=-0.4mA	2.5 ~ 5.5	VDD-0.5			
	VOH(5)	ポート71,72,73	IOH=-0.4mA	4.5 ~ 5.5	VDD-1			
低レベル出力電圧	VOL(1)	ポート0,1,2,3 ポートB,C,E,F SI2P0~SI2P3 PWMO, PWM1	IOL=10mA	4.5 ~ 5.5			1.5	
	VOL(2)		IOL=1.6mA	4.5 ~ 5.5		0.4		
	VOL(3)		IOL=1mA	2.5 ~ 5.5		0.4		
	VOL(4)	P00, P01	IOL=30mA	4.5 ~ 5.5		1.5		
	VOL(5)	ポート7,8	IOL=1mA	2.5 ~ 5.5		0.4		
	VOL(6)							
	VOL(7)	ポートA	IOL=15mA	4.5 ~ 5.5		1.5		
	VOL(8)		IOL=2mA	2.5 ~ 5.5		0.4		
プルアップ抵抗	Rpu	ポート0,1,2,3 ポート7 ポートA,B,C,E,F	VOH=0.9VDD	2.5 ~ 5.5	15	40	70	kΩ
ヒステリシス電圧	VHIS	RES# ポート1 ポート2 ポート7 SIPO~SIP3		2.5 ~ 5.5		0.1VDD		V
端子容量	CP	全端子	被測定端子以外 VIN=VSS f=1MHz Ta=25	2.5 ~ 5.5		10		pF

LC87F52C8A

4. シリアル入出力特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子 ・備考	条件	規格									
				VDD[V]	min.	typ.	max.	unit					
シリアル 入力 クロック	入力 クロック	周期	tSCK(1)	SCK0(P12), SI2P2	図 6 参照	2.5 ~ 5.5	2			tCYC			
		低レベル パルス幅	tSCKL(1)				1						
			tSCKLA(1)				1						
		高レベル パルス幅	tSCKH(1)				1						
			tSCKHA(1)				3(SI00) 5(SI02)						
	周期	tSCK(2)	SCK1(P15)	図 6 参照	2.5 ~ 5.5	2							
		低レベル パルス幅				tSCKL(2)	1						
		高レベル パルス幅				tSCKH(2)	1						
	出力 クロック	出力 クロック	周期	tSCK(3)	SCK0(P12), SI2P2 SI2P3	・CMOS 出力選択時 ・図 6 参照	2.5 ~ 5.5	4/3			tSCK		
			低レベル パルス幅	tSCKL(3)					1/2				
tSCKLA(2)								3/4					
高レベル パルス幅			tSCKH(3)					1/2					
			tSCKHA(2)					2					
周期		tSCK(4)	SCK1(P15)	・CMOS 出力選択時 ・図 6 参照	2.5 ~ 5.5	2			tCYC				
		低レベル パルス幅				tSCKL(4)		1/2		tSCK			
		高レベル パルス幅				tSCKH(4)		1/2					
		データセット アップ時間				tsDI	SB0(P11), SB1(P14), SI2P1, SI0, SI1	・SI0CLK の立ち上がり に対して規定する ・図 6 参照	2.5 ~ 5.5	0.03			μs
						データホールド 時間				thDI	0.03		
出力遅延時間	tdD0	S00(P10), S01(P13), SB0(O11), SB1(P14), SI2P0, SI2P1	・SI0CLK の立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する ・図 6 参照	2.5 ~ 5.5			1/3tCYC +0.05						

LC87F52C8A

5. パラレル入出力特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

注意: RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

パラレル入出力タイミング波形図8, 図9を参照してください。

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
ライトサイクル, リードサイクル	tC(1)			2.5 ~ 5.5		1		tCYC
アドレス セットアップ時間	tsA(1)	・WR#(PA3), PB0 ~ PB7 ・RD#(PA4), PC0 ~ PC7	アドレスの確定から 制御信号の変化まで	2.5 ~ 5.5	1/3tCYC -30ns			tCYC & ns
	tsA(2)	RD#(PA4), PC0 ~ PC7		2.5 ~ 5.5	2/3tCYC -30ns			
アドレス ホールド時間	thA(1)	RD#(PA4), PC0 ~ PC7	RD#の変化から アドレスの変化まで	2.5 ~ 5.5	1/6tCYC			ns
	thA(2)	WR#(PA3), PC0 ~ PC7	WR#の変化から アドレスの変化まで	2.5 ~ 5.5	5			
RS セットアップ時間	tsRS(1)	WR#(PA3), RS(PA5), CS#(PAX)	RS, CS#の変化から WR#の変化まで	2.5 ~ 5.5	1/6tCYC -15ns			tCYC & ns
	tsRS(2)	RD#(PA4), RS(PA5)	RSの変化から RD#の変化まで	2.5 ~ 5.5	1/6tCYC -15ns			
	tsRS(3)	RD#(PA4), RS(PA5)		2.5 ~ 5.5	1/3tCYC -15ns			
CS# セットアップ時間	tsCS(1)	RD#(PA4), CS#(PAX)	CS#の変化から RD#の変化まで	2.5 ~ 5.5	1/3tCYC -15ns			ns
	tsCS(2)	WR#(PA3), CS#(PAX)	CS#の変化から WR#の変化まで	2.5 ~ 5.5	2/3tCYC -15ns			
RS ホールド時間	thRS(1)	WR#(PA3), RS(PA5)	WR#の変化から RSの変化まで	2.5 ~ 5.5	0			tCYC & ns
	thRS(2)	RD#(PA4), RS(PA5), CS#(PAX)	RD#の変化から RS, CS#の変化まで	2.5 ~ 5.5	1/6tCYC			
	thRS(3)	RD#(PA4), RS(PA5), CS#(PAX)		2.5 ~ 5.5	0			
CS# ホールド時間	thCS(1)	RD#(PA4), RS(PA5)	RD#の変化から CS#の変化まで	2.5 ~ 5.5	1/6tCYC			tCYC & ns
	thCS(2)	WR#(PA3), RS(PA5)	WR#の変化から CS#の変化まで	2.5 ~ 5.5	0			
WR# 'H'パルス幅	tWRH(1)	WR#(PA3)		2.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		tCYC & ns
	tWRH(2)	WR#(PA3)		2.5 ~ 5.5	2/3tCYC -5ns	2/3 tCYC		
WR# 'L'パルス幅	tWRL(1)	WR#(PA3)		2.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		ns
	tWRL(2)	WR#(PA3)		2.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		
RD# 'H'パルス幅	tRDH(1)	RD#(PA4)		2.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		ns
	tRDH(2)	RD#(PA4)		2.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		
RD# 'L'パルス幅	tRD(1)	RD#(PA4)		2.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		ns
	tRD(2)	RD#(PA4)		2.5 ~ 5.5	1/2tCYC -5ns	1/2 tCYC		
ライトデータ 許容ディレイ	tdDT(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち下がりから 入力データの確定まで の許容時間 注1	2.5 ~ 5.5			1/6tCYC -15ns	tCYC & ns
	tdDT(2)	RD#(PA4), PB0 ~ PB7		2.5 ~ 5.5			1/3tCYC -15ns	
入力データ セットアップ時間	tsDTR(1)	RD#(PA4), PB0 ~ PB7	入力データの確定から RD#の立ち上がりまで の時間 注2	2.5 ~ 5.5	40			ns
入力データ ホールド時間	thDTR(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち上がりから 入力データの保持必要 時間	2.5 ~ 5.5	0			ns

(次ページへ)

LC87F52C8A

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
出力データ セットアップ時間	tsDTW(1)	RD#(PA4), PB0 ~ PB7	出力データの確定から WR#の立ち上がりまで の時間	2.5 ~ 5.5	1/3tCYC -30ns			tCYC & ns
出力データ セットアップ時間	tsDTW(2)	RD#(PA4), PB0 ~ PB7		2.5 ~ 5.5	1/3tCYC -30ns			
出力データ ホールド時間	thDTW(1)	RD#(PA4), PB0 ~ PB7	WR#の立ち上がりから 出力データの保持時間	2.5 ~ 5.5	0			ns
	thDTW(2)			2.5 ~ 5.5	0			

注1: LOWの不正データがなくなるまでの時間

注2: tRDL(1) - tDDT(1)の期間は、LOWの不正データは出力されない。

6. パルス入力条件 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20 ~ P23), INT5(P24 ~ P27)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	2.5 ~ 5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5 ~ 5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5 ~ 5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5 ~ 5.5	256			
	tPIL(5)	RES#	リセットできる。	2.5 ~ 5.5	200			μs

7. AD変換特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格					
				VDD[V]	min.	typ.	max.	unit	
分解能	N	AN0(P80) ~ AN8(P70) AN9(P71) AN10(XT1) AN11(XT2)		3.0 ~ 5.5		8		bit	
絶対精度	ET		(注2)	3.0 ~ 5.5			±1.5	LSB	
変換時間	TCAD		AD変換時間=32 × tCYC (ADCR2=0の時) (注3)	3.0 ~ 5.5	15.10 (tCYC= 0.588μs)		97.92 (tCYC= 3.06μs)		μs
			AD変換時間=64 × tCYC (ADCR2=1の時) (注3)	3.0 ~ 5.5	15.10 (tCYC= 0.294μs)		97.92 (tCYC= 1.53μs)		
アナログ入力 電圧範囲	VAIN			3.0 ~ 5.5	VSS		VDD	V	
アナログポート 入力電流	IAINH		VAIN=VDD	3.0 ~ 5.5			1	μA	
	IAINL		VAIN=VSS	3.0 ~ 5.5	-1				

(注3) 絶対精度は量子化誤差(±1/2LSB)を除く。

(注4) 変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

LC87F52C8A

8. 消費電流特性 / Ta=-20+70 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
通常動作時 消費電流 (注4)	IDDOP(1)	VDD1 =VDD2 =VDD3 =VDD4	・FmCF=10MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時	4.5 ~ 5.5		18	35	mA
	IDDOP(2)		・CF1=20MHz 外部クロック ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは CF1 側 ・内蔵 RC 発振は停止 ・1/2 分周時	2.5 ~ 5.5		18	35	
	IDDOP(3)		・FmCF=5MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 5MHz 側 ・内蔵 RC 発振は停止	4.5 ~ 5.5		7	15	
	IDDOP(4)			2.5 ~ 4.5		6	11	
	IDDOP(5)		・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振	4.5 ~ 5.5		6	9	
	IDDOP(6)			2.5 ~ 4.5		3	6	
	IDDOP(7)		・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止	4.5 ~ 6.0		5	7	
	IDDOP(8)			2.5 ~ 4.5		3	5	
HALT モード 消費電流 (注4)	IDDHALT(1)	VDD1 =VDD2 =VDD3 =VDD4	HALT モード ・FmCF=10MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時	4.5 ~ 5.5		6	12	mA
	IDDHALT(2)		・CF1=20MHz 外部クロック ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは CF1 側 ・内蔵 RC 発振は停止 ・1/2 分周時	4.5 ~ 5.5		7	14	
	IDDHALT(3)		・HALT モード ・FmCF=5MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 5MHz 側 ・内蔵 RC 発振は停止	4.5 ~ 5.5		3.3	4	
	IDDHALT(4)			2.5 ~ 4.5		1.2	3.2	
	IDDHALT(5)		・HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振	4.5 ~ 5.5		1	1.5	
	IDDHALT(6)			2.5 ~ 4.5		0.4	1	
	IDDHALT(7)		・HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止	4.5 ~ 5.5		60	150	
	IDDHALT(8)			2.5 ~ 4.5		16	72	
HOLD モード 消費電流	IDDHOLD(1)	VDD1	HOLD モード ・CF1=VDD またはオープン (外部クロック時)	2.5 ~ 5.5		0.01	25	μA
時計 HOLD モード 消費電流	IDDHOLD(2)	VDD1	時計 HOLD モード ・CF1=VDD またはオープン (外部クロック時) ・FmX'tal=32.768kHz 水晶発振時	2.5 ~ 5.5		35	100	μA

(注4) 消費電流は出力 Tr、および内蔵プルアップ抵抗に流れる電流を含まない。

LC87F52C8A

9. F-ROM 書き込み特性 / Ta=+10 ~ +55 , VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
オンボード 書き込み電流	IDDFW(1)	VDD1	・128 バイト書き込み ・消去電流も含む	4.5 ~ 5.5		30	65	mA
書き込み時間	tFW(1)		・128 バイト書き込み ・消去動作も含む ・128 バイトのデータを そろえる時間は除く	4.5 ~ 5.5		4.2	7.0	mS

LC87F52C8A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数			動作電圧 範囲	発振安定時間		備考
			C1	C2	Rd1		typ	max	
10MHz	村田製作所	CSA10.0MTZ	33pF	33pF	0Ω	4.5~6.0V	0.05ms	0.50ms	C1,C2 内蔵品
		CST10.0MTW	(30pF)	(30pF)	0Ω	4.5~6.0V	0.05ms	0.50ms	
	京セラ	KBR-10.0M	33pF	33pF	0Ω	4.5~6.0V	0.05ms	0.50ms	
4MHz	村田製作所	CSA4.00MG	33pF	33pF	0Ω	2.5~6.0V	0.05ms	0.50ms	C1,C2 内蔵品
		CST4.00MGW	(30pF)	(30pF)	0Ω	2.5~6.0V	0.05ms	0.50ms	
	京セラ	KBR-4.0MSA	33pF	33pF	0Ω	2.5~6.0V	0.05ms	0.50ms	

発振安定時間は、VDDが動作電圧下限を上回ってから、発振が安定するまでに必要な時間です。(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、弊社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認された回路定数と、この回路定数を外付けしたときの特性例です。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲	発振安定時間		備考
			C3	C4	Rf	Rd2		typ	max	
32.768kHz	セイコエプソン	C-002Rx	12pF	15pF	OPEN	360kΩ	2.5~6.0V	1	3	

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間です。(図4参照)

(注意) ・ 回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

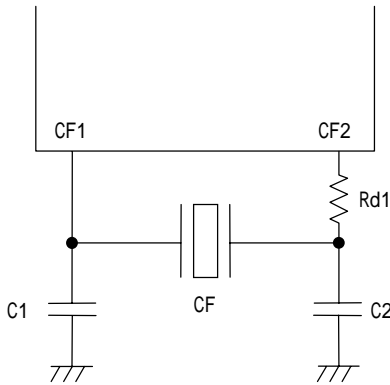


図1 CF発振回路

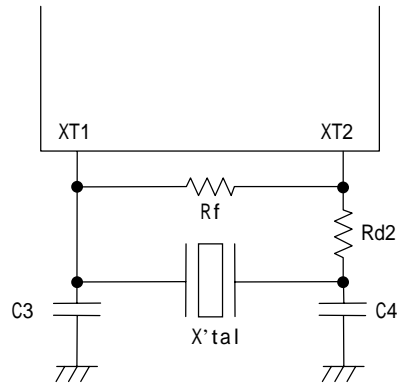


図2 XT発振回路

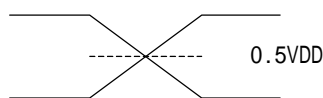


図3 ACタイミング測定点

LC87F52C8A

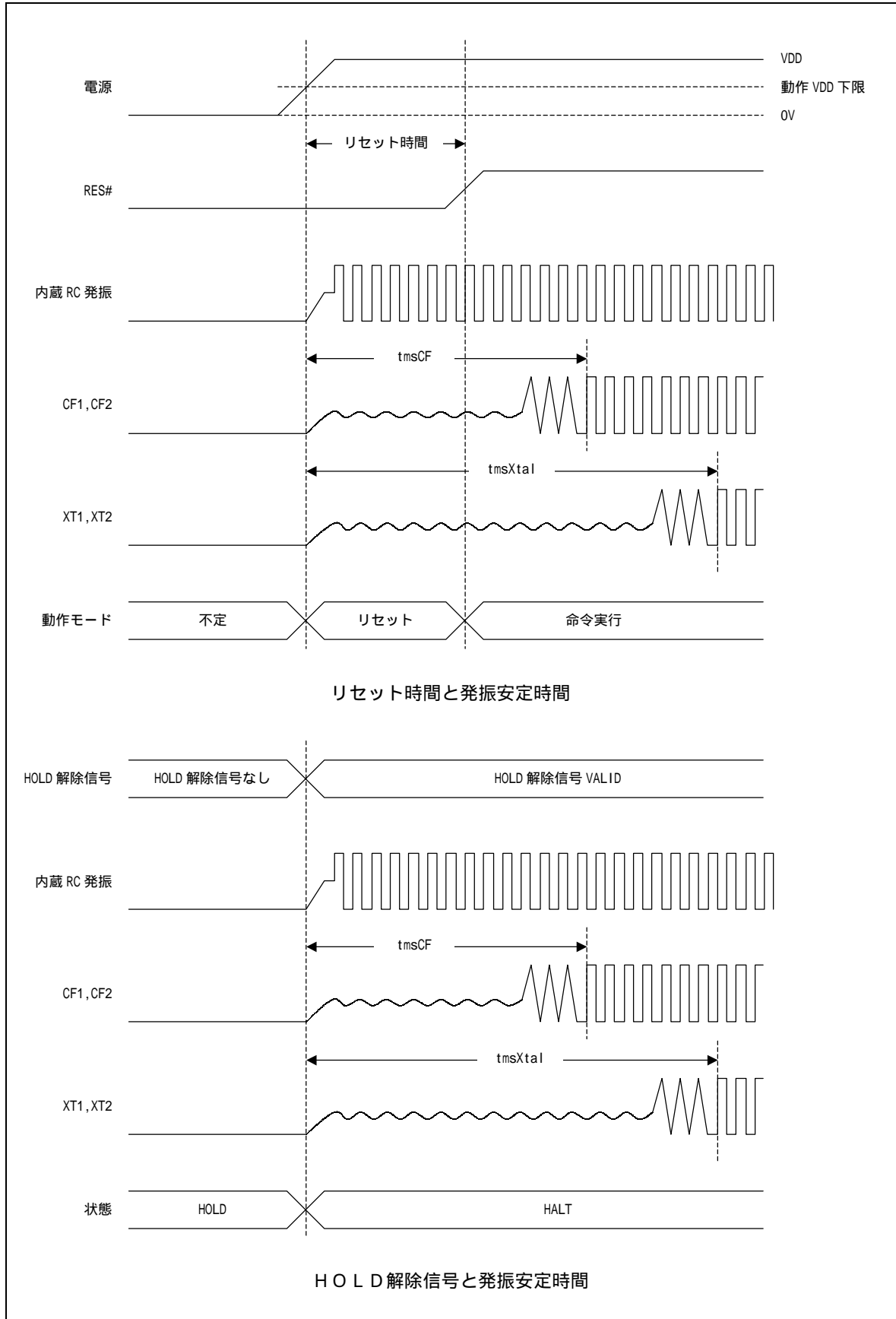


図 4 発振安定時間

LC87F52C8A

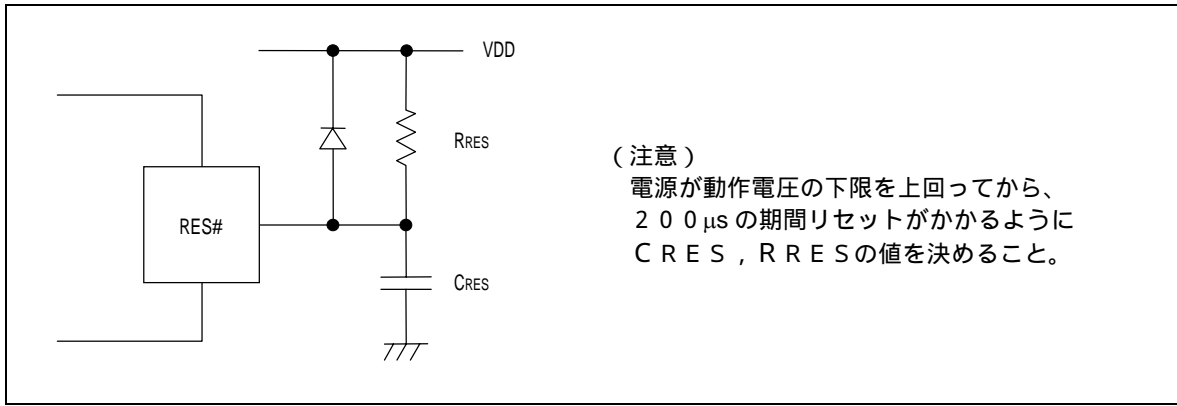


図5 リセット回路

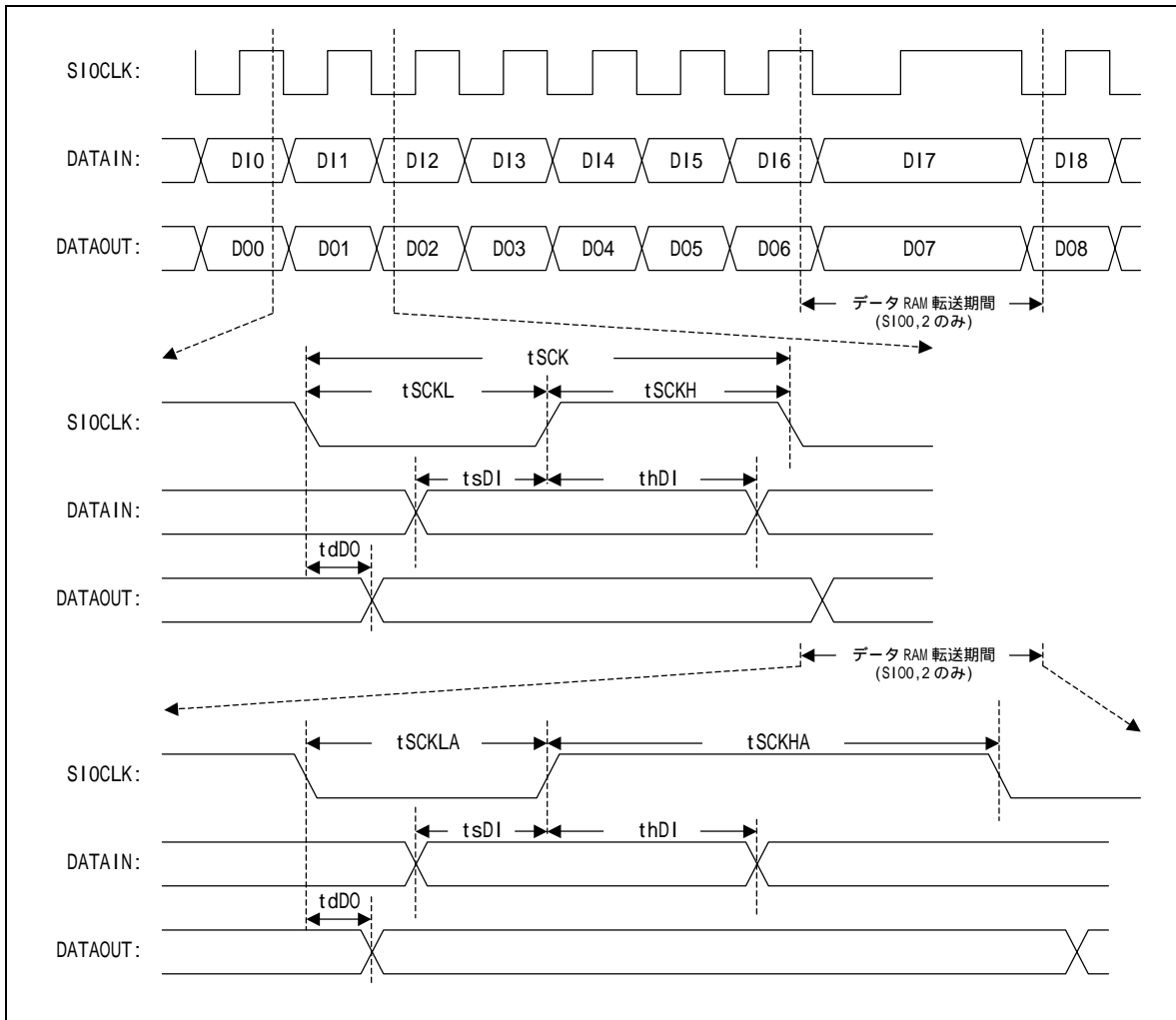


図6 シリアル入出力波形

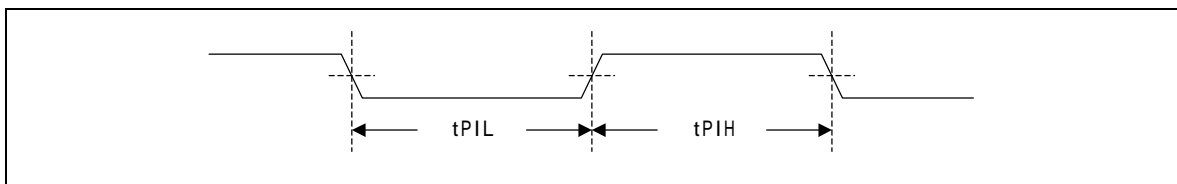
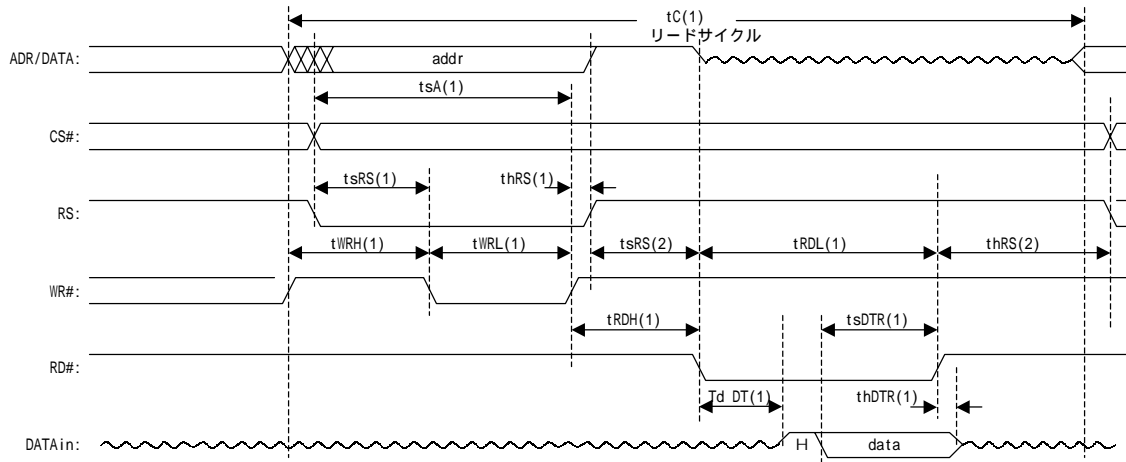


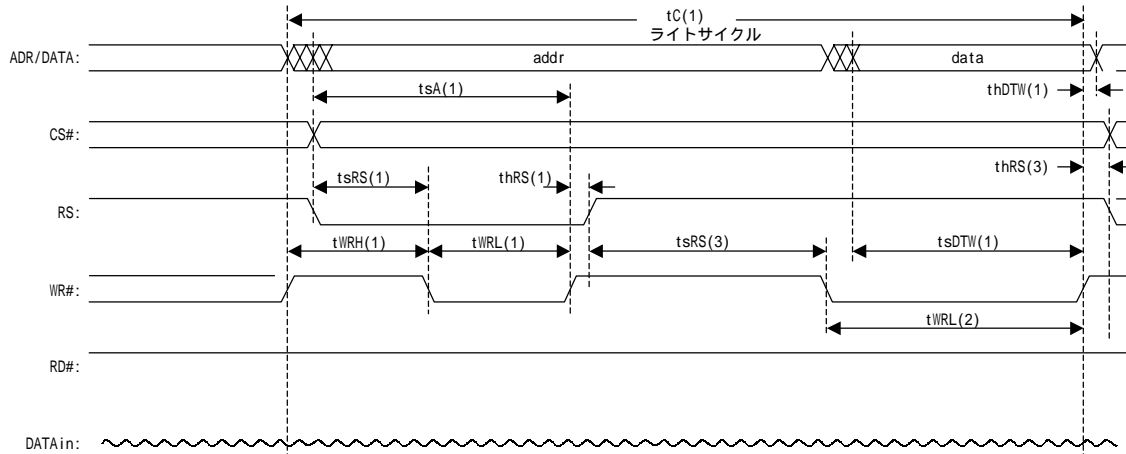
図7 パルス入力タイミング波形

・パラレル入出力タイミング波形：間接指定リードモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

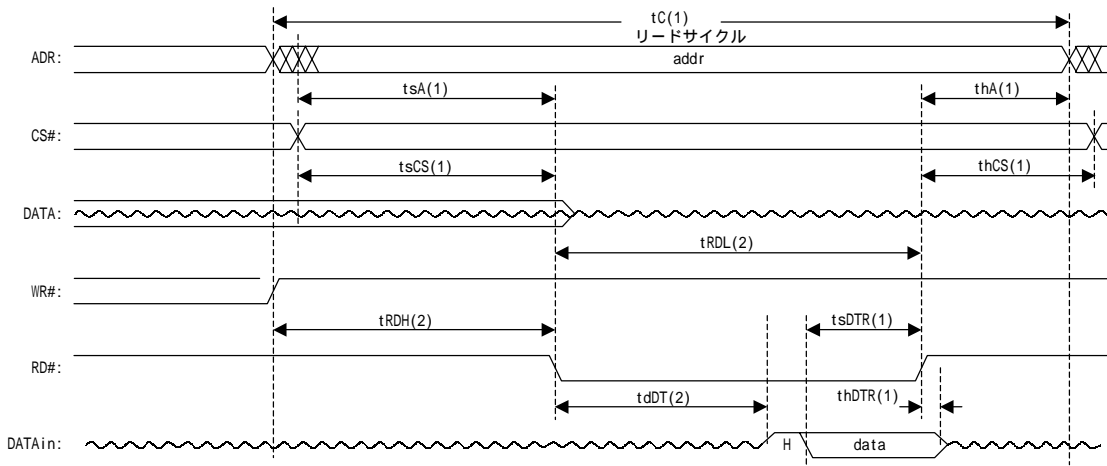
・パラレル入出力タイミング波形：間接指定ライトモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

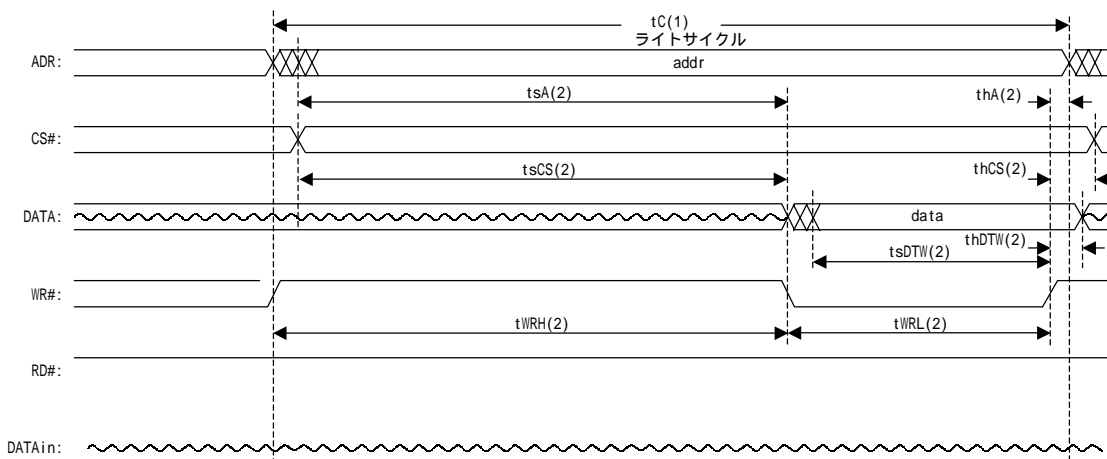
図8 間接モードパラレル入出力タイミング波形

・パラレル入出力タイミング波形：直接指定リードモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

・パラレル入出力タイミング波形：直接指定ライトモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択してください。

図9 直接モードパラレル入出力タイミング波形

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。