

**LC8935** — CMOS LSI  
**ファクシミリ放送受信機用 信号処理LSI**

**■ 製品規格**

ファクシミリ放送受信機の主要な信号処理回路を1チップに収めたLSIである。QPSK復調後のI, Q信号を入力し、デ・インタリーブ後のデータバケット信号および、BCH誤り訂正後のMC信号をフレーム単位で内部のRAMに蓄える。CPUのデータバスに直接接続し、内部RAMのデータをバイト単位で読み出すことができる。

LC8935はデジタル方式ファクシミリ放送の技術基準に準拠している。

機能 ・ビットクロック再生。

- ・フレーム同期, 同期保護。
- ・デ・スクランブル。
- ・デ・インタリーブ。
- ・BCH誤り訂正。

特長 ・QPSK復調後のI, Q信号を入力し、デ・インタリーブおよび、BCH誤り訂正までの処理に必要な全ての回路を内蔵し、受信機の回路を簡素化できる。

・信号処理後のデータは、CPUが直接読み出せる形で内部のRAMに格納される。

・2種類の入力信号に対応。

- (1) I, Q軸信号。
- (2) RD, RT信号。

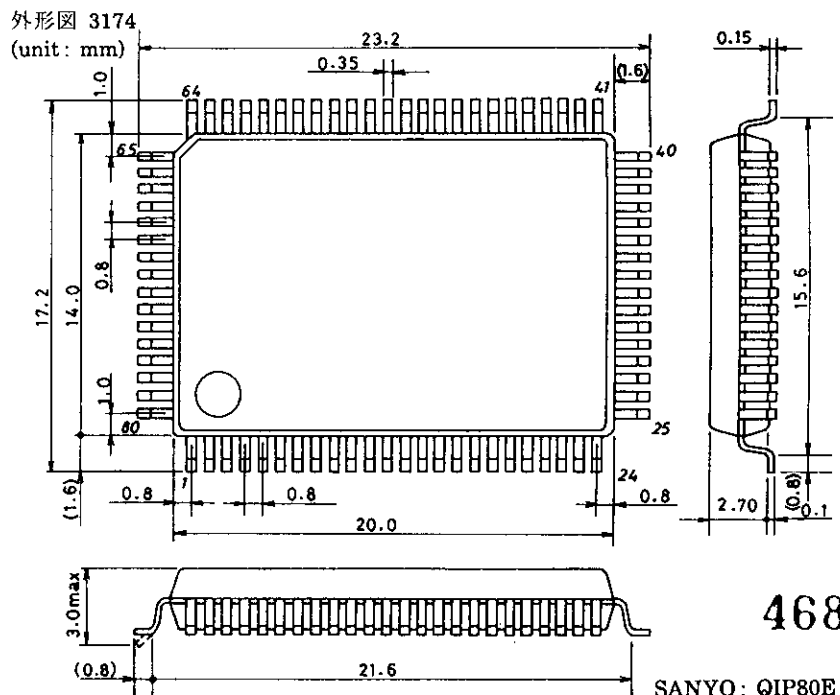
・2種類の出力側インタフェースを装備。

- (1) パラレルインタフェース (CPUバスに直接接続可能: 通常のSRAMと同様に読み出し可能)。
- (2) シリアルインタフェース (信号処理後のデータをパケット単位でシリアル出力)。

・同期保護段数は、後方: 2段, 前方: 4段 (前方保護は8段に切換え可能)。

・TTL/CMOSコンパチブル。

・+5V単一電源。



**46890**

※これらの仕様は、改良などのため変更することがあります。

## 動作説明

QPSK復調回路で検波して得られるI軸、Q軸信号(TTLレベル)を入力することにより、送信側に同期したビットタイミングを再生するとともに、差動符号化されたデータを復号し、フレーム同期、デ・スクランブル、デ・インターリーブ処理を行ったデータをフレーム毎にパケット単位で整理した形で内部のRAMに蓄える。RAM内のデータはCPUがバイト単位で読み出すことができ、後段のデータ処理が容易に行える。

LSI内部には、1フレーム分のデータを記憶できるRAMが2つ内蔵されており、フレームタイミングでトグル的に切り替わっている。したがって、RAMが切り替わった後、577msec以内に1フレーム分のデータを読み出す必要がある(切換えタイミングは、FRT出力の立ち上がり)。

また、BCH誤り訂正回路を内蔵しており、MC部については、誤り訂正後のデータをRAMに格納する(BCH誤り訂正を行わずに受信したMCをそのままRAMに格納することもできる)。

入力信号は、I、Q軸信号のほか、RD、RT信号にも対応している。信号処理後のデータは、シリアルデータとして出力することも可能で、後段の回路がシリアル処理の場合は、シリアルインタフェイス(注)を使用する。

(注) シリアルインタフェイス使用時は、パラレルインタフェイス(上記、CPUからの読み出し)は使用できない。

## 端子機能 ("RESET" 以外の入力ピンは全てTTLコンパチブル)

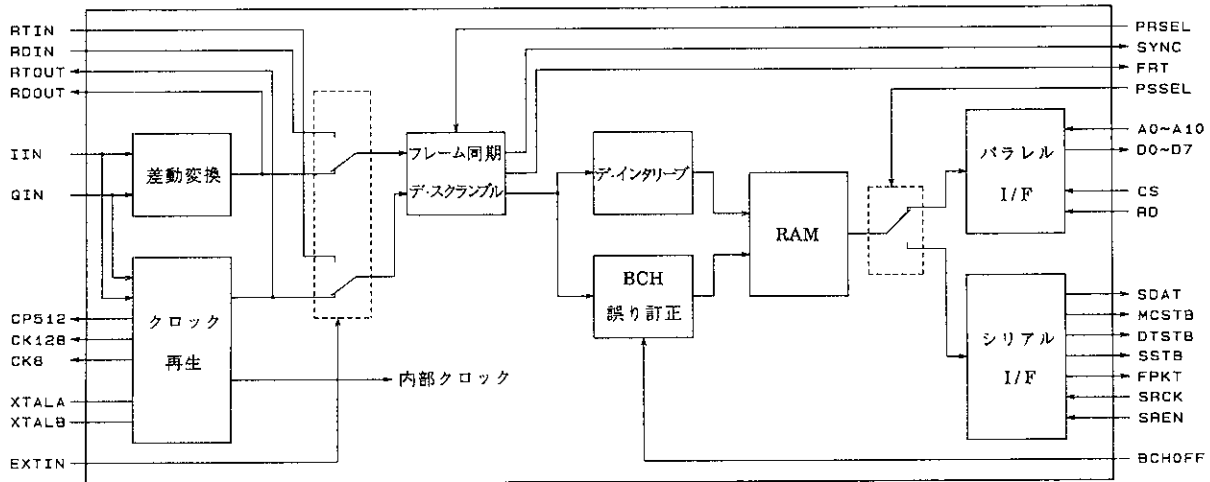
端子名	I/O	ピン番号	機能
XTALA	I	11	水晶発振器用発振アンプ端子
XTALB	O	12	外部発振器を使用の場合は、XTALAから入力
IIN	I	78	I軸、Q軸信号入力端子
QIN	I	77	
RDOU	O	3	RD(受信データ)出力端子
RTOUT	O	4	RT(データクロック)出力端子
RDIN	I	76	RD(受信データ)入力端子
RTIN	I	75	RT(データクロック)入力端子
CP512	O	17	XTALA入力の16分周出力
CK128	O	6	128kHzクロック出力(RTに同期)
CK8	O	5	8kHzクロック出力(RTに同期)
FRT	O	71	フレームタイミング出力(CPUの割り込み信号として使用できる)
SYNC	O	70	フレーム同期状態表示(H:同期確立状態)
RESET	I	62	LSIのリセット入力(Lアクティブ),(CMOSレベル:シュミットトリガ)
A <sub>0</sub> ~A <sub>10</sub>	I	32~37 43~47	内部RAM読み出し用アドレス入力
D <sub>0</sub> ~D <sub>7</sub>	O,Z	53~60	内部RAM読み出し用データ出力(3ステート)
$\overline{CS}$	I	51	チップセレクト入力(Lアクティブ)
$\overline{RD}$	I	50	CPUのREAD信号入力(Lアクティブ)
SRCK	I	20	シリアルインタフェイスデータ出力タイミングクロック (連続した矩形波を入力:2MHz max)
SDAT	O	21	シリアルインタフェイスデータ出力
SSTB	O	28	シリアルインタフェイスパケット出力タイミング表示
MCSTB	O	27	シリアルインタフェイスMC部出力タイミング表示
DTSTB	O	22	シリアルインタフェイスデータ部出力タイミング表示
FPKT	O	29	シリアルインタフェイス第1パケット出力表示
SREN	I	19	シリアルインタフェイス出力イネーブル入力(H:出力イネーブル)
PRSEL	I	14	前方保護段数切換え(L:4段、H:8段)
PSSEL	I	16	出力側I/F選択(L:パラレル、H:シリアル)
EXTIN	I	68	入力信号選択(L:I、Q、H:RD、RT)
BCHOFF	I	15	BCH誤り訂正機能切換え(H:訂正機能無)
TESTA	I	7	テスト用入力(通常は、「L」レベルに固定)
TESTB	I	8	テスト用入力(通常は、「L」レベルに固定)
TESTC	I	9	テスト用入力(通常は、「L」レベルに固定)

次ページへ続く。

前ページより続く。

端子名	I/O	ピン番号	機能
WR	I	49	テスト用入力 (通常は、「H」レベルに固定)
VDD	-	31, 48, 73	電源端子 (+5V), (全ての端子を +5V に接続する)
VSS	-	10, 13, 38, 52, 61	GND端子 (全ての端子を GND に接続する)
NC	-	1, 2, 18, 23, 24, 25, 26, 30, 39, 40, 41, 42, 63, 64, 65, 66, 67, 69, 72, 74, 79, 80	このピンはどこにも接続しない

ブロックダイアグラム



A00602

データ格納フォーマット

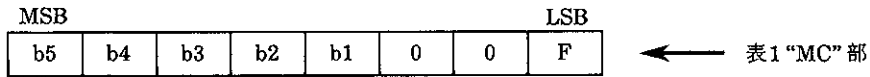
1. 内部RAMアドレスマップ (表1)

バケット	アドレス	0	1	2	3	4	.....	E	F
1	00x	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	.....	D <sub>15</sub>	D <sub>16</sub>
	01x	D <sub>17</sub>	D <sub>18</sub>	D <sub>19</sub>	D <sub>20</sub>	D <sub>21</sub>	.....	D <sub>31</sub>	D <sub>32</sub>
	02x	D <sub>33</sub>	D <sub>34</sub>	*	*	*	.....	*	*
	03x	*	*	*	*	*	.....	MC	フラグ
2	04x	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	.....	D <sub>15</sub>	D <sub>16</sub>
	05x	D <sub>17</sub>	D <sub>18</sub>	D <sub>19</sub>	D <sub>20</sub>	D <sub>21</sub>	.....	D <sub>31</sub>	D <sub>32</sub>
	06x	D <sub>33</sub>	D <sub>34</sub>	*	*	*	.....	*	*
	07x	*	*	*	*	*	.....	MC	フラグ
32	7Cx	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	.....	D <sub>15</sub>	D <sub>16</sub>
	7Dx	D <sub>17</sub>	D <sub>18</sub>	D <sub>19</sub>	D <sub>20</sub>	D <sub>21</sub>	.....	D <sub>31</sub>	D <sub>32</sub>
	7Ex	D <sub>33</sub>	D <sub>34</sub>	*	*	*	.....	*	*
	7Fx	*	*	*	*	*	.....	MC	フラグ

D<sub>1</sub>~D<sub>34</sub> : 訂正前データ (デ・インタリーブ処理済み)  
 MC : 訂正後MC (情報5ビット + 訂正完了フラグ)  
 フラグ : MCの訂正完了を示す (00: 訂正完, FF: 訂正不可)  
 \* : 不定データ

2. ビット配列

(1) MC 部 (BCHOFF=「L」の時)

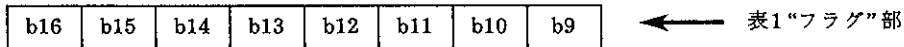
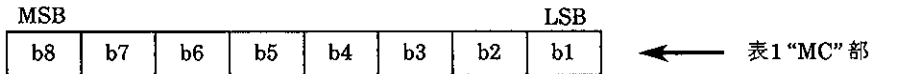


b1~b5 : モードコントロール部の情報ビット  
(b1が先行ビット)

F : 訂正完了フラグ (0: 訂正完、1: 訂正不可)

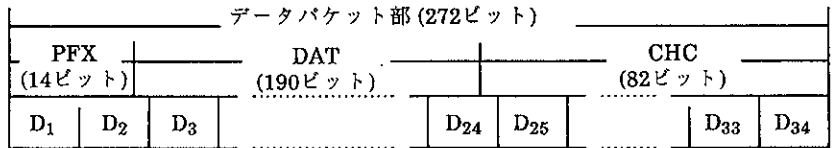
ファクシミリ放送のパケットの場合、  
ビットパターンは次のとおり (訂正完了時)  
一般放送: "10000000"  
有料放送: "10001000"

(2) MC 部 (BCHOFF=「H」の時)



b1~b16 : モードコントロール信号の受信データ (b1が先行ビット)

(3) データ部



D1~D34 : LSBが先行ビット

絶対最大定格 / Ta=25℃

			unit
最大電源電圧	V <sub>DD max</sub>	-0.3~+7.0	V
最大入力電圧	V <sub>I max</sub>	-0.3~V <sub>DD</sub> +0.3	V
最大出力電圧	V <sub>O max</sub>	-0.3~V <sub>DD</sub> +0.3	V
許容消費電力	P <sub>d max</sub>	Ta ≤ 70℃	350 mW
動作周囲温度	Topg	-30~+70	℃
保存周囲温度	Tstg	-55~+125	℃
ハンダ耐熱		手ハンダ (3秒間)	350 ℃
		リフロー (10秒間)	235 ℃
最大入力電流	I <sub>IN max</sub>	±20	mA
最大出力電流	I <sub>OUT max</sub>	±20	mA

許容動作範囲 / Ta=25℃

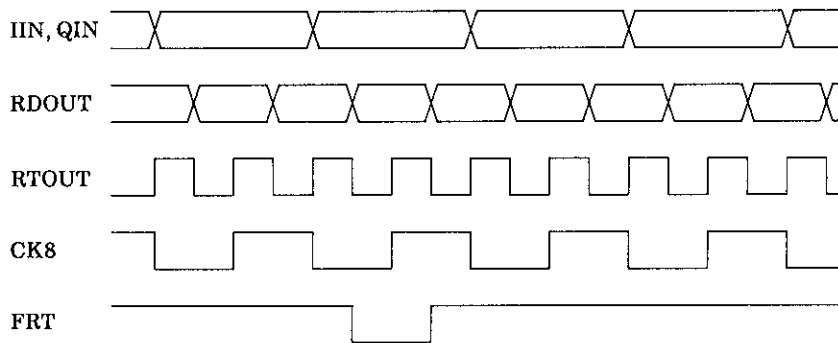
		min	typ	max	unit
電源電圧	V <sub>DD</sub>	4.5	5.0	5.5	V
入力電圧	V <sub>IN</sub>	0		V <sub>DD</sub>	V

電氣的特性 / DC特性 入出力レベル : $V_{SS}=0V, V_{DD}=4.5\sim 5.5V, T_a=-30\sim +70^{\circ}C$		min	typ	max	unit
入力「H」レベル電圧	$V_{IH}$	TTL対応: RESET以外の全ての入力ピン	2.2		V
入力「L」レベル電圧	$V_{IL}$			0.8	V
入力「H」レベル電圧	$V_{IH}$	CMOS対応シュミット: RESETピン	$0.8V_{DD}$		V
入力「L」レベル電圧	$V_{IL}$			$0.2V_{DD}$	V
出力「H」レベル電圧	$V_{OH}$	$I_{OH}=-3mA$ : 全ての出力ピン	2.4		V
出力「L」レベル電圧	$V_{OL}$	$I_{OL}=+3mA$ :		0.4	V
出力「H」レベル電圧	$V_{OH}$	$I_{OH}=-1\mu A$ :	$V_{DD}-0.05$		V
出力「L」レベル電圧	$V_{OL}$	$I_{OL}=+1\mu A$ :		$V_{SS}+0.05$	V
入力リーク電流	$I_L$	$V_I=V_{SS}, V_{DD}$ : 全ての入力ピン	-10	+10	$\mu A$
出力リーク電流	$I_{OZ}$	ハイインピーダンス出力時: 全ての双方向ピン	-10	+10	$\mu A$
消費電流	$I_{CC}$			20	mA

電氣的特性 / AC特性 内部RAM読み出しタイミング		min	typ	max	unit
リードサイクル時間	$t_{RC}$	120			ns
アドレスアクセス時間	$t_{ACC}$			120	ns
CSアクセス時間	$t_{CS}$			85	ns
RDアクセス時間	$t_{RD}$			85	ns
RDイネーブル時間	$t_{EN(RD)}$	10			ns
RDディセーブル時間	$t_{DIS(RD)}$			25	ns
CSイネーブル時間	$t_{EN(CS)}$	10			ns
CSディセーブル時間	$t_{DIS(CS)}$			25	ns
出力ホールド時間	$t_{OH}$			15	ns

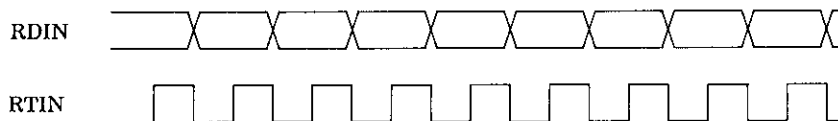
入出力タイミング

(1) I, Q 軸入力と RDOUT, RTOUT および クロック出力



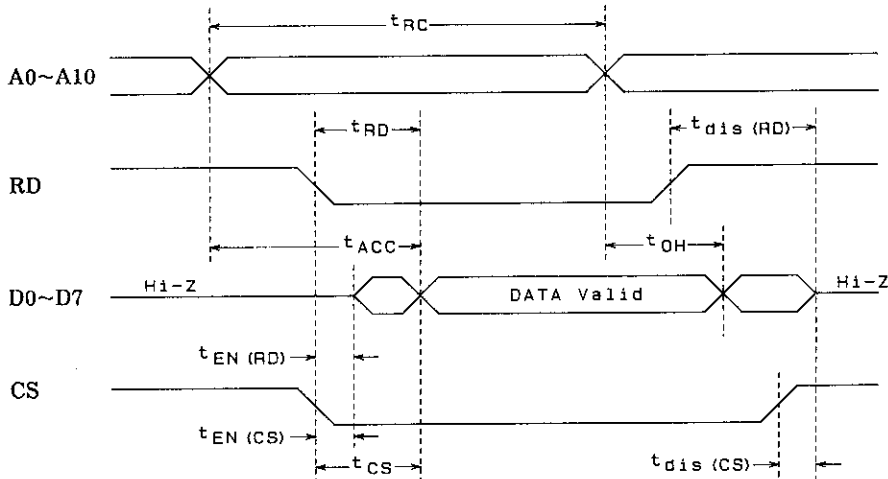
A00603

(2) RDIN, RTIN 入力タイミング



A00604

(3) データ読み出しタイミング (通常のSRAMと同様)

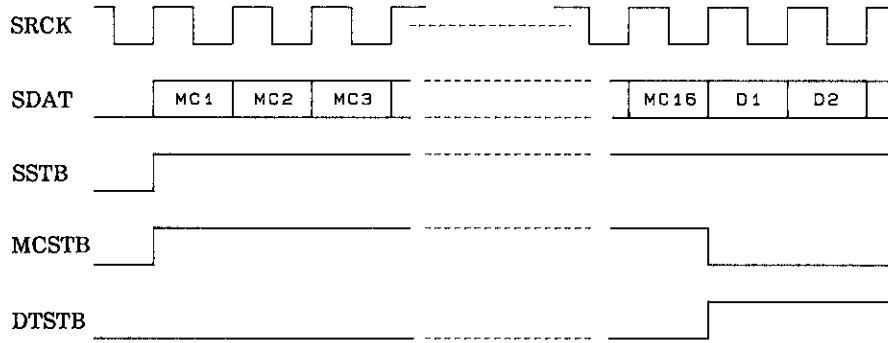


A00605

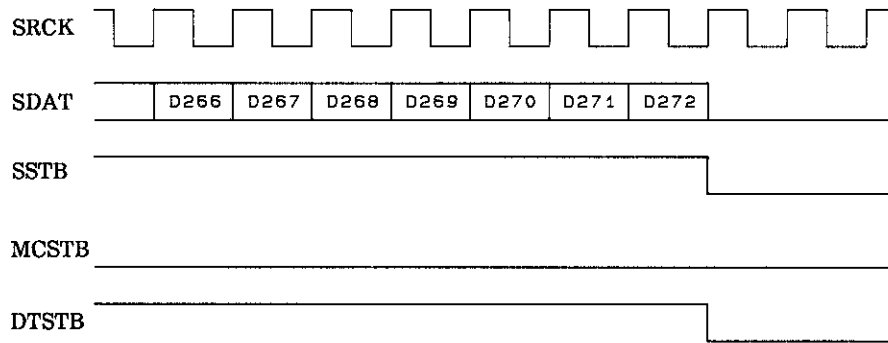
(4) シリアルインタフェース

注) FPKTは、フレームの先頭パケットの時のみ、SSTBと同じタイミングの信号が出力される。

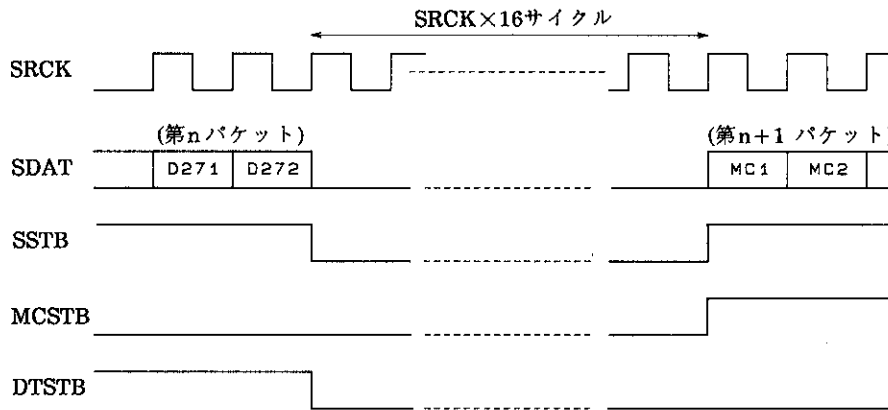
[パケット出力開始タイミング]



[パケット出力終了タイミング]



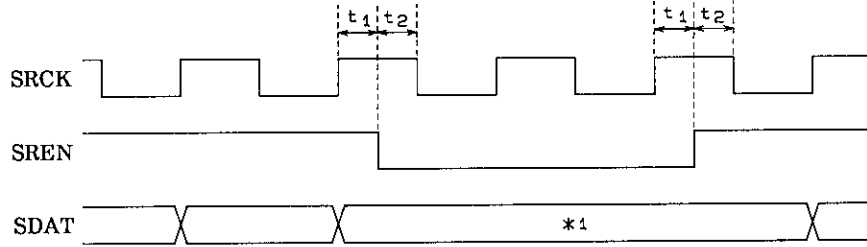
[パケット間タイミング]



A00606

[シリアルインタフェース出力イネーブル]

SREN入力により、シリアルデータの出力を一時的に停止できる。



A00607

- \*1 : SRENが「L」に遷移した時点のデータを保持
- t<sub>1</sub> : 20ns (min)
- t<sub>2</sub> : 20ns (min)

注1) 1フレーム分のデータを全て出力するためには、SRCK入力の9728周期が必要である。  
SRENで出力をコントロールする場合は、1フレーム (577 msec) 間に全てのデータを出力できるようにする (577 msecを過ぎると未出力のデータは消滅する)。

注2) シリアルインタフェースから出力されるMC信号は、

① BCHOFF=「L」の時

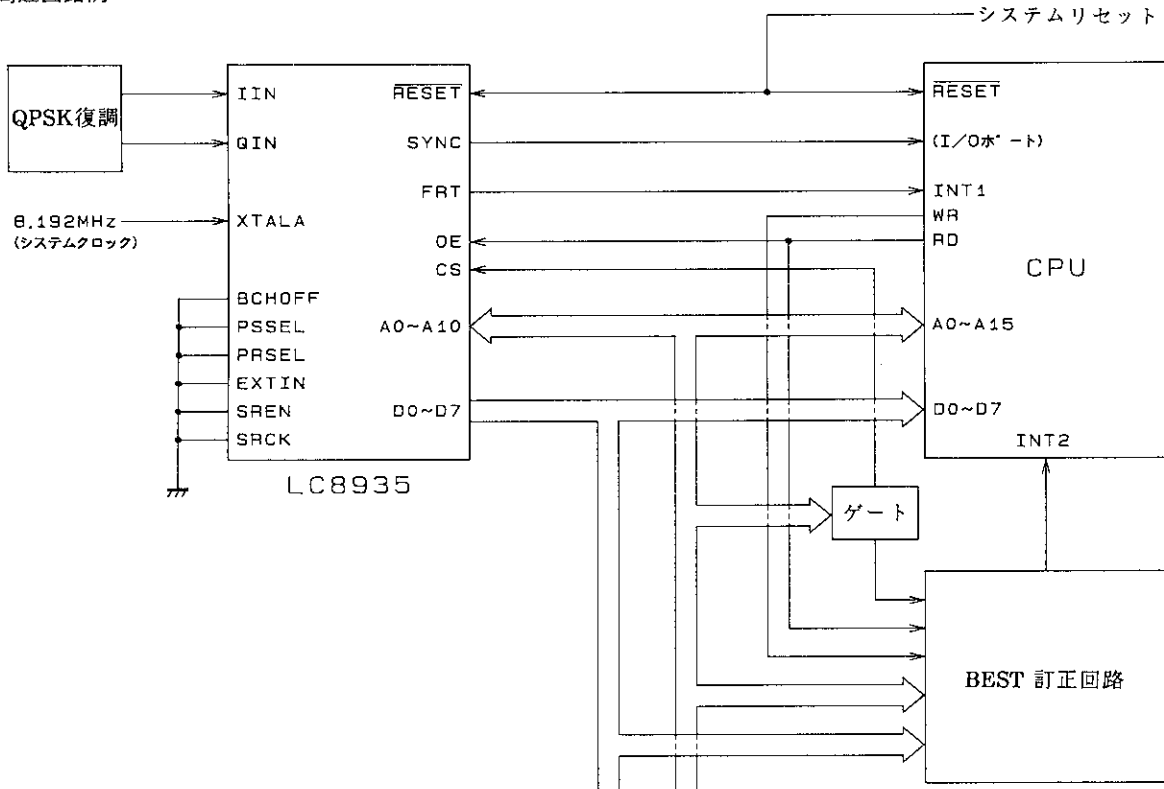
MC1~MC8 : 訂正後の情報ビット (5ビット)+訂正フラグ  
(前記、ビット配列参照: LSBから出力)。

MC9~MC16: 訂正完了フラグ  
(訂正完: 全て 0, 訂正不可: 全て 1)。

② BCHOFF=「H」の時

MC1~MC16: 受信したMC信号がそのまま出力される (MC1が先行ビット)。

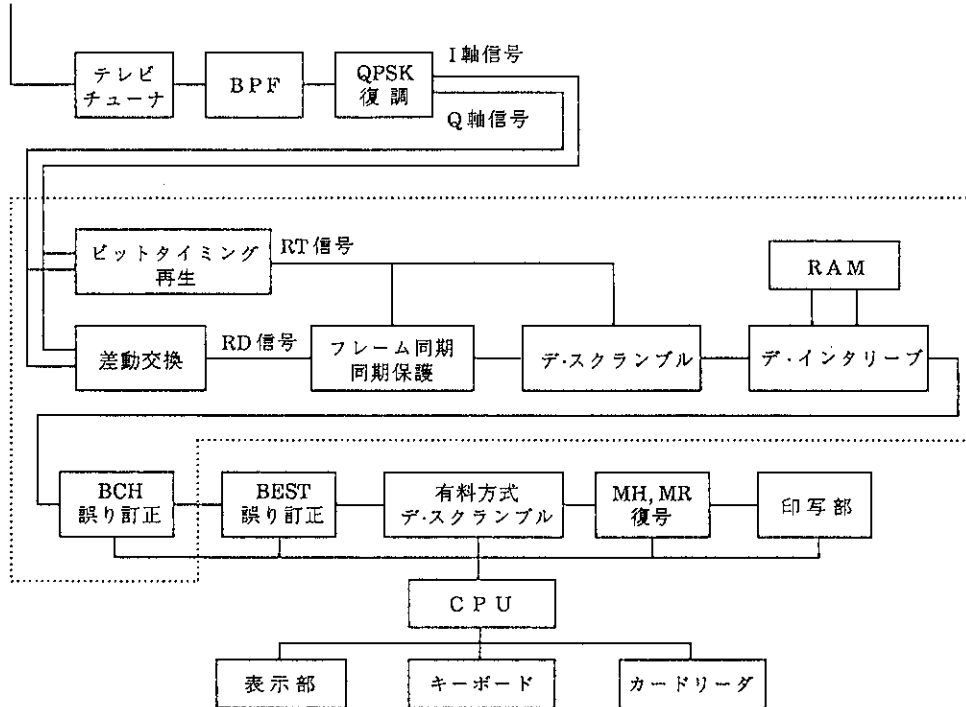
周辺回路例



A00608

[付録]

図1 ファクシミリ放送受信機の構成例



注) 点線内はLSIに搭載された信号処理回路

- ・BPF : バンドパスフィルタ (Band Pass Filter)
- ・QPSK : 4相位相変調 (Quadri Phase Shift Keying)
- ・BCH : 誤り訂正符号の一種 (サービス識別信号の誤り訂正符号)
- ・BEST : 文字放送用として開発された誤り訂正符号 (画像信号や制御信号の誤り訂正符号)
- ・MH : CCITT, T4 準拠の1次元符号化方式
- ・MR : CCITT, T4 準拠の2次元符号化方式

ファクシミリ放送方式の概要

デジタル方式ファクシミリ多重放送の技術基準の概要を表1、ファクシミリ信号が多重されたテレビジョン音声信号のベースバンドスペクトラムを図2、ファクシミリ信号の構成を図3に示す。

ファクシミリ信号は、画像信号とその前後に挿入された各種の制御信号からなる、各々288ビットのペケット単位で構成され、さらに32個のペケット群に対して先頭に16ビットのフレーム同期信号が付加されたフレーム行列を構成する。フレーム行列は、図3に示すように行方向で書き込み、列方向で読み出し順次送出する32ビットインターリーブの後、スクランブルを行って4相差動位相変調される。

各ペケットは、176ビットの画像信号(または制御信号)の頭にプリフィックス、後ろに(272,190)短縮化差集合巡回符号による誤り訂正用チェックビットが付加された、272ビットのデータペケットに、更にモードコントロール信号(MC)が先頭に付加された構成をとる。

MCは有料放送あるいは、将来他のデータ放送などのサービスを可能とするため、サービス形態に応じてペケットを識別するためのヘッダであり、誤り訂正符号として(16,5)BCH符号が採用されている。

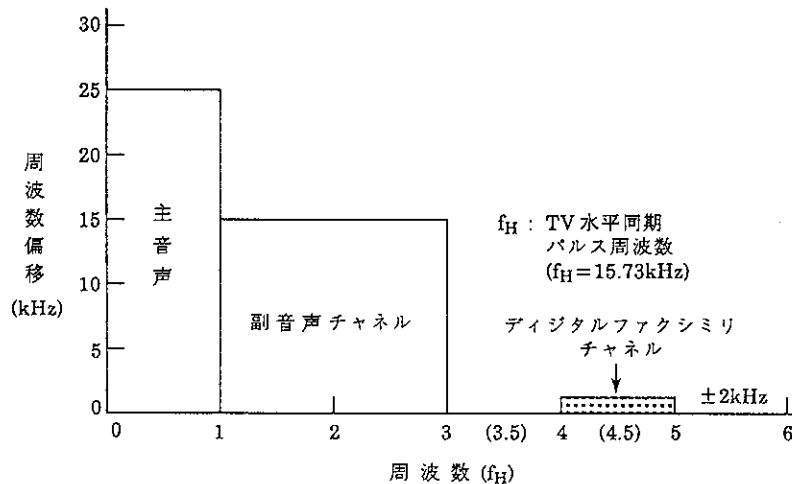
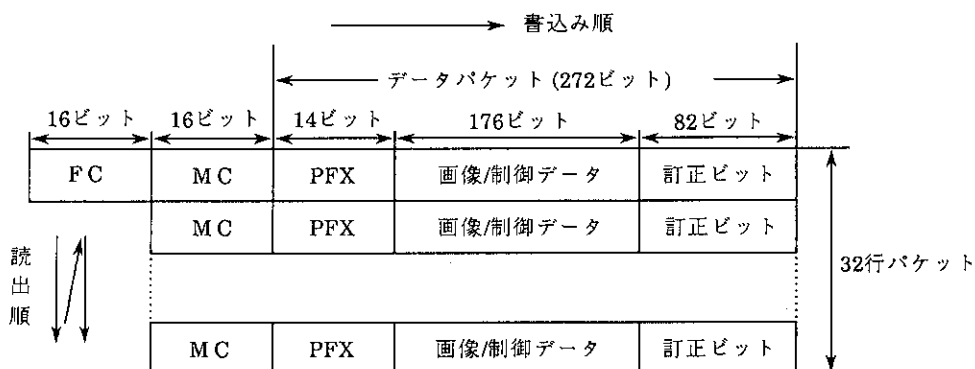


図2 音声ベースバンドスペクトラム



表1 デジタル方式ファクシミリ放送の技術基準

項目	規格
送画機の規格	
原稿サイズ	JIS A4判 (210mm×297mm)
走査線長	215mm (1728 画素)
解像度 (横×縦)	8 画素/mm×7.7 本/mm
走査時間	最小: 10ms/ライン, 最大: 5s/ライン
符号化方式	・1次元符号化方式 (MH) ・2次元符号化方式 (MR, K: 最大4)
伝送速度	9600bps 相当
ファクシミリ信号の構成	
信号形式と構成	2値 NRZ, パケット形式 288ビット ・モードコントロール部 16ビット ・データパケット部 272ビット
誤り訂正方式	・モードコントロール部 : (16, 5) BCH 符号 ・データパケット部 : (272, 190) 短縮化差集合巡回符号
信号の種類と時系列構成	
ネットワーク信号	6フレーム
番組選択信号	6フレーム
画像信号	番組内容により可変長
番組 (頁) 終了信号	最小3パケット
空白信号	送出時間調整などに適宜送出
ファクシミリ信号のフレーム行列の構成	32行 (パケット) × 288列 (ビット) フレーム同期信号は16ビット
ファクシミリチャネル信号	
副搬送波周波数	70.804kHz
伝送帯域幅	12.8kHz
変調方式	4 相差動位相変調
データ伝送速度	16kbps
ロールオフ特性	60% (送受 $\sqrt{}$ 配分)
スクランブル	加算方式, $g(x) = x^{11} + x^2 + 1$
主搬送波の最大周波数偏移	±2kHz



FC : フレーム同期信号  
MC : モードコントロール信号, PFX : プリフィックス

図3 ファクシミリ信号のフレーム行列の構成

この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保證するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保證を行うものではありません。  
本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。