

特性

- 专利的CCM工作模式
- 前馈电流采样，不烧灯珠
- 过温电流折返功能
- 最精简的系统结构
- 无输入/输出电解工作
- 输入/输出电压“零”距离
- 集成高压启动、高压供电功能
- 集成前沿导通消隐功能（LEB）
- 集成电感补偿功能
- 集成频率抖动功能
- 超宽输出电压范围
- 逐周期峰值电流保护功能
- 芯片供电欠压保护功能
- CS电阻开路保护
- 输出短路保护功能
- 优化的线电压及负载调整率
- 内置550V高压MOS
- 采用SOP-7封装

概述

LIS9412是一款专用于LED恒流驱动的控制芯片，适用于降压式非隔离应用场合，通过采用多项专利控制技术，使得系统架构得到了最大程度的精简。LIS9412工作在电感电流连续模式，无需输出滤波电容，负载的纹波电流依然能保持较低水平；同时相比电流断续模式，峰值电流更小，有效电流更小，因此器件损耗更低，使系统能够轻松达到95%以上的效率。LIS9412采用了专利的输出恒流技术，保证输出电流不随电感量和LED灯串的电压变化而变化，实现优异的负载调整率。LIS9412集成了高压启动和高压供电功能，无需启动电阻或供电绕组。LIS9412还集成了完善的保护功能，包括输入电流的逐周期过流保护，电流检测管脚的开路保护，IC过温调节功能，以及输出端短路保护等。图1 示出了这种芯片的典型应用。

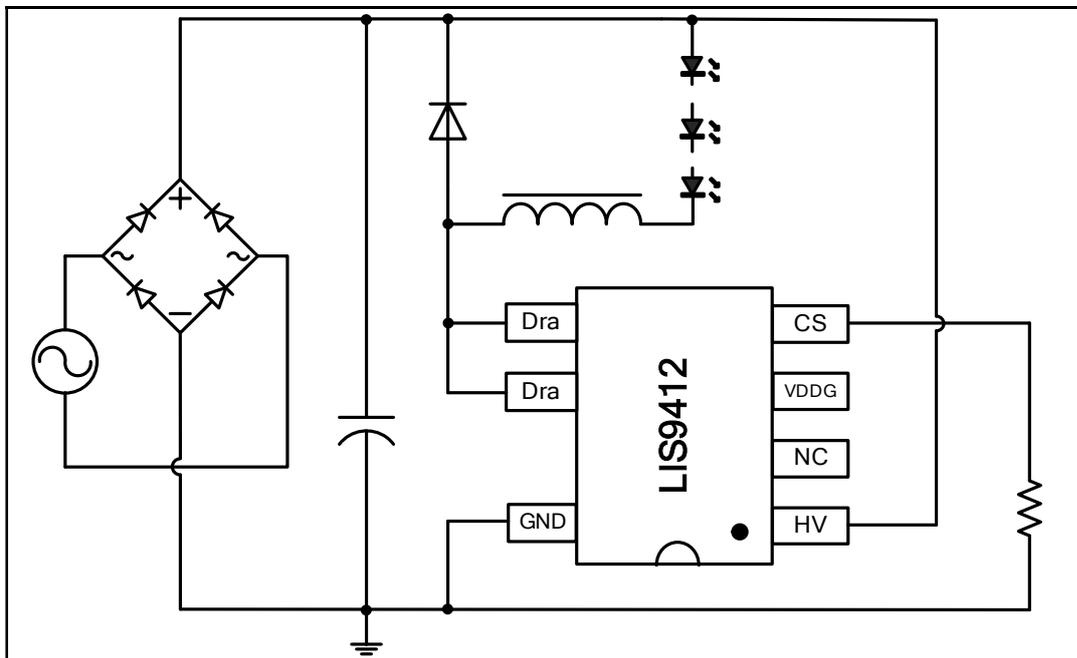


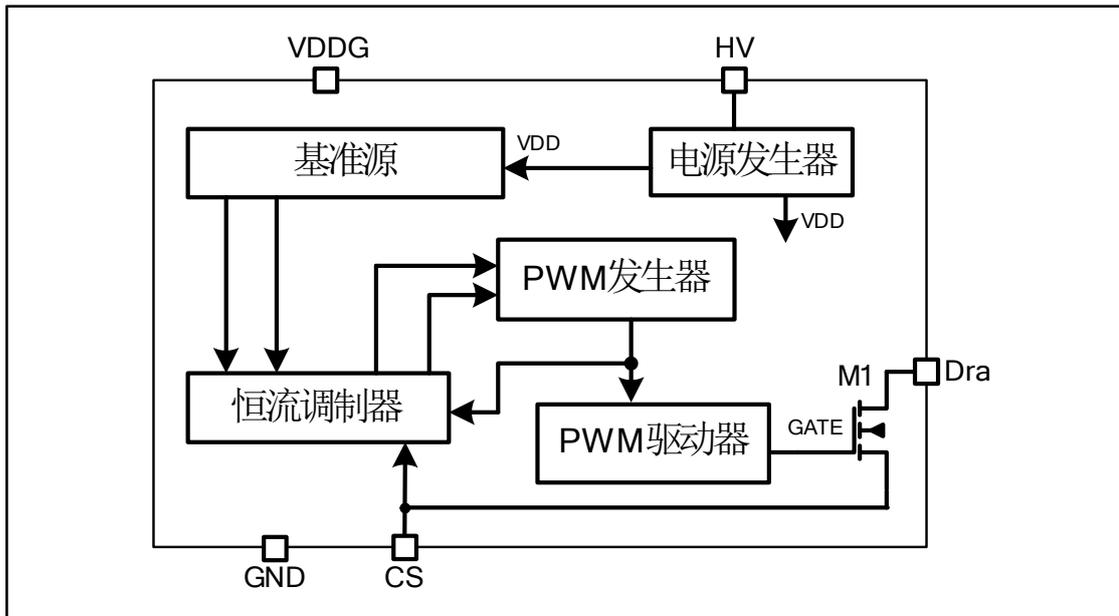
图 1 典型应用电路

应用

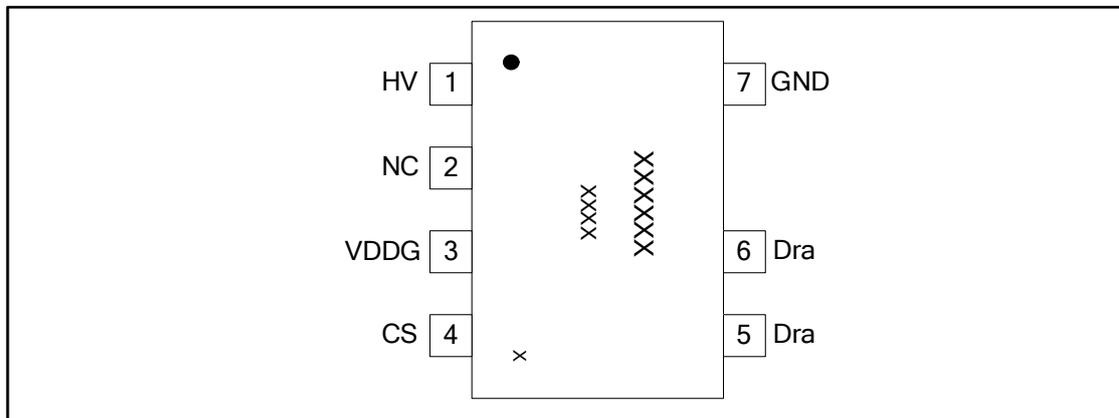
- LED球泡灯驱动
- LED T5/T8灯驱动
- LED天花灯驱动
- LED景观灯驱动

推荐功率应用	输入电压	输出电压	输出电流
	180V~264Vac	<170V	<160mA
	85V~265Vac	<80V	<150mA

功能框图



引脚俯视图 (SOP-7)



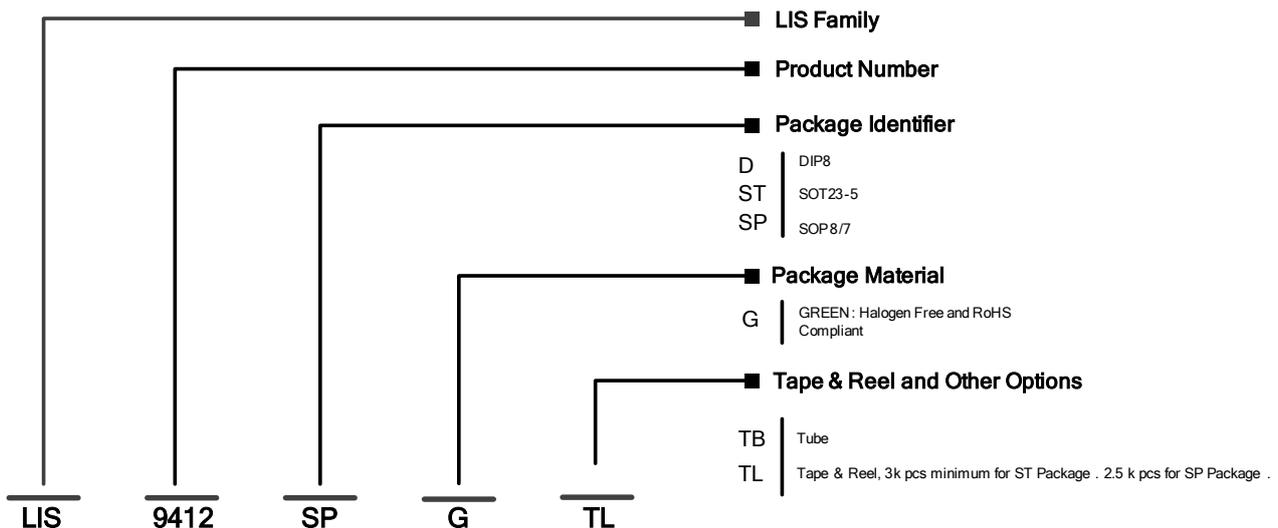
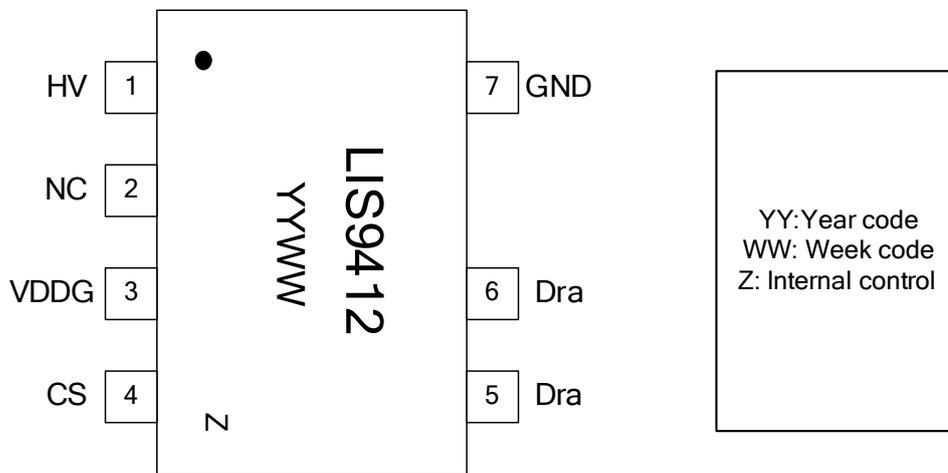
引脚功能描述

引脚顺序	引脚名	输入/输出	功能
1	HV	输入	高压供电
2	NC	/	/
3	VDDG	输入\输出	芯片驱动源
4	CS	输入\输出	初级侧电流检测
5,6	Dra	输入\输出	内部 MOS 漏极
7	GND	输入\输出	芯片地

极限工作范围

电源电压 (引脚 1)-----	-0.3V~10V
最大结温 (T_{JMAX}) -----	150 °C
工作环境温度 (T_a) -----	-40 °C~100 °C
存储温度范围 (T_{STO}) -----	-55 °C~150 °C
引线温度 (无铅封装, 焊接, 10 秒) -----	260 °C
CS 引脚电压范围-----	-0.3V~7V
Drain 引脚电压范围-----	-0.3V~550V

标识和订购信息



订购序号	封装类型	封装编带
LIS9412-SP-G-TL	SOP-7	Tape and Reel 2500

电气参数 (TA=25°C, unless otherwise stated, VDD=10V)

符号	参数	测试条件	Min.	Typ.	Max.	Unit
供电						
I _{OP}	工作电流	内部驱动浮空	-	110	150	uA
UVLO(ON)	进入 VDD 欠压保护的阈值	从高往低扫描 VDD 电压		3		V
UVLO(OFF)	退出 VDD 欠压保护的阈值	从低往高扫描 VDD 电压		6		V
时钟和频率						
f _{MAX}	最大工作频率			150		KHz
Δf	频率抖动范围		-	±3	-	%
采样和时序						
t _{LEB}	导通前沿消隐时间		-	600	-	nS
V _{th_H}	稳态 CS 脚电压峰值		525	540	555	mV
V _{th_L}	稳态 CS 脚电压谷值		130	135	140	mV
T _{OFF_Min}	最小消磁时间			3		uS
T _{OFF_Max}	最大消磁时间			18		uS
T _{on_Min}	最小导通时间			1		uS
t _{SS}	软启动时间		-	9	-	mS
保护						
OTP	过温调节		-	145	-	°C
OCP Delay	输出短路保护延迟时间			500		uS
内部 MOS						
BV _{DSS}	漏极-源极击穿电压	I _D =250uA, V _{gs} =0V	550			V
I _{DSS}	漏极-源极漏电流	V _{Ds} =500V, V _{gs} =0V			1	uA
R _{DS(ON)}	漏极-源极静态导通阻抗	I _D =0.5A, V _{gs} =10V		12.5		Ω
I _D	漏极-源极连续电流			1		A
Tr	上升时间			50		nS
Tf	下降时间			70		nS

功能描述

启动和供电

LIS9412 采用了专利的启动和供电技术，通过 HV 脚连接母线电压，内部的高压模块提供启动电流和工作电流，并无需 VCC 电容。在启动时，芯片的 VDD 首先通过高压模块由线电压充电，当其上的电压达到阈值 UVLO(off)后，芯片启动，并开始输出脉冲驱动内部功率开关。在启动后，

版权© 莱狮半导体科技有限公司

由于芯片自身的耗电非常少，可直接通过高压模块供电，使 VDD 电压维持在某一值上，保证 IC 正常工作。

欠压锁定 (UVLO)

LIS9412 内部有一个欠压锁定迟滞比较器，其迟滞曲线如图 2 所示。当 VDD 电压从低于

UVLO(on)往上升高到 UVLO(off)时, 芯片才开始启动; 而当 VDD 电压从高于 UVLO(off)往下降低到 UVLO(on)时才锁定, 因此形成图中所示的迟滞窗口。

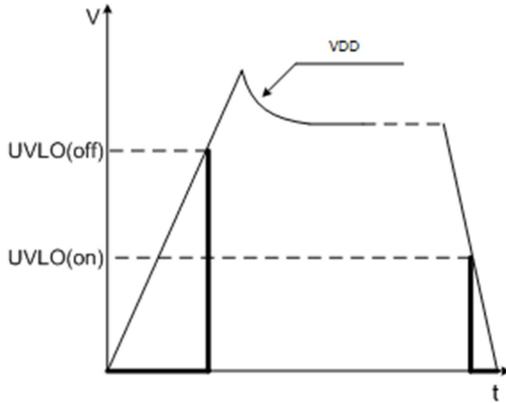


图 2

软启动

LIS9412 提供软启动功能。每次启动之后, 芯片从最低工作频率逐渐建立到最终恒流所需的开关频率。整个软启动过程大约在 9mS 左右。软启动可以抑制启动时的电流过冲, 以降低 LED 在启动时承受的应力, 从而提升 LED 的寿命。另一方面, 软启动也能抑制启动时内部 MOSFET 漏极的电压过冲, 从而增加系统可靠性。

前沿消隐 (LEB)

LIS9412 内部集成了前沿消隐功能。在开关管开通前的 600ns 内, CS 引脚的干扰信号被屏蔽,

应用设计

CS 取样电阻的设计

LIS9412 是一款专用于 LED 非隔离降压式驱动开关, 系统工作在电流连续开关模式, 芯片通过连接芯片内部的 CS 端, 逐周期的检测电感上的峰值电流和谷值电流, 并与内部的基准电压进行比较。芯片通过专利的恒流控制技术, 使稳态后每周期的峰值电流和谷值电流都保持恒定, 从而恒定输出电流。

电感峰值电流的计算公式: $I_{PK} = 540/R_{cs}$ (mA)

电感谷值电流的计算公式: $I_{VL} = 135/R_{cs}$ (mA), R_{cs} 为 CS 取样电阻阻值, 单位 Ω 。

电源额定输出电流为: $I_{LED} = 0.5 * (I_{PK} + I_{VL})$ (mA)

由以上公式可以得出: $I_{LED} = 337.5 / R_{cs}$ (mA)

电感的设计

LIS9412 是采用 Buck 电路工作模式, 系统上电后内部功率管导通, 电感电流逐渐上升, 当电感电流上

从而可以很好地防止内部开关管误触发关断, 保证系统稳定工作。

恒流操作

LIS9412 采用专利的恒流驱动技术, 通过采用这种技术, 可以使输出电压在极宽的范围内恒流。而且可以确保输出电流和变压器感量无关, 从而加大了系统设计的容差。

过温调节

LIS9412 集成了过温调节功能, 在驱动电源过热时逐渐减小输出电流, 从而控制输出功率和温升, 使电源温度保持在设定值, 以提高系统的可靠性。芯片内部设定过热调节温度点为 145°C。

CS 开路保护

LIS9412 集成了 CS 引脚的开路保护功能, 当芯片的 CS 引脚开路, 开关管会关断, 进入自动重启保护模式。当错误条件消失, 系统自动恢复正常工作状态。

输出短路保护

LIS9412 具有输出短路保护功能。一旦输出短路, 持续仅约 500us 后, 芯片内部就会关断开关, 并进入锁定模式, 此时系统功耗极低, 几乎没有发热, 因此非常安全可靠。当短路状态消失后, 需要母线电压完全掉电, 并再次上电后, 系统才会恢复正常工作状态。

非隔离降压式 LED 驱动控制器

升到 I_{PK} 时，内部功率管关断。此时电感开始消磁，当电感电流下降到 I_{VL} 时，退磁结束，内部功率管又开始导通，周而复始。芯片内部对电感的最小消磁时间做了限定，其典型值为 $3\mu S$ ，即正常工作时，电感的消磁时间不得低于 $3\mu S$ 。L 的计算公式如下： $L = V_{OUT} * T_{dem} / (I_{PK} - I_{VL})$

L 为电感量， V_{out} 为额定输出电压， T_{dem} 为设计者设定的消磁时间(推荐取值 $6\sim 10\ \mu S$ 之间)。

频率的计算

内部功率管的导通时间如下： $T_{ON} = \frac{L * (I_{PK} - I_{VL})}{V_{IN} - V_{OUT}}$

其中，L 为电感的电感量， V_{in} 是输入交流整流后的直流电压， V_{out} 是输出 LED 的正向压降。

当内部功率管关断后，电感上电流从峰值开始逐渐下降，当电感上电流下降到 I_{VL} 时，内部功率管开启。

功率管的关断时间如下： $T_{OFF} = \frac{L * (I_{PK} - I_{VL})}{V_{OUT}}$

频率的计算公式如下： $f = \frac{(V_{IN} - V_{OUT}) * V_{OUT}}{L * V_{IN} * (I_{PK} - I_{VL})}$

其中 f 为系统的工作频率，当 L, V_{OUT} , I_{PK} , I_{VL} 一定时，工作频率随 V_{in} 的降低而降低。所以设计系统工作频率，在最小 V_{IN} 时，不能让系统进入音频范围内(一般不要低于 $22kHz$)。在最高 V_{IN} 时不能使系统的工作频率太高，否则开关损耗过大会导致芯片发热严重，建议最高工作频率小于 $120kHz$ 。

变压器匝数计算

当以上计算，得出 L 和 I_{PK} 后，即可计算出变压器或电感的最少匝数： $N > \frac{L * I_{PK}}{B_m * A_e}$

N 为变压器线圈匝数， A_e 为变压器磁芯的等效截面积， B_m 的取值需参考磁芯材质而定，以 PC40 材质为例，建议 B_m 取值小于 $0.35T$ 。

最短消磁时间与最长消磁时间

LIS9412 设置了最短消磁时间和最长消磁时间，当电感过小或输出电压过高时，电感的消磁时间就有可能小于芯片的最短消磁时间，导致输出电流降低；当电感过大或输出电压过低时，电感的消磁时间就有可能大于芯片的最长消磁时间，导致系统工作异常；因此选取一个合理的电感值非常重要，需要设计者重点考量。需特别指出，当电源正常工作时，其设计的最小消磁时间一定不能大于芯片的最大消磁时间，并且留有足够的余量，否则电源将不能正常工作。由于该系统架构是降压式，所以输入端整流后的最小直流电压最好不要低于输出电压，否则输出有掉电流的风险。

功率因素的校正

当系统有功率因素要求时，可采用一个简单的无

源功率因素校正电路(填谷式)，该电路包含 3 个二极管 2 个电容可将系统功率因素提高到 0.9 以上，如果在填谷电路中串入一个 20 欧姆的电阻，系统的功率因素将可以进一步提高。

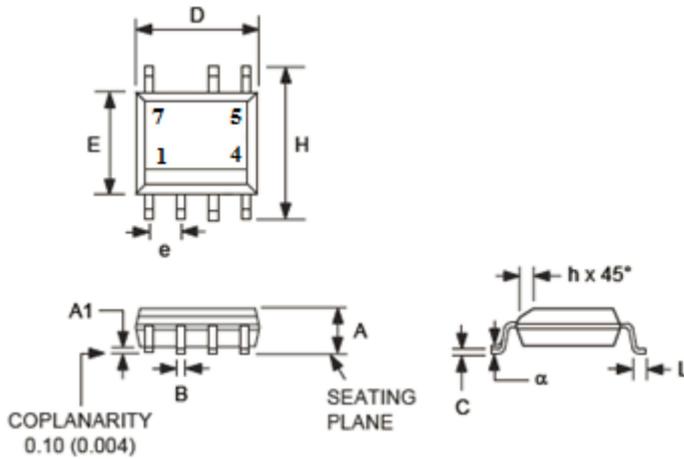
如果仅需 PF 提高到 0.7 以上，可将输入电解调整为 CBB 电容，此时会有较高的 PF 值产生，但注意输出有工频纹波存在，且线性调整率会略差。如在此基础上仍需获得更好的线性调整率，可选用莱狮另一系列芯片进行调试。

PCB 板的设计

- ✓ 电感的充电回路和放电回路面积都要尽可能的小
- ✓ 芯片的 Drain(Pin5, Pin6)所连接的铜皮面积要尽量大，以便芯片良好散热

封装信息

7-Lead Small Outline (SOIC) Package



Symbol	Inches		Millimeters	
	MIN	MAX	MIN	MAX
A	0.060	0.068	1.52	1.73
A1	0.004	0.008	0.10	0.20
B	0.014	0.018	0.36	0.46
C	0.007	0.010	0.18	0.25
D	0.188	0.197	4.78	5.00
E	0.150	0.157	3.81	3.99
e	0.050 BSC		1.270 BSC	
H	0.230	0.244	5.84	6.20
h	0.010	0.016	0.25	0.41
L	0.023	0.029	0.58	0.74
α	0°	8°		

Compliant to JEDEC Standard MS12F

Controlling dimensions are in inches; millimeter dimensions are for reference only

This product is RoHS compliant and Halide free.

Soldering Temperature Resistance:

[a] Package is IPC/JEDEC Std 020D Moisture Sensitivity Level 1

[b] Package exceeds JEDEC Std No. 22-A111 for Solder Immersion Resistance; package can withstand 10 s immersion < 270°C

Dimension D does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15 mm per end. Dimension E1 does not include interlead flash or protrusion. Interlead flash or protrusion shall not exceed 0.25 mm per side.

The package top may be smaller than the package bottom. Dimensions D and E1 are determined at the outermost extremes of the plastic body exclusive of mold flash, tie bar burrs, gate burrs and interlead flash, but including any mismatch between the top and bottom of the plastic body.

修改历史

版本	日期	状态描述
V1.0	Feb. 2017	初始版本

声明:

上海莱狮半导体科技有限公司保留本 DATA SHEET 变更权。客户在下单前应获取最新版本资料，并验证相关信息是否完整和最新。