



三洋半導体
ニュース

No.1966

6195

LM8854

Nチャンネル E/D MOS LSI

制御用1チップ8ビット マイクロコンピュータ

新製品

1. 概要

LM8854は、民生機器の高速、高性能制御とOA機器の制御を主用途とした8ビット、Nチャンネル MOS LSI マイクロコンピュータである。制御用に適したアーキテクチャを採用し、6種4レベルの多重割込み処理、多機能タイマ、シリアルI/Oポート、57本のI/Oポートを内蔵している。また、101種の命令セットにより、使い易い強力なものである。

2. アーキテクチャの特長

- ① 豊富な内蔵メモリ：ROM=4Kバイト、RAM=256バイト
- ② 57本のI/Oポート。
- ③ 2系統の多機能 8ビットタイマ(時限タイマ、イベントカウンタ)および10ビットプリスケアラ。
- ④ 8ビットPWM型DAコンバータ：タイマ1と共用。
- ⑤ 方形波出力：タイマ1と共用。
- ⑥ シリアルI/Oポート：同期=8ビットまたは非同期=10ビット、11ビットの通信が半二重で可能。
- ⑦ 汎用マスタCPUのバスと接続して、8ビットパラレルデータの送受が可能。
- ⑧ 6要因、4レベルの多重割込み：外部=2種、タイマ=2種、シリアルI/O、8ビットバス。
- ⑨ 16レベルのスタック。
- ⑩ 101種の命令セット。
 - ・RAM、I/Oポートのビット処理、ビット判定。
 - ・RAM、I/Oポートの置換、間接アドレス指定。

3. ハードウェアの特長

- ① 高速動作：命令サイクルタイム 2 μ sec min.
- ② 13V耐圧の入出力ポートおよび30mA 出力ドライバ(8本)、18mA 出力ドライバ(38本)。
- ③ 5V単一電源、RAMのバックアップ可。
- ④ OSC内蔵：セラミック発振。
- ⑤ TTL/CMOSレベルの入力選択、プルアップ/オープンドレインの出力選択が可。
- ⑥ リセット時の出力状態が選択可。
- ⑦ 交流波形のゼロクロス検出回路が選択可。

4. シリーズ構成

機種名	ROM	RAM	入出力	入力	出力	パッケージ	備考
LM8854	4k \times 8	256 \times 8	4 \times 8	11	14	DIP64S	出荷中
LM8854G	4k \times 8	256 \times 8	4 \times 8	11	14	DIP64S	受注開始
LM8804G	4k \times 8	256 \times 8	4 \times 8	3	—	DIP42S	受注開始
LM8802G	2k \times 8	128 \times 8	4 \times 8	3	—	DIP42S	受注開始
LM8899G	外付、8k	256 \times 8	4 \times 8	11	14	PGA100	エパチップ
LM88FG99G	外付、8k	256 \times 8	4 \times 8	11	14	DIC64S	ピギーバック

■特許の非保証について：

この資料は正確かつ信頼すべきものと確信しております。ただしその使用にあたって、二業所有権その他の権利の実施に対する保証、または実施権の許諾を行なうものではありません。

・これらの仕様は、改良などのため変更することがあります。

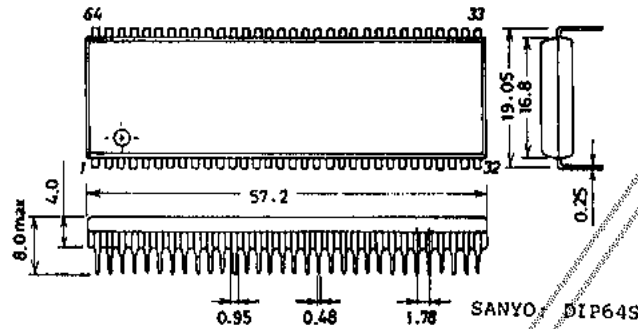
〒370 05 群馬県大泉町坂田180

東京三洋電機(株)半導体事業部

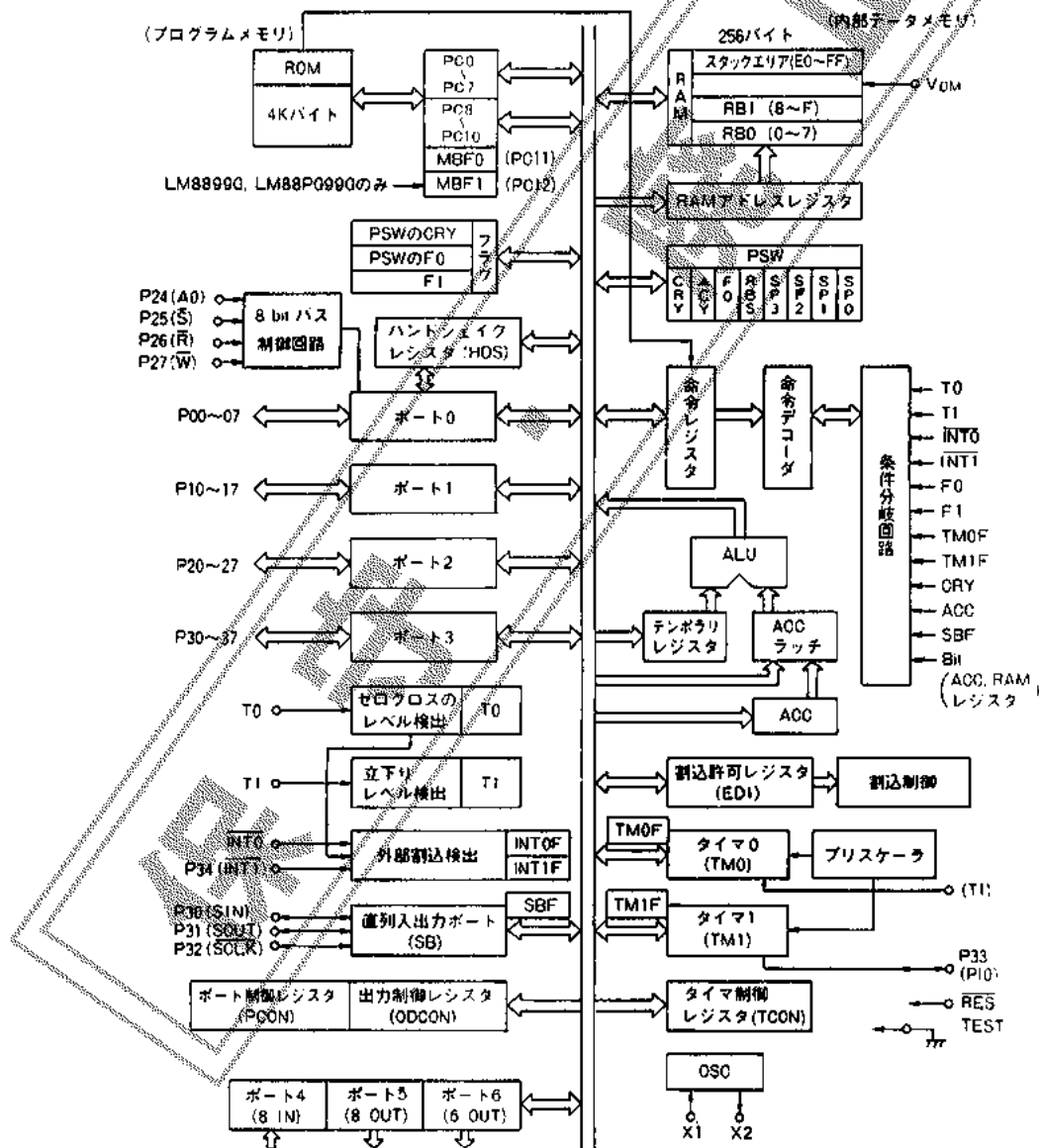
TEL 0276 63 2111(大代表)

5. 外形図

外形図 3071-D64[C]
(unit: mm)

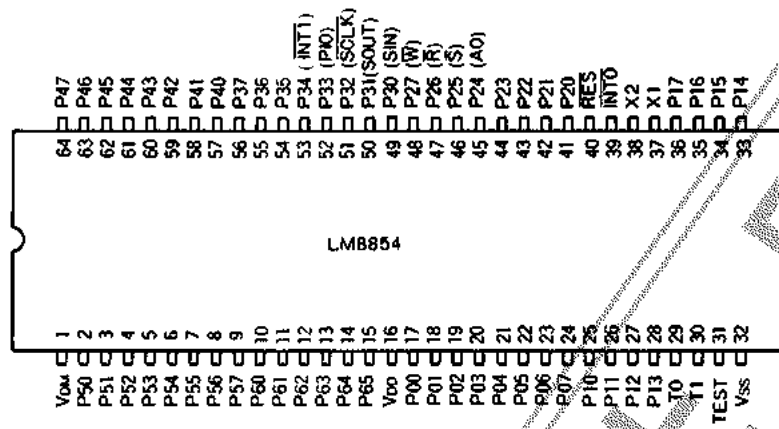


6. システムブロック図



7. ピン配置図

DIP64S



8. 端子概要

ピン名称	ピン数	I/O	状 態	備 考
VSS	1	—		
VDD	1	—		
VDM	1	—		RAM以外の電源 通常動作時VDMに電源を供給する必要あり。 RAM専用の電源 またRESが“L”から“H”時VDD≧VDMとする。
X1	1	I, I/O		
X2	1	O		
RES	1	I		リセット入力。(プルアップ付)
TEST	1	I		LSIの内部テスト用(通常使用時は必ずVssに接続)
T0	1	I		テスト0入力。またはゼロクロス検出入力。 外部割り込み1の入力にもなる。
T1	1	I		テスト1入力またはタイマ0によるカウンタ入力。
INT0	1	I		外部割り込み0の入力。またはテストフラグ入力。
P00~P07	8	I/O (N, PP)		ポート0またはデータバス(双方向) リセット時ハイインピーダンス
P10~P17	8	I/O (H, ODA)		ポート1 リセット時ハイインピーダンス、大電流ポート。
P20~P27	8	I/O (H, N, OD, PU)		ポート2またはP24=A0, P25=S, P26=R, P27=W。 リセット時、出力状態の“H” or “L”をオプションで切り換え可。
P30~P37	8	I/O (H, N, OD, PU)		ポート3またはP30=SIN(I), P31=SOUT(O), P32=SCLK(I/O), P33=PIO(I/O), P34=INT1。 リセット時、出力状態の“H” or “L”をオプションで切り換え可。
P40~P47	8	I/O (H)		ポート4
P50~P57	8	O (OD, PU)		ポート5 リセット時、出力状態の“H” or “L”をオプションで切り換え可。
P60~P65 (計64)	6	O (OD)		ポート6 リセット時、出力状態の“H” or “L”をオプションで切り換え可。

(注1) 水晶発振に関しては、営業担当者に御相談ください。

(注2) 現状は、セラミック発振オプションのみです。

(注3) 上記オプションの選択は、ROMの(最終アドレス-1)と(最終アドレス)の2バイトのデータにより行う。

9. オプション指定表

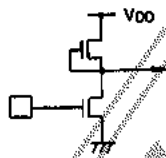
ROMエリア	Bit	入出力回路形式とデータの関係	
(最終アドレス-1) FFE _H	7	P54~P57の出力形式の指定で	1 = PU, 0 = OD
	6	P50~P53の出力形式の指定で	1 = PU, 0 = OD
	5	P34~P37の出力形式の指定で	1 = PU, 0 = OD
	4	P30~P33の出力形式の指定で	1 = PU, 0 = OD
	3	P24~P27の出力形式の指定で	1 = PU, 0 = OD
	2	P20~P23の出力形式の指定で	1 = PU, 0 = OD
	1	リセット時のP30~P37, P60~P65の出力値で	1 = Hレベル, 0 = Lレベル
	0	リセット時のP20~P27, P50~P57の出力値で	1 = Hレベル, 0 = Lレベル
最終アドレス FFF _H	7	不使用	
	6	OSCの分周数(TSLOW)の指定で	1 = 1/2 SLOW, 0 = 1/1 FAST
	5	OSCの形式の指定で	1 = *Reserved, 0 = CF発振
	4	T0入力のゼロクロス検出回路の指定で	1 = 内蔵, 0 = 内蔵せず
	3	P34~P37の入力形式の指定で	1 = H, 0 = N
	2	P30~P33の入力形式の指定で	1 = H, 0 = N
	1	P24~P27の入力形式の指定で	1 = H, 0 = N
	0	P20~P23の入力形式の指定で	1 = H, 0 = N

LM8899GおよびLM88PG99Gでオプション指定エリアは、メモリ容量切換入力設定により、それぞれROM 4K設定時FFE_H, FFF_H, ROM 8K設定時1FFE_H, 1FFF_Hとなる。

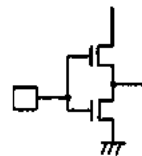
*Reserved: 開発中または開発予定機種種のオプション指定用である。現在は、この項目を指定することはできない。

(入出力回路形式)

• ノーマル入力(N)



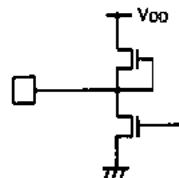
• ハイスレッシュヨルド入力(H)



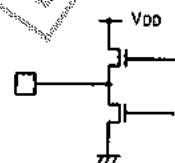
• オープンドレイン出力(OD, ODA)



• プルアップ出力(PU)

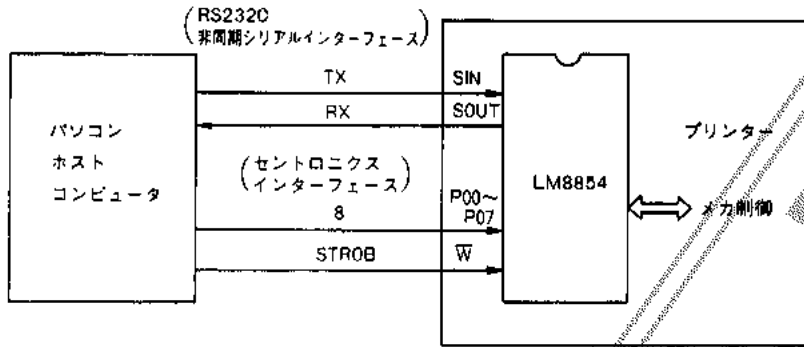


• プッシュプル出力(PP)

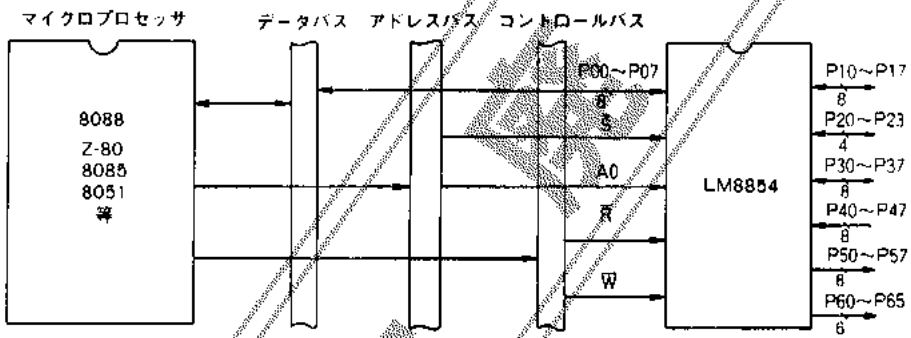


10. 応用例

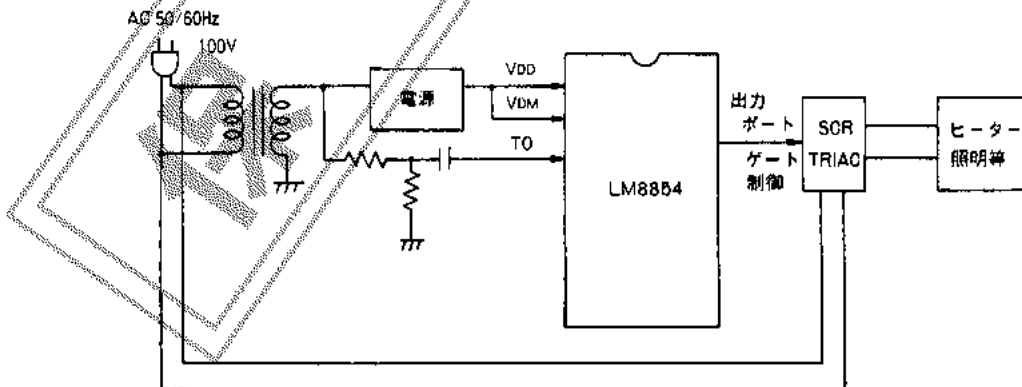
1 普及型プリンター



2 ベリフェラルインターフェース



3 ACパワー制御 (TO入力は、ゼロクロスオフショントラックとする必要あり)



11. スペック

(1) 絶対最大定格 (V_{SS} = 0 V, T_a = 25°C)

項目	記号	条件	社外仕様			unit
			min	typ	max	
最大電源電圧	V _{DD} V _{DM}		-0.3		+8	V
入力、出力電圧 注1	V _{IO1}	$\overline{\text{INT0}}$, T1, P4, P1及びオープンドレインの入出力ポート	-0.3		+13	V
	V _{IO2}	上記以外の入出力ピン	-0.3		V _{DD} +0.3	V
平均出力電流 注2	I _{OHA}	プルアップ、プッシュプル端子当たり	-2.0			nA
	I _{OLA1}	P1以外の出力端子当たり			18	mA
	I _{OLA2}	P1の出力端子当たり			30	mA
	I _{OLA3}	P0, P5, P6全出力合計			120	mA
	I _{OLA4}	P2, P3全出力合計			80	mA
	I _{OLA5}	P1の上、下各4出力合計			75	mA
尖頭出力電流 注3	I _{OHP}	プルアップ、プッシュプル端子当たり	-2.0			mA
	I _{OLP1}	P1以外の出力端子当たり			18	mA
	I _{OLP2}	P1の出力端子当たり			30	mA
	I _{OLP3}	P0, P5, P6全出力合計			120	mA
	I _{OLP4}	P2, P3全出力合計			80	mA
	I _{OLP5}	P1の上、下各4出力合計			75	mA
許容消費電力	P _{d max}	T _a = -30~70°C, DIP-64S			1000	mW
動作周囲温度	T _{OPg}		-30		+70	°C
保存周囲温度	T _{Stg}		-55		+150	°C

注1. 出力=OFF又は"H"とする。又、X1端子は自走発振時の振巾まで許容する。

注2. いかなる100msの期間の平均値も越えてはならない限界値。

注3. 一瞬でも越えてはならない限界値。

(2)許容動作条件 $V_{DD}=V_{DM}=4.5\sim 5.5V$, $V_{SS}=0V$ ($T_a=-30\sim 70^\circ C$)

項 目	記 号	条 件	社 外 仕 様			unit
			min	typ	max	
電源電圧	V_{DD}		4.5		5.5	V
RAM電源電圧	V_{DM}	通常動作時	4.5		5.5	V
	(V_{DM})	スタンバイ時, $\overline{RES}="L"$	3.5		6.5	V
ノーマル 入力ポート	Hレベル, 入力電圧	V_{IH1}	P0及びP2, P3のノーマル入力オプション		2.2	V
	Lレベル, 入力電圧	V_{IL1}			V_{SS}	0.6
ハイスレッシ ョルド 入力ポート	Hレベル, 入力電圧	V_{IH2}	P1, P4及びP2, P3のハイスレッシュョルド入力オプション。ただし, A0, S, R, Wはノーマル入力固定		$0.6V_{DD}$	V
	Lレベル, 入力電圧	V_{IL2}			V_{SS}	$0.3V_{DD}$
$\overline{INT0}$ T1	Hレベル, 入力電圧	V_{IH3}			$0.6V_{DD}$	V
	Lレベル, 入力電圧	V_{IL3}			V_{SS}	$0.3V_{DD}$
\overline{RES}	Hレベル, 入力電圧	V_{IH4}			$0.6V_{DD}$	V_{DD}
	Lレベル, 入力電圧	V_{IL4}			V_{SS}	0.9
	Lレベル, 入力電圧	V_{IL5}	$V_{DM}=3.5V$			V_{SS}
X1	Hレベル, 入力電圧	V_{IH6}	外部駆動(セラミック発振)オプション		$0.4V_{DD}+1.0$	V_{DD}
	Lレベル, 入力電圧	V_{IL6}			V_{SS}	0.9
	クロック サイクルタイム	$t_{C\phi}$	図1. 参照		0.245	1.25
	命令サイクルタイム	t_{CI}	$t_{C\phi} \times 8 \times \text{分周数}(1 \text{ or } 2)$		1.96	10
	Hレベル, クロックパルス巾	$t_{W\phi H}$	外部駆動(セラミック発振)オプション		0.1	
	Lレベル, クロックパルス巾	$t_{W\phi L}$	外部駆動(セラミック発振)オプション		0.1	
TEST	Lレベル, 入力電圧	V_{IL7}			V_{SS}	0.6
X1 X2	セラミック発振 外付容量	C1	図2. 参照, セラミック発振オプション		30	33
		C2	4 MHz, 注4		42	47
T0	Hレベル, 入力電圧	V_{IH8}			2.2	V_{DD}
	Lレベル, 入力電圧	V_{IL8}	ノーマル入力オプション		V_{SS}	0.6
	ゼロクロス 入力レベル	V_{ZIN}	容量カップル P-P	ゼロクロスオプション 容量=0.1 μ F	1.0	2.2
	ゼロクロス 入力周波数	f_{ZIN}	容量カップル		50	1000
\overline{SCLK} (P32)	入力パルス周期	t_{SC}			1.0	μ S
	入力Hレベル, パルス巾	t_{WSCH}	図3. 参照, 外部クロック時		0.4	μ S
	入力Lレベル, パルス巾	t_{WSCL}			0.4	μ S
	入力立ち上り 立下り時間	t_{r}	図4. 参照, 外部クロック時			1.0
\overline{SCLK} (P32)	データ入力 セットアップタイム	t_{ST}	図3. 参照		0.3	μ S
SIN (P30)	データ入力 ホールドタイム	t_{HD}	図3. 参照		0.03	μ S

注4. 基板, 配線等の浮遊容量を含む。

項	目	記号	条 件	社 外 仕 様			unit
				min	typ	max	
A0 (P24) S (P25) R (P26) W (P27) P00~07	R/W前入力 セットアップタイム	tSUP	図5. 参照 8ビットバスインターフェース	0.35			μ S
	R/W後入力 ホールドタイム	tHLD	図5. 参照 8ビットバスインターフェース	0			μ S
	データ入力 セットアップタイム	tDSUP	図5. 参照 8ビットバスインターフェース	0.15			μ S
	データ入力 ホールドタイム	tDHLD	図5. 参照 8ビットバスインターフェース	0.03			μ S
	R/Wパルス巾	tWRW	図5. 参照 8ビットバスインターフェース	0.32			μ S

(3)電気的特性

VDD=VDM=4.5~5.5V (Ta=-30~70°C)

項	目	記号	条 件	社 外 仕 様			unit
				min	typ	max	
P4, T0, T1 INT0	Hレベル, 入力電流	I _{IH1}	V _{IN} =12.0V T0入力はノーマルオプション			5	μ A
	Lレベル, 入力電流	I _{IL1}	V _{IN} =V _{SS} T0入力はノーマル入力オプション	-5			μ A
P0ポート	Hレベル, 入力電流	I _{IH2}	V _{IN} =V _{DD} , 出力=OFF時			5	μ A
	Lレベル, 入力電流	I _{IL2}	V _{IN} =V _{SS} , 出力=OFF時	-5			μ A
プルアップの 入出力ポート	Lレベル, 入力電流	I _{IL3}	V _{DD} =5V \pm 10%, V _{IN} =0.4V P2, P3のプルアップオプションで出力 ="H"時	-1.6			mA
オープンドレインの 入出力ポート	Hレベル, 入力電流	I _{IH4}	V _{IN} =12.0V P1及びP2, P3のオープンドレイン オプションで出力=OFF時			5	μ A
	Lレベル, 入力電流	I _{IL4}	V _{IN} =V _{SS} P1及びP2, P3のオープンドレイン オプションで出力=OFF時	-5			μ A
X1	Hレベル, 入力電流	I _{IH5}	V _{IN} =V _{DD} , セラミック発振オプション時	2		13	μ A
	Lレベル, 入力電流	I _{IL5}	V _{IN} =V _{SS} , セラミック発振オプション時	-13		-2	μ A
RES	Hレベル, 入力電流	I _{IH6}	V _{IN} =V _{DD} ,			5	μ A
	Lレベル, 入力電流	I _{IL6}	V _{IN} =V _{SS} ,	-30		-4	μ A
T0	Hレベル, 入力電流	I _{IH7}	V _{IN} =V _{DD} , ゼロクロス検出オプション時			195	μ A
	Lレベル, 入力電流	I _{IL7}	V _{IN} =V _{SS} , ゼロクロス検出オプション時	-65			μ A
	ゼロクロス検出誤差	V _{ZA}	60Hz 正弦波入力 ゼロクロス検出オプション時	-100		+100	mV
P0ポート	Hレベル, 出力電圧	V _{OH1}	V _{DD} =5V \pm 10%, I _{OH} =-0.4mA	2.4			V
	Lレベル, 出力電圧	V _{OL1}	I _{OL} =14mA,			1.5	V

項目	記号	条件	社外仕様			unit
			min	typ	max	
ブルアップの出力ポート	VOH2	IOH=-50 μ A P2, P3, P5のブルアップオプション	0.8VDD			V
			0.48VDD			V
	VOL2	IOL=14mA P2, P3, P5のブルアップオプション			1.5	V
オープンドレインの出力ポート	IOFF1	VOH=12.0V P6及びP2, P3, P5のオープンドレインオプション時			5	μ A
					1	μ A
	VOL3	IOL=15mA P6及びP2, P3, P5のオープンドレインオプション時			1.5	V
P1ポート	IOFF3	VOH=12.0V			5	μ A
			IOFF4	VOH=VDD		
	VOL4	IOL=25mA			2	V
TEST	IIL8	VIN=VSS	-10			μ A
シリアル出力	tdSD	図3. CL=50PF ブルアップ抵抗=2k Ω CL: SCLK, SOUTの負荷容量			0.45	μ S
R P261 P00~07	tdEN	図5. CL=150PF CL: P00~07の負荷容量			0.3	μ S
	tdDE	図5.			0.2	μ S
VDM	RAMスタンバイ電流	IDMS VDM=4.5V, RES=L		10	26	mA
	RAM電源電流	IDM VDM=5V \pm 10%		10	26	mA
VDM VDD	トータル電源電流	IDD+IDM OSC発振, 出力="H"でオープン 0~70 $^{\circ}$ C		75	120	mA
	トータル電源電流	IDD+IDM OSC発振, 出力="H"でオープン -30~70 $^{\circ}$ C		75	135	mA
入力	CI	f=1MHz時		10		PF

図1. X1 入力波形

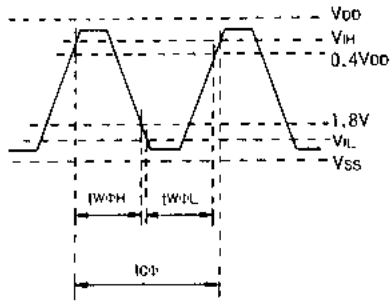


図4. SCLK 立上り、立下り時間

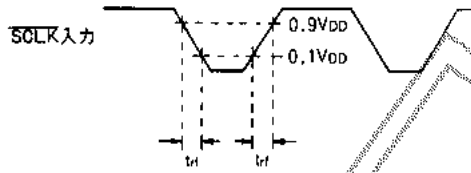
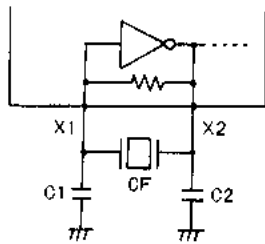


図2. セラミック発振回路



CF : CSA 4.00MG (ムラタ)
KBR 4.0MS (京セラ)

図5. 8ビットバスインターフェース タイミング

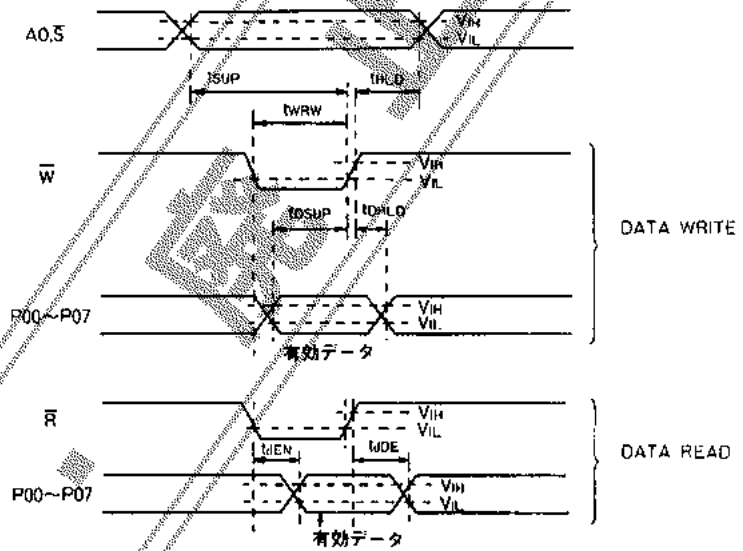


図3. シリアル入出力タイミング

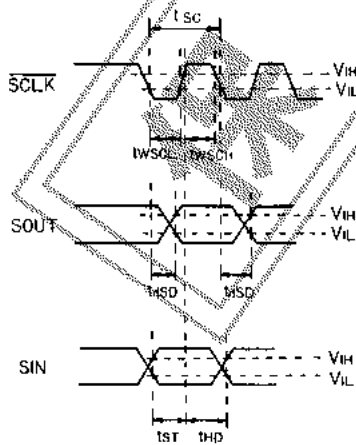
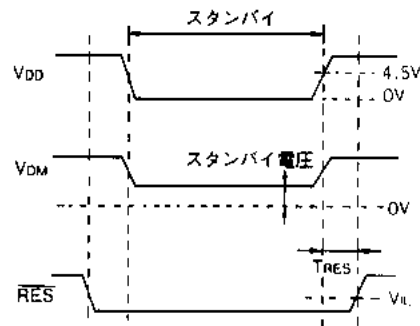


図6. スタンバイ時の電源、リセット波形



(注) $\overline{RES} = L \rightarrow H$ 時は、 $5.5V \geq V_{DD} \geq V_{DM} > 4.5V$ を満たす必要あり。又、リセット解除時間 (T_{RES}) \geq 発振安定時間 + 2 命令サイクルタイムとする。

OSC, 分周数, メモリ容量の設定

パッケージ表面の14ピンソケットにおいて 1~4ピンを次の様に設定することにより、OSC, 分周数, メモリ容量の切換が可能。

機能分類	ピンNo	ピン名	ピン設定		機能モード	
OSC	1	XCR	OFF		OF発振	
			ON		RESERVED	
クロックプリスケアラ 分周数	2	TSLW	OFF		1/1	
			ON		1/2	
メモリ容量切換	3 4	MC0 MC1	ピン設定		メモリア容量	
			MC1	MC0	ROM	RAM
			OFF	OFF	4 KB	256B
			OFF	ON	8 KB	256B
			ON	OFF	Reserved	
ON	ON	Reserved				

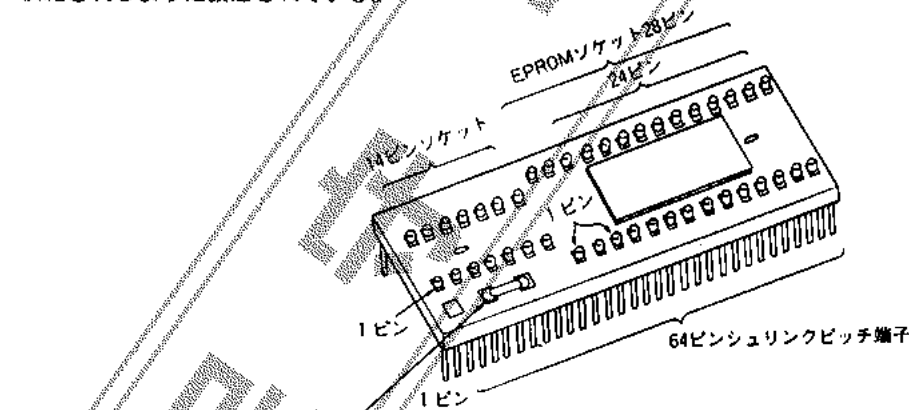
ON: +5V印加, OFF: 開放, Reserved: 開発中、開発計画中機種の機能用

14ピンソケットの14, 13, 12, 11番ピンには、+5Vが接続されている。各々、1, 2, 3, 4番ピンの+5V印加のみ使用可能である。その他の用途への使用は、できない。

14ピンソケットの5, 6, 7, 8, 9, 10番ピンは、プログラムデバック装置(EVA-410B)のTB88PGと組み合わせてプログラムデバックするためのものである。その他の用途の場合は、必ず開放して使用すること。

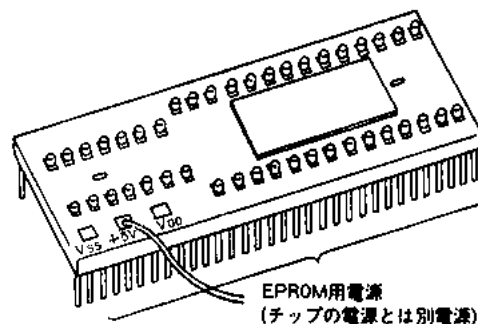
EPROMの電源

- EPROMは通常1個当り50~100mAの電流を消費する。応用製品の電源容量に余裕のない場合には、EPROMを別電源として外部から供給することができる。
- LM88PG99Gの出荷時は、+5VとV_{DD}が共通に接続され、LM8899用電源端子16番端子V_{DD}からEPROM電源が供給されるように設定されている。



出荷時 V_{DD}と+5Vの電源パッドが接続されている。

- パッケージ表面の電源パッドのうち+5VのパッドがEPROMの電源である。



LM8800シリーズ、命令一覧 (機能別)

項目分類	命令記号	命令コード								18進表示	バスビット	アドレス	動作	キャリアへの影響			動作説明	ページ		
		D7	D6	D5	D4	D3	D2	D1	D0					C	AC	注				
転送	MV A Rr	1	1	1	0	1	r2	r1	r0	E8+	1	1	A←(Rr) r=0~7				レジスタRrの内容をアキュムレータに転送する。			
	MV A @Rr	1	1	1	0	0	0	0	r0	E0+	1	1	A←(M/Rr) r=0~1				レジスタRrが指定するメモリ番地の内容をアキュムレータに転送する。			
	MV A #n	0	0	1	0	0	0	1	1	23	n	2	2	A←n				データnの値をアキュムレータに転送する。		
	MV Rr A	1	0	1	0	1	r2	r1	r0	A8+	1	1	Rr←A r=0~7				アキュムレータの内容をレジスタRrに転送する。			
	MV @Rr A	1	0	1	0	0	0	0	r0	A0+	1	1	M/Rr←A r=0~1				アキュムレータの内容をレジスタRrが指定するメモリ番地へ転送する。			
	MV Rr #n	1	0	1	1	1	r2	r1	r0	B8+	n	2	2	Rr←n r=0~7				レジスタRrにデータnを転送する。		
	MV @Rr #n	1	0	1	1	0	0	0	r0	B0+	n	2	2	M/Rr←n r=0~1				レジスタRrが指定するメモリ番地にデータnを転送する。		
	MV A PSW	1	0	1	0	0	1	1	0	A6		1	1	A←(PSW)				プログラムステータスワードの内容をアキュムレータに転送する。		
	MV PSW A	1	0	1	1	0	1	1	0	B6		1	1	PSW←A	O	O		アキュムレータの内容をプログラムステータスワードに転送する。		
	MV A dr	0	0	1	1	0	0	1	1	33	n	2	2	A←M(dr)				直接指定したメモリ番地の内容をアキュムレータに転送する。		
	MV dr A	1	0	0	0	0	0	1	0	B2	n	2	2	M(dr)←A				アキュムレータの内容を直接指定したメモリ番地に転送する。		
	命令	XC A Rr	0	0	1	0	1	r2	r1	r0	28+	1	1	(A)←(Rr) r=0~7				レジスタRrの内容とアキュムレータの内容を交換する。		
XC A @Rr		0	0	1	0	0	0	0	r0	20+	1	1	(A)←(M/Rr) r=0~1				レジスタRrが指定するメモリ番地の内容とアキュムレータの内容を交換する。			
XCD A @Rr		0	0	1	1	0	0	0	r0	30+	1	1	(A0~3)←(M/Rr)0~3 (r0)←A				アキュムレータの下位4ビットとレジスタRrが指定するメモリ番地の下位4ビットの値を交換する。			
MVP A @A		1	0	1	0	0	0	1	1	A3	1	2	A←(ROM)A				アキュムレータで指定されるプログラムメモリのカレントページ内のデータをアキュムレータに転送する。			
MVP2 A @A		1	1	1	0	0	0	1	1	E3	1	2	A←(ROM)A, A+1				アキュムレータで指定されるプログラムメモリの3ページ内のデータをアキュムレータに転送する。			
MVR A @Rr		1	0	0	0	0	0	0	r0	B0+	1	1	A←(SR)Rr r=0~1				レジスタRrで指定される特殊レジスタの内容をアキュムレータに転送する。			
MVR @Rr A		1	0	0	1	0	0	0	r0	90+	1	1	SR(Rr)←A r=0~1				アキュムレータの内容をレジスタRrが指定する特殊レジスタに転送する。			
加算		AD Rr	0	1	1	0	1	r2	r1	r0	68+	1	1	A←(A)+(Rr) r=0~7	O	O	1	アキュムレータとレジスタRrの内容を加算し、その結果をアキュムレータに入れる。オーバーフローがあれば、キャリアフラグを1に、なければ0にする。		
		AD @Rr	0	1	1	0	0	0	0	r0	60+	1	1	A←(A)+(M/Rr) r=0~1	O	O	1	アキュムレータの内容とレジスタRrが指定するメモリ番地の内容を加算し、その結果をアキュムレータに入れる。オーバーフローがあればキャリアフラグを1に、なければ0にする。		
		AD #n	0	0	0	1	0	0	1	1	03	n	2	2	A←(A)+n	O	O	1	アキュムレータの内容にデータnの値を加算し、その結果をアキュムレータに入れる。オーバーフローがあればキャリアフラグを1に、なければ0にする。	
		ADC Rr	0	1	1	1	1	r2	r1	r0	78+	1	1	A←(A)+(Rr)+C	O	O	1	キャリアの内容とレジスタRrの内容とアキュムレータの内容を加算し、その結果をアキュムレータに入れる。オーバーフローがあればキャリアフラグを1に、なければ0にする。		
		ADC @Rr	0	1	1	1	0	0	0	r0	70+	1	1	A←(A)+(M/Rr)+C r=0~1	O	O	1	キャリアの内容とレジスタRrが指定するメモリ番地の内容とアキュムレータの内容を加算し、その結果をアキュムレータに入れる。オーバーフローがあればキャリアフラグを1に、なければ0にする。		
	ADC #n	0	0	0	1	0	0	1	1	13	n	2	2	A←(A)+n+C	O	O	1	キャリアの内容とデータnの値とアキュムレータの内容を加算し、その結果をアキュムレータに入れる。オーバーフローがあればキャリアフラグを1に、なければ0にする。		
論理	ANL Rr	0	0	0	1	1	r2	r1	r0	58+	1	1	A←(A)^(Rr) r=0~7				アキュムレータの内容とレジスタRrの内容との論理積をとり、その結果をアキュムレータに入れる。			
	ANL @Rr	0	1	0	1	0	0	0	r0	50+	1	1	A←(A)^(M/Rr) r=0~1				アキュムレータの内容とレジスタRrが指定するメモリ番地の内容との論理積をとり、その結果をアキュムレータに入れる。			
	ANL #n	0	1	0	1	0	0	1	1	53	n	2	2	A←(A)^(n)				アキュムレータの内容とデータnの値の論理積をとり、その結果をアキュムレータに入れる。		
	ORL Rr	0	1	0	0	1	r2	r1	r0	48+	1	1	A←(A) (Rr) r=0~7				アキュムレータの内容とレジスタRrの内容との論理和をとり、その結果をアキュムレータに入れる。			
	ORL @Rr	0	1	0	0	0	0	0	r0	40+	1	1	A←(A) (M/Rr) r=0~1				アキュムレータの内容とレジスタRrが指定するメモリ番地の内容との論理和をとり、その結果をアキュムレータに入れる。			
	ORL #n	0	1	0	0	0	0	1	1	43	n	2	2	A←(A) (n)				アキュムレータの内容とデータnの値の論理和をとり、その結果をアキュムレータに入れる。		
XR L Rr	1	1	0	1	1	r2	r1	r0	D8+	1	1	A←(A)^(Rr) r=0~7				アキュムレータの内容とレジスタRrの内容の排他的論理和をとり、結果をアキュムレータに入れる。				

項目分類	命令記号	命令コード								16進表記	バイナリ形式	動作	キャリアへの影響	動作説明	ページ
		D7	D6	D5	D4	D3	D2	D1	D0						
ア	XRL @Ri	1	1	0	1	1	0	0	0	0	D0+	1	A←(A)⊕(M(Ri)) C←0	アキュムレータの内容とレジスタRiで指定するメモリ番地の内容の排他的論理和をとり、その結果をアキュムレータに入れる。	
	XRL #n	1	1	0	1	0	0	1	1	0	D3	2	A←(A)⊕n	アキュムレータの内容とデータnの排他的論理和をとり、その結果をアキュムレータに入れる。	
	INC	0	0	0	1	0	1	1	0		16	1	A←(A)+1	アキュムレータの内容に1を加算して、その結果をアキュムレータに入れる。アキュムレータの増加。	
	DEC	1	1	0	0	0	1	1	0		C6	1	A←(A)-1	アキュムレータの内容から1減算して、その結果をアキュムレータに入れる。アキュムレータの減少。	
	CLR	0	0	1	0	0	1	1	0		26	1	A←0	アキュムレータの内容を0クリアする。	
	CPL	0	0	1	1	0	1	1	0		36	1	A← \bar{A}	アキュムレータの内容を反転させ、その結果をアキュムレータに入れる。	
	DA	0	1	0	1	0	1	1	0		56	1	A←(A)の10進補正	アキュムレータの内容を2進10進に補正し、アキュムレータに入れる。	0
	SWAP	0	1	0	0	0	1	1	0		46	1	(A)7~(A)4←(A)3~(A)0	アキュムレータのビット0~3の内容とビット4~7の内容を交換する。	
	RL	1	0	0	0	0	1	1	0		86	1	A _{n+1} ←(A) _n A ₀ ←(A) ₇ n=0~6	アキュムレータの各ビットが左へシフトし、最上位ビットA ₇ は最下位ビットA ₀ へシフトする。	
	RLC	1	0	0	1	0	1	1	0		96	1	A _{n+1} ←(A) _n A ₀ ←(C) C←(A) ₇	アキュムレータの各ビットが左へシフトし、最上位ビットA ₇ がキャリアフラグに、キャリアフラグは最下位ビットA ₀ へシフトする。	0
命	RR	0	1	1	0	0	1	1	0		66	1	A _n ←(A) _{n+1} A ₇ ←(C)	アキュムレータの各ビットが右へシフトし、最下位ビットA ₀ は最上位ビットA ₇ にシフトする。	
	RRC	0	1	1	1	0	1	1	0		76	1	A _n ←(A) _{n+1} A ₇ ←(C) C←(A) ₀	アキュムレータの各ビットが右へシフトし、最下位ビットA ₀ はキャリアフラグに、キャリアフラグは最上位ビットA ₇ にシフトする。	0
	CM @Ri	1	1	1	0	0	0	1	0		E2	1	(A) ₇ ←(M(Ri)) ₇ F ₀ ←C (A) ₆ ←(M(Ri)) ₆ F ₀ ←0, C←1 (A) ₅ ←(M(Ri)) ₅ F ₀ ←0, C←0	アキュムレータの内容とRiで指定されるメモリの内容を比較し、F ₀ とCをセット、リセットする。	0
	CM #n	0	0	0	0	0	0	1	0		02	2	(A) ₇ ←n F ₀ ←C (A) ₆ ←n F ₀ ←0, C←1 (A) ₅ ←n F ₀ ←0, C←0	アキュムレータの内容とデータnを比較し、F ₀ とCをセット、リセットする。	
	INC Rr	0	0	0	1	1	1	1	0		16+	1	Rr←(Rr)+1 C←0	レジスタRrの内容に1を加え、結果をレジスタRrに入れる。レジスタRrの増加。	
	INC @Rr	0	0	0	1	0	0	0	0		10+	1	(M(Rr))←(M(Rr))+1 C←0	レジスタRrで指定されるメモリ番地の内容に1を加え、その結果を元の番地へ入れる。	
	DEC Rr	1	1	0	0	1	1	1	0		C8+	1	Rr←(Rr)-1 C←0	レジスタRrの内容から1減算し、結果をレジスタRrに入れる。レジスタRrの減少。	
	DEC @Rr	1	1	0	0	0	0	0	0		C0+	1	(M(Rr))←(M(Rr))-1 C←0	レジスタRrで指定されるメモリ番地の内容から1減算し、元の番地へ入れる。	
	SMB @Ri, b	0	1	0	0	0	0	1	1		63	2	(M(Ri)) _b ←1 b+10 b5=0~7	レジスタRiの指定するメモリ番地のデータをビットbのみ1にする。	
	RMB @Ri, b	0	1	0	0	0	0	1	1		63	2	(M(Ri)) _b ←0 b+10 b5=0~7	レジスタRiの指定するメモリ番地のデータをビットbのみ0にする。	
フ	CLC	1	1	0	0	0	1	1	1		C7	1	C←0	キャリアフラグCを0クリアする。	0
	CP0	1	1	0	1	0	1	1	1		D7	1	C←C	キャリアフラグCの内容を反転させる。	
	CLF0	1	0	0	0	0	1	1	1		37	1	F ₀ ←0	フラグF ₀ を0クリアする。	
	CLF0	1	0	0	1	0	1	1	1		97	1	F ₀ ←F ₀	フラグF ₀ の内容を反転させる。	
	CLF1	0	1	0	0	0	1	1	1		A7	1	F ₁ ←0	フラグF ₁ を0クリアする。	
	CPF1	1	0	1	0	0	1	1	1		B7	1	F ₁ ←F ₁	フラグF ₁ の内容を反転させる。	
	JMP m	m10 m9 m8 0 0 0 0 0	m7 m6 m5 m4 m3 m2 m1 m0								04+	2	PC7~PC0←m10~m8 PC7~PC0←m7~m6 PC11, 12←MBF0, MBF1	無条件にmの示す番地へジャンプする。メモリバンクフラグMBFの値がプログラムカウンタのビット11, 12に入り、メモリバンクが選択される。	
	JMP @A	1	0	1	1	0	0	1	1		B3	1	PC7~PC0←(RAM(A))	アキュムレータの指定するプログラムメモリの内容が示す、カレントページ内の番地へジャンプする。	
	DNZ Rr, m	1 1 1 1 1 1 1 1	m7 m6 m5 m4 m3 m2 m1 m0								F8+	2	Rr←(Rr)-1 n=0~7 (Rr)≠0のときPC←(PC)-m (Rr)=0のときPC←(PC)+2	レジスタRrの内容から1減じ、その結果が0でないとき、カレントページ内のmが示す番地へジャンプする。	
	DNZ @Rr, m	1 1 1 1 1 1 1 1	m7 m6 m5 m4 m3 m2 m1 m0								F0+	2	(M(Rr))←(M(Rr))-1 n=0~7 (M(Rr))≠0のときPC←(PC)-m (M(Rr))=0のときPC←(PC)+2	レジスタRrの指定するメモリ番地の内容から1減じ、その結果が0でないとき、カレントページ内のmが示す番地へジャンプする。	
命	JC m	1 1 1 1 1 0 1 0 1	m7 m6 m5 m4 m3 m2 m1 m0							F5	2	C=1のときPC←PC-m C=0のときPC←(PC)+2	キャリアフラグCが1であれば、カレントページ内のmの示す番地へジャンプする。		
	JNC m	1 1 1 1 0 0 1 0 1	m7 m6 m5 m4 m3 m2 m1 m0							E5	2	C=0のときPC←PC-m C=1のときPC←(PC)+2	キャリアフラグCが0であれば、カレントページ内のmの示す番地へジャンプする。		
	JZ m	0 0 0 0 0 1 0 1 0	m7 m6 m5 m4 m3 m2 m1 m0							05	2	A=0のときPC←PC-m A≠0のときPC←(PC)+2	アキュムレータの内容が0のときカレントページ内のmの示す番地へジャンプする。		
	JNZ m	0 0 0 0 1 0 1 0 1	m7 m6 m5 m4 m3 m2 m1 m0							15	2	A≠0のときPC←PC-m A=0のときPC←(PC)+2	アキュムレータの内容が0でないときカレントページ内のmの示す番地へジャンプする。		
	JTO m	0 1 0 1 0 1 0 1 0	m7 m6 m5 m4 m3 m2 m1 m0							35	2	T0=1のときPC←PC-m T0=0のときPC←(PC)+2	T0入力1のときカレントページ内のmの示す番地へジャンプする。		
命	INT0 m	0 1 0 0 0 1 0 1 0	m7 m6 m5 m4 m3 m2 m1 m0							45	2	T0=0のときPC←PC-m T0=1のときPC←(PC)+2	T0入力0のとき、カレントページ内のmの示す番地へジャンプする。		
	JT1 m	0 1 1 1 0 1 0 1 0	m7 m6 m5 m4 m3 m2 m1 m0							75	2	T1=1のときPC←PC-m T1=0のときPC←(PC)+2	T1入力1のとき、カレントページ内のmの示す番地へジャンプする。		

項目分類	命令記号	命令コード								ビット	動作	キャリアへの影響	動作説明	ページ		
		D7	D6	D5	D4	D3	D2	D1	D0						16進表記	
ジャンプ	JNTI m	0	1	1	0	0	1	0	1	85 m	2	T1=0のときPC←PC+m T1=1のときPC←PC+2		T1入力か0のとき、カレントページ内のmの示す番地へジャンプする。		
	JFO m	1	0	1	1	0	1	0	1	85 m	2	F0=1のときPC←PC+m F0=0のときPC←PC+2		フラグF0が1のとき、カレントページ内のmの示す番地へジャンプする。		
	JFI m	1	1	0	1	0	1	0	1	D5 m	2	F1=1のときPC←PC+m F1=0のときPC←PC+2		フラグF1が1のとき、カレントページ内のmの示す番地へジャンプする。		
	JTF0 m	0	0	1	1	0	1	0	1	95 m	2	TMF0=1のときPC←PC+m TMF0=0のときPC←PC+2		タイマー0がオーバーフローしTMF0が1のとき、カレントページ内のmの示す番地へジャンプし、TMF0をクリアする。		
	JTF1 m	1	0	0	1	0	1	0	1	95 m	2	TMF1=1のときPC←PC+m TMF1=0のときPC←PC+2		タイマー1がオーバーフローしTMF1が1のとき、カレントページ内のmの示す番地へジャンプし、TMF1をクリアする。		
	JNIO m	1	0	0	0	0	1	0	1	85 m	2	INT0=0のときPC←PC+m INT0=1のときPC←PC+2		外部割込端子INT0がレベル高レベルからカレントページ内のmの示す番地へジャンプする。		
	JNI1 m	1	0	1	0	0	1	0	1	A5 m	2	INT1=0のときPC←PC+m INT1=1のときPC←PC+2		外部割込端子INT1がレベル高レベルからカレントページ内のmの示す番地へジャンプする。		
	JSB m	1	1	0	0	0	1	0	1	C5 m	2	SBF=1のときPC←PC+m SBF=0のときPC←PC+2		シリアルパルスカウンタSBFが1のとき、カレントページ内のmの示す番地へジャンプし、SBFをクリアする。		
	JB b m	b7	b6	b5	1	0	0	1	0	b+12 m	2	b1=1のときPC←PC+m b1=0のときPC←PC+2 b1 b6 b5 = 0		レジスタのbit bが1のとき、カレントページ内のmの示す番地へジャンプする。0のときは、次の命令を実行する。		
	TMB mRc	Test Memory bit	1	0	1	0	0	0	1	0	A2	1			JBb m命令の直前におくと、レジスタRcで指定されるビット判定命令とする。	
TRB mRc	Test Special Register bit	1	1	0	0	0	0	1	0	C2	1			JBb m命令を特殊レジスタに関するビット判定命令とする。		
サブルーチン命令	CAL m	m10	m9	m8	1	0	1	0	0	14+ m10-m8	2	(SP)←PC+2+PSW-a! SP←SP+1 PC←(SP) PSW←(PSW)OR PSW←(SBF)OR PSW←(MBF)OR PSW←(P)OR PSW←(P)OR		前で指定される番地からサブルーチン呼び出し。スタックポインタによって指示されるRAMアドレスへ、プログラムカウンタとPSWのビット4~7の値をストアし退避する。スタックポインタは1つ増加し、mの値がPCのヒット0~10に、メモリバンクフラグの値がビット11、12に入る。		
	RT	Return from Subroutine	1	0	0	0	0	0	1	1	83	1	SP←(SP) PC←(SP)		スタックポインタの内容から1つ減じた値で指定されるスタック番地の内容を、プログラムカウンタに入れる。またPSW←PSWは変化しない。	
	RTR	Return and Restore	1	0	0	1	0	0	1	1	93	1	SP←(SP)-1 PC←(SP)		スタックポインタの内容から1つ減じた値で指定されるスタック番地の内容をプログラムカウンタ及びPSWに入れる。	
	PUSH ARc	PUSH A and Rc	0	1	1	1	0	0	1	1	73	1	(SP)←(SP)-1 SP←(SP)+1		アキュムレータ、Rcの内容をスタックに退避し、スタックポインタを1つ増加する。	
POP ARc	POP A and Rc	1	1	0	0	0	0	1	1	83	1	SP←(SP)-1 A←(SP) Rc←(SP)		スタックポインタを1つ減じる。これにより指定されるスタック番地の内容をアキュムレータ、Rcに入れる。		
入出力命令	IN Pp	Input port to A	0	0	1	1	1	P2	P1	P0	38+P	1	A←(Pp) P=0~5		ポートPpの内容をアキュムレータに入力する。	
	OUT Pp	Output A to Port	0	0	0	0	1	P2	P1	P0	08+P	1	Pp←(A) P=0~5		アキュムレータの内容をポートPpへ出力する。	
	ANL Pp, #n	And data to Port	1	0	0	1	1	P2	P1	P0	98+P	2	Pp←(Pp)AND P=0~5		ポートPpの内容とデータnとの論理積をとり、その結果をポートPpへ出力する。	
	ORL Pp, #n	OR data to Port	1	0	0	0	1	P2	P1	P0	08+P	2	Pp←(Pp)OR P=0~5		ポートPpの内容とデータnとの論理和をとり、その結果をポートPpへ出力する。	
制御命令	MV A, T	Move TMO to A	0	1	0	0	0	0	1	0	42	1	A←(TMO)		タイマー0カウンタ0のデータ内容をアキュムレータに転送する。	
	MV T, A	Move A to TMO	0	1	1	0	0	0	1	0	62	1	(TMO)←A		アキュムレータの内容をタイマー0カウンタ0に転送する。	
	STR T	Start Timer 0	1	1	0	1	0	1	1	0	D6	1			タイマー イベントカウンタ0のタイマ動作を開始する。	
	STR CNT	Start Counter 0	1	1	1	0	0	1	1	0	E6	1			タイマー イベントカウンタ0のイベントカウンタとして動作を開始する。	
	STP TON	Stop Timer 0 Counter 0	1	1	1	1	0	1	1	0	F6	1			タイマー0を、タイマー又はイベントカウンタとしての動作を中止する。	
	STR SIO	Start Serial I/O	0	0	0	0	0	1	1	0	06	1			逐列入出力動作をスタートさせる。	
	EDI	Enable Interrupt bit	0	0	1	0	0	0	1	0	22 b7 b6 b5 = 0~5, 7	2	(EDI)のビットb=1		割込許可レジスタ(EDI)のビットをセットし、割込許可する。	
DIS	Disable Interrupt bit	0	0	1	0	0	0	1	0	22 b7 b6 b5 = 0~5, 7	2	(EDI)のビットb=0		割込許可レジスタ(EDI)のビットをリセットし、割込禁止する。		
その他の	SEL RB0	Select Register Bank 0	0	0	1	0	0	1	1	1	27	1	RBS←0		レジスタバンクを0に選択する。	
	SEL RB1	Select Register Bank 1	0	0	1	1	0	1	1	1	37	1	RBS←1		レジスタバンクを1に選択する。	
	SEL MB0	Select Memory Bank 0	0	1	0	0	0	1	1	1	47	1	MBF0←0 MBF1←0		メモリーバンクを0に選択する。 JMP, CALLの直前におく。	
他の	SEL MB1	Select Memory Bank 1	0	1	0	1	0	1	1	1	57	1	MBF0←1 MBF1←0		メモリーバンクを1に選択する。 JMP, CALLの直前におく。	
	SEL MB2	Select Memory Bank 2	0	1	1	0	0	1	1	1	67	1	MBF0←0 MBF1←1		メモリーバンクを2に選択する。 JMP, CALLの直前におく。エバチップの専用命令	
	SEL MB3	Select Memory Bank 3	0	1	1	1	0	1	1	1	77	1	MBF0←1 MBF1←1		メモリーバンクを3に選択する。 JMP, CALLの直前におく。エバチップの専用命令	
NOP	NO Operation	0	0	0	0	0	0	0	0	00	1			何もせず1マシンサイクル消費する。		

1.1. 命令を実行するとキャリー(オーバーフロー又はアンダーフロー)が発生します。

このキャリーがC又はACに影響を与える場合を、○印で示します。AD, ADC命令を実行した場合、キャリーフラグC及びACは次のようになります。

- C=1 アキュムレータがオーバーフローしたとき
- C=0 オーバーフローがないとき
- AC=1 アキュムレータのビット3がオーバーフローしたとき
- AC=0 アキュムレータのビット3のオーバーフローがないとき

1.2. DA 命令の処理

「Aのビット0～3の値」AH又はAC=1の時、Aの下4ビットに+6する。ACYは変わらない。

「Aのビット4～7の値」AH又はC=1の時、Aの上4ビットに+6する。オーバーフローがあればC=1、なければC=不変。

1.3. 略語の説明

A	: アキュムレータ	TM0F	: タイマー0フラグ	⋮	: 内容を示す
PSW	: プログラムステータスワード	TM1F	: タイマー1フラグ	←	: 転送と方向
rlr	: RAM内のレジスタ	SDF	: シリアルバッファフラグ	+	: 加算
dir	: RAMのダイレクトアドレス	PC	: プログラムカウンタ	-	: 減算
SR	: 特殊レジスタ	SP	: スタックポインタ	△	: 論理積
C	: キャリー「CRY」	EDI	: 割り戻しレジスタ	▽	: 論理和
AC	: 補助キャリー「ACY」	RBS	: レジスタバンクセクタ	▽	: 排他的論理和
F0	: ユーザーフラグ0	MBF0	: メモリバンクフラグ0		
F1	: ユーザーフラグ1	MBF1	: メモリバンクフラグ1		

保 時

止 品

LM8800シリーズ、命令記号対応表

命令記号	機能	他社記号	命令記号	機能	他社記号
MV A, Rr	Move Register to A	MOV A, Rr	CLC	Clear C	CLR C
MV A, @Rr	Move RAM to A	MOV A, @Rr	OPC	Complement C	OPL C
MV A, # data	Move data to A	MOV A, # data	CLF0	Clear F0	CLR F0
MV Rr, A	Move A to Register	MOV Rr, A	OPF0	Complement F0	CPL F0
MV @Rr, A	Move A to RAM	MOV @Rr, A	CLF1	Clear F1	CLR F1
MV Rr, # data	Move data to Reg	MOV Rr, # data	OPF1	Complement F1	CPL F0
MV @Rr, # data	Move data to RAM	MOV @Rr, # data	JMP addr	Jump unconditional	JMP addr
MV A, PSW	Move PSW to A	MOV A, PSW	JMP @A	Jump indirect by A	JMPP @A
MV PSW, A	Move A to PSW	MOV PSW, A	DJNZ Rr, addr	Decrement Reg and skip	DJNZ Rr, addr
MV A, dr	Move direct RAM to A	なし	DJNZ @Rr, addr	Decrement RAM and skip	なし
MV dr, A	Move A to direct RAM	なし	JC addr	Jump on C=1	JC
XC A, Rr	Exchange A and Reg	XCH A, Rr	JNC addr	Jump on C=0	JNC addr
XC A, @Rr	Exchange A and RAM	XCH A, @Rr	JZ addr	Jump on A=0	JZ addr
XCD A, @Rr	Exchange odd/even A and RAM	XCHD A, @Rr	JNZ addr	Jump on A≠0	JNZ addr
MVP A, @A	Move to A from current page	MOV P A, @A	JT0 addr	Jump on T0=1	JT0 addr
MVP3 A, @A	Move to A from 3 page	MOV P3 A, @A	JNT0 addr	Jump on T0=0	JNT0 addr
MVR A, @Rr	Move S-Register to A	なし	JT1 addr	Jump on T1=1	JT1 addr
MVR @Rr, A	Move A to S-Register	なし	JNT1 addr	Jump on T1=0	JNT1 addr
AD Rr	Add Register to A	ADD A, Rr	JF0 addr	Jump on F0=1	JF0 addr
AD @Rr	Add RAM to A	ADD A, @Rr	JF1 addr	Jump on F1=1	JF1 addr
AD # data	Add data to A	ADD A, # data	JTF0 addr	Jump on TM0F=1	JTF addr
ADDC Rr	Add Register with C	ADDC A, Rr	JTF1 addr	Jump on TM1F=1	なし
ADDC @Rr	Add RAM with C	ADDC A, @Rr	JNB addr	Jump on INT0=0	JNI addr
ADDC # data	Add data with C	ADDC A, # data	JNB1 addr	Jump on INT1=0	なし
ANL Rr	And Register to A	ANL A, Rr	JNB2 addr	Jump on SB=1	なし
ANL @Rr	And RAM to A	ANL A, @Rr	JBB addr	Jump on bit=1	JBB addr
ANL # data	And data to A	ANL A, # data	TRB @R0	Test S-Register bit	なし
ORL Rr	Or Register to A	ORL A, Rr	TMB @R0	Test Memory bit	なし
ORL @Rr	Or RAM to A	ORL A, @Rr	OAL addr	CALL Subroutine	CALL addr
ORL # data	Or data to A	ORL A, # data	RT	Return from Sub	RET
XRL Rr	EX OR Register to A	XRL A, Rr	RTR	Return and Restore	RETR
XRL @Rr	EX OR RAM to A	XRL A, @Rr	PUSH A#0	PUSH A and R0	なし
XRL # data	EX OR data to A	XRL A, # data	POP #A#0	POP A and R0	なし
INC	Increment A	INC A	IN P	Input Port to A	IN A, Pp
DEC	Decrement A	DEC A	OUT P	Output A to Port	OUTL Pp, A
CLR	Clear A	CLR A	ANL P, # data	And data to Port	ANL Pp, # data
OPL	Complement A	OPL A	ORL P, # data	OR data to Port	ORL Pp, # data
DA	Decimal Adjust A	DA A	MV A, T	Move TM0 to A	Mov A, T
SWAP	Swap nibble of A	SWAP A	MV T, A	Move A to TM0	Mov T, A
RL	Rotate A left	RL A	STR T	Start timer 0	STR T
RLC	Rotate A left through C	RLC A	STR CNT	Start Counter 0	STR CNT
RR	Rotate A right	RR A	STR TCNT	Stop Timer/Counter 0	STOP TCNT
RRC	Rotate A right through C	RRC A	STR SIO	Start Serial I/O	なし
CM @Rr	Compare A with RAM	なし	EI 0	Enable Interrupt bit	なし
CM # data	Compare # with data	なし	DI 0	Disable Interrupt bit	なし
INC Rr	Increment Register	INC Rr	SEL RB0/RB1	Select Reg bank	SEL RB0/RB1
INC @Rr	Increment RAM	INC @Rr	SEL MB0/MB1	Select Memory bank	SEL MB0/MB1
DEC Rr	Decrement Register	DEC Rr	SEL MB2/MB3	Select Memory bank (3バッチ)	なし
DEC @Rr	Decrement RAM	なし	NOP	No Operation	NOP
SMB @R0, b	Set Memory bit	なし			
RMB @R0, b	Reset Memory bit	なし	101 (103)	合計	81

