

### 概述

LP3520 是一款高性能的副边同步整流芯片,集成同步整流 MOS, 适用于隔离型的同步整流应用。尤其适用于充电器中对高效率的需求场合。

LP3520 采用专利的原边开通判定和副边断续预判技术, 可以有效的避免因激磁振荡引起的驱动芯片误动作。

LP3520 采用特有的 VCC 供电技术, 可以保证在原边控制系统恒流和恒压两种工作状态下, 芯片都不会欠电工作。

另外 LP3520 还集成了 VCC 欠压保护, 过压钳位, 以及驱动脚去干扰等技术。

LP3520 采用 SOP7 封装

### 特点

- 隔离型的 DCM 控制应用
- 集成同步整流管
- 专利的原边开通判定和副边断续预估
- 专利的关断机制, 防止短路漏源电压毛刺。
- 特有的 VCC 供电技术
- 芯片供电欠压保护
- 芯片过压钳位
- 芯片启动前驱动脚防误导通
- 外围元器件少
- SOP7 封装

### 应用

- 充电器和适配器的同步整流
- 反激式控制器

### 典型应用

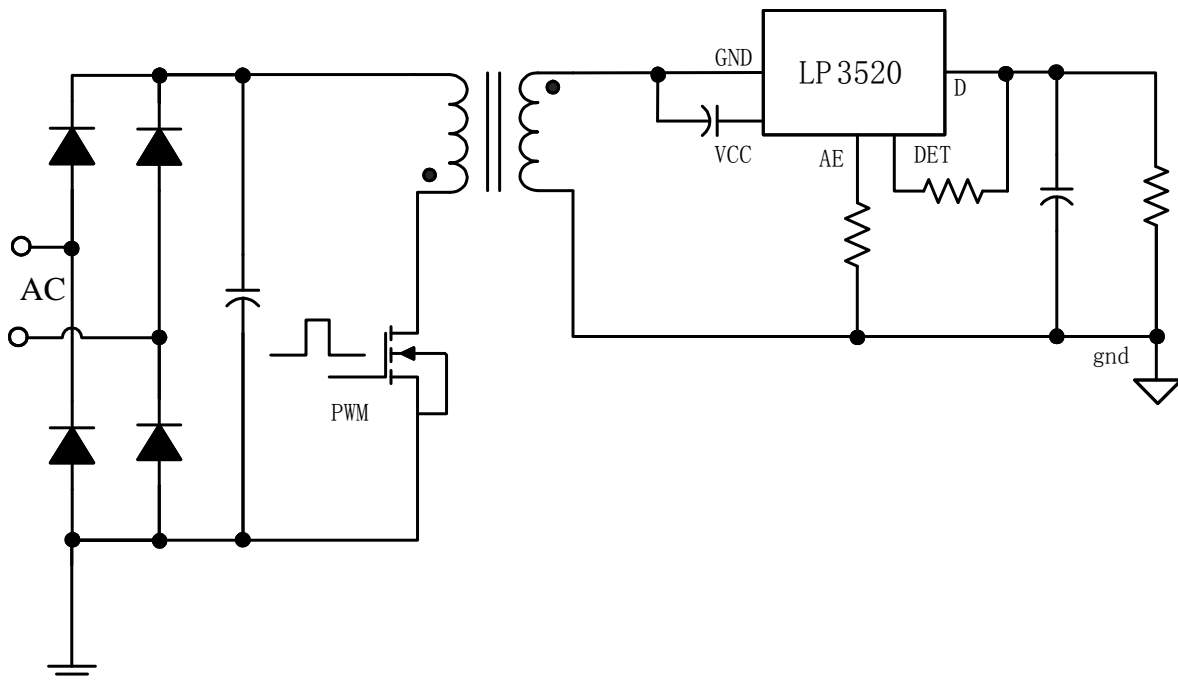


图 1 LP3520 典型应用图

### 订购信息

订购型号	封装	温度范围	包装形式	打印
LP3520	SOP7	-40 °C 到 105 °C	编带 3000 颗/盘	LP3520 XXXX

\*XXXX 封装批次号

### 管脚封装

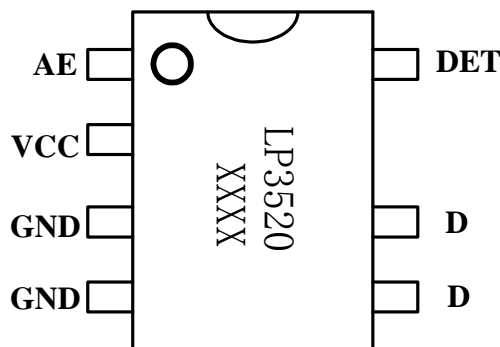


图 2 管脚封装图

### 管脚描述

管脚号	管脚名称	描述
1	AE	芯片原边开通判定和副边断续预估判定设置脚
2	VCC	芯片电源
3, 4	GND	芯片地, 内置同步整流管源极
5, 6	D	内置同步整流管漏极
8	DET	主芯高压供电端和电压检测端

### 极限参数(注 1)

符号	参数	参数范围	单位
DET	内部高压供电端到芯片地的峰值电压	-0.3~45	V
D	内置同步整流 MOS 管漏端	-0.3~45	V
VCC	电源电压	-0.3~8	V
AE	判定设置端	-0.3~8	V
$P_{DMAX}$	功耗(注 2)	0.45	W
$\theta_{JA}$	PN结到环境的热阻	145	$^{\circ}\text{C}/\text{W}$
$T_J$	工作结温范围	-40 to 150	$^{\circ}\text{C}$
$T_{STG}$	储存温度范围	-55 to 150	$^{\circ}\text{C}$
	ESD (注 3)	2	KV

**注 1:** 最大极限值是指超出该工作范围，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，该规范不予保证其精度，但其典型值合理反映了器件性能。

**注 2:** 温度升高最大功耗一定会减小，这也是由  $T_{JMAX}$ ,  $\theta_{JA}$ , 和环境温度  $T_A$  所决定的。最大允许功耗为  $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$  或是极限范围给出的数字中比较低的那个值。

**注 3:** 人体模型，100pF 电容通过 1.5K $\Omega$  电阻放电。

电气参数(注 4,5) (无特别说明情况下,  $V_{CC}=5.0V, T_A=25^\circ C$ )

符号	描述	条件	最小值	典型值	最大值	单位
<b>电源电压</b>						
$V_{CC}$	$V_{CC}$ 工作电压	Drain=20V		5.8		V
$V_{CC\_ON}$	$V_{CC}$ 启动电压	$V_{CC}$ 上升		3.6		V
$V_{CC\_UVLO}$	$V_{CC}$ 欠压保护阈值	$V_{CC}$ 下降		3.2		V
$I_{ST}$	$V_{CC}$ 启动电流	$V_{CC}=V_{CC\_ON}-0.5V$		60		$\mu A$
$I_{CC}$	$V_{CC}$ 工作电流			120		$\mu A$
$V_{CC\_clamp}$	$V_{CC}$ 钳位电压	$I_{CC}=40mA$		6.5		V
<b>阈值电压设置</b>						
SR_ON	整流管开通电压阈值			0.5		V
SR_OFF1	整流管关断第一电压阈值			-15		mV
SR_OFF2	整流管关断第二电压阈值			-5		mV
<b>判定设置</b>						
T_SRmin	整流管最小开通时间			1.9		$\mu s$
S_AE	原边判定电压积分阈值	$R_{AE}=100Kohm$		27		$\mu s * V$
R_AE	副边断续判定比例			80		%
<b>驱动能力</b>						
T_RISE	驱动上升时间	$C_{GATE}=1nF$			25	ns
T_FALL	驱动下降时间	$C_{GATE}=1nF$			25	ns
<b>功率管</b>						
$R_{DS\_ON}$	功率管导通阻抗	$V_{GS}=6.5V/I_{DS}=0.1A$	22	25	28	$m\Omega$
$BV_{DSS}$	内置功率管击穿电压	$V_{GS}=0V/I_{DS}=25\mu A$	45			V

注 4: 典型参数值为 25°C 下测得的参数标准。

注 5: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

### 内部结构框图

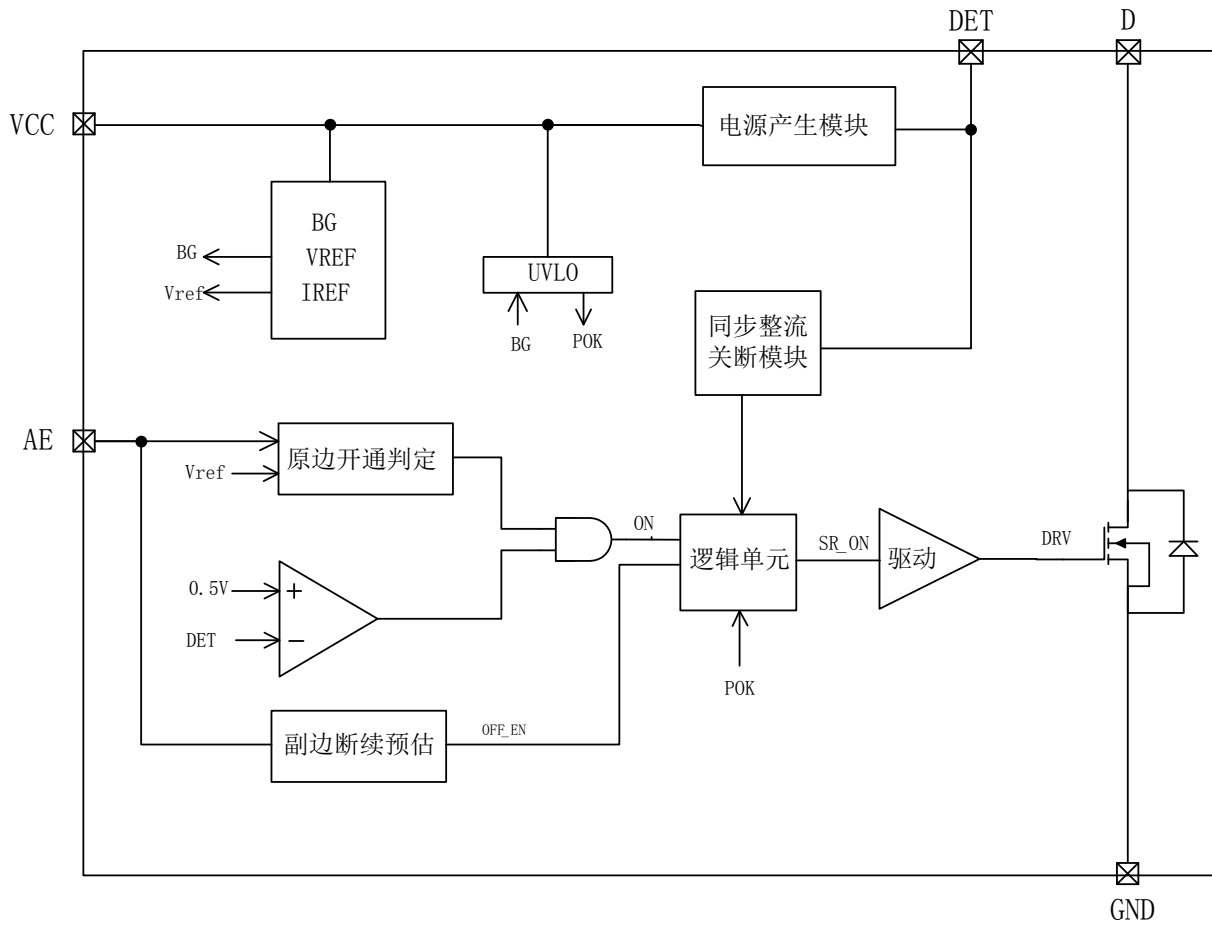


图 3 LP3520 内部框图

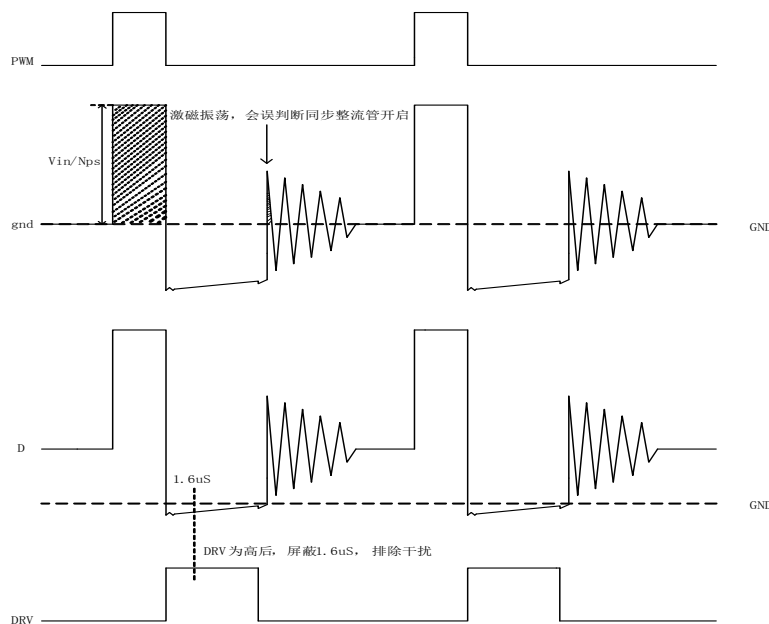


图 4 系统关键节点相对于 LP3520 的 GND 波形

### 应用信息

LP3520 是一款高性能的副边同步整流芯片，集成同步整流 MOS，适用于隔离型的同步整流应用。LP3520 采用专利的原边开通判定和副边断续预判定技术，可以有效的避免因激磁振荡引起的驱动芯片误动作。LP3520 采用特有的 VCC 供电技术，可以保证在原边控制系统恒流和恒压两种工作状态下，芯片都不会欠压工作。

#### 启动

当系统上电后，通过内置 MOS 的体二极管对输出电容充电，输出电压上升。LP3520 通过 DET 脚连接输出电压。当输出电压上升时，经过芯片内部供电电路，给 VCC 电容充电，当 VCC 的电压充到开启阈值电压时，芯片内部控制电路开始工作，MOS 正常的导通和关断。MOS 正常导通时，电流不再从体二极管流过，而从 MOS 的沟道流过。芯片正常工作时，所需的工作电流仍然通过 DET 脚，给 VCC 供电。

#### 同步整流管导通

反激 DCM 工作时，由于电感的激磁作用，当初级芯片关断时，会产生振荡。为了防止误检测振荡信号，导致同步整流管的异常开启，LP3520 采用专利的原边开通判定技术。

当初级芯片导通时，通过变压器，次级输出地 gnd 与芯片地 GND 之间生成反激电压；当初级芯片关断时，次级 LP3520 的漏极 D 与 GND 之间的电压下降。LP3520 通过检测 AE 脚反激电压和漏极的下降电压，能准确的判断同步整流管的开启。

#### 同步整流管关断

为了避免同步整流管导通时，因激磁振荡幅度较大，导致误检测关断信号，使同步整流管异常的关断，LP3520 采用专利的副边断续预判定技术。

通过内部电路处理 AE 脚检测到的反激电压以及设定的整流管关断第一电压阈值和第二电压阈值，能准确地判断同步整流管的关断。

#### 专利的关断机制，防止短路漏源电压毛刺

系统短路时，因同步整流管导通压降小，不能完

全退磁，前级 PSR 芯片会强行关断进 CCM 模式，但此时同步整流管还未关断，那么同步整流管的 DS 会产生很高的尖刺脉冲，容易损坏芯片。针对此种情况，LP3520 采用专利的输出短路时的关断机制，使 DS 无尖刺脉冲，加强芯片的可靠性。

#### AE 脚电阻设置

$$R_{AE}=3.7 \times S_{AE}$$

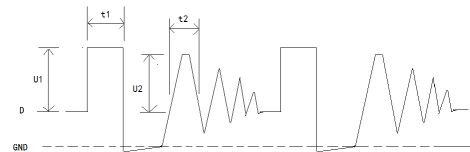
$R_{AE}$ : AE 脚要设置的电阻，单位 K $\Omega$

$S_{AE}$ : 根据 AE 电阻设定的伏秒面积，单位 uS\*V

怎样设定  $S_{AE}$

要求输入电压 60~70VAC 且空载时，测试 LP3520 芯片 D 脚对芯片 GND 脚的工作波形，如下图：

要求  $(1.2 \times U_2 \times t_2) < S_{AE} < (0.9 \times U_1 \times t_1)$



#### D 脚与 DET 脚之间电阻设置

电阻合理值  $\leq 200\Omega$ ; 电阻越大系统 ESD 能力越强，但供电能力减弱。

#### 保护功能

LP3520 集成了 VCC 欠压保护，过压钳位，以及驱动脚去干扰等技术。

#### PCB 设计

在设计 LP3520 PCB 时，需要遵循以下指南：

##### VCC 旁路电容

VCC 的旁路电容紧靠芯片 VCC 管脚和 GND 管脚。

##### AE 采样电阻

AE 采样电阻紧靠芯片 AE 管脚和变压器副边 gnd。

##### D 引脚

增加 D 引脚的铺铜面积以提高芯片散热。

### 封装信息

