

製品標準

(LSC400HM01-W)

1. 목적

제품 정보를 정의하고 개발제품 Target을 설정하며, 이를 부서간에 공유하기 위함.

2. 적용범위

TFT LCD LSC400HM01-W

3. 일반개요

3.1 개요

LSC400HM**~W은 비정질 실리콘(Amorphous Silicon) 박막 트랜지스터(TFT :Thin Film Transistor)를 스위칭 소자로 사용한 컬러 능동 행렬(Color active matrix) 방식의 TFT 액정 표시 소자(LCD;Liquid Crystal Display) Cell이다. Cell은 Panel, 구동 회로부로 구성되며, Interface방법은 Digital 영상정보를 직렬로 고속 전송하는 방식의 일종인 LVDS방식을 채용하였다. 본 제품은 1,920 * 1080 (16:9) 화소를 포함하고, 8bit data를 처리하여 display하며 16.7 million의 색상을 지원한다.

그리고 독자 기술인 SPVA Mode 기술을 적용하여 시야각은 상하좌우 89°이상을 제공하는 광시야각 제품이다.

3.2 특징

- ① High Contrast Ratio & High aperture structure
- ② 고속 응답 특성(DCC 적용 회로 채용)
- ③ Wide UXGA (1920 x 1080 화소) 지원 (16:9)
- ④ SPVA (Super Patterned Vertical Align) Mode 광시야각(±178°)
- ⑤ LED B/L Unit 설계 적용
- ⑥ Sync Format : DE(Data Enable) Mode 지원, H/V-sync only 지원 불가
- ⑦ 2CH-LVDS 직렬 인터페이스(2 pixel/ clock)

3.3 응용분야

- ① Home-alone Multimedia TFT-LCD TV
- ② High Definition TV Ready (HD TV Ready)
- ③ AV 제품의 화상 표시 단말기
- ④ 이 제품은 TV 제품에만 적용되며, LED 광원에 최적화된 제품이다.

3.4 일반사양

항 목	사 양	단 위	비 고
유효표시면적	885.6(H) X 498.15 (V)	mm	
구동소자	a-Si TFT Active matrix		
표현가능색 수	16.7M (8bit True)	color	
화소수	1,920 × 1,080	pixel	16 : 9
화소배열	RGB Vertical Stripe		
화소크기	0.46125 (H) × 0.15375 (V)	mm	
표시모드	Normally Black		
표면처리	Anti Glare		

4. 전기 및 환경 절대 최대 정격

ITEM	SYMBOL	MIN.	MAX.	UNIT	NOTE
Power Supply Voltage	V_{IN}	10.8	13.2	V	(1)
Storage temperature	T_{STG}	5	40	°C	(2)
Operating temperature	T_{OPR}	0	50	°C	(2)
Panel surface temperature	T_{SUR}	0	65	°C	(3)
Storage humidity	H_{STG}	35	75	%[RH]	(2)
Operating humidity	H_{OPR}	20	90	%[RH]	(2)
Endurance on static electricity			150	V	(4)

NOTE (1) 동작 온도 범위내에서 보증한다, VSS=0V.

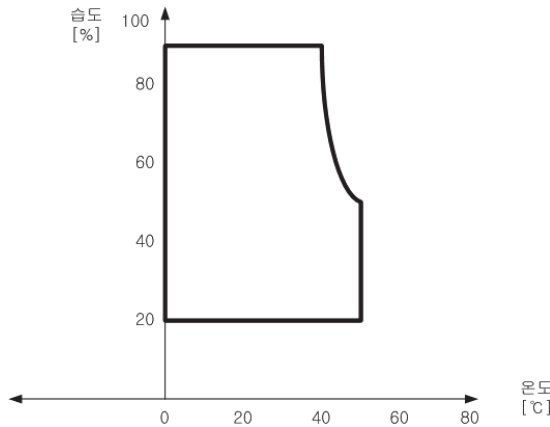
(2) 온도와 상대습도 범위는 아래 그림에 따른다

a. $T_a \leq 39^\circ\text{C}$ 에서, 최고 상대 습도는 90% 이다.

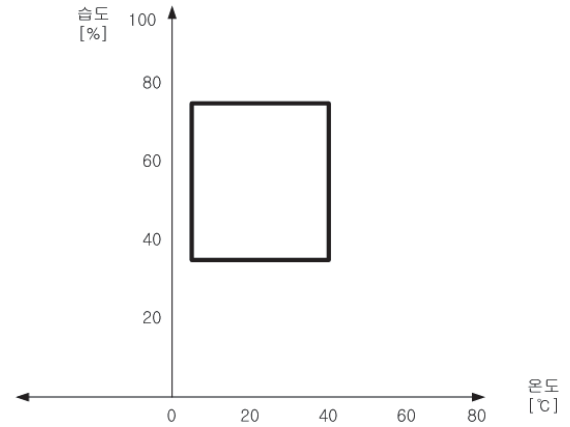
b. $T_a > 39^\circ\text{C}$ 에서, 상대 습도는 90% 혹은 그 이하이다.

c. No condensation

(최대습구 온도는 39°C 임, 40°C 에서 93.8%RH에 해당)



[Operating: Module Assembly 기준]



[Storage: Panel(반제품) Packing 기준]

NOTE (3) 동작중 Panel의 표면온도로서 일부 범위에서는 화질상의 문제가 발생할 수 있지만, 편광판등의 자재가 영구적인 손상을 받지 않는 범위임.

NOTE (4) CP 공정시 150V 이하로 조절되어야 한다.

5. 광학 특성

5.1 측정 환경

(1) 환경 조건

온도: 25°C ± 2°C, 습도: 25%~85% [RH], 압력: 86kPa~106kPa

암실: 1Lux이하, 무풍(직접적인 바람 제거), 무진동

(2) Warm-Up Time

① 최소 30분 이상

② 주기적(약 15초 간격)으로 center 휘도를 측정하여 10분전 휘도와 현재 휘도 차이의 비가 0.5%이하가 되는 최초 시점

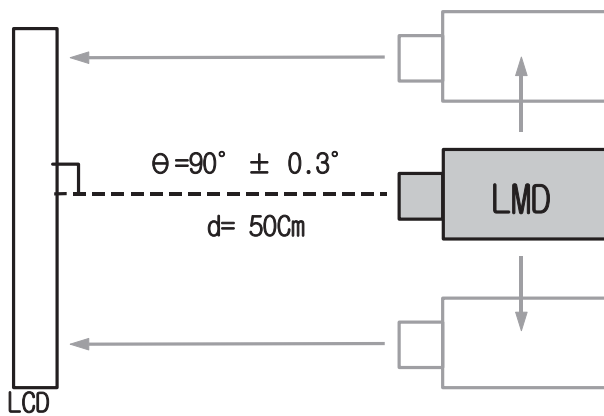
$$T_{warm-up} = (|Lum_{t-10} - Lum_{now}| / Lum_{now}) \times 100 < 0.5 \text{ 가 되는 시간}$$

[Lum_{t-10}는 10분전 휘도 , Lum_{now}는 현재 휘도]

5.2 측정 장비(LMD : Light Measurement Device)

- (1) 종류: SR-3(TOPCON社/ Lum, Color 및 Spectrum 측정), RD-80S(TOPCON社 / Response Time, Flicker 측정), EZ-Contrast(ELDIM社 , 시야각 측정)

(2) 측정 거리 및 방향: 거리 d=50cm (예외: EZ-contrast는 2mm)



LMD	Field
SR-3	2°/1°
RD-80S	2°

5.3 전기적 구동 조건

TFT LCD Cell : V_{IN}=12.0 [V], f_V=60Hz, f_{DCLK} = 148.5MHz

광원은 General항 BLU와 삼성표준 광원인 D65를 모두 적용하여 측정한다.

5.4 광학 특성

(1) General 고객 BLU 적용시, 광학 특성:

광학 특성은 Panel 정상(비반전) 구동 측정을 기준으로 한다.

광원: 중화향 LTA400HM14-X의 BLU 적용, 계측장비: SR-3 , RD-80S, EZ-Contrast

ITEM	SYMBOL	MIN.	TYP.	MAX.	UNIT	LMD	NOTE
Contrast Ratio (center)	CR	3,000	4,000	-	-		(1)
Color Chromaticity (CIE 1931)	Red	Rx		0.648			(1) Center Point
		Ry		0.332			
	Green	Gx		0.307			
		Gy	typ.	0.589	typ.	-	
	Blue	Bx	-0.03	0.148	+0.03		
		By		0.061			
	White	Wx		0.280			
		Wy		0.290			
Color gamut		66	70	-	%		
Color Temperature	CCT	8,000	10,000	12,000	K		
Viewing Angle (CR≥10)	Hor.	θL	75	89	-	Degrees	(2)
		θR	75	89	-		
	Ver.	θH	75	89	-		
		θL	75	89	-		
Crosstalk	DSHA	-	-	15.0	%	SR-3	(3) 256Gray의 40Gray이상
Gamma	-	1.9	2.2	2.5			PI 기재불가
Response time	G to G 평균	-	8	16	ms	RD-80S	(5)

(2) 당사 표준광원 적용시, 광학 특성

광학 특성은 Panel 정상(비반전) 구동 측정을 기준으로 한다.

Light source: D65 표준광원

계측장비: SR-3, RD-80S, EZ-Contrast

Item	Symbol	Condition	Min	Typ	Max	Unit	Note
Contrast Ratio (Center of screen)	C/R	Normal $\theta_{L,R}=0$ $\theta_{U,D}=0$	3000	4000			(1) SR-3
Transmittance			4.4	4.7		%	PI 기재불가
Luminance of White (Center of screen)	Y_L		145	160		cd/m ²	(1) SR-3
Color Chromaticity(CIE 1931)	Red	Rx	Viewing Angle TYP-0.03	0.652	TYP+0.03		(1) SR-3
		Ry		0.330			
	Green	Gx		0.290			
		Gy		0.605			
	Blue	Bx		0.136			
		By		0.101			
	White	Wx		0.307			
		Wy		0.372			
Color Gamut		68	71		%	(1) SR-3	
Color Temperature		5100	6400	7700	K	SR-3	
Viewing Angle	Hor	θ_L	75	89	Degree		(2) SR-3, EZ- Contrast
		θ_R	75	89			
	Ver	θ_U	75	89			
		θ_D	75	89			
Brightness uniformity (9 Points)	B_{uni}				25	%	(1) SR-3
Flicker		$T_{PAN,SUR}$ =30.1°C			50		(4) RD-80S
Gamma	-		1.9	2.2	2.5		PI 기재불가
Response Time	G-to-G	$T_{PAN,SUR}$ =30.1°C		8	16	msec	(5) RD-80S

Notice (a) D65는 사용가능한 일반광원이다.

색온도는 6504K이고, 색좌표는 $W_x=0.2948$, W_y 는 0.322이다.

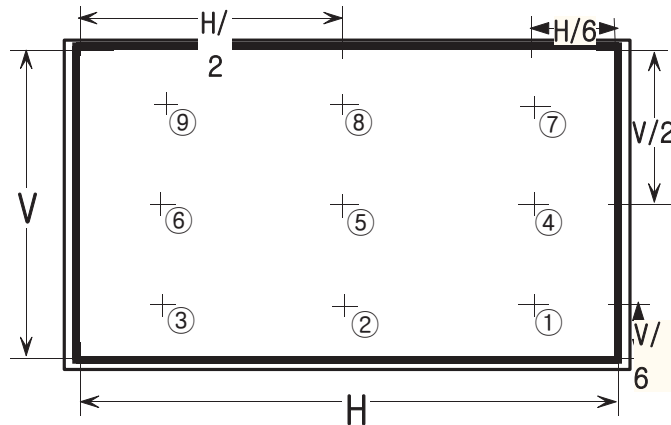
Luminance는 3389cd/m².

(b) Flicker는 Note(4)의 방법을 통해 측정이 되며, 당사는 표준광원에 대한 측정 결과를 제시한다. 고객 사이트에서 Flicker 조절은 당사의 DVR(Digital Variable Resistor)을 조정하여 구현하며, 당사에서 고객에 제공하는 Application notes중, Flicker 조절 방법에 관한 문서를 참조한다.

(c) $T_{PAN,SUR}$: Panel 중앙 위치 표면온도이며, 상온상태 General항 BLU 적용하여 측정된 온도이다.

NOTE (1)

▶ 측정위치 : 패널상 측정위치는 Active Area내 9개 점으로 한다.(하기의 그림 참조)



- ① WHITE 평균 휘도의 정의 (YL)
: 측정위치 중앙 Point⑤ 에서 WHITE 휘도(YL)
- ② 대비비(C/R : Contrast Ratio)
: 측정위치 중앙 Point⑤에서 WHITE(GMAX) 휘도와 BLACK(GMIN) 휘도의 비로 정의.

$$CR = \frac{G_{max}(5)}{G_{min}(5)}, \quad () \text{ 안의 수는 측정 Point 임.}$$

- ③ Brightness Uniformity(Buni)
: Panel 全面 WHITE 일때 9개(13개) point의 휘도를 측정하여 아래식과 같이 정의.

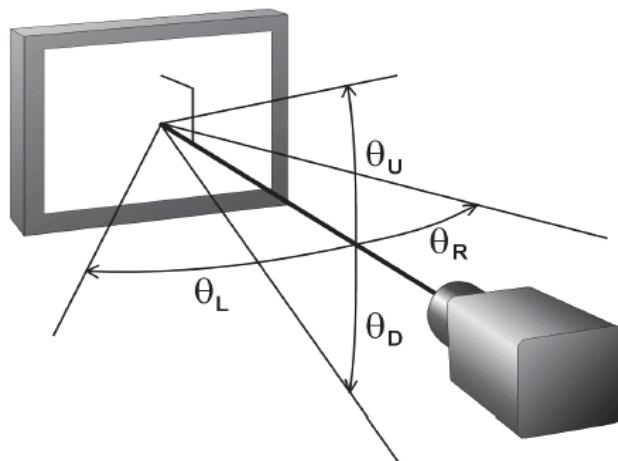
$$Buni = \frac{B_{max} - B_{min}}{B_{max}} \times 100$$

where, Bmax = Maximum Brightness
Bmin = Minimum Brightness

- ④ Definition of Color Chromaticity (CIE 1931)
Color coordinate of Red, Green, Blue & White at center point ⑤

NOTE (2)

▶ 시야각(Viewing angle)의 정의 : C/R이 10이상되는 시각의 범위



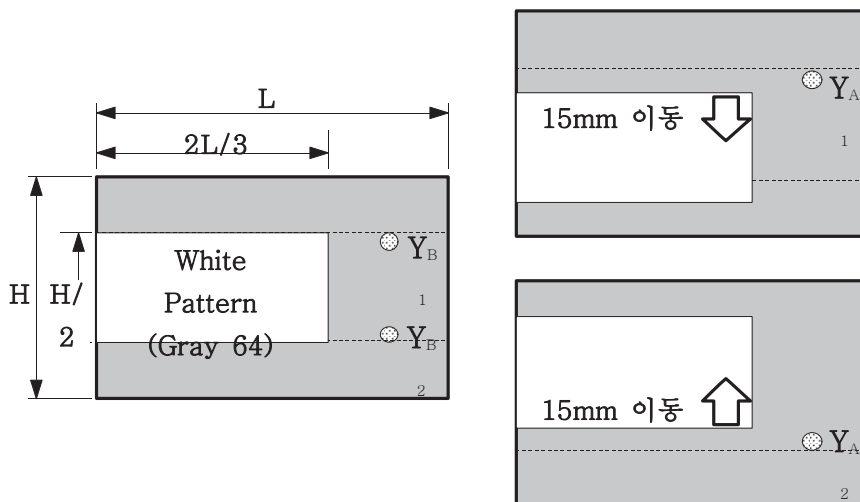
NOTE (3)

- ▶ 상호 혼선(Crosstalk; Cross modulation)의 정의(DSHA):
화소간의 신호간섭에 의하여 대비비가 저하되는 현상.

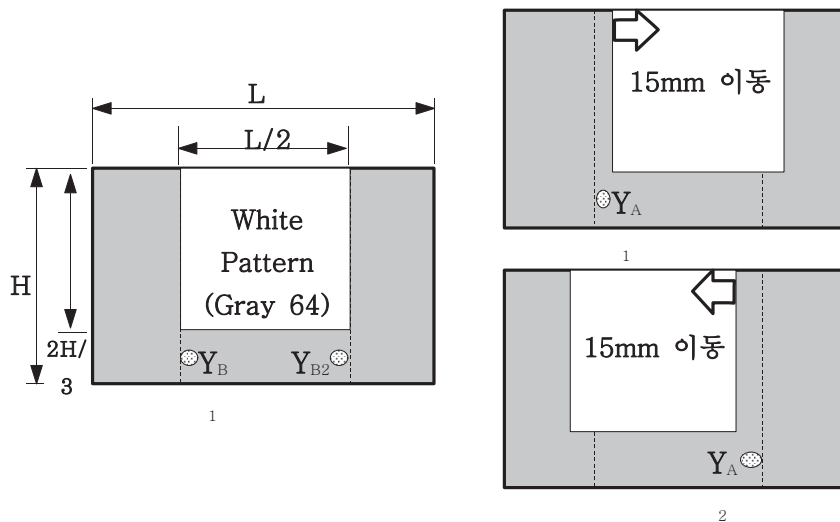
$$Crosstalk\ Modulation\ Ratio(D_{SHA}) = \frac{|Y_{normal} - Y_{abnormal}|}{Y_{normal}} \times 100(\%)$$

- * White Box 이외의 back ground pattern은 Gray1~ Gray64 까지 4Gray 간격으로 측정
- * Horizontal Crosstalk 과 Vertical Crosstalk을 모두 측정
- * 측정 결과중 가장 큰 값을 Crosstalk으로 정의
[참고] Normally White mode시 Box는 Black(Gmin),
Normally Black mode시 Box는 white(Gmax)
- * Crosstalk 측정 Pattern 및 Point

Horizontal Crosstalk



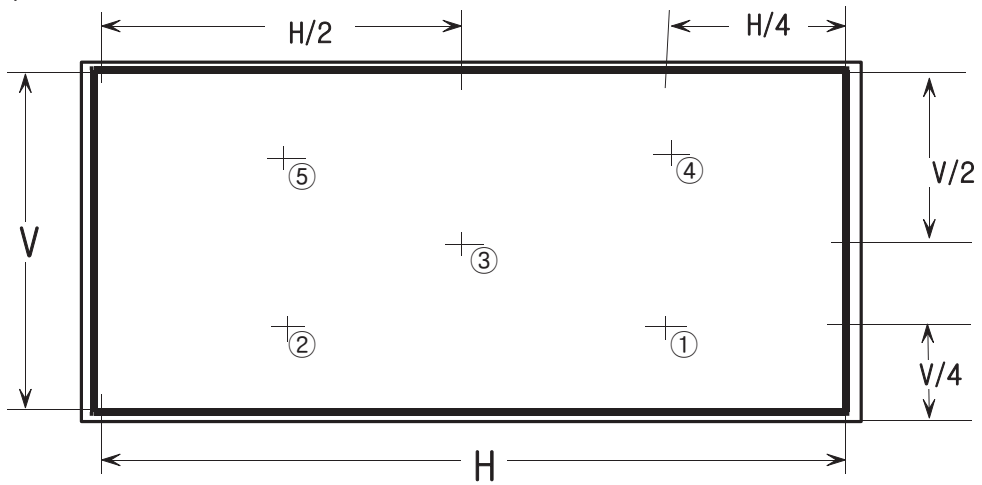
Vertical Crosstalk



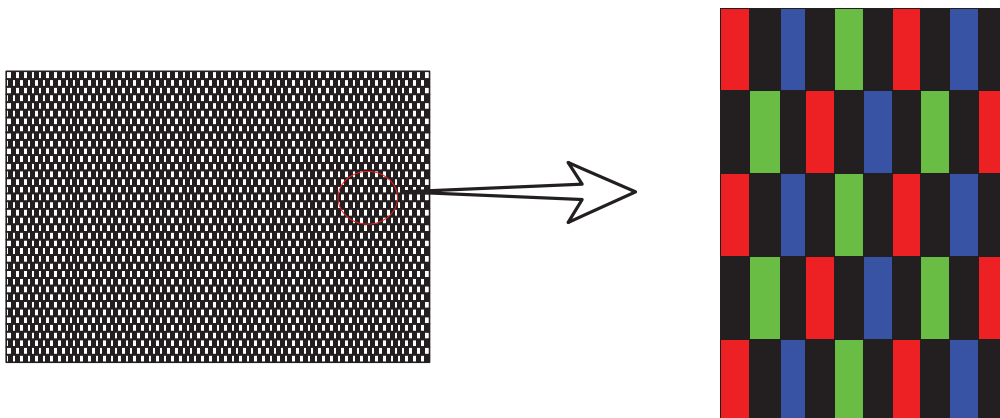
NOTE (4)

▶ 화면의 번쩍 거림(Flicker)의 정의 : LCD Panel의 화면이 깜박거리는 현상.

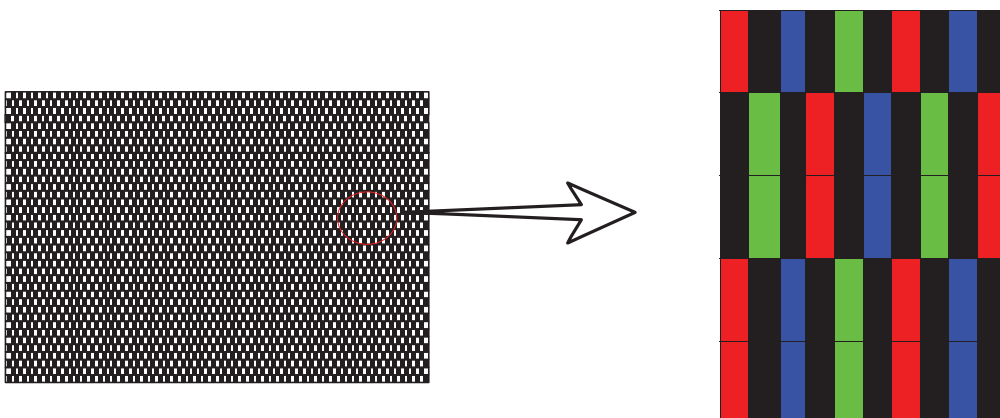
- ① 계산식은 Flicker 측정표준에 준함.
- ② 측정위치



③ Flicker 측정 Pattern :



Dot Inversion 구동일 경우

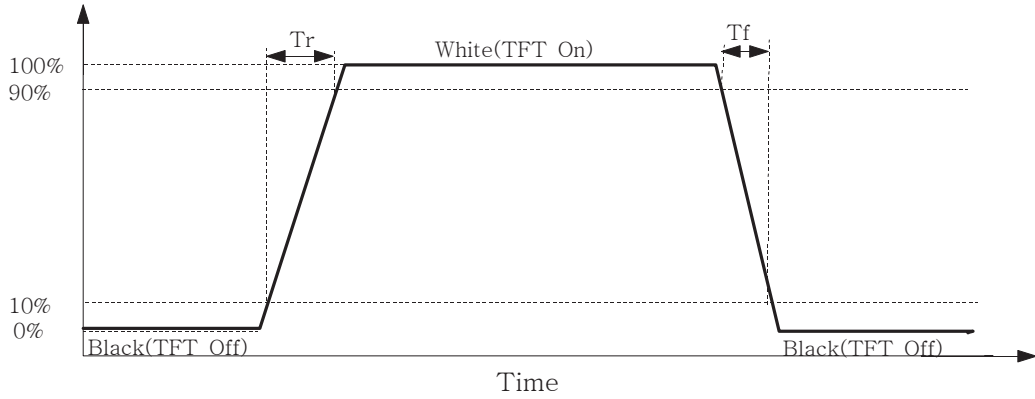


2 Dot Inversion 구동일 경우

NOTE (5)

- ▶ 응답시간(Response time)의 정의: 화면이 어두워 질 때와 밝아질 때에 투과율이 10%와 90% 사이로 변화하는 시간의 합

- Normally Black mode일 경우



$T^*(X-Y)$: gray(X)에서 gray(Y)로 이동하는데 소요되는 시간

$$\text{Response time} = \sum [T^*(X-Y)] / 72$$

Gray to Gray Response Time											
	Gray	End									
		0	31	63	95	127	159	191	223		255
Start	0		Tr(0-31)	Tr(0-63)	Tr(0-95)	Tr(0-127)	Tr(0-159)	Tr(0-191)	Tr(0-223)	Tr(0-255)	Ton
	31	Tf(31-0)		Tr(31-63)	Tr(31-95)	Tr(31-127)	Tr(31-159)	Tr(31-191)	Tr(31-223)	Tr(31-255)	
	63	Tf(63-0)	Tf(63-31)		Tr(63-95)	Tr(63-127)	Tr(63-159)	Tr(63-191)	Tr(63-223)	Tr(63-255)	
	95	Tf(95-0)	Tf(95-31)	Tf(95-63)		Tr(95-127)	Tr(95-159)	Tr(95-191)	Tr(95-223)	Tr(95-255)	
	127	Tf(127-0)	Tf(127-31)	Tf(127-63)	Tf(127-95)		Tr(127-159)	Tr(127-191)	Tr(127-223)	Tr(127-255)	
	159	Tf(159-0)	Tf(159-31)	Tf(159-63)	Tf(159-95)	Tf(159-127)		Tr(159-191)	Tr(159-223)	Tr(159-255)	
	191	Tf(191-0)	Tf(191-31)	Tf(191-63)	Tf(191-95)	Tf(191-127)	Tf(191-159)		Tr(191-223)	Tr(191-255)	
	223	Tf(223-0)	Tf(223-31)	Tf(223-63)	Tf(223-95)	Tf(223-127)	Tf(223-159)	Tf(223-191)		Tr(223-255)	
255	Tf(255-0)	Tf(255-31)	Tf(255-63)	Tf(255-95)	Tf(255-127)	Tf(255-159)	Tf(255-191)	Tf(255-223)			
Toff											

6. 전기적 특성

Ta=25 ± 2 [°C]

ITEM	SYMBOL	MIN.	TYP.	MAX.	UNIT	NOTE
Power Supply Voltage	V _{IN}	10.8	12.0	13.2	V	(1)
Power Consumption	(a) Black	-	900	1000	mA	(2),(3)
	(b) White	-	950	1050	mA	
	(c) H-STRIPE	-	1200	1320	mA	
Vsync Frequency	f _v	45.0	60.0	65.0	Hz	
Hsync Frequency	f _H	48.0	67.5	75.0	KHz	
Main Frequency	f _{DCLK}	130	148.5	155	MHz	
Rush Current	I _{RUSH}	-	-	4.5	A	(3)

NOTE (1) Ripple 전압은 V_{IN}의 10% 범위 내에서 제어되어야 한다.

(2) f_v=60Hz, f_{DCLK}=148.5MHz, V_{IN}=12.0V, DC current

(3) 소비전력 체크 패턴(패턴 변경 가능)

(a) Black 패턴



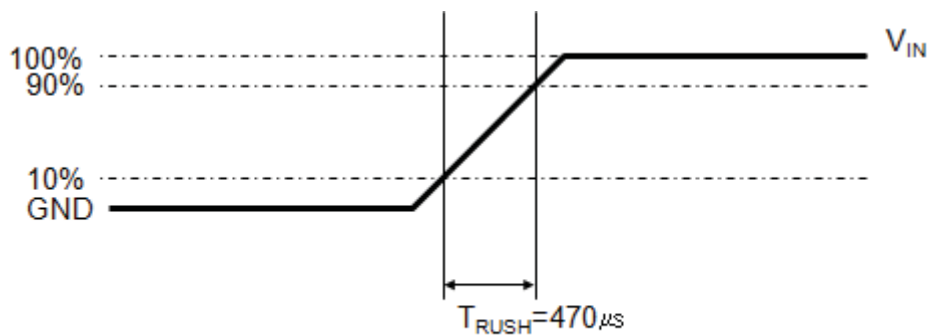
(b) White 패턴



(c) H-STRIPE

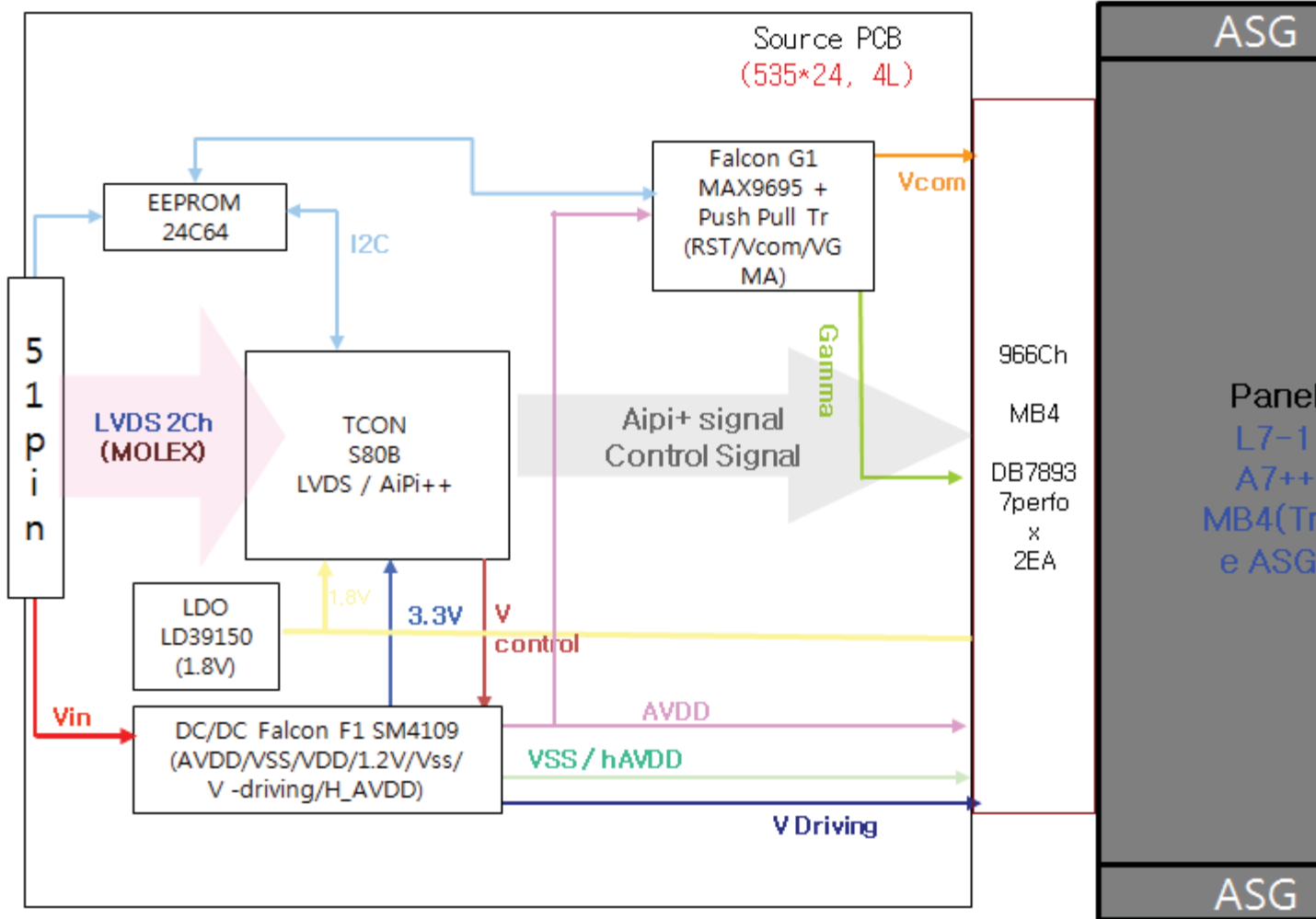


(3) 측정조건: V_{IN}=12V, Rising time =470μs



Rush Current I_{RUSH} can be measured when T_{RUSH} is 470 μs.

7. 블록 다이어그램(Block Diagram)



8. 입력단 신호 순서(Input Terminal Pin Assignment)

8.1 TFT LCD 모듈(Interface signal & power)

(3) Connector: FI-RE51S-HF (JAE)

Pin	Description		Pin	Description	
1	Vin (12V)		26	Even LVDS Signal	RE[0]P
2	Vin (12V)		27		RE[1]N
3	Vin (12V)		28		RE[1]P
4	Vin (12V)		29		RE[2]N
5	Vin (12V)		30		RE[2]P
6	No connection		31		GND
7	GND		32		RECLK-
8	GND		33		RECLK+
9	GND		34		GND
10	Odd LVDS Signal	RO[0]N	35		RE[3]N
11		RO[0]P	36		RE[3]P
12		RO[1]N	37		No connection
13		RO[1]P	38		No connection
14		RO[2]N	39		GND
15		RO[2]P	40	No connection	
16		GND	41	No connection	
17		ROCLK-	42	No connection	
18		ROCLK+	43	No connection	
19		GND	44	No connection	
20		RO[3]N	45	LVDS_SEL	(2)
21		RO[3]P	46	No connection	
22		No connection	47	No connection	
23		No connection	48	No connection	
24	GND		49	No connection	
25	Even LVDS	RE[0]N	50	No connection	
			51	No connection	

NOTE 1 NOT CONNECTED, THIS PINS ARE ONLY USED FOR SEC INTERNAL OPERATIONS.

NOTE 2 LVDS_SEL

IF THIS PIN HIGH (3.3V) → NORMAL NS LVDS FORMAT

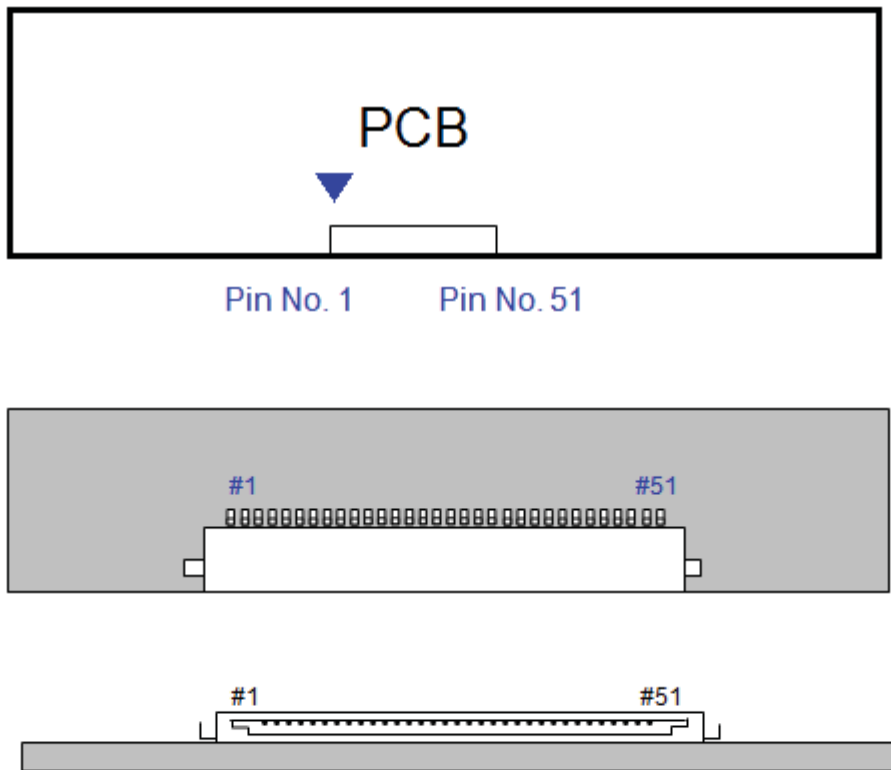
LOW (GND) → JEIDA LVDS FORMAT

[Sequence Condition]

ON: $V_{IN}(T1)$ → LVDS Option → Interface Signal(T2)

OFF: Interface Signal(T3) → LVDS Option → V_{IN}

Note 3 Pin number는 왼쪽부터 시작한다.



[Connector diagram]

- Power GND pin은 LCD 금속 샷시에 연결되어야 한다.
- 모든 Power input pin은 함께 연결되어야 한다.
- 모든 NC pin은 다른 signal 혹은 power와 분리되어야 한다.

8.2 LVDS Interface

- LVDS Receiver : Tcon내장형
- JEIDA규격 채용

差動信號	LVDS pin	JEIDA
TxOUT/RxIN0	TxIN/RxOUT0	R2
	TxIN/RxOUT1	R3
	TxIN/RxOUT2	R4
	TxIN/RxOUT3	R5
	TxIN/RxOUT4	R6
	TxIN/RxOUT6	R7
	TxIN/RxOUT7	G2
TxOUT/RxIN1	TxIN/RxOUT8	G3
	TxIN/RxOUT9	G4
	TxIN/RxOUT12	G5
	TxIN/RxOUT13	G6
	TxIN/RxOUT14	G7
	TxIN/RxOUT15	B2
	TxIN/RxOUT18	B3
TxOUT/RxIN2	TxIN/RxOUT19	B4
	TxIN/RxOUT20	B5
	TxIN/RxOUT21	B6
	TxIN/RxOUT22	B7
	TxIN/RxOUT24	HSYNC
	TxIN/RxOUT25	VSYNC
	TxIN/RxOUT26	DEN
TxOUT/RxIN3	TxIN/RxOUT27	R0
	TxIN/RxOUT5	R1
	TxIN/RxOUT10	G0
	TxIN/RxOUT11	G1
	TxIN/RxOUT16	B0
	TxIN/RxOUT17	B1
	TxIN/RxOUT23	RESERVED

8.3 입력신호, 기본 표시색상과 각 색상의 gray scale

COLOR	DISPLA Y	DATA SIGNAL																												GRAY SCALE LEVEL
		RED								GREEN								BLUE												
		R0	R1	R2	R3	R4	R5	R6	R7	G0	G1	G2	G3	G4	G5	G6	G7	B0	B1	B2	B3	B4	B5	B6	B7					
BASIC COLOR	BLACK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-		
	BLUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	-		
	GREEN	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	-		
	CYAN	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-		
	RED	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-		
	MAGE NTA	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	-		
	YELLOW W	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	-		
	WHITE	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-		
GRAY SCALE OF RED	BLACK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0		
	DARK ↑	DARK	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R1	
			0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R2	
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	R3~		
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	R1020		
	LIGHT ↓		1	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R1021	
		LIGHT	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R1022	
	RED	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R1023		
GRAY SCALE OF GREEN	BLACK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	G0		
	DARK ↑	DARK	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	G1	
			0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	G2	
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	G3~		
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	G1020		
	LIGHT ↓		0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	G1021	
		LIGHT	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	G1022	
	GREEN	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	G1023		
GRAY SCALE OF BLUE	BLACK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B0		
	DARK ↑	DARK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	B1	
			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	B2	
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	B3~		
			:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	B1020		
	LIGHT ↓		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	B1021	
		LIGHT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	B1022	
	BLUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	B1023		

NOTE

(1) Gray 정의 :

Rn : 빨강색 Gray, Gn : 녹색 Gray, Bn : 파란색 Gray (n=Gray level)

(2) 입력신호 : 0=Low level voltage, 1=High level voltage

9. 인터페이스 타이밍

9.1 Time parameter (DE only mode)

SIGNAL	ITEM	SYMBOL	MIN.	TYP.	MAX.	UNIT	NOTE
Clock	Frequency	1/TC	130	148.5	155	MHz	-
Hsync		Fh	50.0	67.5	75.0	KHz	-
Vsync		Fv	48.0	60.0	62.0-	Hz	-
Vertical Active Display Term	Active Display Period	TVD		1080		lines	-
	Vertical Total	TV	1092	1125	1380	lines	-
Horizontal Active Display Term	Active Display Period	THD	-	1920	-	clocks	-
	Horizontal Total	TH	2090	2200	2350	clocks	(1)

→ 본 제품은 DE only mode로 동작하며, H-sync와 V-sync신호의 입력여부는 정상적인 동작에 영향을 주지 않음.

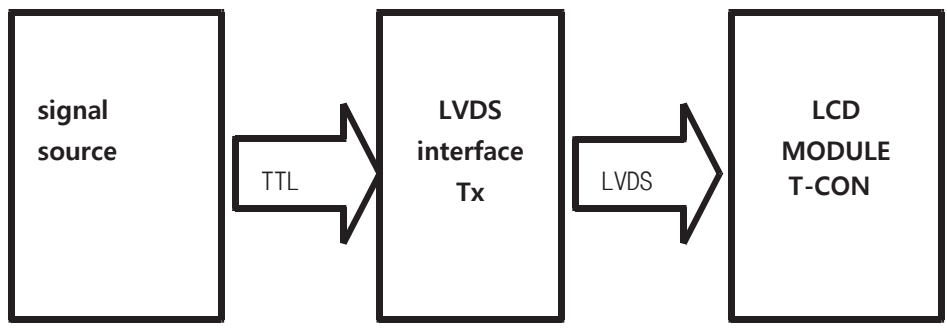
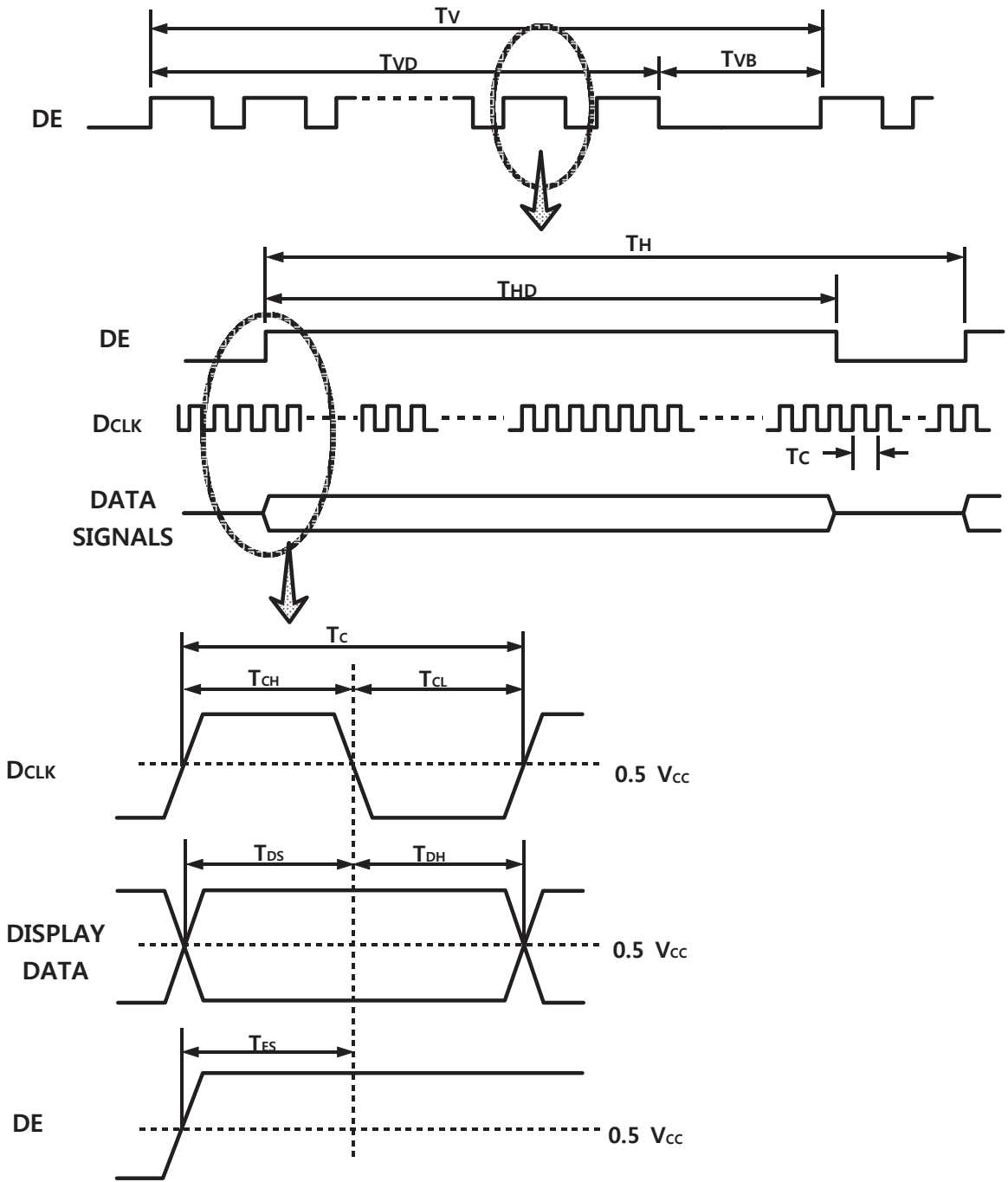
Note 1: Horizontal total의 경우 4clocks 단위로 가변하여야 함.

- 측정 지점: TTL control signal과 LVDS Tx의 CLK
- Internal DVDD=3.3V

9.2 Spread Spectrum 적용범위

Characteristics	Symbol	Condition	Min.	Typ.	Max.	Unit
IO Supply Voltage	VDD33_ LVDS		3.0	3.3	3.6	V
Supply Voltage	VDD12_ CORE		1.1	1.2	1.3	V
Output Frequency Range	F _{OUT}		57.6	72	86.4	MHz
Output Duty Ratio	T _{OD}		45		55	%
Reference Resistor	R _{REF}			8.2		kΩ
Stabilization Wait Time	t _{wait}			100		μsec

9.3 인터페이스 신호의 타이밍 다이어그램(DE only mode)



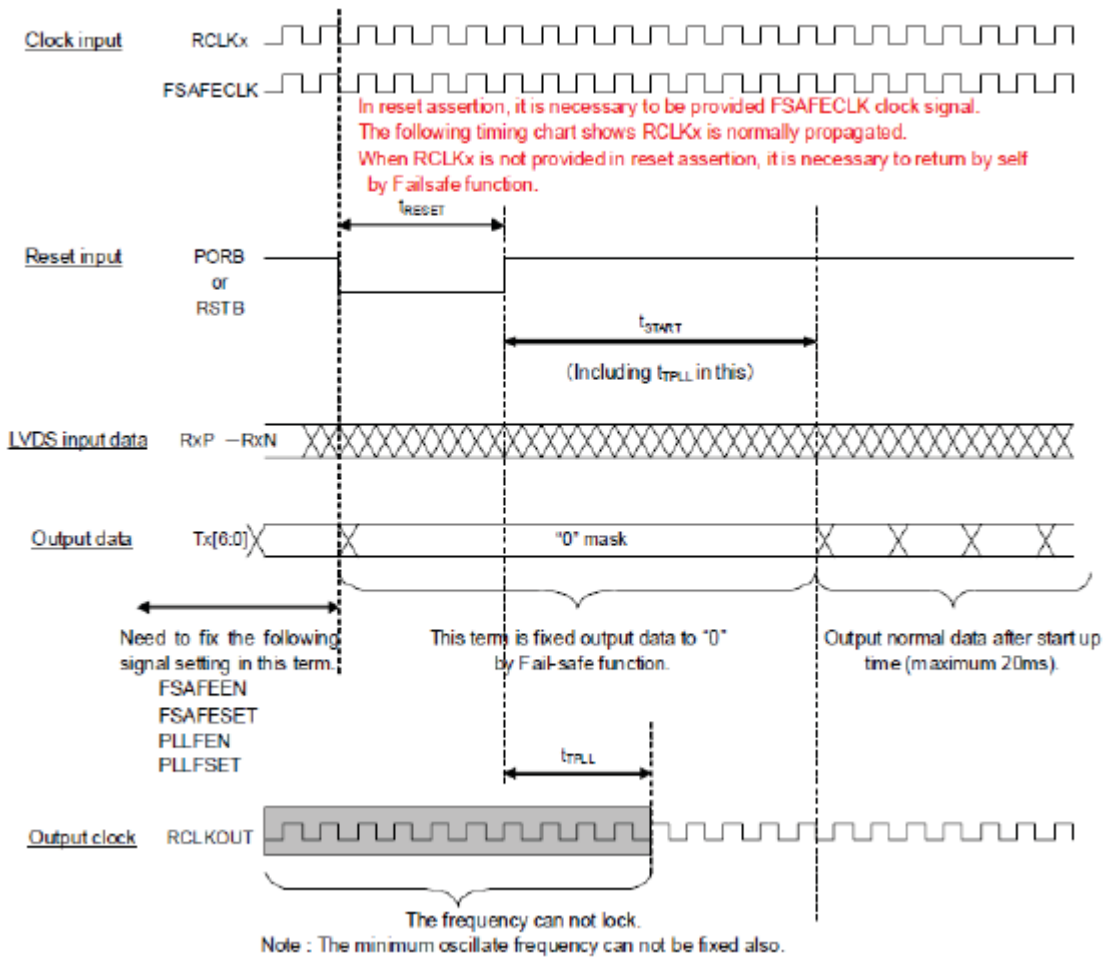
LVDS Transmitter : DS90C385MTD (N/S) / THC63LVDM83A(THINE) : Recommend

9.4.1 LVDS CHARACTERISTICS (S800B 기준)

Characteristics	Symbol	Condition	Min.	Typ.	Max.	Unit
IO Supply Voltage	VDD33_LVDS		3.0	3.3	3.6	V
PLL Supply Voltage	VDD12_LVDSPLL		1.1	1.2	1.3	V
Color Depth				10		bit
Input Clock Range (Data Rate @ 1ch)	F_{IN}		40 (280)		90 (630)	MHz (Mbps)
Input Common Mode Voltage	V_{CM}		0.4		2.4	V
Differential Input Voltage	$ V_{ID} $		100		600	mV

Symbol	Characteristics	Min.	Typ.	Max.	Unit
F_{IN}	Input Clock Frequency (= 1/T)	40		90	MHz
t_{RCP}	Output Clock period	11.2		25	ns
	Input tolerant 55 modulation frequency	30		300	kHz
	Input tolerant degree of modulation	-3		+3	%
t_{RCH}	RCLKOUT High Time		$(4/7)t_{RCP}$		ns
t_{RCL}	RCLKOUT Low Time		$(3/7)t_{RCP}$		ns
t_{RSKM}	Receiver Skew Margin (In case of $SKEWCNT \times [2:0] = 000$)	-0.4		0.4	ns
t_{RIP1}	Input Data Position for Bit 1	$-t_{RSKM}$	0	$+t_{RSKM}$	ns
t_{RIP0}	Input Data Position for Bit 0	$(1/7)t_{RCP}$ $-t_{RSKM}$	$(1/7)t_{RCP}$	$(1/7)t_{RCP}$ $+t_{RSKM}$	ns
t_{RIP6}	Input Data Position for Bit 6	$(2/7)t_{RCP}$ $-t_{RSKM}$	$(2/7)t_{RCP}$	$(2/7)t_{RCP}$ $+t_{RSKM}$	ns
t_{RIP5}	Input Data Position for Bit 5	$(3/7)t_{RCP}$ $-t_{RSKM}$	$(3/7)t_{RCP}$	$(3/7)t_{RCP}$ $+t_{RSKM}$	ns

t_{RIP4}	Input Data Position for Bit 4	$(4/7)t_{RCP}$ $-t_{RSKM}$	$(4/7)t_{RCP}$	$(4/7)t_{RCP}$ $+t_{RSKM}$	ns
t_{RIP3}	Input Data Position for Bit 3	$(5/7)t_{RCP}$ $-t_{RSKM}$	$(5/7)t_{RCP}$	$(5/7)t_{RCP}$ $+t_{RSKM}$	ns
t_{RIP2}	Input Data Position for Bit 2	$(6/7)t_{RCP}$ $-t_{RSKM}$	$(6/7)t_{RCP}$	$(6/7)t_{RCP}$ $+t_{RSKM}$	ns
t_{PPLL}	Phase Locked Loop Set			200	us
t_{RESET}	Reset Assertion Time	5			us
t_{START}	Output Data Start-up Time			5	ms



RECOMMENDED TRANSMITTER INPUT CHARACTERISTICS

-OVER RECOMMENDED OPERATING SUPPLY AND TEMPERATURE RANGES UNLESS OTHERWISE SPECIFIED.

SYMBOL	PARAMETER	MIN.	TPY.	MAX.	UNITS.
TCIT	TxCLK IN TRANSITION TIME (FIG2)	1.0	-	6.0	ns
TCIP	TxCLK IN PERIOD (FIG3)	11.76	T	50	ns
TCIH	TxCLK IN HIGH TIME (FIG3)	0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN LOW TIME (FIG3)	0.35T	0.5T	0.65T	ns
TXIT	TxCLK TRANSITION TIME	1.5	-	6.0	ns

TRANSMITTER SWITCHING CHARACTERISTICS

-OVER RECOMMENDED OPERATING SUPPLY AND TEMPERATURE RANGES UNLESS OTHERWISE SPECIFIED.

SYMBOL	PARAMETER	MIN.	TPY.	MAX.	UNITS.		
LLHT	LVDS LOW TO HIGH TRANSITION TIME (FIG1)	-	0.75	1.5	ns		
LHLT	LVDS HIGH TO LOW TRANSITION TIME (FIG1)	-	0.75	1.5	ns		
TPPos0	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 0 (FIG 7) NOTE 1	-0.25	0	0.25	ns		
TPPos1	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 1	3.32	3.57	3.82	ns		
TPPos2	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 2	6.89	7.14	7.39	ns		
TPPos3	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 3	10.46	10.71	10.96	ns		
TPPos4	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 4	14.04	14.29	14.54	ns		
TPPos5	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 5	17.61	17.86	18.11	ns		
TPPos6	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 6	21.18	21.43	21.68	ns		
TPPos0	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 0 (FIG 7) NOTE 1	-0.20	0	0.20	ns		
TPPos1	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 1	2.00	2.20	2.40	ns		
TPPos2	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 2	4.20	4.40	4.60	ns		
TPPos3	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 3	6.39	6.59	6.79	ns		
TPPos4	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 4	8.59	8.79	8.99	ns		
TPPos5	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 5	10.79	10.99	11.19	ns		
TPPos6	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 6	12.99	13.19	13.39	ns		
TPPos0	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 0 (FIG 7) NOTE 1	-0.20	0	0.20	ns		
TPPos1	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 1	1.48	1.68	1.88	ns		
TPPos2	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 2	3.16	3.36	3.56	ns		
TPPos3	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 3	4.84	5.04	5.24	ns		
TPPos4	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 4	6.52	6.72	6.92	ns		
TPPos5	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 5	8.20	8.40	8.60	ns		
TPPos6	TRANSMITTER OUTPUT PULSE POSITION FOR BIT 6	9.88	10.08	10.28	ns		
TSTC	TxIN SETUP TO TxCLK IN (FIG 3)	2.5	-	-	ns		
THTC	TxIN HOLD TO TxCLK IN (FIG 3)	0	-	-	ns		
TCCD	TxCLK IN TO TxCLK OUT DELAY (FIG4)	Ta = 25 °C, Vcc = 3.3 V		3.8	-	6.3	ns
	TxCLK IN TO TxCLK OUT DELAY (FIG4)	2.8	-	7.1		ns	
TJCC	TRANSMITTER JITTER CYCLE TO CYCLE (FIG 8,9)	F=85 MHZ	-	110	150	ps	
		F=65 MHZ	-	210	230	ps	
		F=40 MHZ	-	350	370	ps	
TPLLS	TRANSMITTER PHASE LOCK LOOP SET (FIG 5)	-	-	10		ms	
TPDD	TRANSMITTER POWER DOWN DELAY (FIG 6)	-	-	100		ns	

note 1 The minimum and maximum limits are based on statistical analysis of the device performance over process, voltage, and temperature ranges. this parameter is functionality

tested only on automatic test equipment (ATE)

note 2 The limits are based on bench characterization of the device's jitter response over the power supply voltage range. output clock jitter is measured with a cycle to cycle jitter of ± 3 ns applied to the input clock signal while data inputs are switching (fig8,9). A jitter event of 3 ns, represents worst case jump in the clock edge from most graphics controller VGA Chips currently available. this parameter is used when calculating system margin as described in AN-1059.

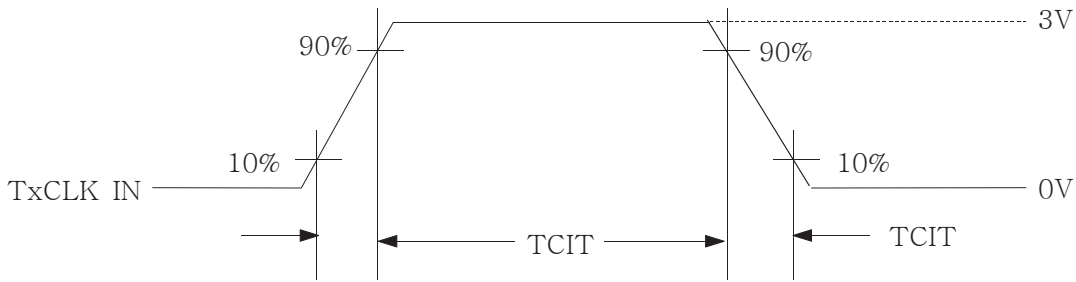


FIGURE 1. Transmitter LVDS Transition Times

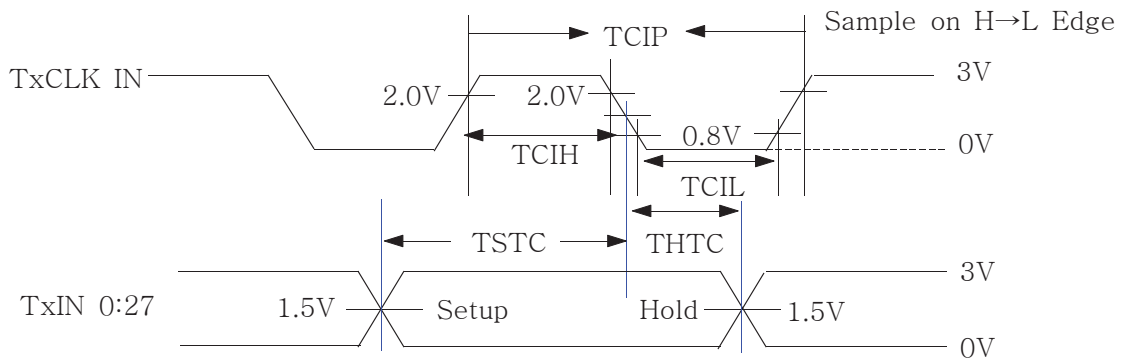


FIGURE 2. Transmitter Input Clock Transition Times

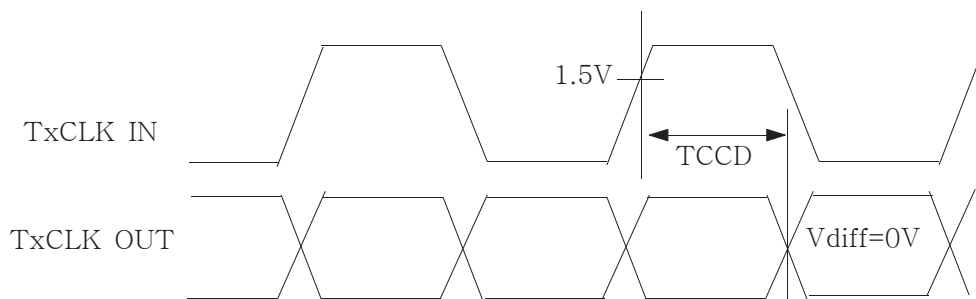


FIGURE 3. Transmitter Setup/Hold and High/Low Times (Falling Edge Strobe)

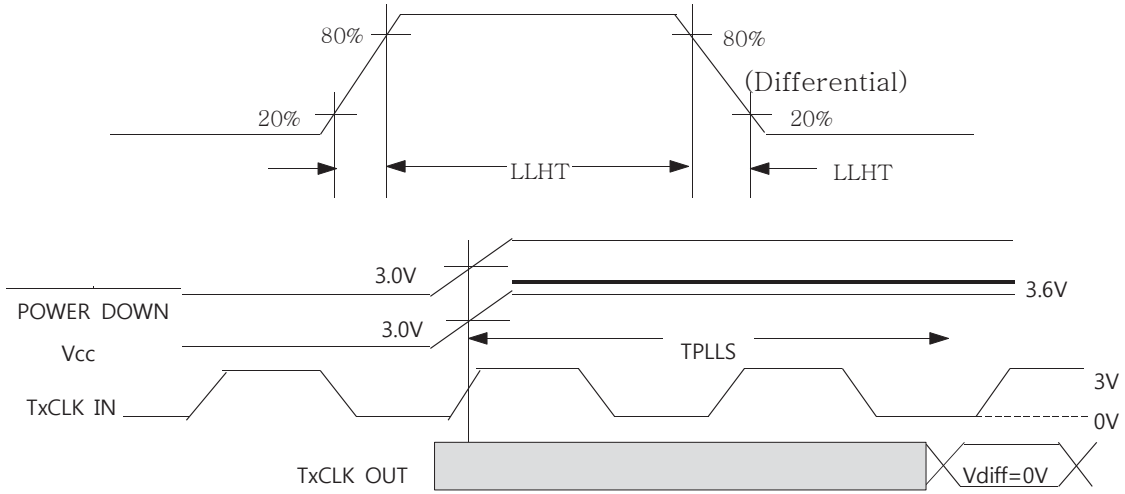


FIGURE 5. Transmitter Phase lock loop(PLL) SET-UP TIME

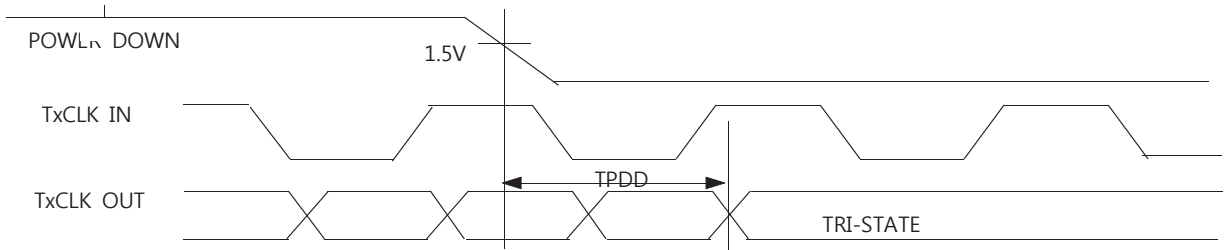


FIGURE 6. Transmitter Power down delay

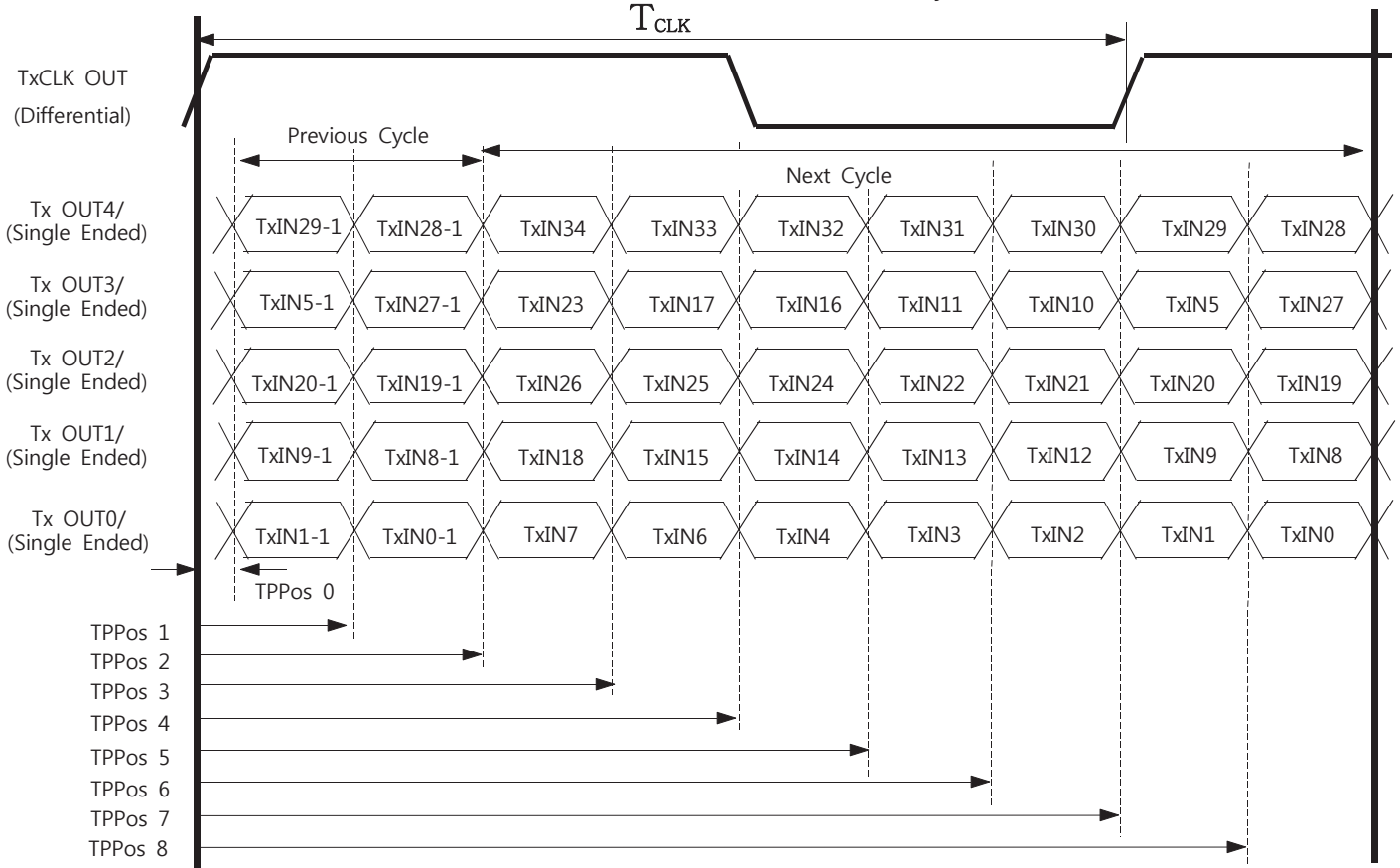


FIGURE 7. Transmitter LVDS OUTPUT PULSE POSITION MEASUREMENT

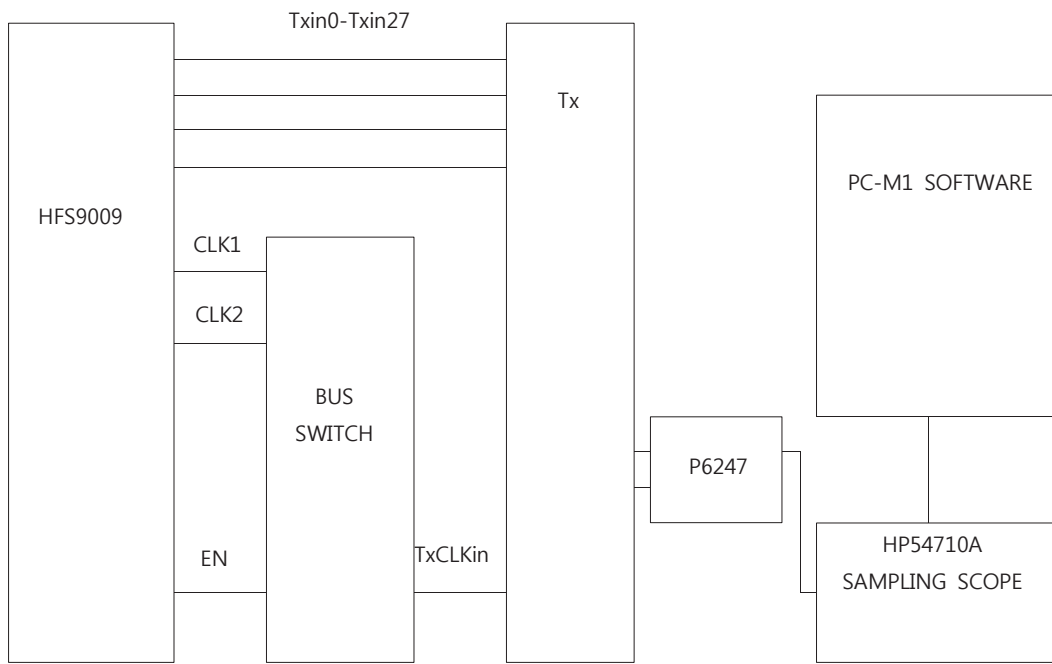


FIGURE 8.TJCC TEST SET-UP -DS90C385 SHOWN

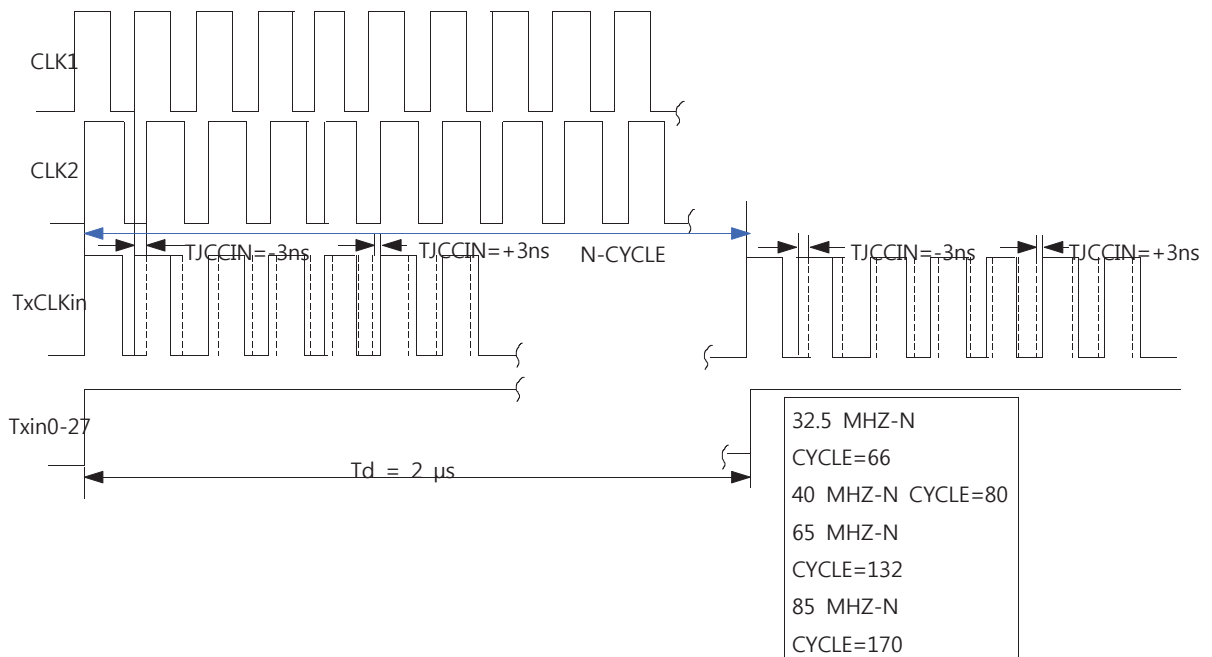
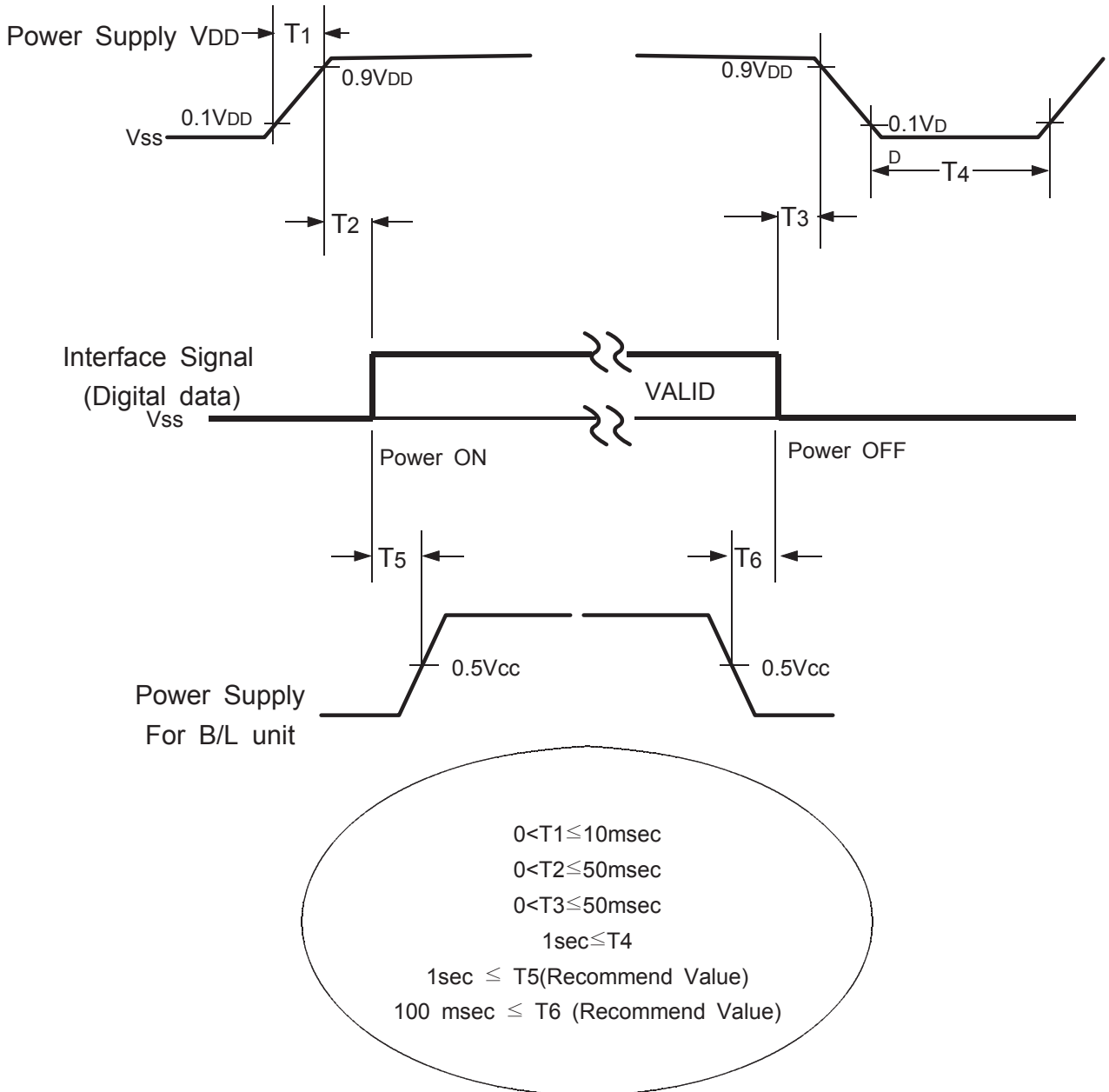


FIGURE 9.TIMING DIAGRAM OF THE INPUT CYCLE TO CYCLE CLOCK JITTER

9.5 전원 온/오프 순서(Power ON/OFF Sequence)

: Latch-up이나 LCD 모듈의 DC operation을 막기위해 전원 온/오프 순서는 아래와 같아야 함.



NOTE

- (1) 모듈에 신호를 인가하는 외부장치의 전원은 V_{DD} 와 같아야 한다.
- (2) LCD 동작 범위내에서 램프의 전압을 인가 할 것. LCD가 동작되기 전에 램프를 켜거나 램프를 끄기전에 LCD를 끌 때, 화면에 NOISE가 발생함..
- (3) V_{DD} 가 인가된 후 인터페이스 신호가 들어가지 않는 상태(Interface Signal High Impedence)로 장시간 두지 말 것.
- (4) Power Off후 재 Power On하기 전에 제품이 완전히 방전후 측정.

10. 신뢰성 평가 조건

10.1 Panel

시험항목	시험조건	시료수
HTOL	60℃	8
LTOL	-5℃	4
THB	50℃/90%RH	10
ESD	구동 접촉: ±10 kV 210 Point 1회/Point	3
	구동 비접촉: ±20 kV 210 Point 1회/Point	3
유통환경 평가 (Open cell)	낙하(20cm) → 온습도(-30~60/90%RH) → 가압 → 진동(5~200Hz 1.05Grms, 2hr) → 낙하(20cm)	1pallet
상온잔상	25℃ / Mosaic pattern(9*10) 12hrs Rolling pattern 12hrs / 3cycles	8
전자기음	전자기음 : Overall 23dB 이하	2
TSS	-20℃~65℃	4
수침평가	WHTS(2hr)/LTS(-5℃, 1hr) 4회 반복 → 수침 감압(50℃ 100mb) → THB(50℃ 90%RH) 48hr	4
ASG 저온마진	Max. 주파수 25℃~-40℃	cell별
ASG 저온마진	Min. 주파수 60℃ 고온구동 96hr	cell별
테두리 얼룩	WHTS 70℃ 90%RH 168hr storage → HTOL 50℃ 96hr Dynamic	4
신복합	-20℃~65℃, 0~90%RH, 2cycle	4
신감압	-40~50℃, 0m(0ft) ~ 13,700m(45,000ft), 72.5hr	4
Open cell 복합평가	WHTS(60℃/75%RH) : Tray낙하 → WHTS → THB(50℃/90%RH) 48hr	10
	HTS(70℃) : HTS → HTOL(50℃) 48hr	8
	LTS(-25℃) : LTS → HTOL(50℃) 48hr	8

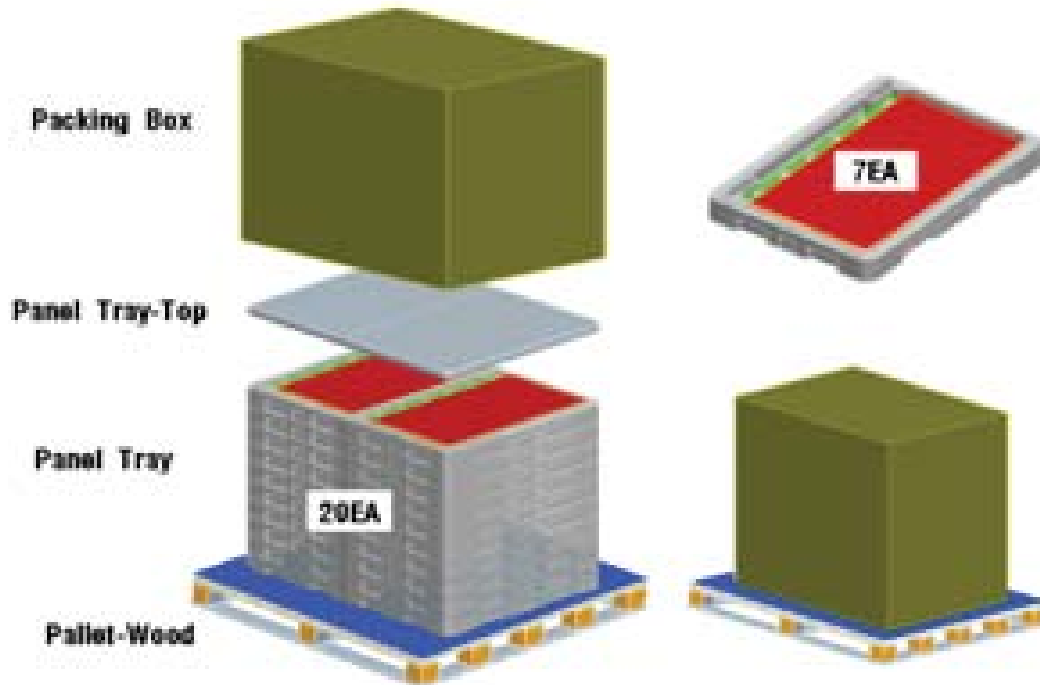
[Result Evaluation Criteria]

Under the display quality test conditions with normal operation state, these should be no change which may affect practical display functions.

- * HTOL/ LTOL : High/Low Temperature Operating Life
- * THB : Temperature Humidity Bias
- * HTS/LTS : High/Low Temperature Storage
- * WHTS : Wet High Temperature Storage

11. PACKING

11.1 Pallet 구성



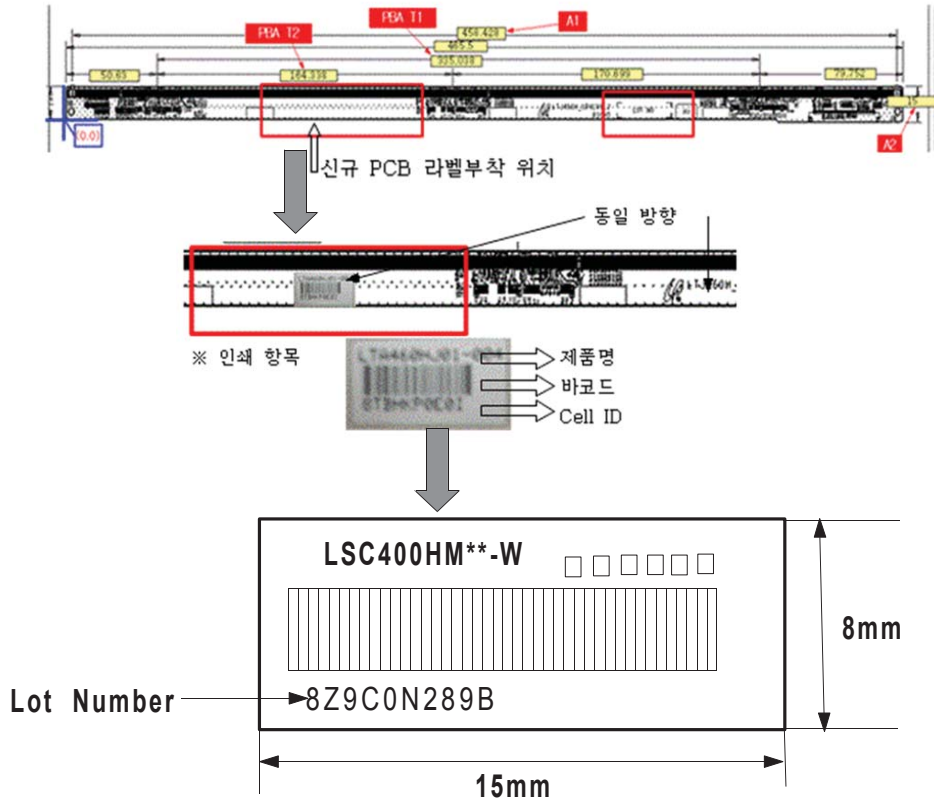
11.2 Packing Specification

ITEM	Specification	Remark
Total Pallet Size	W×V×Height [mm]	1475 X 1150 X 1150
Tray	7 [Panel/Tray]	- . Panel : 13.3kg (1.9 kg/Panel, 7ea/Tray) - . Middle Sheet : 0.48kg (0.06 kg/ea, 8ea/Tray) - . Panel Tray : 1.6kg (EPS)
Pallet	20 [Tray/Pallet]	- . Pallet 28 kg (Wood Pallet) - . 20ea(10 tray X 2 array) + 2ea(Top tray)
Total Weight	340.6 [kg]	- . Packing Box : 3kg (Paper)

12. MARKING & OTHERS

아래에 나오는 nameplate는 각 제품의 지정된 위치에 부착된다.

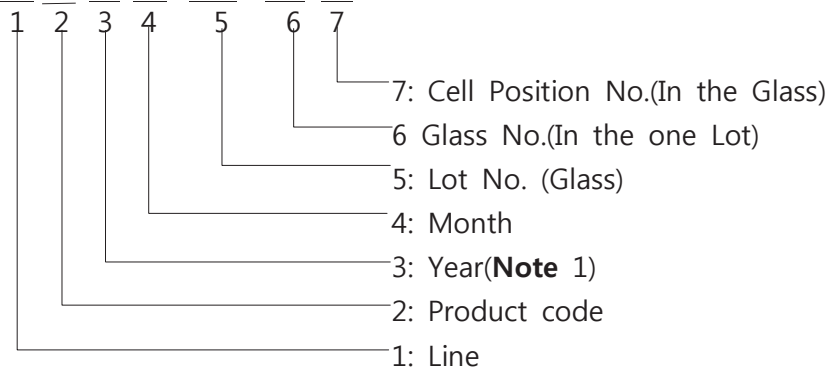
12.1 Cell label



(1) Parts number : LSC400HM**-W

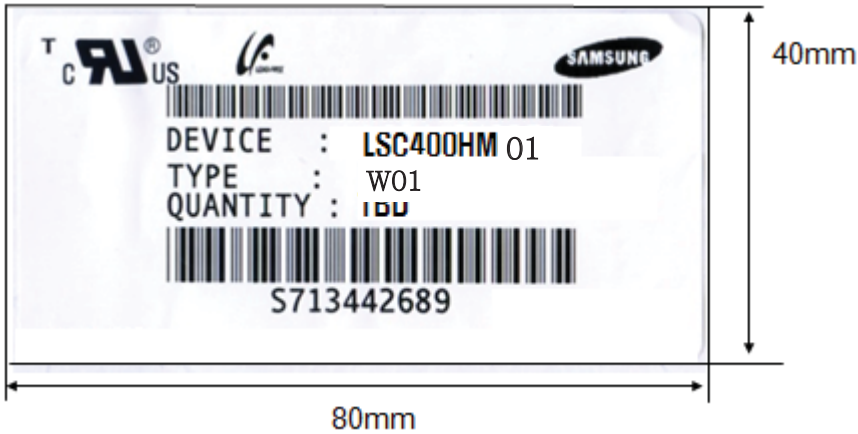
(2) Revision : One letter

(3) Lot number : X X X X XXX XX X

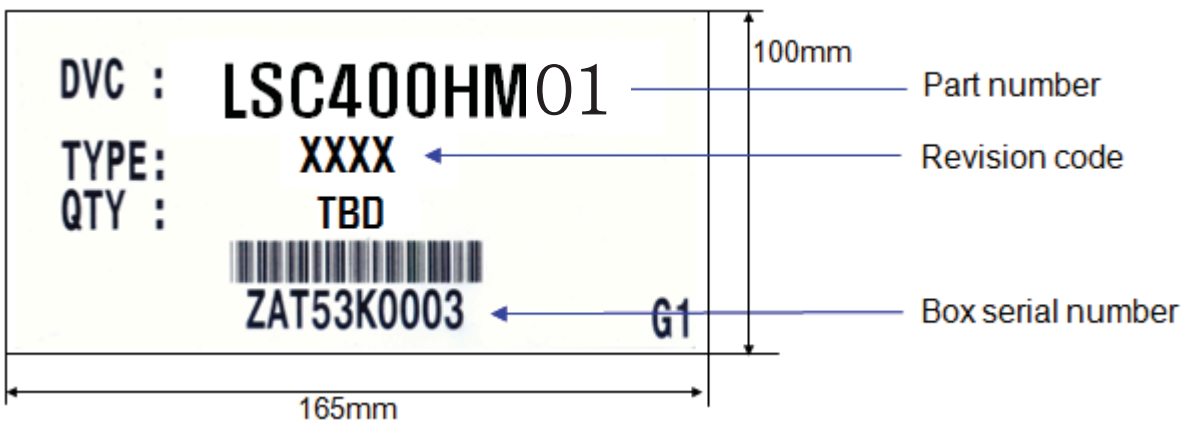


12.2 Tray Label

(1) Nameplate indication



(2) Packing box attach



13. General Precautions

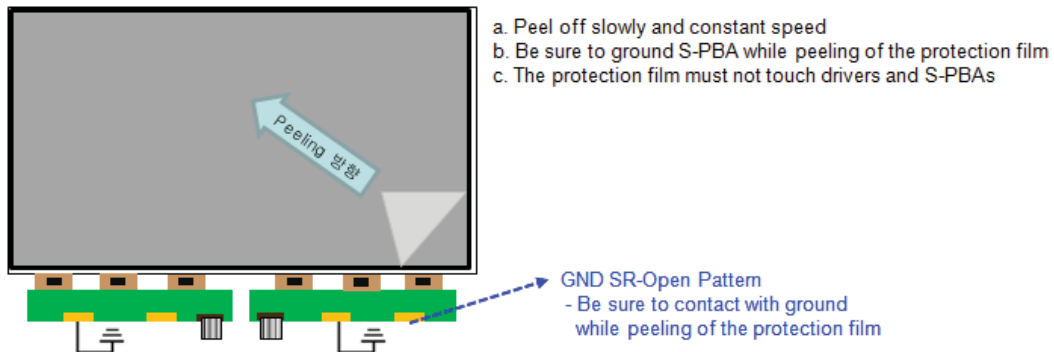
13.1 Handling

- (a) When the Panel Kit is assembled, it should be attached to SET system firmly using all mounting holes. Be careful not to give mechanical Stress. For example, be careful not to twist panel before and after assembly.
- (b) Be careful of Design of Set, to avoid any extra Mechanical Stress to Panel when it is assembled.
- (c) Refrain from strong mechanical shock and / or any force to the Panel Kit. These may cause abnormal operation or damage to Panel Kit.
- (d) Refrain from any Stress to the Source PBA and Drive IC during Handling or Installing to SET, otherwise it may cause Damage or malfunction of Panel Kit.
- (e) Refrain the SET Design which causes Constant Back Side Stress on Panel Kit, otherwise it may cause Abnormal Display, Functional Failure and etc.
- (f) Note that polarizers could be damaged easily.
Do not press or scratch the bare surface with the Material which is harder than a HB pencil lead.
- (g) Wipe off water droplets or oil immediately. If you leave the droplets for a long time, staining or discoloration may occur.
- (h) If the surface of the polarizer is dirty, clean it using absorbent cotton or soft cloth.
- (i) Desirable cleaners are water or IPA(Isopropyl Alcohol).
Do not use Ketone type materials(ex. Acetone), Ethyl alcohol, Toluene, Ethyl acid or Methyl chloride. It might permanent damage to the polarizer due to chemical reaction.
- (j) If the liquid crystal material leaks from the panel, it should be kept away from the eyes or mouth . In case of contact with hands, legs or clothes, it must be washed away with soap thoroughly and visit the doctor for medical examination.
- (k) Protect the Panel Kit from static Electricity, otherwise the Circuit IC could be damaged.
- Reference : Process control Standard of SEC

No.	Item	Control standard
1	Ionizer	All Equipment should be controlled under 150V.(Typ. 100V)
2	Carrying Roller	Carrying Roller should be controlled under 200V.
3	Equipment Ground Resistance	All Equipment Ground Should be less than 1ohm.

- (l) Use finger-stalls with soft gloves in order to keep display clean during the incoming inspection and assembly process.
- (m) Do not disassemble the BLU kit.

- (n) Do not pull or fold Source Drive IC which Connecting Source PBA and Panel or Gate Drive IC.
- (o) Do not Pull, fold or bend Source Drive IC and IC in any Process.
 - Source Drive IC could be bent at Panel Kit + SET Assembly Process only.(1 time)
- (p) Do not adjust the variable resistor located on the Panel Kit except adjusting Flicker.
- (q) Pins of Interface connector should not be touched directly with bare hands.
- (r) Precautions of peeling off the protection film.



- Make sure to peel off slowly (Recommended more than 8 sec)and constant speed.
 - Peeling direction shows Fig.
 - Make sure to ground worker with adequate methods such as antistatic wrist band.
 - Make sure to ground Source PBA while peeling of the protection film.*
 - Ionized air should be blown over during peeling action.
 - The Protection film should not touch Source Drive IC.
 - If adhesive remains on the polarizer after the protection film peeled off, please remove with isopropyl-alcohol.
- (s) Protection film for polarizer on the Panel Kit should be slowly peeled off just before use so that the electrostatic charge can be minimized.
 - (t) Panel Kit has high frequency circuits. Sufficient suppression to EMI should be done by Set Manufacturers.
 - (u) The set of which the panel is assembled shall not be twisted. If the product is twisted, it may cause the damage on the product.
 - (v) The Source Drive IC chip must be contacted with the top chassis to release the heat in the Source Drive IC.

13.2 Storage

ITEM	Unit	Min.	Max.				
Storage Temperature	(°C)	5	40				
Storage Humidity	(%rH)	35	75				
Storage life	6 months						
Storage Condition	(1) The storage room should provide good ventilation and temperature control. (2) Products should not be placed on the floor, but on the Pallet away from a wall. (3) Prevent products from direct sunlight, moisture nor water; Be cautious of a build up of condensation. (4) Avoid other hazardous environment while storing goods. (5) If products delivered or kept in conditions of the recommended temperature or humidity, we recommend you leave them at a circumstances which is shown in the following table.						
	출하후 개월수	1 month	2 months	3 months	4 months	5 months	6 months
	Baking Condition	No Baking		50°C, 10% 24Hr	50°C, 10%, 48Hr		

13.3 Operation

- (1) Do not connect, disconnect the module in the "Power On" condition.
- (2) Power supply should always be turned on/off by the item 9.5 "Power on/off sequence"
- (3) Module has high frequency circuits. Sufficient suppression to the electromagnetic interference shall be done by system manufacturers. Grounding and shielding methods may be important to minimize the interference.
- (4) The cable between the back-light connector and its inverter power supply shall be a minimized length and be connected directly. The longer cable between the back-light and the inverter may cause lower luminance of LED and may require higher startup voltage(Vs).

13.4 Operation Condition Guide

- (1) The LCD product should be operated under normal conditions.
Normal condition is defined as below;
 - Temperature : 20±15°C
 - Humidity : 55±20%

- Display pattern : continually changing pattern (Not stationary)

- (2) If the product will be used in extreme conditions such as high temperature, humidity, display patterns or operation time etc., It is strongly recommended to contact SEC for Application engineering advice. Otherwise, its reliability and function may not be guaranteed. Extreme conditions are commonly found at Airports, Transit Stations, Banks, Stock market, and Controlling systems.

13.5 Others

- (1) Ultra-violet ray filter is necessary for outdoor operation.
- (2) Avoid condensation of water. It may result in improper operation or disconnection of electrode.
- (3) Do not exceed the absolute maximum rating value. (the supply voltage variation, input voltage variation, variation in part contents and environmental temperature, and so on) Otherwise the module may be damaged.
- (4) If the module displays the same pattern continuously for a long period of time, it can be the situation when the image "Sticks" to the screen.
- (5) This module has its circuitry PCB's on the rear side and should be handled carefully in order not to be stressed.

14. 환경 유해물질 관리 기준

14.1 금지물질

아래에 제시하는 물질에 대해서는 부품 및 디바이스 등에 함유되는 일이 있어서는 안된다.

표 14.1 법률에 의해 사용이 금지되어 있는 물질

물질명
Cadmium and cadmium 화합물 ¹
PBB(polybromobiphenyl)군, PBDE (polybrominated biphenyl ethers)군 ²
Polychlorinated biphenyl (PCB) 류
Polychlorinated naphthalene 류
Organic tin 화합물 (Tributhyl tin category/Triphenyl tin category)
Asbestos
Azo화합물 (용해 후 표 8.3에 나와 있는 Amine을 생성하는 화합물. 이 화합물은 인체와 지속적으로 접촉하며 생산되는 제품의 부품으로는 사용 금지되어 있다.)

*1: 포장재료에 대해서는 수은, 카드뮴, 6가 크롬, 납의 중금속 불순물 허용농도가 합계 100ppm 미만이 되도록 한다.

*2: 직접 물질을 금지하는 법은 없으나, 독일의 다이옥신 규제를 따르기 위해 금지 물질로 분류된다. 카드뮴의 경우, 아래에 제시하는 부위에 대한 사용에 대해서는 현재 금지되어 있지 않으나, 향후 규제될 것이므로 적극적으로 전폐를 목표로 한다.

표14.2 규제할 카드뮴 및 기타 화합물의 용도와 전폐 목표

용도	전폐 목표
(a) DC 모터, 스위치, 릴레이, 브레이커 등 신뢰성을 요구하는 모든 기기의 전기 접점 (b) 형광표시장치에 함유되는 형광체 (c) Ni-Cd 전지 (신규로 출시하는 것, 다망 이미 발매 중인 Ni-Cd 전지는 2007년 3월을 전폐목표로 한다.	2003년 3월말
(d) 유리 및 유리도료의 안료, 염료	2004년 3월말

아조 화합물 중에서 분해에 의해 표14.3에 제시하는 아민이 발생할 용도의 사용을 금지한다.

표14.3 아조화합물의 분해에 의해 발생해서는 안되는 아민 일람

CAS No	아민
92-67-1	4-amonodiphenyl
92-87-5	Benzidine
95-69-2	4-chloro-o-toluidine
91-59-8	2-naphthylamine
97-56-3	o-aminoazotoluene
99-55-8	2-amino-4-nitrotoluene
106-47-8	p-chloroaniline
615-05-4	2,4-diaminoanisole
101-77-9	4,4'-diaminodiphenylmethane
91-94-1	3,3'-dichlorobenzidine
119-90-4	3,3'-dimethoxybenzidine
119-93-7	3,3'-dimethylbenzidine
838-88-0	3,3'dimethyl-4,4'-diaminodiphenylmethane
120-71-8	p-cresidine
101-14-4	4,4'-methylene-bis-(2-chloro aniline)
101-80-4	4,4'-oxideaniline
139-65-1	4,4'-thiodianiline
95-53-4	o-toluidine
95-80-7	2,4-tolluylenediamine
137-7-7	2,4,5-trimenthylaniline
90-04-0	o-anisidine

14.2 완전폐기 물질

다음의 물질은 표 14.5에 표기된 용도를 제외하고 어느 부품이나 장치에 함유되어서는 안 된다.

표 14.4 완전폐기물질

물질명
납 및 납 화합물
수은 및 수은 화합물
6가 크롬 화합물
PVC 및 PVC 혼합물
PBB, PBDE 이외의 유기브롬화합물
염소화 파라핀류 (염소계 난연제/가소제)

아래의 경우에 대해서는 현상황에서 대체기술이 미확립 상태이고, 부품의 기능 및 신뢰성을 확보하는데 있어서 해당부품의 계속사용이 부득이하다고 판단하여 표8.5의 완전폐기 기일까지 완전 폐기하는 것으로 한다.

다만, 대체재료의 기술확립이 가능해진 경우는 기한을 기다리지 않고 사용금지로 한다.

또한 대체기술이 없어 법규제의 규정에 의해 제외 및 예외가 인정된 경우는 기한을 재조정한다.

표 14.5 완전폐기물질에 대한 주요 용도 및 완전폐기 목표

물질명	용도	전폐목표
납 / 그 화합물	사용금지 : 아래 (a),(b),(c),(d),(e),(f),(g),(h),(i),(j),(k),(l),(m) 및 (n) 이외의 용도. 예컨대 포장재, 프린트배선판 등에 대한 안료 용도	
	(a) 액세서리를 포함한 제품의 외장부 (인체에 쉽게 접촉되는 부위)에의 사용 (플라스틱에 사용되는 안정제, 안료 등) (b) 선재피복에 사용하는 안정제, 안료 등 (c) 액세서리를 포함한 제품의 외장부에 사용하는 각종 합금 및 그 도장면 (d) 신규로 출시하는 소형 싯납전지	2003년 3월말
	(e) 부품의 외부전극·리드단자 등의 납땜처리 (전기부품/반도체 디바이스/히트싱크 등) (f) 부품·디바이스의 내부접속용 납땜, 고용점 납땜 (Pb 85wt% 미만의 주석/납땜) (g) 브라운관 이외의 광학유리에 함유된 납 (h) 납을 함유하는 각종 합금 (i) 도료, 잉크, 저항기의 저항체 (j) 불순물로서 납을 함유하는 각종 합금 다만, 아래 합금은 첨가물로서의 납의 함유가 허용된다. 합금 종류 납 함유 허용농도 강재 0.3wt% 미만 알루미늄합금 0.4wt% 미만 동합금 4wt% 미만	2004년 3월말
	(k) 2003년 3월말 이전에 출시한 소형 싯납전지	

14.3 플라스틱 중의 카드뮴 허용 농도

선재피복 등의 플라스틱에 카드뮴 및 그 화합물을 일절 참가해서는 안된다.

측정기의 검출한계, 오차, 자연계에 존재하는 불순물의 혼입을 고려하여 5ppm 미만으로 한다. 이 때의 전처리방법, 측정방법에 대해서는 BS EN 1122 「Plastics - Determination of cadmium - Wet decomposition method」에 준한다.

측정은 유도결합 플라즈마 발광 분광 분석법(ICP-AES)을 표준으로 한다.

	(l) 부품·디바이스의 내부접속용 고융점납땀 (Pb 85wt% 이상 함유하는 주석/납땀) (m) 세라믹 압전소자에 함유된 납화합물 (n) 브라운관, 전자부품, 형광관에 사용되는 유리	예외
수은 / 그 화합물	사용금지 : 아래 (a),(b),(c) 및 (d) 이외의 용도. 예컨대 포장재, 수은전지, 시간계 등	
	(a) 소형형광등 : 1개당 수은함유량이 5mg 이상인 것.	2004년 3월말
	(b) 산화은전지, 알칼리·망간 버튼전지, 공기전지	
	(c) 소형형광등 : 1개당 수은함유량이 5mg 미만인 것. (d) 소형형광등, 직관형광등 이외의 램프	예외
6가 크롬 화합물	사용금지 : 아래 이외의 용도 도금, 안료 등의 성분으로 함유되는 것	2004년 3월말
폴리염화비닐 / 그 혼합물	폴리염화비닐을 가지는 모든 부품·디바이스 주요 용도로써 기내배선용 비닐전선, 전원코드, 외부접속코드, 기타 코드류를 가지는 유니트 등. 다만, 안전규격의 규제를 받는 것에 대해서는 소니측이 확인한 후에 계속하여 사용하는 경우가 있다.	2004년 3월말
PBB/PBDE이외의 유기취소화합물	프린트배선판, 외광 등 대형부품. (안전성이 확인된 대체 난연제를 적용할 수 없는 경우, 사용을 인정한다)	2003년 3월말
	상기 이외의 부위 (안전성이 확인된 대체 난연제를 적용할 수 없는 경우, 사용을 인정한다)	2004년 3월말

14.4 방출을 규제하는 물질

표15.6 방출을 규제하는 물질

물질명	방출 농도	주요 용도
포름알데히드	대기 중 농도 10m ³ 이상의 기밀시험실에서 0.1ppm 이하	모든 목재 재료 및 목재품

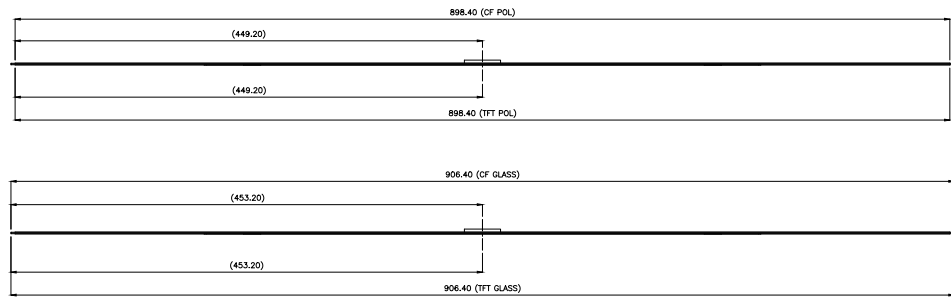
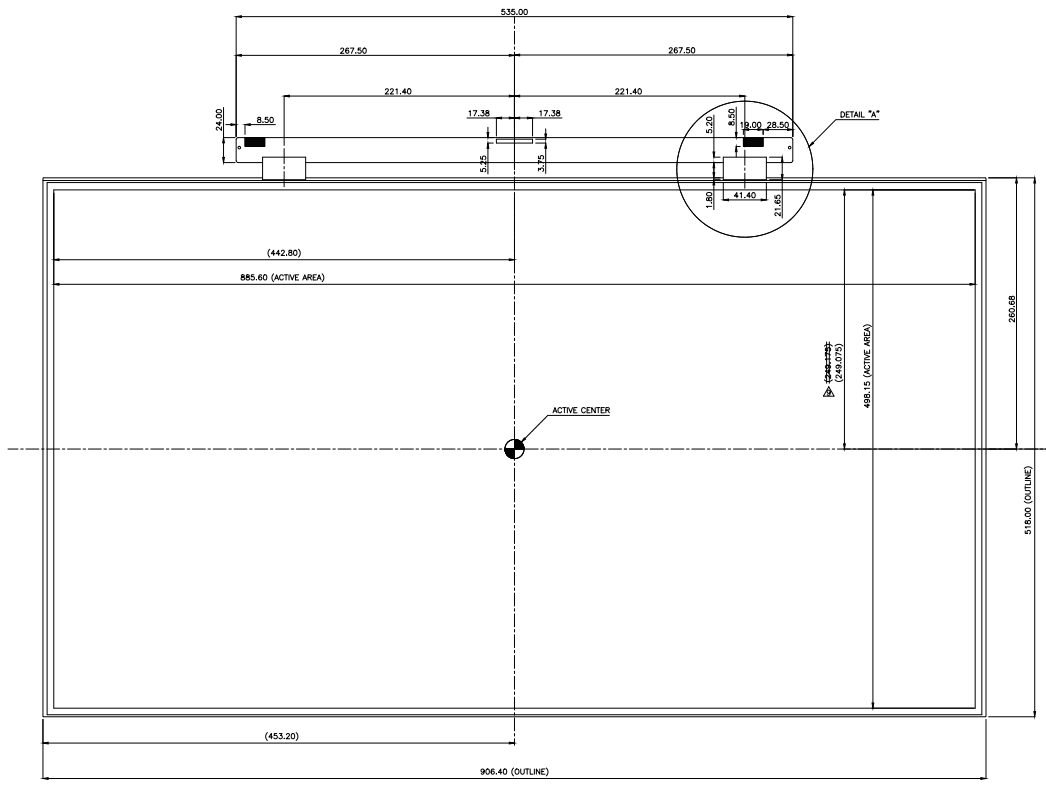
14.5 부품, 디바이스 제조시에 사용해서는 안되는 물질

표15.7 부품, 디바이스 제조시에 사용해서는 안되는 물질

물질명
[오존층을 파괴하는 물질] CFC(chlorofluorocarbon),HCFC(hydrochlorofluorocarbon),methyl bromide, 1,1,1-trichloroethane, carbon tetrachloride
[Chlorine 유기 용매] 1,1,2-trichloroethane, 1,2-dichloroethane, 1,1-dichloroethylene, 1,2-dichloroethylene,methylene chloride, chloroform, trichloroethylene, tetrachloroethylene

NO	PART NAME	CODE NO	SPECIFICATION	QTY	SPEC NO	REMARK
1	OUTLINE DIMENSION	-	LSC400HM01	1		

<DRAWING CHANGES>
 ▲ (2011.11.03) Modify the wrong Dimension : 249.175-->249.075



- * NOTE**
 1. PANEL : TFT-LCD
 2. REFER TO "PRODUCT INFORMATION" OR "PRODUCT SPECIFICATION" DOCUMENTS
- TOLERANCE
 - FPC CABLE INFORMATION
 - CONNECTOR INFORMATION
 - HEIGHT OF CIRCUIT COMPONENTS

REVISION

GENERAL TOLERANCE				REV.	DATE	DESCRIPTION OF REVISION				REASON	CHK'D BY		
STEP	LEVEL 1/	LEVEL 2/	LEVEL 3/	UNIT	mm	DRAWN BY	DES'D BY	CHK'D BY	APP'D BY	MODEL NAME	LSC400HM01		
0 < X <= 4	±0.05	±0.1	±0.2	SCALE	1:1	JJ.PARK				PART/SHEET NAME	OUTLINE DIMENSION		
4 < X <= 16	±0.08	±0.15	±0.3	TOLERANCE						SPEC. NO.			
16 < X <= 64	±0.12	±0.25	±0.5	SAMSUNG ELECTRONICS								SHEET	1/1
64 < X <= 256	±0.25	±0.4	±0.8									VER.	002