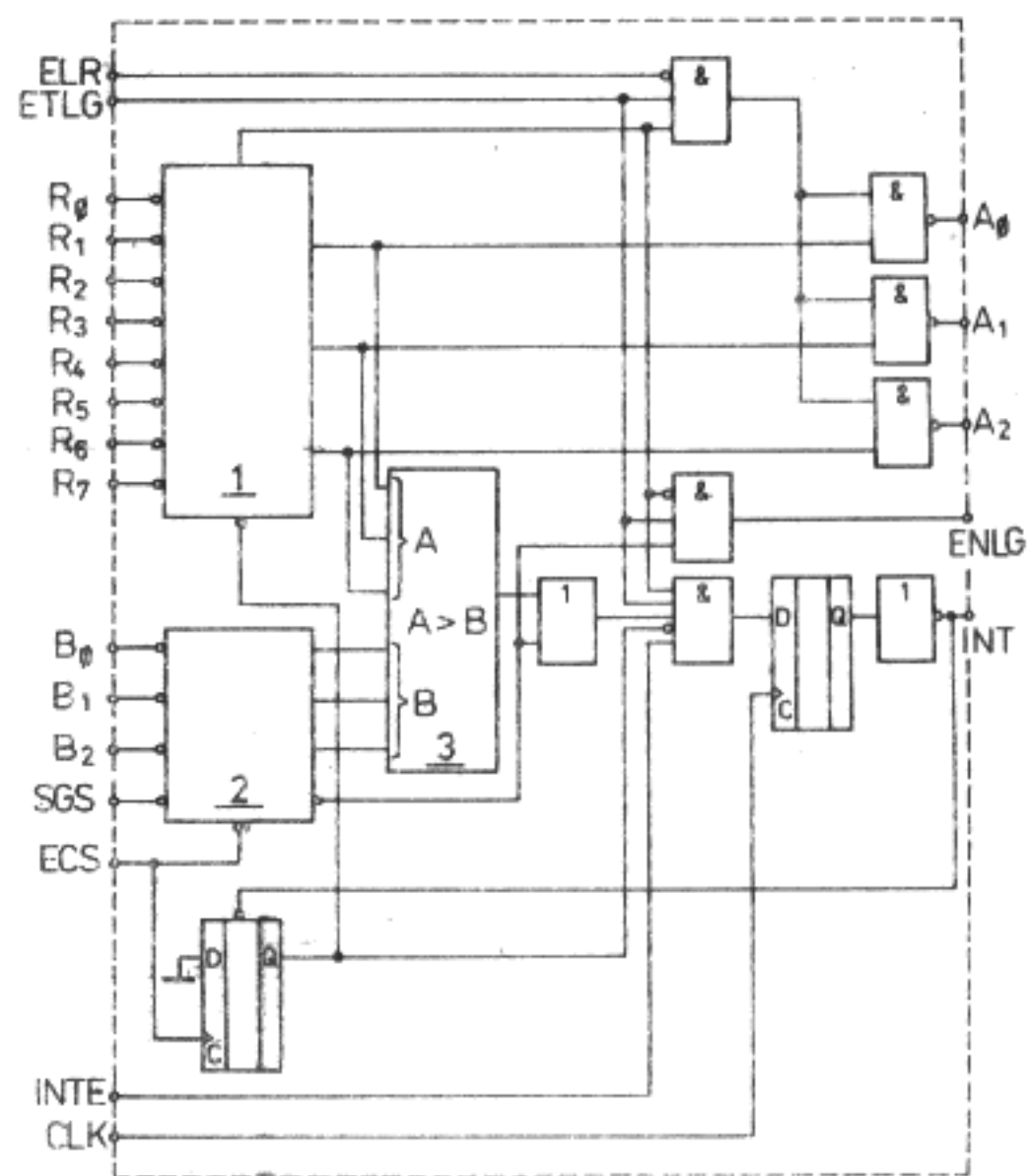


CHARAKTERISTICKÉ ÚDAJE: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Vstupní napětí – úroveň H $U_{CC} = 5,0\text{ V}$	U_{IH}	$\geq 2,0$	V
Vstupní napětí – úroveň L $U_{CC} = 5,0\text{ V}$	U_{IL}	$\leq 0,8$	V
Výstupní napětí – úroveň H výstup ENLG $U_{CC} = 4,75\text{ V}, I_{OH} = -1\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	U_{OH}	$\geq 2,4$	V
Výstupní napětí – úroveň L všechny výstupy $U_{CC} = 4,75\text{ V}, I_{OL} = 15\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	U_{OL}	$\leq 0,45$	V
Vstupní proud – úroveň H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}$ vstup ETLG	I_{IH}	≤ 80	μA
ostatní vstupy	I_{IH}	≤ 40	μA
Vstupní proud – úroveň L $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}$ vstup ETLG	$-I_{IL}$	$\leq 0,5$	mA
ostatní vstupy	$-I_{IL}$	$\leq 0,25$	mA
Výstupní proud zkratový výstup ENLG $U_{CC} = 5,0\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	$-I_{OS}$	20 ... 55	mA
Odběr ze zdroje $U_{CC} = 5,25\text{ V}$	I_{CC}	≤ 130	mA
Výstupní svodový proud výstupy INT, $A_0 \dots A_2$ $U_{CC} = 5,25\text{ V}, U_O = 5,25\text{ V}$	I_O	≤ 100	μA

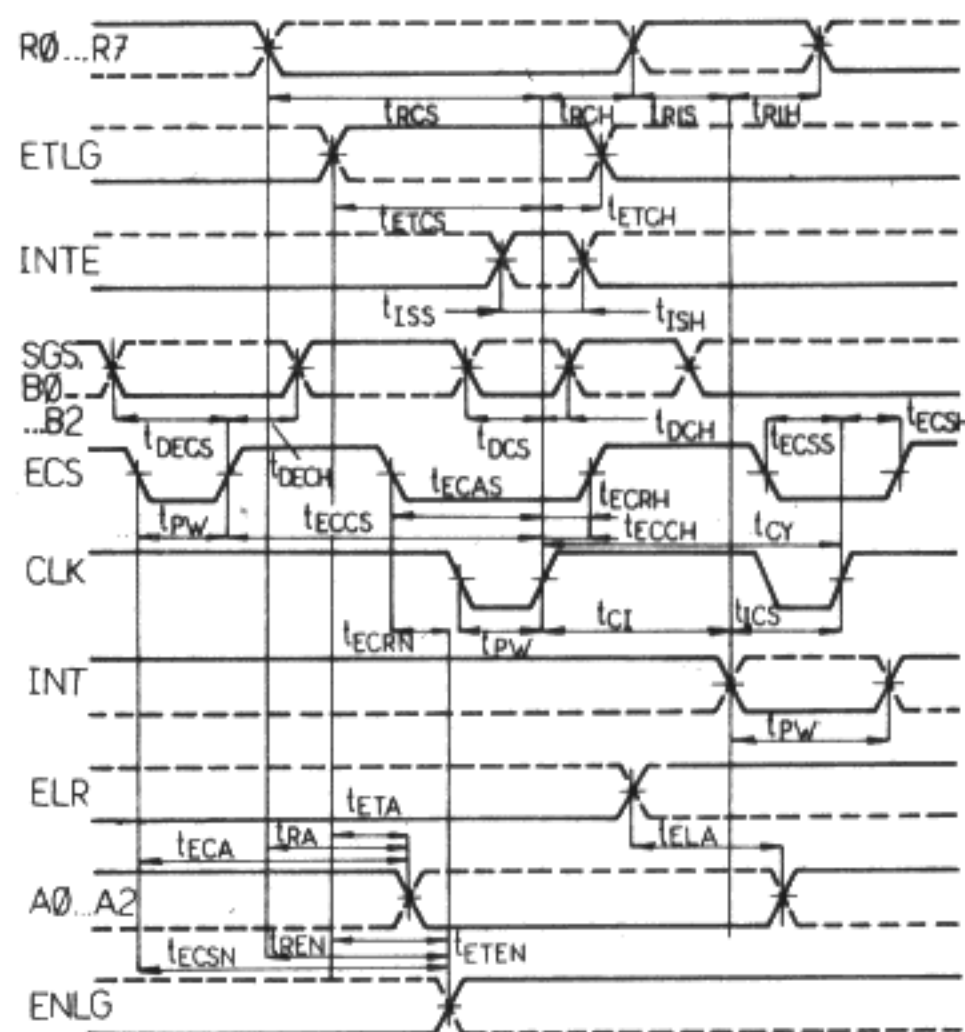
DYNAMICKÉ HODNOTY: $\vartheta_a = +25^\circ\text{C}, U_{CC} = 5,0\text{ V}$

Doba cyklu signálu na vstupu CLK	t_{CY}	≤ 80	ns
Šířka impulsu na vstupech CLK, ECS a výstupu INT	t_{PW}	≤ 25	ns
Doba předstihu na vstupu INTE vůči CLK	t_{ISS}	≤ 16	ns
Doba přesahu na vstupu INTE vůči CLK	t_{ISH}	≤ 20	ns
Doba předstihu na vstupu ETLG vůči CLK	t_{ETCS}	≤ 25	ns
Doba přesahu na vstupu ETLG vůči CLK	t_{ETCH}	≤ 20	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECCS}	≤ 80	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECCH}	≤ 0	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECSR}	≤ 110	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECRH}	≤ 0	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECSS}	≤ 75	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECSH}	≤ 0	ns
Doba předstihu na vstupech SGS, $B_0 \dots B_2$ vůči CLK	t_{DCS}	≤ 70	ns
Doba přesahu na vstupech SGS, $B_0 \dots B_2$ vůči CLK	t_{DCH}	≤ 0	ns
Doba předstihu na vstupech $R_0 \dots R_7$ vůči CLK	t_{RCS}	≤ 90	ns
Doba přesahu na vstupech $R_0 \dots R_7$ vůči CLK	t_{RCH}	≤ 0	ns
Doba předstihu na výstupu INT vůči CLK	t_{ICS}	≤ 55	ns
Doba zpoždění signálu od CLK na výstup INT	t_{CI}	≤ 25	ns
Doba předstihu na vstupech $R_0 \dots R_7$ vůči INT	t_{RIS}	≤ 10	ns
Doba přesahu na vstupech $R_0 \dots R_7$ vůči INT	t_{RIH}	≤ 35	ns
Doba zpoždění od $R_0 \dots R_7$ na $A_0 \dots A_2$	t_{RA}	≤ 100	ns
Doba zpoždění od ELR na $A_0 \dots A_2$	t_{ELA}	≤ 55	ns
Doba zpoždění od ECS na $A_0 \dots A_2$	t_{ECA}	≤ 120	ns
Doba zpoždění od ETLG na $A_0 \dots A_2$	t_{ETA}	≤ 70	ns
Doba předstihu na vstupech SGS, $B_0 \dots B_2$ vůči ECS	t_{DECS}	≤ 15	ns
Doba přesahu na vstupech SGS, $B_0 \dots B_2$ vůči ECS	t_{DECH}	≤ 15	ns
Doba zpoždění od $R_0 \dots R_7$ na ENLG	t_{REN}	≤ 70	ns
Doba zpoždění od ETLG na ENLG	t_{TEN}	≤ 25	ns
Doba zpoždění od ECS na ENLG	t_{ECRN}	≤ 90	ns
Doba zpoždění od ECS na ENLG	t_{ECSN}	≤ 55	ns



OZNAČENÍ VÝVODŮ:

$R_0 \dots R_7$	vstupy pro signály požadující přerušení (R_7 nejvyšší priorita)
$B_0 \dots B_2$	vstupy registru pro stávající stav
SGS	vstup výběru registru stavu
ECS	otevřicí vstup registru stavu
INTE	vstup vybavení přerušení
CLK	hodinový vstup
ELR	vstup vybavení čtení kódu úrovně přicházejícího přerušení
ETLG	vstup vybavení vlastní skupiny
$A_0 \dots A_2$	výstupy kódu úrovně přerušení
INT	výstup potvrzení přerušení
ENLG	výstup vybavení následující skupiny
1	střadač požadavků na přerušení a kódér priority
2	registr stávajícího stavu
3	komparátor priority



PRO BIPOLÁRNÍ MIKROPROCESOROVÝ SYSTÉM MH3000, STEJNĚ JAKO PRO UNIPOLÁRNÍ MIKROPROCESOROVÝ SYSTÉM 8080 JSOU URČENY PERIFERNÍ INTEGROVANÉ OBVODY VYROBENÉ TECHNOLOGIÍ BIPOLÁRNÍCH INTEGROVANÝCH OBVODŮ SCHOTTKY TTL.

Typ	Druh	Pouzro
MH3205	Rychlý binární dekodér 1 z osmi — vyznačuje se malým zpožděním přenosu signálu (max. 18 ns) a nízkým vstupním zatěžovacím proudem (max. 0,25 mA)	IO-14
MH3212	Střadač 8 bitů s třístavovými výstupními hradly, s logikou pro výběr obvodu a řízení funkčního režimu, s pomocným klopným obvodem pro přerušení centrální procesorové jednotky, kde vykonává funkci budičů, střadačů a multiplexerů.	IO-15
MH3214	Řídicí obvod pro osm úrovní prioritního přerušení.	IO-15
MH3216	Rychlý 4bitový paralelní obousměrný neinvertující budič / přijímač sběrnice s třístavovými výstupy, které umožňují oddělení a buzení vnějšího sběrnice mikroprocesorového systému.	IO-14
MH3226	Rychlý 4bitový paralelní obousměrný invertující budič / přijímač sběrnice s třístavovými výstupy, které umožňují oddělení a buzení vnějšího sběrnice mikroprocesorového systému.	IO-14

Obvody jsou plně slučitelné s logickými obvody TTL a DTL. Použitá technologie výroby Schottky TTL. Vstupy jsou vybaveny ochrannými diodami.

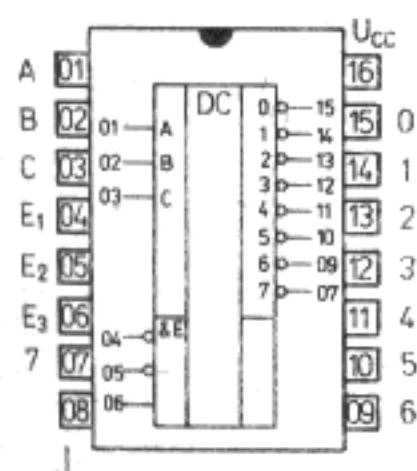
MEZNÍ HODNOTY:		min.	max.	
Napájecí napětí ¹⁾	U_{CC}	-0,5	+7	V
Napětí všech výstupů ¹⁾	U_O	-0,5	+7	V
Vstupní napětí ¹⁾	U_I	-1,0	+5,5	V
Výstupní proud	I_O		125	mA
MH3212, MH3214	I_O		100	mA
Rozsah pracovních teplot ²⁾	ϑ_a	0	+70	°C
Rozsah skladovacích teplot	ϑ_{stg}	-55	+155	°C

MH3205
A, B, C adresovací vstupy
 E_1, E_2, E_3 uvolňovací vstupy
0...7 výstupy

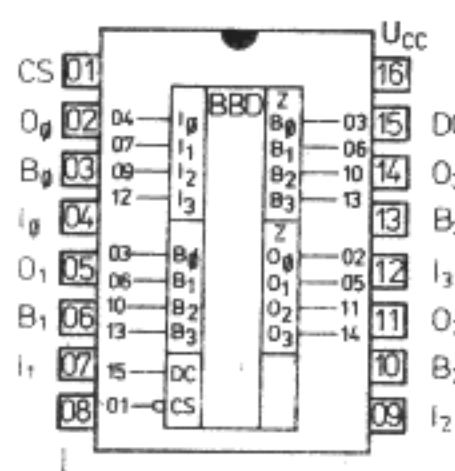
MH3216, MH3226
 $I_0 \dots I_3$ datové vstupy
 $O_0 \dots O_3$ datové výstupy
 $B_0 \dots B_3$ obousměrné sběrnice dat
DC řízení směru toku dat
CS výběr obvodu

1. Napětí se rozumí vzhledem ke společnému bodu - vývodu \perp .
2. Provoz mimo daný rozsah teplot okolí se nezaručuje.

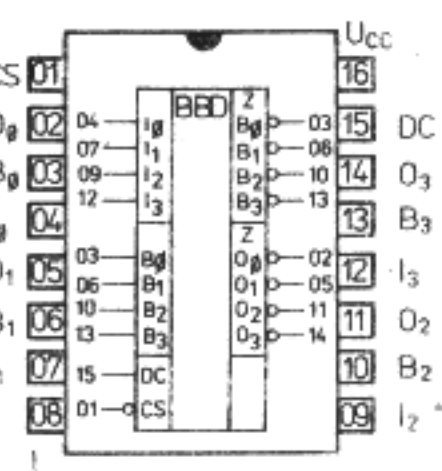
MH3212
 $D_1 \dots D_8$ datové vstupy
 $Q_1 \dots Q_8$ datové výstupy
 S_1, S_2 vstupy pro výběr obvodu
MD vstup pro funkční režim
R nulovací vstup
IT přerušovací výstup
SB vybavovací vstup



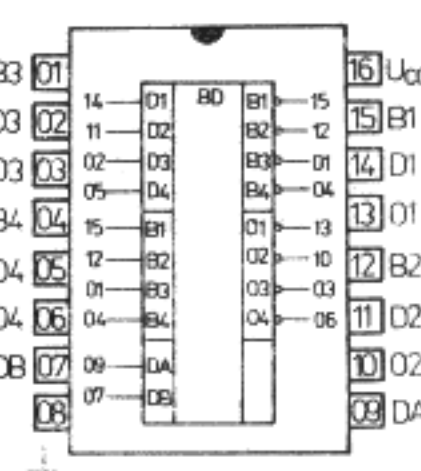
MH3205



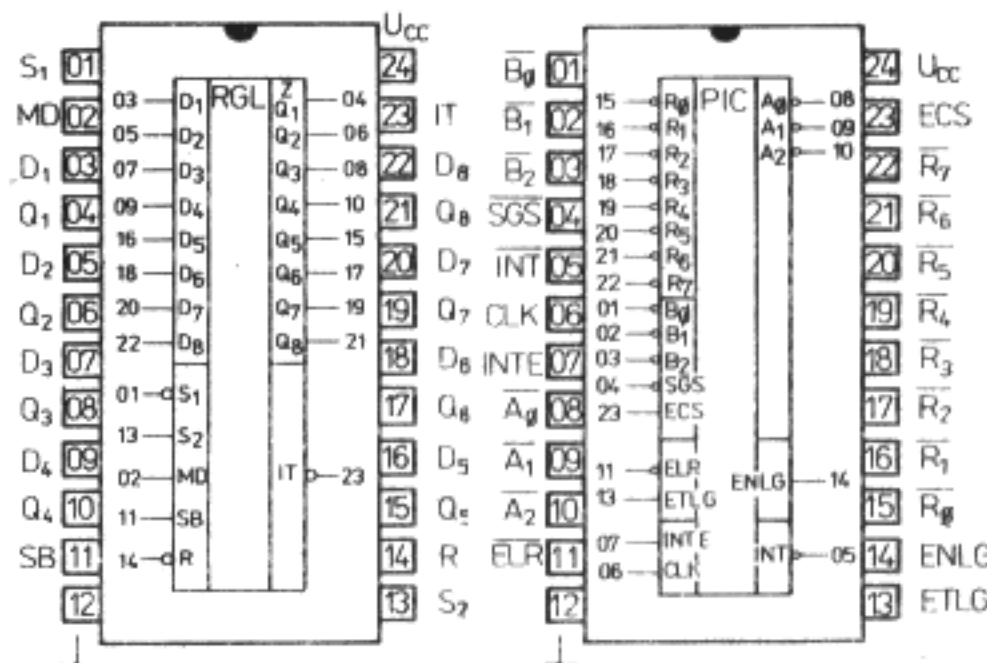
MH3216



MH3226



MH8641



MH3212

MH3214

PRO BIPOLÁRNÍ MIKROPROCESOROVÝ SYSTÉM MH3000, STEJNĚ JAKO PRO UNIPOLÁRNÍ MIKROPROCESOROVÝ SYSTÉM 8080 JSOU URČENY PERIFERNÍ INTEGROVANÉ OBVODY VYROBENÉ TECHNOLOGIÍ BIPOLÁRNÍCH INTEGROVANÝCH OBVODŮ SCHOTTKY TTL.

Typ	Druh	Pouzro
MH3205	Rychlý binární dekodér 1 z osmi — vyznačuje se malým zpožděním přenosu signálu (max. 18 ns) a nízkým vstupním zatěžovacím proudem (max. 0,25 mA)	IO-14
MH3212	Střadač 8 bitů s třístavovými výstupními hradly, s logikou pro výběr obvodu a řízení funkčního režimu, s pomocným klopným obvodem pro přerušení centrální procesorové jednotky, kde vykonává funkci budičů, střadačů a multiplexerů.	IO-15
MH3214	Řídící obvod pro osm úrovní prioritního přerušení.	IO-15
MH3216	Rychlý 4bitový paralelní obousměrný neinvertující budič / přijímač sběrnice s třístavovými výstupy, které umožňují oddělení a buzení vnějšího sběrnice mikroprocesorového systému.	IO-14
MH3226	Rychlý 4bitový paralelní obousměrný invertující budič / přijímač sběrnice s třístavovými výstupy, které umožňují oddělení a buzení vnějšího sběrnice mikroprocesorového systému.	IO-14

Obvody jsou plně slučitelné s logickými obvody TTL a DTL. Použitá technologie výroby Schottky TTL. Vstupy jsou vybaveny ochrannými diodami.

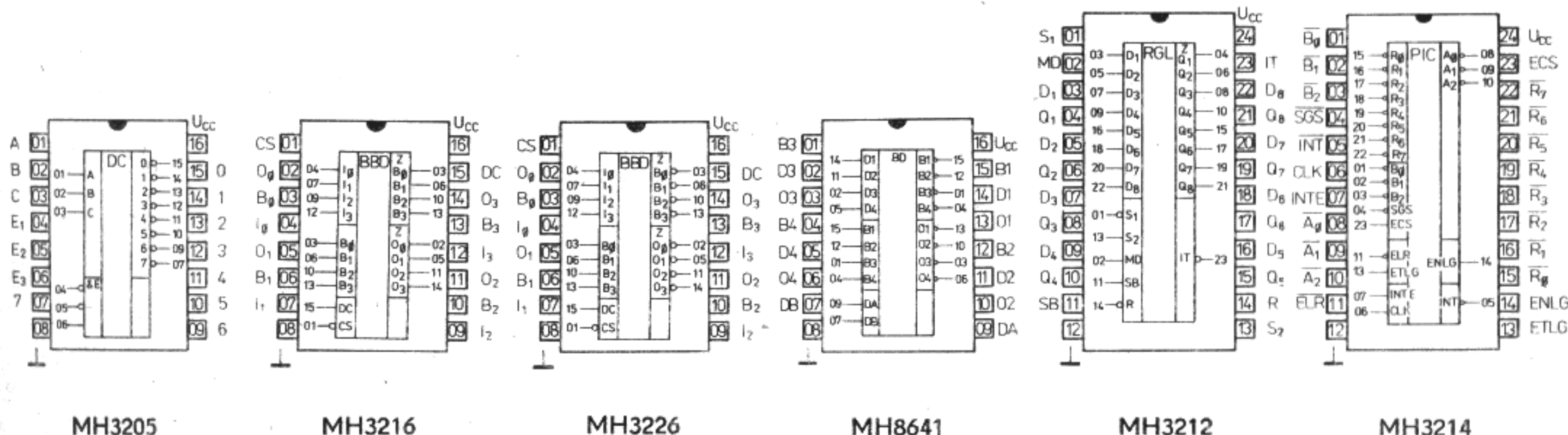
MEZNÍ HODNOTY:		min.	max.	
Napájecí napětí ¹⁾	U_{CC}	-0,5	+7	V
Napětí všech výstupů ¹⁾	U_O	-0,5	+7	V
Vstupní napětí ¹⁾	U_I	-1,0	+5,5	V
Výstupní proud	I_O		125	mA
MH3212, MH3214	I_O		100	mA
Rozsah pracovních teplot ²⁾	ϑ_a	0	+70	°C
Rozsah skladovacích teplot	ϑ_{stg}	-55	+155	°C

MH3205
A, B, C adresovací vstupy
 E_1, E_2, E_3 uvolňovací vstupy
0...7 výstupy

MH3216, MH3226
 $I_0 \dots I_3$ datové vstupy
 $O_0 \dots O_3$ datové výstupy
 $B_0 \dots B_3$ obousměrné sběrnice dat
DC řízení směru toku dat
CS výběr obvodu

1. Napětí se rozumí vzhledem ke společnému bodu - vývodu \perp .
2. Provoz mimo daný rozsah teplot okolí se nezaručuje.

MH3212
 $D_1 \dots D_8$ datové vstupy
 $Q_1 \dots Q_8$ datové výstupy
 S_1, S_2 vstupy pro výběr obvodu
MD vstup pro funkční režim
R nulovací vstup
IT přerušovací výstup
SB vybavovací vstup

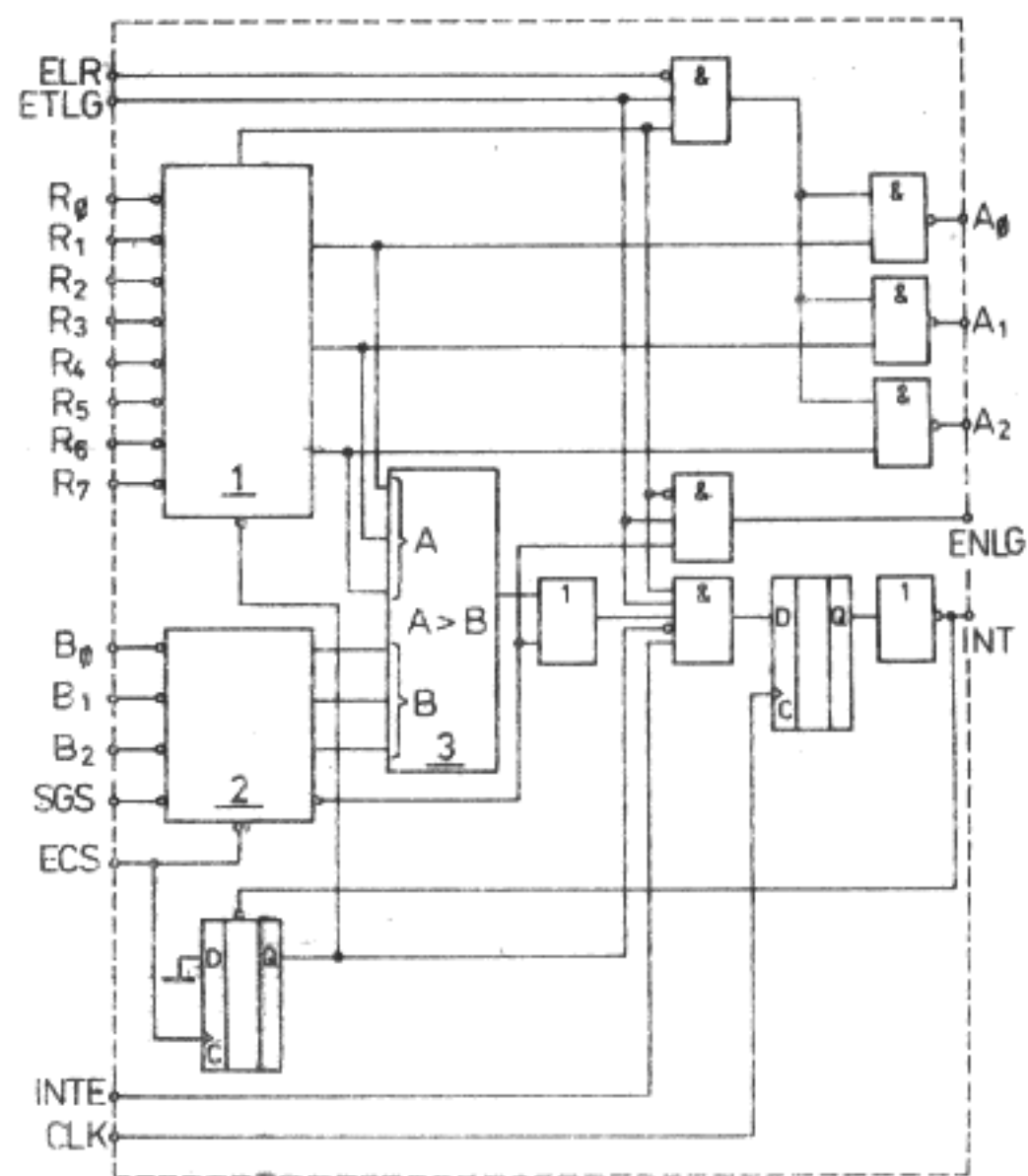


CHARAKTERISTICKÉ ÚDAJE: $\vartheta_a = 0^\circ\text{C} \dots +70^\circ\text{C}$

Vstupní napětí – úroveň H $U_{CC} = 5,0\text{ V}$	U_{IH}	$\geq 2,0$	V
Vstupní napětí – úroveň L $U_{CC} = 5,0\text{ V}$	U_{IL}	$\leq 0,8$	V
Výstupní napětí – úroveň H výstup ENLG $U_{CC} = 4,75\text{ V}, I_{OH} = -1\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	U_{OH}	$\geq 2,4$	V
Výstupní napětí – úroveň L všechny výstupy $U_{CC} = 4,75\text{ V}, I_{OL} = 15\text{ mA},$ $U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	U_{OL}	$\leq 0,45$	V
Vstupní proud – úroveň H $U_{CC} = 5,25\text{ V}, U_{IH} = 5,25\text{ V}$ vstup ETLG	I_{IH}	≤ 80	μA
ostatní vstupy	I_{IH}	≤ 40	μA
Vstupní proud – úroveň L $U_{CC} = 5,25\text{ V}, U_{IL} = 0,45\text{ V}$ vstup ETLG	$-I_{IL}$	$\leq 0,5$	mA
ostatní vstupy	$-I_{IL}$	$\leq 0,25$	mA
Výstupní proud zkratový výstup ENLG $U_{CC} = 5,0\text{ V}, U_{IH} = 2,0\text{ V}, U_{IL} = 0,8\text{ V}$	$-I_{OS}$	20 ... 55	mA
Odběr ze zdroje $U_{CC} = 5,25\text{ V}$	I_{CC}	≤ 130	mA
Výstupní svodový proud výstupy INT, $A_0 \dots A_2$ $U_{CC} = 5,25\text{ V}, U_O = 5,25\text{ V}$	I_O	≤ 100	μA

DYNAMICKÉ HODNOTY: $\vartheta_a = +25^\circ\text{C}, U_{CC} = 5,0\text{ V}$

Doba cyklu signálu na vstupu CLK	t_{CY}	≤ 80	ns
Šířka impulsu na vstupech CLK, ECS a výstupu INT	t_{PW}	≤ 25	ns
Doba předstihu na vstupu INTE vůči CLK	t_{ISS}	≤ 16	ns
Doba přesahu na vstupu INTE vůči CLK	t_{ISH}	≤ 20	ns
Doba předstihu na vstupu ETLG vůči CLK	t_{ETCS}	≤ 25	ns
Doba přesahu na vstupu ETLG vůči CLK	t_{ETCH}	≤ 20	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECCS}	≤ 80	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECCH}	≤ 0	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECRS}	≤ 110	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECRH}	≤ 0	ns
Doba předstihu na vstupu ECS vůči CLK	t_{ECSS}	≤ 75	ns
Doba přesahu na vstupu ECS vůči CLK	t_{ECSH}	≤ 0	ns
Doba předstihu na vstupech SGS, $B_0 \dots B_2$ vůči CLK	t_{DCS}	≤ 70	ns
Doba přesahu na vstupech SGS, $B_0 \dots B_2$ vůči CLK	t_{DCH}	≤ 0	ns
Doba předstihu na vstupech $R_0 \dots R_7$ vůči CLK	t_{RCS}	≤ 90	ns
Doba přesahu na vstupech $R_0 \dots R_7$ vůči CLK	t_{RCH}	≤ 0	ns
Doba předstihu na výstupu INT vůči CLK	t_{ICS}	≤ 55	ns
Doba zpoždění signálu od CLK na výstup INT	t_{CI}	≤ 25	ns
Doba předstihu na vstupech $R_0 \dots R_7$ vůči INT	t_{RIS}	≤ 10	ns
Doba přesahu na vstupech $R_0 \dots R_7$ vůči INT	t_{RIH}	≤ 35	ns
Doba zpoždění od $R_0 \dots R_7$ na $A_0 \dots A_2$	t_{RA}	≤ 100	ns
Doba zpoždění od ELR na $A_0 \dots A_2$	t_{ELA}	≤ 55	ns
Doba zpoždění od ECS na $A_0 \dots A_2$	t_{ECA}	≤ 120	ns
Doba zpoždění od ETLG na $A_0 \dots A_2$	t_{ETA}	≤ 70	ns
Doba předstihu na vstupech SGS, $B_0 \dots B_2$ vůči ECS	t_{DECS}	≤ 15	ns
Doba přesahu na vstupech SGS, $B_0 \dots B_2$ vůči ECS	t_{DECH}	≤ 15	ns
Doba zpoždění od $R_0 \dots R_7$ na ENLG	t_{REN}	≤ 70	ns
Doba zpoždění od ETLG na ENLG	t_{TEN}	≤ 25	ns
Doba zpoždění od ECS na ENLG	t_{ECRN}	≤ 90	ns
Doba zpoždění od ECS na ENLG	t_{ECSN}	≤ 55	ns



OZNAČENÍ VÝVODŮ:

$R_0 \dots R_7$	vstupy pro signály požadující přerušení (R_7 nejvyšší priorita)
$B_0 \dots B_2$	vstupy registru pro stávající stav
SGS	vstup výběru registru stavu
ECS	otevřicí vstup registru stavu
INTE	vstup vybavení přerušení
CLK	hodinový vstup
ELR	vstup vybavení čtení kódu úrovně přicházejícího přerušení
ETLG	vstup vybavení vlastní skupiny
$A_0 \dots A_2$	výstupy kódu úrovně přerušení
INT	výstup potvrzení přerušení
ENLG	výstup vybavení následující skupiny
1	střadač požadavků na přerušení a kódér priority
2	registr stávajícího stavu
3	komparátor priority

