

Organizuje paměti: 1024×4 bity

Paměťová matice: 64×16

Funkce obvodu je řízena stavem vstupu \overline{CS} pro výběr obvodu a \overline{WE} pro uvolnění zápisu

Vstupy a výstupy dat I/O jsou společné, což dovoluje připojení na obousměrnou sběrnici dat

Zápis informace do adresované buňky je při úrovni signálu na vstupu

$\overline{CS} = L, \overline{WE} = L$, čtení obsahu při $\overline{CS} = L, \overline{WE} = H$

Funkce obvodu plně statická.

MEZNÍ HODNOTY:

| | min. | max. | |
|---------------|------|------|----|
| $U^{1)}$ | -0,5 | +7,0 | V |
| P_{tot} | | 1 | W |
| ϑ_a | 0 | +70 | °C |

¹⁾ Napětí jednotlivých vývodů proti substrátu.

CHARAKTERISTICKÉ ÚDAJE:

Základní hodnoty statické: $U_{CC} = 5.0 V \pm 0.25 V, \vartheta_a = 0 \dots +70^\circ C$

| | | min.-max. | |
|--|-----------|------------------|---------|
| Odběr ze zdroje $U_I = 5,25 V, I_{I/O} = 0$ | I_{CC} | ≤ 100 | mA |
| Svodový proud vstupů $U_I = 0 \dots 5,25 V$ | I_{LI} | ≤ 10 | μA |
| Svodový proud vstupů/výstupů I/O absolutní hodnota $U_{\overline{CS}} = 2,4 V, U_{I/O} = 0,4 V \dots U_{CC}$ | I_{LO} | ≤ 10 | μA |
| Vstupní napětí — úroveň L | U_{IL} | -0,5 ... +0,8 | V |
| Vstupní napětí — úroveň H | U_{IH} | 2,0 ... U_{CC} | V |
| Výstupní napětí — úroveň L $I_{OL} = 2,1 mA$ | U_{OL} | $\leq 0,4$ | V |
| Výstupní napětí — úroveň H $I_{OH} = -1,0 mA$ | U_{OH} | $\geq 2,4$ | V |
| Kapacity: | | | |
| Vstupní kapacita $U_I = 0 V$ | C_I | ≤ 5 | pF |
| Kapacita vstupů/výstupů I/O $U_{I/O} = 0 V$ | $C_{I/O}$ | ≤ 5 | pF |

DYNAMICKÉ HODNOTY:

PROVOZ ČTENÍ: ¹⁾

| | | |
|-----------|------------|----|
| t_{RC} | ≥ 450 | ns |
| t_A | ≤ 450 | ns |
| t_{CO} | ≤ 120 | ns |
| t_{CX} | ≥ 20 | ns |
| t_{OTD} | 0 ... 100 | ns |
| t_{OHA} | ≥ 50 | ns |

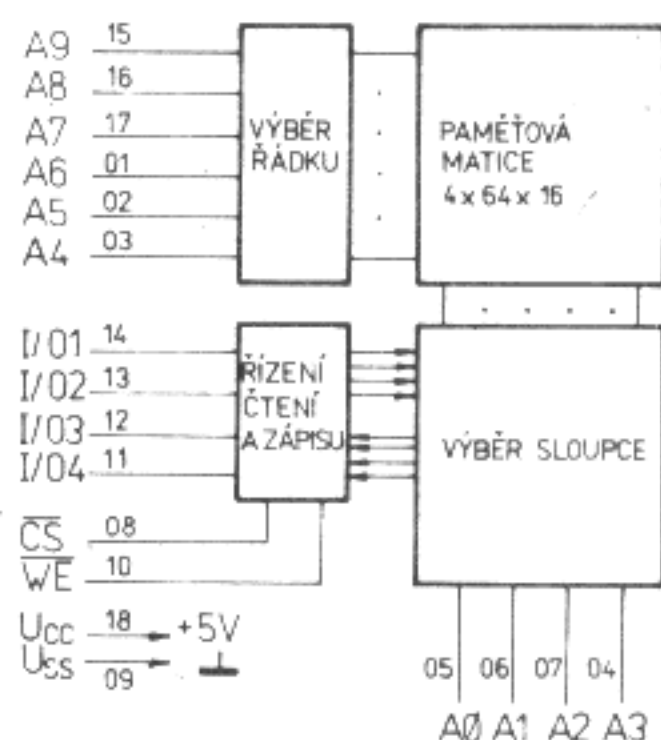
PROVOZ ZÁPIS:

| | | |
|----------------|------------|----|
| t_{WC} | ≥ 450 | ns |
| $t_{W^{2)}$ | ≥ 200 | ns |
| t_{WA} | ≥ 0 | ns |
| t_{WR} | ≥ 0 | ns |
| $t_{OTW}^{1)}$ | 0 ... 100 | ns |
| t_{DW} | ≥ 200 | ns |
| t_{DH} | ≥ 0 | ns |

¹⁾ Zátěž jedno hradlo TTL, $C_L = 100 pF$.

²⁾ Od poslední sestupné hrany \overline{CS} nebo \overline{WE} po náběžnou hranu $\overline{WE}/\overline{CS}$.

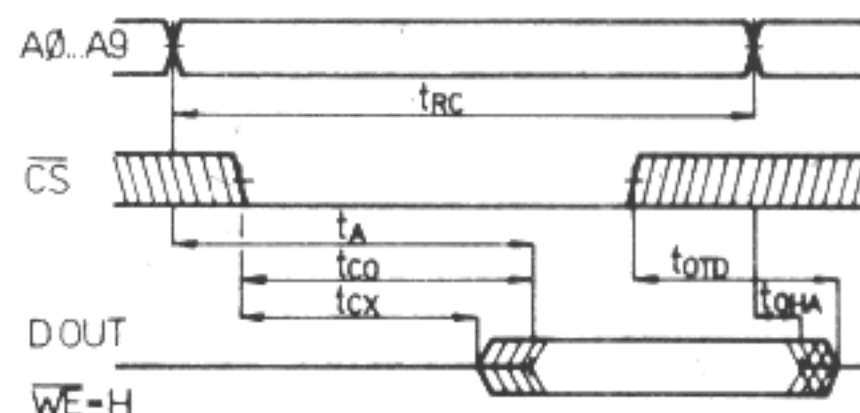
³⁾ $U_{IL} = 0,8 V, U_{IH} = 2,4 V$, trvání čela a týlu 10 ns, rozhodovací úroveň vstupů a výstupů 1,5 V.



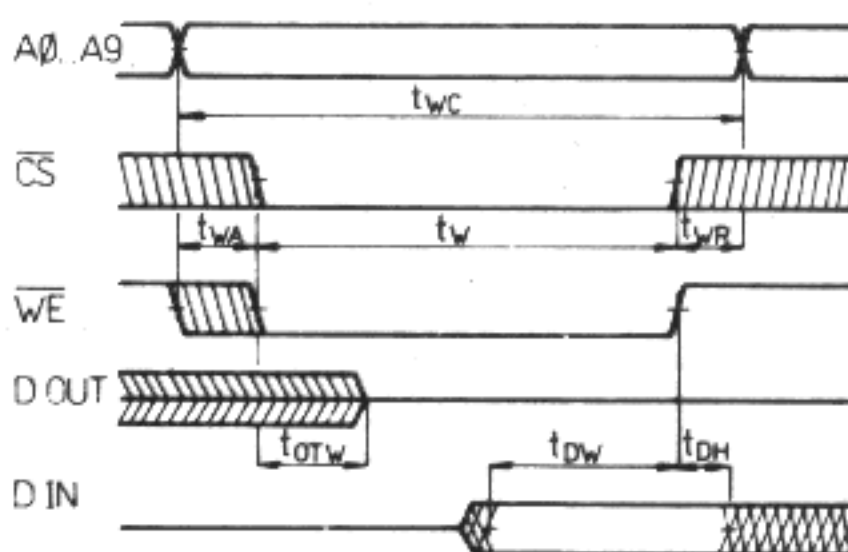
Funkční blokové zapojení

- $A_0 \dots A_9$ adresové vstupy
- \overline{CS} výběr obvodu
- \overline{WE} uvolnění zápisu
- $I/O_1 \dots I/O_4$ vstup/výstup dat

PROVOZ ČTENÍ

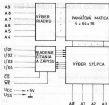


PROVOZ ZÁPIS



Impulsní diagram

Blocková schéma



Nomenitě hodnoty statické:

$$U_{DD} = 4,75 \pm 0,25 \text{ V}; \theta_a = 0 \pm 40^\circ \text{C}$$

| Parameter | Ozn. | Jedn. | Hodnota | | Poznámka |
|---------------------------|----------|-------|---------|----------|--|
| | | | min. | max. | |
| Odběr ze zdroje U_{DD} | I_{DD} | mA | | 100 | $U_i = 0,25 \text{ V}; I_{DD} = 0$ $U_i = 0$ až $0,25 \text{ V}$ absolutní hodnota $U_{DD} =$ $= 2,4 \text{ V}; U_{DD} = 0,4$ až U_{DD} |
| Zdrojový proud vstupce | I_i | µA | | 10 | |
| Zdrojový proud privodů VO | I_{DD} | µA | | 10 | |
| Výstupní proud L | I_{OL} | V | -0,6 | 0,6 | $I_{OL} = 2,1 \text{ mA}$ $I_{OH} = -1,8 \text{ mA}$ |
| Výstupní proud H | I_{OH} | V | 0,0 | U_{DD} | |
| Výstupní proud L | I_{OL} | V | | 0,4 | |
| Výstupní proud H | I_{OH} | V | 2,4 | | |

Hodnoty kapacit:

$$\theta_a = 25^\circ \text{C}; f = 1 \text{ MHz}$$

| Parameter | Ozn. | Jedn. | Hodnota | Poznámka |
|---------------------|----------|-------|---------|--------------|
| Kapacita vstupce | C_i | pF | max. 5 | $U_i = 0$ |
| Kapacita privodů VO | C_{DD} | pF | max. 5 | $U_{DD} = 0$ |

Nomenitě hodnoty dynamické:

$$U_{DD} = 4,75$$
 až $5,25 \text{ V}; \theta_a = 0 \pm 40^\circ \text{C}$

| Parameter | Ozn. | Jedn. | Hodnota | | | |
|--|-----------|-------|---------|------|---------|------|
| | | | MM52114 | | MM5214D | |
| | | | min. | max. | min. | max. |
| Režim čtení | | | | | | |
| Doba cyklu | t_{CC} | ns | 450 | | 350 | |
| Doba výstupu | t_o | ns | | 450 | | 350 |
| Čas nastavení výstupu dat od vstupu CE | t_{CO} | ns | | 120 | | 110 |
| Čas nastavení stabilizace stavu výstupu dat od vstupu CE | t_{CSD} | ns | 20 | | 20 | |
| Trvání stabilizace stavu výstupu od ukončení CE | t_{CSD} | ns | 0 | 100 | - | 50 |
| Prostředí výstupu dat od ukončení adresy | t_{CSD} | ns | 50 | | 50 | |

MHB 2114 STATICKÁ NMOS PAMĚŤ 1024×4 BITY**MHB 2114/3**

STATIC HIGH-SPEED CMOS MEMORY • 1024 NON-VOLATILE TRISTATE BUS DRIVERS • ACHT MIGHT BEWRITE-ABLE TRISTATE BUS DRIVERS

Statická paměť RAM s kapacitou 4096 bitů.

Puzdro: DIL 18

Organizace paměti: 1024 slov po 4 bitech

Technologie výroby: NMOS s polykrystalickým tranzistorem

Stupeň integrace: KOS

Hmotnost: 1,6 g

Paměť se vyznačuje:

- přímo zlučitelná s obvody TTL
- funkce obvodu je plně statická
- organizace paměťové matice v 64 sloupcích po 16 buňkách a je adresovaná ze samostatných dekádních sloupců a řádků

Popis funkce

MHB 2114 je 4096bitová statická paměť RAM s organizací 1024 slov po 4 bitech. Je vyráběna technologií NMOS s polykrystalickým tranzistorem. Funkce obvodu je plně statická. Je plně kompatibilní s obvody TTL z hlediska vstupů, výstupů i napájecího napětí.

Paměťová matice je organizovaná v 64 sloupcích po 16 buňkách a je adresovaná ze samostatných dekádních sloupců a řádků.

Sloupcový dekáder obsahuje sloupcové zesilovače pro zápis a čtení. Vstupy a výstupy údajů I01 – I04 se spojují, což umožňuje jednoduché připojení na obojstranný údajový sběrnici. Výstupní údaje sminimální zpoždění zapisují do paměťové matice. Funkce obvodu je řízená stavem vstupů pro výběr obvodu CS = L a WE = L a čtení obsahu adresované buňky dochází při překrytí signálů CS = L a WE = L a čtení obsahu adresované buňky je správně provedeno. Signály CS a WE ovládají výstupní zesilovače, resp. přenos údajů do vstupů do sloupcových zesilovačů. Aby se zabránilo nežádoucímu zápisu, je potřebné, aby signál WE počas změny adresy byl na úrovni H.

Za účelem zabezpečení provozních parametrů v celém rozsahu pracovních teplot obvod obsahuje interní blok generátoru předpětí substrátu pracujícího na principu nábojové pumpy (CHARGE PUMP). Tento blok zajišťuje, že obvod je připravený k prevádzke až po uplynutí doby (cca 500 μs) po připojení napájecího napětí U_{CC} .

Typ MHB 2114/3 se od typu MHB 2114 liší dynamickými parametry.

Měřené hodnoty:

| | |
|---|--------------|
| Napětí jednotlivých přívodů signál U_{CC} | -0,5 až +7 V |
| Střední výkon | max. 1 W |
| Rozsah pracovních teplot | 0 až +70 °C |

**Zapojenie vývodov**

| | |
|----|-----|
| 01 | A0 |
| 02 | A1 |
| 03 | A2 |
| 04 | A3 |
| 05 | A4 |
| 06 | A5 |
| 07 | A6 |
| 08 | A7 |
| 09 | A8 |
| 10 | A9 |
| 11 | A10 |
| 12 | A11 |
| 13 | A12 |
| 14 | A13 |
| 15 | A14 |
| 16 | A15 |
| 17 | A16 |
| 18 | A17 |
| 19 | VCC |

| Typ | Druh | Pouzdro |
|----------------------|---|-------------------|
| MHB1902 MHB1902C | Statická paměť CMOS RAM 1024 × 1 bit, organizace paměťové matice 64 řádků po 16 buňkách, vstup a výstup dat je oddělen, výstup třístavový hradlovaný signálem CE. Provoz pro uchování informace vyžaduje napájecí napětí min. 2,5 V. Typ MHB1902C je v keramickém pouzdru. | IO-18 IO-18/C |
| MHB2102 MHB2102/2 | Statická paměť NMOS RAM 1024 × 1 bit, organizace paměťové matice 32 × 32, vstup a výstup dat je oddělen, výstup třístavový aktivovaný signálem CE. | IO-14A |
| MHB2114 | Statická paměť NMOS RAM 1024 × 4 bity s polykrystalickým hradlem, organizace paměťové matice 64 × 16, vstup a výstup dat je společný, výstup třístavový. Systém obsahuje vnitřní blok generátoru předpětí substrátu, pracujícího na principu nábojové pumpy (Charge Pump), který je připraven k provozu asi 500 μs po připojení napájecího napětí U _{CC} . | IO-18/1 |
| MHB2500 řada | Statické pevné paměti ROM 2560 bitů, vyrobené technologií MNOS na křemikové podložce typu N s tranzistory s kanálem P; mohou pracovat s organizací 256 slov po 10 bitech nebo 512 slov po 5 bitech. Výstupy třístavové, hradlované signálem CS. Organizace, obsah paměti a nastavení signálů CS se vkládají během výroby přepojovací maskou. | IO-15/1 |
| MHB2501 MHB2501A | Generátor alfanumerických znaků v latinské abecedě; kód znaků ASCII odpovídá ČSN 36 8802, RVHP RS 2175-69. Organizace paměti 512 × 5, matice znaku 5 × 7. | |
| MHB2502 MHB2502A | Generátor alfanumerických znaků v ruské abecedě; kód znaků odpovídá normě RVHP RS 2175-69. Organizace paměti 512 × 5, matice znaku 5 × 8. | |
| MHB2503 | Převodník sedmibitového kódu ISO/7 na dálnopisný kód CCIT2 nebo CCIT2 na ISO/7. Organizace 256 × 10. | |
| MHB4116 MHB4116C | Dynamická paměť NMOS RAM 16 384 × 1 bit s paměťovou maticí rozdělenou na dvě symetrické části po 64 řádcích a 128 sloupcích. Paměťová buňka jednotranzistorová s paměťovou kapacitou. Paměť vyžaduje obnovení informace vždy po 2 ms činnosti a to 128 cykly čtení nebo prázdnými cykly. Výstup třístavový. | IO-14A IO-18/C |
| MHB8608 | Statická paměť NMOS PROM 1024 × 8 bitů naprogramovaná výrobcem. Vstupy a výstupy jsou plně slučitelné s obvody TTL. Výstupy třístavové, aktivují se signálem pro výběr obvodu CS. | IO-15/1 |
| MHB8708C | Programovatelná paměť NMOS EPROM 1024 × 8 bitů s možností mazání obsahu paměti ultrafialovým světlem s vlnovou délkou max. 0,4 μm. Dávka energie pro mazání min. 15 Wscm ² při zdroji záření 0,2537 μm. Při provozu čtení je funkce obvodu plně statická. Vstupy a výstupy slučitelné s obvody TTL. Výstupy třístavové, aktivují se signálem CS. | IO-15/2 |

