

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL, ELECTRONIC

MN1400 Family—3

MN14821/14831(MN1480 Series)

72C 05723 D

MN14821/MN14831(MN1480 Series 代表例-1)

CRTC内蔵電圧シンセサイザチューナ用 CMOS 4ビット・1チップ・マイクロコンピュータ
 CMOS 4-Bit Single-Chip Microcomputers for Voltage Synthesizer
 TV Tuning Systems with CRT Controller

T-49-19-04

■ 概要

MN14821, MN14831は、CRT表示回路とチューニング用13ビットD/Aコンバータ、音量制御用6ビットD/Aコンバータを1つ内蔵したCMOS4ビット・マイクロコンピュータで、MNOSメモリとともに用いると電圧シンセサイザ方式TVチューナなどに用ことができます。

■ Description

The MN14821, MN14831 are 4-bit single-chip microcomputers with a CRT control circuit, a 13-bit DAC and a 6-bit DAC built-in, and are best suited for voltage-synthesizer TV tuning systems.

■ 特徴

● マイクロコンピュータ部

ROM, RAM サイズ:

Type No.	ROM	RAM
MN14821	2Kバイト×8ビット	128ワード×4ビット
MN14831	3Kバイト×8ビット	192ワード×4ビット

命令: MN1400 シリーズ・コンパチブル

命令サイクル: 6μs

● チューニング用 DA コンバータ部

13ビット 8,192段

繰返し周波数: 61Hz 標準

● 音量制御用 D/A コンバータ部

6ビット 64段

繰返し周波数: 7.8kHz 標準

● CRT インタフェース部

表示形式: 5文字×2行表示(1文字5×7ドット表示)

表示位置: プログラマブル

表示文字の大きさ: 7種類プログラマブル

表示文字の色: 3種類プログラマブル(CRT文字)

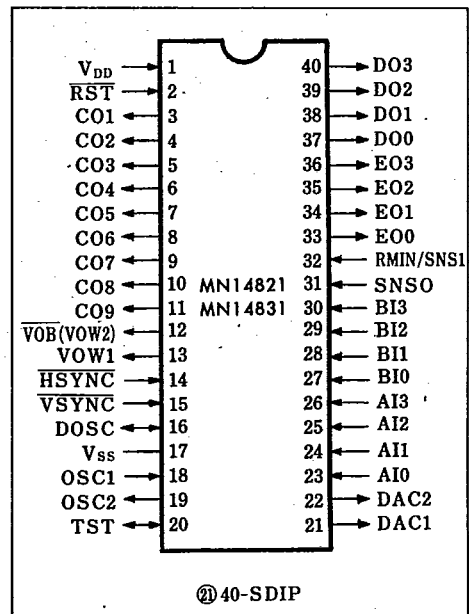
表示出力端子2本)または背景付き1色文字表示

(CRT文字出力端子, 背景出力端子各1本)

● +5V 単一電源

● 40ピン・プラスチック DIL パッケージ(シュリンクタイプ)

■ 端子配置図/Pin Assignment

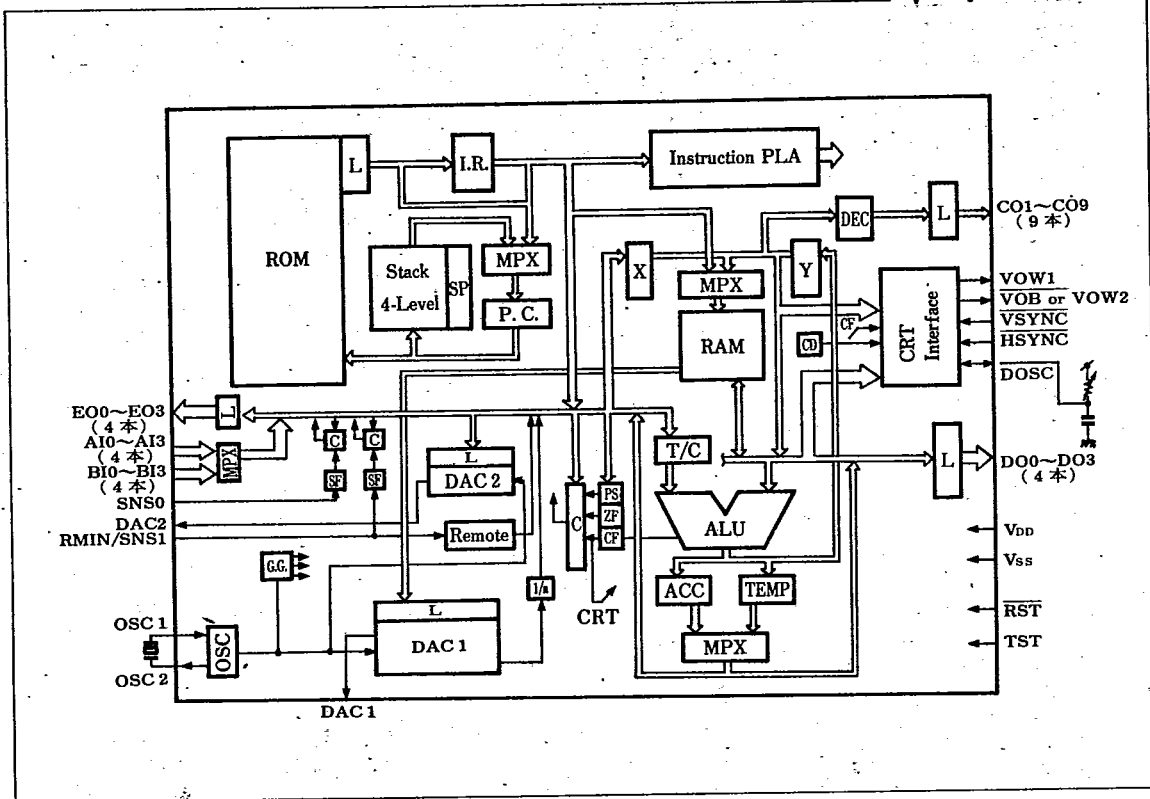


MN1400 Family-3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)
6932852 PANASONIC INDL,ELECTRONIC 72C 05724 D

T-49-19-04

■ ブロック図/Block Diagram



■ 命令マップ/Instruction Map (MN14821/MN14831)

U	L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	TAX	TYA	TAY	AND	OR	XOR	A	CPL	C	ST	STIC	STDC	L	LIC	LDC	
1	OTE	OTMD	OTD	CCO	INA	INB	RCO	SCO	TACL	TACU	TCAL	CRIN	RCD	SCD	SL	RET	
2	LD				STD				RC	RP	SC	SP	ICY	DCY	ICM	DCM	
3	LX								BANK	UPX	BSNO	BSO	BSN1	BS1	BSN01	BS01	
4	JMP								CAL								
5									LI								
6									LY								
7									ANDI								
8									AI								
9									CI								
A									CY								
B									SM								
C									RM								
D									TB								
E	TXA	SKIP	BNZ	BZ	BNC	BC	BNCZ	BCZ	BNP	BP	BNPZ	BPZ	BNPC	BPC	BNPCZ	BPCZ	
F	OTIE																

☐ 2サイクル命令/2-cycle Instruction

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC 72C 05725 D

■ 機能説明

マイクロコンピュータ部は、MN1400 を拡張したもので、以下 MN1400 の基本アーキテクチャと異なる点を中心に記します。

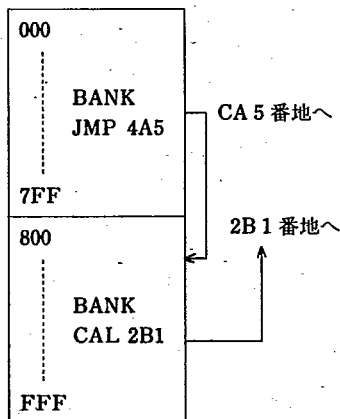
1. ROM

最大 4K バイトまで、使用可能な構造になっています。それに伴い次の命令が追加されます。

(1) BANK

命令コード 38...「BANK」

ROM 4K バイトのうち、前半 2K バイトを BANK 0、後半 2K バイトを BANK 1 とし、BANK 命令実行直後の JMP または CAL によって BANK を切り替えます。(BANK は、JMP、CAL の直前のみ有効です。)MN 14821 では、BANK 命令は使用できません。



2. RAM

最大 256 ワードまで使用可能な構造になっています。それに伴い次の命令が追加されます。

(1) UPX

命令コード 39...「UPX」

UPX 命令直後の LX 命令で、X: 8~F を指定します。

(UPX は LX の直前のみ有効です。また、TAX では直接 X = 0 ~ F にできます。)

(例)

UPX

LX 2 (X=A)

LX 2 (X=2)

(2) TXA

命令コード E0...「TXA」

X レジスタの内容が ACC に移されます。

移されたデータが 0 の場合には ZF がセットされ、0 でな

い場合はリセットされます。

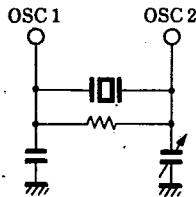
T-49-19-04

3. サブルーチン

4 レベルまで使用可能です。(MN1400 の基本アーキテクチャでは 2 レベル)

4. OSC

基準発振には水晶振動子またはセラミックフィルタを使用します。接続は次の図のようにします。



注) 発振周波数 fosc = 500 kHz

外部発振回路使用の場合は OSC1 が入力端子となります。

5. DAC 1

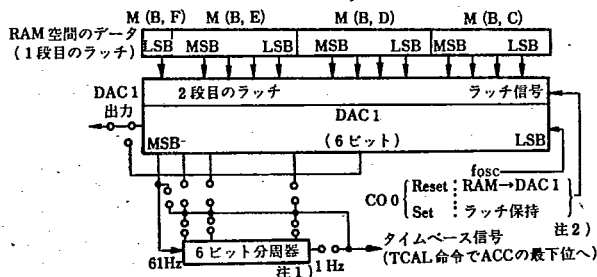
チューニング用 D/A コンバータ DAC1 は 8192 段 (13 ビット) です。

クロックは fosc を使用します。

DAC1 の制御のために 13 ビットのラッチが 2 段ついており、プログラム上で CO0 をリセットすると、RAM の M (B, C) ~ M (B, F) のアドレスにもうけられた 1 段目のラッチの値が 2 段目のラッチに転送され DAC1 を制御します。(MN14821 では、M (B, C) ~ M (B, F) は書き込み専用メモリです。)

また、DAC1 は下位 6 ビットの D/A コンバータとしても使用できます。

DAC1



注1) 上記 6 ビット分周器はリモコン受信回路と共用しているため、この 6 ビット分周器を使用する場合は、後述のリモコン受信回路は使用できません。

2) CO0 は 1 サイクル以上 Reset すれば「データ転送可能状態」がセットされ、DAC1 の上位 7 ビットの PWM 波形の 1 サイクルの最初にデータが転送されます。これは PWM 波形の途中でデータを変更することにより PWM 波形が乱れるのを防止するためであり、CO0 の Reset 後、最大 Tsub の期間 (256 クロック = 84 命令) 以内にデータが転送され、この時 CO0 が Set されていれば、「データ転送可能状態」は解除されます。

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

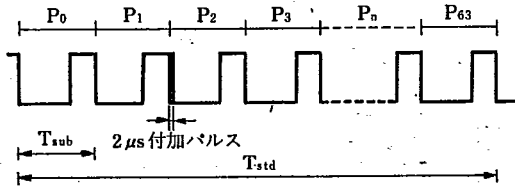
6932852 PANASONIC INDL. ELECTRONIC

72C 05726 D

DAC1 の出力波形

分解能: 13 ビット

基本クロック: 500 kHz (最小パルス幅 2 μs)



$$T_{std} = (1/500 \text{ kHz}) \times 2^{13} = 16.4 \text{ ms}$$

$$T_{sub} = (1/500 \text{ kHz}) \times 2^7 = 256 \mu\text{s}$$

Tsub: 7 ビットの PWM 出力を行なう D/A コンバータ(出力波形は、29 ページ参照)

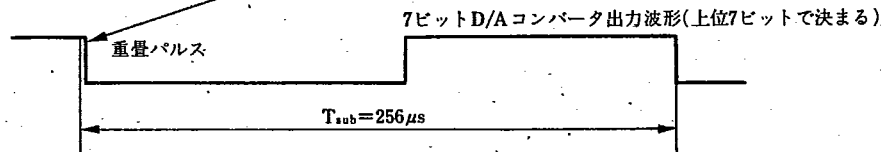
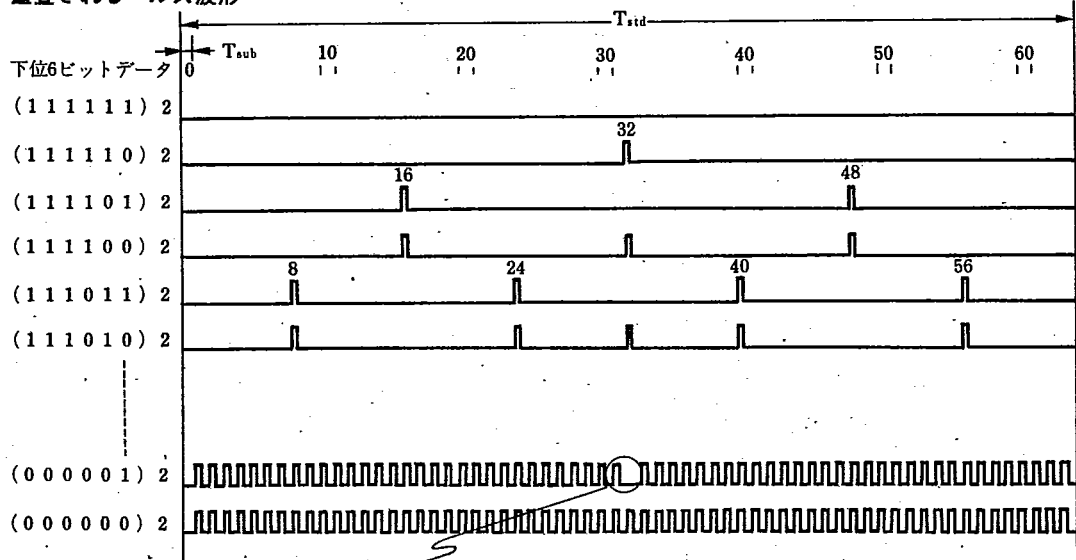
Tstd: Tsub を 2ⁿ 回繰り返した波形に下記のルールに従う付加パルスが重畳されたもの

下位6ビットデータ	付加パルスが重畳される Pn (nの値)	nの値(2進表示)
1 1 1 1 1 0	32	1 0 0 0 0 0
1 1 1 1 0 1	16, 48	* 1 0 0 0 0
1 1 1 0 1 1	8, 24, 40, 56	* * 1 0 0 0
1 1 0 1 1 1	4, 12, 20, 28, 36, 44, 52, 60	* * * 1 0 0
1 0 1 1 1 1	2, 6, 10, 14, 18, 22, 26, 30, 62	* * * * 1 0
0 1 1 1 1 1	1, 3, 5, 7, 9, 11, 13, 15, 63	* * * * * 1

(MSB) (LSB) (*: Don't Care)

T-49-19-04

重畳されるパルス波形



MN1400 Family—3
MN14821/14831(MN1480 Series)

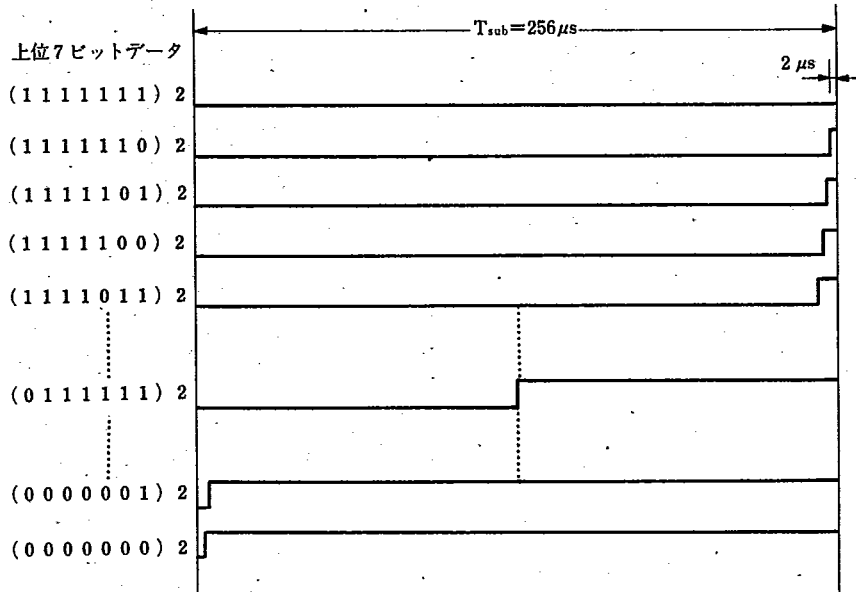
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC

72C 05727 D

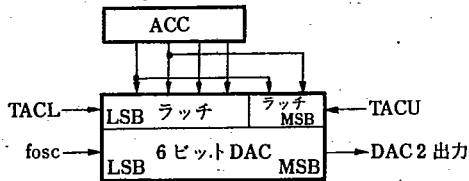
7ビットD/Aコンバータ出力波形

T-49-19-04



6. DAC 2

● 音量制御用の6ビットD/Aコンバータです。マイクロコンピュータとの接続は下図のようになっています。



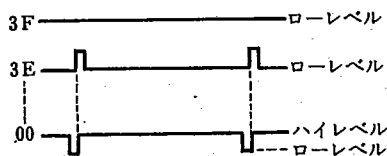
● 音量レベルセット命令

TACL ACCの値をDACの下位4ビットにラッチします。

TACU ACCの値をDACの上位2ビットにラッチします。

● 音量出力波形(標準)

データ

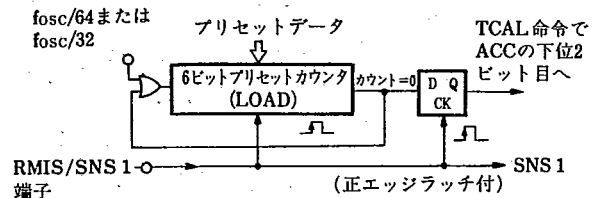


注) MN1480 シリーズでは上記の波形を標準とします。

DAC 2の波形はマスクオプションにより極性を反転できます。

7. リモコン受信回路

RMIN / SNS 1の入力には下記の回路を内蔵しています。



注) タイムベース部の6ビットカウンタと共用していますので、リモコン受信回路を使用する場合はタイムベース部の6ビットカウンタは使用できません。

マイクロコンピュータ(4-Bit)

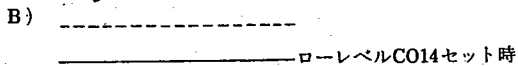
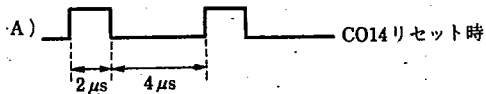
6932852 PANASONIC INDL, ELECTRONIC

72C 05728

DT-49-19-04

8. TST 端子

TST 端子は特殊な入出力端子で下記の機能を有しています。



注) TST 端子はテスト入力端子と兼用しているため、ローレベル出力電圧は 0.8V を越えないようにご使用ください。また、電流駆動能力は他の出力端子より少ない点もご注意ください。

■ CRT 表示部

1. 機能の概要

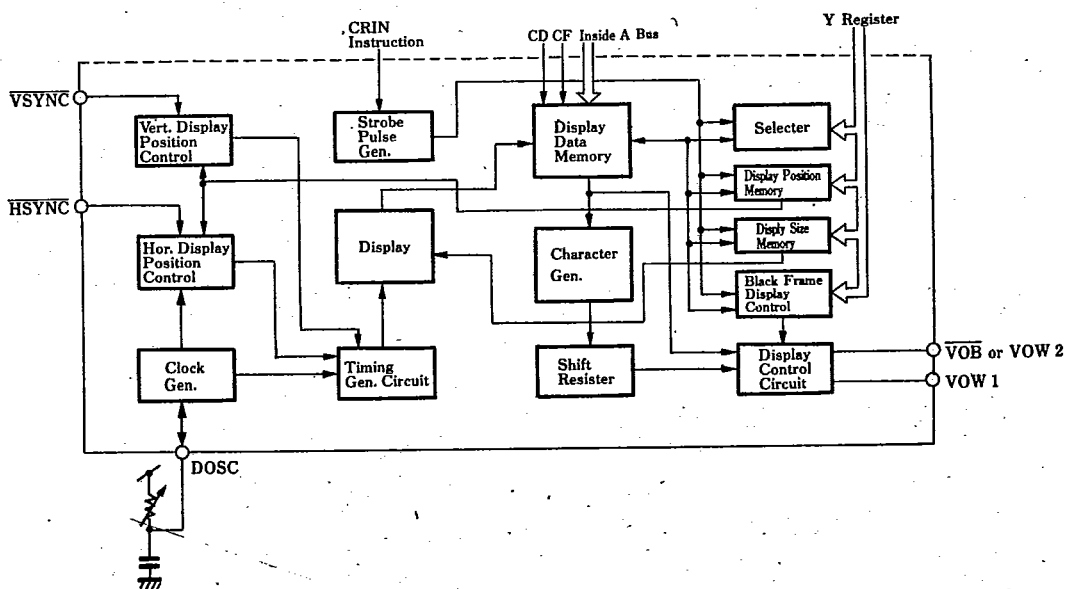
マイクロコンピュータ部からのデータ (チャンネル番号および時刻のデータなど) を TV 受像機の画面上に表示します。1文字 5×7ドットにより表示することができます。文字の表示を鮮明にするため、文字の背景を黒にし、黒枠の中に白の文字を表示することができます。また、背景の表示が不要の場合は、2本の CRT 文字表示出力端子を用いて3色の文字表示ができます。

CRT 表示部は、5文字×2行分のデータラッチ、および1文字4ビットのデータを表示する文字の形状に変換するキャラクタゼネレータ、および表示のためのコントロールロジックより構成されています。

2. 特徴

- 表示文字は4ビットで構成されており、最大16種類の英数字、記号を表示することができます。1文字は5×7ドットの白文字の表示です。
- 表示する文字の数は、1行に5文字、2行表示で、合計10文字です。
- 表示文字を鮮明にするため、文字の背景を黒にすることができます。この黒枠はプログラムによりコントロールすることができます。プログラムにより、黒枠なし、1行目のみ黒枠、2行目のみ黒枠、1、2行目ともに黒枠をつけるの4とおりが可能です。
- 黒枠の大きさは、文字より上下、左右ともに1ドット大きく、7×9ドットの大きさです。
- 表示の位置は水平方向および垂直方向ともにプログラムにより、決定できます。
- 表示文字の大きさは、プログラムにより7種類のうち1つを選択できます。
- 表示文字の色を3種類プログラムできます。ただし、この場合、VOBは文字データの出力端子となり、背景は出力されません。

2. CRT 表示部ブロック図/CRT Display Block Diagram



MN1400 Family—3
MN14821/14831(MN1480 Series)

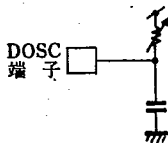
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC

72C 05729 D

4. DOSC 端子

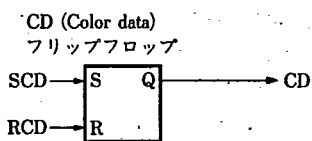
発振には、抵抗、コンデンサを使用し、下記のように接続します。



発振周波数は $f_{osc} = 4\text{MHz} \sim 5\text{MHz}$ になるように、HSYNC をハイレベルにして調整します。(HSYNCをローレベルにすると、発振はとまります。)

5. CRT 表示用命令

(1) SCD, RCD

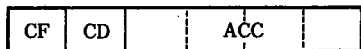


SCD, RCD 命令は、CRT 表示データの色を決める CD フリップフロップを制御します。

- { SCD CD フリップフロップを "1" にセット
 - { RCD CD フリップフロップを "0" にリセット
- (CD フリップフロップのデータは電源投入時には不定です。)

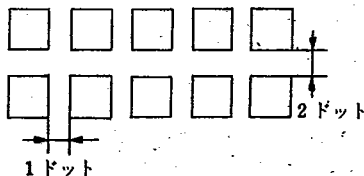
(2) CRIN 命令

CRIN 命令によって下記の6ビットのデータが表示データメモリおよび表示コントロールメモリに書き込まれます。書込みアドレスは CRIN 命令実行時の Yレジスタの値によって決まります。



CD : カラーデータ・フリップフロップ
CF : キャリー・フリップフロップ
ACC : アキュムレータ

6. CRT 表示の形態



1行5文字、2行の表示ができます。

文字と文字の間には1ドットのスペースがあります。
行と行の間は、2ドットのスペースがあります。

CRT 表示部には、表示用データを記憶するための6ビット×10ワードの表示データメモリ(0~9番地)と、表示開

始位置等を制御する4ワードの表示コントロールメモリ(10~13番地)が内蔵されています。
表示コントロールメモリの構成は次の表のようになっていきます。

T-49-19-04

アドレス ビット	10	11	12	13
2 ⁵ (MSB)		RBLK	VP 5	HP 5
2 ⁴		BLK	VP 4	HP 4
2 ³	SZ 3	VB 3	VP 3	HP 3
2 ²	SZ 2	VB 2	VP 2	HP 2
2 ¹	SZ 1	VB 1	VP 1	HP 1
2 ⁰ (LSB)	SZ 0	VB 0	VP 0	HP 0

SZ 0~3; 表示文字寸法制御データ(P121 参照)

VB 0~3; 黒枠出力制御データ(P121 参照)

* VOB 端子選択時のみ

BLK; 表示出力抑制ビット(P121 参照)

RBLK; ラスタブランク制御ビット(P121 参照)

* VOB 端子選択時のみ

VP 0~5; 垂直表示位置制御データ(P121 参照)

HP 0~5; 水平表示位置制御データ(P121 参照)

次に表示の1例を示します。右が画面上に表示された文字で、左がその時の表示データメモリの内容です。

メモリの内容(下位4ビット)

1 2 A 3 4

F F 0 8 F

CRTの表示

12:34
08

データAは: 表示
データFは: プランキン
グ表示の例を示して
います。

7. データの書込み

Yレジスタの信号が、セレクトに入力され、データを書込むメモリのアドレスを決めます。CRIN 命令が実行されると、セレクトにより指定されたアドレスのメモリにアキュムレータと CF, CD のデータを書き込みます。

8. メモリアドレスと表示位置

0 1 2 3 4

5 6 7 8 9

表示データ用メモリは10ワードあり、メモリアドレスは0~9番地まであります。メモリアドレスと表示位置との

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL,ELECTRONIC

72C 05730

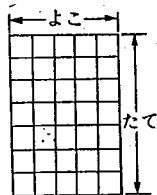
D T-49-19-04

関係は、図に示しています。0～4番地のデータが1行目に、5～9番地のデータが2行目に表示されます。

9. 表示文字の寸法のコード

表示文字は、アドレス10のメモリ(表示寸法メモリ)に記憶された下位4ビットのデータSZ0～3で制御されます。制御データは、4ビットで構成されており、7種類の大きさを指定することができます。制御データのコードと表示文字の大きさの関係を次に示します。

メモリの内容				文字の大きさ	
SZ3	SZ2	SZ1	SZ0	たて	よこ
0	0	0	0	14 H	10クロック
0	0	0	1	21 H	15クロック
0	0	1	1	28 H	20クロック
0	1	1	1	35 H	25クロック
1	1	1	1	42 H	30クロック
1	1	1	0	49 H	35クロック
1	1	0	0	56 H	40クロック



ただし、Hは水平ラインを示します。(1画面の水平ラインは262.5本です。)よこ方向の大きさは1文字当たりのDOSCのフロック数で表現しています。1水平ラインの走査時間は63.5μsです。

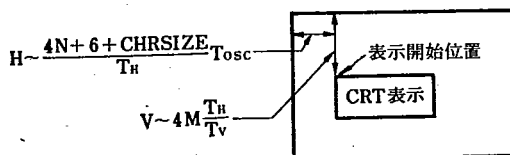
注) SZ0～3が上記以外の値のときは表示が保証されません。

10. 表示開始位置コード

水平方向表示開始位置は、アドレス13に記憶された6ビットのデータHP0～5によって決まります。

6ビットのデータによって、6ビットプログラムカウンタの分周比が決まります。この分周比をNとします。

同様に、垂直方向表示開始位置は、アドレス12に記憶された6ビットのデータVP0～5によって決まります。このデータをMとします。このとき表示は次図の位置から開始されます。ただし、垂直表示開始位置はVP0～5の値だけで決まりますが、水平表示開始位置は文字のサイズによって少し位置が変わります。



ただし、 $T_{osc} = \frac{1}{f_{dosc}}$; 発振の周期

T_H ; HSYNCの周期

T_V ; VSYNCの周期

注) N=0またはM=0の時は表示が消えます。

CHRSIZE = 水平表示開始位置の文字サイズによる変位で、値は各サイズに於ける1文字当たりの走査線の本数と一致します(上表を参照)。たとえばSZ3～SZ0がすべて0のときCHRSIZEは14になります。

11. 黒枠の表示(黒枠出力VOBを用いた場合)

黒枠の有無の情報は、アドレス11のメモリに記憶されています。データコードと黒枠表示の関係を次に示します。

メモリの内容				黒枠表示
VB3	VB2	VB1	VB0	
×	×	0	0 (0000は除く)	1行目, 黒枠表示
0	0	×	×	2行目, 黒枠表示
0	0	0	0	1, 2行ともに黒
上記以外				黒枠表示をしない

また、アドレス11の上位2ビット(BLK, RBLR)は下記の制御を行いません。

- 1 × × × × ×; 背景あり, 文字なし(ラストランキング)
- 0 0 × × × ×; CRT表示モード
- 0 1 × × × ×; 背景なし, 文字なし(CRT表示なし)

VOB出力を用いた場合、表示データメモリのCDデータ(各データのMSB-1のビット)により、1文字ごとに背景制御ができます。このビットが“1”であれば背景なし、“0”であれば背景ありとなります。

注) VOBを使用しないときも、アドレス11の上位2ビット(RBLK, BLK)のいずれかが1であれば、VOW1, VOW2から文字信号は出力されません。

MN1400 Family—3
 MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL・ELECTRONIC

72C 05731 D

12. 文字の形状とコード

MN14821, MN14831 には, ROM 形式のキャラクタゼネレータが内蔵されているため, 5×7ドットの任意の形状の文字を表示することができます。(マスクオプション)

T-49-19-04

12 : 34
 CH 06

黒枠なしの表示例

12 : 34
 CH 06

1 行目黒枠表示の例

12 : 34
 CH 06

2 行目黒枠表示の例

12 : 34
 CH 06

1, 2 行目黒枠表示の例

黒枠の表示例

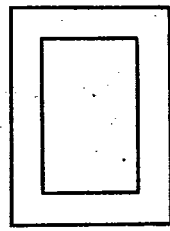
MN1400 Family—3
 MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

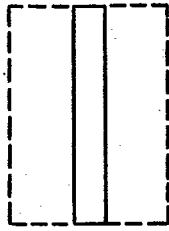
6932852 PANASONIC INDL ELECTRONIC

72C 05732

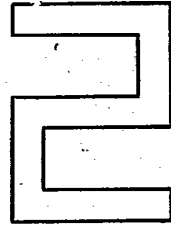
D7-49-19-04



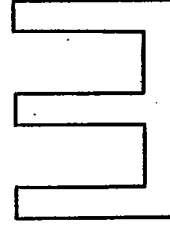
0000



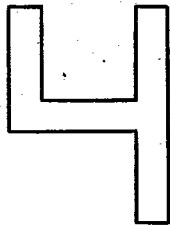
0001



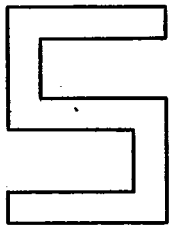
0010



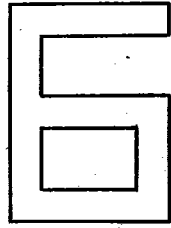
0011



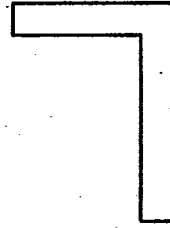
0100



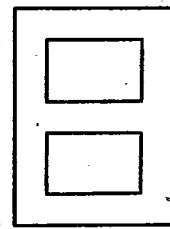
0101



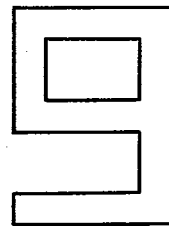
0110



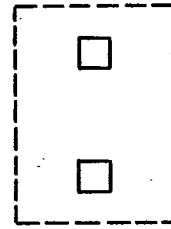
0111



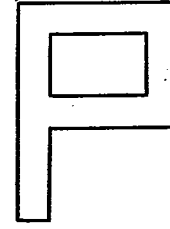
1000



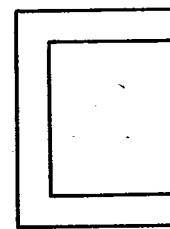
1001



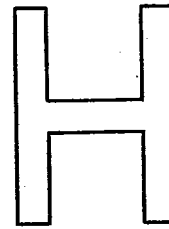
1010



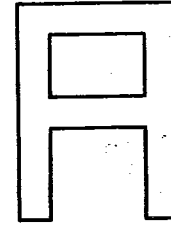
1011



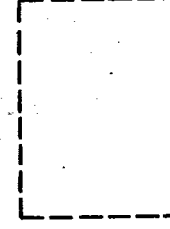
1100



1101



1110



1111^{注)}

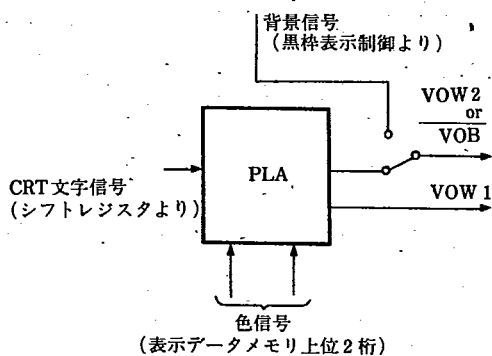
注) "1111" は "表示なし" のコードで変更はできません。

表示形状とコードの関係

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)
6932852 PANASONIC INDL・ELECTRONIC 72C 05733 D

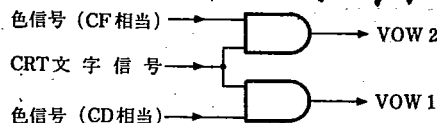
13. 表示制御回路部の構成



表示制御回路部は上記の構成になっており、CRT文字信号と表示データメモリ上位2桁(CD, CFのデータに相当)とをPLAによって変換し、VOW1, VOW2より出力します。このVOW1, VOW2の信号により、各文字ごとに3種類の色を任意に選択できます。

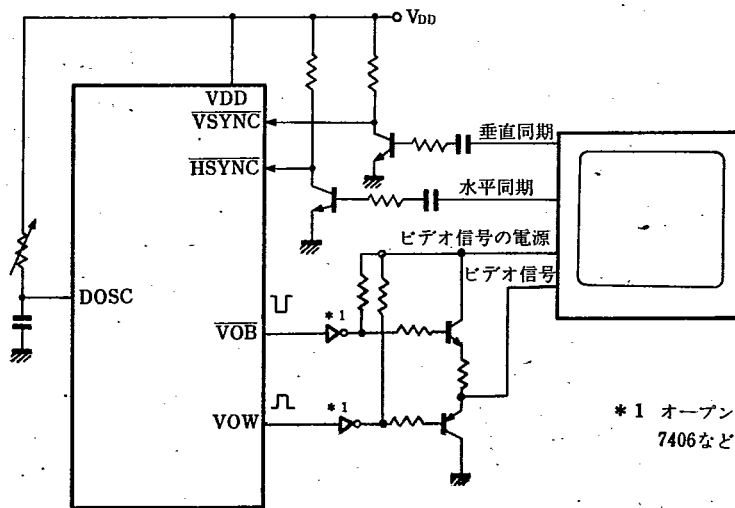
また、背景を用いる場合は、CRT文字信号がVOW1に直接出力されるようPLAをコーディングし背景信号をVOBに出力します。

VOW1, VOW2を用いる場合はPLAは下記の回路と等価なようにコーディングされます。



たとえば、VOW1をテレビのR(赤)回路、VOW2をG(緑)回路に入力した場合、CD, CFの値により文字の色は下記のように制御されます。

	CD=0	CD=1
CF=0	表示なし	赤
CF=1	緑	黄



CRT表示部応用例

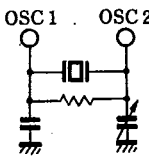
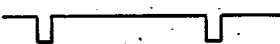
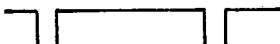
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

72C 05734 D

■ 端子説明

T-49-19-04

端子名	入出力	機能
V _{DD}	電源	電源供給端子 標準+5V
V _{SS}	電源	接地端子 0V
OSC1 OSC2	発振	発振端子 水晶振動子またはセラミック フィルタを接続します。 
AI0 ~ AI3	入力	4ビット並列入力端子 命令 INA によって ACC に入力データが転送されます。
BI0 ~ BI3	入力	4ビット並列入力端子 命令 INB によって ACC に入力データが転送されます。
SNS0	入力	センス入力端子
RMIN (SNS1)	入力	リモコン受信回路およびエッジまたはレベルのラッチを内蔵しています。
RST	入力	リセット端子 (通常: ハイレベル) ローレベルを入力すると、 ・ROM アドレス: 0 番地 ・フラッグ (PS, CF, ZF): リセット ・センス入力のラッチ: リセット ・C ポートラッチ: リセット ・C ポート出力: ローレベル ・D ポートラッチ: リセット ・D ポート出力: ローレベル ・E ポートラッチ: リセット ・E ポート出力: ローレベル の状態になります。
TST	入出力	テスト端子
DO0 ~ DO3	出力	4ビット並列の出力ポート
EO0 ~ EO3	出力	4ビット並列の出力ポート
DAC1	出力	選局用 D/A コンバータ出力 ローパスフィルタに接続します。
DAC2	出力	音量制御用 D/A コンバータ出力 ローパスフィルタに接続します。
CO1 ~ CO9	出力	ディスクリート出力
HSYNC	入力	水平同期信号入力 (負極性) 
VSYNC	入力	垂直同期信号入力 (負極性) 

MN1400 Family—3
MN14821/14831(MN1480 Series)

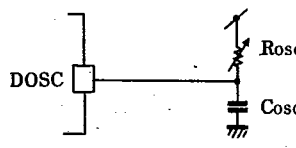
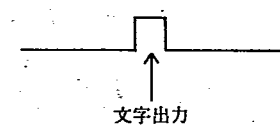
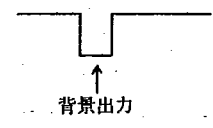
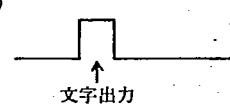
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL ELECTRONIC

72C 05735 D

■ 端子説明(つづき)

T-49-19-04

端子名	入出力	機能
DOSC	発振	CRT表示用発振端子 抵抗, コンデンサを接続します。 
VOW 1	出力	CRT表示文字出力 (正極性) VOW1 
VOB (VOW 2)	出力	背景出力または, 第2のCRT文字出力 (マスクオプションにより選択) VOB (負極性)  VOW 2 (正極性) 

MN1400 Family-3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL ELECTRONIC

72C 05736 D

■ マスクプログラマブル仕様

T-49-19-04

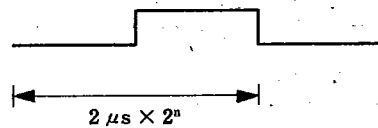
●入力ポート

入力端子	オープン	プルアップ
AI0		
AI1		
AI2		
AI3		
BI0		
BI1		
BI2		
BI3		

●SNS 0

項目		有	無
プルアップ	有		
	無		
ラ ッ チ	有		
	無		
ラッチモード	レベル		
	エッジ		
極 性	正		
	負		

●タイムベース信号



nの値	
-----	--

注) ● $9 \leq n \leq 19$

(1ms) (1s)

● $n \geq 14$ (32ms) の場合、リモコン受信回路は使用できません。

●CRT 部出力 (32 番ピン)

VOB	
VOW 2	

●RMIN / SNS 1

項 目	有	無
プルアップ	有	
	無	
ラ ッ チ	有	
	無	
ラッチモード	レベル	
	エッジ	
極 性	正	
	負	
リモコン受信回路	有	
	無	

●リモコン受信回路

プリセットカウンタのプリセット値					
5	4	3	2	1	0
MSB					LSB

プリセット カウンタ 入力周波数	f/32		kHz
	f/64		

(f = 500 kHz)

●DAC 1

ビット数	13ビット	
	6ビット	
極 性	標 準	
	逆 極 性	

●DAC 2 (極性)

	標 準	逆極性
DAC 2		

{ 標 準; 本仕様書とおりの極性
逆極性; 本仕様書と逆の極性

121ページの6.DAC 2 参照。

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC 72C 05737 D

■ 絶対最大定格/Absolute Maximum Ratings (V_{SS}=0V, T_a=25°C)

T-49-19-04

Item	Symbol	Rating	Unit
電源電圧	V _{DD}	-0.3~+7.0	V
入力電圧	V _I	-0.3~V _{DD} +0.3	V
出力端子電圧	V _O	-0.3~V _{DD} +0.3	V
クロック入力端子電圧	V _{OSC}	-0.3~V _{DD} +0.3	V
尖頭出力電流	I _{OH} (peak)	-10	mA
	I _{OL} (peak)	30	mA
平均出力電流	I _{OH} (avg)*	-5	mA
	I _{OL} (avg)*	3	mA
動作周囲温度	T _{opr}	-20~+70	°C
保存温度	T _{stg}	-55~+125	°C

*いかなる 100 ms の期間に対しても適用される。

■ 動作条件/Operating Conditions (V_{SS}=0V, T_a=-20°C~+70°C)

Item	Symbol	Condition	min.	typ.(注4)	max.	Unit
電源電圧 ^{注1)}	V _{DD}		4.5	5	5.5	V
命令実行時間	t _c			6		μs

OSC1 クロック入力^{注2)}

Item	Symbol	min.	typ.	max.	Unit
クロック周波数	f _{osc}		500		kHz
ハイレベルパルス幅	t _{wCPH}		0.8		μs
ローレベルパルス幅	t _{wCPL}		0.8		μs
立上り時間	t _{rCP}			0.1	μs
立下り時間	t _{fCP}			0.1	μs

DOSC 端子^{注3)}

Item	Symbol	min.	typ.	max.	Unit
発振抵抗	R _{osc}		2		kΩ
発振容量	C _{osc}		180		pF

注1) リプルは 0.2V 以下(ピーク値)

注3) Fig.2 参照

注2) 外部からのクロック入力によって動作する。推奨回路は

注4) 標準値とは 5V, 室温時の値を示す。

Fig.2 参照。

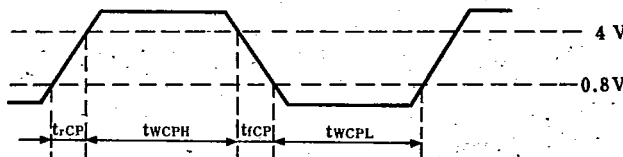


Fig. 1 クロック入力波形

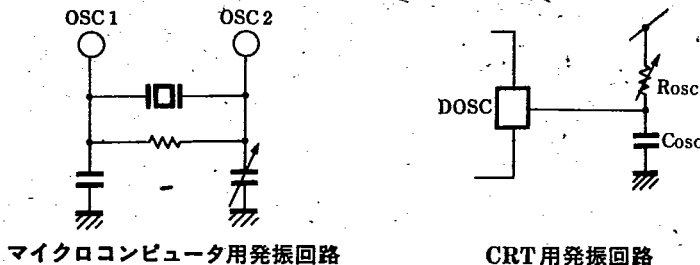


Fig. 2 発振回路

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL•ELECTRONIC

72C 05738 D

■ DC 特性 / DC Characteristics (V_{DD}=5V, T_a=-20~+70°C)

T-49-19-04

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流 ^{注1)}	I _{DD}	T _a =25°C, 外付負荷なし		4		mA
消費電力	P _{tot}	f _{osc} =500kHz, f _{osc} =4MHz		20		mW
入力端子 1 ^{注2)}						
重圧ハイレベル	V _{IH1}		3.5		V _{DD}	V
電圧ローレベル	V _{IL1}		V _{SS}		0.8	V
入力電流	I _{I1}	V _I =0.8V		-100		μA
入力端子 2 ^{注3)}						
電圧ハイレベル	V _{IH2}		3.5		V _{DD}	V
電圧ローレベル	V _{IL2}		V _{SS}		0.8	V
入力リーク電流	I _{ILK}	V _I =5V, Fig. 4 参照 / See Fig. 4			±30	μA
入力端子 3 ^{注4)} (RST) ^{注5)}						
電圧ハイレベル	V _{IH3}		3.5		V _{DD}	V
電圧ローレベル	V _{IL3}		V _{SS}		0.8	V
入力電流	I _{I3}	V _I =0.8V		-100		μA
出力端子 ^{注6)}						
電圧ハイレベル	V _{OH}	V _{DD} =5V, I _{OH} =-100μA	4			V
電圧ローレベル	V _{OL}	V _{DD} =5V, I _{OL} =2mA			0.5	V
TST 端子 ^{注7)}						
電圧ローレベル	V _{OL}	V _{DD} =5V, I _{OL} =500μA			0.8	V
出力リーク電流	I _{OLK}	V _{DD} =5.5V, V _{OLK} =0V~5.5V 出力トランジスタ OFF 時			±30	μA
OSC 端子 ^{注8)} (OSC1)						
入力電圧ハイレベル	V _{IHOSC}		3.5			V
入力電圧ローレベル	V _{ILOSC}				0.8	V
端子容量						
入力端子	C _I	V _I =2V		5		pF
出力端子	C _O	V _O =2V		10		pF
OSC 端子	C _{OSC}	V _{OSC} =2V		10		pF

注1) Fig. 3 参照
注2) Fig. 5 参照
注3) Fig. 4 参照
注4) Fig. 5 参照
注5) Fig. 7 参照

注6) 全出力端子は CMOS 構造である。出力レベルは CMOS コンパチブル Fig. 8 参照
注7) TST 端子はオープンドレイン構造である。Fig. 8 参照
注8) 外部からのクロック入力による動作の場合。

■ AC 特性 / AC Characteristics (V_{DD}=5V, T_a=-20~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
RST 端子 ^{注1)}						
ローレベルパルス幅	t _{WRST}			t _c		μs
SNS 1 端子 ^{注2)}						
ハイレベルパルス幅	t _{WSIH}		20			μs
ローレベルパルス幅	t _{WSIL}		20			μs
立上り時間	t _{rs1}				6.5	μs
立下り時間	t _{fs1}				6.5	μs

MN1400 Family—3
MN14821/14831(MN1480 Series)

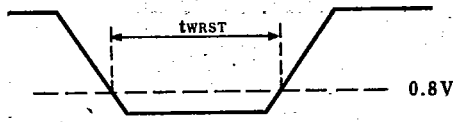
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

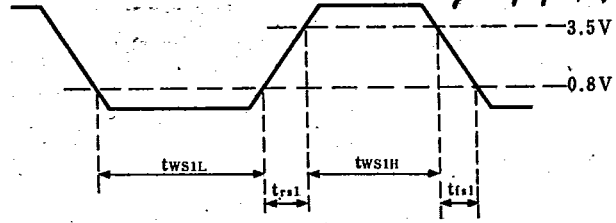
72C 05739

D
T-49-19-04

注1)



注2)



- 1命令実行時間以上RST端子がローレベルになればイニシャライズされる。Fig.7参照

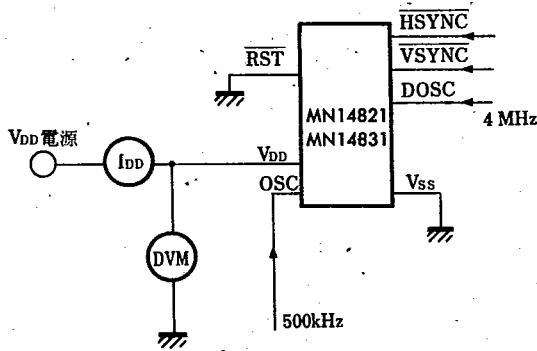


Fig. 3 電源電流(I_{DD})測定回路

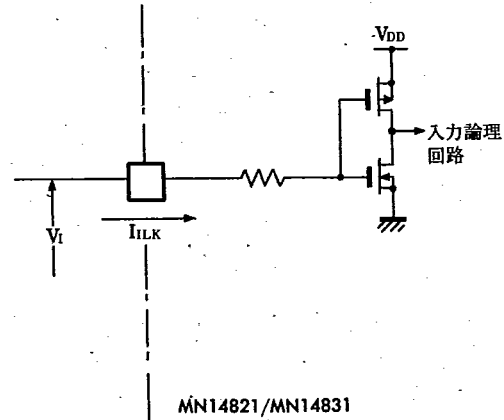


Fig. 4 入力回路(Fig.6参照)

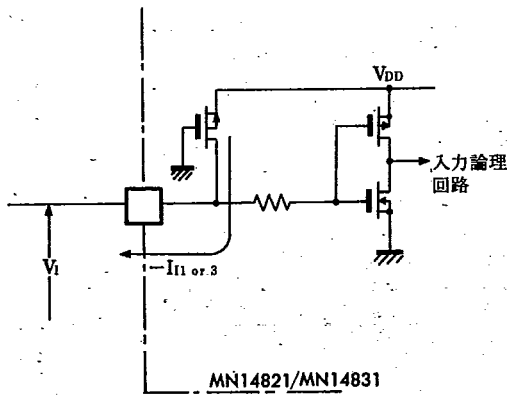


Fig. 5 プルアップ抵抗付入力回路および入力電流 (Fig.6参照)

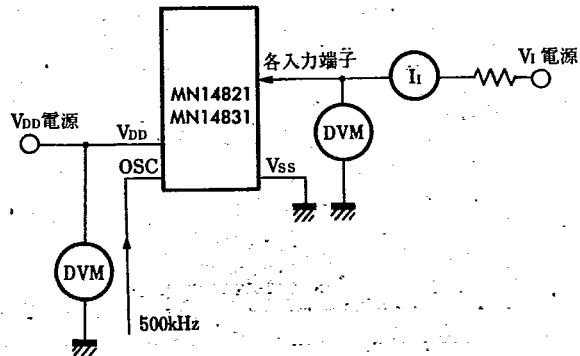


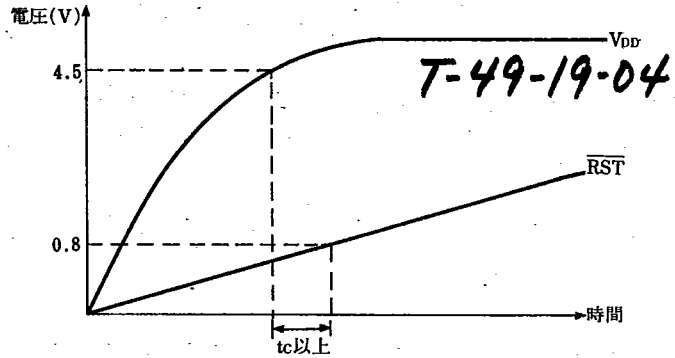
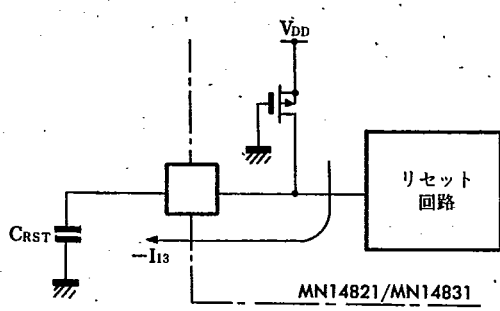
Fig. 6 入力電流測定回路

MN1400 Family—3
MN14821/14831(MN1480 Series)

マイクロコンピュータ(4-Bit)

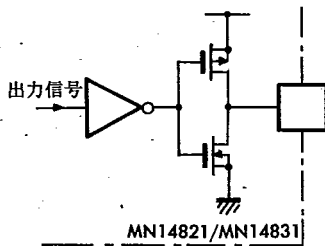
6932852 PANASONIC INDL. ELECTRONIC

72C 05740 D

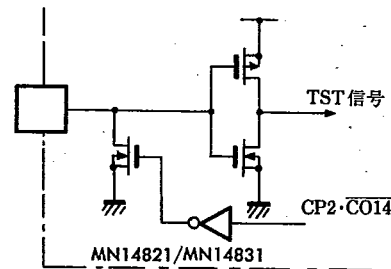


電源投入時にVDDが4.5Vに立ち上がった後、1命令実行時間以上の間、RST端子の電圧が0.8V以下に保持されるCRSTの値を選択する。

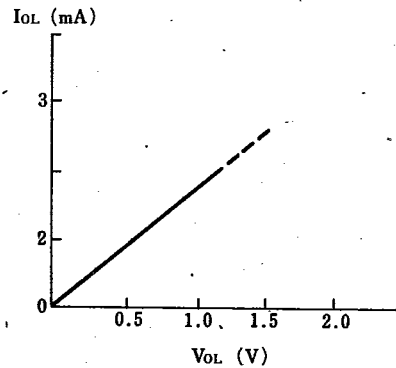
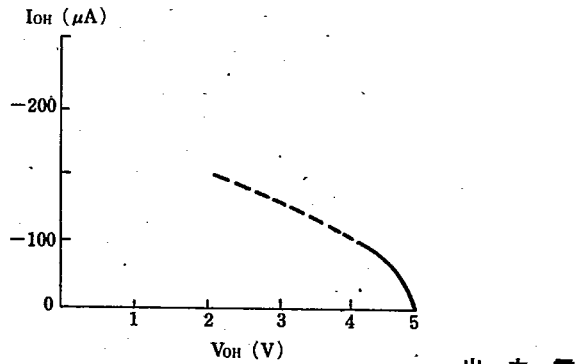
Fig. 7 イニシャルリセット回路および電圧波形



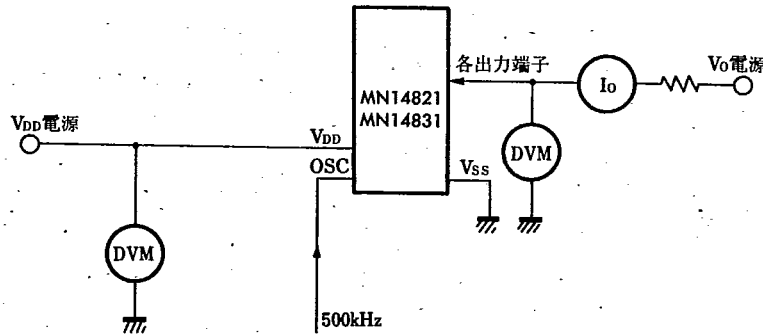
出力回路



オープンドレイン出力回路(TST端子のみ)



出力電流



注) 各入力端子は被測定出力端子がハイレベル (IOH測定) またはローレベル (IOL測定) になるように与える。

測定回路

Fig. 8 出力回路, 出力電流および測定回路