

マイクロコンピュータ(4-Bit)

MN1500 Family

6932852 PANASONIC INDL. ELECTRONIC

72C 05773 D

T-49-19-04

MN1500 Family

高速・高性能4ビット・1チップ・マイクロコンピュータ

High-Speed, High-Performance 4-Bit Single-Chip Microcomputers

■ MN1500 ファミリー製品系列 / Series in MN1500 Family

MN1500 Family No.	シリーズ名 Series	プロセス Process	特 徴	Features
1	MN1500	NMOS	汎用タイプ	General Purpose
2	MN1510		電子選局用 DAC, PLL 付	Electronic Tuning System with DAC or PLL Circuit
3	△MN1520		アナログ入力, 3 値入出力付	Analog Input, 3-Level Input/Output
4	MN1530	CMOS	汎用タイプ	General Purpose
5	MN1550		低電圧タイプ	Low Voltage Type
6	△MN1570		各種表示機能付	Display Function
7	MN1580			

△暫定 / Preliminary

■ 概 要

MN1500 シリーズは、ALU, ROM, RAM, I/O ポート, カウンタ, シフトレジスタ, クロックゼネレータなどを1チップに集積し、内部データ転送, 入出力および処理の一部がバイト処理可能な各種高速制御・演算用に最適な N チャンネルおよび CMOS プロセスの4ビット・1チップ・マイクロコンピュータファミリです。

システム開発のサポートとして、汎用コンピュータとパーソナルコンピュータによるクロスアセンブラがあり、さらに、4ビット・1チップ・マイクロコンピュータ用高級言語 CL/I などのサポートソフトウェアがあります。また、ハードウェアでは、ハードウェアシミュレータ(HS-1500IV), エミュレーションカード(EC-1500A), 入出力制御カード(I/O-1500A), エミュレータ(MN1599Q/MN1598A) および I/O エクパンダ(MN1591)などを揃えていますので、効率のよいシステム開発が可能です。

■ Description

The MN1500 Series is a family of high-speed, high-performance 4-bit single-chip microcomputers with an arithmetic logic unit, a ROM, a RAM, I/O ports, a counter/timer, a shift register and a clock generator, and with byte-processing capability of internal data transfer, input and output. The MN1500 Series offers both N-channel and CMOS versions.

The MN1500 Series provides the user with system software development support; General Computer Cross-Assembler and Personal Computer Cross-Assembler, CL/I (high level language for a 4-bit single-chip micro-

computer). Hardware support includes HS-1500IV (hardware simulator), EC-1500A (Emulation card), I/O-1500A (I/O control), MN1599Q/1598A (evaluator) and MN1591 (I/O expander). They are provided to allow the user to develop systems operating effectively.

■ 特 徴

- N チャンネルタイプは LOCOS E/D MOS で高速
- CMOS タイプは CMOS LOCOS で低消費電力
- CMOS タイプは 2 種類のバックアップモードあり
- 全 RAM 領域の停電保護機能
- 4 レベルの割込み (エバリュエータ 5 レベル)
- 並列入出力 12 ポート (バイラテラル)
- ディスクリット入出力, バイト入出力可能
- 直列データ転送可能 (8 ビット・シフトレジスタ内蔵)
- 8 ビット・タイマ/カウンタ (7 ビット・プリスケアラ付) 内蔵
- 間接ジャンプ可能
- バイト処理可能 (内部データ転送, 入出力, 処理の一部)
- ROM 領域のテーブルルックアップ機能
- RAM 領域にセーブ領域を持ちレジスタの退避が可能
- 全 RAM 領域直接アドレス指定演算可能
- ループカウント命令, 1 バイトコール命令, 10 進補正命令など効率のよい命令体系
- 標準 124 種類の使いやすい豊富な命令
- サブルーチンスタックは RAM 領域を使用
- N チャンネル, CMOS タイプは TTL/CMOS コンパチブル
- +5V 単一電源
- -20 ~ +70°C の広い動作温度範囲

マイクロコンピュータ (4-Bit)

MN1500 Family

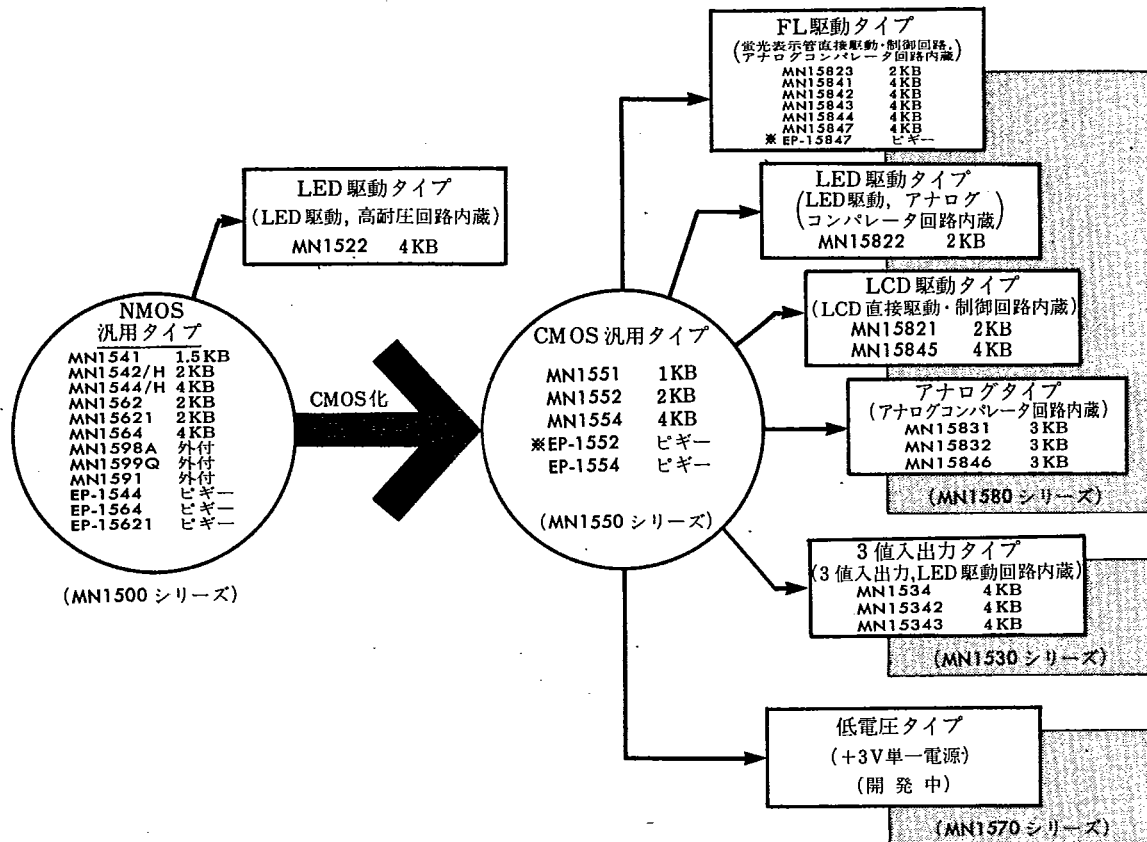
6932852 PANASONIC INDL, ELECTRONIC

72C 05774 D

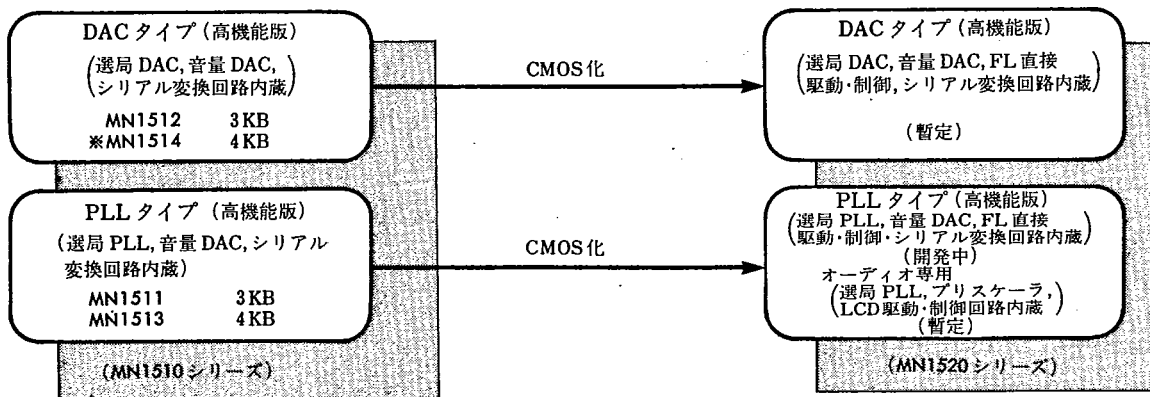
■ MN1500 ファミリー製品展開図 / MN1500 Family Products Map

T-49-19-04

・汎用マイクロコンピュータ



・電子選局用 (TV・VTR・オーディオ)

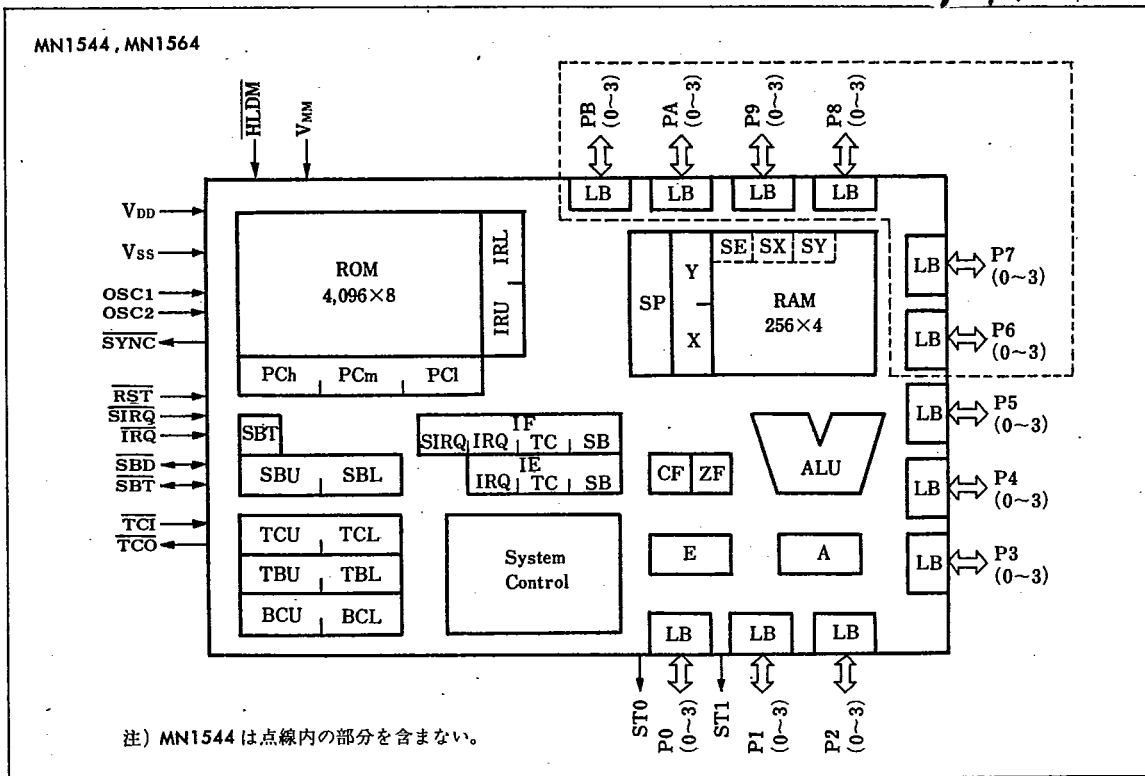


マイクロコンピュータ (4-Bit)
6932852 PANASONIC INDL/ELECTRONIC

MN1500 Family
72C 05775 D

基本ブロック図/Basic Block Diagram

T-49-19-04



フルセット命令マップ/Full Set Instruction Map

MN1542, MN1544, MN1562, MN1564, MN1599Q

L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	NOP	AAC	CPL	RC	RDSP	WTSP	DAA	SC	ROL	ROR	DAS	RDTBL	CEAI	CD	CE	C	
1	A	AC	S	SB	O	X	N	L	AD	ACD	SD	SBD	OD	XD	ND	LD	
2	ZC	ZC	ZC	ZC	Z	Z	Z	Z	ZC	ZC	ZC	ZC	Z	Z	Z	Z	
3	ICV	LICY	STICY	EXICY	DCY	LDCY	STDCY	EXDCY	AE	ACE	SE	SBE	OE	XE	NE	LE	
4	Z	Z	Z	Z	Z	Z	Z	Z	ZC	ZC	ZC	ZC	Z	Z	Z	Z	
5	SBTIN	SBTEX	LMXI	LMEI	RET	RETI	JMPEA	RMD	RBMD			SBMD			Z	Z	
6	EXSX	EXSY	EXSE	EXD	LX	LY	EXE	EX	LBD	STBD	WI						
7	STSX	STSY	STSE	STD	STX	STY	STE	ST	SLEA	ICEA	DCEA	EDI	LXY	STXY	ICYJ	ICEJ	
8	ICM	ICMD	ROUT	ROUTY	DCM	DCMD	SOUT	SOUTY	PSHEA	PSHXY	JNZ	JNC	POPEA	POPXY	JZ	JC	
9	ZC	ZC	ZC	ZC	ZC	ZC										ZC	ZC
A	OUTEA	INEA	OUT	IN	POUT	LXSKI	LEAI	LXYI	JBZ			JBNZ					
B	WTSB	WTTC	WTTB	RDSB			RDBC	CAL5									
C	CALL																
D	JMP																
E	CYIJ																
F	LYI																
	AI																
	CI																
	LI																

1バイト1サイクル命令
 1バイト2サイクル命令
 2バイト2サイクル命令

マイクロコンピュータ (4-Bit)

MN1500 Family

■ 機能説明 / Functional Description

7-49-19-04

記号	機能説明
ALU	演算論理ユニット (4ビット並列処理)
A	アキュムレータ (4ビット)
E	アキュムレータ拡張レジスタ (4ビット)-Eレジスタ
CF	キャリフラグ/ボローフラグ
ZF	ゼロフラグ
RAM	データメモリ
X	Xレジスタ (上位4ビット)
Y	Yレジスタ (下位4ビット)/ディスクリート出力端子指定レジスタ
SX	Xレジスタ退避レジスタ RAM番地 (0, 0)
SY	Yレジスタ退避レジスタ RAM番地 (0, 1)
SE	Eレジスタ退避レジスタ RAM番地 (0, 2)
PCh/PCm/PCI	プログラムカウンタ (12ビット) PCh: 上位4ビット, PCm: 中位4ビット, PCI: 下位4ビット
IRU/IRL	インストラクションレジスタ (8ビット) IRU: 上位4ビット, IRL: 下位4ビット
SP	スタックポインタ (スタックはRAM領域)
IF	割込み受付フラグ
IF(SIRQ)	最優先割込み受付フラグ
IF(IRQ)	外部割込み受付フラグ
IF(TC)	タイマ/カウンタ割込み受付フラグ
IF(SB)	シフトバッファ割込み受付フラグ
IE	割込みイネーブル/ディセイブルフラグ
IE(IRQ)	外部割込みイネーブル/ディセイブルフラグ
IE(TC)	タイマ/カウンタ割込みイネーブル/ディセイブルフラグ
IE(SB)	シフトバッファ割込みイネーブル/ディセイブルフラグ
TCU/TCL	タイマ/カウンタ制御レジスタ (8ビット) TCU: 上位4ビット, TCL: 下位4ビット
TBU/TBL	タイマ/カウンタバッファレジスタ (8ビット) TBU: 上位4ビット, TBL: 下位4ビット
BCU/BCL	2進カウンタ (8ビット) BCU: 上位4ビット, BCL: 下位4ビット
SBU/SBL	シフトバッファレジスタ (8ビット) SBU: 上位4ビット, SBL: 下位4ビット
SBF	シフトバッファ・タイミングモードフラグ
LB	入出力ラッチバッファ

マイクロコンピュータ(4-Bit)

MN1500 Family

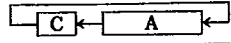
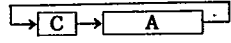

T-49-19-04

■ MN1500 シリーズ命令セット / MN1500 Series Instruction Set

	ニ ー モ ニ ッ ク	命令コード (Hex)	影響される フラグ	動 作
	L load	17	ZF	A←M(X, Y)
	LD **load direct	1F, da	ZF	A←M(da)
	LE load from E	2F	ZF	A←E
	LX load from X	44	ZF	A←X
	LY load from Y	45	ZF	A←Y
	LI load immediate	Fn		A←n
	LICY *load increment Y	21	ZF	A←M(X, Y), Y←Y+1
	LDCY *load decrement Y	25	ZF	A←M(X, Y), Y←Y-1
	LEAI **load EA immediate	76, mn		E←m, A←n
	LXY load from X, Y	5C		E←X, A←Y
	ST store	57		M(X, Y)←A
	STD **store direct	53, da		M(da)←A
	STE store to E	56		E←A
	STX store to X	54		X←A
	STY store to Y	55		Y←A
	STICY *store, increment Y	22	ZF	M(X, Y)←A, Y←Y+1
	STDCY *store, decrement Y	26	ZF	M(X, Y)←A, Y←Y-1
	LBD **load byte direct	48, da		EA←M(da)
デ	STBD **store byte direct	49, da		M(da)←EA
	STXY store to X, Y	5D		X←E, Y←A
ト	EX exchange	47		A↔M(X, Y)
ク	EXD **exchange direct	43, da		A↔M(da)
タ	EXE exchange with E	46		A↔E
転	EXICY *exchange, increment Y	23	ZF	A↔M(X, Y), Y←Y+1
送	EXDCY *exchange, decrement Y	27	ZF	A↔M(X, Y), Y←Y-1
命	STSE store SE	52		SE←E
令	EXSE exchange SE	42		E↔SE
	LMEI **load and modify E	33, mn	ZF	E←E∧m+n
	STSX store SX	50		SX←X
	EXSX exchange SX	40		X↔SX
	LMXI **load and modify X	32, mn	ZF	X←X∧m+n
	LXSXI **load X, SX immediate	75, mn		X←m, SX←n
	LYI load Y immediate	Cn		Y←n
	LXYI **load X, Y immediate	77, mn		X←m, Y←n
	STSY store SY	51		SY←Y
	EXSY exchange SY	41		Y↔SY
	PSHEA push E, A	68		SP←SP-1, M(SP)←EA
	POPEA pop E, A	6C		EA←M(SP), SP←SP+1
	PSHXY push X, Y	69		SP←SP-1, M(SP)←XY
	POPXY pop X, Y	6D		XY←M(SP), SP←SP+1
	RMD **reset memory direct	37, da		M(da)←0
	WTSB write SB and start transmission	80		SB←EA
	RDSB read SB	84		EA←SB
	WTTC write TC	81		TC←EA
	WTTB write TB	82		TB←EA
	RDBC read BC	85		EA←BC
	WTSP write SP	05		SP←EA
	RDSP read SP	04		EA←SP
	RDTBL read table	0B		EA←ROM(PCh, EA)
入	IN **input	73, pn		A←PORT(p)∧n
出	INEA **input byte	71, g		E←PORT(g+1), A←PORT(g)
力	OUT **output	72, pn		PORT(p)←A∧n
命	OUTEA **output byte	70, g		PORT(g+1)←E, PORT(g)←A
令	ROUT **reset output	62, pn		PORT(p)←PORT(p)∧n
	SOUT **set output	66, pn		PORT(p)←PORT(p)∨n
	ROUTY reset output by Y	63		PORT(Y(BP3~2)), Bit(Y(BP1~0))←0
	SOUTY set output by Y	67		PORT(Y(BP3~2)), Bit(Y(BP1~0))←1
	POUT **pulsed output	74, pn		PORT(p)←PORT(p)∨n

* 1バイト2サイクル命令 (ROM 1バイト使用 実行時間 4μs (標準))
 ** 2バイト2サイクル命令 (ROM 2バイト使用 実行時間 4μs (標準))
 *および**を付さない命令は ROM1バイト使用 実行時間 2μs (標準)

△ 論理積 (AND) ∨ 論理和 (OR) ∇ 排他的論理和 (XOR)

	ニ ー モ ニ ッ ク	命令コード (Hex)	影響される フ ラ グ	動 作	
操 作 命 令	A	add	10	CF, ZF	$A \leftarrow A + M(X, Y)$
	AI	add immediate	Dn	CF, ZF	$A \leftarrow A + n$
	AD	**add direct	18, da	CF, ZF	$A \leftarrow A + M(da)$
	AE	add E	28	CF, ZF	$A \leftarrow A + E$
	AC	add with carry	11	CF, ZF	$A \leftarrow A + M(X, Y) + CF$
	ACD	**add direct with carry	19, da	CF, ZF	$A \leftarrow A + M(da) + CF$
	ACE	add E with carry	29	CF, ZF	$A \leftarrow A + E + CF$
	AAC	add carry	01	CF, ZF	$A \leftarrow A + CF$
	S	subtract	12	CF, ZF	$A \leftarrow A - M(X, Y)$
	SD	**subtract direct	1A, da	CF, ZF	$A \leftarrow A - M(da)$
	SE	subtract E	2A	CF, ZF	$A \leftarrow A - E$
	SB	subtract with borrow	13	CF, ZF	$A \leftarrow A - M(X, Y) - CF$
	SBD	**subtract direct with borrow	1B, da	CF, ZF	$A \leftarrow A - M(da) - CF$
	SBE	subtract E with borrow	2B	CF, ZF	$A \leftarrow A - E - CF$
	O	or	14	ZF	$A \leftarrow A \vee M(X, Y)$
	OD	*or direct	1C, da	ZF	$A \leftarrow A \vee M(da)$
	OE	or E	2C	ZF	$A \leftarrow A \vee E$
	X	exclusive or	15	ZF	$A \leftarrow A \vee M(X, Y)$
	XD	**exclusive or direct	1D, da	ZF	$A \leftarrow A \vee M(da)$
	XE	exclusive or E	2D	ZF	$A \leftarrow A \vee E$
	N	and	16	ZF	$A \leftarrow A \wedge M(X, Y)$
	ND	**and direct	1E, da	ZF	$A \leftarrow A \wedge M(da)$
	NE	and E	2E	ZF	$A \leftarrow A \wedge E$
	C	compare	0F	CF, ZF	$A - M(X, Y)$
	CI	compare immediate	En	CF, ZF	$A - n$
	CD	**compare direct	0D, da	CF, ZF	$A - M(da)$
	CE	compare E	0E	CF, ZF	$A - E$
	CEAI	**compare byte immediate	0C, mm	CF, ZF	$EA - mm$
	DAA	decimal adjust add	06	CF, ZF	$A \leftarrow A + 6$ if $A \geq 10$ or $CF = 1$
	DAS	decimal adjust subtract	0A	CF, ZF	$A \leftarrow A + 10$ if $A \geq 10$ or $CF = 1$
	ICM	increment memory	60	CF, ZF	$M(X, Y) \leftarrow M(X, Y) + 1$
	ICMD	**increment memory direct	61, da	CF, ZF	$M(da) \leftarrow M(da) + 1$
	DCM	decrement memory	64	CF, ZF	$M(X, Y) \leftarrow M(X, Y) - 1$
	DCMD	**decrement memory direct	65, da	CF, ZF	$M(da) \leftarrow M(da) - 1$
	ICEA	*increment byte	59	CF	$EA \leftarrow EA + 1$
DCEA	*decrement byte	5A	CF	$EA \leftarrow EA - 1$	
ICY	increment Y	20	ZF	$Y \leftarrow Y + 1$	
DCY	decrement Y	24	ZF	$Y \leftarrow Y - 1$	
CPL	complement	02	ZF	$A \leftarrow \bar{A}$	
ROL	rotate left	08	CF, ZF		
ROR	rotate right	09	CF, ZF		
SLEA	*shift left byte	58	CF		
RBMD	**reset bit memory direct	3(8+b), da	ZF	$M(da; b) \leftarrow 0$	
SBMD	**set bit memory direct	3(C+b), da	ZF	$M(da; b) \leftarrow 1$	
コ ン ト ロ ル 命 令	NOP	no operation	00		
	WI	wait for interrupt	4A		
	RC	reset carry	03	CF	$CF \leftarrow 0$
	SC	set carry	07	CF	$CF \leftarrow 1$
	EDI	**enable/disable interrupt	5B, mn		$IE \leftarrow IE \wedge \bar{m} \vee n$
	SBTIN	SB timing internal	30		$SBF \leftarrow 0$
	SBTEX	SB timing external	31		$SBF \leftarrow 1$
	JMP	**jump	Ah, ml		$PC \leftarrow hml$
	CALL	**call long	9h, ml		$SP \leftarrow SP - 2, M(SP) \leftarrow PC, PC \leftarrow hml$
	CALS	*call short	8(8+s)		$SP \leftarrow SP - 2, M(SP) \leftarrow PCh/1 \leftarrow 0$ $m \leftarrow 8 + s$
	JMPEA	jump by EA	36		$PCm \leftarrow E, PCl \leftarrow A$
	RET	*return	34		$PC \leftarrow M(SP), SP \leftarrow SP + 2$
	RETI	*return from interrupt	35	CF, ZF	$CF/ZF/PC \leftarrow M(SP), SP \leftarrow SP + 2$
	JBZ	**jump if bit zero	7(8+b), ml		$PC m/1 \leftarrow ml$ if $A(b) = 0$
	JBNZ	**jump if non-zero	7(C+b), ml		$PC m/1 \leftarrow ml$ if $A(b) = 1$
	JZ	**jump if zero	6E, ml		$PC m/1 \leftarrow ml$ if $ZF = 1$
	JNZ	**jump if non-zero	6A, ml		$PC m/1 \leftarrow ml$ if $ZF = 0$
	JC	**jump if carry	6F, ml		$PC m/1 \leftarrow ml$ if $CF = 1$
JNC	**jump if non-carry	6B, ml		$PC m/1 \leftarrow ml$ if $CF = 0$	
ICYJ	**compare Y and jump	Bn, ml	ZF	$PC m/1 \leftarrow ml$ if $Y \neq n$	
ICEJ	**increment E and jump	5F, ml		$E \leftarrow E + 1, PC m/1 \leftarrow ml$ if $E \neq 0$	
ICYJ	**increment Y and jump	5E, ml		$Y \leftarrow Y + 1, PC m/1 \leftarrow ml$ if $Y \neq 0$	