

PanaXSeries

The One to Watch for Constant Innovation-Making the Future Come Alive

MICROCOMPUTER MN15G00

MN15G1601
LSI 説明書

Pub. No. 20301-010

PanaXSeriesは、松下電器産業株式会社の商標です。

その他記載された会社名及びロゴ、製品名などは該当する各社の商標または登録商標です。

本書に記載の技術情報及び半導体のご使用にあたってのお願いと注意事項

- (1) 本書に記載の製品及び技術で、『外国為替及び外国貿易法』に該当するものを輸出する時、または、国外に持ち出す時は、日本政府の許可が必要です。
- (2) 本書に掲載しております内容は、機能改善のため予告なく変更する場合がありますのでご了承ください。従って、最終的な設計に際しましては、事前に最新版をお求め願い、ご確認ください。
- (3) 本書に記載された内容の使用に起因する損害、または第三者の特許権その他の権利侵害に関しては、弊社はその責任を負いません。
- (4) 本書の一部または全部を弊社の文書による承諾なしに、転載または複製することを堅くお断わりいたします。
- (5) 本書は標準的な仕様について述べています。設計、ご購入、ご使用に際しましては、事前に最新の個別製品規格書または仕様書をお求め願い、ご確認ください。

本書はじめ弊社半導体についてのお問い合わせは、巻末の営業所又は、松下電子工業（株）の営業部門へお願いいたします。
--

第 1 章	概 要	1
第 2 章	CPU基本機能	2
第 3 章	ポート機能	3
第 4 章	割込み機能	4
第 5 章	タイマ機能	5
第 6 章	シリアルインタフェース	6
第 7 章	LCD表示機能	7
第 8 章	A/D変換機能	8
第 9 章	ACゼロボルト検出機能	9
第 1 0 章	ウォッチドッグタイマ機能	10
第 1 1 章	オートリセット機能	11
第 1 2 章	付録	12

目次

第1章 概要

1-1	製品概要	I - 2
1-1-1	製品一覧	I - 2
1-2	ハードウェアの機能	I - 3
1-3	ブロック機能概要	I - 6
1-3-1	ブロック機能の概要	I - 6
1-3-2	ブロック図	I - 7
1-4	端子	I - 8
1-4-1	端子接続図	I - 8
1-4-2	端子機能の一覧	I - 9
1-5	特殊レジスタ	I - 14
1-5-1	レジスタマップ	I - 14
1-5-2	特殊レジスタ一覧表	I - 15
1-6	電気的特性	I - 17
1-6-1	絶対最大定格	I - 18
1-6-2	動作条件	I - 19
1-6-3	DC特性	I - 22
1-6-4	A/D変換特性	I - 26
1-7	外形寸法図	I - 27

第2章 CPU基本機能

2-1	クロック発生部	II - 2
2-1-1	クロック発生部	II - 2
2-1-2	CPU基本タイミング	II - 4
2-2	レジスタセット	II - 5
2-3	メモリ空間について	II - 10
2-3-1	ROMアドレス空間	II - 10
2-3-2	RAMアドレス空間	II - 12
2-3-3	RAMバンク制御	II - 13
2-3-4	スタック領域	II - 15
2-4	クロック切換機能	II - 16
2-4-1	クロック切換機能	II - 16
2-4-2	CPUモードレジスタ	II - 17
2-4-3	動作モードの切換	II - 18
2-5	バックアップモード	II - 19
2-5-1	バックアップモード使用上の注意点	II - 21
2-6	リセット	II - 22

第3章 ポート機能

3-1	ポート機能の概要	III - 2
3-1-1	ポート概要図	III - 2
3-1-2	ポート機能一覧	III - 3
3-1-3	ポートリセット時の状態	III - 4
3-1-4	ポートの未使用時の処置	III - 5
3-1-5	ポートの設定例	III - 6
3-1-6	ポート制御レジスター一覧表	III - 7
3-2	ポート0、ポート1の機能	III - 8
3-2-1	ポート0、ポート1の説明	III - 8
3-2-2	ポート0、ポート1のレジスタ	III - 9
3-2-3	ポート0、ポート1のブロック図	III - 10
3-3	ポート2、ポート3の機能	III - 12
3-3-1	ポート2、ポート3の説明	III - 12
3-3-2	ポート2、ポート3のレジスタ	III - 14
3-3-3	ポート2、ポート3のブロック図	III - 16
3-4	ポート6の機能	III - 20
3-4-1	ポート6の説明	III - 20
3-4-2	ポート6のレジスタ	III - 21
3-4-3	ポート6のブロック図	III - 22
3-5	ポート8、ポート9、ポートA、ポートBの機能	III - 23
3-5-1	ポート8、ポート9、ポートA、ポートBの説明	III - 23
3-5-2	ポート8、ポート9、ポートA、ポートBのレジスタ	III - 25
3-5-3	ポート8、ポート9、ポートA、ポートBのブロック図	III - 28

第4章 割込み機能

4-1	割込み機能の概要	IV - 2
4-1-1	割込み制御	IV - 2
4-1-2	割込み機能のブロック図	IV - 3
4-1-3	割込み機能の動作	IV - 4
4-1-4	割込みの設定例	IV - 13
4-2	割込み制御レジスタ	IV - 14
4-2-1	割込み制御レジスター一覧	IV - 14
4-2-2	割込み制御レジスタ	IV - 15

第5章 タイマ機能

5-1	8ビットタイマ機能の概要	V - 2
5-1-1	8ビットタイマ機能一覧	V - 3
5-1-2	8ビットタイマブロック図	V - 4
5-2	8ビットタイマ制御レジスタ	V - 10
5-2-1	8ビットタイマ制御レジスター一覧	V - 10
5-2-2	コンペアレジスタ	V - 11
5-2-3	バイナリカウンタ	V - 12
5-2-4	タイマ制御レジスタ	V - 13
5-3	8ビットタイマ動作	V - 20
5-3-1	8ビットタイマの動作	V - 20
5-3-2	8ビットタイマ動作の設定例	V - 22
5-4	8ビットイベントカウント動作	V - 24
5-4-1	8ビットイベントカウントの動作	V - 24
5-4-2	8ビットイベントカウントの設定例	V - 25
5-5	8ビットタイマパルス出力動作	V - 27
5-5-1	8ビットタイマパルス出力の動作	V - 27
5-5-2	8ビットタイマパルス出力の設定例	V - 28
5-6	8ビットPWM出力動作	V - 30
5-6-1	8ビットPWM出力の動作	V - 30
5-6-2	8ビットPWM出力の設定例	V - 32
5-7	8ビットタイマによる簡易パルス幅測定動作	V - 34
6-7-1	8ビットタイマによる簡易パルス幅測定の動作	V - 34
6-7-2	8ビットタイマによる簡易パルス幅測定の設定例	V - 35
5-8	8ビットタイマカスケード接続動作	V - 36
5-8-1	8ビットタイマカスケード接続の動作	V - 36
5-8-2	8ビットタイマカスケード接続の設定例	V - 38
5-9	リモコンキャリア出力動作	V - 40
5-9-1	リモコンキャリア出力の動作	V - 40
5-9-2	リモコンキャリア出力の設定例	V - 41
5-10	高機能PWM出力動作	V - 43
5-10-1	高機能PWM出力の動作	V - 43
5-10-2	高機能PWM出力の設定例	V - 44
5-11	トリガスタート機能	V - 46
5-11-1	トリガスタート機能の動作	V - 46
5-11-2	トリガスタート機能の設定例	V - 47
5-12	ワンショットタイマ出力動作	V - 49
5-12-1	ワンショットタイマ出力の動作	V - 49
5-12-2	ワンショットタイマ出力の設定例	V - 50
5-13	ブザー出力動作	V - 52
5-13-1	ブザー出力の動作	V - 52

5-13-2	ブザー出力の設定例	V - 53
--------	-----------------	--------

第6章 シリアルインタフェース

6-1	シリアルインタフェース機能の概要	VI - 2
6-1-1	シリアルインタフェース機能一覧	VI - 2
6-1-2	シリアルインタフェースブロック図	VI - 3
6-2	シリアルインタフェース制御レジスタ	VI - 4
6-2-1	シリアルインタフェース制御レジスター一覧	VI - 4
6-2-2	シリアルインタフェースデータレジスタ	VI - 5
6-2-3	シリアルインタフェースモードレジスタ	VI - 6
6-3	シリアルインタフェースの動作	VI - 8
6-3-1	クロック同期式シリアルインタフェースの動作	VI - 8
6-3-2	同期式シリアルインタフェースの設定例	VI - 22

第7章 LCD表示機能

7-1	LCD表示機能の概要	VII - 2
7-1-1	LCD表示機能の概要	VII - 2
7-1-2	LCD表示制御回路ブロック図	VII - 4
7-1-3	LCD表示バッファ	VII - 5
7-1-4	LCD用電源	VII - 6
7-2	LCD表示制御レジスタ	VII - 9
7-2-1	LCD表示制御レジスター一覧	VII - 9
7-2-2	LCD表示制御レジスタ	VII - 10
7-3	LCD表示例	VII - 14
7-3-1	スタティック表示例	VII - 14
7-3-2	1/2デューティー表示例	VII - 16
7-3-3	1/3デューティー表示例	VII - 18
7-3-4	1/4デューティー表示例	VII - 20

第8章 A/D 変換機能

8-1	A/D変換機能の概要	VIII - 2
8-1-1	A/D変換機能の一覧	VIII - 2
8-1-2	A/D変換機能ブロック図	VIII - 3
8-2	A/D変換制御レジスタ	VIII - 4
8-2-1	A/D変換制御レジスター一覧	VIII - 4
8-2-2	A/D変換制御レジスタ	VIII - 5
8-2-3	A/Dバッファ	VIII - 6

8-3	A/D変換動作	VIII - 7
8-3-1	A/D変換機能の設定	VIII - 9
8-3-2	A/D変換動作の設定例	VIII - 11
8-3-3	A/D変換の注意事項	VIII - 12

第 9 章 AC ゼロボルト検出機能

9-1	ACゼロボルト検出機能の概要	IX - 2
9-1-1	ACゼロボルト検出機能の概要	IX - 2
9-1-2	ACゼロボルト検出回路ブロック図	IX - 3
9-1-3	ACゼロボルト検出機能の動作	IX - 4
9-2	ACゼロボルト検出制御レジスタ	IX - 5

第 10 章 ウォッチドッグタイマ機能

10-1	ウォッチドッグタイマ機能の概要	X - 2
10-1-1	ウォッチドッグタイマ機能の概要	X - 2
10-1-2	ウォッチドッグタイマブロック図	X - 3
10-2	ウォッチドッグタイマ制御レジスタ	X - 4

第 11 章 オートリセット機能

オートリセット機能は削除しました。

第 12 章 付録

12-1	ERPOM内蔵マイコン	XII - 2
12-1-1	概要	XII - 2
12-1-2	EPROM内蔵マイコン使用上の注意	XII - 3
12-1-3	窓付きパッケージ品(PX-AP15G1601-FBC)	XII - 4
12-1-4	マスクROM版とEPROM版との差異	XII - 5
12-1-5	EPROM内蔵マイコンへの書き込みについて	XII - 6
12-1-6	ROMライター操作上の注意	XII - 8
12-1-7	書き込みアダプタ接続図	XII - 9
12-2	インストラクションセット	XII - 10
12-3	インストラクションマップ	XII - 12
12-4	MN1500シリーズとMN15Gシリーズの相違点	XII - 13
12-5	特殊レジスタ一覧表	XII - 14

12-6	回路設計上の注意事項	XII - 17
12-6-1	使用に際して	XII - 17
12-6-2	未使用端子の処置	XII - 18
12-6-3	電源の立ち上げ方	XII - 20
12-6-4	マイコン用電源回路について	XII - 21

1-1 製品概要

本LSIは、CMOS 4ビット1チップマイクロコンピュータでROM 16kバイト、RAM 512ニブルを内蔵しています。周辺機器としては、LCD駆動出力、8ビットタイマカウンタ4系統（カスケード接続により16ビットカウンタとして使用可能）、10ビットA/D変換、ACゼロボルト検出回路、シリアルインターフェース、ブザー出力回路、LED直接駆動端子を内蔵しています。

また、2系統の発振回路(max8 MHz/32 kHz)を内蔵しており、システムクロックを高速/低速に切り換えることができます。

1-1-1 製品一覧

本マニュアルでは、MN15GXX01シリーズとして、以下に示す品種について説明しています。これらの品種は、同一機能となっています。

表1-1-1 製品一覧

品種	ROM容量	RAM容量	種別
MN15G1601	16kバイト	512ニブル	マスクROM版
MN15GP1601	16kバイト	512ニブル	EPROM版

表1-1-2 品種による相違点

項目	MN15G1601	MN15GP1601
動作電源電圧	2.0 V ~ 5.5 V	2.3 V ~ 5.5 V
動作保証温度	-40 ~ +85	-20 ~ +70

1-2 ハードウェアの機能

内蔵メモリ	ROM 16kバイト RAM 512ニブル
パッケージ	64LQFP (14 mm角)
マシンサイクル	0.50 μ s / 8 MHz、4分周 (3.0 V ~ 5.5 V) 1.00 μ s / 4 MHz、4分周 (2.4 V ~ 5.5 V) 2.00 μ s / 4 MHz、8分周 (2.0 V ~ 5.5 V) 122 μ s / 32.768 kHz、4分周 (2.0 V ~ 5.5 V)
バックアップモード	HALT、STOP
動作周囲温度	-40 ~ +85
割込み機能	3 レベル ・ 割込み1 (IRQ1) ・ 割込み2 (IRQ2) ・ 割込み3 (IRQ3)
タイマカウンタ	5本 タイマ0 (汎用8ビットタイマ) ・ イベントカウント、タイマパルス出力、簡易パルス幅測定、PWM出力、リモコンキャリア出力 ・ クロックソース fsys/2, fsys/8, fsys/32, fsys/128, fxi(fosc), fxi(fosc)/4, fxi(fosc)/16, fxi(fosc)/64 タイマ1 (汎用8ビットタイマ) ・ イベントカウント、タイマパルス出力、リモコンキャリア出力 16ビットカスケード接続機能 (タイマ0と接続) ・ クロックソース fsys/2, fosc, fosc/2¹⁴, fxi, fxi/2⁶ タイマ2 (汎用8ビットタイマ) ・ イベントカウント、タイマパルス出力、簡易パルス幅測定、PWM出力、リモコンキャリア出力、ワンショットタイマ出力、トリガスタートPWM出力、トリガスタートタイマ出力 ・ クロックソース fsys/2, fosc, fosc/2, fxi, TCI入力

	タイマ3（汎用8ビットタイマ） ・ イベントカウント、タイマパルス出力、リモコンキャリア出力 16ビットカスケード接続機能（タイマ2と接続） ・ クロックソース fsys/2, fosc, fosc/2, fxi, TCI入力																						
	ウォッチドッグタイマ																						
A/D変換機能	10ビット×8チャンネル																						
LCD駆動機能	LCD駆動端子 ・ セグメント出力 最大30本 ・ コモン出力端子 4本 表示モード選択 ・ スタティック ・ 1/2デューティー、1/2バイアス ・ 1/3デューティー、1/3バイアス ・ 1/4デューティー、1/4バイアス LCD電源 ・ LCD電源はV_{LC1}、V_{LC2}、V_{LC3}の各端子より供給 ・ ソフトウェアにより内蔵の分割抵抗も使用可能																						
ブザー出力	fosc/1024、fosc/2048、fosc/4096、fxi/8、fxi/16、fxi/32から出力周波数を選択																						
PWM出力																							
リモコン出力	1/2デューティー 又は 1/3デューティー																						
ACZ入力	1系統																						
シリアルインターフェース	8ビット同期式																						
ポート	<table> <tr> <td>汎用入出力</td><td>35本（兼用30本）</td></tr> <tr> <td>・ SEG出力</td><td>16本</td></tr> <tr> <td>・ ブザー出力</td><td>1本</td></tr> <tr> <td>・ タイマ出力</td><td>1本</td></tr> <tr> <td>・ NSYNC出力</td><td>1本</td></tr> <tr> <td>・ ACZ入力</td><td>1本</td></tr> <tr> <td>・ NIRQ入力</td><td>1本</td></tr> <tr> <td>・ タイマ制御入力</td><td>1本</td></tr> <tr> <td>・ NTCI入力</td><td>1本</td></tr> <tr> <td>・ シリアル入出力</td><td>3本</td></tr> <tr> <td>・ PWM出力</td><td>4本</td></tr> </table>	汎用入出力	35本（兼用30本）	・ SEG出力	16本	・ ブザー出力	1本	・ タイマ出力	1本	・ NSYNC出力	1本	・ ACZ入力	1本	・ NIRQ入力	1本	・ タイマ制御入力	1本	・ NTCI入力	1本	・ シリアル入出力	3本	・ PWM出力	4本
汎用入出力	35本（兼用30本）																						
・ SEG出力	16本																						
・ ブザー出力	1本																						
・ タイマ出力	1本																						
・ NSYNC出力	1本																						
・ ACZ入力	1本																						
・ NIRQ入力	1本																						
・ タイマ制御入力	1本																						
・ NTCI入力	1本																						
・ シリアル入出力	3本																						
・ PWM出力	4本																						

EPROM内蔵版	MN15GP1601BL
エミュレータ	PX-ICE1500+PX-PRB15G1601
プロセス	CMOS

1-3 ブロック機能概要

1-3-1 ブロック機能の概要

表1-3-1 ブロック機能の概要

略称	ブロック名	機能
CPU(MN150G)	命令実行部	命令デコーダの命令解読結果や割込み要求等により、CPU各部の動作を制御します。
ROM	メモリデータ部	読み出し専用メモリ(Read Only Memory)は、CPUが実行する命令を格納する領域として使用します。
RAM		読み書き可能メモリ(Random Access Memory)は、スタック領域およびプログラム実行時に必要なデータを蓄積するデータ領域として使用します。
タイマ0,1 タイマ2,3 ブザー出力	タイマ制御部	タイマ動作、イベントカウント、タイマパルス出力、PWM出力、カスケード接続、簡易パルス幅測定機能、リモコンキャリア出力、ワンショットタイマ出力、トリガスタートPWM出力、トリガスタートタイマ出力、ブザー出力として使用します。
A/D変換器	A/D制御部	10ビット分解能を持つ1組のA/D変換回路を内蔵しています。アナログ入力は、チャンネル0～7(AD0～AD7)をソフトウェアで切換え可能です。
外部割込み	割込み制御部	割込み要求フラグ(IF)と割込み許可フラグ(IE)により割込みを制御します。
シリアルI/F	シリアルインタフェース制御部	8ビット同期式のシリアルインタフェースです。シリアルデータの送受信は、シリアル制御レジスタに設定されている動作モードにより、シリアルインタフェース送受信シフトレジスタを使用して行われます。
LCD	LCD制御部	最大30セグメント×4コモン(LCD(液晶))を駆動できます。
ポート0 ポート1 ポート2 ポート3 ポート6 ポート8,9/SEG ポートA,B/SEG	入出力制御部	ポート0、ポート1、ポート2、ポート3、ポート6、ポート8,9/SEG、ポートA,B/SEGは、入出力ポートです。

1-3-2 ブロック図

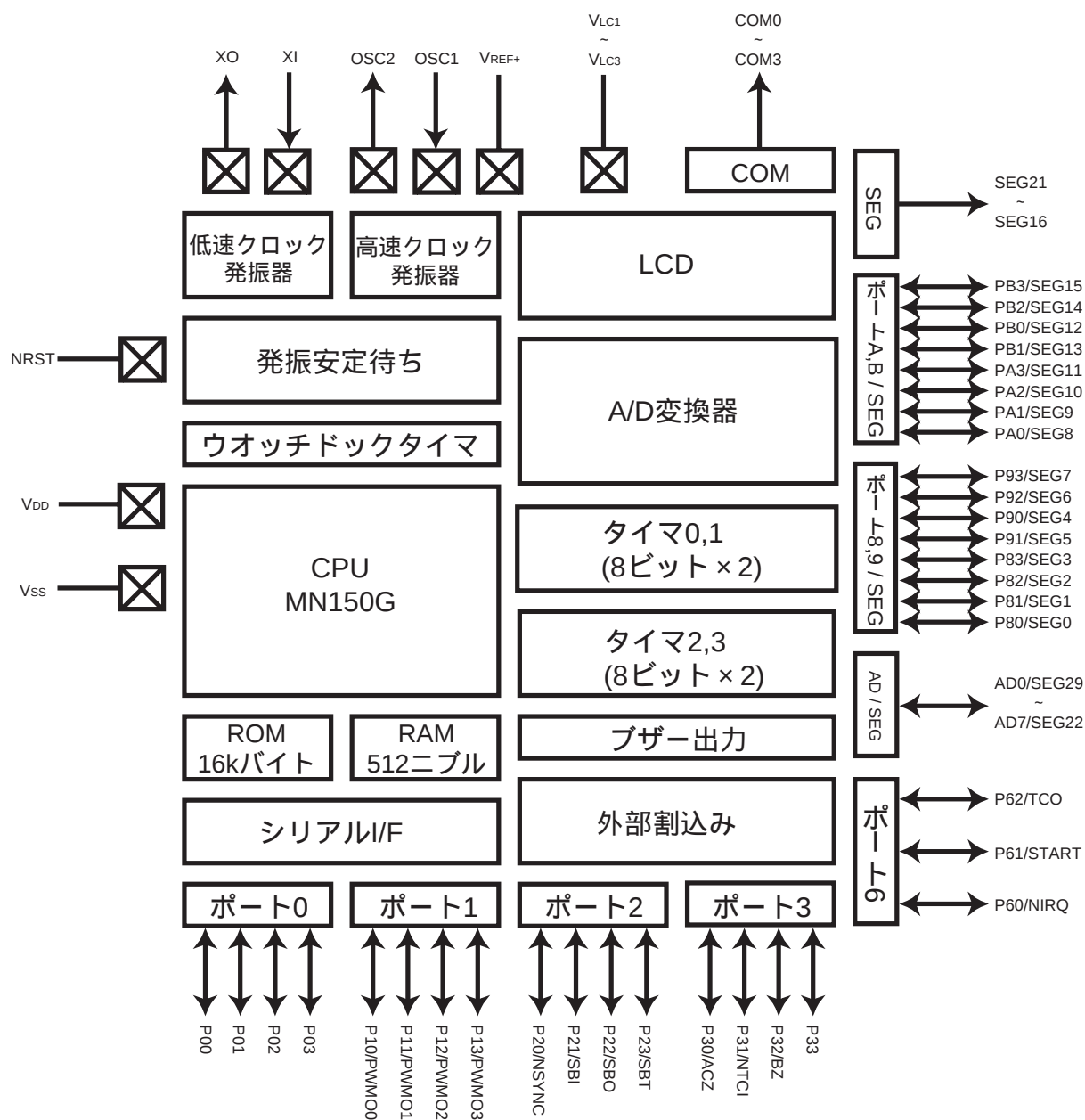


図1-3-1 ブロック機能図

1-4 端子

1-4-1 端子接続図

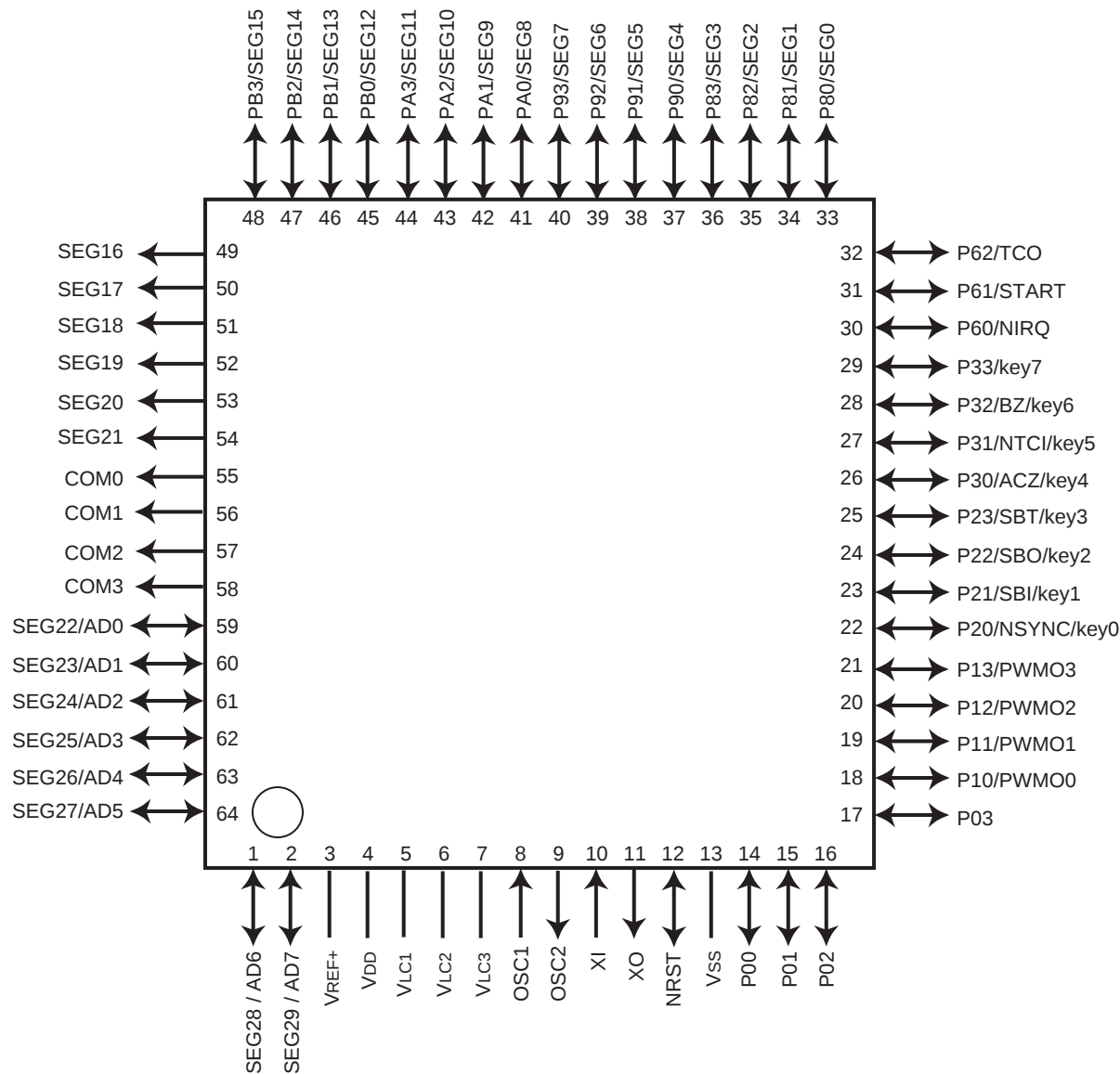


図1-4-1 端子接続図 (64LQFP : TOP VIEW)

1-4-2 端子機能の一覧

表1-4-1 端子機能一覧 (1/5)

端子名	端子 NO.	入出力	兼用端子	名称	機能
V _{SS} V _{DD}	13 4	-		電源供給端子	V _{DD} に+2.0 V ~ 5.5 V、V _{SS} に0 Vを印加します。
OSC1 OSC2	8 9	入力 出力		クロック入力端子 クロック出力端子	高速動作クロック用の発振子を接続する発振端子です。フィードバック抵抗を内蔵しています。クロックを外部から供給する場合はOSC1に入力し、OSC2は開放してください。
XI XO	10 11	入力 出力		クロック入力端子 クロック出力端子	低速動作クロック用の発振子を接続する発振端子です。フィードバック抵抗を内蔵しています。クロックを外部から供給する場合はXIに入力し、XOは開放してください。
NRST	12	入出力		リセット入力端子 [シュミット]	NRST端子に"L"レベル入力すると、リセットがかかります。リセット解除後、OSC入力クロックの2 ¹⁴ カウント後に内部リセットが解除されます。出力形式は、N-chオープンドレインでウオッチドックタイマによりリセットを行います。
P00 P01 P02 P03	14 15 16 17	入出力		入出力ポート0	並列データの入出力ポートです。P01DIRレジスタにより、1ビット単位で入力/出力の切替が可能です。出力形式はN-chオープンドレインです。リセット時には、入力モード（出力ハイインピーダンス）になります。
P10 P11 P12 P13	18 19 20 21	入出力	PWMO0 PWMO1 PWMO2 PWMO3	入出力ポート1	並列データの入出力ポートです。P01DIRレジスタにより、1ビット単位で入力/出力の切替が可能です。出力形式はCMOSプッシュプルまたはN-chオープンドレインでP01SCレジスタにより、1ビット単位で切替が可能です。リセット時は入力モード（出力ハイインピーダンス）になります。PWM出力(PWMO0 ~ 3)と兼用しています。
P20 P21 P22 P23	22 23 24 25	入出力	NSYNC SBI SBO SBT	入出力ポート2 [シュミット]	並列データの入出力ポートです。P23DIRレジスタにより、1ビット単位の入力/出力の切替が可能です。また、P23PLUレジスタにより、1ビット単位でプルアップ抵抗の設定が可能です。出力形式はCMOSプッシュプルまたはN-chオープンドレインでP23SCレジスタにより、1ビット単位で切替が可能です。リセット時は入力モードプルアップ抵抗なし（出力ハイインピーダンス）になりますが、P20は内部リセット状態の間、システムクロックが出力されます。P20はNSYNC、P21はSBI、P22はSBO、P23はSBTと兼用しています。キー割込み入力としても使用できます。

表1-4-2 端子接続機能一覧 (2/5)

端子名	端子 NO.	入出力	兼用端子	名称	機能
P30 P31 P32 P33	26 27 28 29	入出力	ACZ NTCI BZ	入出力ポート3 [シュミット]	並列データの入出力ポートです。 P23DIRレジスタにより、1ビット単位の入力/出力の切替が可能です。また、P23PLUレジスタにより、1ビット単位でプルアップ抵抗の設定が可能です。 出力形式は、CMOSプッシュプル、または、N-chオープンドレインでP23SCレジスタにより、1ビット単位で切替が可能です。 リセット時は、入力モードプルアップ抵抗なし（出力ハイインピーダンス）になります。 P30はACZ、P31はNTCI、P32はBZと兼用しています。 キー割込み入力としても使用できます。
P60 P61 P62	30 31 32	入出力	NIRQ START TCO	入出力ポート6 [シュミット]	並列データの入出力ポートです。 P67DIRレジスタにより、1ビット単位の入力/出力の切替が可能です。また、P67PLUレジスタにより、1ビット単位でプルアップ抵抗の設定が可能です。 出力形式は、CMOSプッシュプル、または、N-chオープンドレインでP67SCレジスタにより、1ビット単位で切替が可能です。 リセット時は、入力モードプルアップ抵抗なし（出力ハイインピーダンス）になります。 P60はNIRQ、P61はSTART、P62はTCOと兼用しています。
P80 P81 P82 P83 P90 P91 P92 P93	33 34 35 36 37 38 39 40	入出力 入出力	SEG0 SEG1 SEG2 SEG3 SEG4 SEG5 SEG6 SEG7	入出力ポート8 入出力ポート9	並列データの入出力ポートです。 P89DIRレジスタにより、1ビット単位の入力/出力の切替が可能です。また、PLUCNTレジスタにより、ポート単位でプルアップ抵抗の設定が可能です。 出力形式は、CMOSプッシュプル、または、N-chオープンドレインでPSCCNTレジスタにより、ポート単位で切替が可能です。 リセット時は、入力モードプルアップ抵抗なし（出力ハイインピーダンス）になります。 P80～P83はSEG0～SEG3、P90～P93はSEG4～SEG7と兼用しています。
PA0 PA1 PA2 PA3 PB0 PB1 PB2 PB3	41 42 43 44 45 46 47 48	入出力 入出力	SEG8 SEG9 SEG10 SEG11 SEG12 SEG13 SEG14 SEG15	入出力ポートA 入出力ポートB	並列データの入出力ポートです。 PABDIRレジスタにより、1ビット単位の入力/出力の切替が可能です。また、PLUCNTレジスタにより、ポート単位でプルアップ抵抗の設定が可能です。 出力形式は、CMOSプッシュプル、または、N-chオープンドレインでPSCCNTレジスタにより、ポート単位で切替が可能です。 リセット時は、入力モードプルアップ抵抗なし（出力ハイインピーダンス）になります。 PA0～PA3はSEG8～SEG11、PB0～PB3はSEG12～SEG15と兼用しています。
V _{LC1} V _{LC2} V _{LC3}	5 6 7	-		LCD電源	LCD電源を供給します。 通常V _{DD} -V _{SS} を抵抗分割して供給します。 ソフトウェアにより、内蔵の抵抗分割が使用可能です。
COM0 COM1 COM2 COM3	55 56 57 58	出力		LCDコモン出力	LCDのコモン信号出力端子です。

表1-4-3 端子機能一覧 (3/5)

端子名	端子 NO.	入出力	兼用端子	名称	機能
SEG16 SEG17 SEG18 SEG19 SEG20 SEG21	49 50 51 52 53 54	出力		LCDセグメント出力	LCDのセグメント信号出力端子です。
SEG0 SEG1 SEG2 SEG3 SEG4 SEG5 SEG6 SEG7 SEG8 SEG9 SEG10 SEG11 SEG12 SEG13 SEG14 SEG15	33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48	出力	P80 P81 P82 P83 P90 P91 P92 P93 PA0 PA1 PA2 PA3 PB0 PB1 PB2 PB3	LCDセグメント出力	LCDのセグメント信号出力端子です。 SEG0～SEG3はP80～P83、SEG4～SEG7はP90～P93、SEG8～SEG11はPA0～PA3、SEG12～SEG15はPB0～PB3と兼用しています。LCMD0レジスタにより、ポート単位でポート/セグメントの切替が可能です。 リセット時は、ポート入力プルアップ抵抗なし（出力ハイインピーダンス）になります。
SEG22 SEG23 SEG24 SEG25 SEG26 SEG27 SEG28 SEG29	59 60 61 62 63 64 1 2	出力	AD0 AD1 AD2 AD3 AD4 AD5 AD6 AD7	LCDセグメント出力	LCDのセグメント信号出力端子です。 AD0～7と兼用しています。LCMD1レジスタにより、ポート単位でポート/セグメントの切替が可能です。 リセット時は、アナログ入力（出力ハイインピーダンス）になります。
V _{REF+}	3	-		アナログ電源	A/D変換の基準電源端子です。
AD0 AD1 AD2 AD3 AD4 AD5 AD6 AD7	59 60 61 62 63 64 1 2	入力	SEG22 SEG23 SEG24 SEG25 SEG26 SEG27 SEG28 SEG29	アナログ入力端子	8チャンネルのアナログ入力端子です。 アナログ入力端子として使用しないときはセグメント出力端子として使用できます。 リセット時は、アナログ入力（出力ハイインピーダンス）になります。
NSYNC	22	出力	P20 key0	システムクロック同期出力	内部リセット時、システムクロックの同期信号が出力されます。 動作時、初期状態はポートですが、ACZCNTレジスタによりNSYNC出力/ポートデータ出力の切替が可能です。
SBI	23	入力	P21 key1	シリアルインターフェースデータ入力端子	シリアルインターフェースのデータ入力端子です。 SC0MD1レジスタにてSBI端子を選択し、P23DIRレジスタで入力モードに設定してご利用ください。 シリアルインターフェースのデータ入力として使用しないときは通常のポートもしくはキー割込み入力として使用できます。

表1-4-4 端子機能一覧 (4/5)

端子名	端子 NO.	入出力	兼用端子	名称	機能
SBO	24	入出力	P22 key2	シリアルインターフェースデータ入出力端子	シリアルインターフェースのデータ入出力端子です。SC0MD1レジスタにてSBO端子を選択し、データ入力の場合はP23DIRで入力モードに設定して、データ出力の場合は出力モードに設定してご利用ください。 シリアルインターフェースのデータ入出力として使用しないときは通常のポートもしくはキー割込み入力として使用できます。
SBT	25	入出力	P23 key3	シリアルインターフェースクロック入出力端子	シリアルインターフェースのクロック入出力端子です。SC0MD1レジスタにてSBTを選択し、外部クロック動作の場合はP23DIRレジスタで入力モードに設定して、内部クロックの動作の場合は出力モードに設定してご利用ください。 シリアルインターフェースのクロック入出力として使用しないときは通常のポートもしくはキー割込み入力として使用できます。
ACZ	26	入力	P30 key4	ACゼロボルト検出入力	ACゼロボルト検出回路の入力端子です。 ACゼロボルト検出回路はACZ割込み入力とP30の入力回路に接続されています。ACZCNTレジスタにて、P30の入力データを選択できます。
NTCI	27	入力	P31 key5	タイマイベントクロック入力	タイマ2、3のイベントクロックの入力端子です。 MODCNTレジスタにて、タイマ2、3へのイベントクロックを選択することが可能です。 イベントクロックの入力端子として使用しないときは、通常のポートもしくはキー割込み入力として使用できます。
BZ	28	出力	P32 key6	ブザー出力	ブザー出力の端子です。 BZCTRレジスタにてブザー出力/ポートデータ出力の切替が可能です。 ブザー出力として使用しないときは通常のポートもしくはキー割込み入力として使用できます。
IRQ	30	入力	P60	割込み入力	IRQ1割込みの入力端子です。 IRQ1割込み入力として使用しないときは通常のポートとして使用できます。
START	31	入力	P61	タイマ制御入力	タイマ制御入力です。 タイマ機能の簡易パルス幅測定モード、トリガスタートモードでタイマ動作を制御します。 タイマ制御入力として使用しないときは通常のポートとして使用できます。
TCO	32	出力	P62	タイマ出力	タイマ出力の端子です。 TCOCNTレジスタにてタイマ出力/ポートデータ出力の切替が可能です。 タイマ出力として使用しないときは通常のポートとして使用できます。

表1-4-5 端子機能一覧 (5/5)

端子名	端子 NO.	入出力	兼用端子	名称	機能
key0 key1 key2 key3 key4 key5 key6 key7	22 23 24 25 26 27 28 29	入力	P20 P21 P22 P23 P30 P31 P32 P33	キー割込み入力	キー割込み入力端子です。 KEYCNTレジスタにより、1ビット単位でイネーブル/ディスネーブルの切替が可能です。 キー割込み入力として使用しないときは通常のポートとして使用できます。
PWMO0 PWMO1 PWMO2 PWMO3	18 19 20 21	出力	P10 P11 P12 P13	PWM出力	PWM出力の端子です。 BZCTRレジスタにて1ビット単位でPWM出力の許可/不許可を切替えます。 許可時にはMODCNTレジスタで選択されたタイマ出力とポート1の出力ラッチデータとの論理積が端子に出力されます。

1-5 特殊レジスタ

1-5-1 レジスタマップ

本LSIの特殊レジスタは、以下のように配置されています。

表1-5-1 レジスタマップ

ページ0		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0×		PORT0	PORT1	PORT2	PORT3			PORT6		PORT8	PORT9	PORTA	PORTB				
1×		P01DIR		P23DIR				P67DIR		P89DIR		PABDIR					
2×				P23PLU		PLUCNT		P67PLU		P01SC		P23SC		PSCCNT		P67SC	
3×		CPUIM		IRQM		IRQC0		IRQC1		KEYCNT		ACZCNT					
4×		TM0BC		TM1BC		TM2BC		TM3BC		TM0MD		TM1MD		TM2MD		TM3MD	
5×		TM0OC		TM1OC		TM2OC		TM3OC								MODCNT	
6×		SC0MD0		SC0MD1		SC0TRB						TCOCNT		BZCTR		WDCTR	
7×		ADBUF0		ADBUF1		ADCCTR0				LCCTR		VLCCNT		LCMD0		LCMD1	
8×		TEST															
9×																	
A×																	
B×																	
C×																	
D×																	
E×																	
F×																	

注) X000～X00Fは4ビット（ポート単位の入出力命令）及び8ビット単位でアクセスできます。
X010～X07Fは8ビット単位でしかアクセスできません。

ページ1		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0×		SEG0	SEG1	SEG2	SEG3	SEG4	SEG5	SEG6	SEG7	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
1×		SEG16	SEG17	SEG18	SEG19	SEG20	SEG21	SEG22	SEG23	SEG24	SEG25	SEG26	SEG27	SEG28	SEG29		
2×																	
3×																	
4×																	
5×																	
6×																	
7×																	
8×																	
9×																	
A×																	
B×																	
C×																	
D×																	
E×																	
F×																	

注) X100～X11Fは8ビット単位でしかアクセスできません。
X1C0～X1FFはPC13（プログラムカウンタ bp13）の専用スタックエリアに割り当てています。

1-5-2 特殊レジスタ一覧表

アドレス	レジスタ略称	R/W	レジスタ名称	参照ページ
X'000'	PORT01	R/W	ポート0、ポート1データレジスタ	III - 9
X'002'	PORT23	R/W	ポート2、ポート3データレジスタ	III - 14
X'006'	PORT6	R/W	ポート6データレジスタ	III - 21
X'008'	PORT89	R/W	ポート8、ポート9データレジスタ	III - 24
X'00A'	PORTAB	R/W	ポートA、ポートBデータレジスタ	III - 25
X'010'	P01DIR	R/W	ポート0、ポート1方向制御レジスタ	III - 9
X'012'	P23DIR	R/W	ポート2、ポート3方向制御レジスタ	III - 14
X'016'	P67DIR	R/W	ポート6方向制御レジスタ	III - 21
X'018'	P89DIR	R/W	ポート8、ポート9方向制御レジスタ	III - 24
X'01A'	PABDIR	R/W	ポートA、ポートB方向制御レジスタ	III - 25
X'022'	P23PLU	R/W	ポート2、ポート3プルアップ抵抗制御レジスタ	III - 14
X'024'	PLUCNT	R/W	ポート8、ポート9、ポートA、ポートB プルアップ抵抗制御レジスタ	III - 26
X'026'	P67PLU	R/W	ポート6プルアップ抵抗制御レジスタ	III - 21
X'028'	P01SC	R/W	ポート1出力構造制御レジスタ	III - 9
X'02A'	P23SC	R/W	ポート2、ポート3出力構造制御レジスタ	III - 15
X'02C'	PSCCNT	R/W	ポート8、ポート9、ポートA、ポートB 出力構造制御レジスタ	III - 26
X'02E'	P67SC	R/W	ポート6出力構造制御レジスタ	III - 21
X'030'	CPUM	R/W	CPUモードレジスタ	II - 16
X'032'	IRQM	W	IRQモードレジスタ	IV - 15
X'034'	IRQC0	R/W	割込み制御レジスタ0	IV - 15
X'036'	IRQC1	R/W	割込み制御レジスタ1	IV - 16
X'038'	KEYCNT	R/W	キー割込み制御レジスタ	IV - 17
X'03A'	ACZCNT	R/W	ACZ制御レジスタ	IX - 5
X'040'	TM0BC	R	タイマ0バイナリカウンタ	V - 12
X'042'	TM1BC	R	タイマ1バイナリカウンタ	V - 12
X'044'	TM2BC	R	タイマ2バイナリカウンタ	V - 12
X'046'	TM3BC	R	タイマ3バイナリカウンタ	V - 12
X'048'	TM0MD	R/W	タイマ0モードレジスタ	V - 13
X'04A'	TM1MD	R/W	タイマ1モードレジスタ	V - 14
X'04C'	TM2MD	R/W	タイマ2モードレジスタ	V - 15
X'04E'	TM3MD	R/W	タイマ3モードレジスタ	V - 16
X'050'	TM0OC	R/W	タイマ0コンペアレジスタ	V - 11
X'052'	TM1OC	R/W	タイマ1コンペアレジスタ	V - 11
X'054'	TM2OC	R/W	タイマ2コンペアレジスタ	V - 11
X'056'	TM3OC	R/W	タイマ3コンペアレジスタ	V - 11
X'05E'	MODCNT	R/W	タイマモード制御レジスタ	V - 17

R/W : 読み出し・書き込み共に可能です。

R : 読み出し専用レジスタです。

W : 書き込み専用レジスタです。

アドレス	レジスタ略称	R/W	レジスタ名称	参照ページ
X'060'	SC0MD0	R/W	シリアルインタフェースモードレジスタ0	VI - 6
X'062'	SC0MD1	R/W	シリアルインタフェースモードレジスタ1	VI - 7
X'064'	SC0TRB	R/W	シリアルインタフェース送受信シフトレジスタ	VI - 5
X'06A'	TCOCNT	R/W	タイマ出力制御レジスタ	V - 18
X'06C'	BZCTR	R/W	ブザー出力制御レジスタ	V - 19
X'06E'	WDCTR	W	ウォッチドックタイマ制御レジスタ	X - 4
X'070'	ADBUF0	R	A/D変換データ格納バッファ0	VIII - 6
X'072'	ADBUF1	R	A/D変換データ格納バッファ1	VIII - 6
X'074'	ADCTR0	R/W	A/D制御レジスタ	VIII - 5
X'078'	LCCTR	R/W	LCD表示コントロールレジスタ	VII - 10
X'07A'	VLCCNT	R/W	LCD分割抵抗制御レジスタ	VII - 11
X'07C'	LCMD0	R/W	LCDポート切換えレジスタ0	VII - 12
X'07E'	LCMD1	R/W	LCDポート切換えレジスタ1	VII - 13
X'080'	TEST	R/W	テストレジスタ	-
X'100' ~ X'11C'	SEG0 ~ SEG29	W	LCD表示用バッファ	VII - 5

R/W : 読み出し・書き込み共に可能です。

R : 読み出し専用レジスタです。

W : 書き込み専用レジスタです。

1-6 電気的特性

内容 \ 型格	MN15G1601
種 別	CMOS集積回路
用 途	汎用
機 能	CMOS 4ビット 1チップ マイクロコンピュータ

1-6-1 絶対最大定格

VSS=0 V

項目			略号	定格	単位
1	電源電圧		V _{DD}	-0.3 ~ +7.0	V
2			V _{LC1} ~ V _{LC3}	-0.3 ~ V _{DD} +0.3	V
3	入力クランプ電流		I _C	-0.5 ~ +0.5	mA
4	入力端子電圧		V _I	-0.3 ~ V _{DD} +0.3 (ACZを除く)	V
5	出力端子電圧		V _O	-0.3 ~ V _{DD} +0.3	V
6	入出力端子電圧		V _{IO}	-0.3 ~ V _{DD} +0.3	V
7	尖頭端子電流	P0,P1	I _{OL(peak)}	40	mA
8		P0,P1以外	I _{OL(peak)}	20	mA
9		全端子	I _{OH(peak)}	-10	mA
10	平均出力電流	P0,P1	I _{OL(avg)}	15	mA
11		P0,P1以外	I _{OL(avg)}	10	mA
12		全端子	I _{OH(avg)}	-4	mA
13	総出力電流値		I _{TOL}	60	mA
14			I _{TOH}	-60	mA
15	AD基準電圧		V _{REF}	-0.3 ~ V _{DD} +0.3	V
16	許容損失		P _D	360(Ta=85)	mW
17	動作周囲温度		T _{OPR}	-40 ~ +85	
18	保存温度		T _{STG}	-55 ~ +125	



このLSI説明書は、標準的な仕様について述べています。LSIをご使用の際は、弊社営業所まで製品規格をお求めください。



平均出力電流は、いかなる100 msの期間に対しても適用されます。



絶対最大定格は、チップに印加しても破損を生じさせない許容値であり、動作を保証するものではありません。



ラッチアップ防止のために、電源端子とGND間に0.1 μF以上のバイパスコンデンサをLSI近傍に少なくとも1箇所以上挿入して下さい。

1-6-2 動作条件

Ta=-40 ~ +85 V _{DD} =2.0 V ~ 5.5 V V _{SS} =0 V							
項 目	略 号	条 件	定 格			単位	
			MIN	TYP	MAX		
電源電圧							
1	動作電源電圧	V _{DD1}	fosc 8 MHz(4分周)	3.0	-	5.5	V
2		V _{DD2}	fosc 4 MHz(4分周)	2.4	-	5.5	
3		V _{DD3}	fosc 4 MHz(8分周)	2.0	-	5.5	
4		V _{LCD} *1		2.5	3.0	5.5	
* 1 V _{LCD} : LCD駆動電圧							
動作速度							
5	命令実行時間* 2	tc1	V _{DD} =3.0 V ~ 5.5 V	0.5	-	16	μs
6		tc2	V _{DD} =2.4 V ~ 5.5 V	1.0	-	16	
7		tc3	V _{DD} =2.0 V ~ 5.5 V	2.0	-	16	
8		tc4	V _{DD} =2.0 V ~ 5.5 V	40	-	250	
* 2 tc1、tc2、tc3 : OSC1をCPUクロックとした場合 tc4 : XIをCPUクロックとした場合							
発振1							
9	発振周波数	f _{xtal1}		0.5	-	8.0	MHz
10	内蔵フィードバック抵抗	R _{F1}		-	500	-	kΩ
発振2							
11	発振周波数	f _{xtal2}		32	-	100	kHz
12	内蔵フィードバック抵抗	R _{F2}		-	4.0	-	MΩ
外部クロック入力1 OSC1(OSC2は開放)							
13	クロック周波数	f _{osc1}		0.5	-	8.0	MHz
14	ハイレベルパルス幅	t _{wh1}	クロックデューティ比は 45 % ~ 55 % としてくだ さい。	56	-	-	ns
15	ロウレベルパルス幅	t _{wl1}		56	-	-	
16	立ち上がり時間	t _{wr1}		-	-	20	
17	立ち下がり時間	t _{wf1}		-	-	20	
外部クロック入力2 XI(XOは開放)							
18	クロック周波数	f _{osc2}		32	-	100	kHz
19	ハイレベルパルス幅	t _{wh2}	クロックデューティ比は 45 % ~ 55 % としてくだ さい。	4.5	-	-	μs
20	ロウレベルパルス幅	t _{wl2}		4.5	-	-	
21	立ち上がり時間	t _{wr2}		-	-	20	ns
22	立ち下がり時間	t _{wf2}		-	-	20	

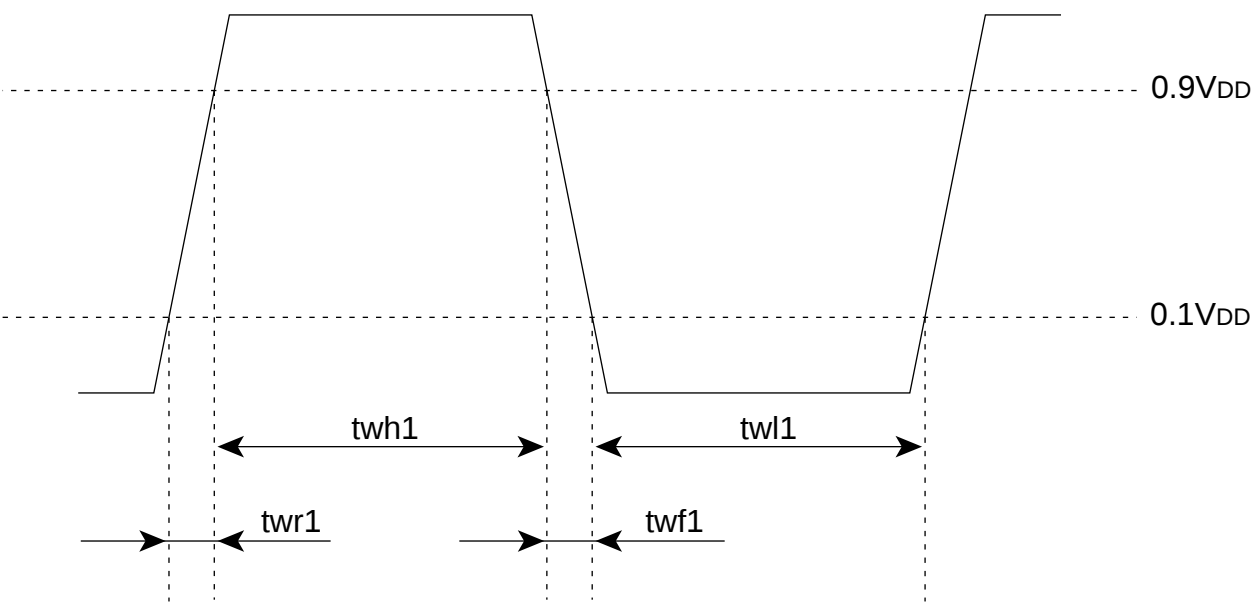


図1-5-1 OSC1 タイミングチャート

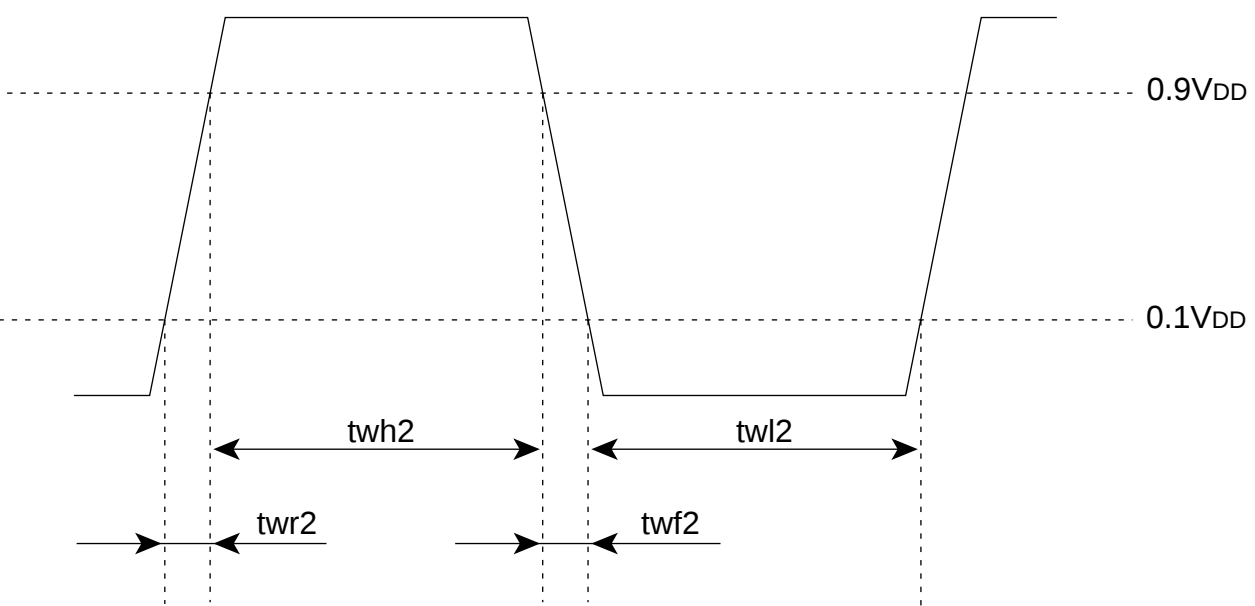


図1-5-2 XI タイミングチャート

Ta=-40 ~ +85 V_{DD}=2.0 V ~ 5.5 V V_{SS}=0 V

項 目		略 号	条 件	定 格			単位
				MIN	TYP	MAX	
外部クロック入力3 NTCI							
23	クロック周波数	f _{tcI}	クロックデューティ比は 45 % ~ 55 %とさせていただきます。	-	-	5	MHz
24	ハイレベルパルス幅	t _{wh3}		75	-	-	ns
25	ロウレベルパルス幅	t _{wl3}		75	-	-	
26	立ち上がり時間	t _{rcp}		-	-	20	
27	立ち下がり時間	t _{fcP}		-	-	20	

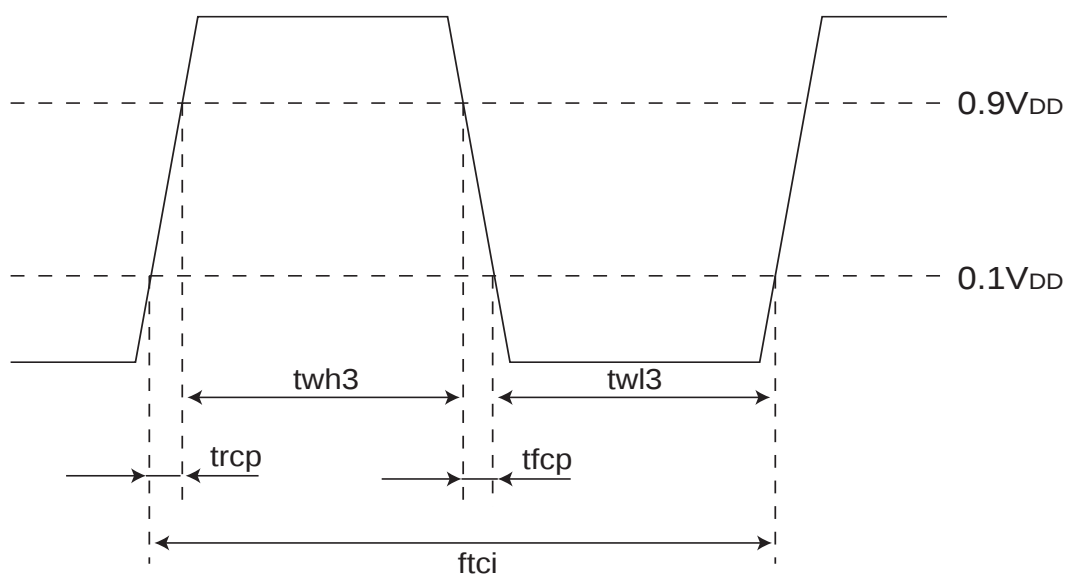


図1-5-3 NTCIタイミングチャート

1-6-3 DC特性

Ta=-40 ~ +85 V_{DD}=2.0 V ~ 5.5 V V_{SS}=0 V

項 目		略 号	条 件	定 格			単位
				MIN	TYP	MAX	
電源電流							
1	動作時電源電流	I _{DD1}	f _{osc} =8.0 MHz V _{DD} =5.0 V	-	1.8	3.5	mA
2		I _{DD2}	f _{osc} =4.0 MHz V _{DD} =5.0 V	-	1.2	2.5	
3		I _{DD3}	f _{osc} =32.768 kHz V _{DD} =5.0 V	-	9	20	μA
4	HALT時電源電流	I _{DD4}	f _{osc} =4.0 MHz V _{DD} =5.0 V	-	0.3	0.6	mA
5		I _{DD5}	f _{osc} =32.768 kHz V _{DD} =5.0 V	-	1.5	8.0	
6	ストップ時電源電流	I _{DD6}	V _{DD} =5 V ACZ=1/2V _{DD} Ta=25	-	4	10	μA
7		I _{DD7}	V _{DD} =5 V ACZ=1/2V _{DD} Ta=-40 ~ +85	-	-	30	
8		I _{DD8}	V _{DD} =5 V Ta=25	-	-	1	
9		I _{DD9}	V _{DD} =5 V Ta=-40 ~ +85	-	-	5	

* Ta=25 、無負荷状態で測定します。

* 動作時電源電流I_{DD1}は、リセット解除後、NORMALモードで、入出力端子をV_{DD}に固定し、OSC1端子よりV_{DD}、V_{SS}電位を振幅とする8 MHzの矩形波を入力し、測定します。

* 動作時電源電流I_{DD2}は、リセット解除後、NORMALモードで、入出力端子をV_{DD}に固定し、OSC1端子よりV_{DD}、V_{SS}電位を振幅とする4 MHzの矩形波を入力し、測定します。

* 動作時電源電流I_{DD3}は、リセット解除後、NORMALモードで、入出力端子をV_{DD}に固定し、OSC1端子よりV_{DD}、V_{SS}電位を振幅とする32.768 kHzの矩形波を入力し、測定します。

* HALT時電源電流I_{DD4}は、リセット解除後、HALTモードに設定し、入出力端子をV_{DD}に固定し、OSC1端子よりV_{DD}、V_{SS}電位を振幅とする4 MHzの矩形波を入力し、測定します。

* HALT時電源電流I_{DD5}は、リセット解除後、HALTモードに設定し、入出力端子をV_{DD}に固定し、XI端子よりV_{DD}、V_{SS}電位を振幅とする32.768 kHzの矩形波を入力し、測定します。

* STOP時電源電流I_{DD6}、I_{DD7}は、リセット解除後、STOPモードに設定し、入出力端子をV_{DD}に固定し、ACZ端子を1/2V_{DD}に固定し、OSC1端子を開放し、XI端子よりV_{DD}、V_{SS}電位を振幅とする32.768 kHzの矩形波を入力し、測定します。

* STOP時電源電流I_{DD8}、I_{DD9}は、リセット解除後、STOPモードに設定し、入出力端子をV_{DD}に固定し、OSC1端子を開放し測定します。

* 各電源電流規格は、LCD内蔵抵抗を接続しない状態で測定します。

Ta=-40 ~ +85 V_{DD}=2.0 V ~ 5.5 V V_{SS}=0 V

項 目		略 号	条 件	定 格			単位
				MIN	TYP	MAX	
入力端子 NRST (シュミット入力、プルアップ抵抗内蔵)							
10	入力電圧ハイレベル	V _{IH1}		0.8V _{DD}	-	V _{DD}	V
11	入力電圧ロウレベル	V _{IL1}		V _{SS}	-	0.15V _{DD}	
12	入力電流	I _{I1}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
入出力端子 P00 ~ P03 (N-chオープンドレイン出力)							
13	入力電圧ハイレベル	V _{IH2}		0.8V _{DD}	-	V _{DD}	V
14	入力電圧ロウレベル	V _{IL2}		V _{SS}	-	0.2V _{DD}	
15	入力リーク電流	I _{LI2}	V _I =0 V ~ V _{DD}	-	± 0.01	± 1	μA
16	出力電圧ロウレベル	V _{OL2}	I _{OL} =15 mA, V _{DD} =5.0 V	V _{SS}	0.4	1.0	V
入出力端子 P10 ~ P13							
17	入力電圧ハイレベル	V _{IH3}		0.8V _{DD}	-	V _{DD}	V
18	入力電圧ロウレベル	V _{IL3}		V _{SS}	-	0.2V _{DD}	
19	入力リーク電流	I _{LI3}	V _I =0 V ~ V _{DD}	-	± 0.01	± 1	μA
20	出力電圧ハイレベル	V _{OH3}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
21	出力電圧ロウレベル	V _{OL3}	I _{OL} =15 mA, V _{DD} =5.0 V	V _{SS}	0.4	1.0	
入出力端子 P20/NSYNC, P21/SBI, P22/SBO, P23/SBT (シュミット入力)							
22	入力電圧ハイレベル	V _{IH4}		0.8V _{DD}	-	V _{DD}	V
23	入力電圧ロウレベル	V _{IL4}		V _{SS}	-	0.1V _{DD}	
24	入力電流	I _{I4}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
25	入力リーク電流	I _{LI4}	プルアップ抵抗無 V _I =0 V ~ V _{DD}	-	± 0.01	± 1	
26	出力電圧ハイレベル	V _{OH4}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
27	出力電圧ロウレベル	V _{OL4}	I _{OL} =1.0 mA, V _{DD} =5.0 V	V _{SS}	0.1	0.5	
入出力端子 P60/NIRQ, P61/START, P62/TCO (シュミット入力)							
28	入力電圧ハイレベル	V _{IH5}		0.8V _{DD}	-	V _{DD}	V
29	入力電圧ロウレベル	V _{IL5}		V _{SS}	-	0.1V _{DD}	
30	入力電流	I _{I5}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
31	入力リーク電流	I _{LI5}	プルアップ抵抗無 V _I =0 V ~ V _{DD}	-	± 0.01	± 1	
32	出力電圧ハイレベル	V _{OH5}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
33	出力電圧ロウレベル	V _{OL5}	I _{OL} =1.0 mA, V _{DD} =5.0 V	V _{SS}	0.1	0.5	

Ta=-40 ~ +85 V_{DD}=2.0 V ~ 5.5 V V_{SS}=0 V

項 目		略 号	条 件	定 格			単位
				MIN	TYP	MAX	
入出力端子 P30/ACZ, P31/TCI (P30/ACZをポートとして使用時、シュミット入力)							
34	入力電圧ハイレベル	V _{IH6}		0.8V _{DD}	-	V _{DD}	V
35	入力電圧ロウレベル	V _{IL6}		V _{SS}	-	0.1V _{DD}	
36	入力電流	I _{I6}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
37	入力リーク電流	I _{LI6}	プルアップ抵抗無 V _I =0 V ~ V _{DD}	-	±0.01	±1	
38	出力電圧ハイレベル	V _{OH6}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
39	出力電圧ロウレベル	V _{OL6}	I _{OL} =1.0 mA, V _{DD} =5.0 V	V _{SS}	0.1	0.5	
入力端子 P30/ACZ (ACZ入力として使用時)							
40	入力電圧ハイレベル1	V _{DHH}	V _{DD} =4.5 V ~ 5.5 V	V _{DD} -0.5	-	V _{DD}	V
41	入力電圧ロウレベル1	V _{DLH}		V _{SS}	-	V _{DD} -1.5	
42	入力電圧ハイレベル2	V _{DHL}		1.5	-	V _{DD}	
43	入力電圧ロウレベル2	V _{DLL}		V _{SS}	-	0.5	
44	入力リーク電流	I _{LI7}	V _I =0 V ~ V _{DD}	-	±0.01	±1	μA
45	入力クランプ電流	I _{CI7}	V _I > V _{DD} , V _I < 0 V	-	-	±400	
入出力端子 P32/BZ, P33 (シュミット入力)							
46	入力電圧ハイレベル	V _{IH8}		0.8V _{DD}	-	V _{DD}	V
47	入力電圧ロウレベル	V _{IL8}		V _{SS}	-	0.1V _{DD}	
48	入力電流	I _{I8}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
49	入力リーク電流	I _{LI8}	プルアップ抵抗無 V _I =0 V ~ V _{DD}	-	±0.01	±1	
50	出力電圧ハイレベル	V _{OH8}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
51	出力電圧ロウレベル	V _{OL8}	I _{OL} =1.0 mA, V _{DD} =5.0 V	V _{SS}	0.1	0.5	
入出力端子 P80/SEG0 ~ P83/SEG3, P90/SEG4 ~ P93/SEG7 PA0/SEG8 ~ PA3/SEG11, PB0/SEG12 ~ PB3/SEG15 (ポートとして使用時)							
52	入力電圧ハイレベル	V _{IH9}		0.8V _{DD}	-	V _{DD}	V
53	入力電圧ロウレベル	V _{IL9}		V _{SS}	-	0.2V _{DD}	
54	入力電流	I _{I9}	プルアップ抵抗有 V _I =1.5 V, V _{DD} =5.0 V	-50	-140	-200	μA
55	入力リーク電流	I _{LI9}	プルアップ抵抗無 V _I =0 V ~ V _{DD}	-	±0.01	±1	
56	出力電圧ハイレベル	V _{OH9}	I _{OH} =-0.5 mA, V _{DD} =5.0 V	4.5	4.9	V _{DD}	V
57	出力電圧ロウレベル	V _{OL9}	I _{OL} =1.0 mA, V _{DD} =5.0 V	V _{SS}	0.1	0.5	

beaverTa=-40 ~ +85 $V_{DD}=2.0\text{ V} \sim 5.5\text{ V}$ $V_{SS}=0\text{ V}$

項 目	略 号	条 件	定 格			単位
			MIN	TYP	MAX	
表示出力端子 COM0 ~ COM3						
58	出力インピーダンス *1	R _{COM}	-	8	15	kΩ
表示出力端子 SEG0 ~ SEG29						
59	出力インピーダンス *1	R _{SEG}	-	30	60	kΩ
LCD内蔵抵抗 VLC1 ~ VLC3						
60	インピーダンス *1	R _{VLC}	250	500	750	kΩ
*1 LCD表示機能の動作保証範囲は、V _{LCD} = 2.5V ~ 5.5 Vです。						

1-6-4 A/D変換特性

Ta=-40 ~ +85 V_{DD}=2.0 V ~ 5.5 V V_{SS}=0 V

項 目		略 号	条 件	定 格			単位
				MIN	TYP	MAX	
1	分解能			-	-	10	ビット
2	非直線性誤差		V _{DD} =5.0 V V _{SS} =0.0 V V _{REF+} =5.0 V	-	-	± 3	LSB
3	微分直線性誤差		f _{osc} = 8 MHz(8分周) T _{AD} =10 μs, T _S =2.0 μs	-	-	± 3	LSB
4	非直線性誤差		V _{DD} =5.0 V V _{SS} =0.0 V V _{REF+} =5.0 V	-	-	± 5	LSB
5	微分直線性誤差		f _{xi} = 32 kHz(8分周) T _{AD} =250 μs	-	-	± 5	LSB
6	ゼロトラジション電圧	V _{DT}	V _{DD} =5.0 V V _{SS} =0.0 V	-	10	30	mV
7	フルスケールトラジション電圧	V _{FST}	V _{REF+} =5.0 V	4950	4980	-	mV
8	A/D変換時間		T _{AD} =1.0 μs	12.0	-	28.0	μs
9	サンプリング時間	T _S	T _{AD} =1.0 μs	2.0	-	18.0	μs
10	アナログ入力電圧	V _{IA}		V _{SS}	-	V _{REF+}	V
11	アナログ入力リーク電流	I _{LIA}	チャンネルオフ時 V _{IA} =V _{SS} ~ V _{DD}	-	± 0.01	± 1	μA
12	ラダー抵抗値	R _{Ladd}		10	30	100	kΩ

・ゼロトラジション電圧

ディジタル出力コードが"0"から"1" (X'000'→X'001') に変化した時のアナログ入力電圧が、公称値からどれくらいずれているかを示します。

・フルスケールトラジション電圧

ディジタル出力コードがフルスケールを示す値 (X'3FE'→X'3FF') に達した時のアナログ入力電圧が、公称値からどれくらいずれているかを示します。

1-7 外形寸法図

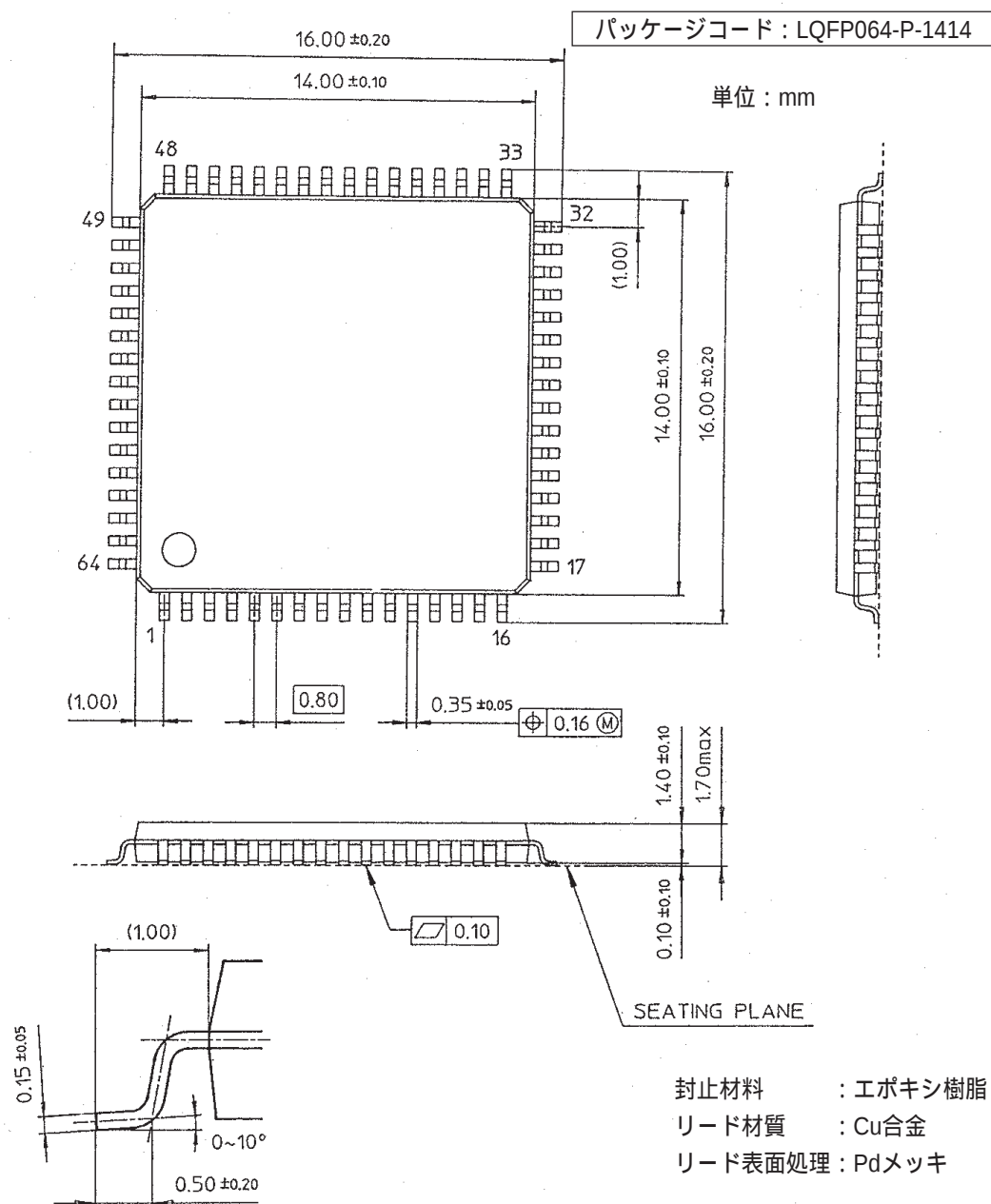


図1-7-1 64ピンLQFP



パッケージ外形寸法図は変更の可能性がありますので、ご使用の際は弊社営業所まで製品規格をお求めください。

2-1 クロック発生部

2-1-1 クロック発生部

本LSIは、高速動作用のシステムクロック発振回路（OSC1,OSC2）と低速動作用のシステムクロック発振回路（XI,XO）を内蔵しています。

高速/低速発振の場合は、外部に発振子とコンデンサを接続します。発振子としては、水晶発振子または、セラミック発振子を接続します。（図2-1-1）



プリント基板に実装する場合、発振子、コンデンサをできるだけマイクロコンピュータの近くに配置し、GND線を太くして、LSIのVssと最短距離で接続できるよう、パターン設計上の配慮を行って下さい。配線が長くなるとノイズによる影響を受けやすく、発振も不安定になりますので注意が必要です。また、コンデンサの最適値は、使用する発振子により異なりますので、各発振子メーカーの指定する値を使用して下さい。

■ 発振回路接続図

発振回路の接続図を次に示します。

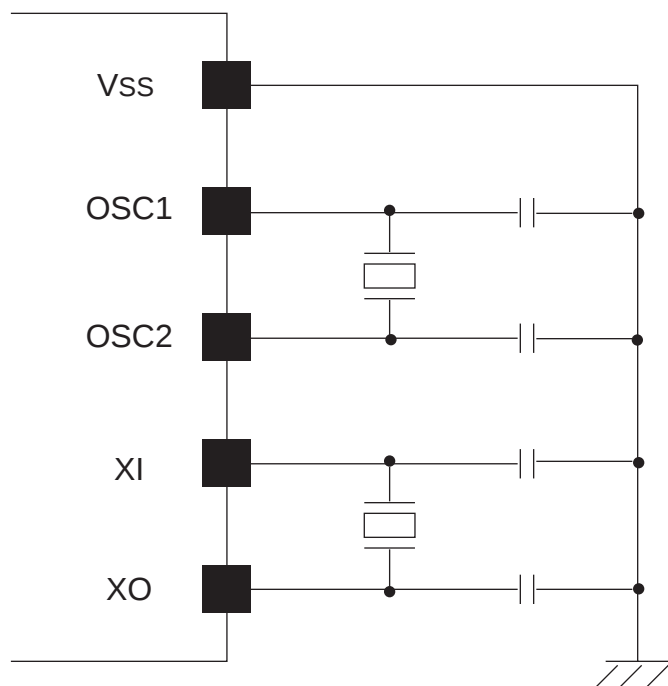


図 2-1-1 発振回路接続図

■ 低速発振回路未使用時の接続図

低電圧動作や時計動作等のための低速発振回路を使用しないときは、XI、XO端子を次のようにXI端子は"L"、XO端子は開放にしてください。

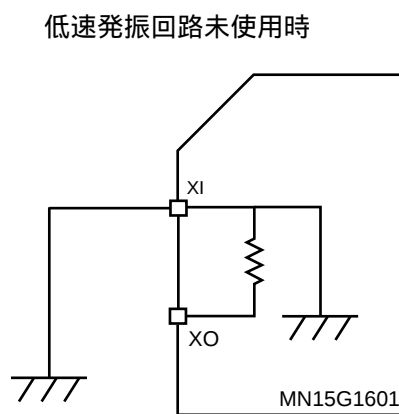


図2-1-2 低速発振回路未使用時の接続図

2-1-2 CPU基本タイミング

本LSIは、源発振より生成される4相クロックS0、S1、S2、S3でマシンサイクル（ステート）を生成します。1マシンサイクルは、高速発振選択時、4.0 MHzで、かつ命令実行周波数4分周の時 $1.0\ \mu\text{s}$ 、8分周の時 $2.0\ \mu\text{s}$ 、低速発振選択時、32 kHzで、かつ命令実行周波数4分周の時 $122\ \mu\text{s}$ 、8分周の時 $250\ \mu\text{s}$ です。

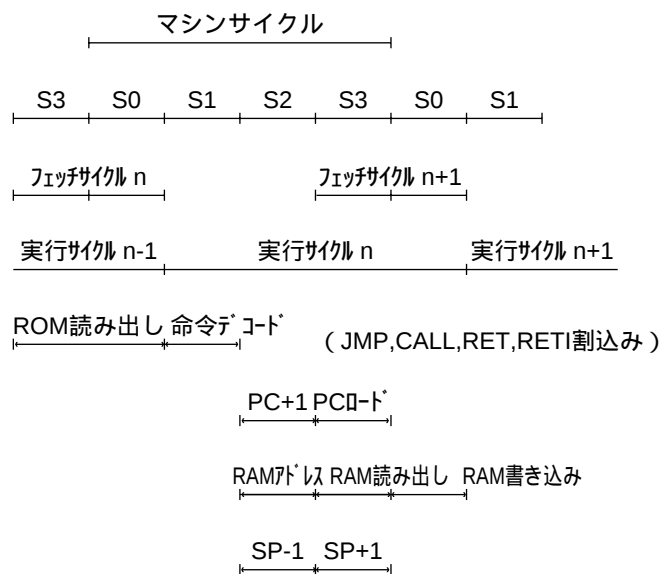
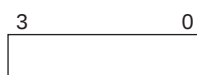


図 2-1-3 マシンサイクルと CPU 基本タイミング

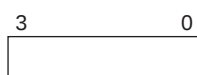
2-2 レジスタセット

本LSIは、演算用、ポインタ用、退避用のレジスタがあります。

< 演算用 >

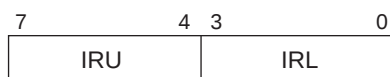


アキュムレータ (Aレジスタ)



アキュムレータ拡張レジスタ (Eレジスタ)

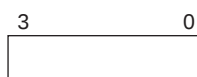
< ポインタ用 >



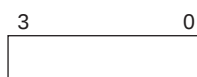
IR (インストラクションレジスタ)

IRU (IR upper)

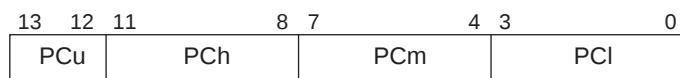
IRL (IR lower)



Xレジスタ



Yレジスタ



PC (プログラムカウンタ)

PCu (PC upper)

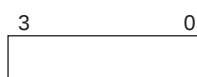
PCh (PC high)

PCm (PC middle)

PCI (PC low)



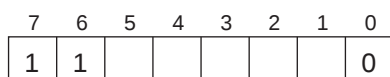
SX (Xレジスタ退避レジスタ)



SY (Yレジスタ退避レジスタ)

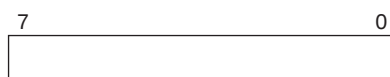


SE (Eレジスタ退避レジスタ)

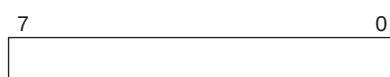


SP (スタックポインタ)

< 退避用 >



SB (スペシャルバッファ)



TB (テンポラリバッファ)

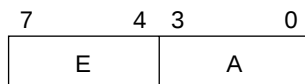
図2-2-1 レジスタセット

■ アキュムレータ（Aレジスタ）

すべての演算に対して汎用的に使えるレジスタです。

■ アキュムレータ拡張レジスタ（Eレジスタ）

汎用的に使える演算用レジスタです。8ビットデータの転送命令時は上位4ビットまたはRAM奇数番地を担当します。

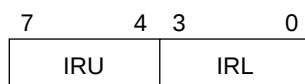


STBD (store byte direct)
 $M(da+1) \leftarrow E$ $M(da) \leftarrow A$

Eレジスタ、アキュムレータの内容をdaで直接番地指定されるRAMに転送します。Eレジスタの内容を奇数番地（da+1）、アキュムレータの内容を偶数番地（da）にそれぞれ転送します。

■ インストラクションレジスタ（IR）

CPUがこれから実行しようとする命令をROMより読み出し、ラッチします。



■ プログラムカウンタ（PC）

プログラムカウンタは、プログラムメモリ内の命令群の実行順序を制御するレジスタです。

■ Xレジスタ

Xレジスタは、RAM空間をレジスタ間接アドレス指定するための4ビットのレジスタです。RAM番地（X、Y）の上位4ビットを指定します。

■ Yレジスタ

Yレジスタは、RAM空間をレジスタ間接アドレス指定するための4ビットのレジスタです。RAM番地（X、Y）の下位4ビットを指定します。

		下位アドレス (Yレジスタの値)															
X	Y	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
	0														SE	SY	SX
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																

上位アドレス (Xレジスタの値)

データ領域

■ Xレジスタ退避レジスタ (SX)

Xレジスタの値を退避するためのRAMであり、通常のRAMとして使用することもできます。

RAM番地 BANK 0 (0, 0)

■ Yレジスタ退避レジスタ (SY)

Yレジスタの値を退避するためのRAMであり、通常のRAMとして使用することもできます。

RAM番地 BANK 0 (0, 1)

■ Eレジスタ退避レジスタ (SE)

Eレジスタの値を退避するためのRAMであり、通常のRAMとして使用することもできます。

RAM番地 BANK 0 (0, 2)

■フラグステータス

演算結果を示すCF、ZFとメモリの状態を示すBANK FF、LI命令実行状態を示すLIFFがあります。

CF（キャリーフラグ）

キャリーフラグはALU演算結果がオーバフローまたはアンダフローした場合にセットされます。それ以外の時はリセットされます。

ZF（ゼロフラグ）

ゼロフラグはALU演算結果がゼロの時セットされます。それ以外の時はリセットされます。

RAM BANK FF（RAMバンクフラグ）

本LSIIは、X、YレジスタによりRAMアドレスX'000'～X'0FF'（256×4ビット）まで直接指定できますがRAMバンク制御を行うことによりX'000'～X'1FF'までアドレス指定できます。このバンク状態を示すものがRAM BANK FFです。

RAMアドレス X'000'～X'0FF'の時 RAM BANK FF = 0

RAMアドレス X'100'～X'1FF'の時 RAM BANK FF = 1

となります。制御方法については、第2章 3-3 RAMバンク制御を参照してください。

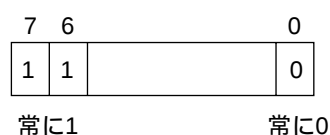
LIFF（ロードイミディエイトフラグ）

直前の命令がLI命令であったことを記憶するFFでLI命令の立て積み機能に使用します。

命令		LIFF	命令実行内容
NOP		0	何も実行しません
LI	5	0	アキュムレータに5をセットします
LI	8	1	何も実行しません
LI	9	1	何も実行しません
OUT	0, X'F'	0	ポート0に5を出力します

■スタックポインタ（SP）

スタックポインタは、データRAMの一部を使用するスタック領域のアドレスを示す8ビットのレジスタです。スタック領域はサブルーチンコール時、割込み時のPCなどの退避に使用します。



■ スペシャルバッファ（SB）

スペシャルバッファは、Eレジスタ、Aレジスタとの間で、RDSB、WTSB命令により、8ビット単位でデータの入出力が可能なレジスタです。

■ テンポラリバッファ（TB）

テンポラリバッファは、Eレジスタ、Aレジスタとの間で、RDBC、WTTB命令により、8ビット単位でデータの入出力が可能なレジスタです。

2-3 メモリ空間について

本LSIは、命令を格納する命令メモリ空間（ROM）およびデータを格納するデータメモリ空間（RAM：スタック領域含む）を別々に搭載しています。

ROMは命令の他にテーブル値等の固定データ用メモリとして使用することができます。

2-3-1 ROMアドレス空間（16kバイト）

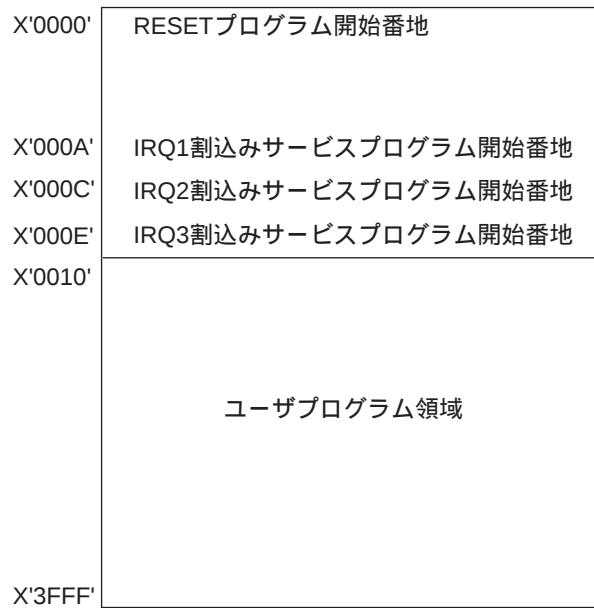
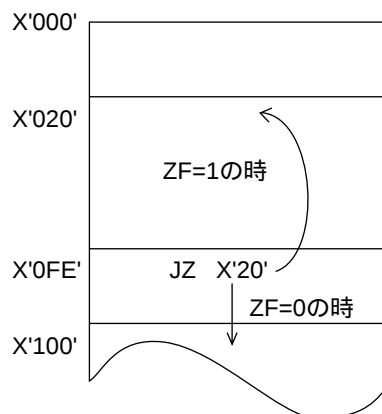


図 2-3-1 ROM アドレス空間

ROMアドレスはプログラムカウンタによる指定または、レジスタおよびアキュムレータにより指定します。ROMは256バイトを1ページとし、最大64ページに分割されます。

■ ページ内直接アドレス（例：JZ、JNZ命令）

命令コード中で直接指定されたアドレスが同一ページ内の分岐先アドレスを示します。



■ 直接アドレス1 (例: JMP、CALL命令)

命令コード中で直接指定されるアドレスが無条件分岐先または、サブルーチンの分岐先を示します。直接指定されるアドレスが12ビット (PCh、PCm、PCl) であるためアドレス領域X'000' ~ X'FFF'番地、X'1000' ~ X'1FFF'番地、X'2000' ~ X'2FFF'番地またはX'3000' ~ X'3FFF'番地いずれかの領域内を任意のアドレスを指定できます。

■ 直接アドレス2 (例: JMPL、CALLL命令)

命令コード中で直接指定されるアドレスは無条件分岐先またはサブルーチンの分岐先を示します。

■ ゼロページ内 (X'0000' ~ X'00FF'番地) 特定アドレス (例: CALS命令)

命令コード中で指定されるアドレスがゼロページ内における16バイト毎のサブルーチンの分岐先を示します。

■ アキュムレータ間接アドレス (例: JMPEA命令)

Eレジスタの4ビット (アドレス上位部)、Aレジスタの4ビット (アドレス下位部) で指定されたアドレスが無条件分岐先に間接的に示します。同一ページ内に分岐します。

■ ページ境界における注意事項

ページ境界において、次に示す命令は、参照するアドレスが次ページとなるため注意が必要です。

- ・ RDTBL, CALSのリターンアドレス
- ・ CALLの飛び先アドレス
- ・ CALLLのリターンアドレス
- ・ JMP, JMPEA, JC, JNC, CYIJ, JZ, JNZ, JBZ, JBNZのジャンプアドレス



JC

アドレス	マシンコード	
000 . . 015 . .		-1
0FE 0FF	6F 15	jc xxx
100 . . 115 . .		-2
1FF		-3

← PCh(PC8 ~ PC11)
が変化する境界

例に示すように、JC命令がX'0FE'からX'0FF'番地に配置されると、条件成立時は2で示すアドレスへ分岐します。条件不成立時は、3で示すアドレス(X'115')の命令を実行します。

2-3-2 RAMアドレス空間

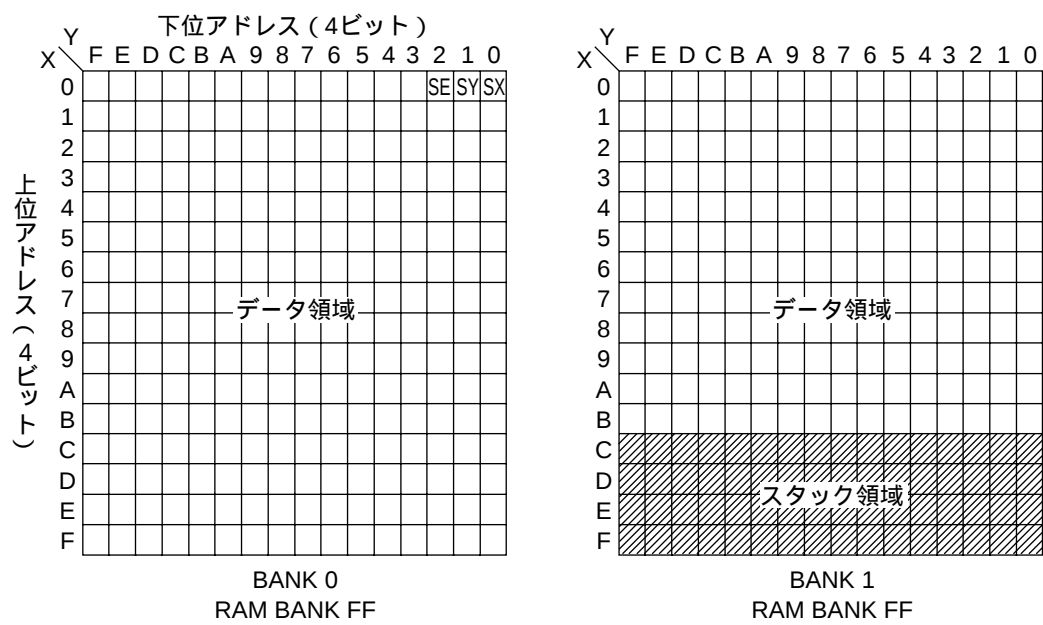


図 2-3-2 RAM アドレス空間

2-3-3 RAMバンク制御

RAMのバンクを制御することにより512×4ビットのデータメモリ空間を使用することができます。RAMのバンクを制御するには、RAM BANK FFを操作します。RAM BANK FFを操作するには次に示す3種類の命令を使用します。3種類の命令はCF、ZFに影響を与えません。リセット時のRAM BANK FFの値は"0"に設定されています。

UPX0 : RAM BANK FFを0にします。
(1バイト1サイクル命令)

UPX1 : RAM BANK FFを1にします。
(1バイト1サイクル命令)

LUX : RAM BANK FFの値をアキュムレータに転送します。
(1バイト1サイクル命令)

RAM BANK FF = 0の時 Acc = 0

RAM BANK FF = 1の時 Acc = 1

レジスタの退避レジスタのRAM番地は次のようになっています。

Xレジスタ	バンク0	X'00'
Yレジスタ	バンク0	X'01'
Eレジスタ	バンク0	X'02'

スタック領域は、バンク1に割り当てており、アドレスはX'1C0'～X'1FF'番地です。

次に示す命令は、命令実行時にRAMのバンクが変化します。命令実行時はRAM BANK FFの値をソフトで変更しなくても、バンクが変化し所定のRAM番地とデータの転送を行い、命令を実行します。命令実行後は実行前のRAM BANK FFの値と同じです。

命令実行中は、BANK0になる命令（レジスタ退避命令）

EXSX EXSY EXSE

命令実行中は、BANK1になる命令（スタック領域関連命令）

PSHXY PSHEA POPXY POPEA

CALL CALS RETI RET



RAM BANK FFは、レジスタ退避命令およびスタック領域関連命令を使用してもスタック領域に退避されませんので注意してください。

■ 割込み時のRAM BANK FF退避について

割込み時、RAM BANK FFは退避されません。メインルーチンと割込みルーチンのRAM BANK FFが異なる場合は、必ず退避処理を行ってください。

退避処理がないと、割込み処理後のRAMにアクセスすると、異なるRAM BANK FFのRAMアドレス空間をアクセスしてしまうことになります。

以下に、サンプルプログラムを示しますので、割込み処理内でRAM BANK FFの退避をしてください。

```
LUX          ; A          ← RAM BANK FF
PSHEA        ; M(SP)      ← EA
UPX0 又は UPX1 ;RAM BANK FF ← 0 又は 1
```

< 割込み処理 >

```
POPEA        ;EA          ← M(SP)
JBZ  0,BANK0
UPX1          ;RAM BANK FF ← 1
JMP  NEXT
BANK0 UPX0     ;RAM BANK FF ← 0
NEXT
——
RETI
```

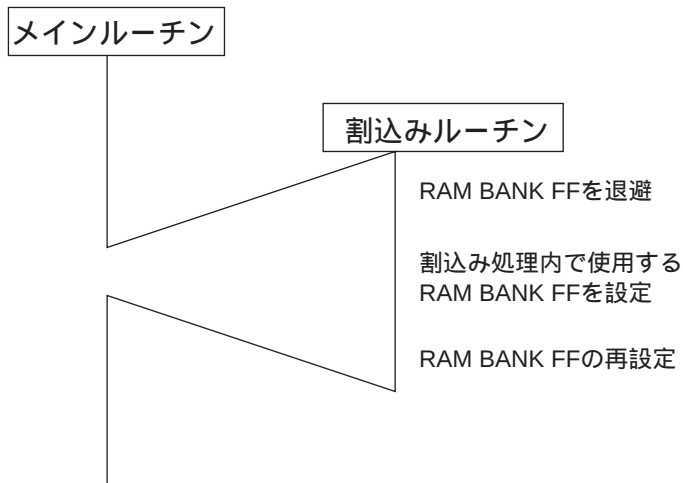


図2-3-3 RAM BANK FF退避サンプルプログラム

2-3-4 スタック領域

スタック領域としてRAMエリア中のBANK1のX'1C0'～X'1FF'番地を割り当てています。スタック領域は、CALL命令、PSH命令、割込み時のプログラムカウンタやフラグステータス（ZF、CF）、アキュムレータE、X、Yレジスタの退避に使用します。スタック領域として全部を使用しない場合は通常のRAMとして使用できます。CALL命令のみを実行した場合、最大16レベルまで使用可能です。なお、PC13（プログラムカウンタ bp13）については、特殊レジスタエリアのページ1側のX'C0'～X'FF'番地に専用スタックとして割り当てています。このエリアは、特殊レジスタと同様にリード/ライト可能ですが、通常のRAMとしての使用はできません。

CALL、PSH命令、割込みシーケンスを実行した時のスタック状態を次に示します。

	(奇数番地)				(偶数番地)				
	3	2	1	0	3	2	1	0	
X'F1' ~ X'F0'									
X'F3' ~ X'F2'									
X'F5' ~ X'F4'	PCm				PCI				
X'F7' ~ X'F6'	CF	ZF	LIFF	PC ₁₂	PCh				
X'F9' ~ X'F8'	X				Y				
X'FB' ~ X'FA'	E				A				
X'FD' ~ X'FC'	PCm				PCI				
X'FF' ~ X'FE'	CF	ZF	LIFF	PC ₁₂	PCh				

RAMエリア (バンク1)

	3	2	1	0	3	2	1	0	
	*				*				
	*				*				
	*				*				
	*				*				PC ₁₃
	*				*				
	*				*				
	*				*				PC ₁₃

特殊レジスタエリア (ページ1)
専用スタック

* : 未実装

割り込み実行時

PSH XY命令実行時

PSH EA命令実行時

CALL命令実行時

図 2-3-4 スタック領域の状態

- リセット時にはSP（スタックポインタ）はX'1C0'を示します。またスタックデータは、X'1FF'番地からX'1C0'番地に向かって順番に使用します。
- RET命令でフラグ類（CF、ZF、LIF）は復元しません。復元するのはRETI命令です。
- LIFは直前の命令がLI命令であったことを記憶するFFでLI命令の立て積み機能に使われています。
- CALL、CALLL、割込み時、RAM BANK FFは退避されません。 【 第2章 3-3 RAMバンク制御 】

2-4 クロック切り換え機能

2-4-1 クロック切り換え機能

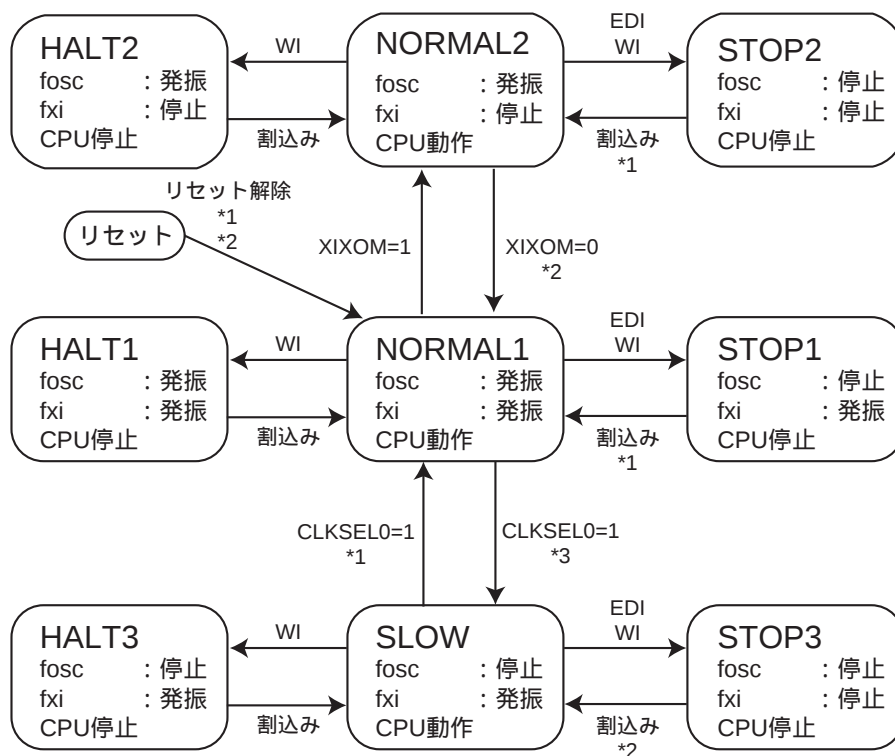
本LSIは、命令によりシステムクロックの分周比を切り替えることができます。システムクロックの分周比は、CPUモードレジスタ(CPUM)のCLKSEL1フラグにより切り換えます(図2-4-1参照)。命令サイクルは、fosc = 4.0 MHz4分周時1.0 μ s、8分周時2.0 μ s、fxi = 32 kHz4分周時125 μ s になります。

NORMAL1モードとは、高速にCPUを動作させるモードです。

NORMAL2モードとは、高速にCPUを動作させるモードです。(fxi停止)

SLOWモードとは、低速でCPUを動作させるモードです。

図2-4-1に示すように、リセット時にはCLKSEL0,1が"0"となりNORMAL1モードでリセットサイクルより動作を開始します。



- *1 fosc発振安定待ちがハードウェアにより発生します。
- *2 fxi発振安定待ちがハードウェアにより発生します。
- *3 リセット解除直後、もしくはNORMAL2からNORMAL1への移行直後はfxiの発振安定待ちが継続している場合があり、移行に時間がかかることがあります。

図 2-4-1 CPU の各動作モードと設定

2-4-2 CPUモードレジスタ

CPUモードレジスタは、システムクロックの分周比の切り換えやXI発振の制御を行う読み出し/書き込み可能なレジスタです。

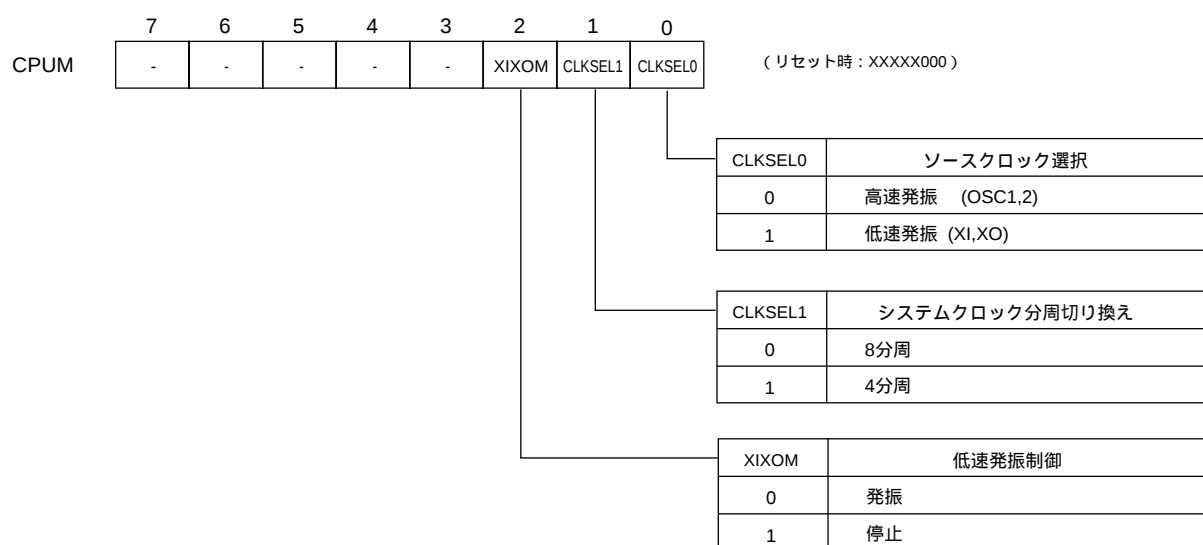


図2-4-2 CPUモードレジスタ (CPUM : X'030' , R/W)



分周比をfosc 4分周からfxi 8分周またはfxi 8分周からfosc 4分周にするときは、分周比を一旦、fosc 8分周にしてから切り換えて下さい。

表2-4-1 動作モードの状態

動作モード	高速動作用クロック	低速動作用クロック	システムクロック (fsys)	CPU
	OSC1/OSC2(fosc)	XI/XO(fxi)		
NORMAL1	発振	発振	fosc/8 or fosc/4	動作
NORMAL2	発振	停止	fosc/8 or fosc/4	動作
SLOW	停止	発振	fxi/8 or fxi/4	動作
HALT1	発振	発振	fosc/8 or fosc/4	停止
HALT2	発振	停止	fosc/8 or fosc/4	停止
HALT3	停止	発振	fxi/8 or fxi/4	停止
STOP1	停止	発振	停止	停止
STOP2	停止	停止	停止	停止
STOP3	停止	停止	停止	停止

2-4-3 動作モードの切換

CLKSEL0フラグの設定により、高速にCPUを動作させるモードと低速でCPUを動作させるモードを切り換えることができます。

本LSIのクロック切り換え機能は、クロック切り換え時の誤動作を防ぐため、切り換え前、切り換え後のクロックで同期をとった後、CPUクロックの切り換えを実行します。

そのため、クロック切り換え命令実行時、マイコンの状態(発振開始時間、発振安定待ち時間の有無)によりクロックがCPUへ供給されていない場合、CPUクロックが命令実行直後に切り換わらずに、切り換え前のクロックで動作を続けます。

クロック切り換え機能使用時は、発振開始時間、発振安定待ち時間を十分考慮し、システム設計を実施して下さい。

- CPUクロックがクロック切り換え命令実行直後に切り換わらない場合
(切り換え後のクロックがCPUに供給されていない場合)

- (1) リセットスタート直後、NORMAL1モードからSLOWモードへの移行
- ・ クロック切り換え命令実行時にXIがCPUに供給されていないため、XIがCPUに供給されるまで(発振安定待ち終了後まで)CPUクロックは切り換わりません。

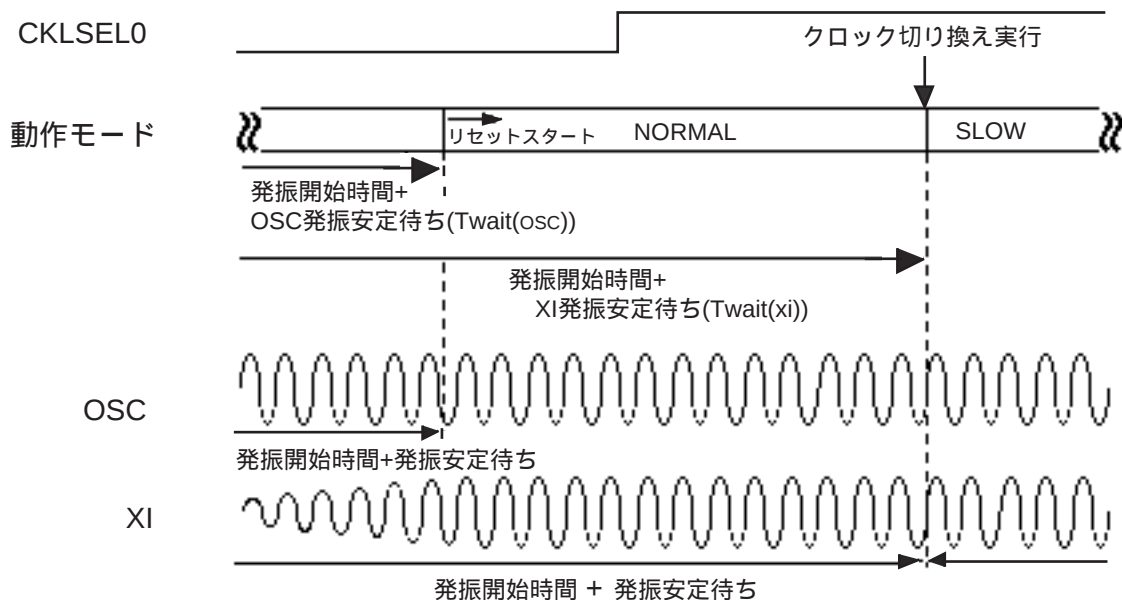


図2-4-3 リセットスタート直後 NORMAL1モードからSLOWモードへの移行

- (2) NORMAL2モードよりNORMAL1モードへの移行(XI発振制御実行)直後、SLOWモードへ移行
- ・XI発振制御実行よりXIが発振を開始するため、XIがCPUへ供給されるまで(発振安定待ち終了後まで)CPUクロックは切り換わりません。

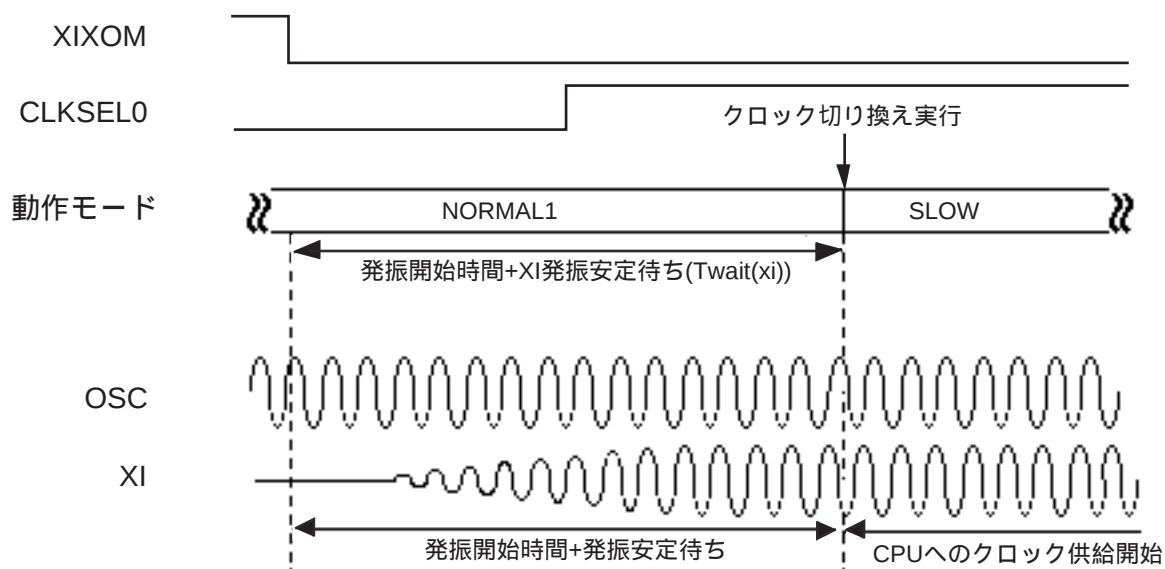


図2-4-4 NORMAL2モードよりNORMAL1モードへの移行(XI発振制御実行)直後

- (3) SLOWモードからNORMAL1モードへの移行時
- ・クロック切り換え命令実行後よりOSCが発振を開始するため、OSCがCPUへ供給されるまで(発振安定待ち終了後まで)CPUクロックは切り換わりません。

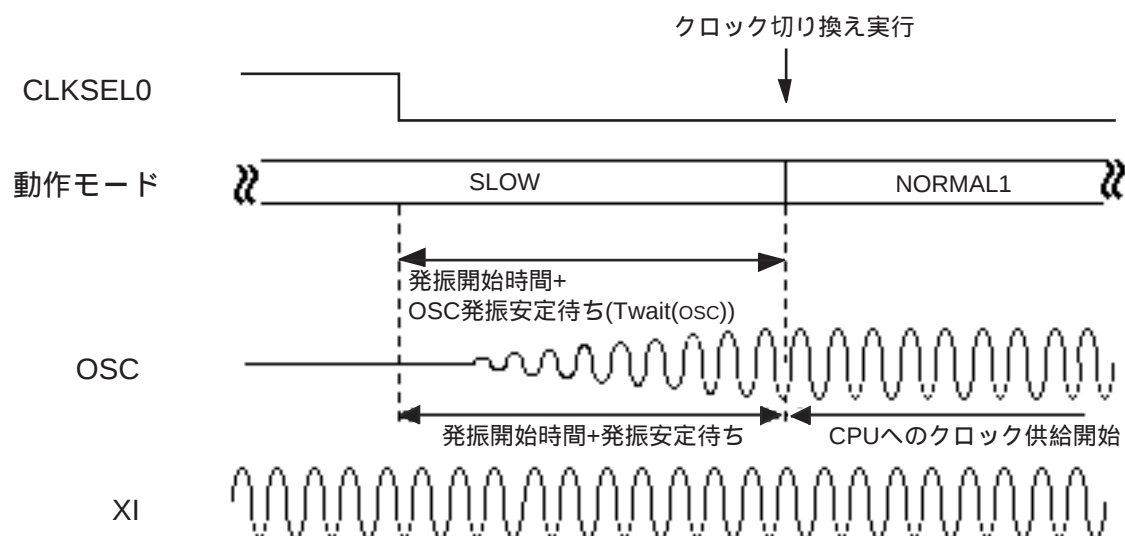


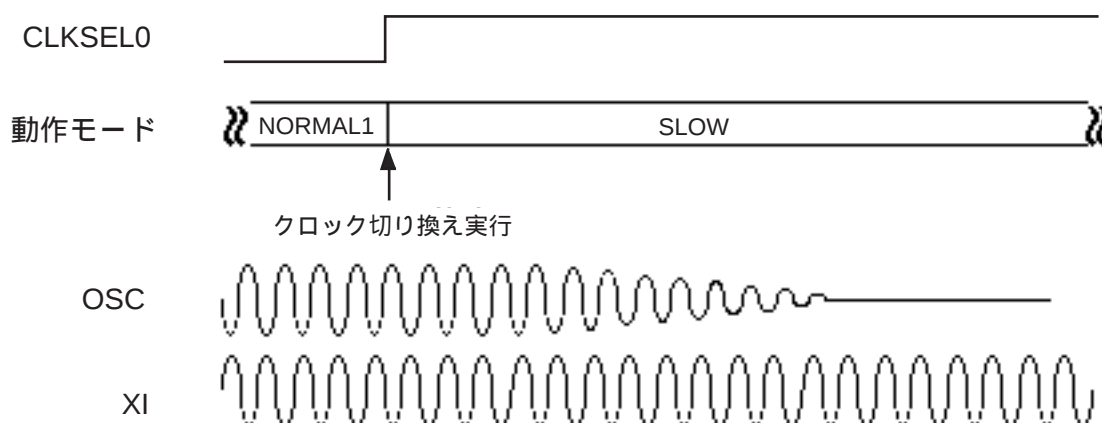
図2-4-5 SLOWモードからNORMAL1モードへの移行時

- CPUクロックがクロック切り換え命令実行直後に切り換わる場合
(切り換え後のクロックがCPUに供給されている場合)

以下に各状態のクロック切り換え機能使用時のCPUクロック移行を示します。

(1) 切り換え後のクロックがCPUに供給されている場合

(例) 低速動作クロックが十分安定して動作している時、NORMAL1モードからSLOWモードへ移行した場合



注) 切り換え前、切り換え後のクロックで同期をとるため最大16ステップ切り換え前のクロックで動作します。(OSC : 4 MHz、XI : 32.768 kHz 8分周設定時)

図2-4-6 XI安定動作時NORMAL1モードからSLOWモードへの移行

補足) 発振停止制御時間(リセット等)により発振開始時間が異なりCPUへクロックが供給されるまでの時間が変化する場合があります。

発振減衰中に発振開始すると発振時間が短くなり、リセット解除後、CPUへクロック供給されるまでの時間が短くなります。

発振開始時間、発振安定待ち時間を十分考慮し、システム設計を実施してください。

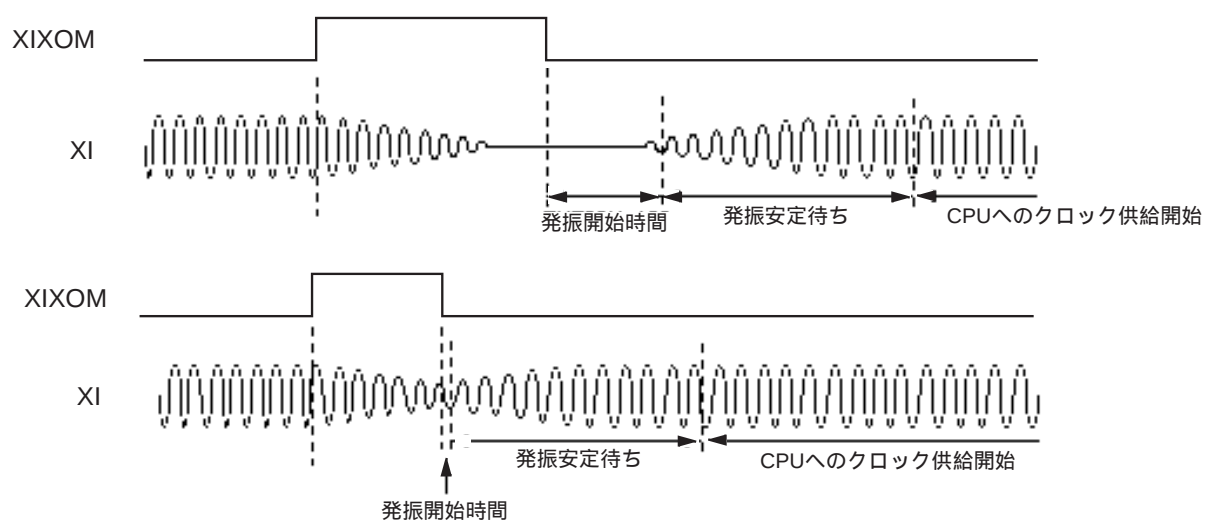


図2-4-7 XI発振開始時間

発振開始時間は、発振素子の種類、発振回路のコンデンサ容量などで変動します。

一般に発振周波数が低いほど、発振開始時間は長くなり、4 MHzが数 ms ~ 数十 msであるのに対し、32 kHzは数十 ms ~ 数百 ms要します。

2-5 バックアップモード

消費電力を低減するため、2種類のバックアップモードを用意しており、プログラムによる制御が可能です。

HALTモード：システムクロックは供給されており、リセットおよび割込みにて復帰します。

STOPモード：システムクロック用分周回路も停止しているので、さらに消費電力が低減します
復帰はHALTモードの時と同様、リセットか割込みです。

表 2-5-1 STOP・HALT 機能表

モード名 動作内容	STOP	HALT
動作状態	1) システムクロック発振回路停止 2) イベントクロック発振回路動作（ソフトウェアにより停止可能） 3) タイマ動作（イベントカウンタ動作時） 4) シリアル動作（外部クロック使用時）	1) システムクロック発振回路動作（システムクロック用分周回路動作） 2) イベントクロック発振回路動作（ソフトウェアにより停止可能） 3) タイマ動作 4) シリアル動作（外部クロック使用時）
レジスタ・RAMの状態	RAM及び全レジスタ類の内容の保持	
モード設定方法	EDI命令直後にWI命令を実行（例参照）	EDI命令を除く命令の後でWI命令を実行する（例参照）
復帰	・割込み 通常の割込みと同一動作 ・リセット 通常のリセットと同一動作	



STOPモード使用例

IRQ1（割込み1）が発生するとSTOPモードから復帰します。

安定に動作させるためEDI、WI命令の次には必ずNOPを1個以上入れて使用してください。

```

E D I    0 , 4      ;
W I      ;
N O P      ;

```

STOPモードから復帰可能な割込みには次の3種類があります。

- ・ IRQ1 (割込み1)
- ・ IRQ2 (割込み2)
- ・ IRQ3 (割込み3)



HALTモード使用例

```
EDI    0、7      ; どの割込みが発生してもHALT
          ( EDI 以外の命令 ) ; モードから復帰します。
```

```
WI      ;
NOP     ;
```

HALTモードから復帰可能な割込みには次の3種類があります。

- ・ IRQ1 (割込み1)
- ・ IRQ2 (割込み2)
- ・ IRQ3 (割込み3)



WI命令の次には必ずNOPを1個以上挿入してください。現在提供しているクロスアセンブラではNOPを自動的に挿入します。

2-5-1 バックアップモード使用上の注意点

■ ポートの処理

ハイインピーダンス状態の端子のプルアップ抵抗は、ポートでの消費電力を少なくするためバックアップ時の外部回路電圧レベルに合わせてソフトウェアで設定してください。入力ポートの電圧レベルは、バックアップ時に必ず"L"レベルまたは、"H"レベルになるように外部で設定してください。中間レベルになっているポートには内部で電流が流れ、マイコンの消費電流が多くなります。

■ STOPモードからの復帰

復帰時に電源電圧が1.8V未満の場合には、復帰後のRAMデータは保証されませんので、この場合には外部回路でリセットして下さい。

2-6 リセット

2-6-1 リセット動作

NRST端子に"L"レベルを入力するか、ウォッチドックタイマのオーバーフローによりリセットがかかります。

リセットが発生するとレジスタ、出力ポートラッチデータは初期値にイニシャライズされます。

表2-6-1 レジスタ、データメモリの初期値

レジスタ・メモリ		略号	初期値
1	プログラムカウンタ	PC	0
2	アキュムレータ	A	0
3	Eレジスタ	E	0
4	Xレジスタ	X	0
5	Yレジスタ	Y	0
6	キャリーフラグ	CF	0
7	ゼロフラグ	ZF	0
8	スペシャルバッファ	SB	不定
9	テンポラリバッファ	TB	不定
10	RAM		不定
11	スタックポインタ	SP	0
12	割込み受付フラグ	IF	0
13	割込みイネーブル/ ディスエーブルフラグ	IE	ディス エーブル
14	出力ポートラッチ		1
15	ポート制御レジスタ		0
16	コントロールレジスタ	CR	0



レジスタによっては"L"レベルにならないものもあります。
詳細は各レジスタの説明を参照ください。

■リセット状態への移行

NRST端子に"L"を入力するか、ウオッチドックタイマのオーバーフローによりリセットがかかります。安定してリセットをかけるために、NRST端子は1マシサイクル以上の間"L"を保ってください。

■リセット解除のタイミング

NRST端子が"H"になってから、高速発振入力(fosc)を 2^{14} パルスカウント（低速発振入力(fxi)は 2^7 パルスカウント）し、内部リセットが解除されます。カウントを初めてからオーバーフローするまでの期間を「発振安定待ち」と呼びます。リセット解除時やSTOPモードからの復帰時には、自動的に発振安定待ち時間が挿入されます。これは、システムクロックの源発振が不安定な状態でリセットが解除されると、マイコンが誤動作する可能性があるためです。

発振安定待ちが終了すると内部リセットが解除され、アドレスX'0000'番地からプログラムの実行を開始します。



本LSIは、NORMAL1モードから立ち上がります。

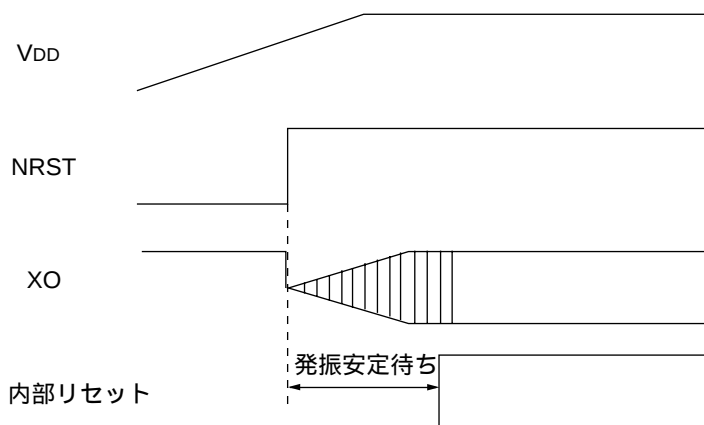


図2-6-1 リセット解除シーケンス



内部リセット時、P20/NSYNC/key0端子からシステムクロック(S0)が出力されます。

3-1 ポート機能の概要

3-1-1 ポート概要図

本LSIには、ポート0～ポート3、ポート6、ポート8、ポート9、ポートA、ポートBがあります。各ポートは、特殊レジスタ空間に割り付けられています。

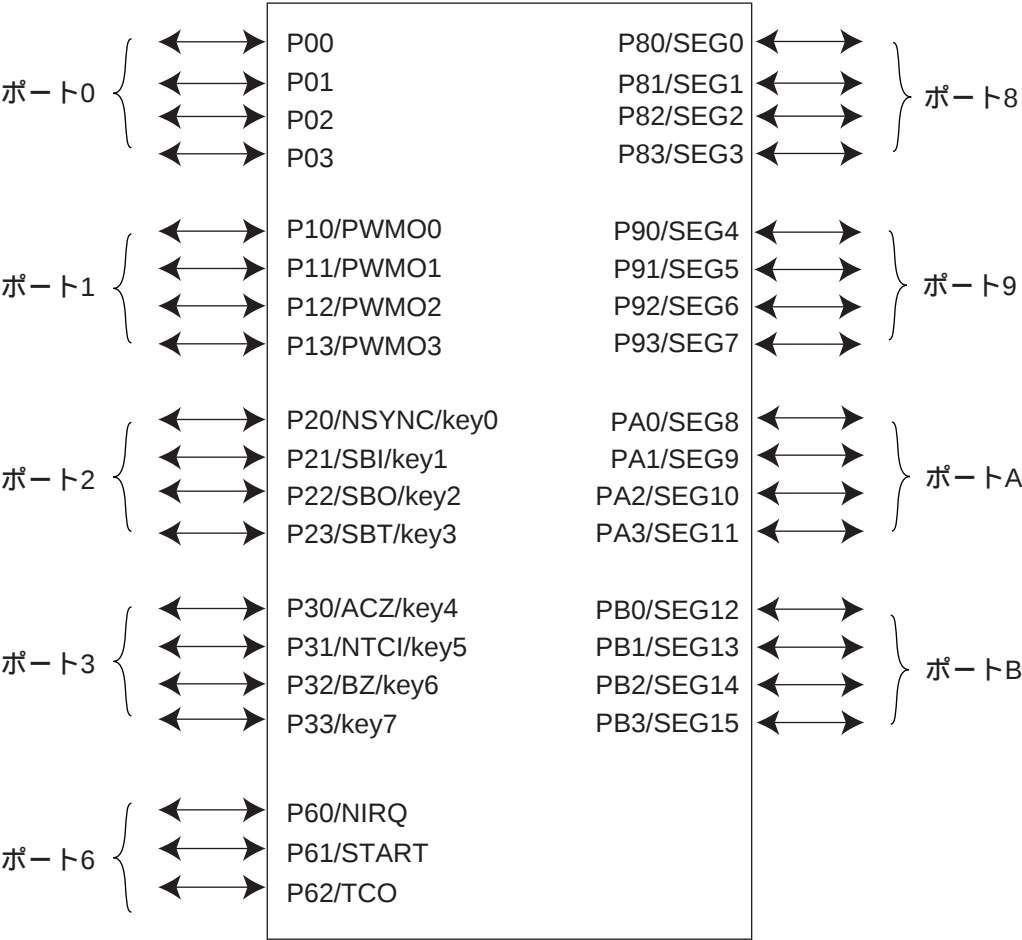


図3-1-1 ポート機能の概要

3-1-2 ポート機能一覧

表3-1-1 ポート機能一覧

ポート名		兼用端子	入出力	入出力制御		プルアップ抵抗		出力構造制御	
				機能	リセット時	機能	リセット時	機能	リセット時
ポート0	P00	—	入出力	1ビット単位で入出力の切替可能	入力	-	-	-	-
	P01	-							
	P02	-							
	P03	-							
ポート1	P10	PWM00	入出力	1ビット単位で入出力の切替可能	入力	-	-	1ビット単位で出力構造の選択が可能	CMOS出力
	P11	PWM01							
	P12	PWM02							
	P13	PWM03							
ポート2	P20	NSYNC	入出力	1ビット単位で入出力の切替可能	入力	1ビット単位でプルアップ抵抗の選択が可能	抵抗なし	1ビット単位で出力構造の選択が可能	CMOS出力
	P21	SBI							
	P22	SBO							
	P23	SBT							
ポート3	P30	ACZ	入出力	1ビット単位で入出力の切替可能	入力	1ビット単位でプルアップ抵抗の選択が可能	抵抗なし	1ビット単位で出力構造の選択が可能	CMOS出力
	P31	NTCI							
	P32	BZ							
	P33	-							
ポート6	P60	NIRQ	入出力	1ビット単位で入出力の切替可能	入力	1ビット単位でプルアップ抵抗の選択が可能	抵抗なし	1ビット単位で出力構造の選択が可能	CMOS出力
	P61	START							
	P62	TCO							
ポート8	P80	SEG0	入出力	1ビット単位で入出力の切替可能	入力	ポート単位でプルアップ抵抗の選択が可能	抵抗なし	ポート単位で出力構造の選択が可能	CMOS出力
	P81	SEG1							
	P82	SEG2							
	P83	SEG3							
ポート9	P90	SEG4	入出力	1ビット単位で入出力の切替可能	入力	ポート単位でプルアップ抵抗の選択が可能	抵抗なし	ポート単位で出力構造の選択が可能	CMOS出力
	P91	SEG5							
	P92	SEG6							
	P93	SEG7							
ポートA	PA0	SEG8	入出力	1ビット単位で入出力の切替可能	入力	ポート単位でプルアップ抵抗の選択が可能	抵抗なし	ポート単位で出力構造の選択が可能	CMOS出力
	PA1	SEG9							
	PA2	SEG10							
	PA3	SEG11							
ポートB	PB0	SEG12	入出力	1ビット単位で入出力の切替可能	入力	ポート単位でプルアップ抵抗の選択が可能	抵抗なし	ポート単位で出力構造の選択が可能	CMOS出力
	PB1	SEG13							
	PB2	SEG14							
	PB3	SEG15							

3-1-3 ポートのリセット時の状態

表3-1-2 ポートのリセット時の状態

ポート名	入出力モード	プルアップ抵抗
ポート0	入力モード	-
ポート1	入力モード	-
ポート2	入力モード	プルアップ抵抗なし
ポート3	入力モード	プルアップ抵抗なし
ポート6	入力モード	プルアップ抵抗なし
ポート8	入力モード	プルアップ抵抗なし
ポート9	入力モード	プルアップ抵抗なし
ポートA	入力モード	プルアップ抵抗なし
ポートB	入力モード	プルアップ抵抗なし



内部リセット時、P20/NSYNC/key0端子からシステムクロック(S0)が出力されます。

3-1-4 ポートの未使用端子の処置

未使用端子は、リセット時の状態を考慮して正しく処置してください。
ポートの未使用端子の処置を次表に示します。

表3-1-3 ポート未使用端子の処置

端子の種類	ポート名	未使用端子の処置
入出力端子	ポート0	OPEN
	ポート1	OPEN
	ポート2	プルアップまたはプルダウンにしてください。
	ポート3	
	ポート6	
	ポート8	OPEN
	ポート9	OPEN
	ポートA	OPEN
	ポートB	OPEN

注) 内蔵抵抗使用時は、設定完了まで、貫通電流が流れます。

3-1-5 ポートの設定例

■ ポートの設定例

ポート2、ポート3を用いて入出力ポートの設定例を示します。ポート3を入力ポートとして使用し、ポート2を出力ポートとします。プルアップ抵抗は、ポート3に付加して、ポート2には付加しません。以下に、設定手順とその内容を示します。

設定手順	内容
(1) ポートの入出力方向の制御 P23DIR (X'012') bp7-4 : P3DIR3-0 = 0000 bp3-0 : P2DIR3-0 = 1111	(1) P23DIRレジスタのP3DIR3-0フラグを"0000"にして、ポート3を入力ポートに設定します。P2DIR3-0フラグを"1111"に設定して、ポート2を出力ポートに設定します。
(2) プルアップ抵抗の付加 P23PLU (X'022') bp7-4 : P3PLU3-0 = 1111 bp3-0 : P2PLU3-0 = 0000	(2) P23PLUレジスタのP3PLU3-0フラグを"1111"に設定して、ポート3にプルアップ抵抗を付加します。P2PLU3-0フラグを"0000"に設定して、ポート2にプルアップ抵抗無しを選択します。

ポート2、ポート3データレジスタ(PORT23)の下位4ビットに値を書き込み、OUT命令を実行することにより、ポート2よりデータが出力されます。

ポート2、ポート3データレジスタ(PORT23)の上位4ビットをIN命令を実行し読み込むことにより、ポート3の端子の状態を入力することができます。

3-1-6 ポート制御レジスタ一覧表

I/Oポート制御レジスタには、データを出力するデータレジスタ(PORTn)、入出力方向を制御する方向制御レジスタ(PnDIR)、プルアップ抵抗を制御するプルアップ抵抗制御レジスタ(PnPLU)、出力構造を制御する出力構造制御レジスタ(PnSC,PSCCNT)で制御します。

表3-1-4 ポート制御レジスタ一覧

	レジスタ略称	アドレス	R/W	レジスタ名称	参照ページ
ポート0 ポート1	PORT01	X'000'	R/W	ポート0、ポート1データレジスタ	III - 9
	P01DIR	X'010'	R/W	ポート0、ポート1方向制御レジスタ	III - 9
	P01SC	X'028'	R/W	ポート1出力構造制御レジスタ	III - 9
ポート2 ポート3	PORT23	X'002'	R/W	ポート2、ポート3データレジスタ	III - 14
	P23DIR	X'012'	R/W	ポート2、ポート3方向制御レジスタ	III - 14
	P23PLU	X'022'	R/W	ポート2、ポート3プルアップ抵抗制御レジスタ	III - 14
	P23SC	X'02A'	R/W	ポート2、ポート3出力構造制御レジスタ	III - 15
ポート6	PORT6	X'006'	R/W	ポート6データレジスタ	III - 21
	P67DIR	X'016'	R/W	ポート6方向制御レジスタ	III - 21
	P67PLU	X'026'	R/W	ポート6プルアップ抵抗制御レジスタ	III - 21
	P67SC	X'02E'	R/W	ポート6出力構造制御レジスタ	III - 21
ポート8 ポート9 ポートA ポートB	PORT89	X'008'	R/W	ポート8、ポート9データレジスタ	III - 24
	P89DIR	X'018'	R/W	ポート8、ポート9方向制御レジスタ	III - 24
	PORTAB	X'00A'	R/W	ポートA、ポートBデータレジスタ	III - 25
	PABDIR	X'01A'	R/W	ポートA、ポートB方向制御レジスタ	III - 25
	PLUCNT	X'024'	R/W	ポート8、ポート9、ポートA、ポートB プルアップ抵抗制御レジスタ	III - 26
	PSCCNT	X'02C'	R/W	ポート8、ポート9、ポートA、ポートB 出力構造制御レジスタ	III - 26

R/W：読み出し/書き込み共に可能です。



X'010'～X'2E'は、8ビット単位でしかアクセスできません。

3-2 ポート0、ポート1の機能

3-2-1 ポート0、ポート1の説明

■ 汎用ポートの設定

ポート0、ポート1は、方向制御レジスタ(P01DIR)により、1ビット単位の入出力方向を制御することができます。ポート0、ポート1方向制御レジスタ(P01DIR)の制御フラグが'1'のとき出力モード、'0'のとき入力モードになります。

端子の入力データを読むときは、方向制御レジスタ(P01DIR)の制御フラグを'0'に設定し、ポート0、ポート1データレジスタ(PORT01)の値を読み出してください。



入力データを読むときは、PORT01レジスタの値ではなく、端子の状態を読み込みます。

端子へデータを出力するときは、方向制御レジスタ(P01DIR)の制御フラグを'1'に設定し、ポート0、ポート1データレジスタ(PORT01)にデータを書き込んでください。

ポート1は、ポート1出力構造制御レジスタ(P01SC)により、1ビット単位で出力形式が選択できます。ポート1出力構造制御レジスタ(P01SC)の制御フラグが'1'のときN-chオープンドレイン、'0'のときCMOS出力となります。

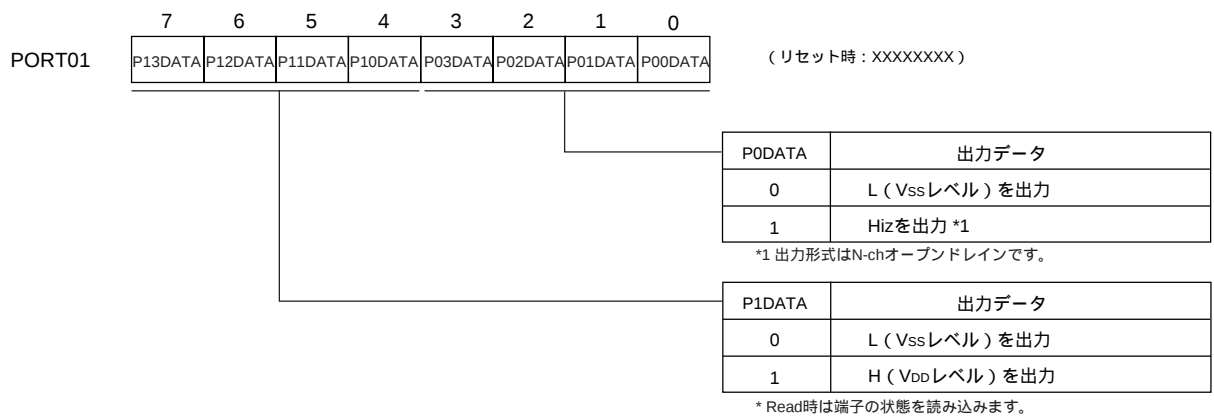


ポート0の出力構造は、N-chオープンドレインです。
PORT01レジスタに"1"を書き込んだ際は、Hiz出力となります。

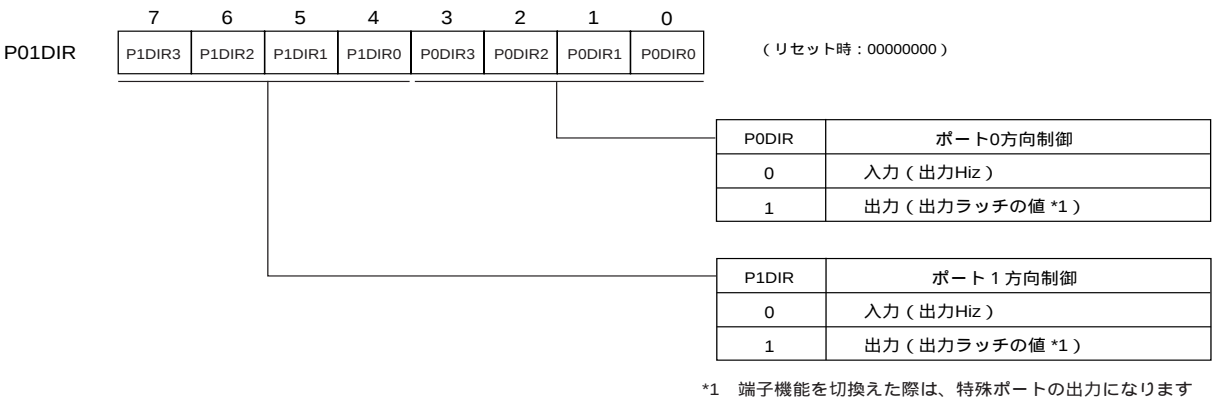
■ 特殊機能端子の設定

P10～P13は、PWM出力端子を兼用しています。ブザー出力制御レジスタ(BZCTR)にて1ビット単位でPWM出力の許可/不許可を切替えます（リセット時：汎用ポート）。許可時にはタイマモード制御レジスタ(MODCNT)選択されたタイマ出力とポート1の出力ラッチデータを論理積が端子に出力されます。

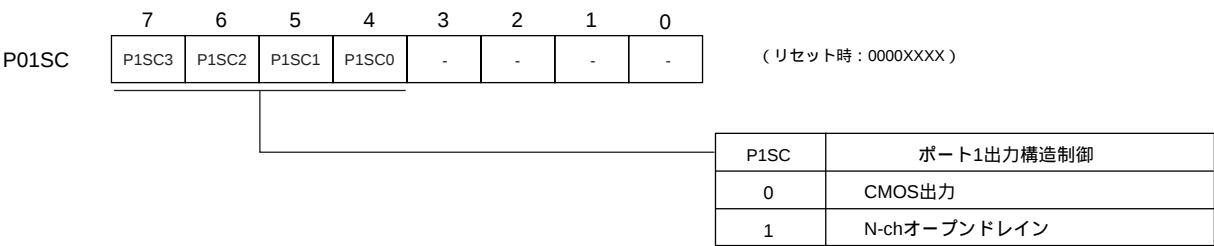
3-2-2 ポート0、ポート1のレジスタ



ポート0、ポート1データレジスタ(PORT01 : X'000' , R/W)



ポート0、ポート1方向制御レジスタ(P01DIR : X'010' , R/W)



ポート1出力構造制御レジスタ(P01SC : X'028' , R/W)

図3-2-1 ポート0、ポート1のレジスタ

3-2-3 ポート0、ポート1のブロック図

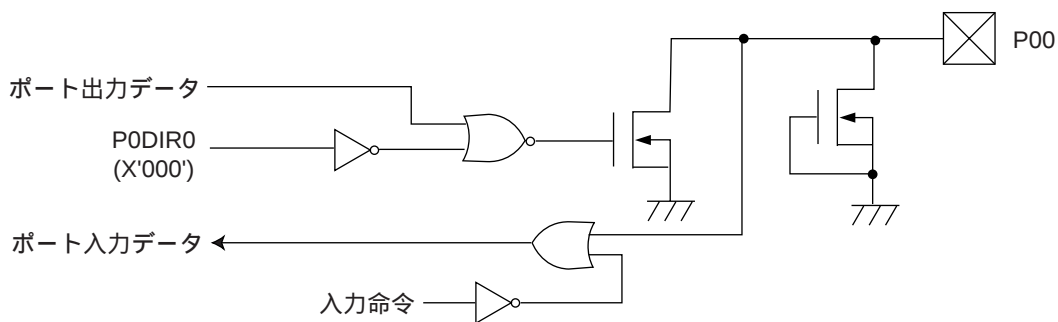


図3-2-2 P00ブロック図

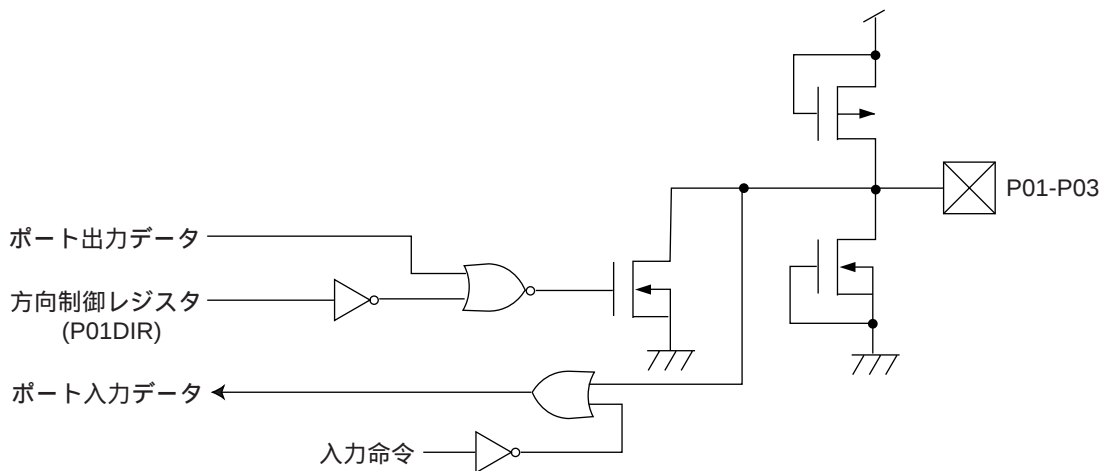


図3-2-3 P01、P02、P03ブロック図

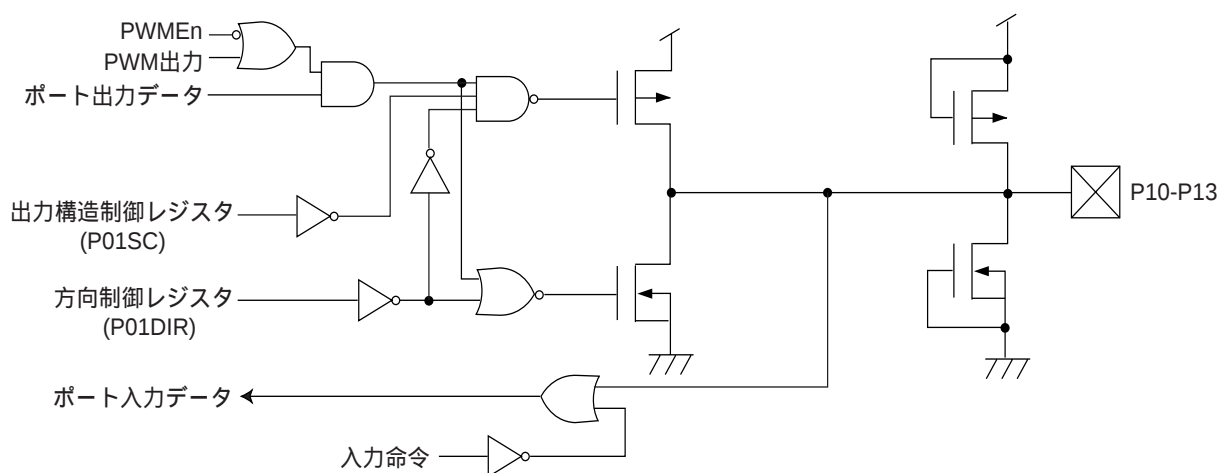


図3-2-4 P10、P11、P12、P13ブロック図

3-3 ポート2、ポート3の機能

3-3-1 ポート2、ポート3の説明

■汎用ポートの設定

ポート2、ポート3は、方向制御レジスタ(P23DIR)により、1ビット単位の入出力方向を制御することができます。ポート2、ポート3方向制御レジスタ(P23DIR)の制御フラグが'1'のとき出力モード、'0'のとき入力モードになります。

端子の入力データを読むときは、方向制御レジスタ(P23DIR)の制御フラグを'0'に設定し、ポート2、ポート3データレジスタ(PORT23)の値を読み出してください。



入力データを読むときは、PORT23レジスタの値ではなく、端子の状態を読み込みます。

端子へデータを出力するときは、方向制御レジスタ(P23DIR)の制御フラグを'1'に設定し、ポート2、ポート3データレジスタ(PORT23)にデータを書き込んでください。

ポート2、ポート3は、プルアップ抵抗制御レジスタ(P23PLU)により、1ビット単位のプルアップ抵抗の有無を選択できます。ポート2、ポート3プルアップ抵抗制御レジスタ(P23PLU)の制御フラグを'1'に設定すると、プルアップ抵抗が付加されます。

ポート2、ポート3の出力構造制御レジスタ(P23SC)により、1ビット単位で出力形式が選択できます。ポート2、ポート3出力構造制御レジスタ(P23SC)の制御フラグが'1'のときN-chオープンドレイン、'0'のときCMOS出力となります。

■特殊機能端子の設定

P20は、システムクロック同期出力端子(NSYNC)と兼用しています(リセット時：汎用ポート)。内部リセット時、システムクロックの同期信号が出力されます。動作時、初期状態はポートですが、ACZCNTレジスタによりNSYNC出力/ポートデータ出力の切替が可能です。

P21は、シリアルインターフェースデータ入力端子(SBI)と兼用しています(リセット時：汎用ポート)。SBI端子としてご使用の際はシリアル制御レジスタ1(SC0MD1)にてSBI端子を選択し、ポート2、ポート3方向制御レジスタ(P23DIR)を入力モードに設定してください。

P22は、シリアルインターフェースデータ入出力端子(SBO)と兼用しています(リセット時：汎用ポート)。SBO端子としてご使用の際はシリアル制御レジスタ1(SC0MD1)にてSBO端子を選択し、データ入力の場合はポート2、ポート3方向制御レジスタ(P23DIR)を入力モードに設定し、データ出力の場合はポート2、ポート3方向制御レジスタ(P23DIR)を出力モードに設定してください。

P23は、シリアルインターフェースクロック入出力端子(SBT)と兼用しています(リセット時：汎用ポート)。SBT端子としてご使用の際はシリアル制御レジスタ1(SC0MD1)にてSBT端子を選択し、外部クロック動作の場合はポート2、ポート3方向制御レジスタ(P23DIR)を入力モードに設定し、内部クロック動作の場合はポート2、ポート3方向制御レジスタ(P23DIR)を出力モードに設定してください。

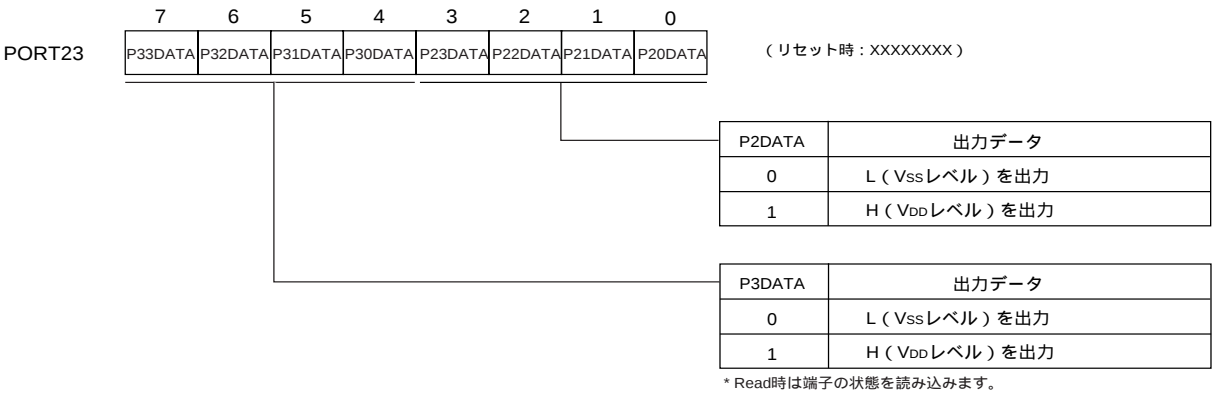
P30は、ACゼロボルト検出入力端子(ACZ)と兼用しています(リセット時：汎用ポート)。ACゼロボルト検出回路は、ACZ0割込み入力とP30の入力回路に接続されています。ACZ制御レジスタ(ACZCNT)にて、P30の入力データを選択できます。

P31は、タイマ2、タイマ3のイベントクロック入力端子と兼用しています(リセット時：汎用ポート)。タイマ制御入力コントロールレジスタ(MODCNT)にて、イベントクロックが選択できます。

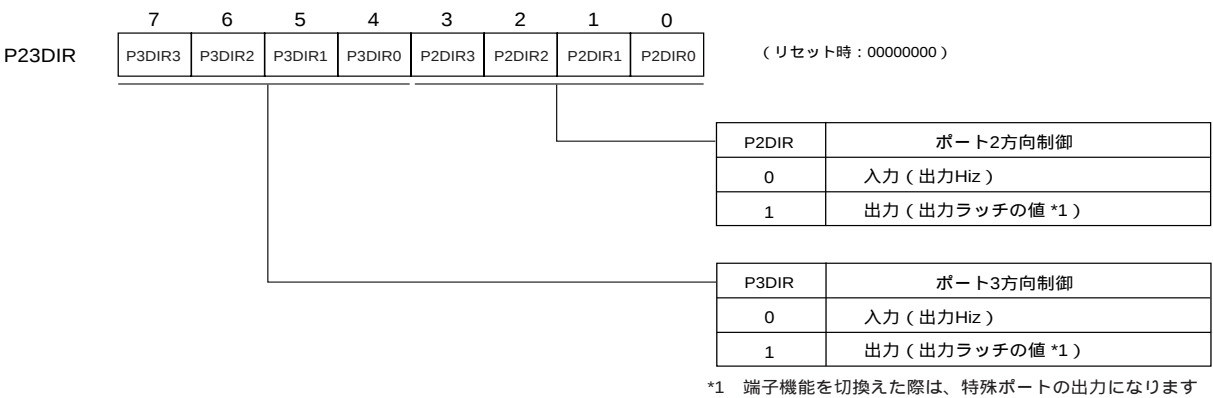
P32は、ブザー出力端子と兼用しています(リセット時：汎用ポート)。ブザー出力制御レジスタ(BZCTR)にて、BZ出力を選択できます。

また、P20～P33はキー割込み入力としても使用できます。キー割込み入力をご使用の際は、キー割込み制御レジスタ1(KEYCNT)にてキー割込みを許可してください。ポート2、ポート3方向制御レジスタ(P23DIR)にて、端子を入力モードに設定し、必要に応じてプルアップ抵抗を付加してください。

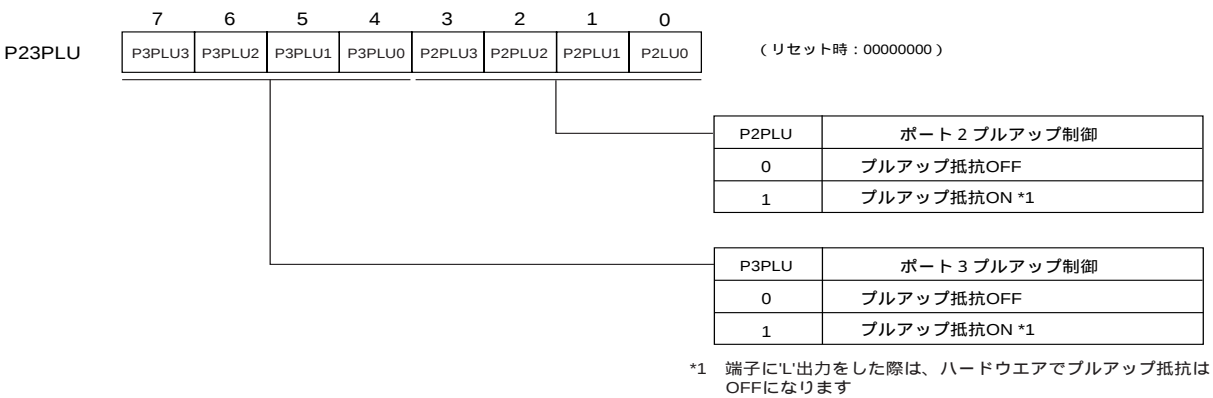
3-3-2 ポート2、ポート3のレジスタ



ポート2、ポート3データレジスタ(PORT23 : X'002' , R/W)

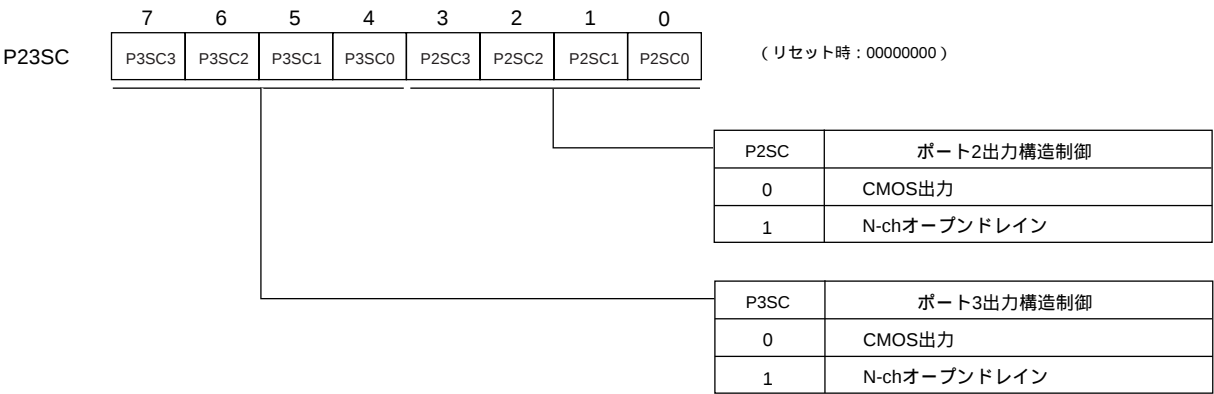


ポート2、ポート3方向制御レジスタ(P23DIR : X'012' , R/W)



ポート2、ポート3プルアップ抵抗制御レジスタ(P23PLU : X'022' , R/W)

図3-3-1 ポート2、ポート3のレジスタ(1/2)



ポート2、ポート3出力構造制御レジスタ(P23SC : X'02A' , R/W)

図3-3-2 ポート2、ポート3のレジスタ(2/2)

3-3-3 ポート2、ポート3のブロック図

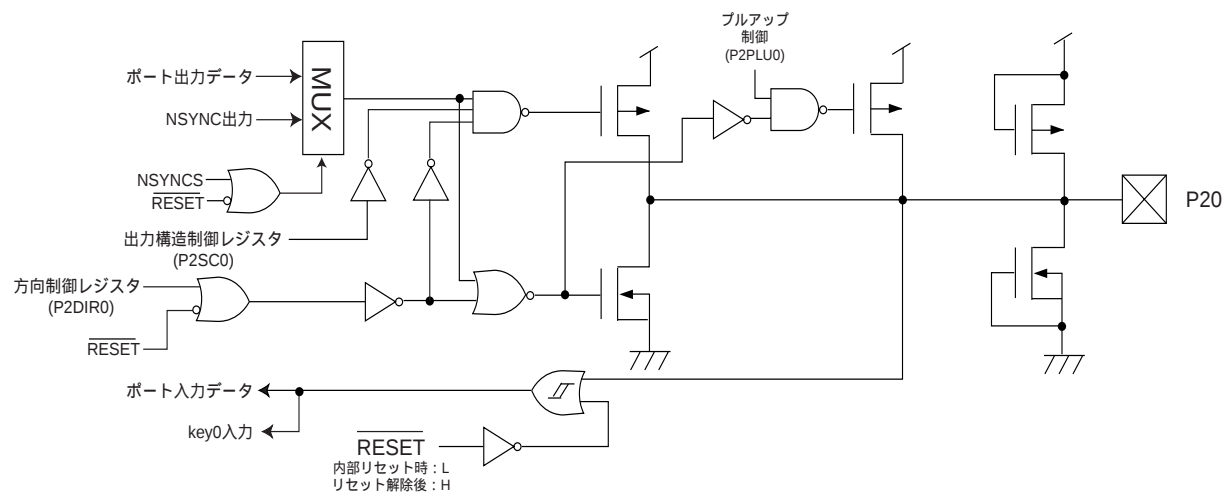


図3-3-3 P20ブロック図

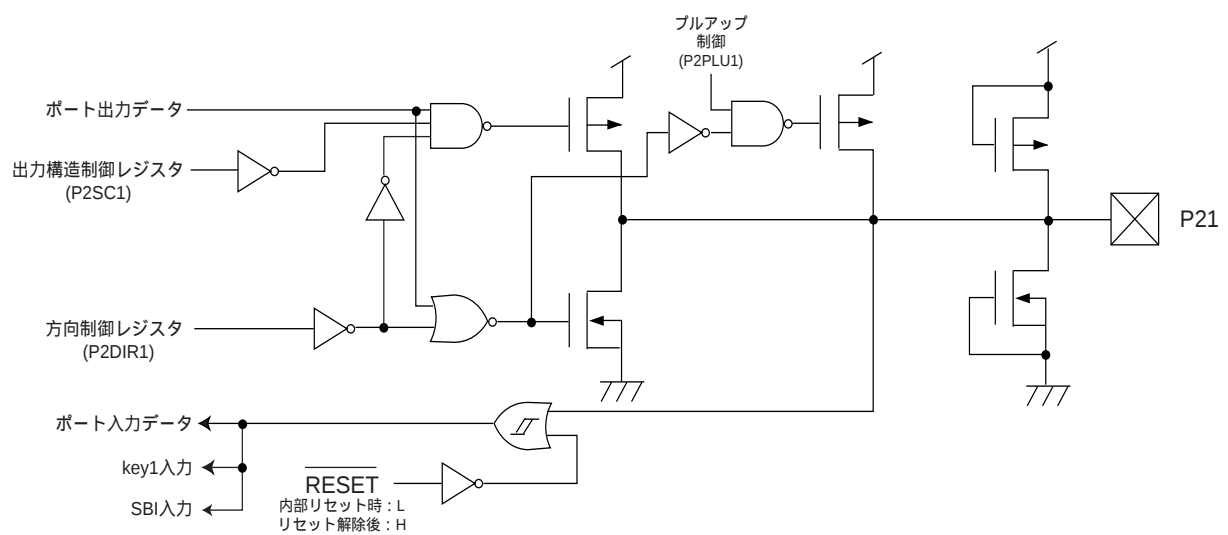


図3-3-4 P21ブロック図

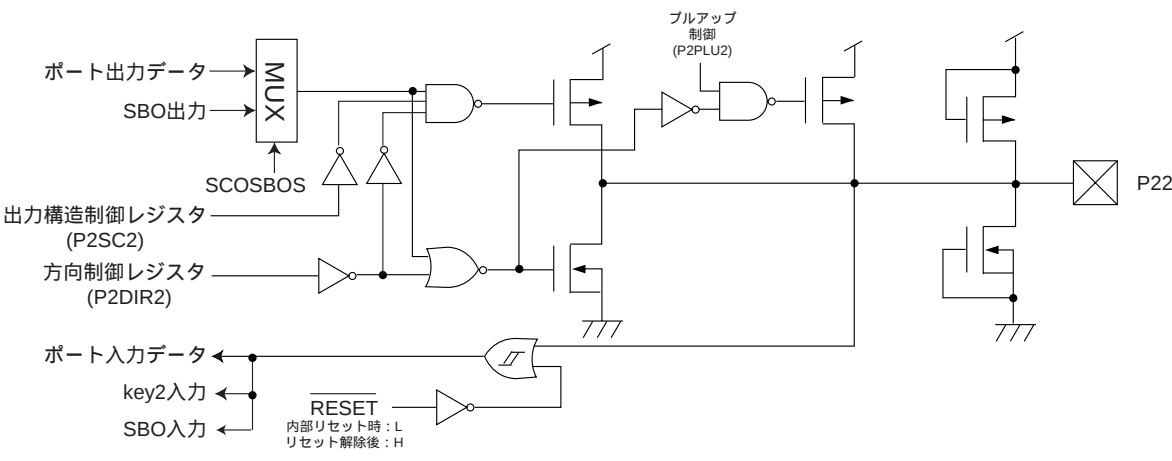


図3-3-5 P22ブロック図

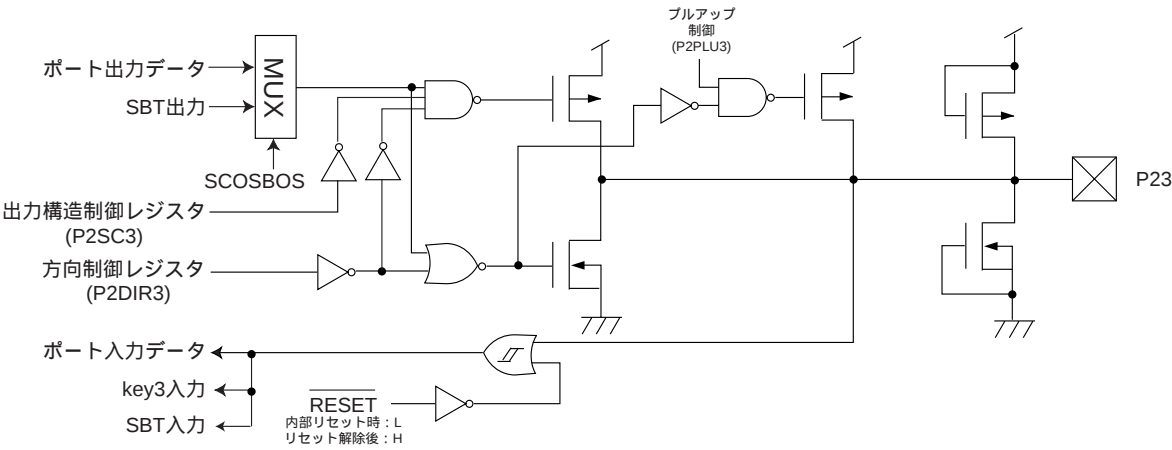


図3-3-6 P23ブロック図

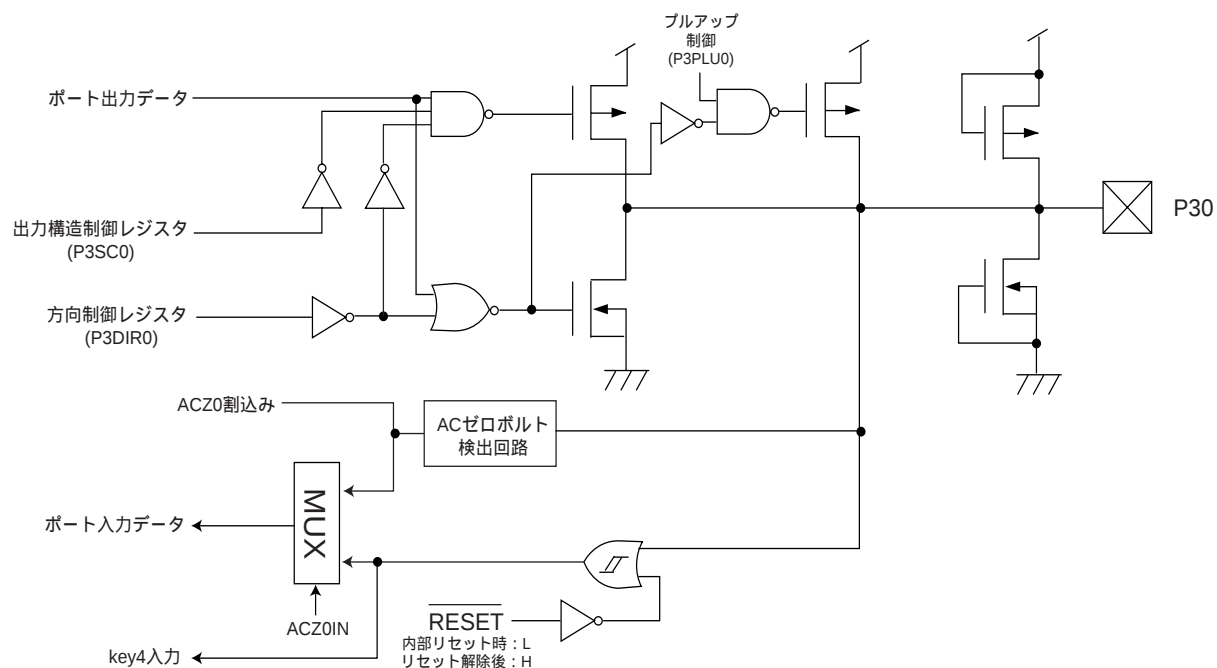


図3-3-7 P30ブロック図

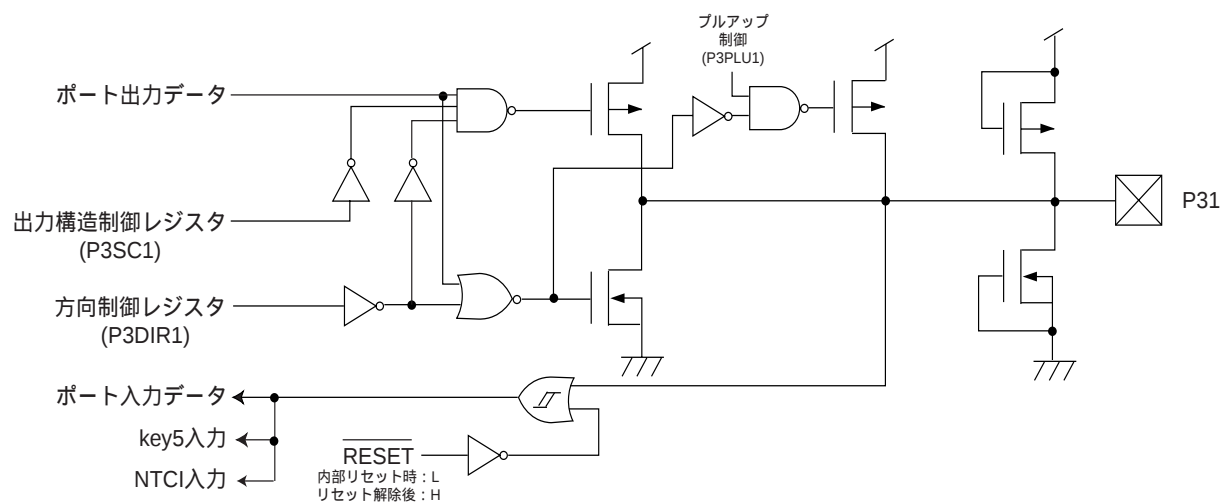


図3-3-8 P31ブロック図

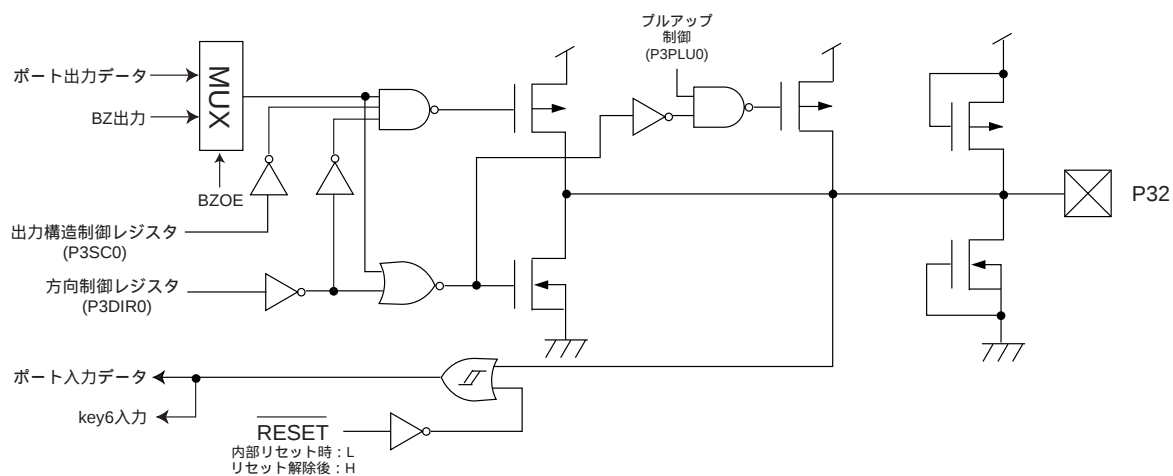


図3-3-9 P32ブロック図

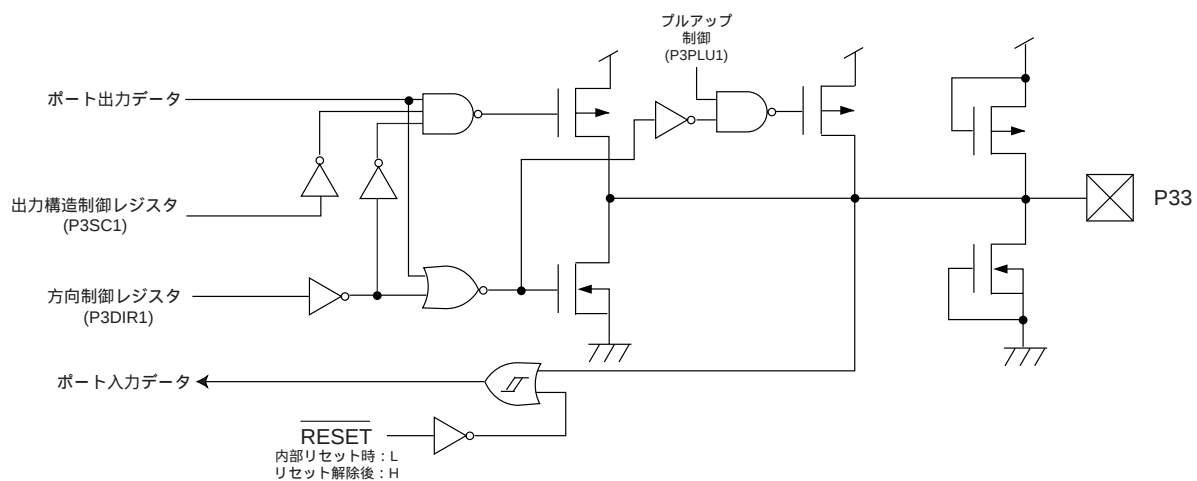


図3-3-10 P33ブロック図

3-4 ポート6の機能

3-4-1 ポート6の説明

■ 汎用ポートの設定

ポート6は、方向制御レジスタ(P67DIR)により、1ビット単位の入出力方向を制御することができます。ポート6方向制御レジスタ(P67DIR)の制御フラグが'1'のとき出力モード、'0'のとき入力モードになります。

端子の入力データを読むときは、方向制御レジスタ(P67DIR)の制御フラグを'0'に設定し、ポート6データレジスタ(PORT6)の値を読み出してください。



入力データを読むときは、PORT6レジスタの値ではなく、端子の状態を読み込みます。

端子へデータを出力するときは、方向制御レジスタ(P67DIR)の制御フラグを'1'に設定し、ポート6データレジスタ(PORT6)にデータを書き込んでください。

ポート6は、プルアップ抵抗制御レジスタ(P67PLU)により、1ビット単位のプルアップ抵抗の有無を選択できます。ポート6プルアップ抵抗制御レジスタ(P67PLU)の制御フラグを'1'に設定すると、プルアップ抵抗が付加されます。

ポート6の出力構造制御レジスタ(P67SC)により、1ビット単位で出力形式が選択できます。ポート6出力構造制御レジスタ(P67SC)の制御フラグが'1'のときN-chオープンドレイン、'0'のときCMOS出力となります。

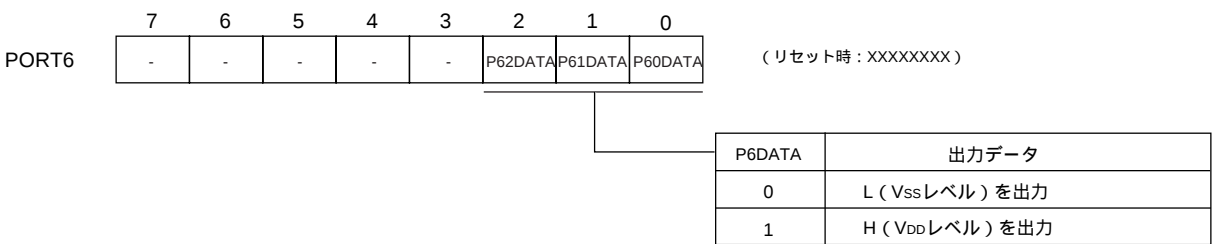
■ 特殊機能端子の設定

P60は、割込み入力端子と兼用しています（リセット時：汎用ポート）。

P61は、タイマ制御入力端子と兼用しています（リセット時：汎用ポート）。タイマ機能の簡易パルス幅測定モード、トリガスタートモードでタイマ動作を制御できます。

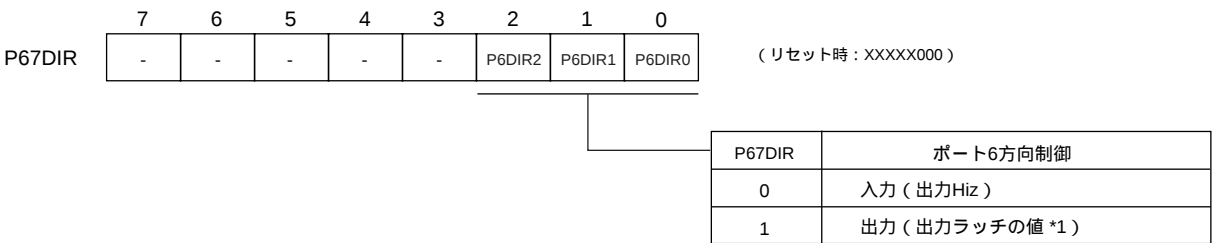
P62は、タイマ出力端子です（リセット時：汎用ポート）。タイマ出力制御レジスタ(TCOCNT)にて、タイマ出力を選択できます。

3-4-2 ポート6のレジスタ



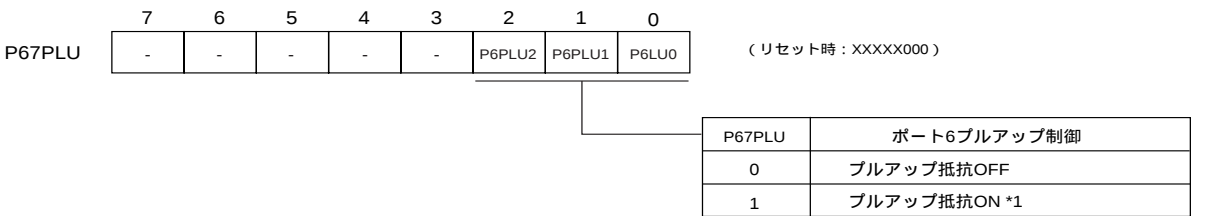
* Read時は端子の状態を読み込みます。

ポート6データレジスタ(PORT6 : X'006' , R/W)



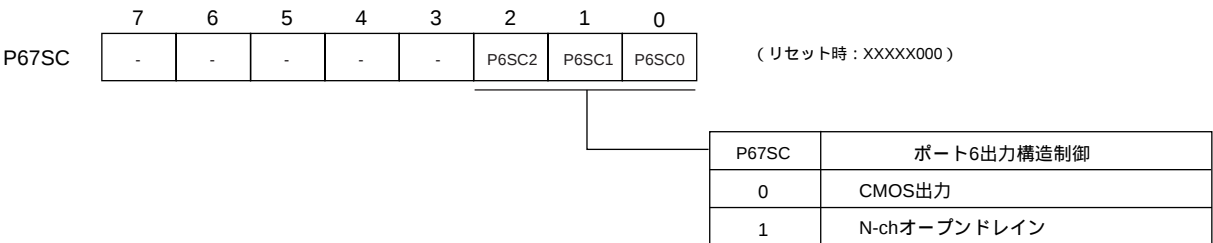
*1 端子機能を切替えた際は、特殊ポートの出力になります

ポート6方向制御レジスタ(P67DIR : X'016' , R/W)



*1 端子に'L'出力をした際は、ハードウエアでプルアップ抵抗はOFFになります

ポート6プルアップ抵抗制御レジスタ(P67PLU : X'026' , R/W)



ポート6出力構造制御レジスタ(P67SC : X'02E' , R/W)

図3-4-1 ポート6のレジスタ

3-4-3 ポート6のブロック図

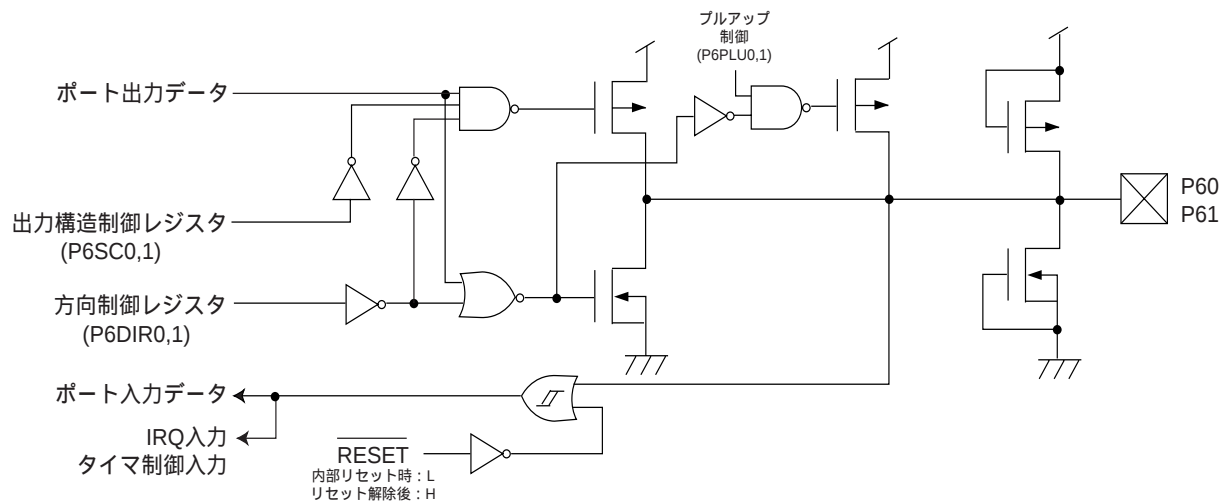


図3-4-2 P60、P61ブロック図

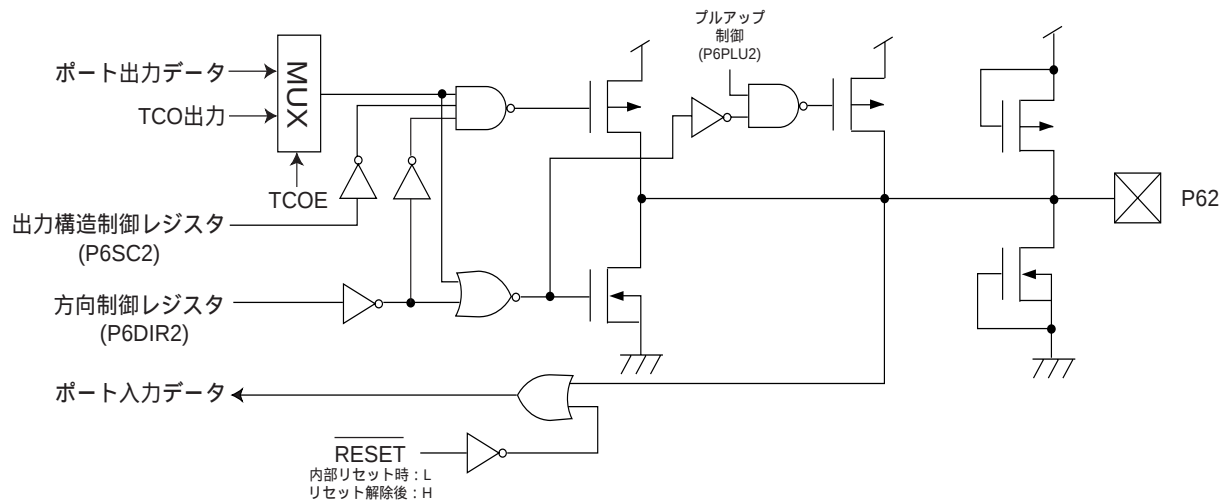


図3-4-3 P62ブロック図

3-5 ポート8、ポート9、ポートA、ポートBの機能

3-5-1 ポート8、ポート9、ポートA、ポートBの説明

■ 汎用ポートの設定

ポート8、ポート9は、方向制御レジスタ(P89DIR)により、1ビット単位の入出力方向を制御することができます。ポート8、ポート9方向制御レジスタ(P89DIR)の制御フラグが'1'のとき出力モード、'0'のとき入力モードになります。

ポートA、ポートBは、方向制御レジスタ(PABDIR)により、1ビット単位の入出力方向を制御することができます。ポートA、ポートB方向制御レジスタ(PABDIR)の制御フラグが'1'のとき出力モード、'0'のとき入力モードになります。

ポート8、ポート9の端子の入力データを読むときは、方向制御レジスタ(P89DIR)の制御フラグを'0'に設定し、ポート8、ポート9データレジスタ(PORT89)の値を読み出してください。



入力データを読むときは、PORT89レジスタの値ではなく、端子の状態を読み込みます。

ポートA、ポートBの端子の入力データを読むときは、方向制御レジスタ(PABDIR)の制御フラグを'0'に設定し、ポートA、ポートBデータレジスタ(PORTAB)の値を読み出してください。



入力データを読むときは、PORTABレジスタの値ではなく、端子の状態を読み込みます。

ポート8、ポート9の端子へデータを出力するときは、方向制御レジスタ(P89DIR)の制御フラグを'1'に設定し、ポート8、ポート9データレジスタ(PORT89)にデータを書き込んでください。

ポートA、ポートBの端子へデータを出力するときは、方向制御レジスタ(PABDIR)の制御フラグを'1'に設定し、ポートA、ポートBデータレジスタ(PORTAB)にデータを書き込んでください。

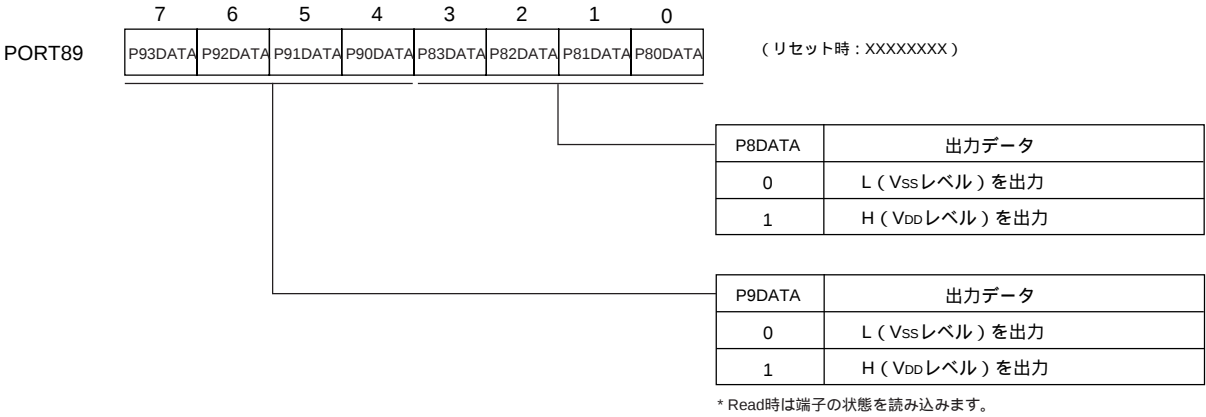
ポート8、ポート9、ポートA、ポートBは、プルアップ抵抗制御レジスタ(PLUCNT)により、ポート単位のプルアップ抵抗の有無を選択できます。プルアップ抵抗制御レジスタ(PLUCNT)の制御フラグを'1'に設定すると、プルアップ抵抗が付加されます。

ポート8、ポート9、ポートA、ポートBの出力構造制御レジスタ(PSCCNT)により、ポート単位の出力形式が選択できます。出力構造制御レジスタ(PSCCNT)の制御フラグが'1'のときN-chオープンドレイン、'0'のときCMOS出力となります。

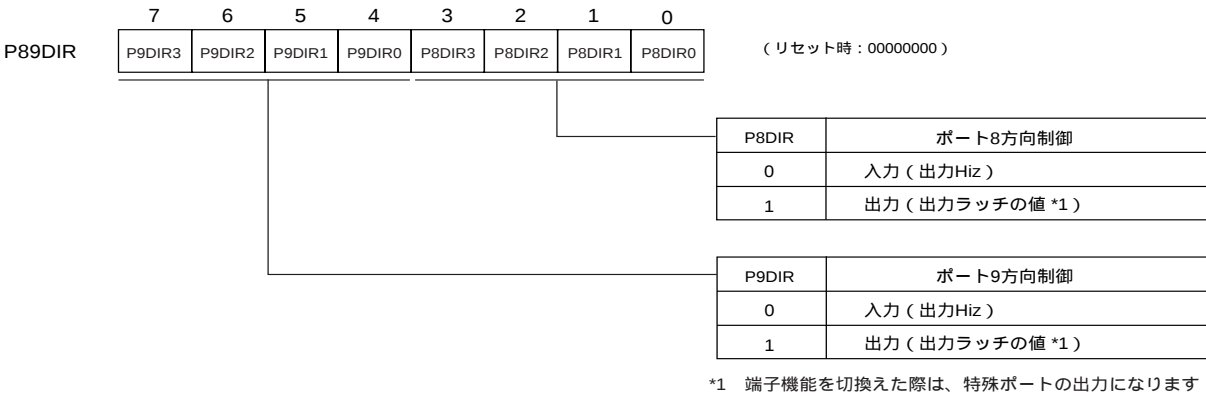
■ 特殊機能端子の設定

P80～83、P90～P93、PA0～PA3、PB0～PB3は、LCDのセグメント信号出力端子と兼用しています（リセット時：汎用ポート）。LCDポート切換えレジスタ0(LCMD0)により、ポート単位でポート/セグメントの切換えが可能です。

3-5-2 ポート8、ポート9、ポートA、ポートBのレジスタ

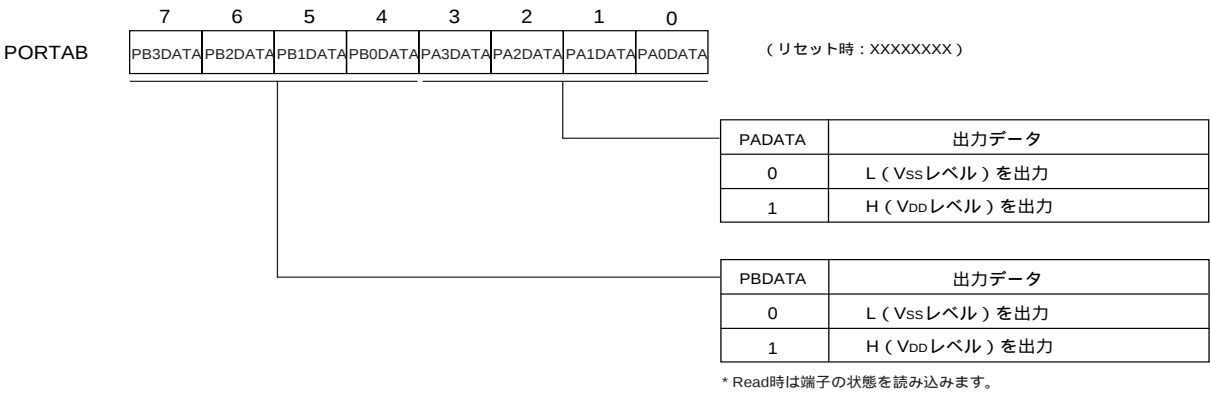


ポート8、ポート9データレジスタ(PORT89 : X'008' , R/W)

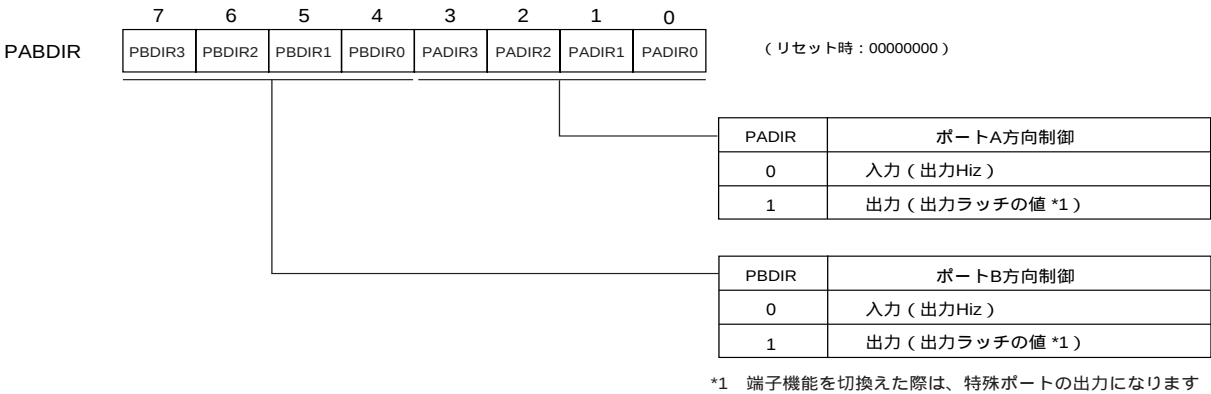


ポート8、ポート9方向制御レジスタ(P89DIR : X'01A' , R/W)

図3-5-1 ポート8、ポート9のレジスタ

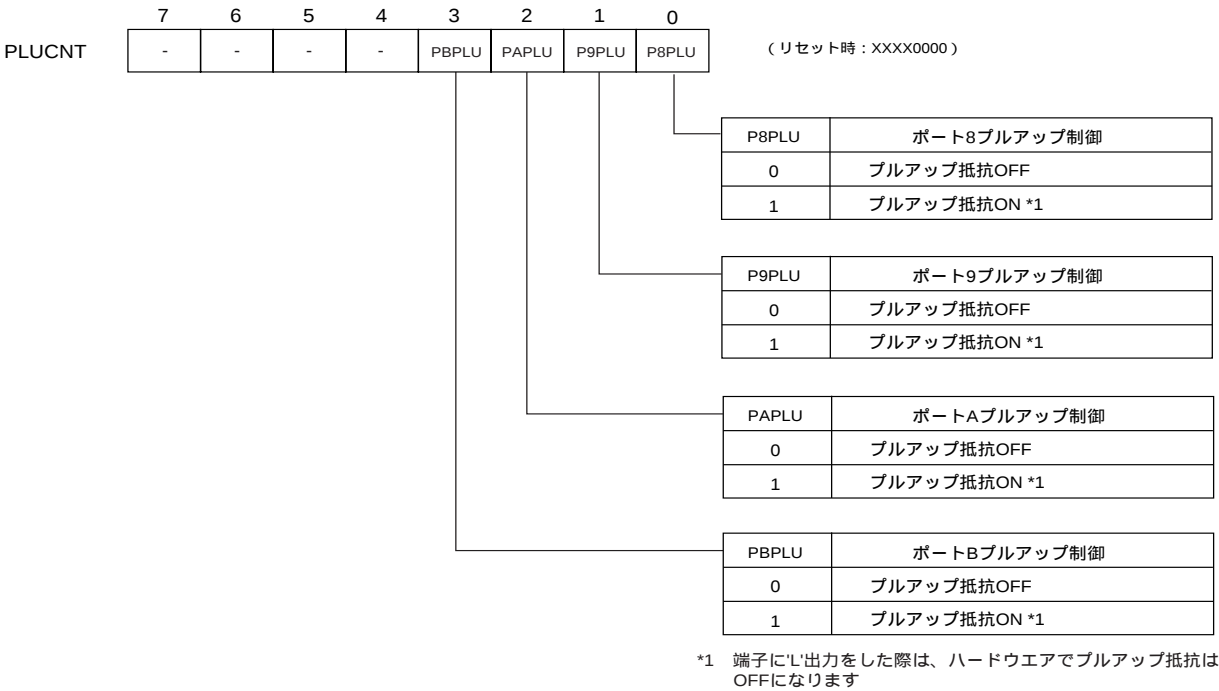


ポートA、ポートBデータレジスタ(PORTAB : X'00A' , R/W)

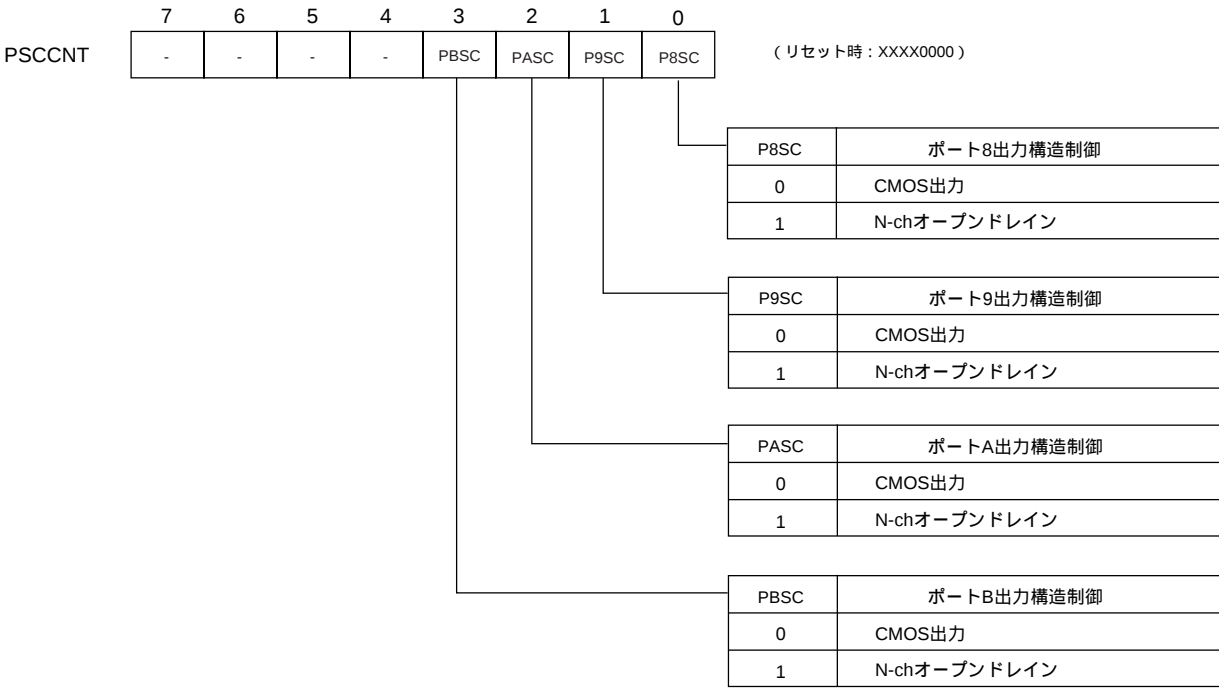


ポートA、ポートB方向制御レジスタ(PABDIR : X'01A' , R/W)

図3-5-2 ポートA、ポートBのレジスタ



ポート8、ポート9、ポートA、ポートBプルアップ抵抗制御レジスタ(PLUCNT : X'024' , R/W)



ポート8、ポート9、ポートA、ポートB出力構造制御レジスタ(PSCCNT : X'02C' , R/W)

図3-5-3 ポート8、ポート9、ポートA、ポートBのレジスタ

3-5-3 ポート8、ポート9、ポートA、ポートBのブロック図

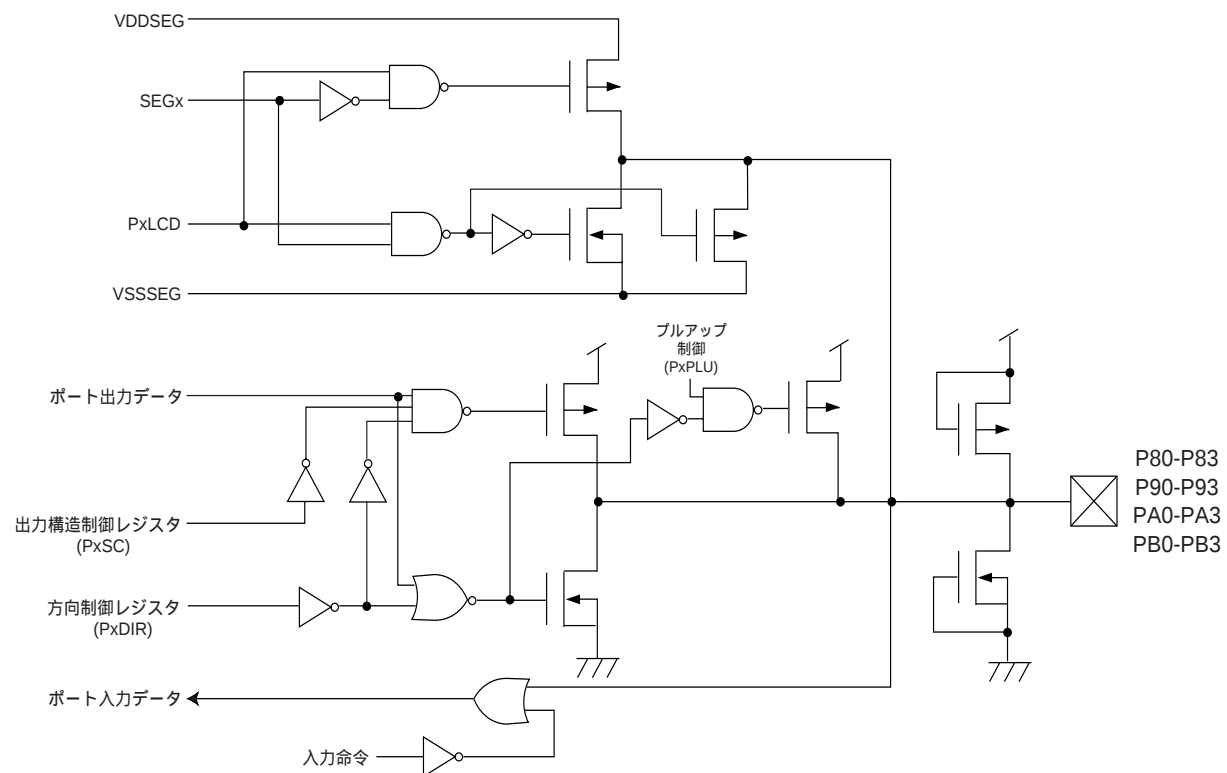


図3-5-4 ポート8、ポート9、ポートA、ポートBのブロック図

第 4 章 割込み機能

4-1 割込み機能の概要

4-1-1 割込み制御

本LSIの割込み機能は、割込み1(IRQ1)、割込み2(IRQ2)、割込み3(IRQ3)の3本から構成されています。

割込み制御部は、割込み要求によって実行中のプログラムの流れを中断し、中断時点でのプログラムカウンタとフラグステータスをスタックへ待避して、各割込み要因に応じた割込み処理プログラムの実行開始を制御します。

割込み開始番地からJMP命令で自由に割込み処理プログラムの先頭番地を指定できます。

表4-1-1 割込みサービスプログラム開始番地

割込み要因		ベクタアドレス	優先順位
(CPUリセット)	(RESET)	X'000'	高
割込み1	(IRQ1)	X'00A'	↑
割込み2	(IRQ2)	X'00C'	↓
割込み3	(IRQ3)	X'00E'	低

割込みは、各割込み要因ごとの割込み要求フラグ(IF)と割込み許可フラグ(IE)が両方ともセットされた場合にのみ、割込み制御部により受理されます。

割込みが受理されると、割込み処理プログラムが実行されます。但し、他の割込み許可フラグ(IE)はマスクされませんので注意してください。複数の割込みが同時に受理された場合、ハードウェアで定められている優先順位に従い、高位のものから順次処理されます。

割込みの優先順位は、割込み1(IRQ1)、割込み2(IRQ2)、割込み3(IRQ3)の順です。

割込みイネーブル（許可）、ディスエーブル（不許可）のプログラム例を次に示します。

表4-1-2 割込み設定方法プログラム例

設定方法 割込み	イネーブル	ディスエーブル
IRQ1	EDI 0,4	EDI 4,0
IRQ2	EDI 0,2	EDI 2,0
IRQ3	EDI 0,1	EDI 1,0

割込み要求フラグ(IF)は、割込み要因となるイベントが発生すると"1"にセットされ、割込みが受理されるとクリアされて"0"になります。割込み要求フラグはハードウェアによって操作されるフラグですが、IRQモードレジスタ(IRQM)にて要求フラグのソフトリセットが可能です。

割込み許可フラグ(IE)は、指定された割込みを許可するフラグです。割込み許可フラグは、"1"の場合に有効になります。

4-1-2 割り込み機能のブロック図

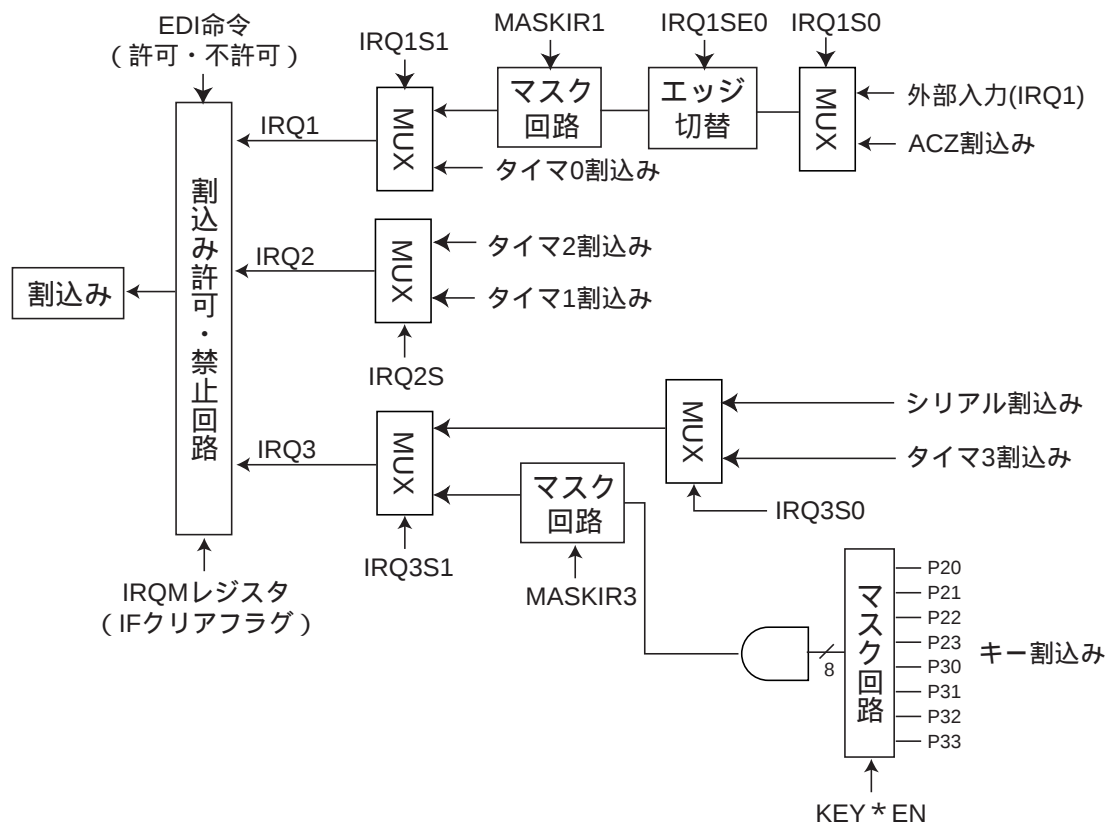


図4-1-1 割り込みブロック図

4-1-3 割込み機能の動作

■ 割込み処理のシーケンス

割込み処理（リセット入力を除く）は、割込み要求、割込み受理動作、ハードウェア処理などのシーケンスにより成り立っています。

割込み受理後、ハードウェア処理としてプログラムカウンタ(PC)とフラグステータス(FS)がスタック領域に退避し、各割込み要因ごとに定められた割込みサービスプログラム開始番地に分岐します。

割込み処置プログラム終了後、ハードウェアで、割込み受理時に退避したプログラムカウンタ、フラグステータスの値を復帰します。

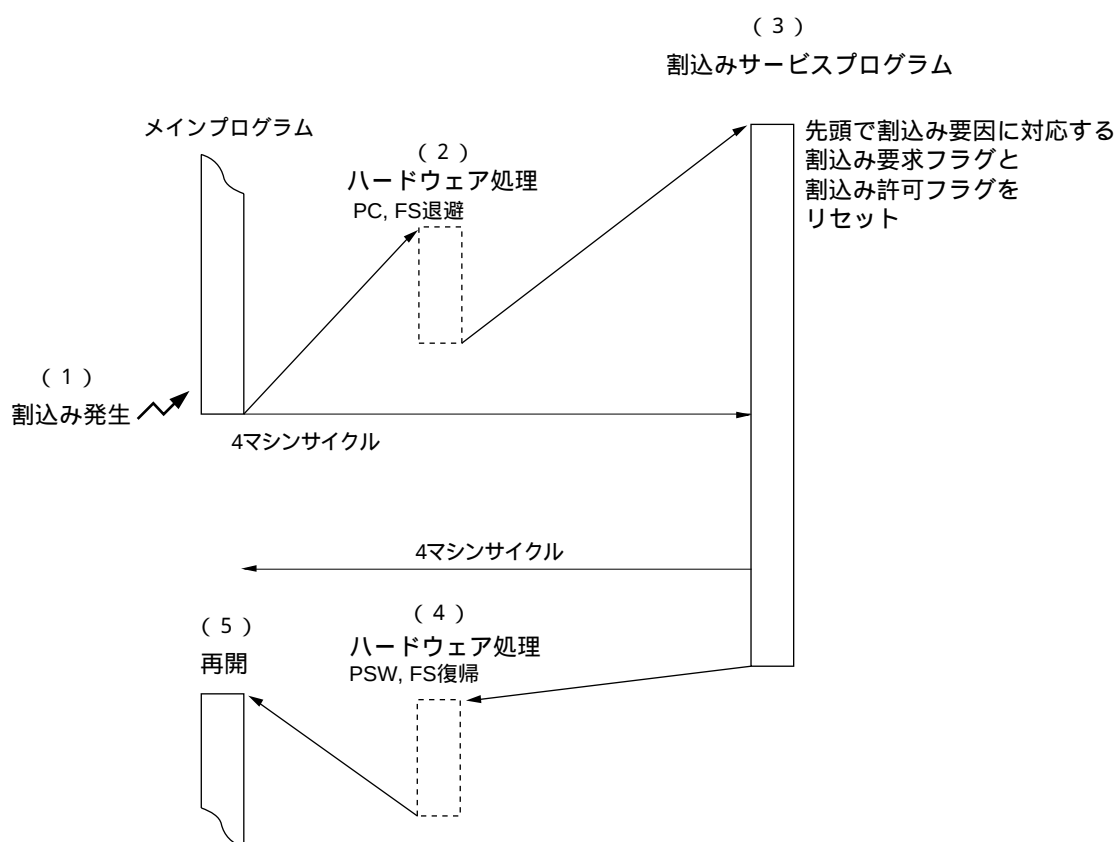


図4-1-2 割込み処理のシーケンス

■ 割込み受理動作

割込みは、割込み要因が発生すると、割込みサービスプログラムの先頭にプログラムを分岐させ割込み受理が行われます。まず、割込み要因が発生すると、対応する割込みレベルの割込み要求フラグ（IF）がセットされます。この時、IFフラグと対応するレベルの割込み許可フラグ（IE）がセットされていれば発生した割込み要因は受理される権利を得ます。

割込み受理の処理は、CALL命令の実行時と類似した動作をします。

割込み受理サイクルにおいてはプログラムカウンタ（PC）とフラグステータス（FS）がスタック領域に書き込まれます。（プッシュされます）

次に各割込み要因ごとに定められた割込みサービスプログラム開始番地をプログラムカウンタにセットします。

さらに、現在割込み受理を行っているレベルと対応するレベルのIEフラグとIFフラグをリセットします。必要に応じて各割込み処理は、割込みサービスプログラム開始番地からJMP命令を用いて各割込み処理プログラムを実行してください。

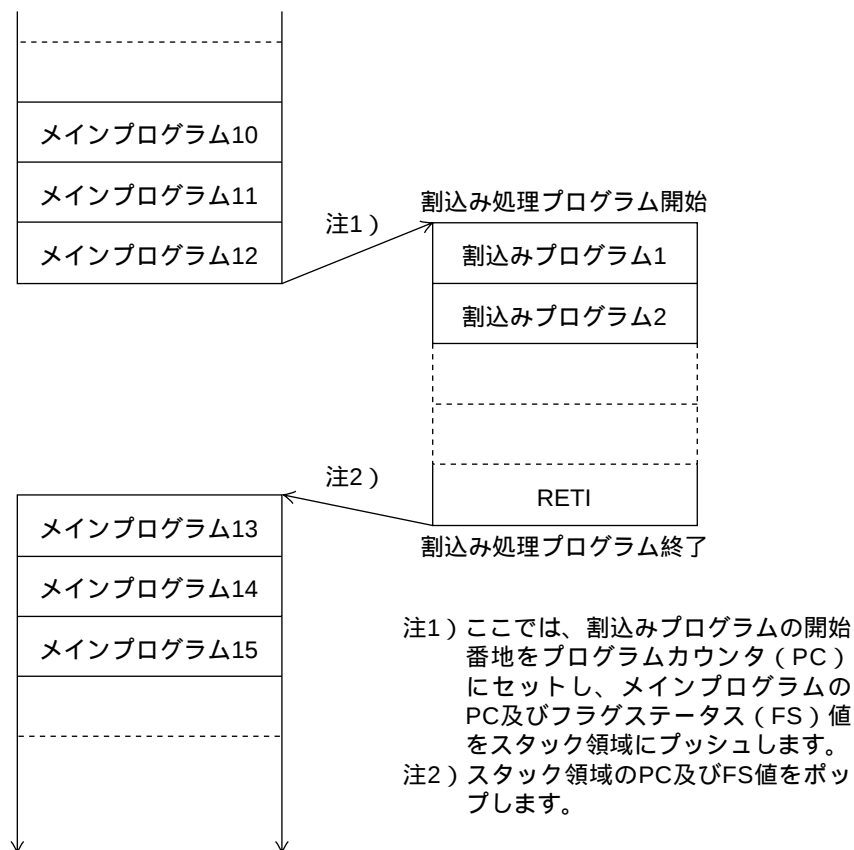


図4-1-3 割込み動作

例 IRQ2の場合

```
絶対番地      JMP      LABEL
X'000C'
```



```

LABEL: PSHXY
      PSHEA
      割り込み処理プログラム

      POPEA
      POPXY
      EDI    0,2
      RETI

```

図4-1-4 割り込み処理プログラム例

■ 割り込み復帰動作

割り込み処理プログラム実行から、元のプログラムに戻るための割り込み復帰処理はRETI命令(Return from Interrupt)によって行われます。RETI命令は、サブルーチンからメインルーチンに戻るために使用するRET命令(Return)と類似した動作をします。

すなわち、RETI命令を実行することによってスタック領域RAM、専用スタックエリアにプッシュされていたプログラムカウンタ(PC)と、フラグステータス(FS)の割り込み発生直前の値をPCとFSに戻し、プログラムの流れを割り込み発生前に戻します。

割り込み応答速度は、割り込み要因発生から割り込み受理を開始するまで4マシンサイクルかかります。

尚、割り込み処理プログラム先頭番地にEDI命令がある場合は、3～4マシンサイクル割り込みは禁止されます。

■ 割り込み時のスタック

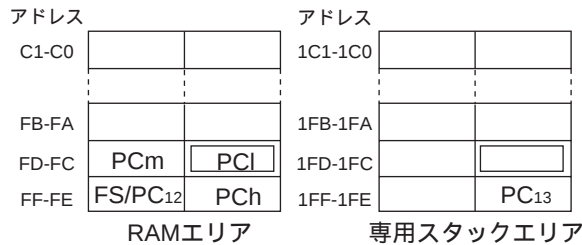
割り込み受理及び割り込み復帰時のスタックレベルは、プログラムカウンタ(PC)とフラグステータス(FS)をプッシュまたはポップする分だけ変化します。

通常の割り込みの場合、PCとFSをプッシュするので4ニブルのスタック領域(RAM)と専用スタック領域を必要とします。従って、スタックポインタ(SP)の値は、割り込み受理時に4デクリメントし、割り込み復帰時に4インクリメントします。

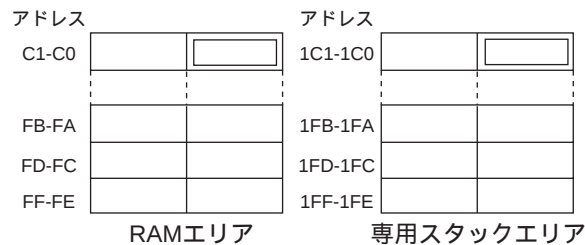
割り込み復帰はRETI命令を実行することによって行われます。

RETI命令では、割り込み受理サイクルでスタック領域RAM、専用スタックエリアにプッシュしているFS、PCの値を元に戻します。SPの示すスタック領域の値を読み出した後、SPはインクリメントされます。

< 割り込み処理時 >



< 割り込み復帰時 >



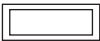
 : はスタックポインタ(SP)の示すアドレス値

図4-1-5 スタックポインタの動作



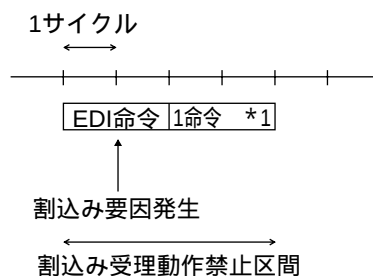
割り込み時、RAM BANK FFはスタック領域に退避されませんので注意してください。

【  第2章 3-3 RAMバンク制御 】

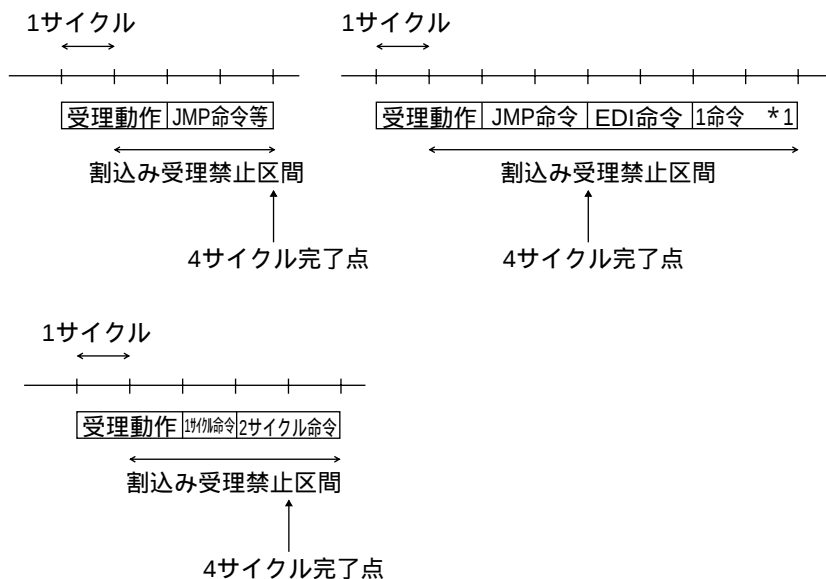
■ 割込み受理開始と終了

割込み受理動作は、次に示すタイミングにおいては、受けつけません。

1. 割込み禁止中
2. 2サイクル命令の1サイクル目
3. 3サイクル命令の1、2サイクル目
4. EDI命令実行中に割込み要因発生時は、次に続く命令完了まで、割込み受理は禁止



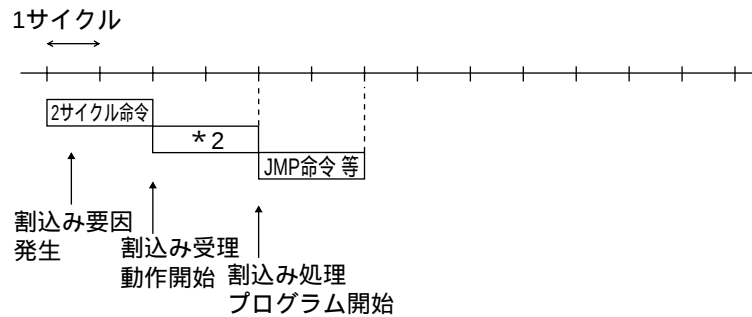
5. 割込み受理動作に入ってから、4サイクル完了まで割込み受理は禁止、さらにEDI命令が続く時は、EDI命令と次に続く命令完了まで割込み受理は禁止



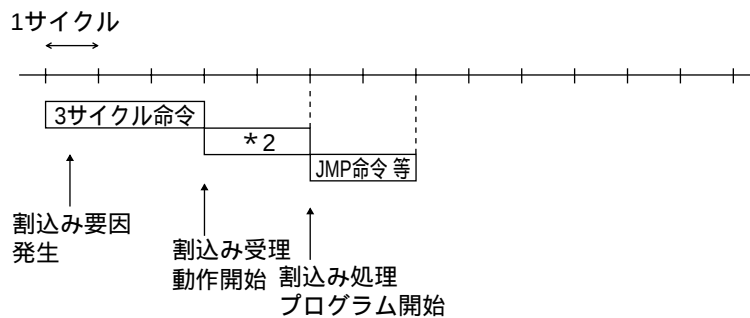
- *1 1 サイクル命令の時は、1 サイクル命令完了まで割込み受理禁止
 2 サイクル命令の時は、2 サイクル命令完了まで割込み受理禁止
 3 サイクル命令の時は、3 サイクル命令完了まで割込み受理禁止

次に割り込み受理動作を例を示して説明します。

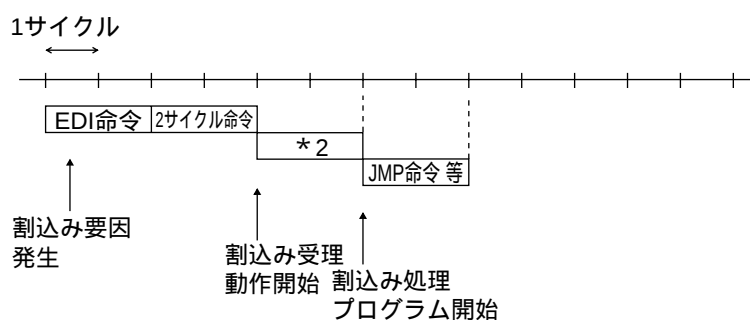
割り込み要因が2サイクル命令実行中に発生したとき2サイクル命令完了後、割り込み受理を開始します。



割り込み要因が3サイクル命令実行中に発生したとき3サイクル命令完了後、割り込み受理を開始します。



割り込み要因がEDI命令と次に続く命令（1、2または3サイクル命令）実行中に発生した時その命令完了後（最大5サイクル）割り込み受理を開始します。

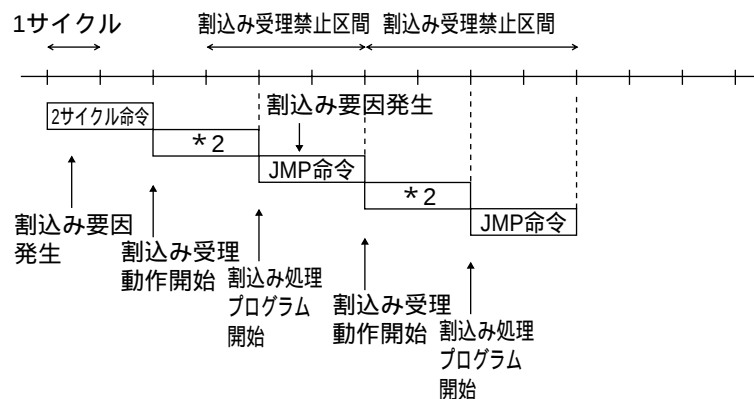


- * 2
1. メインプログラムのPCおよびフラグステータス値をスタック領域に退避
 2. 割り込みプログラムの開始番地をPCにセット
 3. 受理した割り込みのIFとIEをリセット

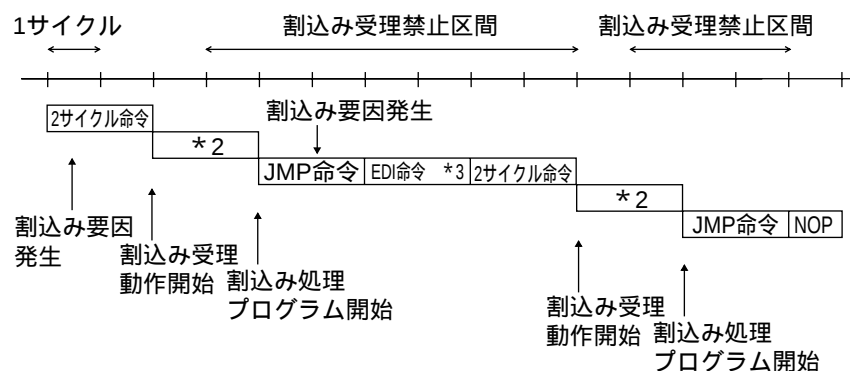
■ 割込み受理開始と終了（多重割込み時）

多重割込み時の割込み受理動作を例を示して説明します。

割込み要因が割込み処理開始の命令実行時に発生した時、その命令完了後に割込み受理を開始します。（JMP命令の次の命令がEDI命令以外の時）



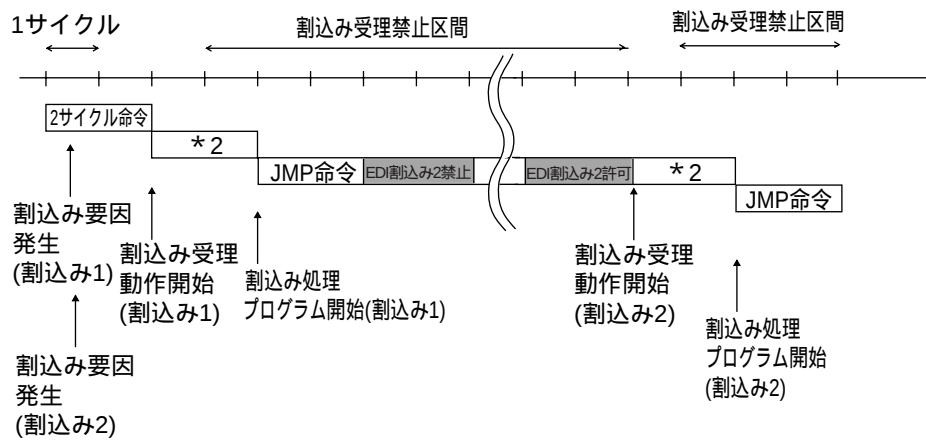
割込み要因が割込み処理開始の命令実行時（命令がJMP命令+EDI命令）に発生した時は、EDI命令に続く命令の完了後に割込み受理を開始します。



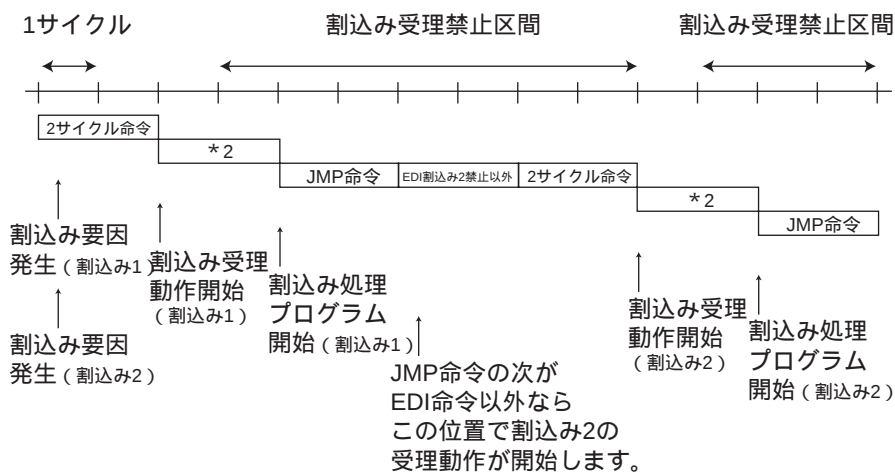
- *2
1. メインプログラムのPCおよびフラグステータス値をスタック領域に待避
 2. 割込みプログラムの開始番地をPCにセット
 3. 受理した割込みのIFとIEをリセット

- *3 割込みを禁止しないEDI命令

2つの割り込み要因が同時に発生した時は、優先レベルの高い方の割り込み受理動作を開始します。



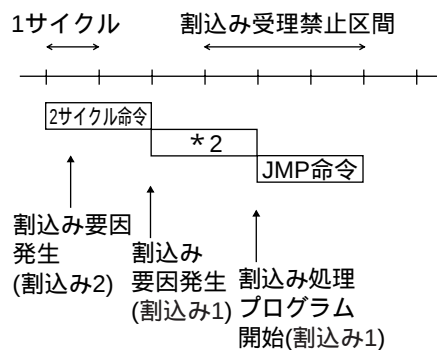
2つの割り込み要因が同時に発生した時は、優先レベルの高い方の割り込み受理動作を開始します。割り込み処理で他の割り込みを禁止にしない場合は、他の割り込みの受理動作に移行します。



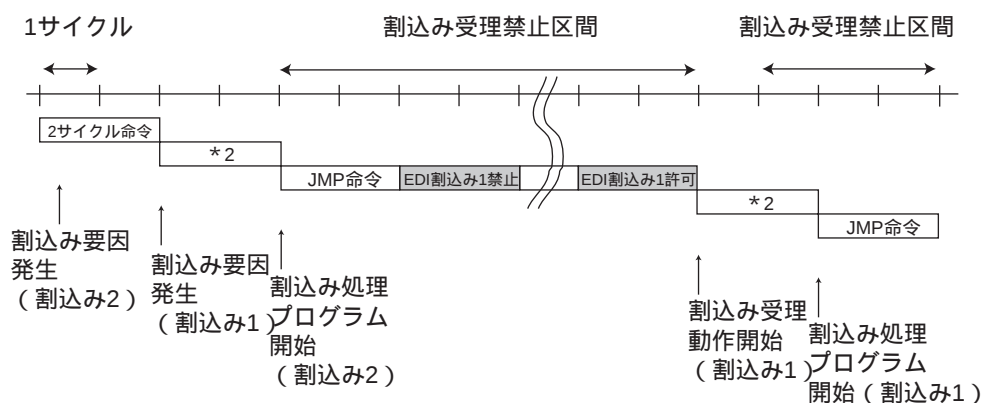
- * 2
1. メインプログラムのPCおよびフラグステータス値をスタック領域に待避
 2. 割り込みプログラムの開始番地をPCにセット
 3. 受理した割り込みのIFとIEをリセット

この例は、優先レベルの高い割り込み1を先に処理を開始するが、割り込み2を禁止にしていない場合です。割り込み1の処理は、3命令 (JMP、EDI、2サイクル命令) のみ実行して割り込み2に処理が移行します。

割り込み受理動作中（1サイクル目）に優先レベルの高い割り込み要因が発生した時は、同時割り込みと判断して、優先レベルの高い割り込みの処理を開始します。



割り込み受理動作中（2サイクル目）に優先レベルの高い割り込み要因が発生した時は、先に発生した割り込み要因の処理を開始します。



- * 2
1. メインプログラムのPCおよびフラグステータス値をスタック領域に待避
 2. 割り込みプログラムの開始番地をPCにセット
 3. 受理した割り込みのIFとIEをリセット

4-1-4 割込みの設定例

■ 割込み1(IRQ1)の設定例

P60/NIRQ端子よりパルスを入力し、その立ち下がりエッジで割込み1(IRQ1)を発生させます。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) 端子の設定 P67DIR (X'016') bp0 : P6DIR0 = 0	(1) ポート6方向制御レジスタ(P67DIR)のP6DIR0フラグを"0"にして、P60/NIRQ端子を入力モードに設定します。
(2) 割込みソースの選択 IRQC0 (X'034') bp5-4 : IRQ1S1-0 = 00	(2) 割込み制御レジスタ0(IRQC0)のIRQ1S1-0フラグにより、割込みソースを割込み1(IRQ1)に設定します。
(3) 割込みエッジの選択 IRQC0 (X'034') bp6 : IRQ1SE0 = 0	(3) 割込み制御レジスタ0(IRQC0)のIRQ1SE0フラグを"0"にして、割込みエッジを立ち下がりに選択します。
(4) 割込みエッジの許可 IRQC0 (X'034') bp7 : MASKIR1 = 1	(4) 割込み制御レジスタ0(IRQC0)のMASKIR1フラグにより、割込みエッジを許可します。
(5) 割込み要求フラグのクリア IRQM(X'032') bp5 : IFIRQ1E = 1	(5) IRQモードレジスタ(IRQM)のIFIRQ1Eフラグを'1'にして、割込み1要求フラグをクリアします。
(6) 割込み1の許可	(6) EDI命令を実行して、割込み1を許可します。

4-2 割込み制御レジスタ

4-2-1 割込み制御レジスタ一覧

割込み動作を制御するレジスタは、IRQモードレジスタ(IRQM)、割込み制御レジスタ0(IRQC0)、割込み制御レジスタ1(IRQC1)、キー割込み制御レジスタ(KEYCNT)の4つあります。

表4-2-1 割込み制御レジスタ一覧

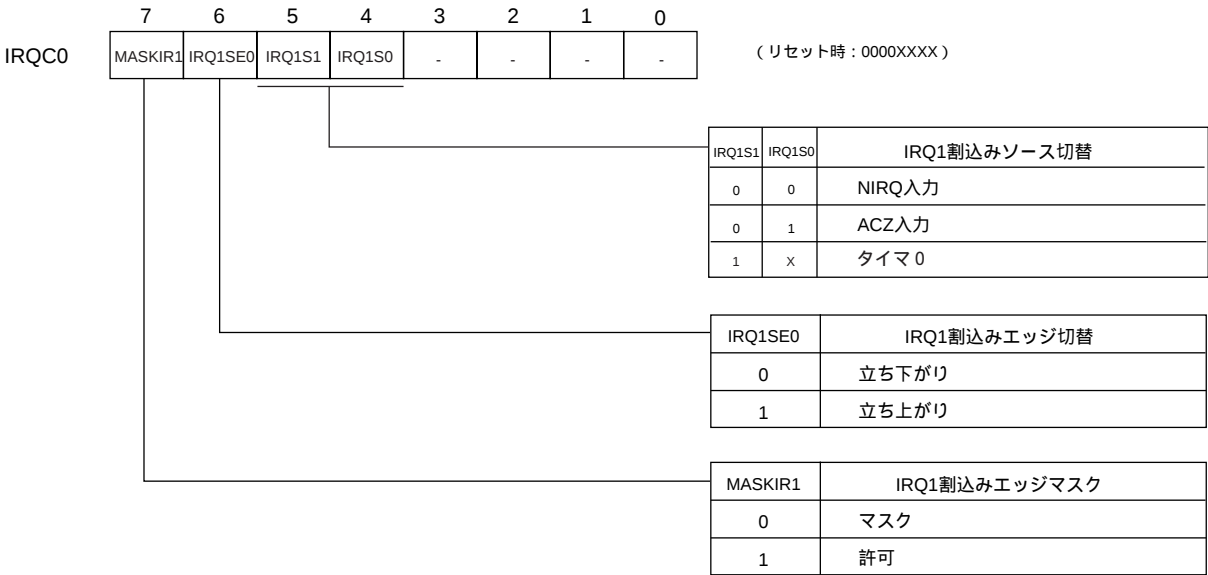
レジスタ略称	アドレス	R/W	レジスタ名称
IRQM	X'032'	W	IRQモードレジスタ
IRQC0	X'034'	R/W	割込み制御レジスタ0
IRQC1	X'036'	R/W	割込み制御レジスタ1
KEYCNT	X'038'	R/W	キー割込み制御レジスタ

R/W：読み出し/書き込み共に可能です。
W：書き込み専用レジスタです。

4-2-2 割り込み制御レジスタ

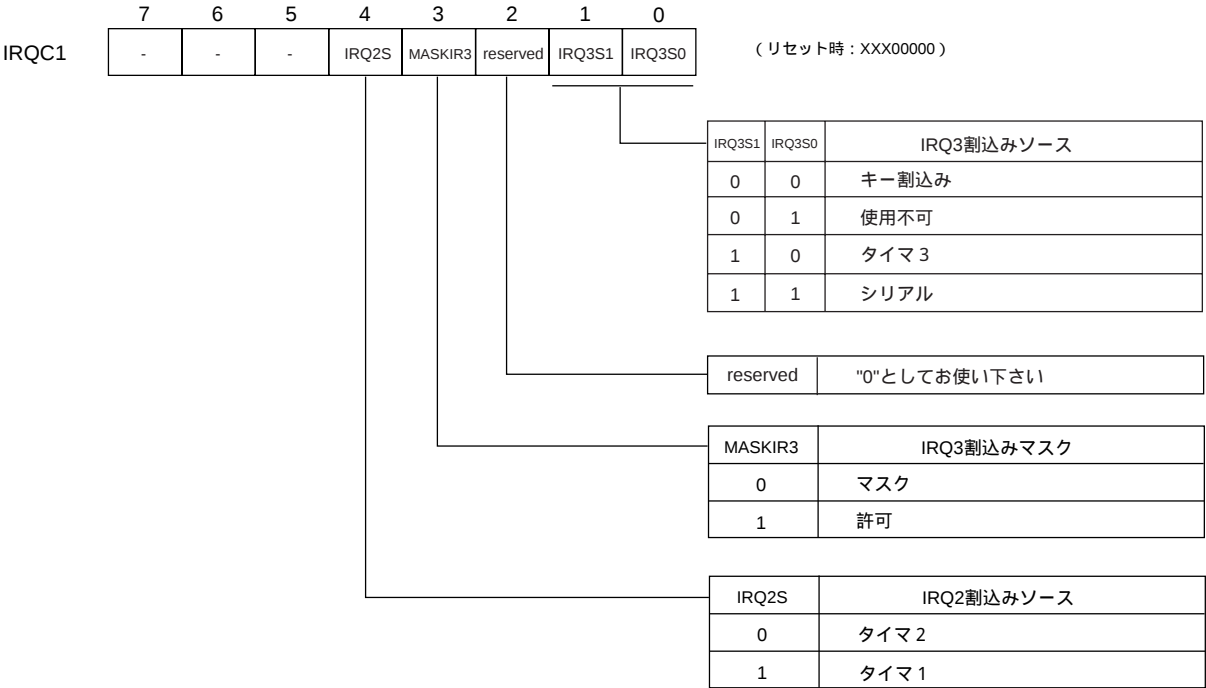


IRQモードレジスタ(IRQM : X'032' , W)



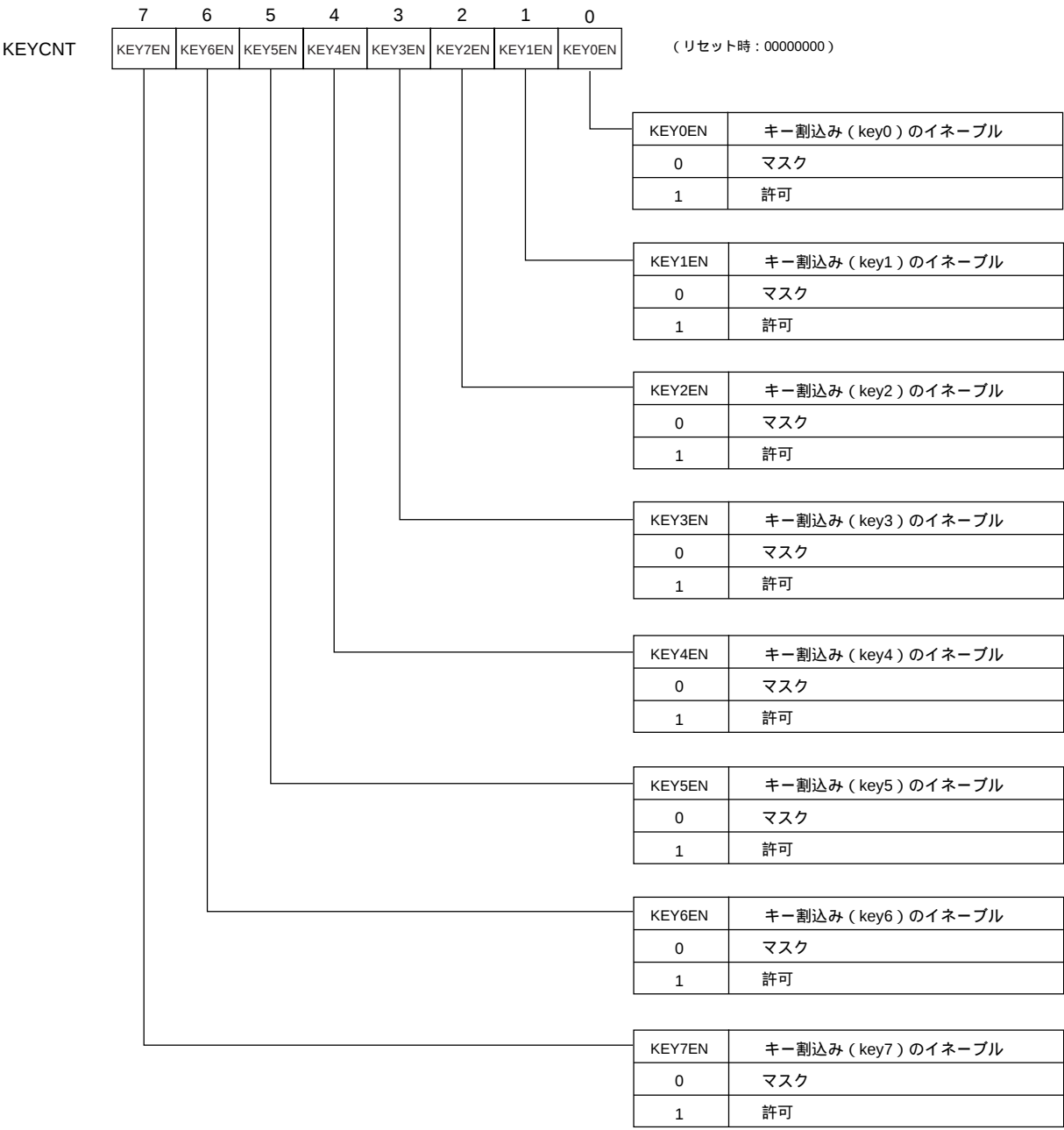
割り込み制御レジスタ0(IRQC0 : X'034' , R/W)

図4-2-1 割り込み制御レジスタ(1/3)



割り込み制御レジスタ1(IRQC1 : X'036' , R/W)

図4-2-2 割り込み制御レジスタ(2/3)



キー割り込み制御レジスタ(KEYCNT : X'038' , R/W)

図4-2-3 割り込み制御レジスタ(3/3)

第 5 章 タイマ機能

5

5-1 8ビットタイマ機能の概要

本LSIは、4本の汎用8ビットタイマ(タイマ0、タイマ1、タイマ2、タイマ3)を搭載しています。汎用8ビットタイマは、カスケード接続により16ビットタイマとして使用できるように、8ビットタイマ2本が対になった構成をしています。

カスケード接続時に16ビットカウンタの下位8ビット分に相当するタイマを「タイマ0型」、上位8ビット分に相当するタイマを「タイマ1型」とすると、タイマ0、タイマ2はタイマ0型で、タイマ1、タイマ3はタイマ1型で構成されています。

各タイマのクロックソースには、プリスケアラからの出力を用いることにより、fosc、fxi、fsysの分周クロックを選択することができます。また、リモコン出力回路も内蔵しています。

5-1-1 8ビットタイマ機能一覧

各タイマと使用できる機能について次表に示します。

表5-1-1 タイマ機能一覧

		タイマ0 (8ビット)	タイマ1 (8ビット)	タイマ2 (8ビット)	タイマ3 (8ビット)
独立動作時	割込み要因名	IRQ1	IRQ2	IRQ2	IRQ3
	8ビットタイマ動作	○	○	○	○
	イベントカウント	○	○	○	○
	タイマパルス出力	○	○	○	○
	簡易パルス幅測定機能	○	-	○	-
	リモコンキャリア出力	○	○	○	○
	PWM出力	○	-	○	-
	ワンショットタイマ出力	-	-	○	-
	トリガスタートPWM出力	-	-	○	-
	トリガスタートタイマ出力	-	-	○	-
カスケード接続時	割込み要因名	IRQ2		IRQ3	
	16ビットタイマ動作	○		○	
	イベントカウント	○		○	
	タイマパルス出力	○		○	
	簡易パルス幅測定機能	○		○	
	高精度PWM出力	-		○	
	ワンショットタイマ出力	-		○	
	トリガスタート高機能PWM出力	-		○	
クロックソース		fsys/2 fsys/8 fsys/32 fsys/128 fxi(fosc) fxi(fosc)/4 fxi(fosc)/16 fxi(fosc)/64	fsys/2 fosc fosc/2 ¹⁴ fxi fxi/2 ⁶	fsys/2 fosc fosc/2 fxi TCI入力	fsys/2 fosc fosc/2 fxi TCI入力
fosc : 高速発振入力 fxi : 低速発振入力 fsys : システムクロック【  第2章 2-4. クロック切換機能】					
その他		プリスケアラ内蔵 (7段)	タイムベース出力使用		



タイムベースはタイマ1とは非同期で動作しているため、動作開始時の最初のクロックの幅が設定値より短くなることがあります。

5-1-2 8ビットタイマブロック図

■ タイマ0ブロック図

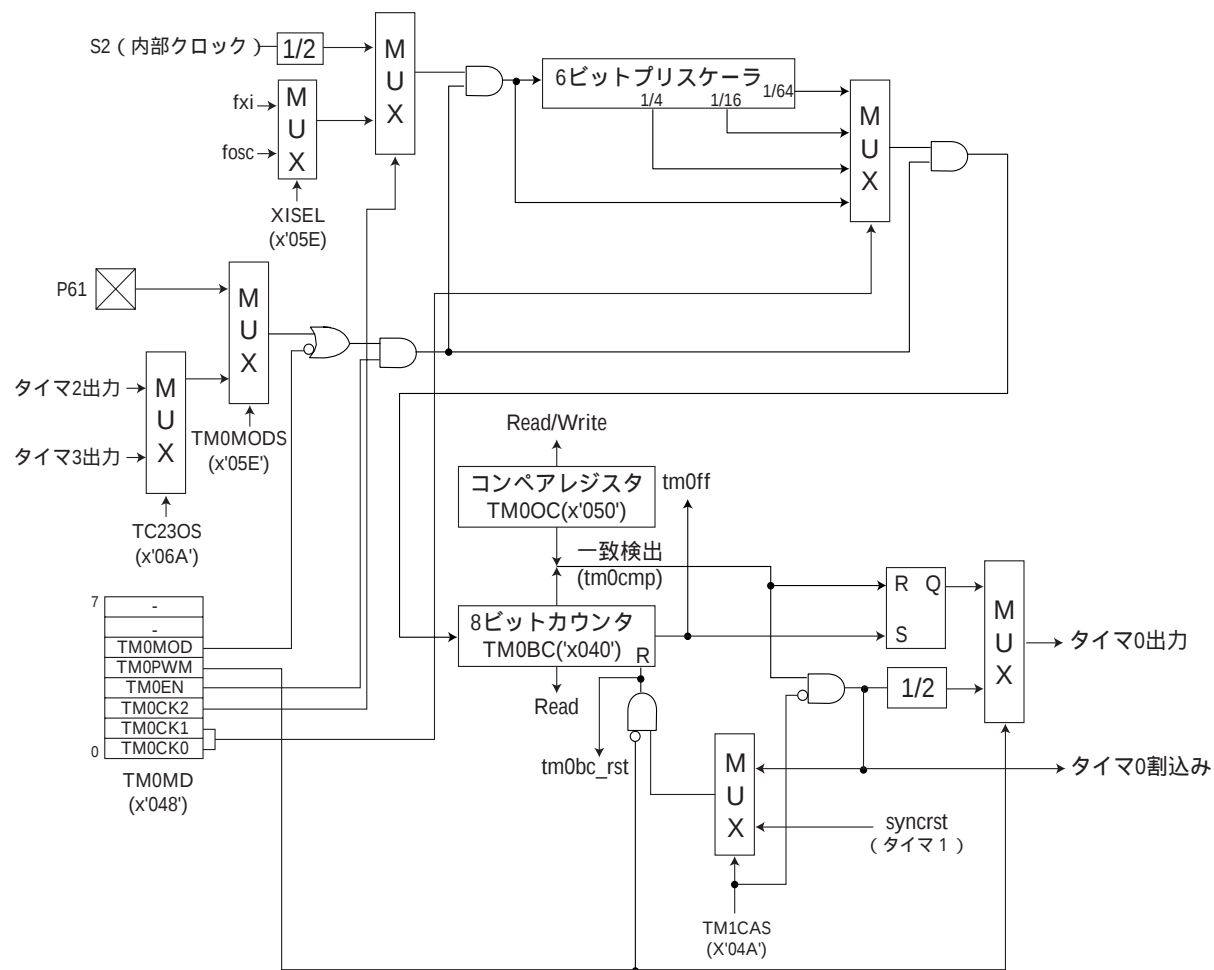


図5-1-1 タイマ0ブロック図

■ タイマ1ブロック図

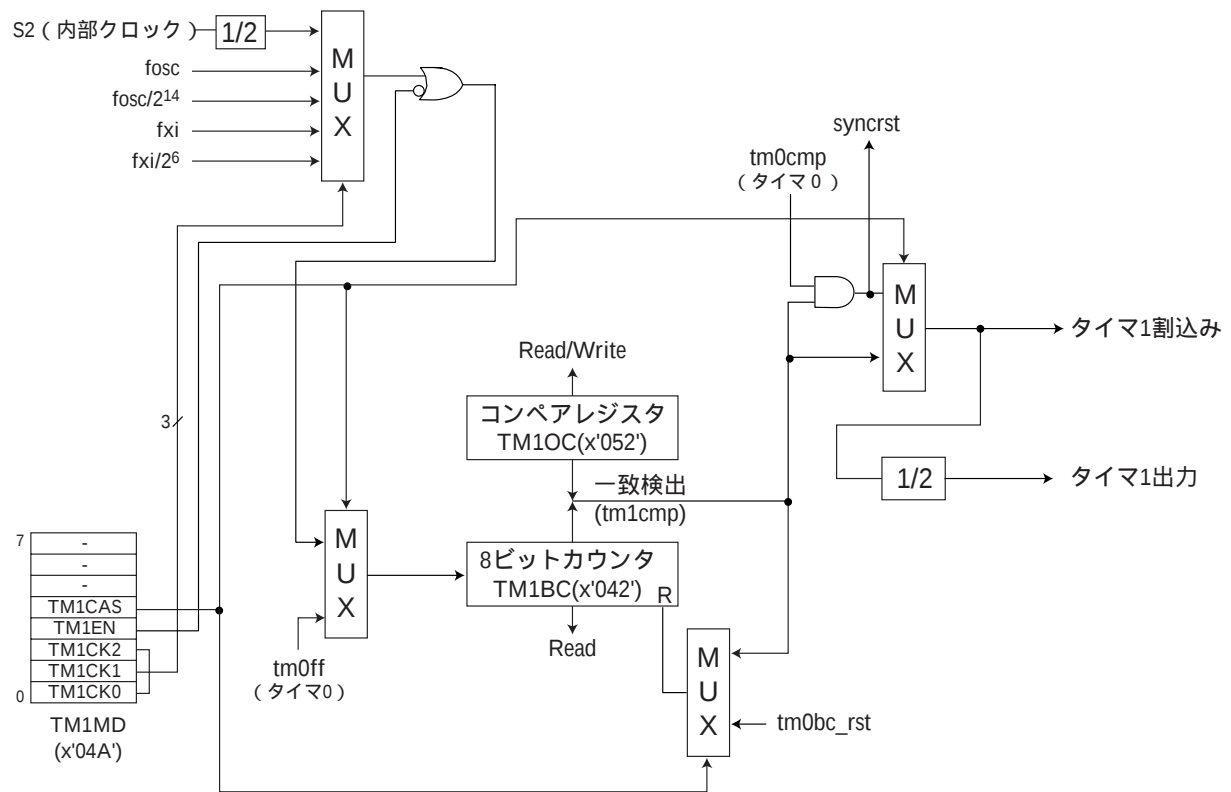


図5-1-2 タイマ1ブロック図

■ タイマ2ブロック図

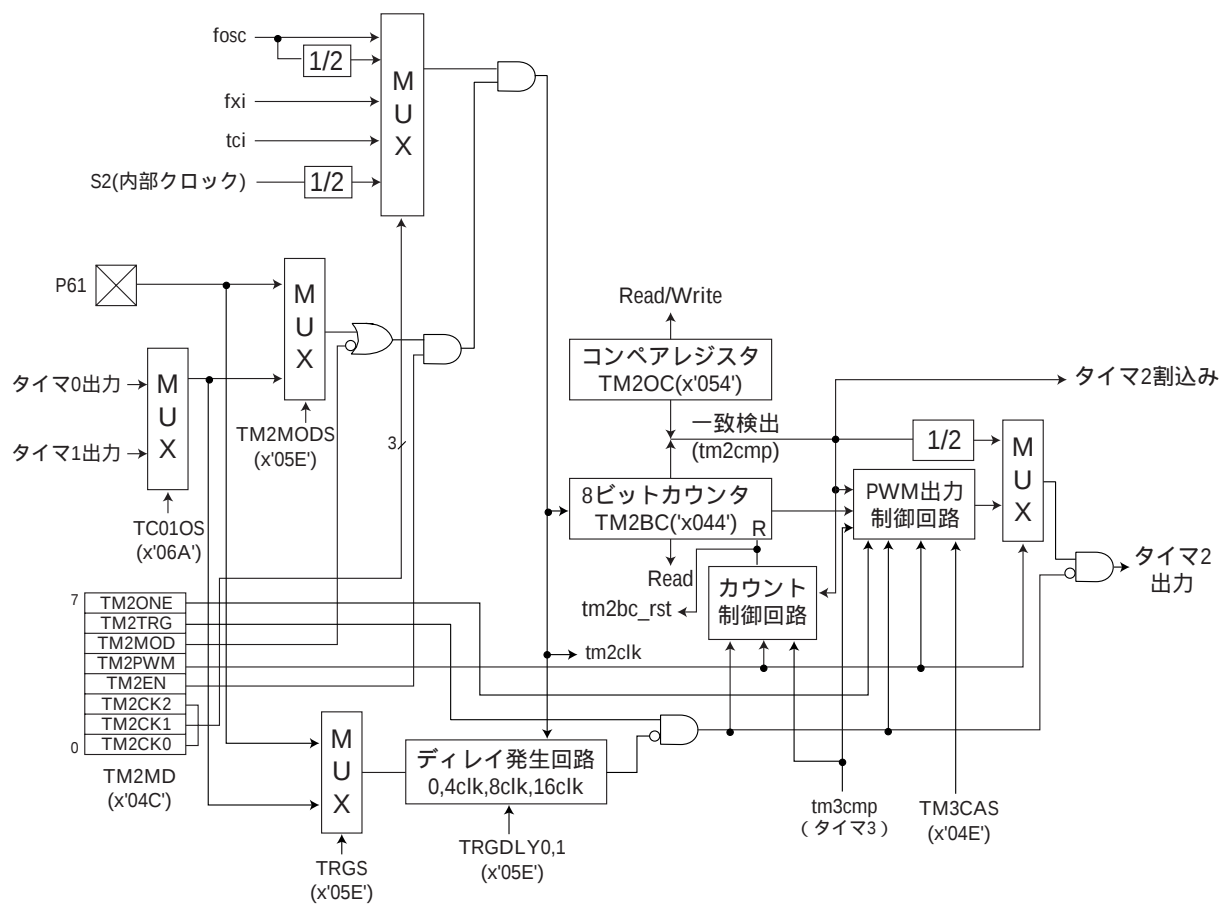


図5-1-3 タイマ2ブロック図

■ タイマ3ブロック図

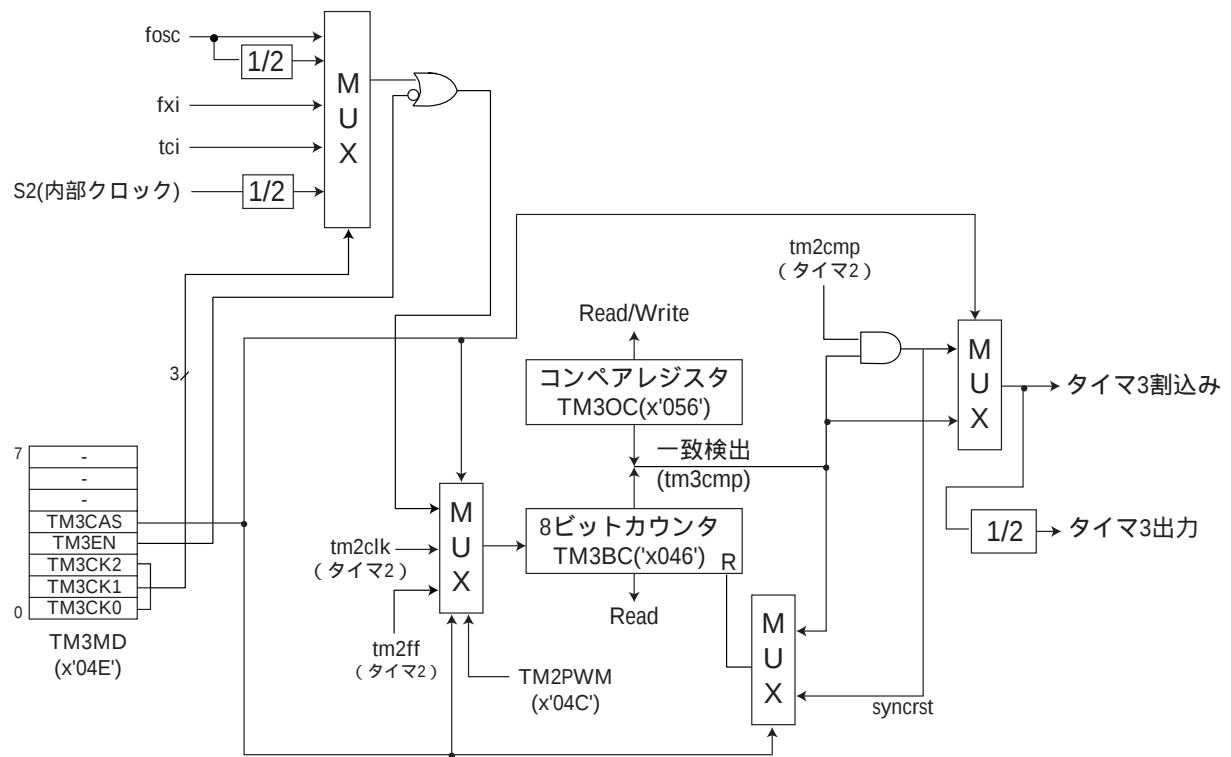


図5-1-4 タイマ3ブロック図

■ タイマ出力ブロック図

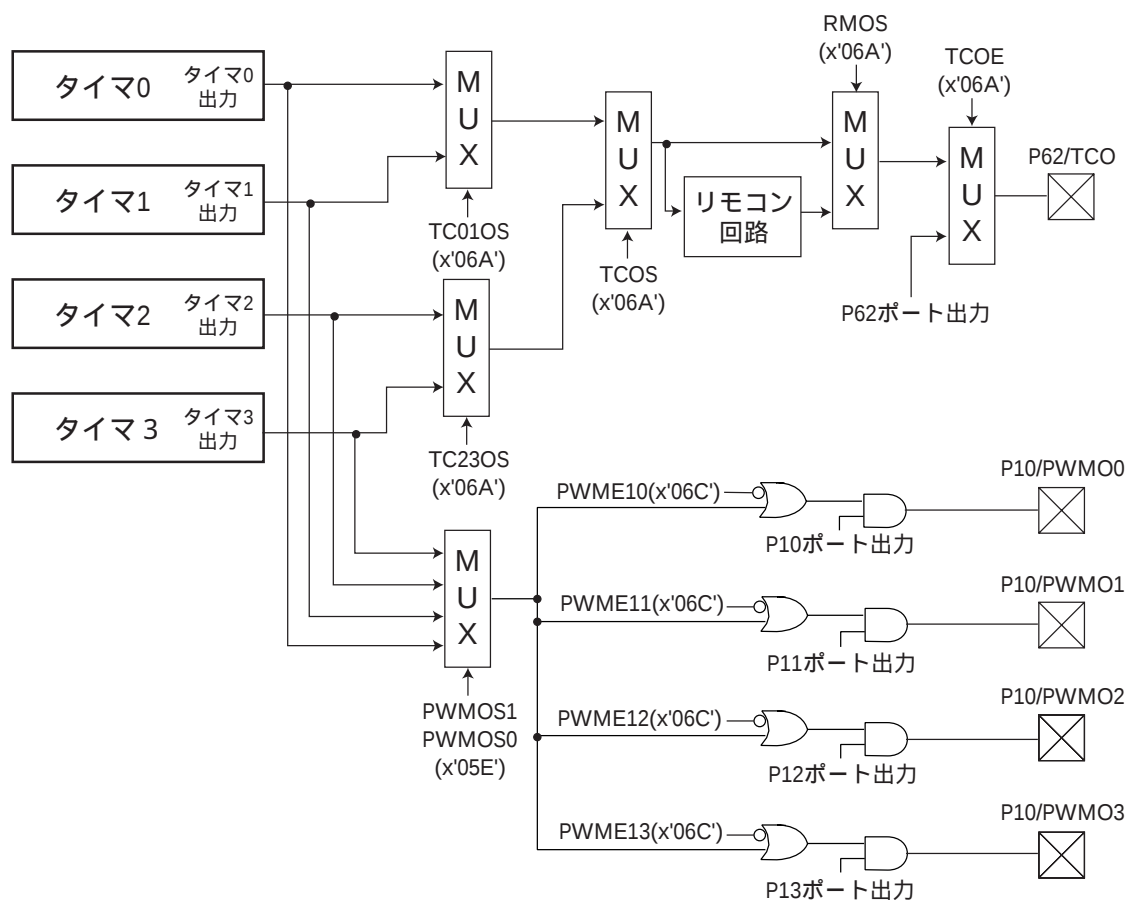


図5-1-5 タイマ出力ブロック図

■ リモコン回路ブロック図

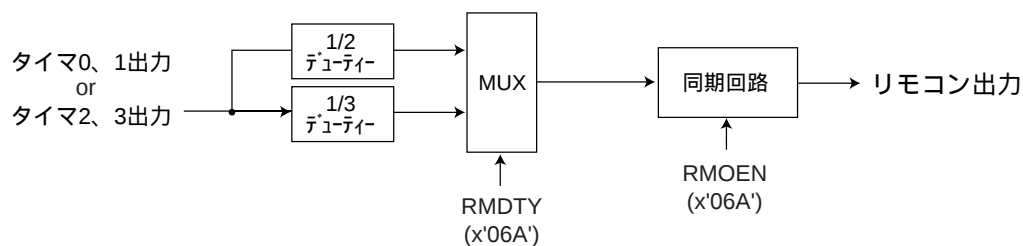


図5-1-6 リモコン回路ブロック図

■ ブザー出力ブロック図

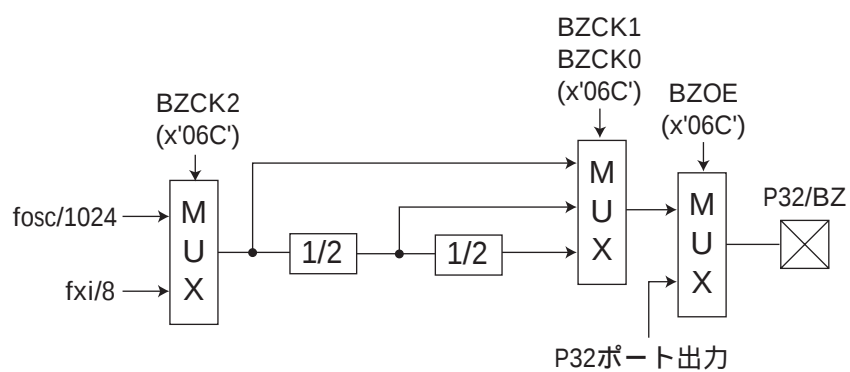


図5-1-7 ブザー出力ブロック図

5-2 8ビットタイマ制御レジスタ

タイマ0～タイマ3は、それぞれバイナリカウンタ(TMnBC)、コンペアレジスタ(TMnOC)で構成されており、モードレジスタ(TMnMD)で制御します。

5-2-1 8ビットタイマ制御レジスタ一覧

表5-2-1 8ビットタイマ制御レジスタ一覧表

	レジスタ略称	アドレス	R/W	レジスタ名称	参照ページ
タイマ0	TM0BC	X'040'	R	タイマ0バイナリカウンタ	V - 12
	TM0OC	X'050'	R/W	タイマ0コンペアレジスタ	V - 11
	TM0MD	X'048'	R/W	タイマ0モードレジスタ	V - 13
	MODCNT	X'05E'	R/W	タイマモード制御レジスタ	V - 17
	TCOCNT	X'06A'	R/W	タイマ出力制御レジスタ	V - 18
	P01DIR	X'010'	R/W	ポート0、ポート1方向制御レジスタ	III - 9
	P67DIR	X'016'	R/W	ポート6方向制御レジスタ	III - 21
	BZCTR	X'06C'	R/W	ブザー出力制御レジスタ	V - 19
タイマ1	TM1BC	X'042'	R	タイマ1バイナリカウンタ	V - 12
	TM1OC	X'052'	R/W	タイマ1コンペアレジスタ	V - 11
	TM1MD	X'04A'	R/W	タイマ1モードレジスタ	V - 14
	TCOCNT	X'06A'	R/W	タイマ出力制御レジスタ	V - 18
	P01DIR	X'010'	R/W	ポート0、ポート1方向制御レジスタ	III - 9
	P67DIR	X'016'	R/W	ポート6方向制御レジスタ	III - 21
	BZCTR	X'06C'	R/W	ブザー出力制御レジスタ	V - 19
タイマ2	TM2BC	X'044'	R	タイマ2バイナリカウンタ	V - 12
	TM2OC	X'054'	R/W	タイマ2コンペアレジスタ	V - 11
	TM2MD	X'04C'	R/W	タイマ2モードレジスタ	V - 15
	MODCNT	X'05E'	R/W	タイマモード制御レジスタ	V - 17
	TCOCNT	X'06A'	R/W	タイマ出力制御レジスタ	V - 18
	P01DIR	X'010'	R/W	ポート0、ポート1方向制御レジスタ	III - 9
	P67DIR	X'016'	R/W	ポート6方向制御レジスタ	III - 21
	BZCTR	X'06C'	R/W	ブザー出力制御レジスタ	V - 19
タイマ3	TM3BC	X'046'	R	タイマ3バイナリカウンタ	V - 12
	TM3OC	X'056'	R/W	タイマ3コンペアレジスタ	V - 11
	TM3MD	X'04E'	R/W	タイマ3モードレジスタ	V - 16
	TCOCNT	X'06A'	R/W	タイマ出力制御レジスタ	V - 18
	P01DIR	X'010'	R/W	ポート0、ポート1方向制御レジスタ	III - 9
	P67DIR	X'016'	R/W	ポート6方向制御レジスタ	III - 21
	BZCTR	X'06C'	R/W	ブザー出力制御レジスタ	V - 19

R/W : 読み出し/書き込み共に可能です。

R : 読み出し専用レジスタです。

5-2-2 コンペアレジスタ

コンペアレジスタは、バイナリカウンタとの比較値を入れる8ビットのレジスタです。

■ タイマ0コンペアレジスタ(TM0OC)

	7	6	5	4	3	2	1	0	
TM0OC	TM0OC7	TM0OC6	TM0OC5	TM0OC4	TM0OC3	TM0OC2	TM0OC1	TM0OC0	(リセット時: X X X X X X X X)

タイマ0コンペアレジスタ(TM0OC : X'050', R/W)

■ タイマ1コンペアレジスタ(TM1OC)

	7	6	5	4	3	2	1	0	
TM1OC	TM1OC7	TM1OC6	TM1OC5	TM1OC4	TM1OC3	TM1OC2	TM1OC1	TM1OC0	(リセット時: X X X X X X X X)

タイマ1コンペアレジスタ(TM1OC : X'052', R/W)

■ タイマ2コンペアレジスタ(TM2OC)

	7	6	5	4	3	2	1	0	
TM2OC	TM2OC7	TM2OC6	TM2OC5	TM2OC4	TM2OC3	TM2OC2	TM2OC1	TM2OC0	(リセット時: X X X X X X X X)

タイマ2コンペアレジスタ(TM2OC : X'054', R/W)

■ タイマ3コンペアレジスタ(TM3OC)

	7	6	5	4	3	2	1	0	
TM3OC	TM3OC7	TM3OC6	TM3OC5	TM3OC4	TM3OC3	TM3OC2	TM3OC1	TM3OC0	(リセット時: X X X X X X X X)

タイマ3コンペアレジスタ(TM3OC : X'056', R/W)

図5-2-1 コンペアレジスタ

5-2-3 バイナリカウンタ

バイナリカウンタは、8ビットのアップカウンタです。カウント動作停止中にコンペアレジスタに書き込み処理を行うとバイナリカウンタは、X'00'にクリアされます。

■ タイマ0バイナリカウンタ(TM0BC)

	7	6	5	4	3	2	1	0	
TM0BC	TM0BC7	TM0BC6	TM0BC5	TM0BC4	TM0BC3	TM0BC2	TM0BC1	TM0BC0	(リセット時：X X X X X X X X)

タイマ0バイナリカウンタ(TM0BC : X'040' , R)

■ タイマ1バイナリカウンタ(TM1BC)

	7	6	5	4	3	2	1	0	
TM1BC	TM1BC7	TM1BC6	TM1BC5	TM1BC4	TM1BC3	TM1BC2	TM1BC1	TM1BC0	(リセット時：X X X X X X X X)

タイマ1バイナリカウンタ(TM1BC : X'042' , R)

■ タイマ2バイナリカウンタ(TM2BC)

	7	6	5	4	3	2	1	0	
TM2BC	TM2BC7	TM2BC6	TM2BC5	TM2BC4	TM2BC3	TM2BC2	TM2BC1	TM2BC0	(リセット時：X X X X X X X X)

タイマ2バイナリカウンタ(TM2BC : X'044' , R)

■ タイマ3バイナリカウンタ(TM3BC)

	7	6	5	4	3	2	1	0	
TM3BC	TM3BC7	TM3BC6	TM3BC5	TM3BC4	TM3BC3	TM3BC2	TM3BC1	TM3BC0	(リセット時：X X X X X X X X)

タイマ3バイナリカウンタ(TM3BC : X'046' , R)

図5-2-2 バイナリカウンタ

5-2-4 タイマ制御レジスタ

■ タイマ0モードレジスタ(TM0MD)

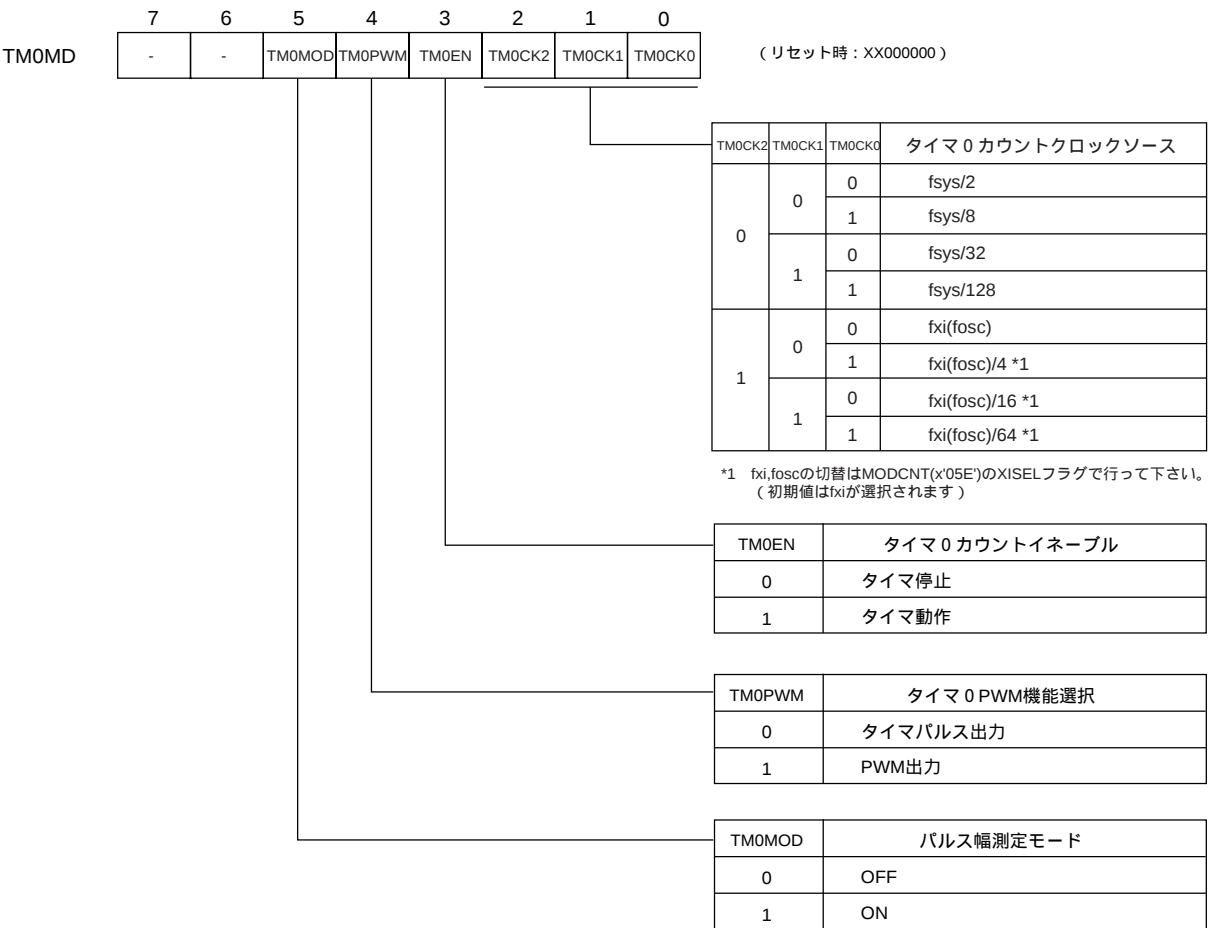


図5-2-3 タイマ0モードレジスタ(TM0MD : X'048' , R/W)

■ タイマ1モードレジスタ(TM1MD)

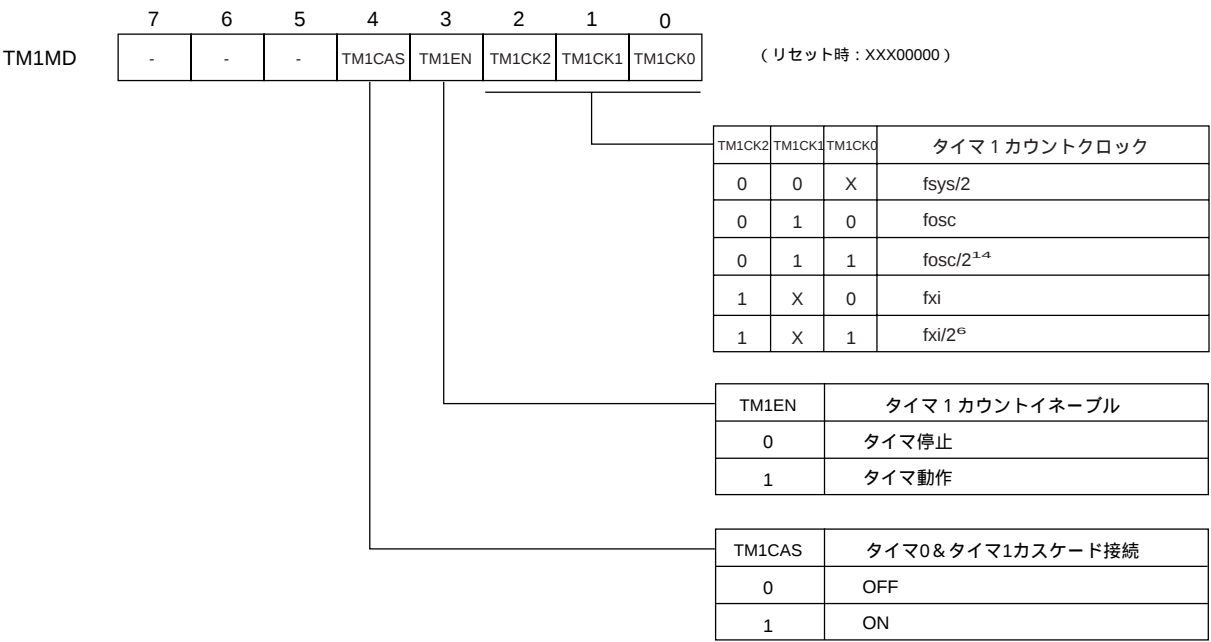


図5-2-4 タイマ1モードレジスタ(TM1MD : X'04A' , R/W)

■ タイマ2モードレジスタ(TM2MD)

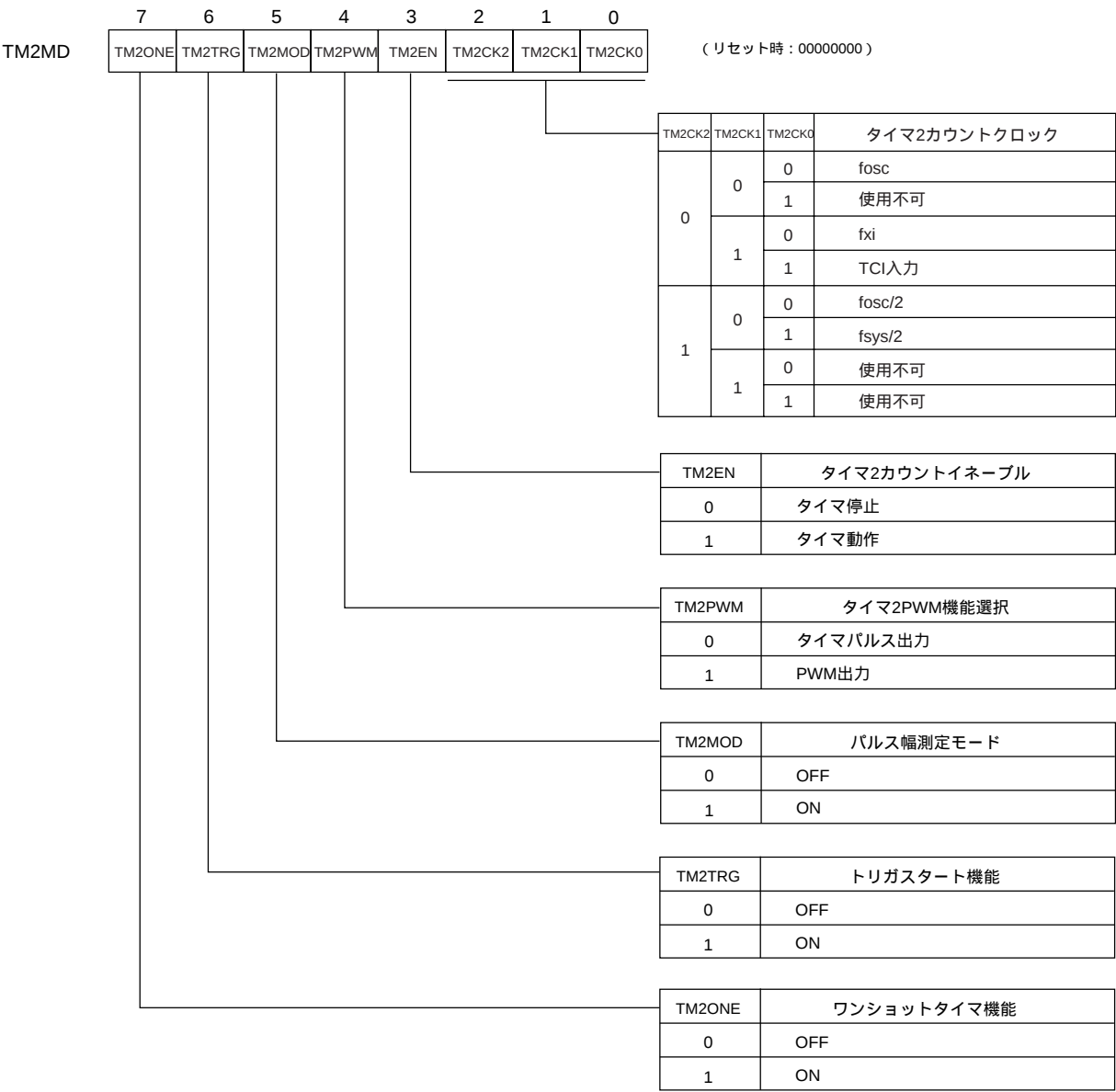


図5-2-5 タイマ2モードレジスタ(TM2MD : X'04C' , R/W)

■ タイマ3モードレジスタ(TM3MD)

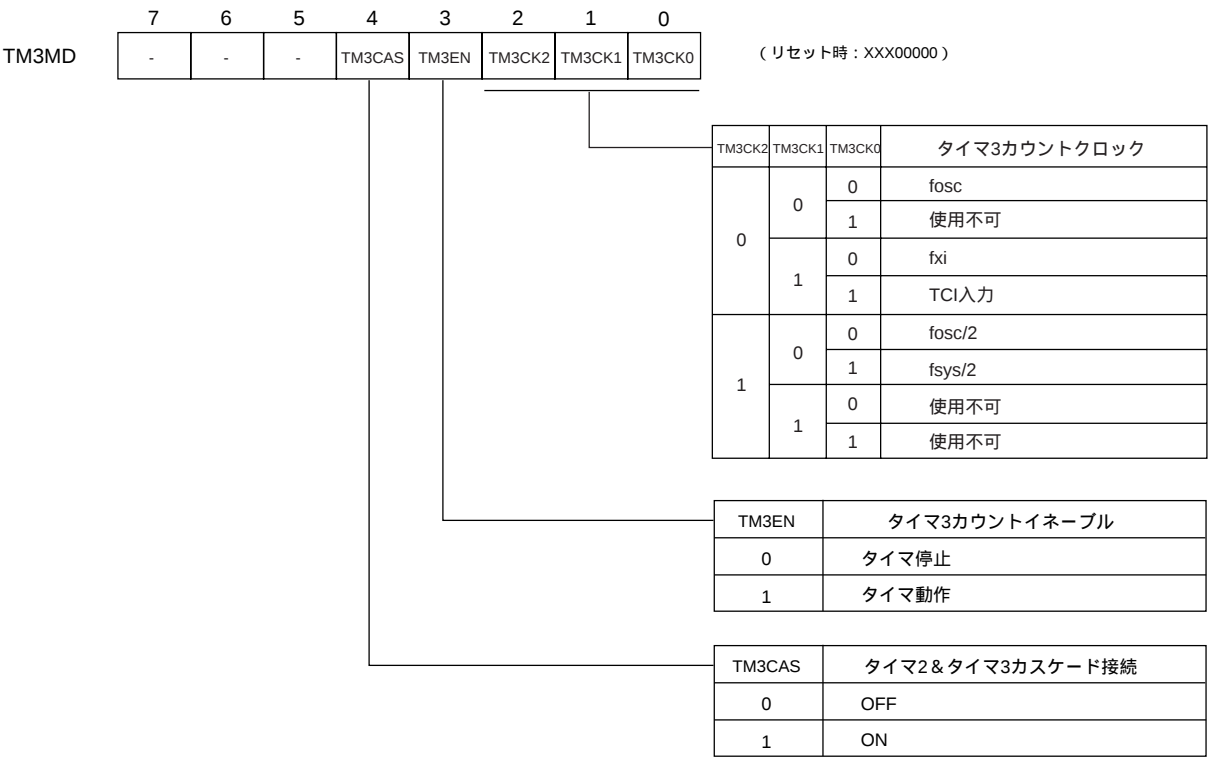


図5-2-6 タイマ3モードレジスタ(TM3MD : X'04E' , R/W)

表5-2-2 タイマ2、タイマ3の動作モード一覧

TM3CAS	TM2PWM	TM2TRG	TM2ONE	動作モード
0	0	0	0	タイマパルス出力 (タイマ3は通常動作)
0	0	1	0	トリガスタートタイマ出力 (タイマ3は通常動作)
0	0	1	1	ワンショット出力 (タイマ3は通常動作)
0	1	0	0	PWM出力 (タイマ3は通常動作)
0	1	1	0	トリガスタートPWM出力 (タイマ3は通常動作)
1	0	0	0	タイマパルス出力 (16ビット)
1	0	1	1	ワンショット出力 (16ビット)
1	1	0	0	高機能PWM出力
1	1	1	0	トリガスタート高機能PWM出力
1	0	1	0	禁止
×	×	0	1	禁止
×	1	1	1	禁止

■ タイマモード制御レジスタ(MODCNT)

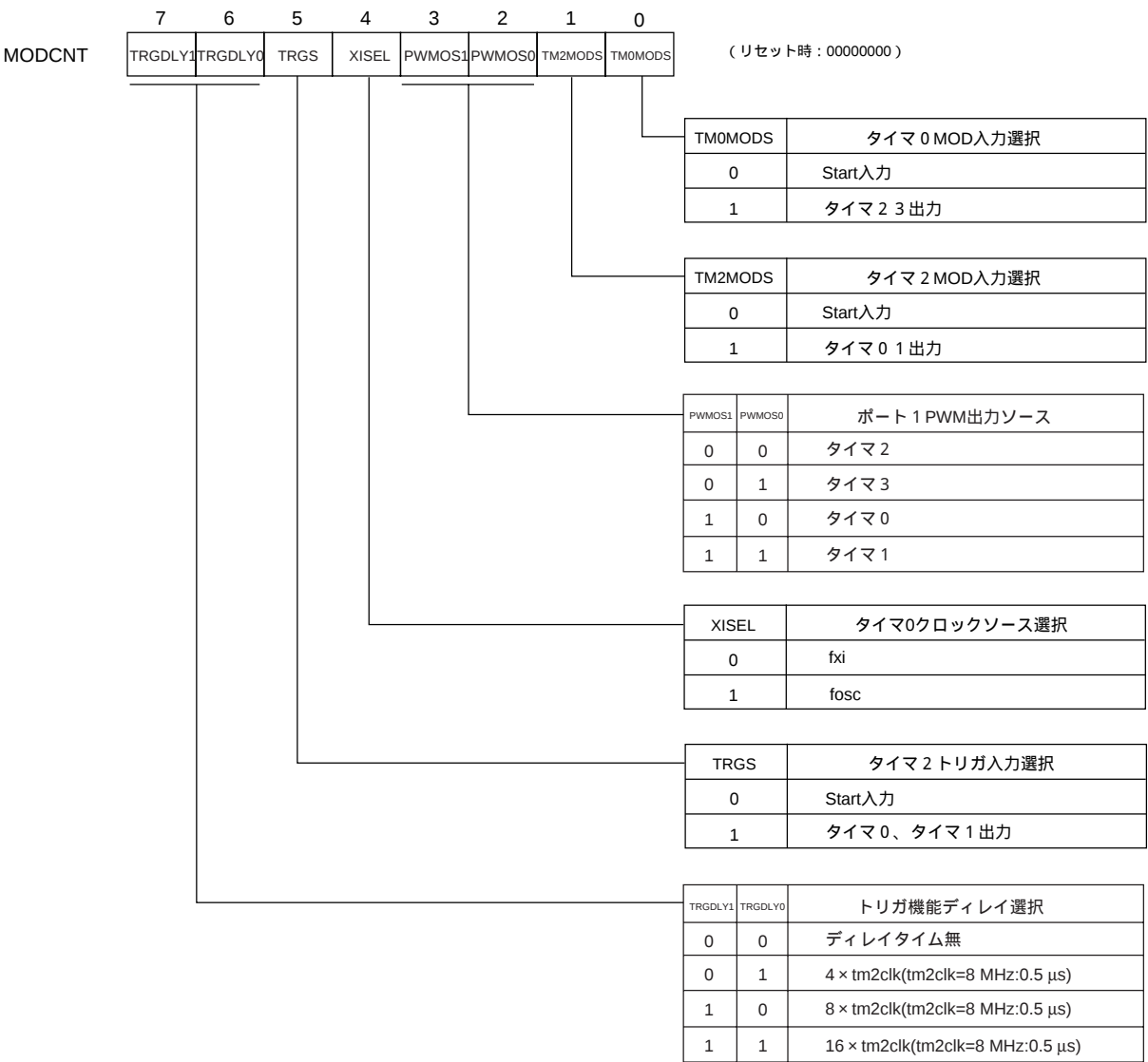
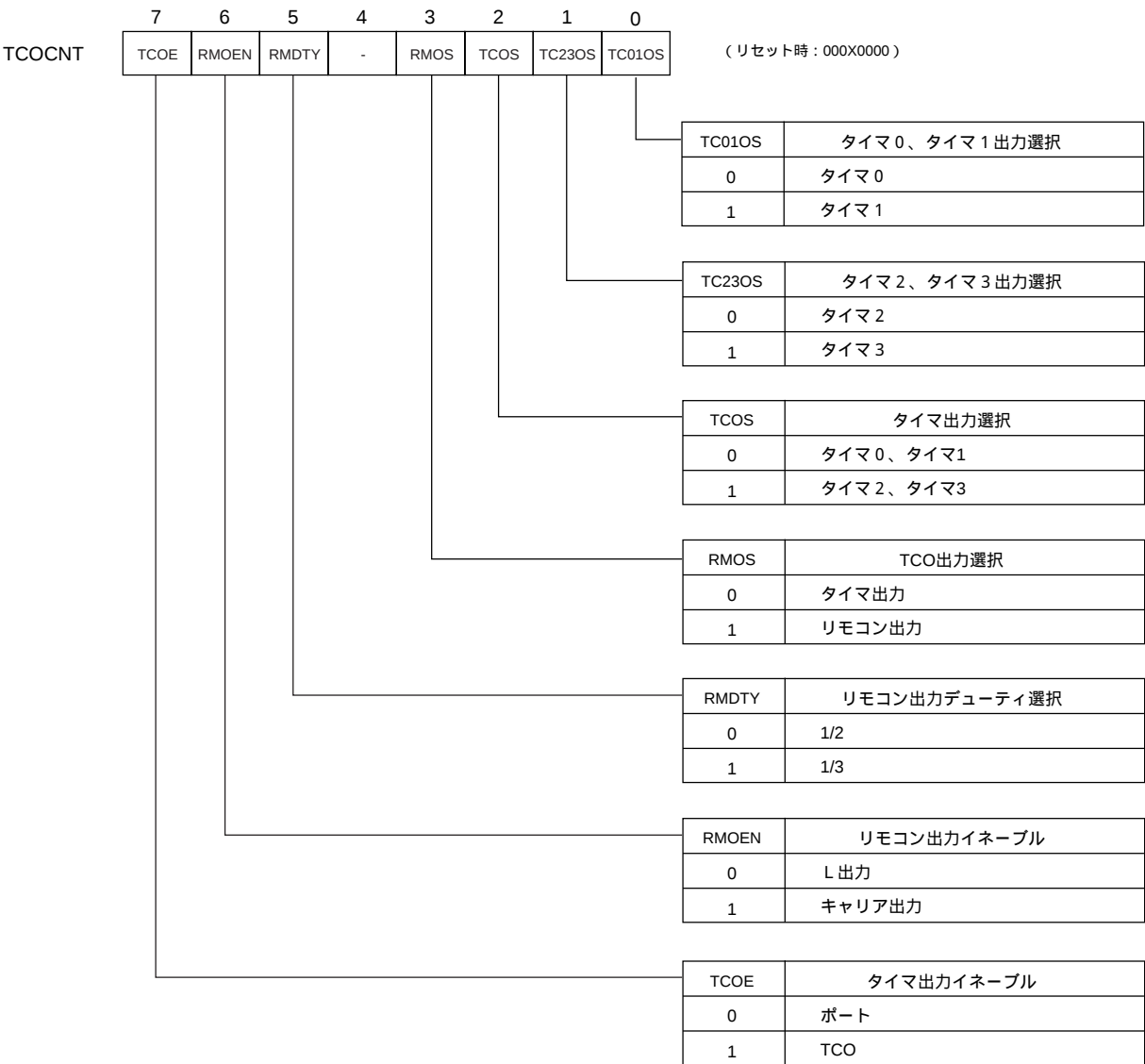


図5-2-7 タイマモード制御レジスタ(MODCNT : X'05E' , R/W)

■ タイマ出力制御レジスタ(TCOCNT)



TCOE	RMOS	TCOS	TC23OS	TC01OS	P62/TCO出力
1	0	0	×	0	タイマ0出力
1	0	0	×	1	タイマ1出力
1	0	1	0	×	タイマ2出力
1	0	1	1	×	タイマ3出力
1	1	0	×	0	リモコン出力 (ベース周期はタイマ0出力)
1	1	0	×	1	リモコン出力 (ベース周期はタイマ1出力)
1	1	1	0	×	リモコン出力 (ベース周期はタイマ2出力)
1	1	1	1	×	リモコン出力 (ベース周期はタイマ3出力)
0	×	×	×	×	P62ポートデータ出力

図5-2-8 タイマ出力制御レジスタ(TCOCNT : X'06A' , R/W)

■ ブザー出力制御レジスタ(BZCTR)

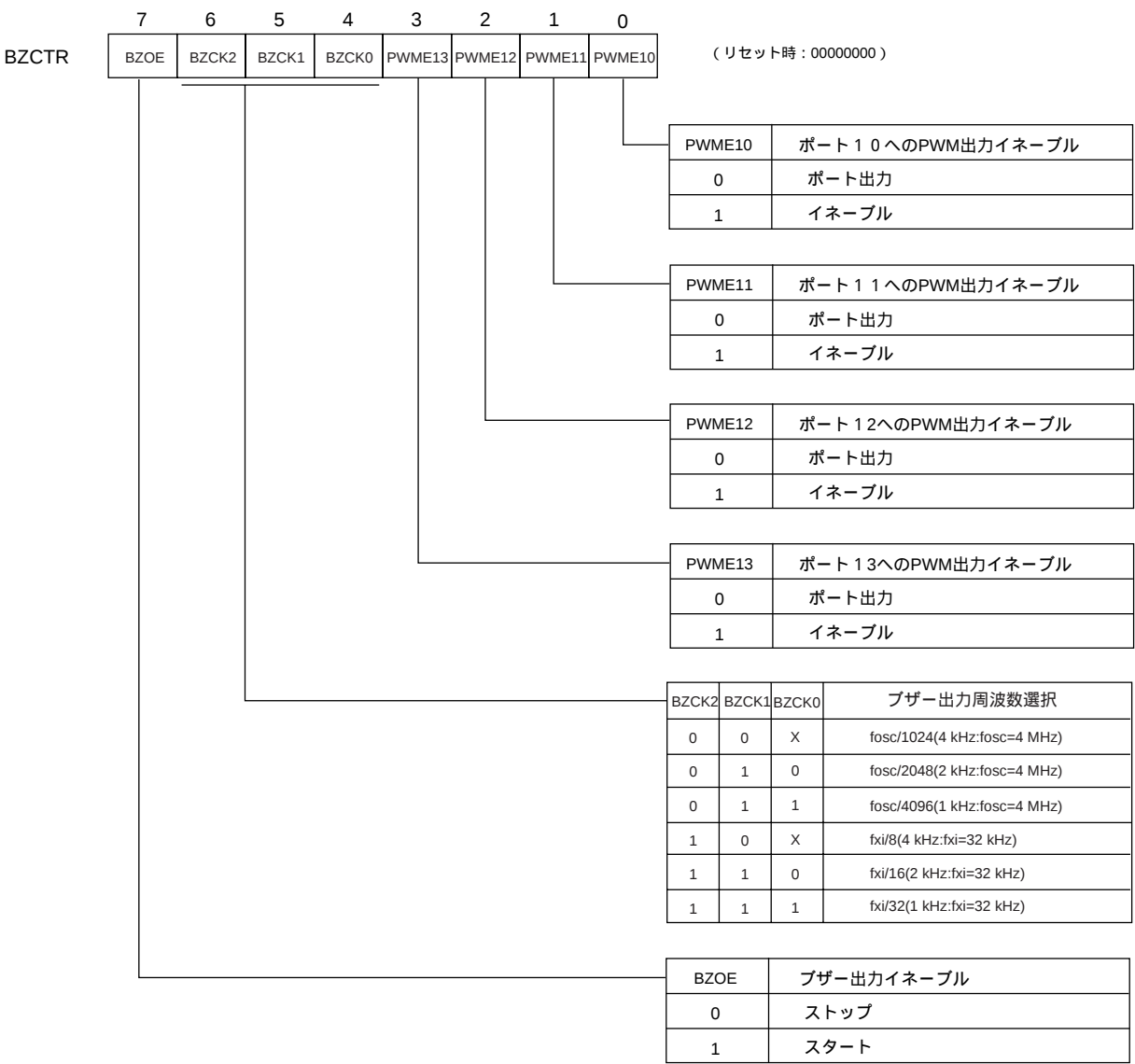


図5-2-9 ブザー出力制御レジスタ(BZCTR : X'06C' , R/W)

5-3 8ビットタイマ動作

5-3-1 8ビットタイマの動作

タイマ動作は、一定時間ごとに繰り返し割込みを発生させることのできる機能です。

■8ビットタイマ動作(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ割込みの発生周期は、クロックソースの選択および、コンペアレジスタ(TMnOC)の設定値によりあらかじめ設定します。バイナリカウンタ(TMnBC)がコンペアレジスタの設定値と一致すると、次のカウントクロックで割込み要求が発生し、バイナリカウンタはクリアされ、再度X'00'からカウントアップを始めます。

クロックソースはタイマにより、以下の通り選ぶことができます。

表5-3-1 タイマ動作時のクロックソース(タイマ0、タイマ1、タイマ2、タイマ3)

クロックソース	タイマ0 (8ビット)	タイマ1 (8ビット)	タイマ2 (8ビット)	タイマ3 (8ビット)
fosc	○	○	○	○
fosc/2	-	-	○	○
fosc/4	○	-	-	-
fosc/16	○	-	-	-
fosc/64	○	-	-	-
fosc/2 ¹⁴	-	○	-	-
fxi	○	○	○	○
fxi/4	○	-	-	-
fxi/16	○	-	-	-
fxi/64	○	○	-	-
fsys/2	○	○	○	○
fsys/8	○	-	-	-
fsys/32	○	-	-	-
fsys/128	○	-	-	-
TCI入力	-	-	○	○

■ タイマ動作のカウントタイミング(タイマ0、タイマ1、タイマ2、タイマ3)

選択したクロックソースをカウントクロックとしてバイナリカウンタがカウントアップします。
以下の動作が8ビットタイマの全機能の基本動作となります。

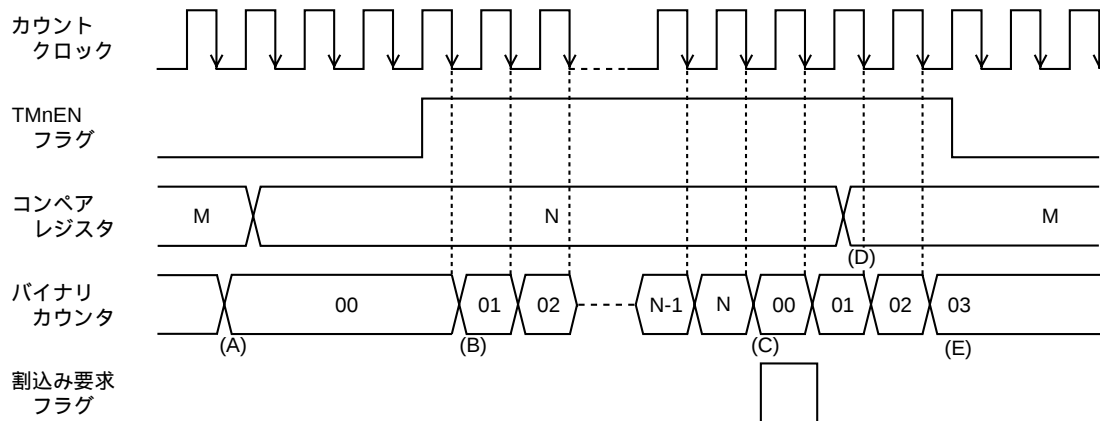


図5-3-1 タイマ動作のカウントタイミング(タイマ0、タイマ1、タイマ2、タイマ3)

- (A) TMnENフラグが停止状態("0")の時にコンペアレジスタに値を書き込むと、その書き込みサイクルでバイナリカウンタはX'00'にクリアされます。
- (B) TMnENフラグを動作状態("1")にするとバイナリカウンタのカウントを開始します。カウントはカウントクロックの立ち下がりで行われます。
- (C) バイナリカウンタとコンペアレジスタの値が一致すると、次のカウントクロックで割込み要求フラグがセット、バイナリカウンタはX'00'にクリアされ、再度カウントアップを開始します。
- (D) TMnENフラグが動作状態("1")の時にコンペアレジスタを書き換えてもバイナリカウンタは変化しません。
- (E) TMnENフラグを停止状態("0")にするとバイナリカウンタは、動作を停止します。



バイナリカウンタとコンペアレジスタの値が一致すると、次のカウントクロックで割込み要求フラグのセットおよび、バイナリカウンタがクリアされるので、

$$(\text{コンペアレジスタの設定値}) = (\text{割込み要求発生までのカウント回数} - 1)$$
 としてください。



カウント動作中にコンペアレジスタの値をバイナリカウンタの値より小さい値を設定すると、バイナリカウンタはいったんオーバーフローまでカウントアップします。



割込みで処理する場合は、タイマを動作させる前に割込み要求フラグをクリアしてください。



TMnOC=X'00'設定時のタイマn割込み要求発生は、X'01'設定時と同じ波形になります。

5-3-2 8ビットタイマ動作の設定例

■ タイマ動作の設定例(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ0を用いて一定時間毎に割込みを発生させます。クロックソースをfsys/8を選択して250カウント毎に割込みを発生します。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0	(1) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"にしてタイマ0をカウント停止状態にします。
(2) タイマ通常動作の選択 TM0MD (X'048') bp4 : TM0PWM = 0 bp5 : TM0MOD = 0	(2) TM0MDレジスタのTM0PWMフラグとTM0MODフラグを"0"にしてタイマ通常動作を選択します。
(3) カウントクロックソースの選択 TM0MD (X'048') bp2-0 : TM0CK2-0 = 001	(3) TM0MDレジスタのTM0CK2-0フラグを"001"にしてクロックソースをfsys/8にします。
(4) 割込み発生周期の設定 TM0OC (X'050') = X'F9'	(4) タイマ0コンペアレジスタ(TM0OC)に割込み発生周期の値を設定します。250分周なので設定値は249(X'F9')にします。 このとき、タイマ0バイナリカウンタ(TM0BC)がX'00'に初期化されます。
(5) 割込みソースの設定 IRQC0(X'034') bp5 : IRQ1S1 = 1	(5) 割込み制御レジスタ0(IRQC0)のIRQ1S1フラグにより割込みソースをタイマ0に設定します。
(6) 割込み要求フラグのクリア IRQM(X'032') bp5 : IFIRQ1E = 1	(6) IRQモードレジスタ(IRQM)のIFIRQ1Eフラグを'1'に設定して、割込み1要求フラグをクリアします。
(7) 割込みの許可	(7) EDI命令を実行して、割込み1(IRQ1)を許可します。 【  第4章 4-1-1 割込み制御】
(8) タイマの動作開始 TM0MD(X'048') bp3 : TM0EN = 1	(8) TM0MDレジスタのTM0ENフラグを"1"にしてタイマ0を動作させます。

TM0BCがX'00'からカウントアップします。TM0BCがTM0OCレジスタの設定値と一致すると、次のカウントクロックでタイマ0割込み要求フラグがセットされ、TM0BCの値はX'00'になり再度カウントアップを開始します。



TMnMDレジスタのTMnENフラグを他のビットと同時に変化させた場合、バイナリカウンタが切り換え動作によりカウントアップすることがあります。

5-4 8ビットイベントカウンタ動作

5-4-1 8ビットイベントカウンタの動作

イベントカウンタ動作は、クロックソースにTCI入力もしくはfxiを選択します。

■8ビットイベントカウンタの動作
イベントカウンタの動作は、NTCI端子(もしくはfxi)に入力される外部からの信号をバイナリカウンタ(TMnBC)でカウントするものです。バイナリカウンタの値がコンペアレジスタ(TMnOC)にあらかじめ設定した値と一致すると、次のカウントクロックで割込みを発生させることができます。

表5-4-1 イベントカウンタ入力クロック

	タイマ0	タイマ1	タイマ2	タイマ3
イベント入力	fxi	fxi	TCI入力 fxi	TCI入力 fxi

■TCI入力(もしくはfxi)のカウントタイミング(タイマ0、タイマ1、タイマ2、タイマ3)
TCI入力(もしくはfxi)を選択すると、タイマnのカウントクロックはTCI(もしくはfxi)入力信号が直接入力されます。
TCI(もしくはfxi)入力信号の立ち下がりのタイミングでバイナリカウンタがカウントアップします。

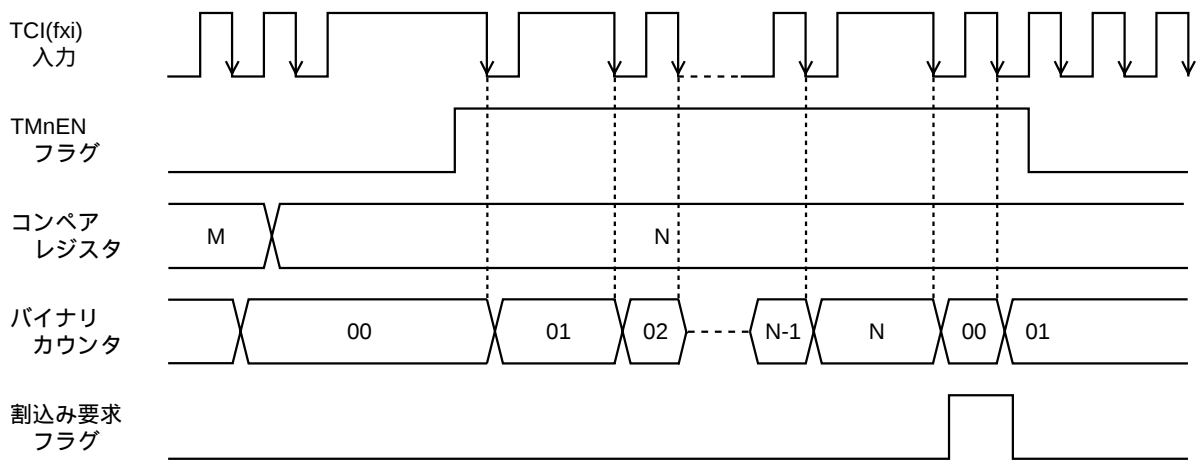


図5-4-1 TCI(fxi)入力のカウントタイミング(タイマ0～タイマ3)

⚠ カウントクロックソースにTCI入力(もしくはfxi)を選択した場合には、動作中にタイマnバイナリカウンタの値を読み出すとカウントアップの瞬間の不完全な値を読み出すことがあります。

5-4-2 8ビットイベントカウンタの設定例

■ イベントカウンタの設定例(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ2を用いてNTCI入力端子の信号の立ち下がりエッジを5回検出すると割込みを発生させます。
以下に、設定手順とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM2MD (X'04C') bp3 : TM2EN = 0	(1) タイマ2モードレジスタ(TM2MD)のTM2ENフラグを"0"にしてタイマ2をカウント停止状態にします。
(2) 特殊機能端子の入力の設定 P23DIR (X'012') bp5 : P3DIR1 = 0	(2) ポート2,3方向制御レジスタ(P23DIR)のP3DIR1フラグを"0"にして、P31/NTCI端子を入力モードに設定します。 必要に応じて、プルアップ抵抗を付加してください。 【  第3章 ポート機能】
(3) タイマ通常動作の選択 TM2MD (X'04C') bp4 : TM2PWM = 0 bp5 : TM2MOD = 0 bp6 : TM2TRG = 0 bp7 : TM2ONE = 0	(3) TM2MDレジスタのTM2PWMフラグ、TM2MODフラグ、TM2TRGフラグとTM2ONEフラグを"0"にしてタイマ通常動作を選択します。
(4) カウントクロックソースの選択 TM2MD (X'04C') bp2-0 : TM2CK2-0 = 011	(4) TM2MDレジスタのTM2CK2-0フラグによりクロックソースにTCI入力を選択します。
(5) 割込み発生周期の設定 TM2OC (X'054') = X'04'	(5) タイマ2コンペアレジスタ(TM2OC)に割込み発生周期の値を設定します。5回カウントするので設定値は4にします。 このとき、タイマ2バイナリカウンタ(TM2BC)がX'00'に初期化されます。
(6) 割込みソースの設定 IRQC1 (X'036') bp4 : IRQ2S = 0	(6) 割込み制御レジスタ1(IRQC1)のIRQ2Sフラグにより割込みソースをタイマ2に設定します。

設定手順	内容
(7) 割込み要求フラグのクリア IRQM(X'032') bp6 : IFIRQ2E = 1	(7) IRQモードレジスタ(IRQM)のIFIRQ2Eフラグを'1'に設定して、割込み2要求フラグをクリアします。
(8) 割込みの許可	(8) EDI命令を実行して、割込み2(IRQ2)を許可します。 【  第4章 4-1-1 割込み制御】
(9) イベントカウンタの開始 TM2MD (X'04C') bp3 : TM2EN = 1	(9) TM2MDレジスタのTM2ENフラグを"1"にしてタイマ2を動作させます。

TM2BCがX'00'から、TCI入力の立ち下がりエッジを検出するたびにカウントアップします。TM2BCがTM2OCレジスタの設定値と一致すると、次のカウントクロックでタイマ2割込み要求フラグがセットされ、TM2BCの値はX'00'になり、再度カウントアップを開始します。

5-5 8ビットタイマパルス出力動作

5-5-1 8ビットタイマパルス出力の動作

タイマパルス出力機能は、任意の周波数のパルス信号をTCO端子もしくはポート1より出力することができます。

■タイマパルス出力の動作(タイマ0、タイマ1、タイマ2、タイマ3)

コンペアレジスタ(TMnOC)に設定した値の2倍の周期の信号を出力することができます。出力される端子を次表に示します。

表5-5-1 タイマパルス出力端子

	タイマ0	タイマ1	タイマ2	タイマ3
パルス出力端子	TCO出力(P62) P10-P13端子	TCO出力(P62) P10-P13端子	TCO出力(P62) P10-P13端子	TCO出力(P62) P10-P13端子

■タイマパルス出力のカウントタイミング(タイマ0、タイマ1、タイマ2、タイマ3)

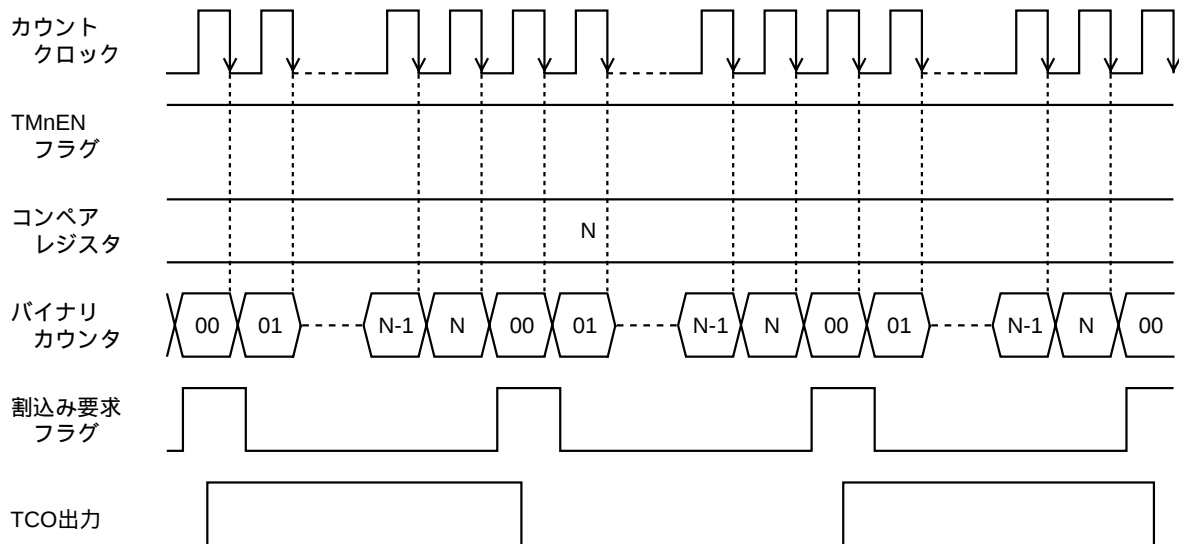


図5-5-1 タイマパルス出力のカウントタイミング(タイマ0～タイマ3)

コンペアレジスタに設定した周期の2倍の周期の信号がTCO出力端子から出力されます。コンペアレジスタとバイナリカウンタとの一致により、バイナリカウンタが'X'00'にクリアされると、TCO出力(タイマ出力)が反転します。タイマ出力の極性反転は、カウントクロックの立ち上がりエッジに同期して変化します。これは、出力周期を正確にするために、マイコン内部で波形成型をしているためです。

5-5-2 8ビットタイマパルス出力の設定例

■ タイマパルス出力の設定例(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ0を用いてTCO出力端子より50 kHzのパルスを出力します。50 kHzのパルスを出力するには、クロックソースにfoscを選択し、タイマ0コンペアレジスタに1/2の周期(100 kHz)の値を設定します。

fosc=4 MHzで動作している状態とします。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0	(1) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"にしてタイマ0をカウント停止状態にします。
(2) 特殊機能端子の出力の設定 TCOCNT (X'06A') bp0 : TC01OS = 0 bp2 : TCOS = 0 bp7 : TCOE = 1 P67DIR (X'016') bp2 : P6DIR2 = 1	(2) タイマ出力制御レジスタ(TCOCNT)のTCOEフラグを"1"にして、P62端子を特殊機能端子に設定します。TC01OSフラグとTCOSフラグを"0"に設定し、タイマ0を出力ソースにします。ポート6方向制御レジスタ(P67DIR)のP6DIR2フラグを"1"にして出力モードに設定します。 必要に応じて、プルアップ抵抗を付加してください。 【  第3章 ポート機能】
(3) タイマ通常動作の選択 TM0MD (X'048') bp4 : TM0PWM = 0 bp5 : TM0MOD = 0	(3) TM0MDレジスタのTM0PWMフラグとTM0MODフラグを"0"にしてタイマ通常動作を選択します。
(4) カウントクロックソースの選択 MODCNT(X'05E') bp4 : XISEL = 1 TM0MD (X'048') bp2-0 : TM0CK2-0 = 100	(4) MODCNTレジスタのXISELフラグを"1"に設定し、TM0MDレジスタのTM0CK2-0フラグによりクロックソースにfoscを選択します。
(5) タイマパルス出力周期の設定 TM0OC (X'050') = X'27'	(5) タイマ0コンペアレジスタ(TM0OC)にタイマパルス出力周期の1/2の値を設定します。 4 MHzを分周して100 kHzにするために、設定値は40-1=39(X'27')にします。 このとき、タイマ0バイナリカウンタ(TM0BC)がX'00'に初期化されます。

設定手順	内容
(6) タイマの動作開始 TM0MD (X'048') bp3 : TM0EN = 1	(6) TM0MDレジスタのTM0ENフラグを"1"にして タイマ0を動作させます。

TM0BCがX'00'からカウントアップします。TM0BCがTM0OCレジスタの設定値と一致してTM0BCがX'00'にクリアされると、TCO出力の信号が反転しTM0BCが再びX'00'からカウントアップします。



TMnOC=X'00'設定時のタイマパルス出力は、X'01'設定時と同じ波形になります。



バイナリカウンタの停止時にコンペアレジスタに書き込みを行うと、タイマ出力は"H"にリセットされます。

5-6 8ビットPWM出力動作

PWM出力は、タイマのバイナリカウンタとコンペアレジスタの設定値の一致タイミングおよび、バイナリカウンタのオーバーフロータイミングによりPWM基本成分を生成しTCO端子もしくはポート1より出力します。

5-6-1 8ビットPWM出力の動作

■ 8ビットPWM出力の動作(タイマ0、タイマ2)

コンペアレジスタ(TMnOC)にPWMの"H"期間のデューティを設定することで、任意のデューティのPWM波形を生成します。周期は8ビットタイマのフルカウントオーバーフローの時間となります。

PWM出力端子を次表に示します。

表5-6-1 PWM出力の出力端子

	タイマ0	タイマ2
PWM出力端子	TCO出力端子(P62) P10-P13端子	TCO出力端子(P62) P10-P13端子

■ PWM出力のカウントタイミング (通常時) (タイマ0、タイマ2)

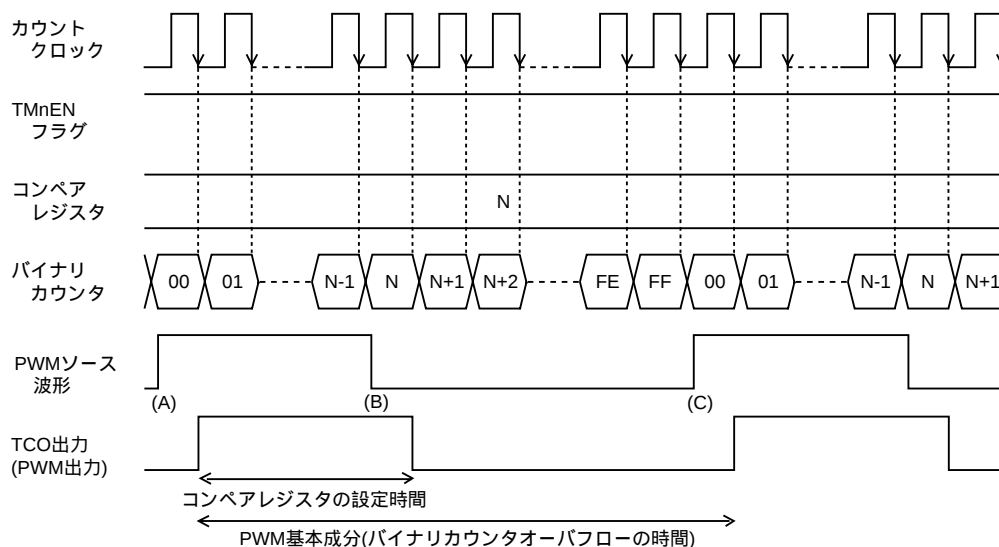


図5-6-1 PWM出力のカウントタイミング(通常時)

PWMソース波形は、

- (A) バイナリカウンタが'X'00'からコンペア一致するまでの期間、"H"となります。
- (B) コンペア一致後、"L"となり、バイナリカウンタはオーバーフローするまでカウントアップを続けます。
- (C) バイナリカウンタがオーバーフローすると、再び"H"となります。

端子からのPWM出力は、PWMソース波形を1カウントクロック遅らせて出力します。

これは、出力周期を正確にするために、マイコン内部で波形成型をしているためです。

■ PWM出力のカウントタイミング (コンペアレジスタがX'00'の時) (タイマ0、タイマ2)
 コンペアレジスタにX'00'を設定した時のカウントタイミングを次に示します。

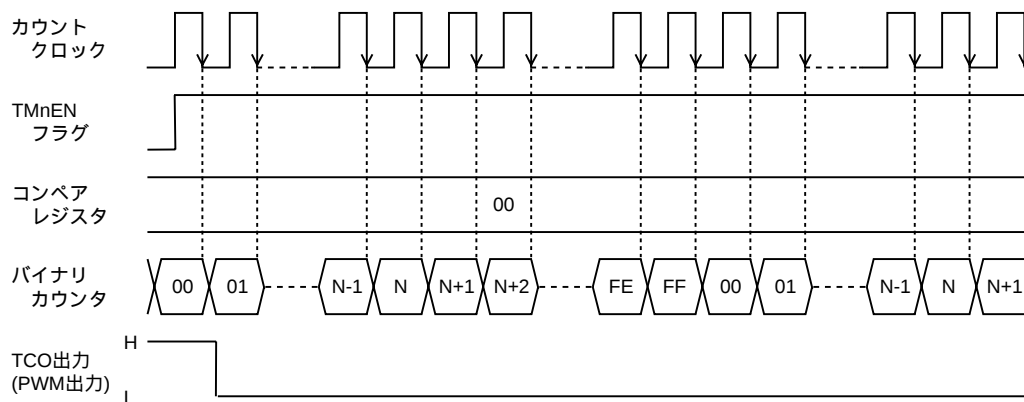


図5-6-2 PWM出力のカウントタイミング(コンペアレジスタがX'00'の時)

TMnENフラグが停止状態("0"の時)は、PWM出力は"H"が出力されます。

■ PWM出力のカウントタイミング (コンペアレジスタがX'FF'の時) (タイマ0、タイマ2)
 コンペアレジスタにX'FF'を設定した時のカウントタイミングを次に示します。

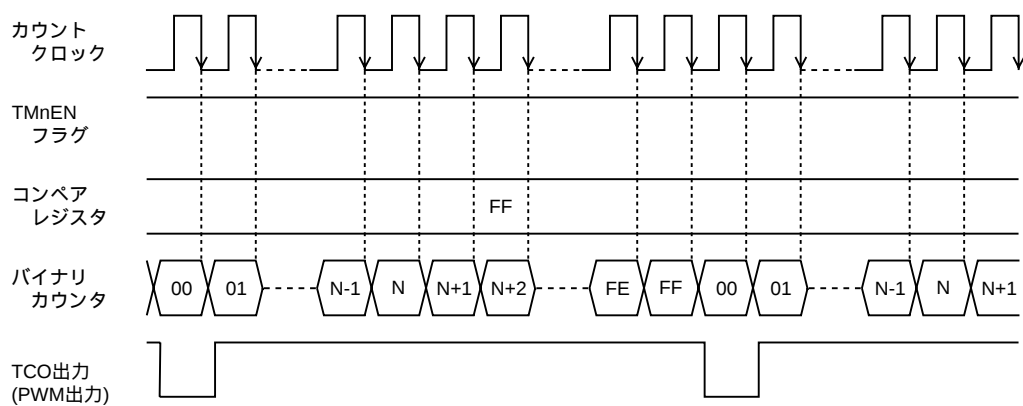


図5-6-3 PWM出力のカウントタイミング(コンペアレジスタがX'FF'の時)

5-6-2 8ビットPWM出力の設定例

■ PWM出力の設定例(タイマ0、タイマ2)

タイマ0を用いてTCO出力端子より128 Hzで1/4デューティのPWM出力波形を出力します。低速動作用発振(fxi)は、32.768 kHzで発振しているものとします。バイナリカウンタのオーバフローの時間でPWM出力波形の1周期の時間が決定します。コンペアレジスタの設定値でPWM出力波形の"H"の時間が決定します。

以下に、設定手順とその内容を示します。

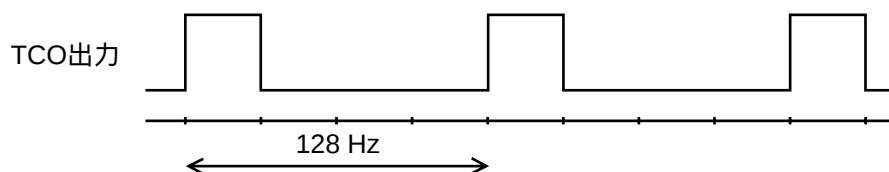


図5-6-4 TCO出力端子の出力波形

設定手順	内容
(1) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0	(1) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"にしてタイマ0をカウント停止状態にします。
(2) 特殊機能端子の出力の設定 TCOCNT (X'06A') bp0 : TC01OS = 0 bp2 : TCOS = 0 bp7 : TCOE = 1 P67DIR (X'016') bp2 : P6DIR2 = 1	(2) タイマ出力制御レジスタ(TCOCNT)のTCOEフラグを"1"にして、P62端子を特殊機能端子に設定します。TC01OSフラグとTCOSフラグを"0"に設定し、タイマ0を出力ソースにします。ポート6方向制御レジスタ(P67DIR)のP6DIR2フラグを"1"にして出力モードに設定します。 必要に応じて、プルアップ抵抗を付加してください。 【  第3章 ポート機能】
(3) PWM動作の選択 TM0MD (X'048') bp4 : TM0PWM = 1 bp5 : TM0MOD = 0	(3) TM0MDレジスタのTM0PWMフラグを"1"に、TM0MODフラグを"0"にしてPWM動作を選択します。
(4) カウントクロックソースの選択 MODCNT(X'05E') bp4 : XISEL = 0 TM0MD (X'048') bp2-0 : TM0CK2-0 = 100	(4) MODCNTレジスタのXISELフラグを"0"に設定し、TM0MDレジスタのTM0CK2-0フラグによりクロックソースにfxiを選択します。

設定手順	内容
(5) PWM出力"H" 期間の設定 TM0OC (X'050') = X'40'	(5) タイマ0コンペアレジスタ(TM0OC)にPWM出力の"H"期間の値を設定します。 フルカウント256の1/4デューティにするために、設定値は、 $256 \div 4 = 64$ (X'40')にします。 このとき、タイマ0バイナリカウンタ(TM0BC)がX'00'に初期化されます。
(6) タイマの動作開始 TM0MD (X'048') bp3 : TM0EN = 1	(6) TM0MDレジスタのTM0ENフラグを"1"にしてタイマ0を動作させます。

TM0BCがX'00'からカウントアップします。PWMソース波形は、TM0BCがTM0OCレジスタの設定値と一致するまでは"H"を出力し、一致すると、"L"を出力します。その後、TM0BCはカウントアップを続け、オーバーフローすると、PWMソース波形は、再び"H"を出力し、TM0BCは再度X'00'からカウントアップします。TCO端子からの出力は、PWMソース波形を1カウントクロック遅らせたものが出力されます。



PWM出力の初期設定での状態は、TMnMDレジスタのTMnPWMフラグによりPWM動作を選択した時点で"L"出力から"H"出力に変化します。

5-7 8ビットタイマによる簡易パルス幅測定動作

5-7-1 8ビットタイマによる簡易パルス幅測定の動作

簡易パルス幅測定は、タイマのカウントにより、外部制御端子から入力されたパルス信号の"H"期間の
パルス幅を測定します。

■8ビットタイマによる簡易パルス幅測定の動作(タイマ0、タイマ2)
外部制御端子(簡易パルス幅測定の対象となる入力端子)の入力信号が"H"の期間のみ、タイマのバイナリ
カウンタがカウントアップします。タイマのカウント値を読み出すことで、"H"期間のパルス幅測定が
可能です。簡易パルス幅測定機能が使える8ビットタイマは、タイマ0、タイマ2です。

表5-7-1 簡易パルス幅測定可能な端子(タイマ0、タイマ2)

	タイマ0	タイマ2
簡易パルス幅測定 可能端子	P61 (start入力) タイマ2出力 タイマ3出力	P61 (start入力) タイマ0出力 タイマ1出力

■ 簡易パルス幅測定時のカウントタイミング(タイマ0、タイマ2)

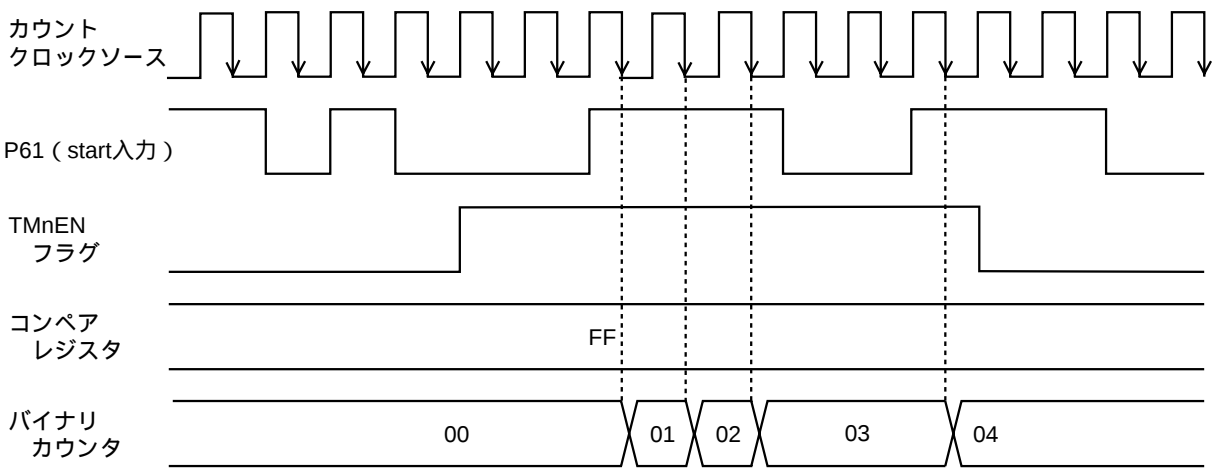


図5-7-1 簡易パルス幅測定時のカウントタイミング(タイマ0、タイマ2)

TMnENフラグが動作状態("1")の時に、簡易パルス幅測定の対象となるP61端子の入力信号が"H" の期
間のみ、タイマがカウントアップします。

5-7-2 8ビットタイマによる簡易パルス幅測定の設定例

■ 8ビットタイマによる簡易パルス幅測定の設定例(タイマ0、タイマ2)

タイマ0を用いてP61（start入力）端子の信号の"H"期間のパルス幅を測定します。タイマ0のクロックソースはf_{sys}/2を選択することにします。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) 端子の方向制御 P67DIR (X'016') bp1 : P6DIR1 = 0	(1) P67DIRレジスタのP6DIR1フラグを"0"にして、P61を入力モードにします。
(2) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0	(2) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"にしてタイマ0をカウント停止状態にします。
(3) タイマ0MOD入力選択 MODCNT (X'05E') bp0 : TM0MODS = 0	(3) MODCNTレジスタのTM0MODSフラグを"0"にして、start入力を選択します。
(4) パルス幅測定動作の設定 TM0MD (X'048') bp5 : TM0MOD = 1	(4) TM0MDレジスタのTM0MODフラグを"1"にして、測定するパルスの"H"期間だけタイマ動作を許可します。
(5) カウントクロックソースの選択 TM0MD (X'048') bp2-0 : TM0CK2-0 = 000	(5) TM0MDレジスタのTM0CK2-0フラグによりクロックソースにf _{sys} /2を選択します。
(6) コンペアレジスタの設定 TM0OC (X'050') = X'FF'	(6) タイマ0コンペアレジスタ(TM0OC)に(測定するパルス幅の"H"期間 / f _{sys} /2の周期)よりも大きな値を設定します。 このとき、タイマ0バイナリカウンタ(TM0BC)がX'00'に初期化されます。
(7) タイマの動作許可 TM0MD (X'048') bp3 : TM0EN = 1	(7) TM0MDレジスタのTM0ENフラグを"1"にしてタイマ0の動作を許可します。

5-8 8ビットタイマカスケード接続動作

5-8-1 8ビットタイマカスケード接続の動作

カスケード接続は、タイマ0とタイマ1またはタイマ2とタイマ3を連結し、ひとつの16ビットタイマとして動作します。

■8ビットタイマカスケード接続の動作(タイマ0+タイマ1、タイマ2+タイマ3)

タイマ0とタイマ1またはタイマ2とタイマ3を連結して16ビットタイマとして使用できます。カスケード接続されたタイマは、下位8ビットに相当するタイマ0またはタイマ2のクロックソースで動作します。

表5-8-1 カスケード接続時のタイマ機能一覧

	タイマ0+タイマ1 (16ビット)	タイマ2+タイマ3 (16ビット)
割込み要因名	IRQ2	IRQ3
タイマ動作	○	○
イベントカウント	○ (TCI入力、fxi)	○ (TCI入力、fxi)
タイマパルス出力	○ (TCO出力、P10-P13)	○ (TCO出力、P10-P13)
高精度PWM出力	-	○
ワンショットタイマ出力	-	○
トリガスタートPWM出力	-	○
簡易パルス幅測定機能	○	○
クロックソース	fsys/2 fsys/8 fsys/32 fsys/128 fxi(fosc) fxi(fosc)/4 fxi(fosc)/16 fxi(fosc)/64	fsys/2 fosc fosc/2 fxi TCI入力
fosc：マシクロック（高速動作発振） fxi：マシクロック（低速動作発振） fsys：システムクロック 【  第2章 2-4. クロック切換機能】		

カスケード接続時には、バイナリカウンタ、コンペアレジスタはそれぞれ16ビットレジスタとして動作します。動作時は、上位8ビットタイマ、下位8ビットタイマ両方のモードレジスタのTMnENフラグを"1"にして動作状態にしてください。

また、クロックソースは下位8ビットタイマにより選択してください。

その他の設定および、カウントタイミングは8ビットタイマ単独動作時と同じです。



タイマ0 + タイマ1をカスケード接続して使用する場合、割り込み要求フラグは割り込み2(IRQ2)を使用します。タイマ0のタイマパルス出力は、"L"固定出力になります。

タイマ0の割り込み要求は発生しませんが、割り込み1(IRQ1)は禁止の状態にしてください。



タイマ2 + タイマ3をカスケード接続して使用する場合、割り込み要求フラグは割り込み3(IRQ3)を使用します。タイマ2のタイマパルス出力は、"L"固定出力になります。

タイマ2の割り込み要求は発生しませんが、割り込み2(IRQ2)は禁止の状態にしてください。

5-8-2 8ビットタイマカスケード接続の設定例

■カスケード接続のタイマ動作の設定例(タイマ0+タイマ1、タイマ2+タイマ3)

タイマ0とタイマ1をカスケード接続して16ビットタイマとして一定時間毎に割込みを発生させる設定例を示します。ソースクロックをfsys/8を選択して2500分周毎に割込みを発生します。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0 TM1MD (X'04A') bp3 : TM1EN = 0	(1) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"、タイマ1モードレジスタ(TM1MD)のTM1ENフラグを"0"にしてタイマ0およびタイマ1をカウント停止状態にします。
(2) 下位タイマ通常動作の選択 TM0MD (X'048') bp4 : TM0PWM = 0 bp5 : TM0MOD = 0	(2) TM0MDレジスタのTM0PWMフラグとTM0MODフラグを"0"にしてタイマ0通常動作を選択します。
(3) カスケード接続の設定 TM1MD (X'04A') bp4 : TM1CAS = 1	(3) TM1MDレジスタのTM1CASフラグを"1"にしてタイマ1とタイマ0をカスケードに接続します。
(4) カウントクロックソースの選択 TM0MD (X'04A') bp2-0 : TM0CK2-0 = 001	(4) TM0MDレジスタのTM0CK2-0フラグによりクロックソースにfsys/8を選択します。
(5) 割込み発生周期の設定 TM1OC (X'052') = X'09' TM0OC (X'050') = X'C3'	(5) タイマ1コンペアレジスタ+タイマ0コンペアレジスタ(TM1OC+TM0OC)に割込み発生周期の値X'09C3'(2500分周-1)を設定します。 このとき、タイマ1バイナリカウンタ+タイマ0バイナリカウンタ(TM1BC+TM0BC)がX'0000'に初期化されます。
(6) 割込みソースの設定 IRQC1 (X'036') bp4 : IRQ2S = 1	(6) IRQC1レジスタのIRQ2Sフラグを"1"にして割込みソースをタイマ1に設定します。

設定手順	内容
(7) 割込み要求フラグのクリア IRQM(X'032') bp5 : IFIRQ1E = 1	(7) IRQモードレジスタ(IRQM)のIFIRQ1Eフラグを'1'に設定して、割込み1要求フラグをクリアします。
(8) 割込みの許可	(8) EDI命令を実行して、割込み2(IRQ2)を許可します。
(9) 上位タイマの動作開始 TM1MD (X'04A') bp3 : TM1EN = 1	(9) TM1MDレジスタのTM1ENフラグを"1"にしてタイマ1を動作させます。
(10) 下位タイマの動作開始 TM0MD (X'048') bp3 : TM0EN = 1	(10) TM0MDレジスタのTM0ENフラグを"1"にしてタイマ0を動作させます。

TM1BC+TM0BCが16ビットタイマとしてX'0000'からカウントアップします。
 TM1BC+TM0BCがTM1OC+TM0OCレジスタの設定値と一致すると、次のカウントクロックでタイマ1割込み要求フラグがセットされ、TM1BC+TM0BCの値はX'0000'になり再度カウントアップを開始します。



(TM1OC+TM0OC)レジスタの設定は、各レジスタごとに設定してください。



タイマ動作は、上位タイマを下位タイマより先に動作させてください。

5-9 リモコンキャリア出力動作

5-9-1 リモコンキャリア出力の動作

リモコンキャリア出力機能は、リモコン用キャリアパルスを生成できます。

■ リモコンキャリア出力機能の動作(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ0～タイマ3の出力信号を用いてリモコンキャリアパルスを生成できます。デューティ比は、1/2、1/3の2種類から選択できます。ポートに出力する際は、タイマ出力制御レジスタ(TCOCNT X'06A')により、ベースとするタイマ出力を選択し、RMOSフラグによりリモコン出力としてください。

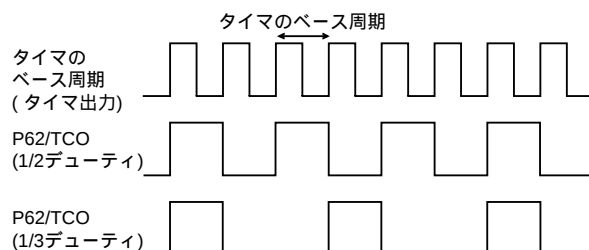


図5-9-1 リモコンキャリア出力信号のデューティ比

■ リモコンキャリア出力機能のカウントタイミング(タイマ0、タイマ1、タイマ2、タイマ3)

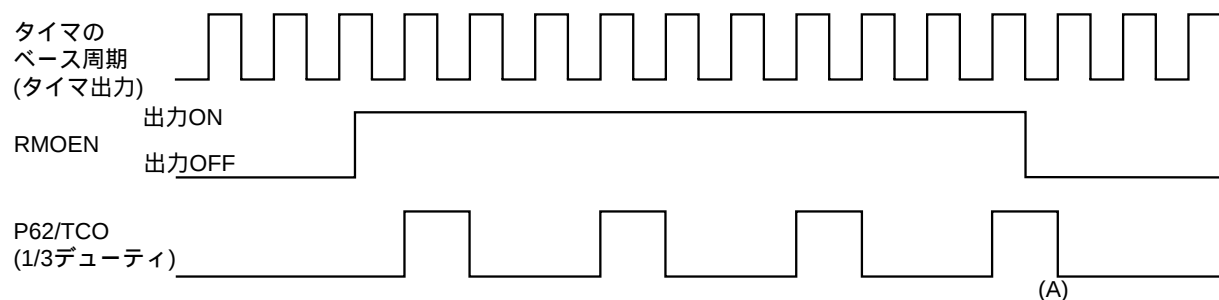


図5-9-2 リモコンキャリア出力機能のカウントタイミング(タイマ0～タイマ3)

(A) キャリア出力が"H"の状態でもRMOENフラグをOFFにしても、同期回路により、キャリア波形は保持されます。



RMOENフラグを変更するときは、同時にベース周期、デューティを変更しないでください。
同時に変更するとキャリア波形が正しく出力されません。

5-9-2 リモコンキャリア出力の設定例

■ リモコンキャリア出力機能の設定例(タイマ0、タイマ1、タイマ2、タイマ3)

タイマ0を用いてTCO端子より"H"の期間を36.7 kHzとする1/3デューティのキャリアパルスの信号を出力する設定例を示します。タイマ0のソースクロックはfosc(8 MHz動作時)を選択することになります。以下に、設定手順とその内容を示します。

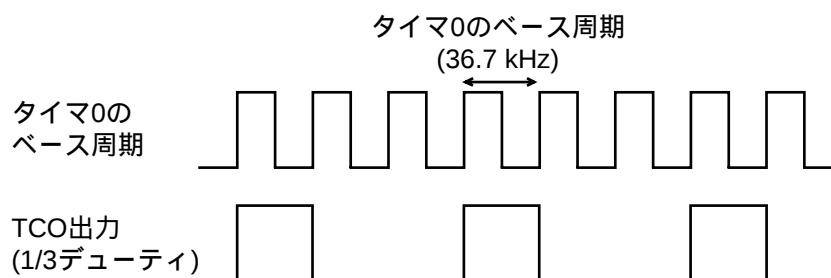


図5-9-3 TCO出力端子の出力波形

設定手順	内容
(1) リモコンキャリア出力禁止 TCOCNT (X'06A') bp6 : RMOEN = 0	(1) タイマ出力制御レジスタ(TCOCNT)のRMOENフラグを"0"にしてリモコンキャリアの出力を禁止します。
(2) カウンタの停止確認 TM0MD (X'048') bp3 : TM0EN = 0	(2) タイマ0モードレジスタ(TM0MD)のTM0ENフラグを"0"にして、タイマ0をカウント停止状態にします。
(3) ベース周期設定タイマの選択 TCOCNT(X'06A') bp0 : TC01OS = 0 bp2 : TCOS = 0	(3) TCOCNTレジスタのTC01OSフラグとTCOSフラグを"0"にしてタイマ0をベース周期の設定タイマに選択します。
(4) キャリア出力デューティ選択 TCOCNT(X'06A') bp5 : RMDTY = 1	(4) TCOCNTレジスタのRMDTYフラグを"1"にしてデューティを1/3に選択します。
(5) 出力端子の設定 P67DIR (X'016') bp2 : P6DIR2 = 1 TCOCNT (X'06A') bp7 : TCOE = 1	(5) ポート6方向制御レジスタ(P67DIR)のP6DIR2フラグを"1"にして、P62端子を出力モードに設定します。 TCOCNTレジスタのTCOEフラグを"1"に設定します。

設定手順	内容
(6) タイマ通常動作の選択 TM0MD (X'048') bp4 : TM0PWM = 0 bp5 : TM0MOD = 0	(6) TM0MDレジスタのTM0PWMフラグとTM0MODフラグを"0"にしてタイマ通常動作を選択します。
(7) カウントクロックソースの選択 MODCNT (X'05E') bp4 : XISEL = 1 TM0MD (X'048') bp2-0 : TM0CK2-0 = 100	(7) MODCNTレジスタのXISELフラグとTM0MDレジスタのTM0CK2-0フラグによりクロックソースにfoscを選択します。
(8) リモコンキャリアのベース周期の設定 TM0OC (X'050') = X'6C'	(8) タイマ0コンペアレジスタ(TM0OC)にX'6C'を書き込むことでリモコンキャリアのベース周期を設定します。8 MHzを分周して36.7 kHzの1/2分周(73.4 kHz)にするために、設定値は $(8 \text{ MHz} / 73.4 \text{ kHz}) - 1 = 108$ (X'6C')にします。
(9) タイマの動作開始 TM0MD (X'048') bp3 : TM0EN = 1	(9) TM0MDレジスタのTM0ENフラグを"1"にしてタイマ0のカウントを開始させます。
(10) リモコンキャリア出力許可 TCOCNT (X'06A') bp6 : RMOEN = 1	(10) TCOCNTレジスタのRMOENフラグを"1"にしてリモコンキャリア出力を許可します。

TM0BCがX'00'からカウントアップします。TM0OCで設定したベース周期のパルスがタイマ0から出力され、それをもとに1/3デューティのリモコンキャリアパルス信号が出力されます。

5-10 高精度PWM出力動作

5-10-1 高精度PWM出力の動作

タイマ2コンペアレジスタ(TM2OC)にPWMのデューティを設定し、タイマ3コンペアレジスタ(TM3OC)にPWMの周期を設定することで、PWM波形を生成します。

8ビットバイナリカウンタの値がタイマ2コンペアレジスタの設定値と一致するまでの期間、ポートから"H"が出力され、その後タイマ3コンペアレジスタの設定値と一致してカウンタがクリアされるまで"L"が出力されます。

P10/PWMO0-P13/PWMO3に出力される際は、ポート0、ポート1方向制御レジスタ(P01DIR)により出力モードに設定し、ポート0、ポート1入出力レジスタ(PORT01)に'1'を設定し、"H"出力してください。ブザー出力制御レジスタ(BZCTR X'06C')により、PWM出力を選択してください。

P62/TCO端子に出力される際は、ポート6方向制御レジスタ(P67DIR)により、出力モードに設定し、タイマ出力制御レジスタ(TCOCNT X'06A')により、タイマ3出力を選択してください。

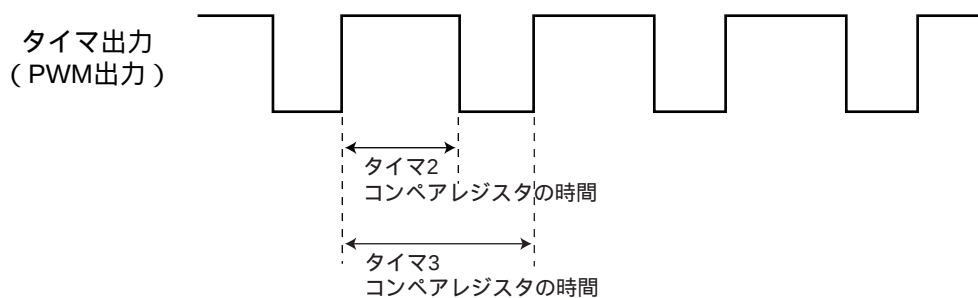


図5-10-1 高機能PWM出力タイミング



タイマ3コンペアレジスタ(TM3OC)の設定値は、タイマ2コンペアレジスタ(TM2OC)の設定値より大きくしてください。



カウントクロックソースは、タイマ2モードレジスタ(TM2MD)のTM2CK2-0フラグより選択してください。

5-10-2 高精度PWM出力の設定例

■ 高精度PWM出力の設定例（タイマ2+タイマ3）

タイマ2とタイマ3をカスケード接続し、P10/PWM00端子に高機能PWM出力波形を出力します。クロックソースにfoscを選択し、タイマ2コンペアレジスタ(TM2OC)とタイマ3コンペアレジスタ(TM3OC)にそれぞれ値を設定します。

以下に、設定手順をその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM2MD (X'04C') bp3 : TM2EN = 0 TM3MD (X'04E') bp3 : TM3EN = 0	(1) タイマ2モードレジスタ(TM2MD)のTM2ENフラグと、タイマ3モードレジスタ (TM3MD)のTM3ENフラグを"0"にして、タイマ2およびタイマ3をカウント停止状態にします。
(2) 下位タイマPWM動作の選択 TM2MD (X'04C') bp4 : TM2PWM = 1 bp5 : TM2MOD = 0	(2) TM2MDレジスタのTM2PWMフラグを"1"にし、TM2MODフラグを"0"にしてPWM動作を選択します。
(3) カスケード接続の設定 TM3MD(X'04E') bp4 : TM3CAS = 1	(3) TM3MDレジスタのTM3CASフラグを"1"にしてタイマ2とタイマ3をカスケード接続します。
(4) 出力端子の設定 P01DIR (X'010') bp4 : P1DIR0 = 1 PORT01 (X'000') bp4 : P10DATA = 1 MODCNT (X'05E') bp3-2 : PWMOS1-0 = 01 BZCTR (X'06C') bp0 : PWME10 = 1	(4) ポート0、ポート1方向制御レジスタ(P01DIR)のP1DIR0フラグを"1"にして、P10端子を出力モードに設定します。ポート0、ポート1データレジスタ(PORT01)のP10DATAフラグを'1'に設定し、"H"を出力します。 MODCNTレジスタのPWMOS1-0フラグを'01'に設定し、BZCTRレジスタのPWME10フラグを'1'に設定し、タイマ2を選択します。
(5) カウントクロックソースの選択 TM2MD(X'04C') bp2-0 : TM2CK2-0 = 000	(5) TM2MDレジスタのTM2CK2-0フラグによりクロックソースにfoscを選択します。
(6) PWMのデューティの設定 TM2OC(X'054') = X'55'	(6) タイマ2コンペアレジスタ(TM2OC)にX'55'を設定して、PWMのデューティを設定します。

設定手順	内容
(7) PWMの周期の設定 TM3OC (X'056') = X'AA'	(7) タイマ3コンペアレジスタ(TM3OC)にX'AA'を設定し、PWMの周期を設定します。
(8) タイマ3の動作開始 TM3MD (X'04E') bp3 : TM3EN = 1	(8) TM3MDレジスタのTM3ENフラグを"1"にしてタイマ3を動作させます。
(9) タイマ2の動作開始 TM2MD (X'04C') bp3 : TM2EN = 1	(9) TM2MDレジスタのTM2ENフラグを"1"にしてタイマ2を動作させます。

5-11 トリガスタート機能

5-11-1 トリガスタート機能の動作

■トリガスタート機能の動作

P61/START端子からトリガを入力し、その立ち上がりエッジによりタイマ2がカウントを開始し、タイマ出力端子が"L"から"H"へと変化します。



MODCNTレジスタのTRGDLY1-0フラグにより、タイマ2のカウントの開始を遅らせることが可能です。

トリガ入力が"H"の間の動作は通常時と同様です。

トリガ入力の立ち下がりエッジによりタイマ2は初期化され、タイマ出力は強制的に"L"となります。

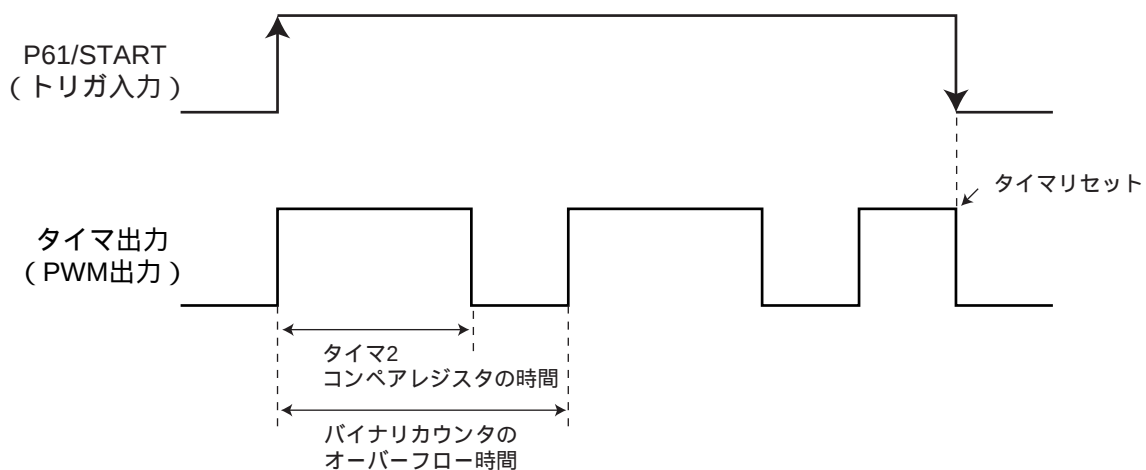


図5-11-1 トリガスタートタイミング（ディレイタイム無、PWM機能選択時）

5-11-2 トリガスタート機能の設定例

■トリガスタートPWM出力の設定例（タイマ2）

タイマ2を用いてP61/START端子よりトリガを入力し、TCO出力端子より1/4デューティのPWM出力波形を出力します。タイマ2のクロックソースをfoscに設定し、トリガの立ち上がりエッジより4カウント遅らせてタイマのカウントを開始させます。トリガの立ち下がりエッジでタイマが停止します。以下に、設定例とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM2MD (X'04C') bp3 : TM2EN = 0	(1) タイマ2モードレジスタ(TM2MD)のTM2ENフラグを"0"にしてタイマ2をカウント停止状態にします。
(2) 端子の設定 P67DIR (X'016') bp1 : P6DIR1 = 0 bp2 : P6DIR2 = 1 TCOCNT (X'06A') bp1 : TC23OS = 0 bp2 : TCOS = 1 bp7 : TCOE = 0	(2) ポート6方向制御レジスタ(P67DIR)のP6DIR1フラグを"0"にして、P61端子を入力モードに設定します。P6DIR2フラグを"1"にして、P62端子を出力モードに設定します。TCOCNTレジスタのTCOEフラグ、TCOSフラグとTC23OSフラグにより、タイマ2出力を選択します。
(3) PWM動作の選択 TM2MD (X'04C') bp4 : TM2PWM = 1	(3) TM2MDレジスタのTM2PWMフラグを"1"にしてPWM動作を選択します。
(4) カウントクロックソースの選択 TM2MD (X'04C') bp2-0 : TM2CK2-0 = 000	(4) TM2MDレジスタのTM2CK2-0フラグによりクロックソースにfoscを選択します。
(5) PWM出力"H"期間の設定 TM2OC (X'054') = X'40	(5) タイマ2コンペアレジスタ(TM2OC)にPWM出力の"H"期間の値を設定します。フルカウント256の1/4デューティにするために、設定値は $256 \div 4 = 64$ (X'40')にします。このとき、タイマ0バイナリカウンタ(TM0BC)がx'00'に初期化されます。
(6) トリガスタート機能の選択 TM2MD (X'04C') bp6 : TM2TRG = 1	(6) TM2MDレジスタのTM2TRGフラグを"1"にして、トリガスタート機能を選択します。

設定手順	内容
(7) トリガ入力選択 MODCNT (X'05E') bp5 : TRGS = 0	(7) MODCNTレジスタのTRGSフラグによりP61/START端子を選択します。
(8) ディレイタイムの設定 MODCNT (X'05E') bp7-6 : TRGDLY1-0= 01	(8) MODCNTレジスタのTRGDLY1-0フラグによりトリガスタートディレイタイムを設定します。
(9) タイマ2の動作開始 TM2MD (X'04C') bp3 : TM2EN = 1	(9) TM2MDレジスタのTM2ENフラグを"1"にしてタイマ2を動作させます。

5-12 ワンショットタイマ出力動作

5-12-1 ワンショットタイマ出力の動作

■ ワンショットタイマ出力の動作

P61/START端子からトリガを入力し、その立ち上がりエッジによりタイマ2がカウントを開始し、タイマ出力が"L"から"H"へと変化します。8ビット（カスケード接続時は16ビット）バイナリカウンタの値が、コンペアレジスタの設定値と一致すると以降のタイマ出力は"L"となります。P61/START端子を"L"にすることで、タイマ出力を強制的にリセットすることが可能です。

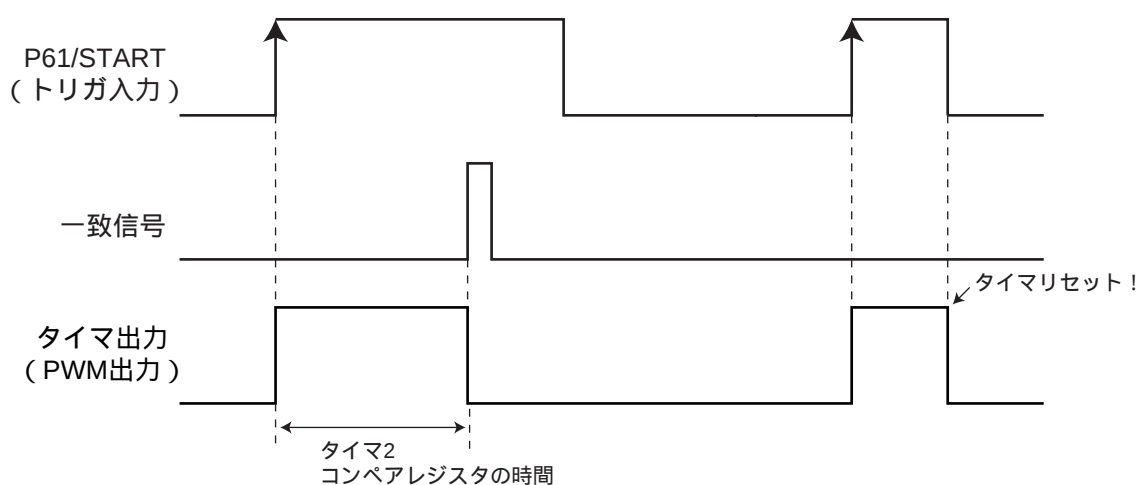


図5-12-1 ワンショットタイマ出力タイミング（ディレイタイム無）



MODCNTレジスタのTRGDLY1-0フラグにより、タイマ2のカウントの開始を遅らせることが可能です。

5-12-2 ワンショットタイマ出力の設定例

■ ワンショットタイマ出力の設定例（タイマ2）

タイマ2を用いてP61/START端子よりトリガを入力し、その立ち上がりエッジによりタイマ2出力は"H"となります。タイマ2コンペアレジスタとタイマ2バイナリカウンタとの一致により以降のタイマ2出力は"L"となります。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) カウンタの停止確認 TM2MD (X'04C') bp3 : TM2EN = 0	(1) タイマ2モードレジスタ(TM2MD)のTM2ENフラグを"0"にしてタイマ2をカウント停止状態にします。
(2) 端子の設定 P67DIR (X'016') bp1 : P6DIR1 = 0 bp2 : P6DIR2 = 1 TCOCNT (X'06A') bp1 : TC23OS = 0 bp2 : TCOS = 1 bp7 : TCOE = 0	(2) ポート6方向制御レジスタ(P67DIR)のP6DIR1フラグを"0"にして、P61端子を入力モードに設定します。P6DIR2フラグを"1"にして、P62端子を出力モードに設定します。TCOCNTレジスタのTCOEフラグ、TCOSフラグとTC23OSフラグにより、タイマ2出力を選択します。
(3) タイマ通常動作の選択 TM2MD (X'04C') bp4 : TM2PWM = 0 bp5 : TM2MOD = 0	(3) TM2MDレジスタのTM2PWMフラグとTM2MODフラグを"0"にしてタイマ通常動作を選択します。
(4) カウントクロックソースの選択 TM2MD (X'04C') bp2-0 : TM2CK2-0 = 101	(4) TM2MDレジスタのTM2CK2-0フラグによりクロックソースにfsys/2を選択します。
(5) ワンショットタイマ出力"H"期間の設定 TM2OC (X'054') = X'40	(5) タイマ2コンペアレジスタ(TM2OC)にワンショットタイマ出力の"H"期間の値を設定します。
(6) ワンショットタイマ機能の選択 TM2MD (X'04C') bp6 : TM2TRG = 1 bp7 : TM2ONE = 1	(6) TM2MDレジスタのTM2TRGフラグとTM2ONEフラグを"1"にして、ワンショットタイマ機能を選択します。

設定手順	内容
(7) トリガ入力選択 MODCNT (X'05E') bp5 : TRGS = 0	(7) MODCNTレジスタのTRGSフラグによりP61/ START端子を選択します。
(8) デイレイタイムの設定 MODCNT (X'05E') bp7-6 : TRGDLY1-0= 00	(8) MODCNTレジスタのTRGDLY1-0フラグによ りトリガスタートデイレイタイム無を選択しま す。
(9) タイマ2の動作開始 TM2MD (X'04C') bp3 : TM2EN = 1	(9) TM2MDレジスタのTM2ENフラグを"1"にして タイマ2を動作させます。

5-13 ブザー出力動作

5-13-1 ブザー出力の動作

本LSIは、源発振foscを1024/2048/4096分周またはイベント発振fxiを8/16/32分周したクロックを端子に出力する機能があります。

■ ブザー出力の動作

ブザー出力制御レジスタ(BZCTR)のBZCK2-0フラグによりブザー出力周波数を選択し、BZOEフラグを"1"に設定します。ブザー出力端子P32/BZより選択された周波数のパルスが出力されます。



ブザー出力制御レジスタ(BZCTR)のBZOEフラグを切換えた直後は、ブザー出力の初期値、最初の立ち上がり、立ち下がりエッジまでの時間は不定です。

5-13-2 ブザー出力の設定例

■ ブザー出力の設定例

源発振 f_{osc} を2048分周したクロックを、ブザー出力端子P32/BZに出力します。

以下に、設定手順とその内容を説明します。

設定手順	内容
(1) ブザー出力の停止確認 BZCTR (X'06C') bp7 : BZOE = 0	(1) ブザー出力制御レジスタ(BZCTR)のBZOEフラグを"0"にしてブザー出力を停止状態にします。
(2) 端子の設定 P23DIR (X'012') bp6 : P3DIR2 = 1	(2) ポート2、ポート3方向制御レジスタ(P23DIR)のP3DIR2フラグを"1"にして、P32端子を出力モードに設定します。
(3) ブザー出力周波数の選択 BZCTR (X'06C') bp6-4 : BZCK2-0 = 010	(3) BZCTRレジスタのBZCK2-0フラグによりブザー出力周波数を $f_{osc}/2048$ に選択します。
(4) ブザー出力の動作開始 BZCTR (X'06C') bp7 : BZOE = 1	(4) ブザー出力制御レジスタ(BZCTR)のBZOEフラグを"1"にしてブザー出力を開始させます。

第6章 シリアルインタフェース

6

6-1 シリアルインタフェース機能の概要

本LSIのシリアルインタフェースは、クロック同期式シリアル通信可能です。

6-1-1 シリアルインタフェース機能一覧

シリアルインタフェースの機能を次表に示します。

表6-1-1 シリアルインタフェース機能一覧

通信形態	クロック同期式
割込み	IRQ3
使用端子	SBO,SBI,SBT
3線式による通信	○
2線式による通信	○ (SBO,SBT)
スタートコンディション有無選択	○
転送ビット数の指定	1～8ビット
転送先頭ビットの指定	○
入力エッジ/出力エッジの指定	○
クロックソース	f _{sys} f _{sys} /2 外部クロック
最大転送レート	2.5MHz
f _{sys} :システムクロック【  第2章 2-4 クロック切換機能】	

6-1-2 シリアルインタフェースブロック図

■シリアルインタフェースブロック図

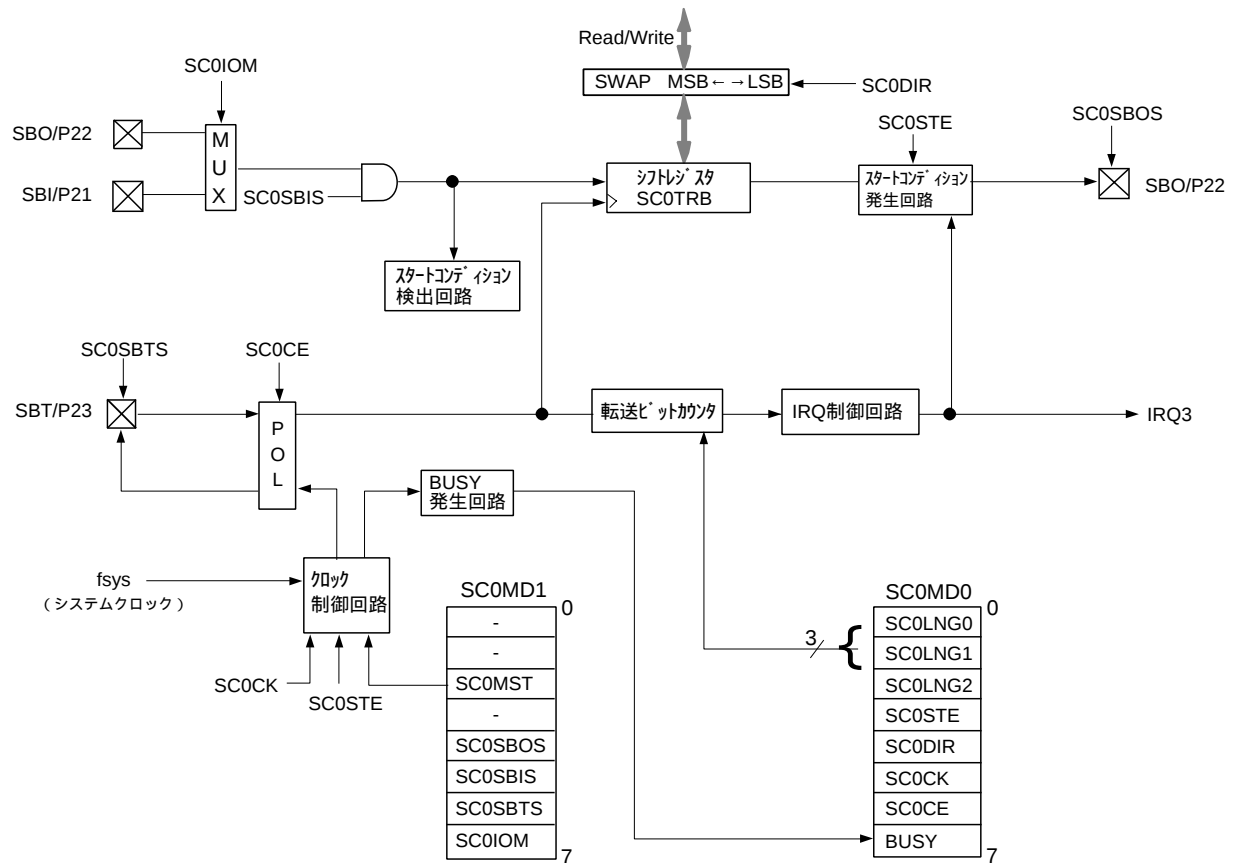


図6-1-1 シリアルインタフェースブロック図

6-2 シリアルインタフェース制御レジスタ

6-2-1 シリアルインタフェース制御レジスタ一覧

シリアルインタフェースを制御するレジスタの一覧を次表に示します。

表6-2-1 シリアルインタフェース制御レジスタ一覧表

レジスタ略称	アドレス	R/W	レジスタ名称	参照ページ
SC0MD0	X'060'	R/W	シリアルインタフェースモードレジスタ0	VI - 6
SC0MD1	X'062'	R/W	シリアルインタフェースモードレジスタ1	VI - 7
SC0TRB	X'064'	R/W	シリアルインタフェース送受信シフトレジスタ	VI - 5
P23DIR	X'012'	R/W	ポート23方向制御レジスタ	III - 14
P23PLU	X'022'	R/W	ポート23プルアップ抵抗制御レジスタ	III - 14
IRQC1	X'036'	R/W	割込み制御レジスタ1	IV - 15

R/W：読み出し/書き込み共に可能です。

6-2-2 シリアルインタフェースデータレジスタ

シリアルインタフェースは、8ビットのシリアルデータレジスタを持っています。

■シリアルインタフェース送受信シフトレジスタ(SC0TRB)

	7	6	5	4	3	2	1	0	
SC0TRB	SC0TRB7	SC0TRB6	SC0TRB5	SC0TRB4	SC0TRB3	SC0TRB2	SC0TRB1	SC0TRB0	(リセット時 : XXXXXXXX)

図6-2-1 シリアルインタフェース送受信シフトレジスタ(SC0TRB : X'064' , R/W)

6-2-3 シリアルインタフェースモードレジスタ

■シリアルインタフェースモードレジスタ0(SC0MD0)

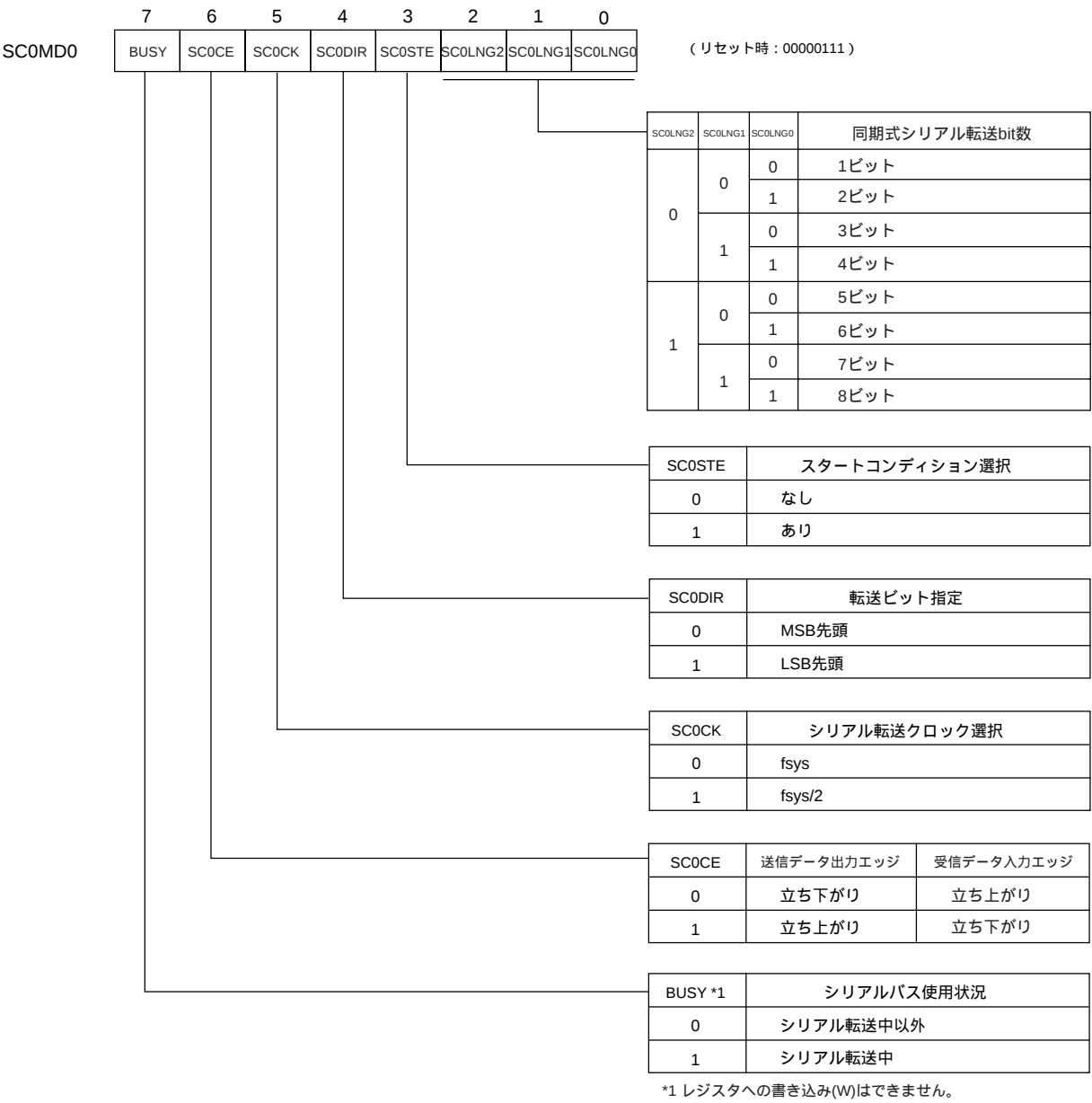
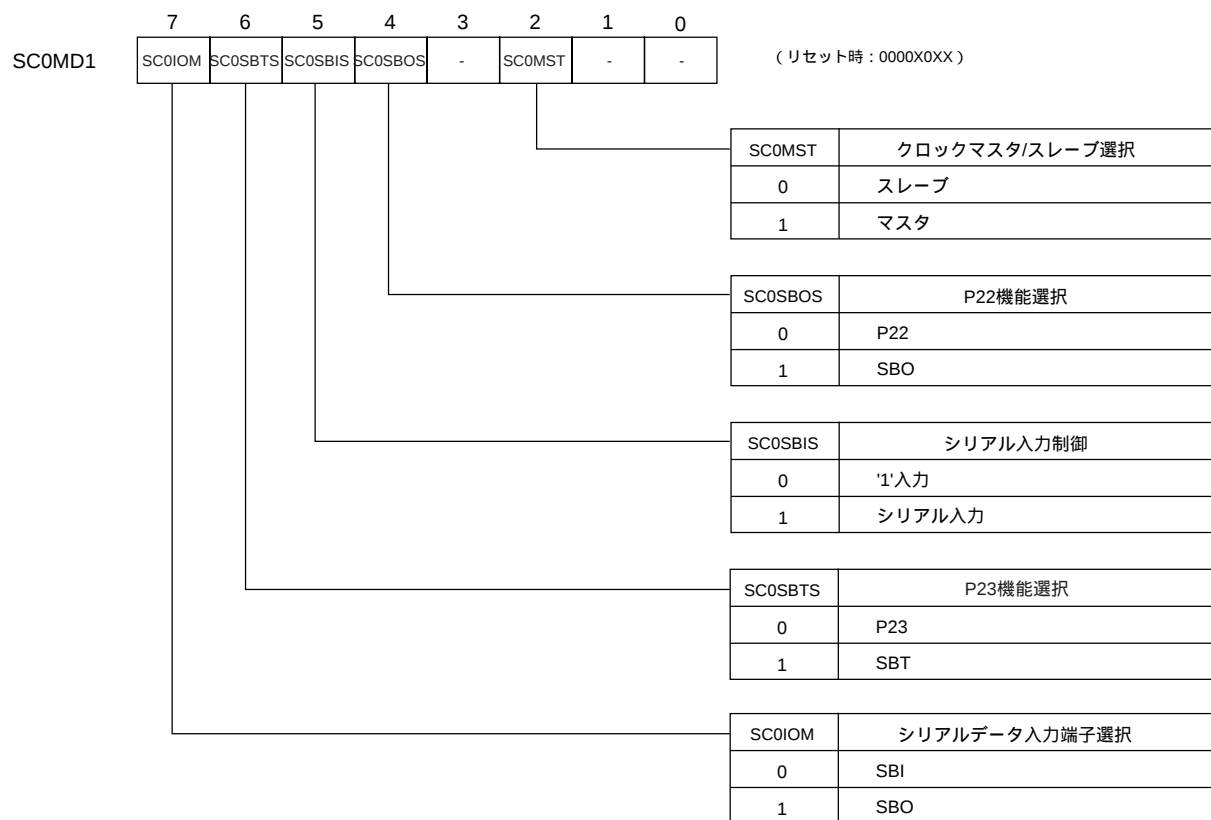


図6-2-2 シリアルインタフェースモードレジスタ0(SC0MD0 : X'060'、R/W)

■シリアルインタフェースモードレジスタ1(SC0MD1)



外部クロックをクロックソースとして使用する際は、SC0MSTフラグを"0"に設定し、ポート23方向制御レジスタを入力モードに設定してください。

図6-2-3 シリアルインタフェースモードレジスタ1(SC0MD1 : X'062'、R/W)

6-3 シリアルインタフェースの動作

シリアルインタフェースは、クロック同期式シリアルインタフェースです。

6-3-1 クロック同期式シリアルインタフェースの動作

■通信開始の起動要因

通信の起動要因を次表に示します。マスター通信の場合、送受信シフトレジスタSC0TRBにデータをセットするか、もしくはスタートコンディションを受けることで転送クロックが発生します。通信中以外は、ノイズ等による誤動作防止のため、シリアルインタフェース内部でSBT端子からの信号の入力をマスクしています。このマスクは、SC0TRBにデータをセットする(SC0TRBレジスタへの書き込み動作を行う)か、もしくはスタートコンディションをデータ入力端子に入力することで自動的に解除されます。したがってスレーブ通信の場合、SC0TRBにデータをセットするかスタートコンディションを入力してから外部クロックを入力してください。

表6-3-1 同期式シリアルインタフェース起動要因

	起動要因	
	送信	受信
マスタ通信	送信データセット	ダミーデータセット
		スタートコンディション入力
スレーブ通信	送信データセット後 クロック入力	ダミーデータセット後 クロック入力
		スタートコンディション入力後 クロック入力

■転送ビット数の設定

転送ビット数は、1ビット～8ビットが選択できます。SC0MD0レジスタのSC0LNG2～0フラグ(リセット時：111)で設定してください。SC0LNG2～0フラグは、再設定するまで前の設定値が保持されます。



通信中以外は、ノイズ等による誤動作防止のため、SBT端子はシリアルインタフェース内部でマスクされています。スレーブ通信の場合は、必ずデータをSC0TRBにセットするかスタートコンディションを入力してからSBT端子にクロックを入力してください。

■ スタートコンディションの設定

スタートコンディションの有無の選択ができます。SC0MD0レジスタのSC0STEフラグで設定してください。スタートコンディション有を選択した場合、通信中スタートコンディションが入力されると同時にビットカウンタがクリアされ、その後自動的に通信が再起動されます。スタートコンディションは、立ち下がり送信/立ち上がり受信時はクロックライン(SBT端子)が"H"のとき、立ち上がり送信/立ち下がり受信時はクロックライン(SBT端子)が"L"のとき、データライン(SBI端子(3線式)もしくはSBO端子(2線式))が"H"から"L"に変化すると認識されます。

■ 転送先頭ビットの設定

転送時の先頭ビットをSC0MD0レジスタのSC0DIRフラグで設定することができます。MSBを先頭にするかLSBを先頭にするかが選択できます。

■ 送信、受信データのバッファ

送信および受信のデータレジスタは共通であり、送受信シフトレジスタSC0TRBを使用します。送信するデータは、SC0TRBにセットしてください。転送クロックにより、1ビットずつシフトしながらデータを送出します。また、受信データは、1ビットずつシフトしながらSC0TRBに格納されます。

■ 送信ビット数と転送先頭ビットの関係

転送ビット数が1～7ビットのときは、転送先頭ビット指定により送受信シフトレジスタSC0TRBへのデータ格納方法が異なります。MSB先頭のときは、SC0TRBの上位側のビットを使用するように格納してください。転送ビット数が6ビットのとき、図6-3-1-1で示すようにデータ"A"～"F"をSC0TRBのbp2～7に格納すると、"F"から"A"の順に転送されます。LSB先頭のときは、SC0TRBの下位側のビットを使用するように格納してください。転送ビット数が6ビットのとき、図6-3-1-2で示すようにデータ"A"～"F"をSC0TRBのbp0～5に格納すると、"A"から"F"の順に転送されます。

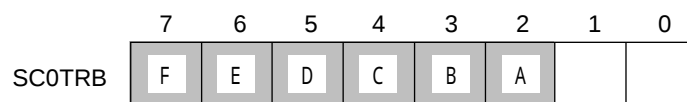


図6-3-1-1 送信ビット数と転送先頭ビットの関係(MSB先頭時)

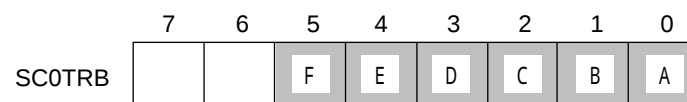


図6-3-1-2 送信ビット数と転送先頭ビットの関係(LSB先頭時)

■受信ビット数と転送先頭ビットの関係

転送ビット数が1～7ビットのときは、転送先頭ビット指定により送受信シフトレジスタSC0TRBへのデータ格納方法が異なります。MSB先頭のときは、SC0TRBの下位側のビットに格納されます。転送ビット数が6ビットのとき、図6-3-2-1で示すようにデータ"A"～"F"が"F"から"A"の順でSC0TRBのbp0～5に格納されます。LSB先頭のときは、SC0TRBの上位側のビットに格納されます。転送ビット数が6ビットのとき、図6-3-2-2で示すようにデータ"A"～"F"が"A"から"F"の順でSC0TRBのbp2～7に格納されます。

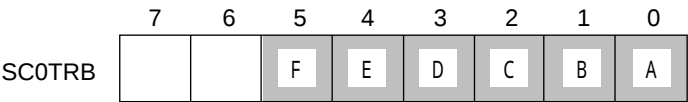


図6-3-2-1 受信ビット数と転送先頭ビットの関係(MSB先頭時)

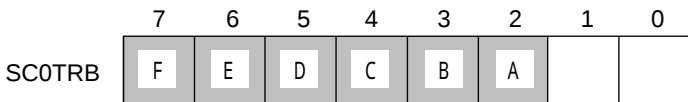


図6-3-2-2 受信ビット数と転送先頭ビットの関係(LSB先頭時)

■クロックの設定

クロックソースは、シリアルインターフェースモードレジスタ1(SC0MD1)のSC0MSTフラグで設定することができます。SC0MSTフラグ="1"のとき内部クロック選択、SC0MSTフラグ="0"のとき外部クロック選択となります。

内部クロック選択の際は、システムクロック(fs_{sys})もしくはシステムクロックの1/2分周(fs_{sys}/2)のいずれかより選択できます。シリアルインターフェースモードレジスタ0(SC0MD0)のSC0CKフラグより選択してください。

■入力エッジ/出力エッジの設定

送信データの出力エッジ、受信データの入力エッジは、SC0MD0レジスタのSC0CEフラグで設定することができます。送信時のデータは、SC0CEフラグ="0"のときクロックの立ち下がりエッジに同期して出力され、SC0CEフラグ="1"のときクロックの立ち上がりエッジに同期して出力されます。受信時のデータは、SC0CE="0"のときクロックの立ち上がりエッジに同期して取り込まれ、SC0CEフラグ="1"のときはクロックの立ち下がりエッジで取り込まれます。

表6-3-2 送受信データの入力エッジと出力エッジ

SC0CE	送信データ出力エッジ	受信データ入力エッジ
0		
1		

■BUSYフラグの動作

送受信シフトレジスタSC0TRBにデータをセットするか、もしくはスタートコンディションが認識されると、BUSYフラグがセットされます。通信終了割込み3(IRQ3)の発生によりクリアされます。

■データ入力端子の設定

3線式(クロック端子(SBT端子)、データ出力端子(SBO端子)、データ入力端子(SBI端子))で通信するモードと2線式(クロック端子(SBT端子)、データ入出力端子(SBO端子))で通信するモードが選択できます。SBI端子は、シリアルデータの入力にのみ使用できます。SBO端子は、シリアルデータの入力もしくは出力の選択が可能です。シリアルデータをSBI端子とSBO端子のどちらから入力するかは指定は、SC0MD1レジスタのSC0IOMフラグにより選択できます。"SBO端子からデータ入力"を選択した場合は2線式の通信となるので、送信と受信の切換は、P23DIRレジスタのP2DIR2フラグによりSBO端子の方向制御をすることで行います。このとき、SBI端子は使用しないので汎用ポートとして使用できます。



転送速度は、最大2.5 MHzとしてください。転送クロックが2.5 MHz以上の場合、送信データが正常に送出できない場合があります。

■通信の強制リセット機能

本シリアルインターフェースは、異常動作に備えて強制リセット機能を内蔵しています。強制リセットは、SC0MD1レジスタのSC0SBOSフラグとSC0SBISフラグを共に"0" (SBO端子機能：ポート、入力データ："1"入力) に設定することで行えます。強制リセットした場合、SC0MD0レジスタのBUSYフラグはクリアされますが、その他制御レジスタの設定値は保持されます。

■転送データの最終ビット

送信時の最終ビットのデータ出力保持期間、および受信時の最終ビットの必要最小データ入力期間は以下の通りです。最終ビットのデータ出力保持期間以降は、"H"が出力されます。

表6-3-3 転送データの最終ビットデータ長

	送信時 最終ビットデータ保持期間	受信時 最終ビットデータ入力期間
マスタ時	1ビットデータ長	1ビットデータ長(最小)
スレーブ時	[外部クロックの1ビットデータ長 × 1/2] + [内部クロック周期 × (1/2 ~ 1)]	

■割込み3の設定

割込み制御レジスタ1(IRQC1)のIRQ3S1-0フラグを"11"に設定し、割込みソースを割込み3に設定し、EDI命令を実行して割込み3を許可してください。

■送信タイミング

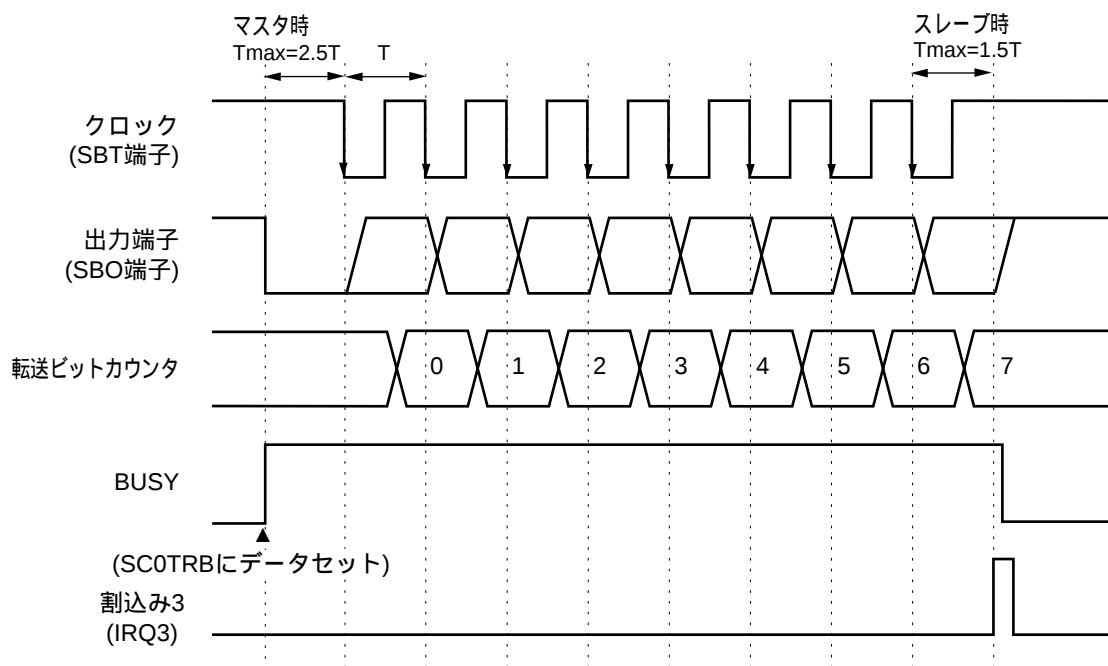


図6-3-3 送信タイミング(立ち下がりエッジ、スタートコンディションあり)

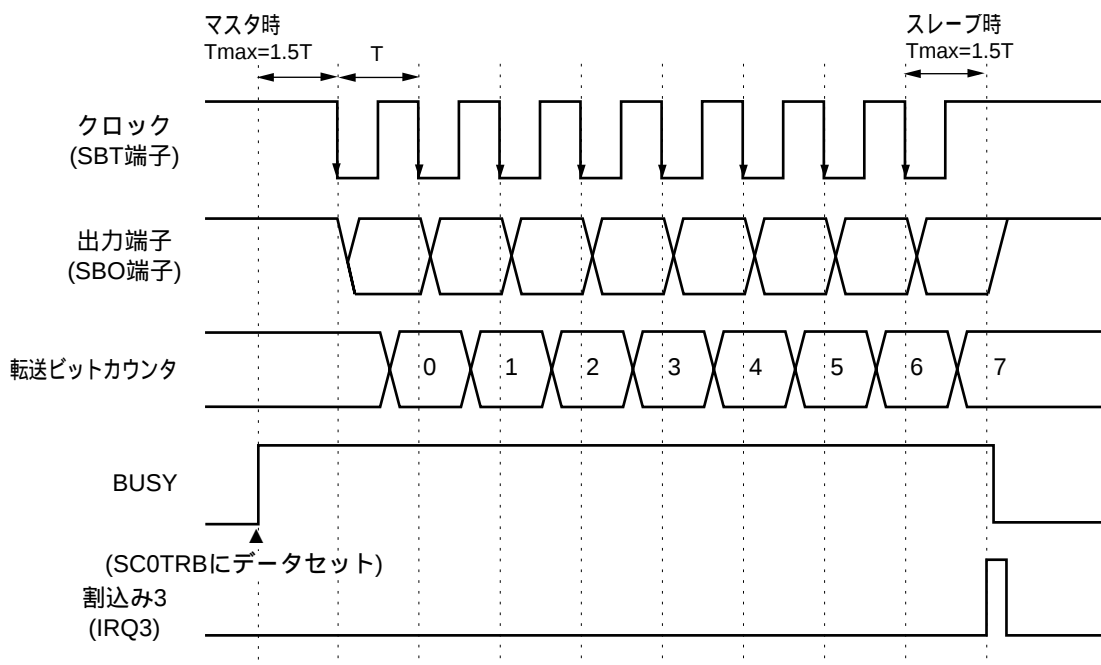


図6-3-4 送信タイミング(立ち下がりエッジ、スタートコンディションなし)

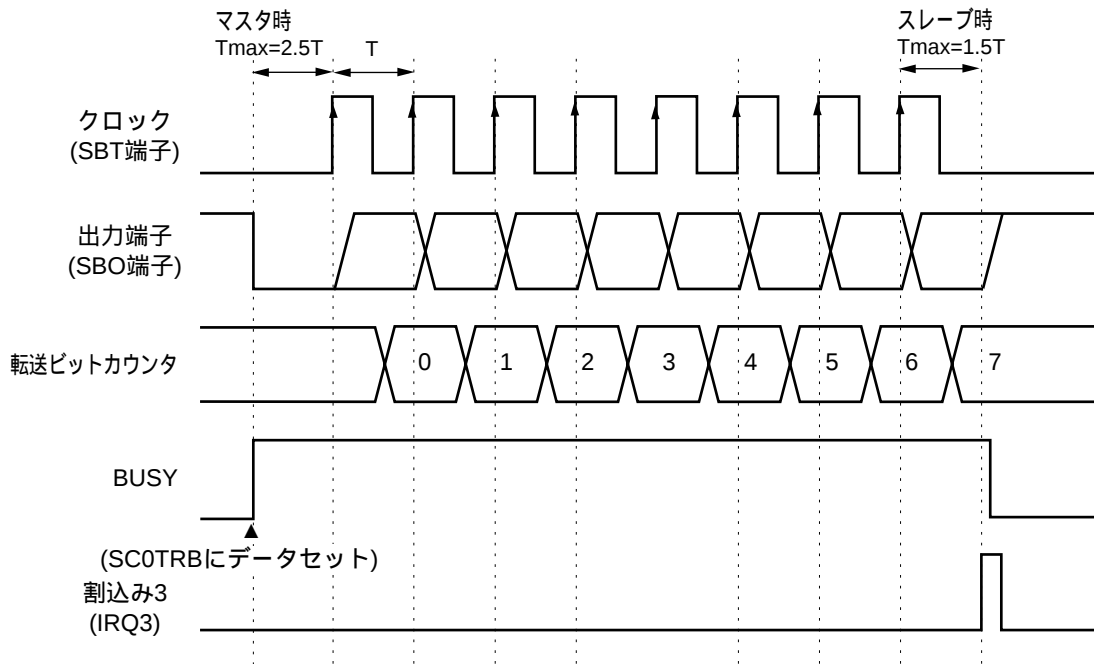


図6-3-5 送信タイミング(立ち上がりエッジ、スタートコンディションあり)

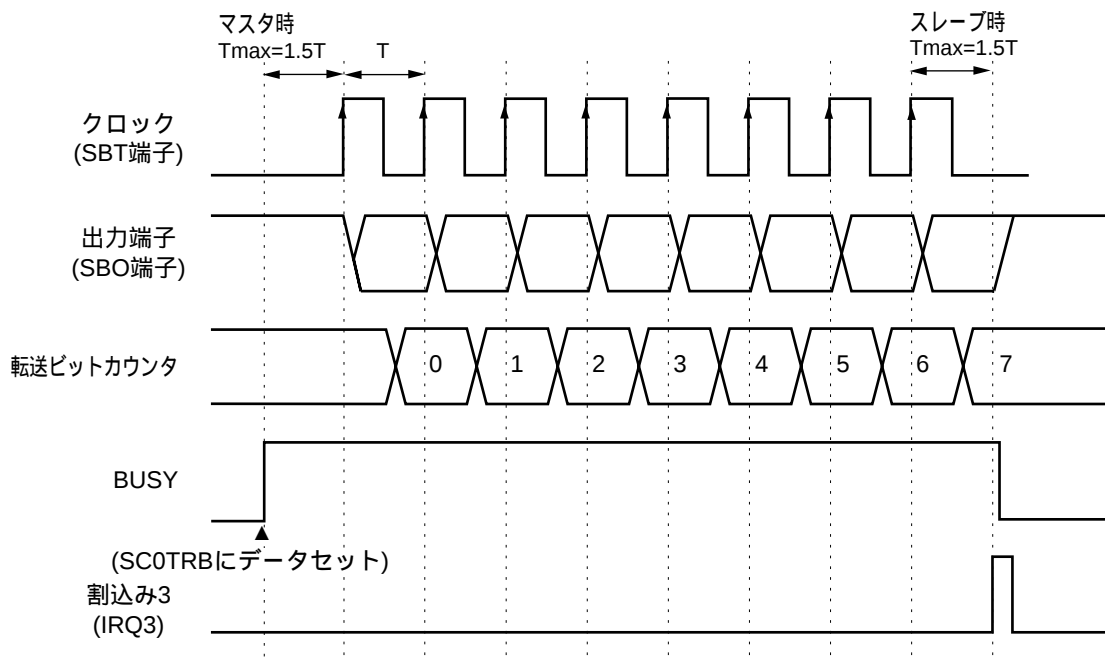


図6-3-6 送信タイミング(立ち上がりエッジ、スタートコンディションなし)

■受信タイミング

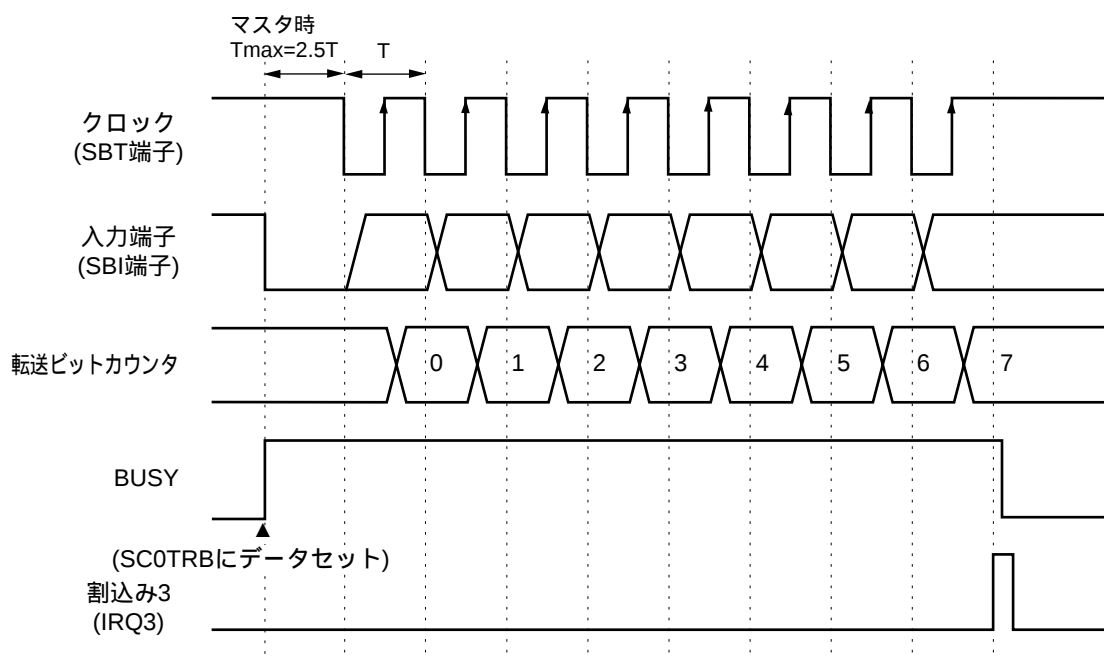


図6-3-7 受信タイミング(立ち上がりエッジ、スタートコンディションあり)

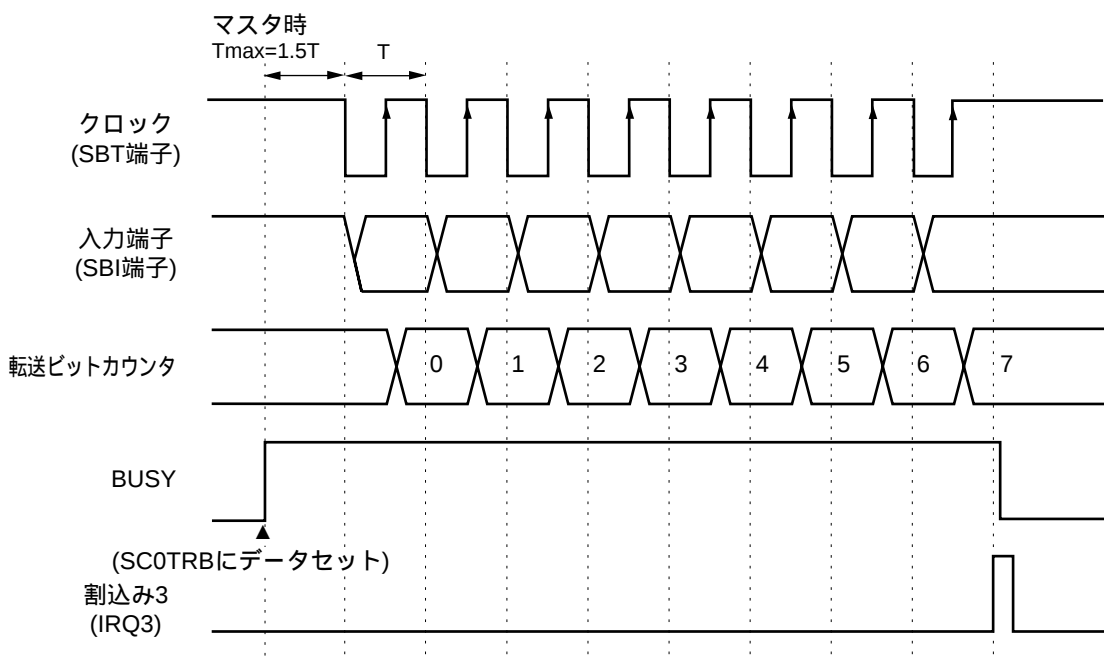


図6-3-8 受信タイミング(立ち上がりエッジ、スタートコンディションなし)

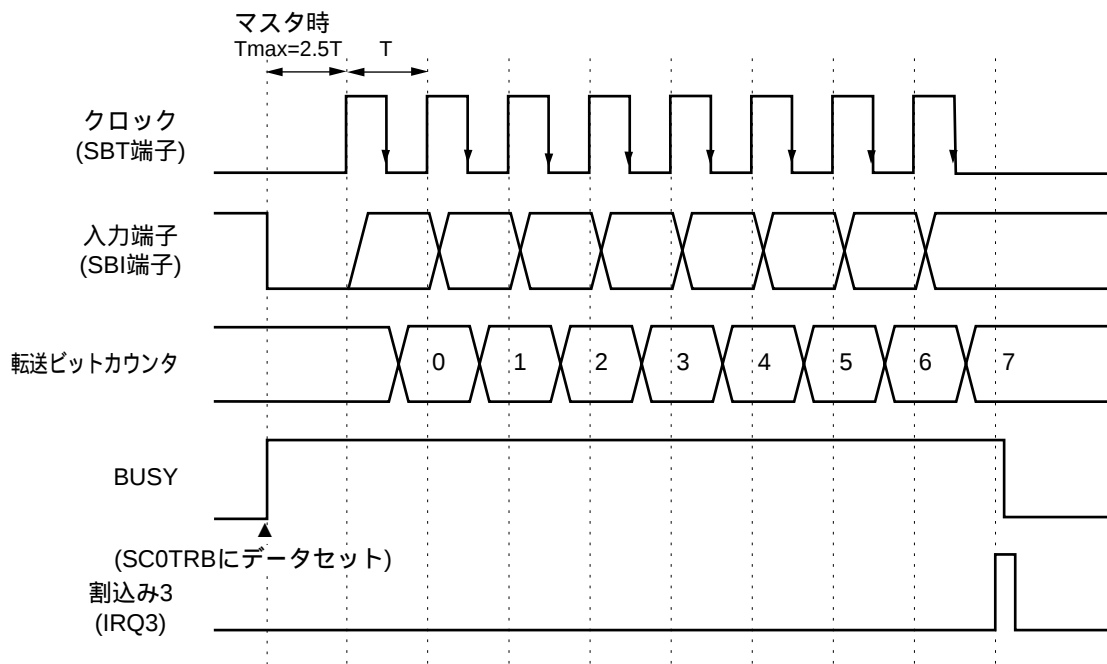


図6-3-9 受信タイミング(立ち下がりエッジ、スタートコンディションあり)

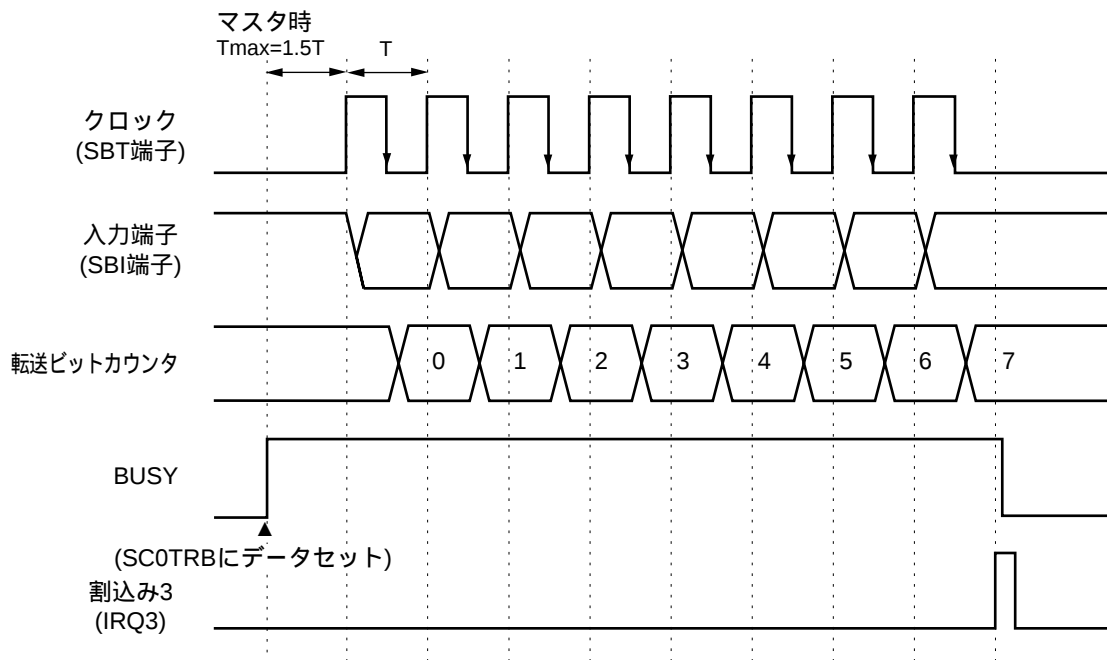


図6-3-10 受信タイミング(立ち下がりエッジ、スタートコンディションなし)

■ 送受信の同時処理

送受信を同時に行う場合の受信のタイミングは、送信データの出力エッジの逆エッジタイミングとなります。

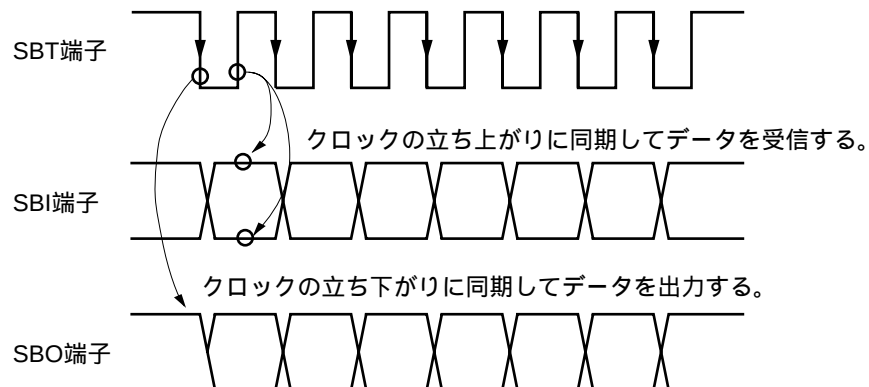


図6-3-11 送受信タイミング(受信：立ち上がりエッジ、送信：立ち下がりエッジ)

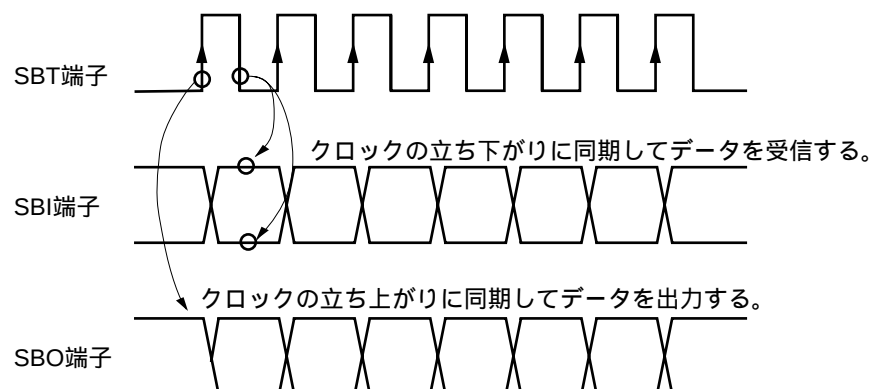


図6-3-12 送受信タイミング(受信：立ち下がりエッジ、送信：立ち上がりエッジ)

■ 端子の設定(3線式、送信時)

3線式(SBO端子、SBI端子、SBT端子)による同期式シリアルインタフェースの送信処理の各端子の設定を次表に示します。

表6-3-4 同期式シリアルインタフェース端子の設定表(3線式、送信時)

項目	データ出力端子	データ入力端子	クロック入出力端子	
	SBO端子	SBI端子	SBT端子	
			内部クロック	外部クロック
ポート端子名	P22	P21	P23	
SBI/SBO端子の 設定	SBI/SBO独立		-	
	SC0MD1(SC0IOM)			
機能設定	シリアルデータ出力	"1"入力	シリアルクロック入出力	シリアルクロック入出力
	SC0MD1(SC0SBOS)	SC0MD1(SC0SBIS)	SC0MD1(SC0SBTS)	
入出力設定	出力モード	-	出力モード	入力モード
	P23DIR(P2DIR2)		P23DIR(P2DIR3)	
プルアップ設定	付加する/しない	-	付加する/しない	付加する/しない
	P23PLU(P2PLU2)		P23PLU(P2PLU3)	

■ 端子の設定(3線式、受信時)

3線式(SBO端子、SBI端子、SBT端子)による同期式シリアルインタフェースの受信処理の各端子の設定を次表に示します。

表6-3-5 同期式シリアルインタフェース端子の設定表(3線式、受信時)

項目	データ出力端子	データ入力端子	クロック入出力端子	
	SBO端子	SBI端子	SBT端子	
			内部クロック	外部クロック
ポート端子名	P22	P21	P23	
SBI/SBO端子の設定	SBI/SBO独立		-	
	SC0MD1(SC0IOM)			
機能設定	ポート	シリアルデータ入力	シリアルクロック入出力	シリアルクロック入出力
	SC0MD1(SC0SBOS)	SC0MD1(SC0SBIS)	SC0MD1(SC0SBTS)	
入出力設定	-	入力モード	出力モード	入力モード
		P23DIR(P2DIR1)	P23DIR(P2DIR3)	
ブルアップ設定	-	-	付加する/しない	付加する/しない
			P23PLU(P2PLU3)	

■ 端子の設定(3線式、送受信時)

3線式(SBO端子、SBI端子、SBT端子)による同期式シリアルインタフェースの送受信処理の各端子の設定を次表に示します。

表6-3-6 同期式シリアルインタフェース端子の設定表(3線式、送受信時)

項目	データ出力端子	データ入力端子	クロック入出力端子	
	SBO端子	SBI端子	SBT端子	
			内部クロック	外部クロック
ポート端子名	P22	P21	P23	
SBI/SBO端子の 設定	SBI/SBO独立		-	
	SC0MD1(SC0IOM)			
機能設定	シリアルデータ出力	シリアルデータ入力	シリアルクロック入出力	シリアルクロック入出力
	SC0MD1(SC0SBOS)	SC0MD1(SC0SBIS)	SC0MD1(SC0SBTS)	
入出力設定	出力モード	入力モード	出力モード	入力モード
	P23DIR(P2DIR2)	P23DIR(P2DIR1)	P23DIR(P2DIR3)	
プルアップ設定	付加する/しない	-	付加する/しない	付加する/しない
	P23PLU(P2PLU2)		P23PLU(P2PLU3)	

■ 端子の設定(2線式、送信時)

2線式(SBO端子、SBT端子)による同期式シリアルインタフェースの送信処理の各端子の設定を次表に示します。SBI端子は使用しないので汎用ポートとして使用できます。

表6-3-7 同期式シリアルインタフェース端子の設定表(2線式、送信時)

項目	データ入出力端子	シリアル未使用端子	クロック入出力端子	
	SBO端子	SBI端子	SBT端子	
			内部クロック	外部クロック
ポート端子名	P22	P21	P23	
SBI/SBO端子の設定	SBI/SBO接続		-	
	SC0MD1(SC0IOM)			
機能設定	シリアルデータ出力	"1"入力	シリアルクロック入出力	シリアルクロック入出力
	SC0MD1(SC0SBOS)	SC0MD1(SC0SBIS)	SC0MD1(SC0SBTS)	
入出力設定	出力モード	-	出力モード	入力モード
	P23DIR(P2DIR2)		P23DIR(P2DIR3)	
プルアップ設定	付加する/しない	-	付加する/しない	付加する/しない
	P23PLU(P2PLU2)		P23PLU(P2PLU3)	

■ 端子の設定(2線式、受信時)

2線式(SBO端子、SBT端子)による同期式シリアルインタフェースの受信処理の各端子の設定を次表に示します。SBI端子は使用しないので汎用ポートとして使用できます。

表6-3-8 同期式シリアルインタフェース端子の設定表(2線式、受信時)

項目	データ入出力端子	シリアル未使用端子	クロック入出力端子	
	SBO端子	SBI端子	SBT端子	
			内部クロック	外部クロック
ポート端子名	P22	P21	P23	
SBI/SBO端子の 設定	SBI/SBO接続		-	
	SC0MD1(SC0IOM)			
機能設定	ポート	シリアルデータ入力	シリアルクロック入出力	シリアルクロック入出力
	SC0MD1(SC0SBOS)	SC0MD1(SC0SBIS)	SC0MD1(SC0SBTS)	
入出力設定	入力モード	-	出力モード	入力モード
	P23DIR(P2DIR2)		P23DIR(P2DIR3)	
プルアップ設定	-	-	付加する/しない	付加する/しない
			P23PLU(P2PLU3)	

6-3-2 同期式シリアルインタフェースの設定例

■ 送受信処理の設定例

シリアルを用いて送受信処理の設定例を示します。処理の条件を次表に示します。

表6-3-9 同期式シリアルインタフェース送受信処理の条件例

設 定 項 目	設 定 内 容	設 定 項 目	設 定 内 容
SBI/SBO端子の設定	独立 (3線式)	クロック	内部クロック
転送ビット数	8ビット	クロックソース	fsys/2
スタートコンディション	有り	割込み3	発生させる
転送先頭ビット	MSB	-	-
入力エッジ	立ち下がり	-	-
出力エッジ	立ち上がり	-	-

以下に、設定手順とその内容を示します。

設定手順	内容
(1) クロックソースの選択 SC0MD0(X'060') bp5 :SC0CK=1	(1) SC0MD0レジスタのSC0CKフラグを"1"にして、クロックソースをfsys/2に選択します。
(2) 端子の方向制御 P23DIR(X'012') bp3-1 :P2DIR3-1=110	(2) P2端子の方向制御レジスタ(P23DIR)のP2DIR3-1フラグを"110"にして、P22とP23を出力モードに、P21を入力モードに設定します。
(3) 転送ビット数の選択 SC0MD0(X'060') bp2-0 :SC0LNG2-0=111	(3) シリアルモードレジスタ0(SC0MD0)のSC0LNG2-0フラグを"111"にして、転送ビット数を8ビットに選択します。
(4) スタートコンディションの選択 SC0MD0(X'060') bp3 :SC0STE=1	(4) SC0MD0レジスタのSC0STEフラグを"1"にして、スタートコンディション有を選択します。
(5) 転送先頭ビット選択 SC0MD0(X'060') bp4 :SC0DIR=0	(5) SC0MD0レジスタのSC0DIRフラグを"0"にして、転送ビットの先頭をMSBに設定します。
(6) 転送エッジ選択 SC0MD0(X'060') bp6 :SC0CE=1	(6) SC0MD0レジスタのSC0CEフラグを"1"にして、送信データ出力エッジを " 立ち上がり " に、受信データ入力エッジを " 立ち下がり " に設定します。
(7) 転送クロックの選択 SC0MD1(X'062') bp2 :SC0MST=1	(7) SC0MD1レジスタのSC0MSTフラグを"1"にして、クロックマスタを選択します。
(8) 端子機能制御 SC0MD1(X'062') bp4 :SC0SBOS=1 bp5 :SC0SBIS=1 bp6 :SC0SBTS=1 bp7 :SC0IOM=0	(8) SC0MD1レジスタのSC0SBOS、SC0SBIS、SC0SBTSフラグを"1"にして、SBO端子をシリアルデータ出力に、SBI端子をシリアルデータ入力に、SBT端子をシリアルクロック入出力に設定します。SC0IOMフラグを"0"にして、SBI端子からシリアルデータ入力に設定します。

設定手順	内容
(9) 割込みソースの設定 IRQC1(X'036') bp1-0 :IRQ3S1-0=11	(9) 割込み制御レジスタ1(IRQC1)のIRQ3S1-0フラグを"11"に設定して、割込みソースを割込み3(IRQ3)に設定します。
(10) 割込みの許可	(10) EDI命令を実行して、割込み3を許可します。 【  第4章 4-1-1 割込み制御】
(11) シリアル送信開始 送信データ→SC0TRB(X'064')	(11) シリアル送受信シフトレジスタ(SC0TRB)に送信データを設定します。内部クロックが発生し、送信及び受信が開始されます。通信が終了すると、割込み3(IRQ3)が発生します。



送信のみを行う場合は、SC0MD1レジスタのSC0SBISを"0"に設定して入力するデータを"1"固定とします。SBI端子は汎用ポートとして使用できます。



受信のみを行う場合は、SC0MD1レジスタのSC0SBOSを"0"に設定してポートを選択してください。SBO端子は汎用ポートとして使用できます。



SBO/SBI端子連結し2線式で通信する場合は、SBO端子からシリアルデータを入出力します。入出力の切り換えはポートの方向制御レジスタP23DIRで行います。



本シリアルは、通信の強制リセット機能を備えています。通信を強制的に中断したい場合は、SC0MD1レジスタのSC0SBOSとSC0SBISを"0"に設定することで行えます。



各フラグの設定は、設定手順に記載の順番で行ってください。通信の起動は、全ての制御レジスタ(表6-2-1：SC0TRBは除く)の設定が終了した後に行ってください。

第 7 章 LCD表示機能

7-1 LCD表示機能の概要

7-1-1 LCD表示機能の概要

本LSIは、最大30SEG × 4COMのLCD（液晶）を駆動できる表示制御回路を内蔵しています。

LCD駆動回路は、セグメント出力ラッチ、LCDコントロールレジスタ、タイミングコントロール回路、セグメントドライバ、コモンドライバ、LCD電圧コントロール回路、LCD分割抵抗から構成されています。

表7-1-1 表示可能な最大画素数

デューティ	最大画素 (セグメント×コモン)	コモン端子	セグメント出力ラッチ 使用ビット
スタティック	30(30 × 1)	COM0	bit0
1/2	60(30 × 2)	COM0 ~ COM1	bit0 ~ bit1
1/3	90(30 × 3)	COM0 ~ COM2	bit0 ~ bit2
1/4	120(30 × 4)	COM0 ~ COM3	bit0 ~ bit3

■表示モード選択

スタティック

1/2デューティ、1/2バイアス

1/3デューティ、1/3バイアス

1/4デューティ、1/3バイアス

■LCD駆動端子

セグメント出力 最大30本(SEG0 ~ SEG29)

SEG0 ~ SEG15は4本単位で入出力ポートに、SEG22 ~ SEG29は1本単位でアナログ入力に切替可能です。

コモン出力 4本(COM0 ~ COM3)



リセット時、SEG0 ~ SEG15は入出力ポート、SEG22 ~ SEG29はアナログ入力です。

■LCD駆動クロック

ソースクロックがメインクロック(fosc)の場合 : $1/2^{13}$ 、 $1/2^{14}$ 、 $1/2^{15}$ 、 $1/2^{16}$



STOP1～3、HALT3、SLOWモードでは、メインクロック(fosc)は停止しますのでLCD駆動はできません。

ソースクロックがサブクロック(fxi)の場合 : $1/2^6$ 、 $1/2^7$ 、 $1/2^8$ 、 $1/2^9$



NORMAL2、SLOW2、STOP2、STOP3モードでは、サブクロック(fxi)は停止しますのでLCD駆動はできません。



STOP1モードでも、LCD駆動は可能ですがデータの変更はできません。

■LCD電源

LCD電源はV_{LC1}、V_{LC2}、V_{LC3}の各端子から供給します。

また、分割抵抗を内蔵しており、ソフトウェアによる接続/切断の切替が可能です。

7-1-2 LCD表示制御回路ブロック図

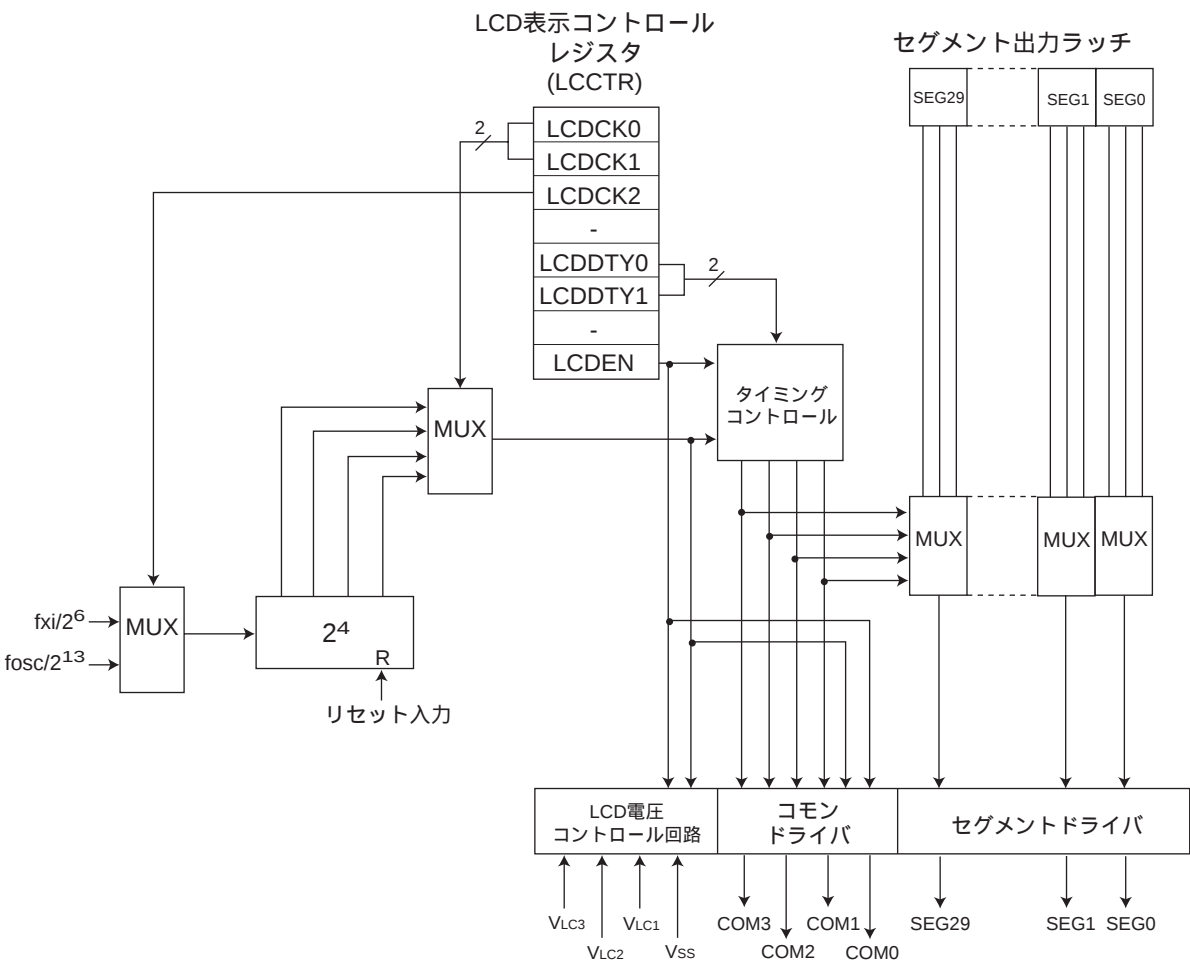


図7-1-1 LCD表示制御回路ブロック図

7-1-3 LCD表示バッファ

LCD表示データの格納エリアとして、4ビット（1ニブル）の表示バッファ#0～#29の計30個（120ビット）が、特殊レジスタ空間上に配置されています。

データとして'1'を書き込むと対応する位置のLCDが点灯し、'0'を書き込むと消灯します。

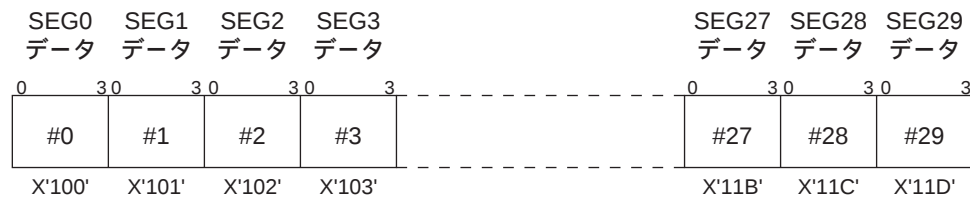


図7-1-2 LCD表示バッファ



リセット時、各LCD表示バッファの値は不定です。



LCD表示バッファの読み出しはできません。

7-1-4 LCD用電源

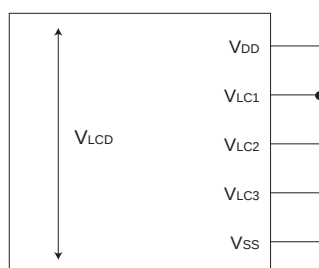
LCD用電源 $V_{LCD1} \sim 3$ は以下のように与えます。具体的なLCDの定格値(V_{LCD})は、使用するLCDパネルにより異なりますので、LCDパネルの仕様書を参照してください。

表7-1-2 LCD用電源

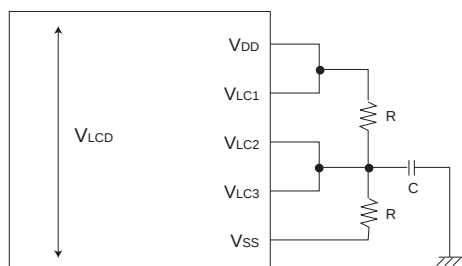
	スタティック	1/2バイアス	1/3バイアス
V_{LC1}	V_{LCD}	V_{LCD}	V_{LCD}
V_{LC2}	V_{LCD}	$1/2V_{LCD}$	$2/3V_{LCD}$
V_{LC3}	V_{SS}	$1/2V_{LCD}$	$1/3V_{LCD}$

■ 分割抵抗を外づけで使用する場合

(a)スタティック ($V_{DD}=V_{LCD}$ の例)

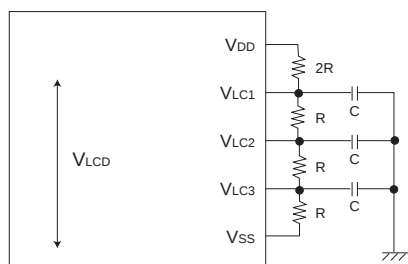


(b)1/2デューティ、1/2バイアス ($V_{DD}=V_{LCD}$ の例)

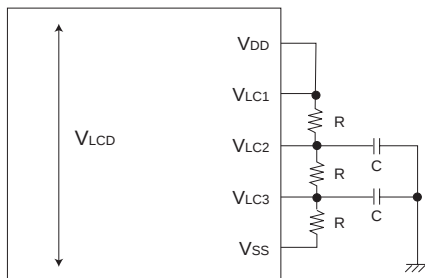


(c)1/3デューティ、1/3バイアス

1/4デューティ、1/3バイアス ($V_{DD}=5\text{ V}$, $V_{LCD}=3\text{ V}$ の例)



(d) 1/3デューティ、1/3バイアス
 1/4デューティ、1/3バイアス ($V_{DD}=V_{LCD}$ の例)



抵抗値としては通常、数10 k Ω から数100 k Ω 程度のものを使用します。

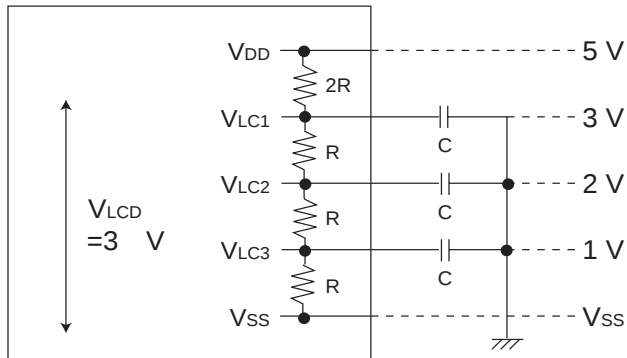


Cは、電源インピーダンスを下げるバイパスコンデンサで0.01 μ F ~ 0.1 μ F程度のものを使用します。

■ 内蔵分割抵抗を使用する場合

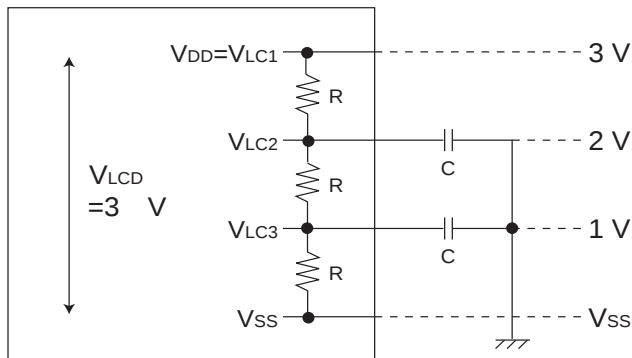
(e) 1/3デューティ、1/3バイアス

1/4デューティ、1/3バイアス ($V_{DD}=5\text{ V}$, $V_{LCD}=3\text{ V}$ の例)



(f) 1/3デューティ、1/3バイアス

1/4デューティ、1/3バイアス ($V_{DD}=V_{LCD}$ の例)



Cは、電源インピーダンスを下げるバイパスコンデンサで $0.01\text{ }\mu\text{F} \sim 0.1\text{ }\mu\text{F}$ 程度のものを使用します。



内蔵分割抵抗は、VLCCNTレジスタで設定してください。

7-2 LCD表示制御レジスタ

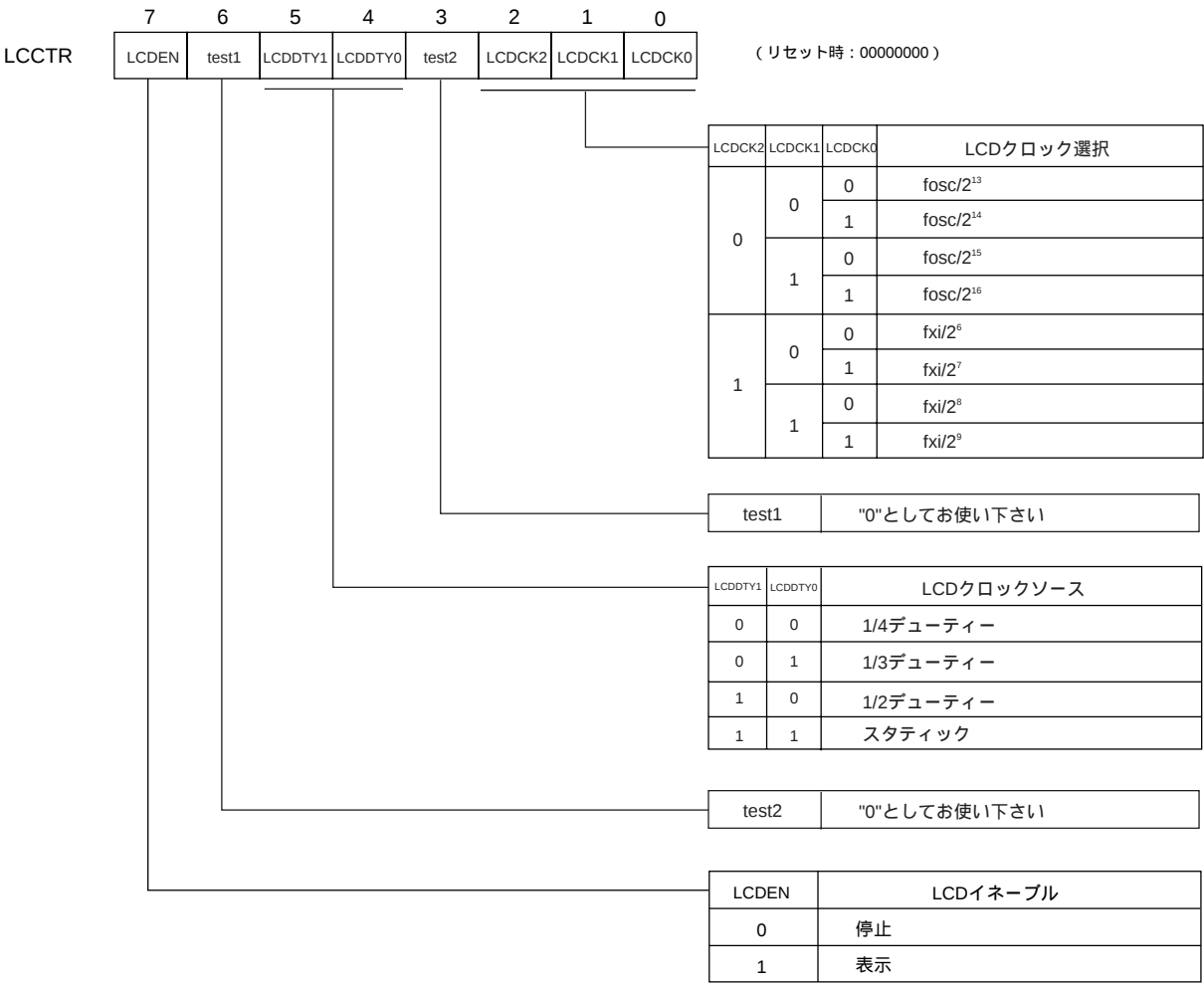
7-2-1 LCD表示制御レジスタ一覧

表7-2-1 LCD表示制御レジスタ一覧

レジスタ略称	アドレス	R/W	レジスタ名称
LCCTR	X'078'	R/W	LCD表示コントロールレジスタ
VLCCNT	X'07A'	R/W	LCD分割抵抗制御レジスタ
LCMD0	X'07C'	R/W	LCDポート切換えレジスタ0
LCMD1	X'07E'	R/W	LCDポート切換えレジスタ1

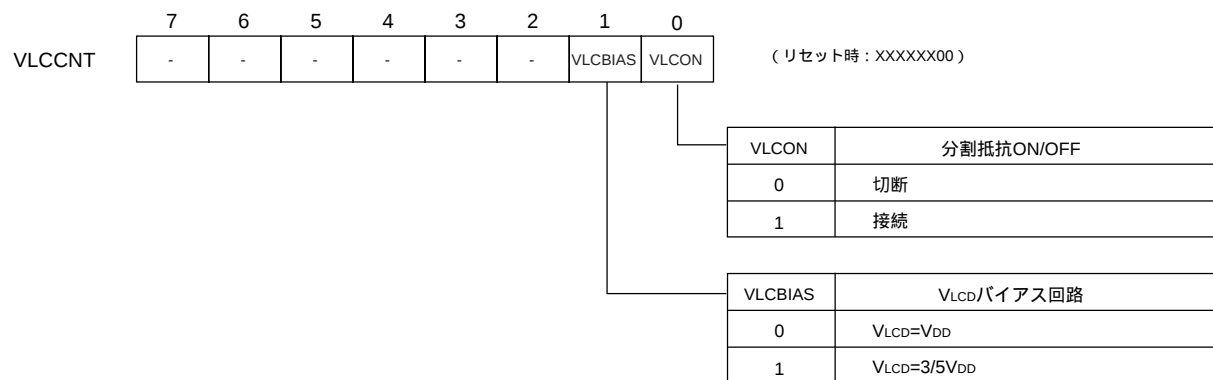
R/W：読み出し/書き込み共に可能です。

7-2-2 LCD表示制御レジスタ



LCD表示コントロールレジスタ(LCCTR : X'078' , R/W)

図7-2-1 LCD表示制御レジスタ(1/4)



LCD分割抵抗制御レジスタ(VLCCNT: X'07A', R/W)

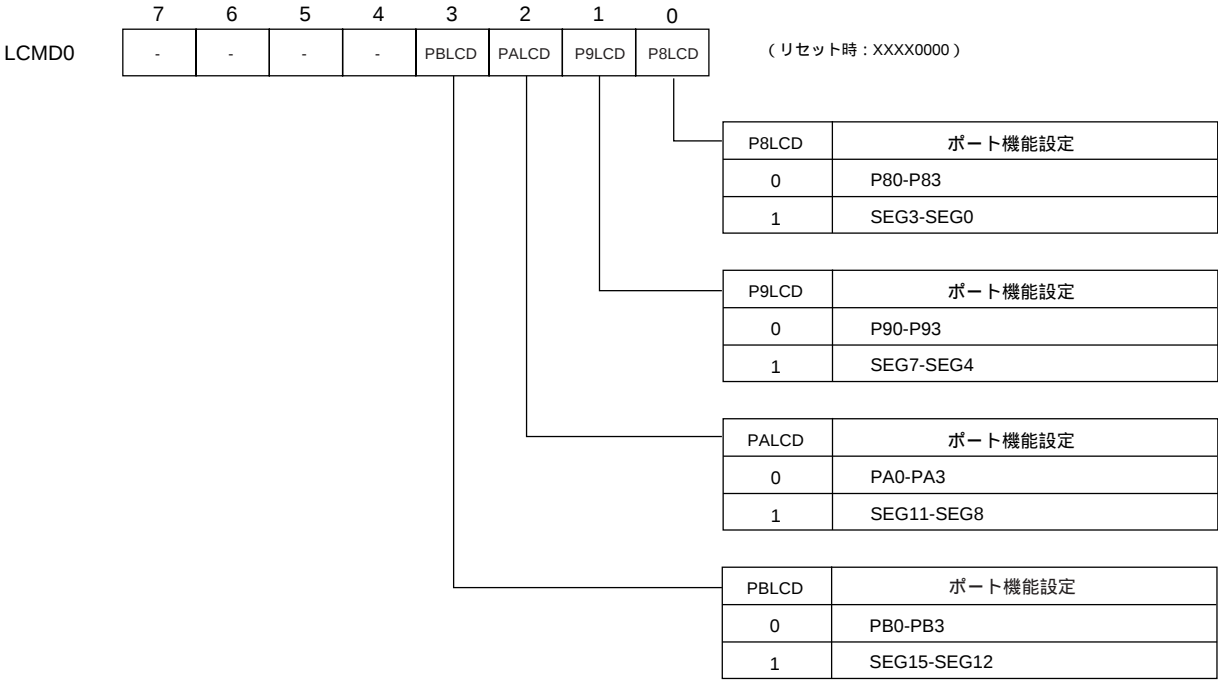
図7-2-2 LCD表示制御レジスタ(2/4)

VLCON=1のとき、V_{LC1}、V_{LC2}、V_{LC3}、V_{SS}間に内蔵分割抵抗が各端子間に挿入されます。
スタティックもしくは1/2デューティでお使いの際は、外部で必要端子間をショートしてお使いください。

VLCON=0のとき、内蔵分割抵抗は切断されますので、外づけで分割抵抗を接続してお使いください。

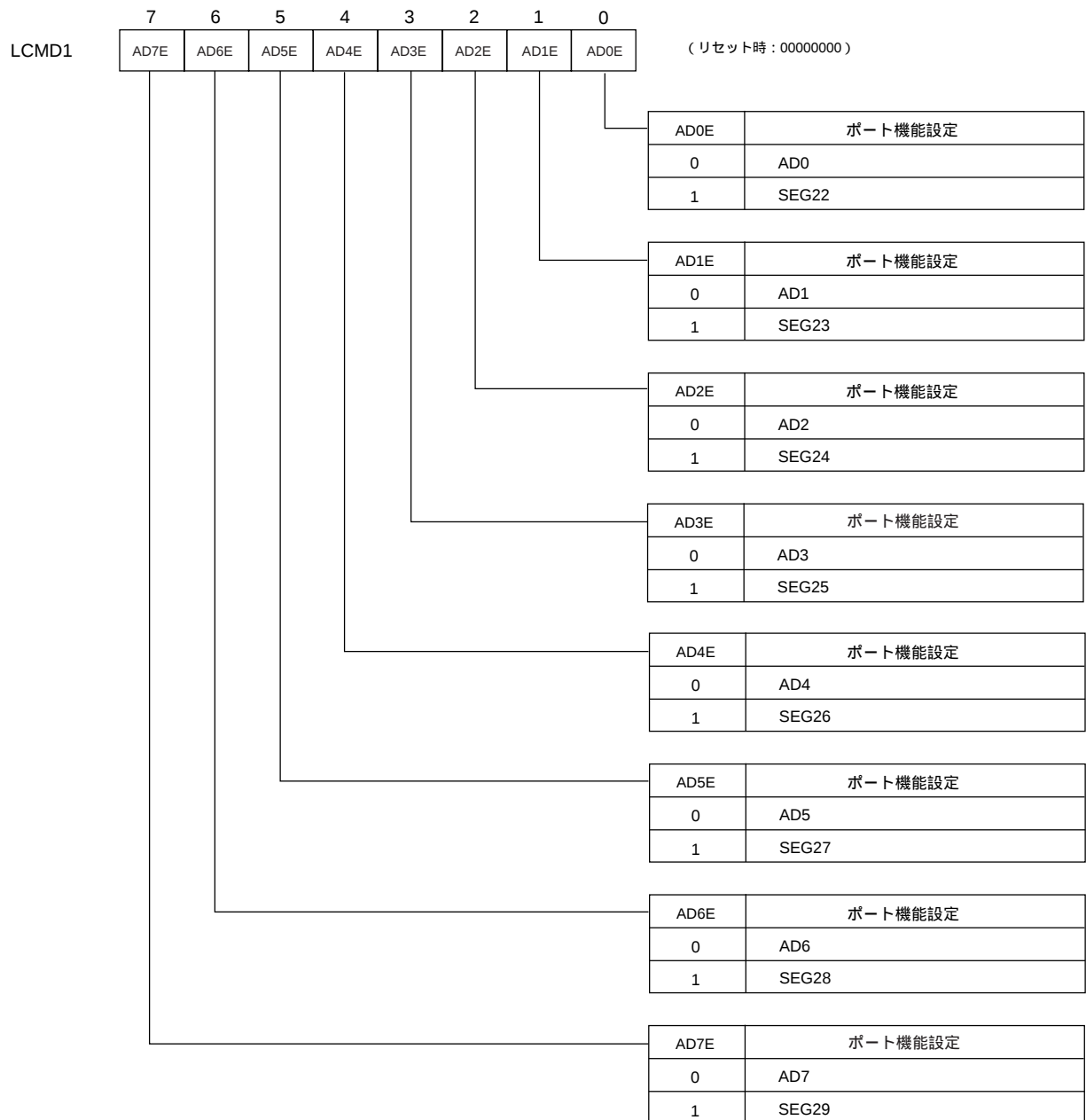
VLCBIASは、V_{DD}=5 V時に3 Vの液晶パネルを使用する際にお使いください。

V_{DD}-V_{LC1}間に2R (V_{LC1}、V_{LC2}、V_{LC3}、V_{SS}間はそれぞれR) の分割抵抗が挿入され、V_{DD}=5 V時にV_{LCD}を3 Vにします。



LCDポート切換えレジスタ0(LCMD0 : X'07C' , R/W)

図7-2-3 LCD表示制御レジスタ(3/4)

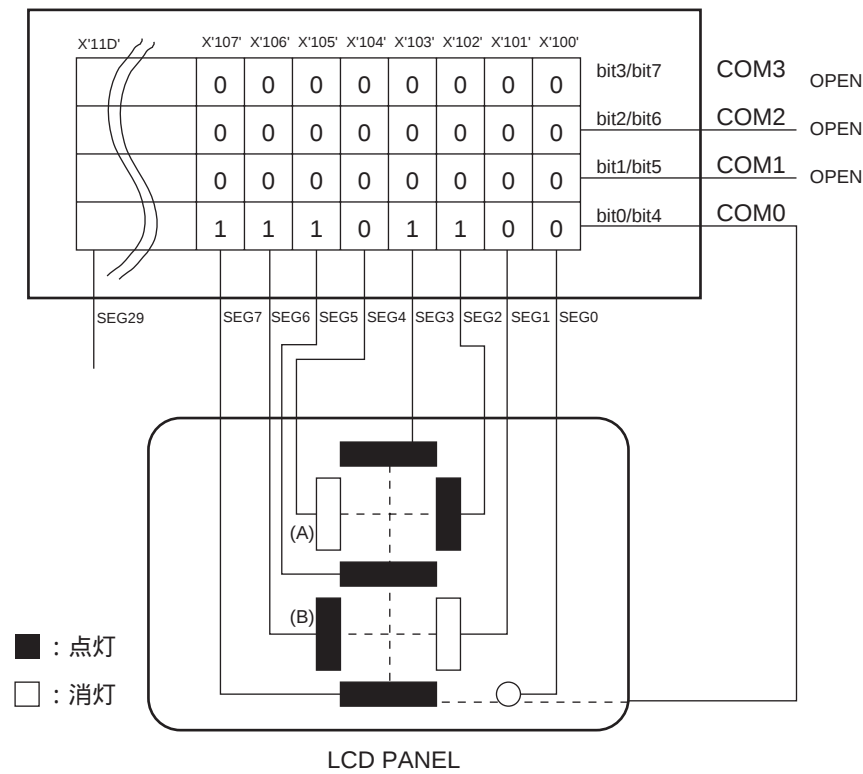


LCDポート切換えレジスタ1(LCMD1 : X'07E' , R/W)

図7-2-4 LCD表示制御レジスタ(4/4)

7-3 LCD表示例

7-3-1 スタティック表示例



	LCD ON		LCD OFF
	COM=S SEG=S	COM=S SEG=N	
LCDクロック			不定
データ	'1'	'0'	不定
COM			
SEG			
COM - SEG			
	点灯	消灯	消灯

図7-3-1 スタティック表示例

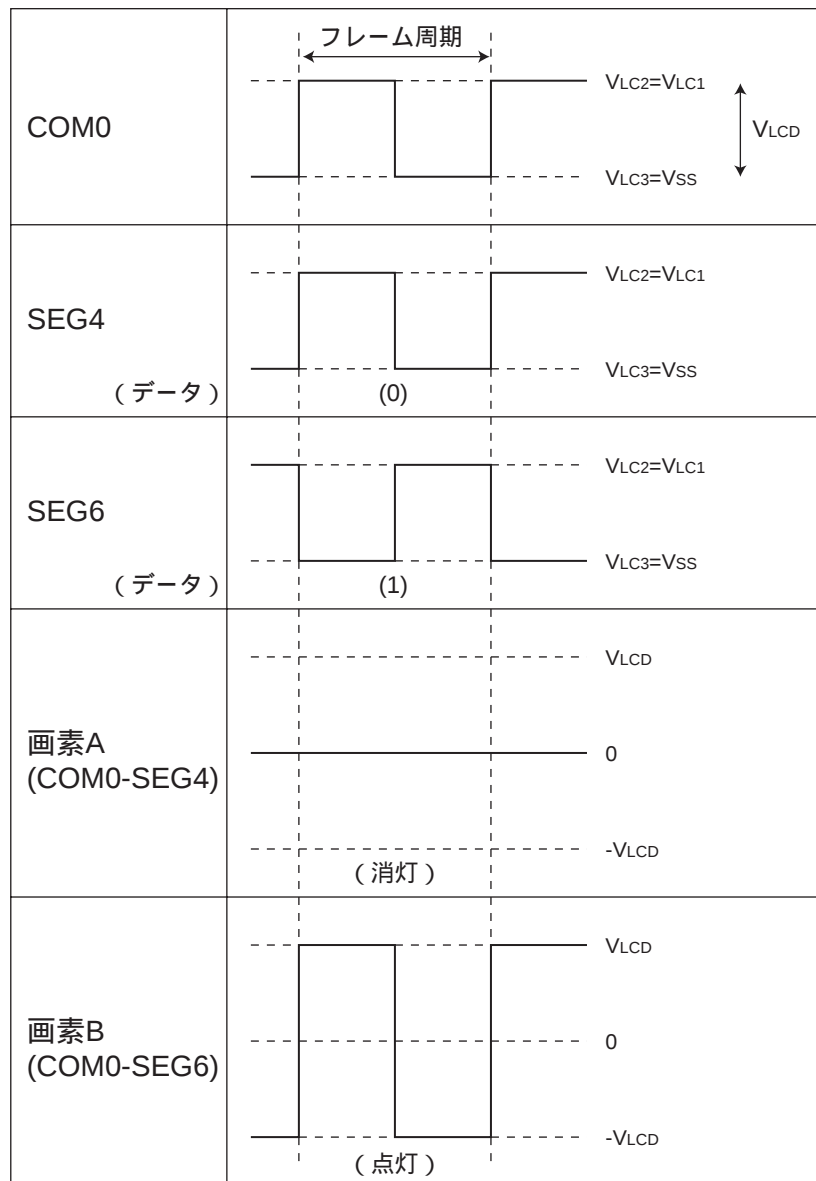
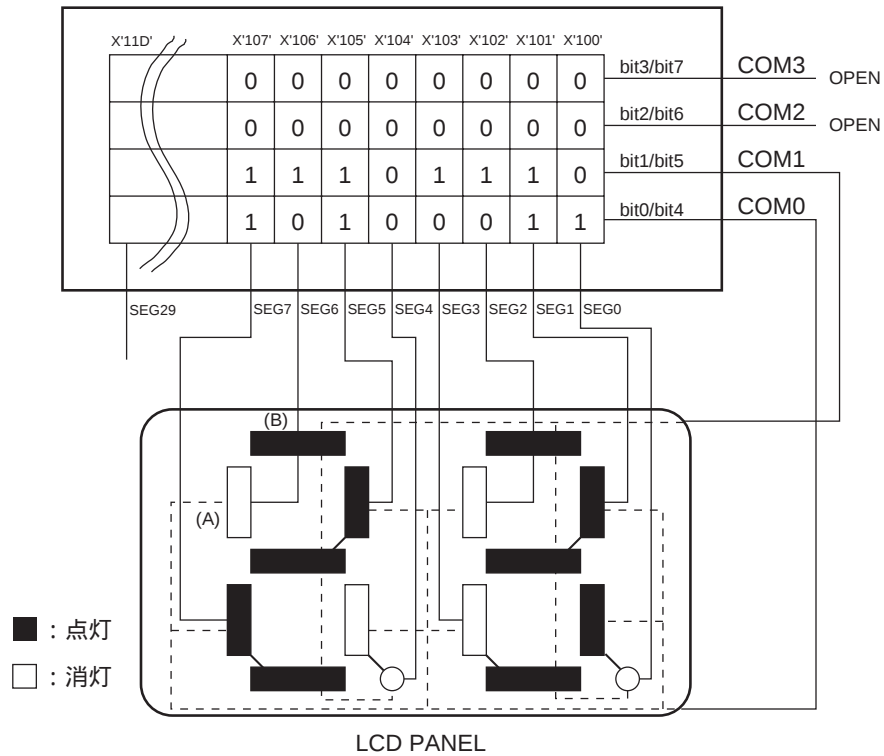


図7-3-2 スタティック駆動波形例

7-3-2 1/2デューティ表示例



	LCD ON				LCD OFF
	COM=S SEG=S	COM=N SEG=S	COM=S SEG=N	COM=N SEG=N	
LCDクロック					不定
データ	'1'		'0'		不定
COM	V_{LC1} $V_{LC2}=V_{LC3}$ V_{SS}				
SEG	V_{LC1} $V_{LC2}=V_{LC3}$ V_{SS}				
COM - SEG	V_{LCD} 0 $-V_{LCD}$				
	点灯	消灯	消灯	消灯	消灯

図7-3-3 1/2デューティ表示例

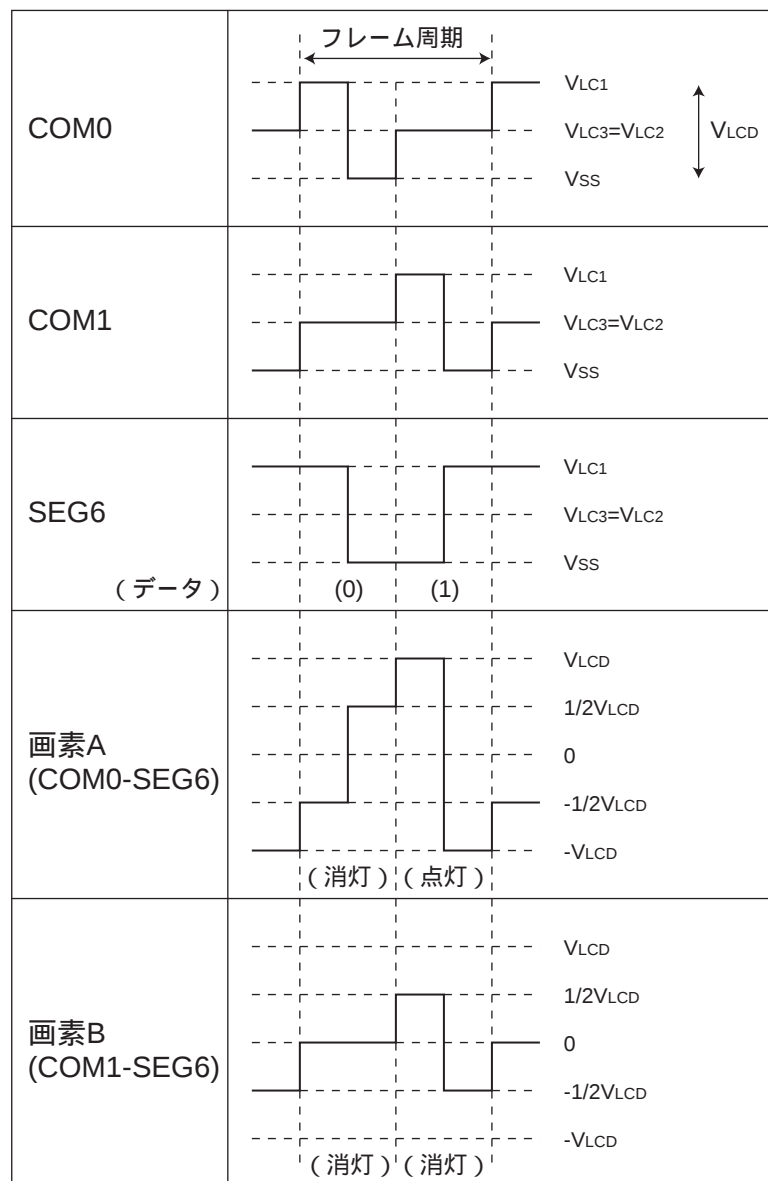
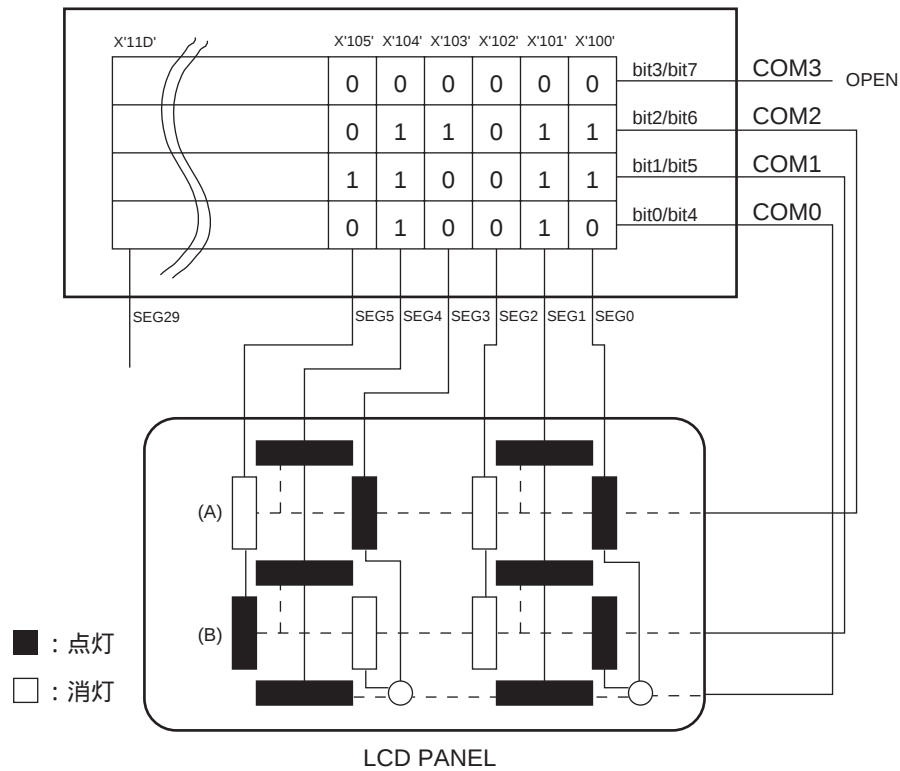


図7-3-4 1/2デューティ、1/2バイアスの駆動波形例

7-3-3 1/3デューティ表示例



		LCD ON				LCD OFF
		COM=S SEG=S	COM=N SEG=S	COM=S SEG=N	COM=N SEG=N	
LCDクロック						不定
データ		'1'		'0'		不定
COM	V _{LC1}					
	V _{LC2}					
	V _{LC3}					
	V _{SS}					
SEG	V _{LC1}					
	V _{LC2}					
	V _{LC3}					
	V _{SS}					
COM - SEG	V _{LCD}					
	0					
	-V _{LCD}					
		点灯	消灯	消灯	消灯	消灯

図7-3-5 1/3デューティ表示例

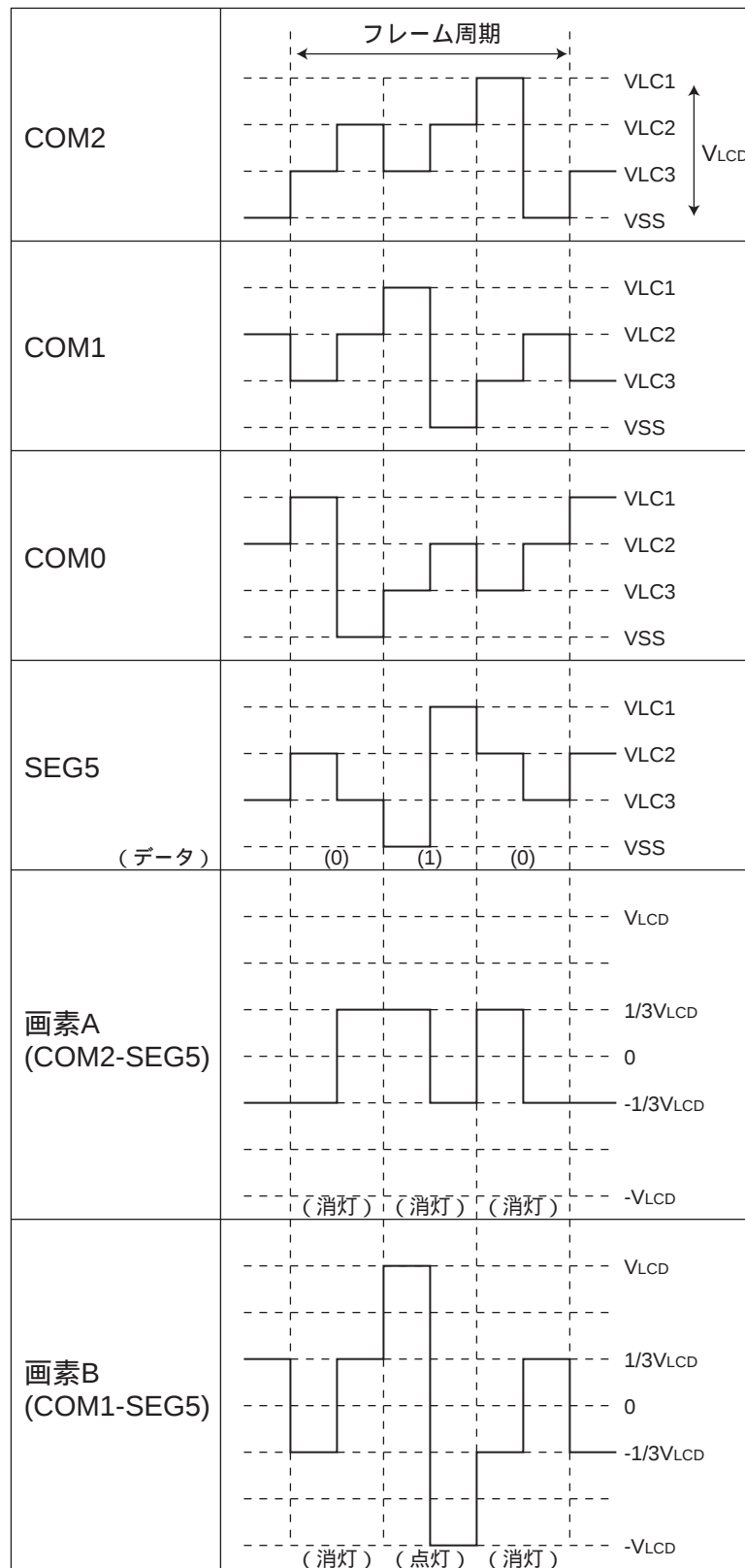
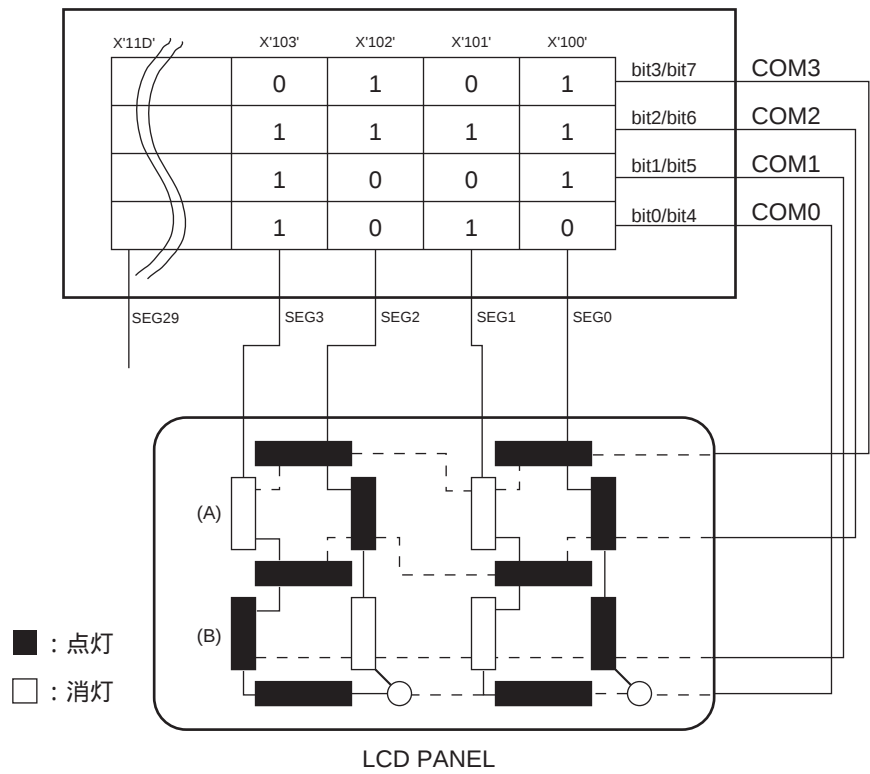


図7-3-6 1/3デューティ、1/3バイアスの駆動波形例

7-3-4 1/4デューティ表示例



		LCD ON				LCD OFF
		COM=S SEG=S	COM=N SEG=S	COM=S SEG=N	COM=N SEG=N	
LCDクロック						不定
データ		'1'		'0'		不定
COM	VLC1					
	VLC2					
	VLC3					
	VSS					
SEG	VLC1					
	VLC2					
	VLC3					
	VSS					
COM - SEG	VLCD					
	0					
	-VLCD					
		点灯	消灯	消灯	消灯	消灯

図7-3-7 1/4デューティ表示例

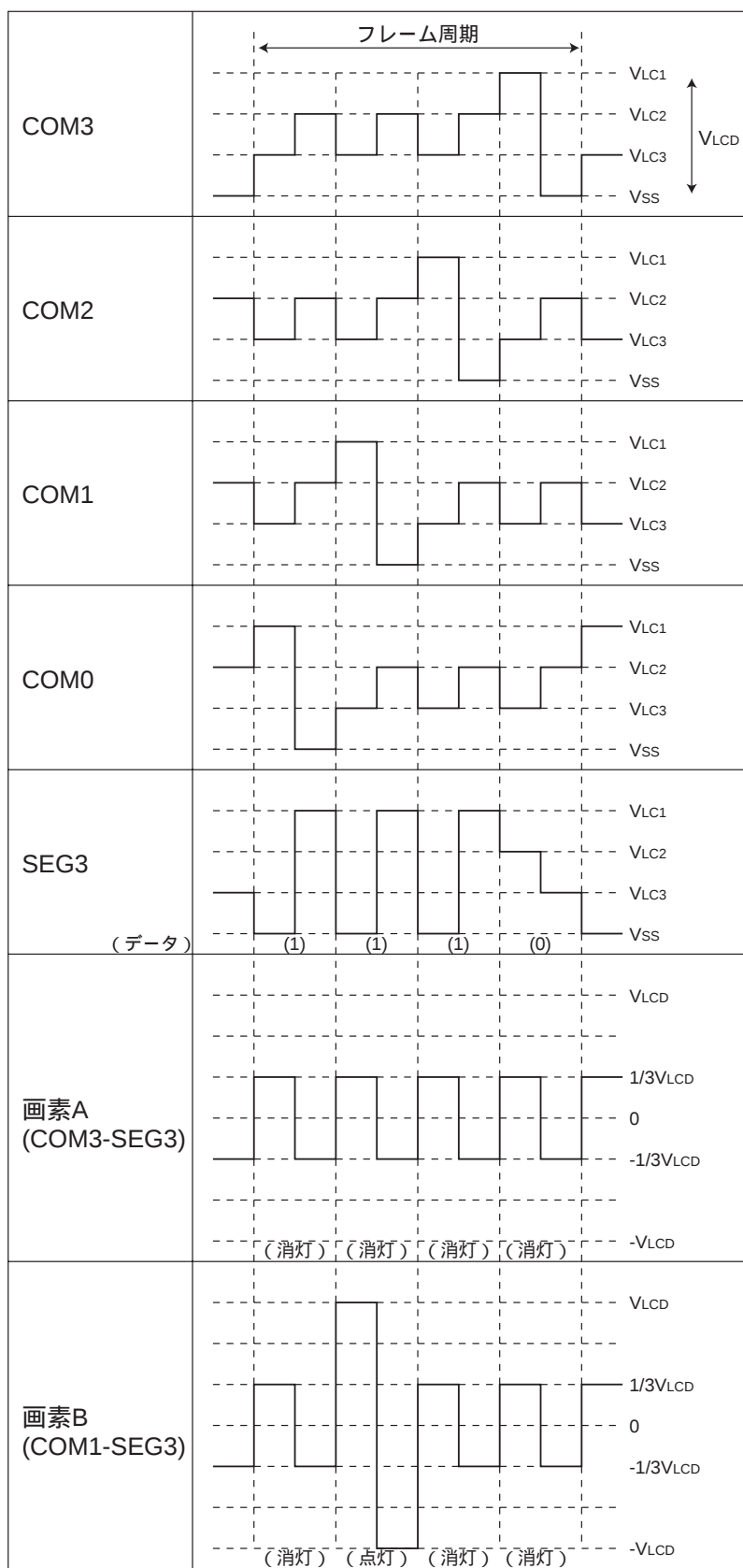


図7-3-8 1/4デューティ、1/3バイアスの駆動波形例

8-1 A/D変換機能の概要

本LSIは、10ビットの分解能を持つ1組のA/D変換回路を内蔵しています。
サンプルホールド回路を内蔵し、アナログ入力チャンネル0～7(AD0～AD7)をソフトウェアで切換え可能です。
A/D変換停止時には、内蔵ラダー抵抗をOFFにして消費電力を少なくすることも可能です。

8-1-1 A/D変換機能の一覧

A/D変換機能の一覧を次表に示します。

表8-1-1 A/D変換機能の一覧

A/D入力端子数	8本
端子名	AD7端子～AD0端子
分解能	10ビット
変換時間（最小）	12.0 μ s(f_{OSC} =4 MHz 4分周)
入力レンジ	VSS～VREF+
低消費電力機能	内蔵ラダー抵抗ON/OFF可能

8-1-2 A/D変換機能ブロック図

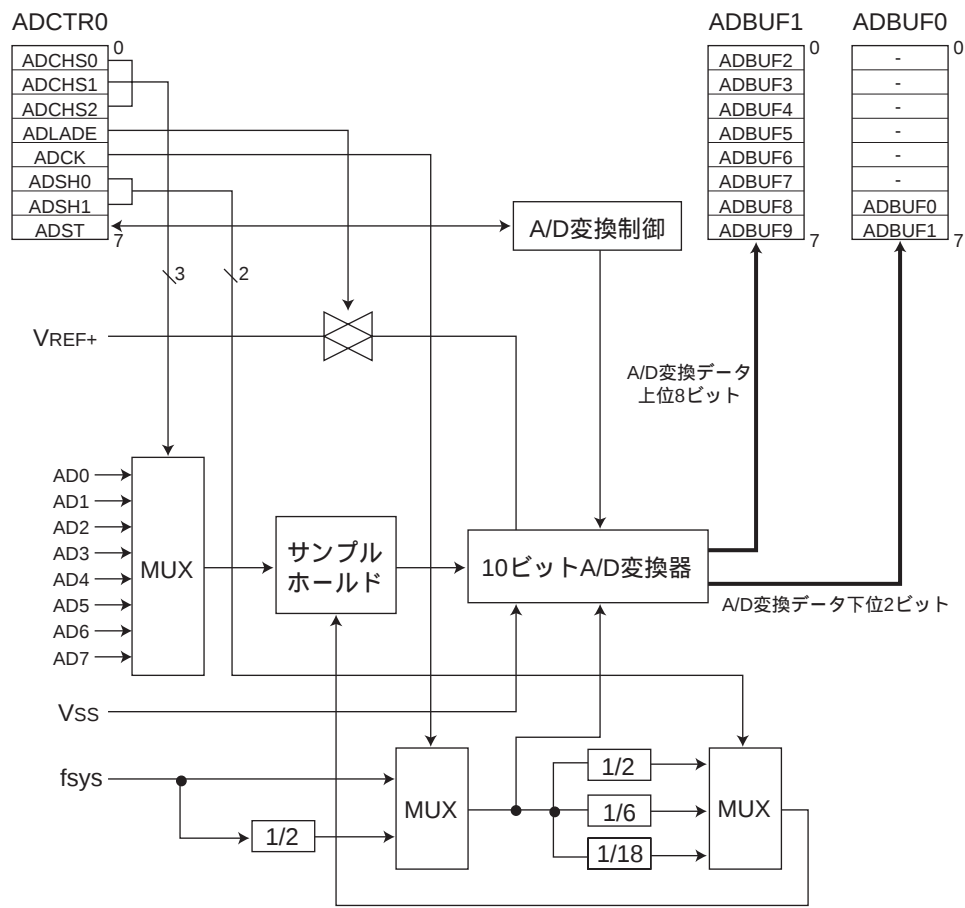


図8-1-1 A/D変換機能ブロック図

8-2 A/D変換制御レジスタ

8-2-1 A/D変換制御レジスタ一覧

レジスタ略称	アドレス	R/W	レジスタ名称	参照ページ
ADBUF0	X'070'	R	A/D変換データ格納バッファ0	VIII - 6
ADBUF1	X'072'	R	A/D変換データ格納バッファ1	VIII - 6
ADCTR0	X'074'	R/W	A/D制御レジスタ	VIII - 5
LCMD1	X'07E'	R/W	LCDポート切換えレジスタ1	VII - 13

表8-2-1 A/D変換制御レジスタ一覧

8-2-2 A/D変換制御レジスタ

■ A/D制御レジスタ(ADCTR0)

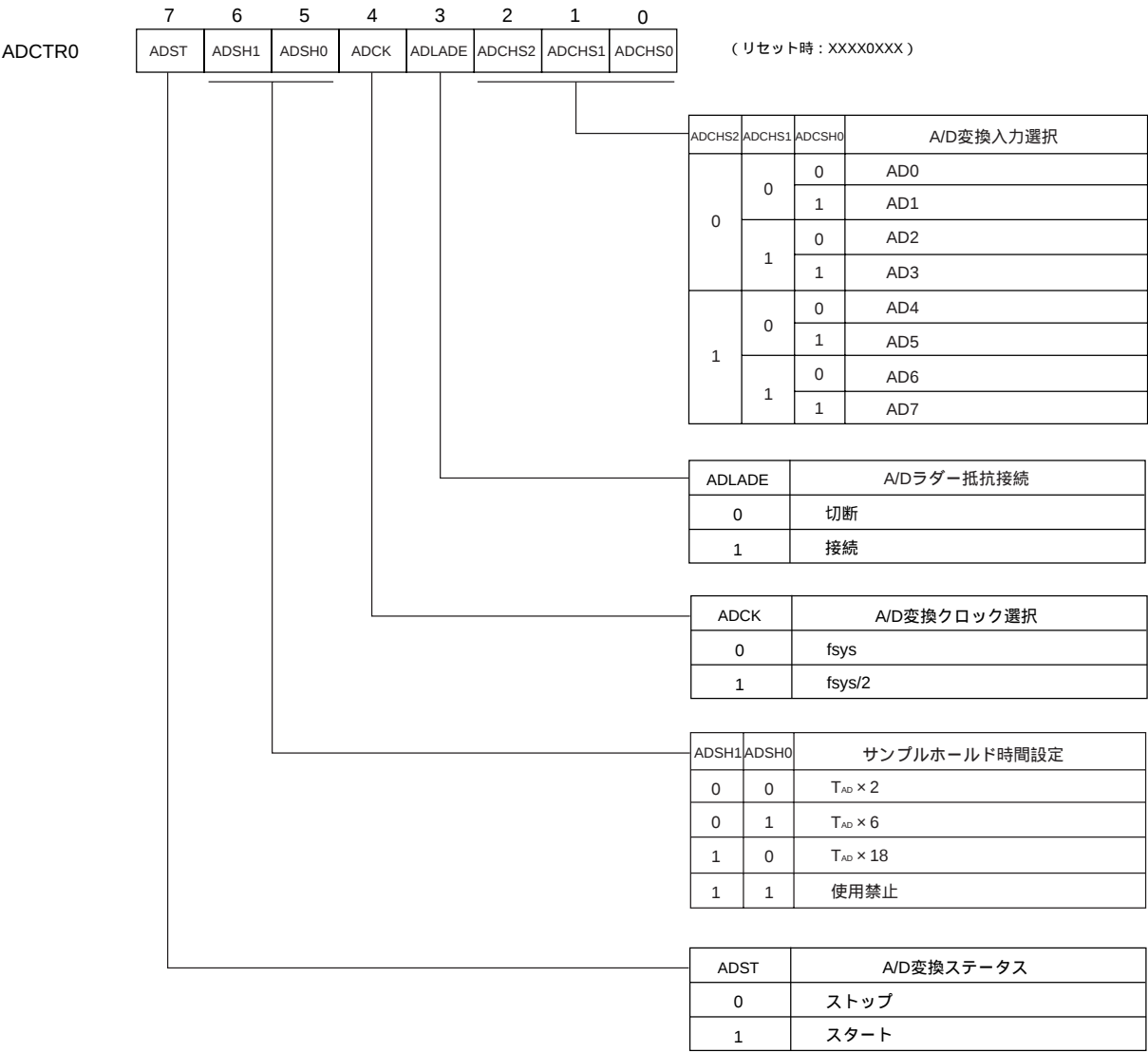


図8-2-1 A/D制御レジスタ(ADCTR0 : X'074' , R/W)

8-2-3 A/Dバッファ

■ A/D変換データ格納バッファ0(ADBUF0)
A/D変換データの下位2ビットが格納されるレジスタです。

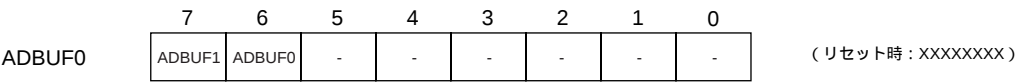


図8-2-2 A/D変換データ格納バッファ0(ADBUF0 : X'070' , R)

■ A/D変換データ格納バッファ1(ADBUF1)
A/D変換データの上位8ビットが格納されるレジスタです。

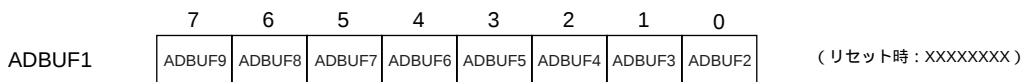


図8-2-3 A/D変換データ格納バッファ1(ADBUF1 : X'072' , R)

8-3 A/D変換動作

A/D変換回路の操作手順とその内容を以下に示します。

(1) アナログ電圧印加端子の設定

ポート設定レジスタ(LCMD1)で、アナログ電圧が入力される端子を設定します。

ポート設定レジスタ(LCMD1)の設定は、端子にアナログ電圧を印加する前に設定してください。

(2) A/D変換入力端子設定

A/D制御レジスタ(ADCTR0)のADCHS2 ~ ADCHS0フラグにより、アナログ入力端子AD7 ~ AD0を選択します。

(3) A/D変換クロック選択

A/D制御レジスタ(ADCTR0)のADCKフラグにより、A/D変換クロックを選択します。

使用する発振子により、変換クロック(TAD)が800 ns以下にならないように設定してください。

(4) サンプルホールド時間設定

A/D制御レジスタ(ADCTR0)のADSH1、ADSH0フラグにより、サンプルホールド時間を設定します。サンプルホールド時間は、アナログ入力インピーダンスにより、適切な値を選択してください。

(5) A/Dラダー抵抗の設定

A/D制御レジスタ(ADCTR0)のADLADEフラグを"1"に設定してラダー抵抗に電流を流し、A/D変換の待機状態にします。



(2) ~ (5)の操作は順不同で、同時に行っても構いません。

(6) A/D変換スタート

A/D制御レジスタ(ADCTR0)のADSTフラグを"1"にセットして、A/D変換を開始します。

(7) A/D変換

A/D変換は、(4)で設定したサンプルホールド時間でサンプリングした後、MSBより順次比較決定されます。

(8) A/D変換終了

A/D変換が完了するとADSTフラグは"0"にクリアされ、変換結果はA/Dバッファ(ADBUF0,1)に格納されます。

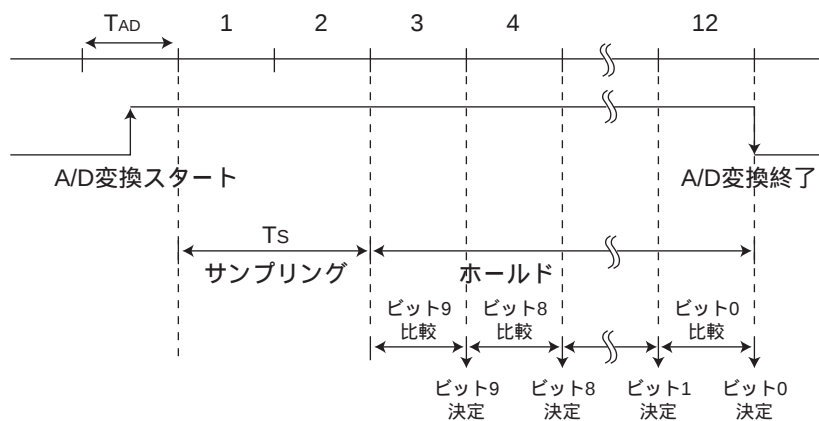


図8-3-1 A/D変換のタイミング($T_s = T_{AD} \times 2$)



A/D変換値を読み取る場合は、複数回A/D変換を行い、プログラム上でレベルの一致を確認するか、平均値を求めてノイズ対策を行ってください。



基準電圧 V_{REF+} は、 V_{DD} 以下でも使用できますが、 V_{REF+} は1.8 V以上確保してください。

8-3-1 A/D変換機能の設定

■ A/D変換の入力端子の設定

A/D変換を行う入力端子は、ADCTR0レジスタのADCHS2～0フラグで選択します。

表8-3-1 A/D変換の入力端子の設定

ADCHS2	ADCHS1	ADCHS0	A/D端子
0	0	0	AD0端子
		1	AD1端子
	1	0	AD2端子
		1	AD3端子
1	0	0	AD4端子
		1	AD5端子
	1	0	AD6端子
		1	AD7端子

■ A/D変換のクロックの設定

A/D変換クロックは、ADCTR0レジスタのADCKフラグで設定します。A/D変換クロック(T_{AD})が1 μ s未満にならないように設定してください。マシクロック(f_{osc}, f_{xi})とA/D変換クロック(T_{AD})の対応を次表に示します。(f_{sys}=f_{osc}/4, f_{xi}/4として算出)

表8-3-2 A/D変換クロックとA/D変換周期

ADCK	A/D変換クロック	A/D変換周期 (T_{AD})		
		高速動作発振動作時		低速動作発振動作時
		f _{osc} =4 MHz時 (4分周)	f _{osc} =8 MHz時 (4分周)	f _{xi} =32.768 kHz時 (4分周)
0	f _{sys}	1.00 μ s	500.00 ns (設定不可)	122.07 μ s
1	f _{sys} /2	2.00 μ s	1.00 μ s	244.14 μ s

システムクロック(f_{sys})については、第2章2-4.クロック切換機能を参照して下さい。

■ A/D変換のサンプリング時間(Ts)の設定

A/D変換のサンプリング時間は、ADCTR0レジスタのADSH1～0フラグで設定します。A/D変換のサンプリング時間は、外部回路により変化しますのでアナログ入力インピーダンスにより適切な値を設定するようにしてください。

表8-3-3 A/D変換のサンプリング時間とA/D変換時間

ADSH1	ADSH0	サンプリング時間 (Ts)	A/D変換時間			
			TAD=1.00 μ s時	TAD=2.00 μ s時	TAD=122.07 μ s時	TAD=244.14 μ s時
0	0	TAD $\times$ 2	12.00 μ s	24.00 μ s	1.46 ms	2.93 ms
	1	TAD $\times$ 6	16.00 μ s	32.00 μ s	1.95 ms	3.91 ms
1	0	TAD $\times$ 18	28.00 μ s	56.00 μ s	3.42 ms	6.84 ms
	1	使用禁止	—	—	—	—

■ 内蔵ラダー抵抗の制御

ADCTR0レジスタのADLADEフラグを"1"に設定することによりラダー抵抗に電流を流しA/D変換の待機状態にします。A/D変換停止時には、ADCTR0レジスタのADLADEフラグを"0"に設定することにより消費電力を少なくすることが可能です。

表8-3-4 A/Dラダー抵抗の制御

ADLADE	A/Dラダー抵抗制御
0	A/Dラダー抵抗OFF (A/D変換停止)
1	A/Dラダー抵抗ON (A/D変換待機)

■ A/D変換スタート設定

A/D変換スタートは、ADCTR0レジスタのADSTフラグで設定します。ADCTR0レジスタのADSTフラグを"1"に設定することにより、A/D変換を開始します。ADCTR0レジスタのADSTフラグは、A/D変換中は"1"に設定され、A/D変換終了と同時に"0"にクリアされます。

表8-3-5 A/D変換スタート

ANST	A/D変換スタート要因
0	A/D変換終了、A/D変換停止
1	A/D変換開始、A/D変換中

8-3-2 A/D変換動作の設定例

■ レジスタの設定によるA/D変換動作の設定例

レジスタの設定によりA/D変換動作を開始します。アナログ入力端子はAD0、変換クロックはfsys/2、サンプルホールド時間は $T_{AD} \times 6$ に設定します。

以下に、設定手順とその内容を示します。

設定手順	内容
(1) アナログ入力端子設定 LCMD1(X'07E') bp0 :AD0E = 0	(1) LCDポート切換えレジスタ1(LCMD1)により (2)で設定するSEG22/AD0端子をアナログ入力端子に設定します。
(2) アナログ入力端子選択 ADCTR0(X'074') bp2-0 :ADCHS2-0 = 000	(2) A/D制御レジスタ(ADCTR0)のADCHS2-0フラグにより、アナログ入力端子をAD0に選択します。
(3) A/D変換クロック選択 ADCTR0(X'074') bp4 :ADCK = 1	(3) A/D制御レジスタ(ADCTR0)のADCKフラグによりA/D変換クロックをfsys/2に選択します。
(4) サンプルホールド時間設定 ADCTR0(X'074') bp6-5 :ADSH1-0 = 01	(4) A/D制御レジスタ(ADCTR0)のADSH1, ADSH0フラグによりサンプルホールド時間を $T_{AD} \times 6$ に設定します。
(5) A/Dラダー抵抗設定 ADCTR0(X'074') bp3 :ADLADE = 1	(5) A/D制御レジスタ(ADCTR0)のADLADEフラグを"1"にセットしてラダー抵抗に電流を流し、A/D変換の待機状態にします。
(6) A/D変換開始 ADCTR0(X'074') bp7 :ADST = 1	(6) A/D制御レジスタ(ADCTR0)のADSTフラグに"1"をセットしA/D変換を開始します。
(7) A/D変換終了 ADBUF0(X'070') ADBUF1(X'072')	(7) A/D変換を終了すると同時に、A/D制御レジスタ(ADCTR0)のADSTフラグが"0"にクリアされます。 変換結果はA/Dバッファ(ADBUF0,1)に格納されます。

8-3-3 A/D変換の注意事項

A/D変換はノイズに影響されやすいのでノイズ対策を十分に行う必要があります。

■ ノイズ対策

A/D入力(アナログ入力端子)に対しては、コンデンサを対V_{SS}(マイコンのV_{SS}端子に近い点)に付加してください。

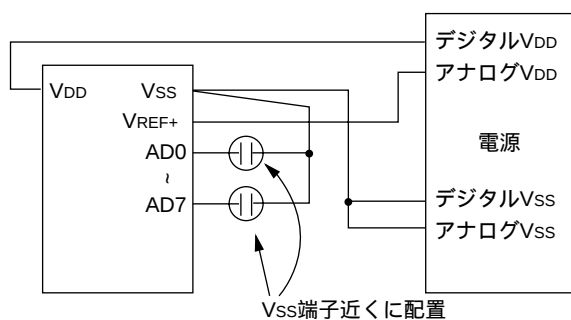


図8-3-2 A/D変換推奨例1

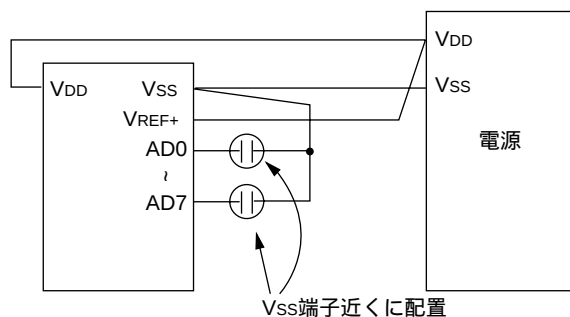
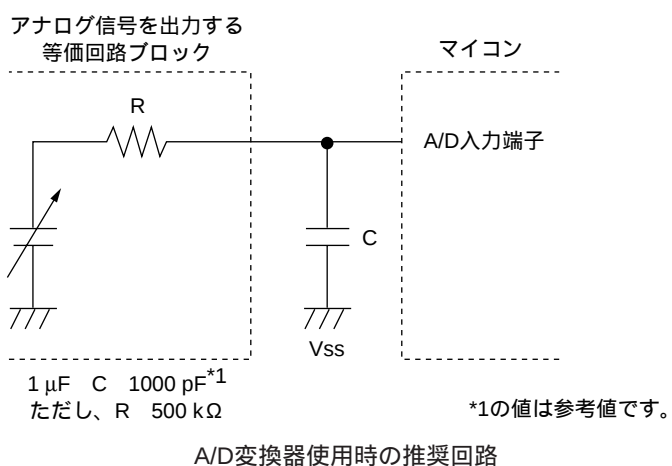


図8-3-3 A/D変換推奨例2



A/D変換精度を確保するため、A/D変換器ご使用時には以下の事項を必ず実施してください。

1. A/D入力端子の入力インピーダンス R は $500\text{ k}\Omega$ 以下^{*1}とし、かつ 1000 pF 以上、 $1\text{ }\mu\text{F}$ 以下^{*1}の外付け容量 C を接続してください。
2. A/D変換の間隔は R, C の時定数を考慮して設定してください。
3. A/D変換実行時に、マイコンの出力レベルを変化させたり、周辺付加回路をON/OFFさせると、アナログ入力端子や電流端子が変動しA/D変換の精度が確保できない場合があります。セツト評価時には、アナログ入力端子の波形を確認してください。



第 9 章 ACゼロボルト検出機能

9-1 ACゼロボルト検出機能の概要

9-1-1 ACゼロボルト検出機能の概要

本LSIは、1系統のACゼロボルト検出回路を内蔵しています。

ACZ端子は、ACゼロボルト検出回路の入力端子です。

ACゼロボルト検出回路は、入力レベルが中間レベルの時"H"レベルを発生し、それ以外の際は"L"レベル出力となります。

ACZ端子は、P30の入力回路にも接続されていますのでプログラムによる読み出しも可能です。

ACZ入力回路には、入力クランプダイオードが接続されています。

ACZの割込みは、ACゼロボルト検出出力の立ち上がりまたは立ち下がりエッジにより発生します。

割込みを使用の際は、割込み制御レジスタ0(IRQC0)で割込みソースをACZに選択し、エッジ指定を行い、EDI命令を実行して割込み1(IRQ1)を許可して下さい。

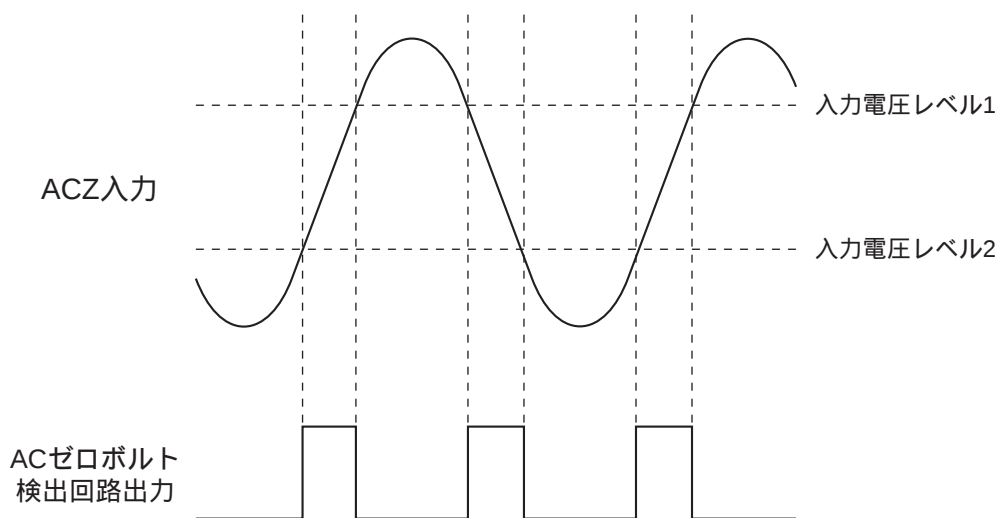


図9-1-1 ACゼロボルト検出回路タイミングチャート

9-1-2 ACゼロボルト検出回路ブロック図

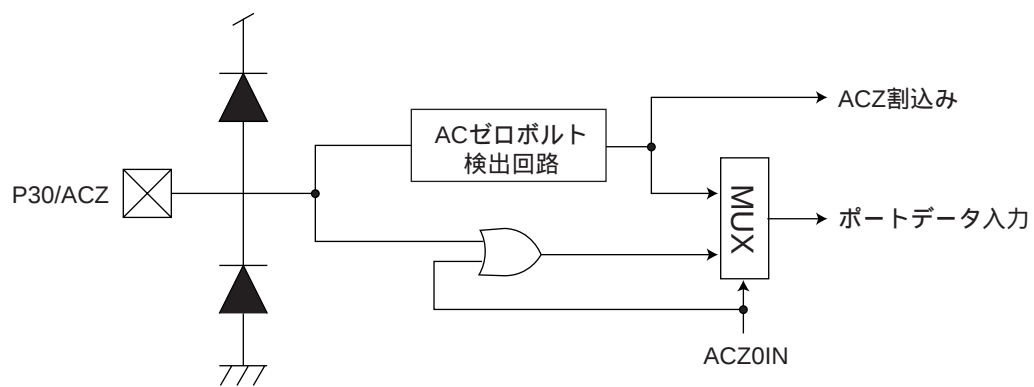


図9-1-2 ACゼロボルト検出回路ブロック図

9-1-3 ACゼロボルト検出機能の動作

ACゼロボルト検出機能の操作手順とその内容を以下に示します。

(1) 端子の方向制御

ポート3の方向制御レジスタ(P23DIR)のP3DIR0フラグを"0"にして、P30を入力モードに設定します。

(2) P30の入力データの切替

ACZ制御レジスタ(ACZCNT)のACZ0INフラグにより、ACZ入力を選択します。

(3) ACZ割込みの設定

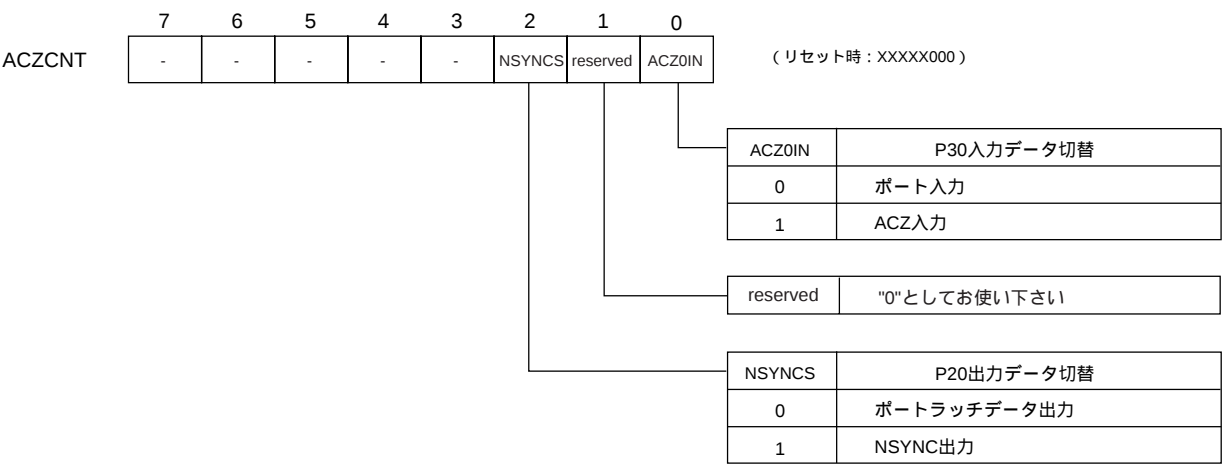
割込み制御レジスタ0(IRQC0)で、割込みソースを設定します。

IRQ1S1-0フラグを"01"に設定してACZ入力を選択してください。IRQ1SE0フラグで割込みエッジを選択し、MASKIR1フラグを"1"にして割込みエッジマスクを許可してください。

EDI命令を実行して、割込み1(IRQ1)を許可してください。

【  第4章4-2 割込み制御レジスタ】

9-2 ACゼロボルト検出制御レジスタ



ACZ制御レジスタ(ACZCNT : X'03A' , R/W)

図9-2-1 ACゼロボルト検出制御レジスタ

10-1 ウォッチドッグタイマ機能の概要

10-1-1 ウォッチドッグタイマ機能の概要

本LSIは、プログラムの暴走検知として、ウォッチドッグタイマを内蔵しています。
ウォッチドッグタイマは常時カウントし、マシンサイクルを 2^{16} 回カウントした後、NRST端子に"L"を出力します。そのため、プログラム中に適度にウォッチドッグタイマのリスタートを行うことにより、プログラムの暴走検知が可能です。
リスタートは、ウォッチドッグタイマ制御レジスタ(WDCTR)のWDTCLRフラグに"1"を書き込むことにより行えます。



HALT1～3、STOP1～3モード時、ウォッチドッグタイマは停止します。

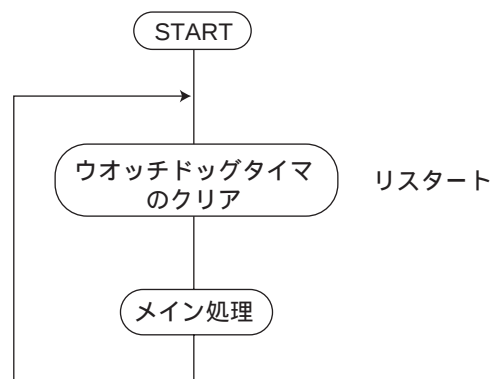


図10-1-1 フローチャート

10-1-2 ウォッチドッグタイマブロック図

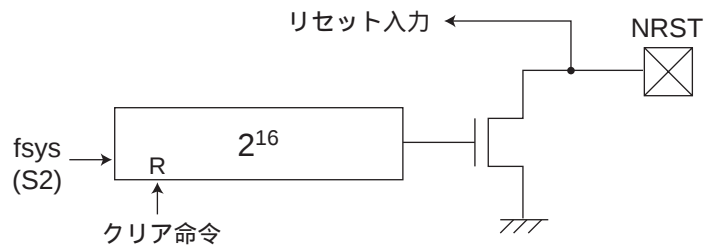
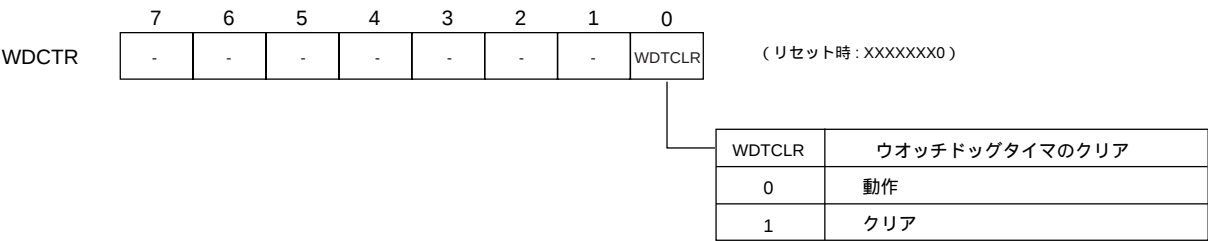


図10-1-2 ウォッチドッグタイマブロック図

10-2 ウォッチドッグタイマ制御レジスタ



ウォッチドッグタイマ制御レジスタ(WDCTR : X'06E' , W)

図10-2-1 ウォッチドッグタイマ制御レジスタ

オートリセット機能は削除しました。

12-1 EPROM内蔵マイコン

12-1-1 概要

EPROM内蔵マイコンは、MN15G1601のマスクROM部分を電氣的に書き込み可能なEPROMで置き換えたものです。MN15G1601にはMN15GP1601BLとPX-AP15G1601-FBCが用意されています。

MN15GP1601BLは、樹脂封止したものです。

一度内蔵EPROMにデータを書き込むと消去することはできません。

PX-AP15G1601-FBCは、窓付きのセラミックパッケージに封止したものです。紫外線を照射することによって書き込んだデータを消去することができます。

EPROM内蔵マイコンは、EPROMモードにすることによりマイコンとしての機能は停止し、内蔵EPROMのプログラムを行うことができます。EPROMモードの端子接続は、図11-1-2のEPROM書き込みアダプタ接続図を参照してください。

内蔵EPROMへの書き込みは、汎用の256 KビットEPROMと同一仕様($V_{pp}=12.5\text{ V}$, $t_{pw}=0.2\text{ ms}$)です。したがって、EPROM内蔵マイコンの64ピンを通常のEPROMと同じ28ピンに変換する専用書き込みアダプタ(当社より提供)を用いれば、汎用ROMライターで書き込み読み出しが可能です。

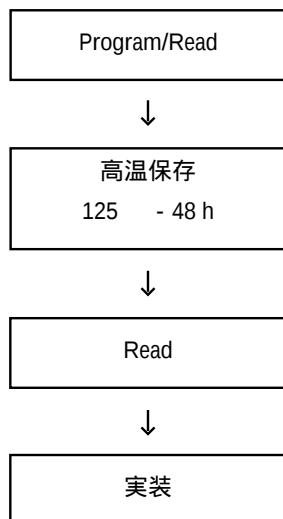
EPROM内蔵マイコンについて次に示す項目を説明します。

- ・内蔵EPROMの使用上の注意
- ・窓付きパッケージ品(PX-AP15G1601-FBC)の書き込みデータ消去
- ・マスクROM版とEPROM版の差異
- ・EPROM内蔵マイコンの書き込みについて
- ・ROMライター操作上の注意点

12-1-2 EPROM内蔵マイコン使用上の注意

EPROM内蔵マイコンは、一部の電気的特性がMN15G1601とは異なるので注意点を次に示します。

- (1) プログラム書き込み終了後は、紫外線によるデータの消去を防ぐため、紫外線を通過させないような遮光シールをCPU上面および側面のガラス部分に張り付けてください。(PX-AP15G1601-FBC)
- (2) MN15GP1601BLはデバイスの性質上全ビットの書き込みテストを行うことができません。したがって書き込み歩留りは、必ずしも100 %保証できない場合があります。
- (3) プログラム書き込み時V_{PP}電源(12.5 V)は、V_{DD}電源(6 V)が確定してから印加し、V_{DD}電源を切断する前に切断してください。
- (4) V_{PP}はオーバシュートを含めて+13.5 V以上にならないようにしてください。
- (5) V_{PP}に+12.5 Vを印加したままデバイスの抜き差しを行うと、デバイスの信頼度に影響を与えるおそれがあります。
- (6) NCE=V_{IL}のときに、V_{PP}をV_{IL}から+12.5 Vへ又は、+12.5 VからV_{IL}へ変化させないでください。
- (7) プログラム書き込み終了後、実装前までに高温保存スクリーニングを実施することを推奨致します。



12-1-3 窓付きパッケージ品(PX-AP15G1601-FBC)の書き込みデータ消去

EPROMを内蔵した製品で窓付きパッケージ品(PX-AP15G1601-FBC)の書き込みデータの消去(“0” → “1”)は、透光性のふたを通してチップに波長253.7 nmの紫外線を照射することにより行います。

推奨照射量は $10 \text{ W} \cdot \text{s}/\text{cm}^2$ です。この照射量は商用紫外線ランプをパッケージ上方2 cm ~ 3 cm離して用いた場合 1 4 min ~ 20 minで得られます(パッケージ表面の照度が $12000 \mu\text{W}/\text{cm}^2$ のとき)。ランプにフィルター等がある場合は取りはずしてください。ランプに鏡面反射板を付けると照度が1.4倍 ~ 1.8倍になり、消去時間が短くなります。

パッケージの透光部が油、接着剤その他で汚れていると紫外線の透過が悪くなり消去時間が長くなります。この場合はアルコールなど(パッケージに影響を与えない溶剤)で汚れを取ってください。上記推奨照射量は十分な余裕を持った値で、全ビット消去できたと判定される時間の数倍になっています。この値はすべての温度範囲と電源電圧範囲に対して消去を確実にするためです。なお、ランプの寿命を確認し、照度の管理を十分に行ってください。

EPROMを内蔵した製品で窓付きパッケージ品は400 nm以下の波長の光の照射によりデータの消失が生じます。253.7 nmの紫外線照射に比べれば消去の割合は非常に少なくなりますが蛍光灯、太陽光線によってもデータチャージの消去が生じます。したがってこれらの長時間照射はシステムの信頼度に影響を与えます。もし上記波長の光の照射下で使用する場合はシール等により透光部をカバーしチップに光が照射されないようにしてください。

400 nm ~ 500 nm以上の波長の光に対してはデータの消去は生じませんが、一般的な半導体の特性上、非常に強い照度の光をチップに照射すると回路的な異常動作を起こす可能性があります。光の照射を止めれば動作は正常になりますが、このような光の照射が継続する場所での使用に対しては、400 nm以上の波長の光に対しても対策が必要となります。

12-1-4 マスクROM版とEPROM版との差異

4ビットマイコンMN15G1601(マスクROM版)とEPROM内蔵版には以下のような違いがあります。

表12-1-1 MN15G1601(マスクROM版)とEPROM内蔵版との差異

	MN15G1601(ROM版)	MN15GP1601 (EPROM版)
動作周囲温度	-40 ~ +85	-20 ~ +70
動作電圧	3.0 V ~ 5.5 V (0.50 μ s/8 MHz、4分周) 2.4 V ~ 5.5 V (1.00 μ s/8 MHz、8分周) 2.0 V ~ 5.5 V (2.00 μ s/4 MHz、8分周)	3.0 V ~ 5.5 V (0.50 μ s/8 MHz、4分周) 2.4 V ~ 5.5 V (1.00 μ s/8 MHz、8分周) 2.3 V ~ 5.5 V (2.00 μ s/4 MHz、8分周)
端子DC特性	出力電流、入力電流、入力判定レベルは同じです。	

その他、機能的な相違はありません。

12-1-5 EPROM内蔵マイコンへの書き込みについて

各ROMライターで設定するデバイスタイプは、256 KビットのEPROMを書き込むモードを選択してください。書き込み電圧は、12.5 Vとしてください。

■書き込みアダプタへの装着とデバイスの1番ピン位置

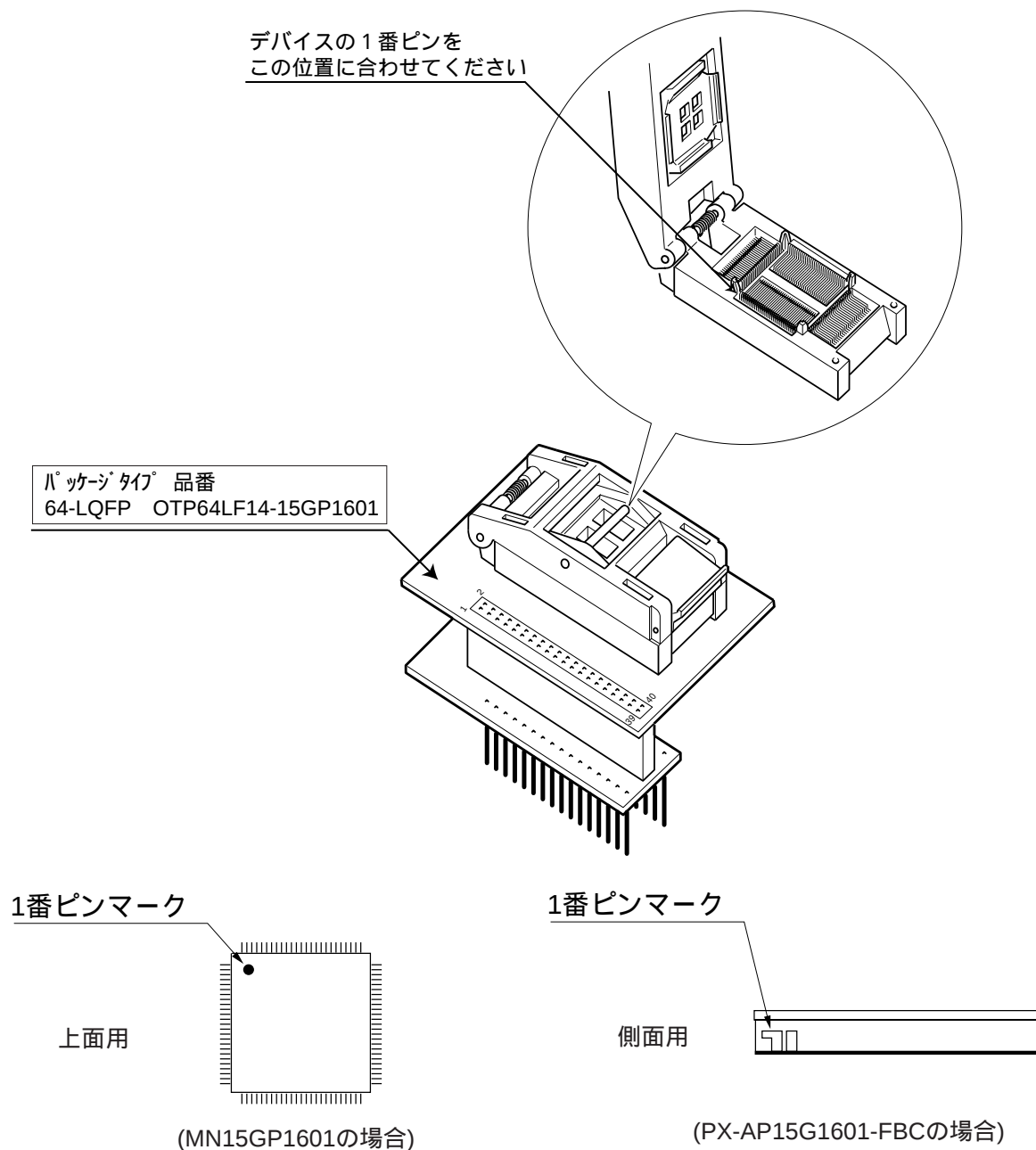


図12-1-1 書き込みアダプタへの装着とデバイスの1番ピン位置

■ROMライターの設定

デバイスタイプの設定は次表を参考にして設定してください。

表12-1-2 デバイスタイプの設定

機種名	メーカー	デバイスタイプ	備考
Lab Site	データI/O	日立 27C256	IDチェックを行わないでください。
Sprint Dual	データI/O	日立 27C256	IDチェック、端子接続性検査は行わないでください。

上記設定は、あくまでも標準サンプルによる参考です。また上記以外の機種をご使用の場合は、最寄りの半導体デザインセンターへお問い合わせください(巻末の営業所所在地一覧表参照)。

12-1-6 ROMライター操作上の注意点

■ROMライター操作上の注意点

- (1) 本EPROM内蔵マイコンのプログラム電圧V_{PP}は12.5 V仕様です。したがって、21 V系の書き込み仕様でプログラムすると製品の破壊に到りますので、注意してください。ROMライターでプログラムする場合は汎用の256 KビットEPROM(V_{PP}=12.5 V, t_{pw}=0.2 ms)仕様にセットしてください。
- (2) ROMライターでプログラムを行う場合は、ROMライターのソケットアダプタおよび製品が正しく装着されていることを必ず確認してください。正しく装着されていないと製品を破壊することがあります。
- (3) ROMライターのメモリをオールクリアしてからROMライターにプログラムをロードしてください。(アドレスX'0000'～X'7FFF'にデータX'FF'を書き込みます。)
- (4) 書き込むときは、デバイスタイプを確認後に、(3)でロードしておいたプログラムを本LSIのアドレスX'0000'から内蔵ROMの最終アドレスまでの領域へ書き込んでください。



本LSIの内蔵ROM空間はX'0000'から始まります。【 第2章 2-2 メモリ空間】



本製品は、ROMライターのオートデバイス選択コマンドの"Silicon Signature"および"Intelligent Identifier"等のIDコードを内蔵していません。したがって、本製品に対してオートデバイス選択コマンドを実行すると、デバイスを破損することがありますので、このコマンドは絶対に使用しないでください。

■書き込みができなかったとき

書き込みができなかったときは次の点を確認してください。

- (1) デバイスが正しくソケットに装着されていますか？(デバイスのピン曲がり、接触不良)
- (2) デバイスのイレースチェック結果はOKですか？
- (3) デバイスと書き込みアダプタの型番は一致していますか？
- (4) 書き込みモードは間違っていないですか？
- (5) ROMライターに正しくデータが転送されていますか？
- (6) 上記ROMライター操作上の注意点(1)(2)(3)を再度確認してください。

上記の項目を確認し、別のデバイスと交換しても書き込みができない場合は、最寄りの半導体デザインセンターへお問い合わせください(巻末の営業所所在地一覧表参照)。

12-1-7 書き込みアダプタ接続図

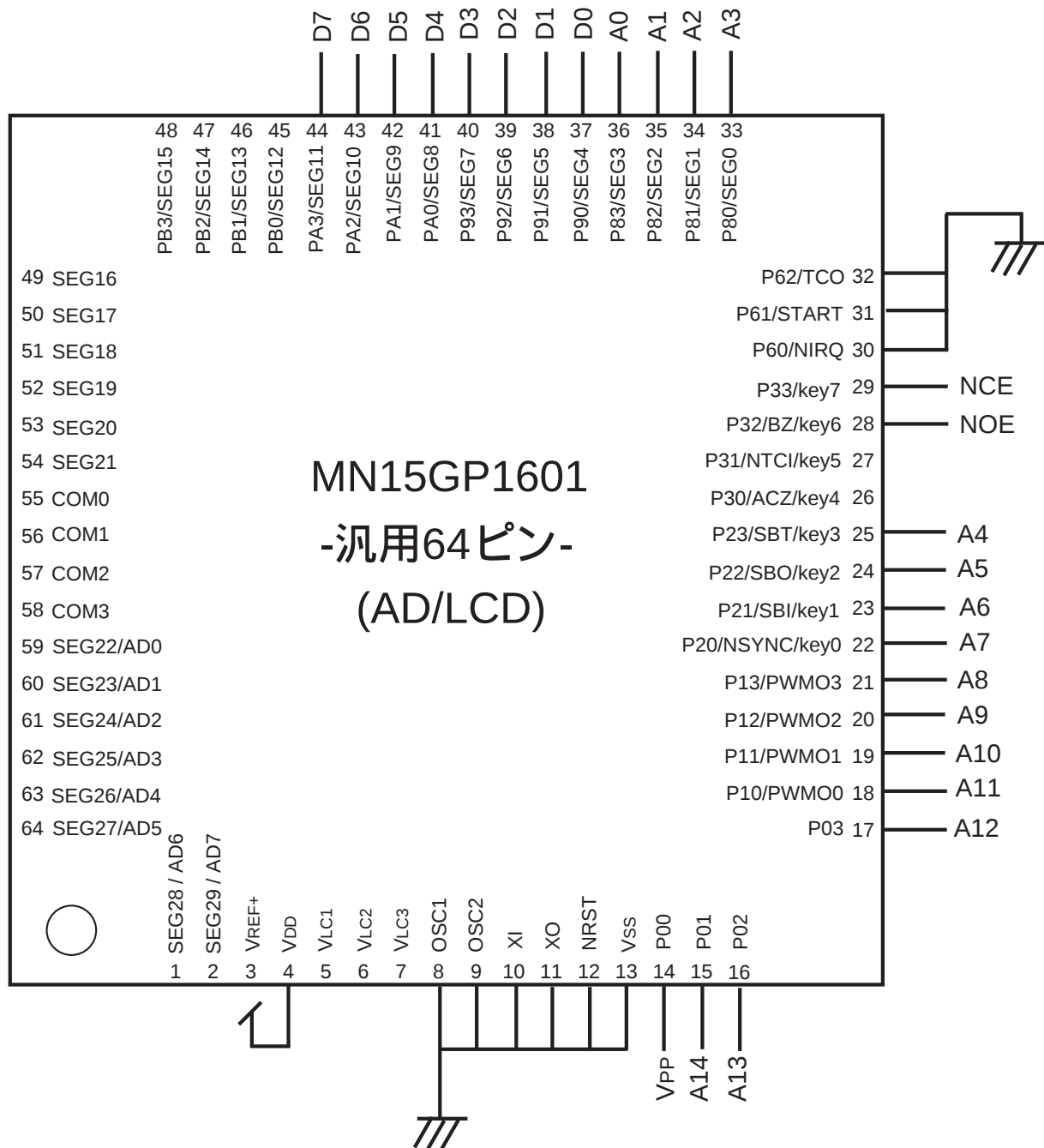
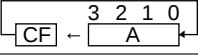
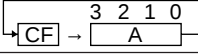
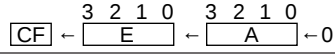


図12-1-2 MN15GP1601 EPROM書き込みアダプタ接続図

12-2 インストラクションセット

INSTRUCTION	Mnemonic		Operation	Flag		Code Size	Cycle	Machine Code	Page
				CF	ZF				
データ転送命令	L	load	$A \leftarrow M(X,Y)$	-	●	1	1	17	43
	LICY	load,increment Y	$A \leftarrow M(X,Y), Y \leftarrow Y+1$	-	●	1	2	21	43
	LDCY	load,decrement Y	$A \leftarrow M(X,Y), Y \leftarrow Y-1$	-	●	1	2	25	44
	LD da	load direct	$A \leftarrow M(da)$	-	●	2	2	1F:da	44
	LX	load from X	$A \leftarrow X$	-	●	1	1	44	45
	LY	load from Y	$A \leftarrow Y$	-	●	1	1	45	45
	LI n	load immediate	$A \leftarrow n$ (立積み機能)	-	-	1	1	Fn	46
	LYI n	load Y immediate	$Y \leftarrow n$	-	-	1	1	Cn	46
	LEAI mn	load EA immediate	$E \leftarrow m, A \leftarrow n$	-	-	2	2	76:mn	47
	LXYI mn	load XY immediate	$X \leftarrow m, Y \leftarrow n$	-	-	2	2	77:mn	47
	LBD da	load byte direct	$E \leftarrow M(da+1), A \leftarrow M(da)$	-	-	2	2	48:da	48
	ST	store	$M(X,Y) \leftarrow A$	-	-	1	1	57	49
	STICY	store,increment Y	$M(X,Y) \leftarrow A, Y \leftarrow Y+1$	-	●	1	2	22	49
	STDCY	store,decrement Y	$M(X,Y) \leftarrow A, Y \leftarrow Y-1$	-	●	1	2	26	50
	STD da	store direct	$M(da) \leftarrow A$	-	-	2	2	53:da	50
	STE	store to E	$E \leftarrow A$	-	-	1	1	56	51
	STX	store to X	$X \leftarrow A$	-	-	1	1	54	51
	STY	store to Y	$Y \leftarrow A$	-	-	1	1	55	52
	STBD da	store byte direct	$M(da+1) \leftarrow E, M(da) \leftarrow A$	-	-	2	2	49:da	52
	EX	exchange	$A \leftrightarrow M(X,Y)$	-	-	1	1	47	53
	EXD da	exchange direct	$A \leftrightarrow M(da)$	-	-	2	2	43:da	53
	EXE	exchange E	$A \leftrightarrow E$	-	-	1	1	46	54
	EXSE	exchange SE	$E \leftrightarrow SE(E \leftrightarrow M(0,2))$	-	-	1	1	42	54
	EXSX	exchange SX	$X \leftrightarrow SX(E \leftrightarrow M(0,0))$	-	-	1	1	40	55
	EXSY	exchange SY	$Y \leftrightarrow SY(E \leftrightarrow M(0,1))$	-	-	1	1	41	55
	LBXY z	load byte pointed by XY-register	$EA \leftarrow CR(z,X,Y)$	-	-	1	1	4(C+z)	56
	LBDC z,da	load byte direct control register	$EA \leftarrow CR(z,da)$	-	-	2	2	2(8+z):da	56
	STBXY z	store byte pointed by XY-register	$CR(z,X,Y) \leftarrow EA$	-	-	1	1	5(C+z)	57
	STBDC z,da	store byte direct control register	$CR(z,da) \leftarrow EA$	-	-	2	2	2(C+z):da	57
	PSHEA	push E,A	$SP \leftarrow SP-2, M(SP) \leftarrow EA$	-	-	1	1	68	58
	PSHXY	push X,Y	$SP \leftarrow SP-2, M(SP) \leftarrow XY$	-	-	1	1	69	59
	POPEA	pop E,A	$EA \leftarrow M(SP), SP \leftarrow SP+2$	-	-	1	1	6C	60
	POPXY	pop X,Y	$XY \leftarrow M(SP), SP \leftarrow SP+2$	-	-	1	1	6D	61
	LMEI m,n	load and modify E	$E \leftarrow (E \& \bar{m}) + n$	-	●	2	2	33:mn	62
	LMXI m,n	load and modify X	$X \leftarrow (X \& \bar{m}) + n$	-	●	2	2	32:mn	62
	RMD da	reset memory direct	$M(da) \leftarrow 0$	-	-	2	2	37:da	63
	WTSB	write SB	$SB \leftarrow EA$	-	-	1	1	80	63
	RDSB	read SB	$EA \leftarrow SB$	-	-	1	1	84	64
	WTTB	write TB	$TB \leftarrow EA$	-	-	1	1	82	65
	RDBC	read BC	$EA \leftarrow TB$	-	-	1	1	85	65
	WTSP	write SP	$SP \leftarrow EA$	-	-	1	1	05	66
	RDSP	read SP	$EA \leftarrow SP$	-	-	1	1	04	66
	RDTBL	read table	$EA \leftarrow ROM(PCh,EA)$	-	-	1	2	0B	67
算術演算命令	A	add	$A \leftarrow A+M(X,Y)$	●	●	1	1	10	68
	AD da	add direct	$A \leftarrow A+M(da)$	●	●	2	2	18:da	68
	AC	add with carry	$A \leftarrow A+M(X,Y)+CF$	●	●	1	1	11	69
	ACD da	add direct with carry	$A \leftarrow A+M(da)+CF$	●	●	2	2	19:da	69
	AI n	add immediate	$A \leftarrow A+n$	●	●	1	1	Dn	70
	S	subtract	$A \leftarrow A-M(X,Y)$	●	●	1	1	12	71
	SD da	subtract direct	$A \leftarrow A-M(da)$	●	●	2	2	1A:da	71
	SB	subtract with borrow	$A \leftarrow A-M(X,Y)-CF$	●	●	1	1	13	72
	SBD da	subtract direct with borrow	$A \leftarrow A-M(da)-CF$	●	●	2	2	1B:da	72
	C	compare	$A-M(X,Y) \dots FS$	●	●	1	1	0F	73
	CD da	compare direct	$A-M(da) \dots FS$	●	●	2	2	0D:da	73
	CEAI mn	compare byte immediate	$EA-mn \dots FS$	●	●	2	2	0C:mn	74
	CI n	compare immediate	$A-n \dots FS$	●	●	1	1	En	74
	ICM	increment memory	$M(X,Y) \leftarrow M(X,Y)+1$	●	●	1	1	60	75
	ICMD da	increment memory direct	$M(da) \leftarrow M(da)+1$	●	●	2	2	61:da	75

注) Pageは、命令説明書の該当ページです。

INSTRUCTION	Mnemonic		Operation	Flag		Code Size	Cycle	Machine Code	Page
				CF	ZF				
算術演算命令	ICY	increment Y	$Y \leftarrow Y+1$	-	●	1	1	20	76
	ICEA	increment byte	$EA \leftarrow EA+1$	●	-	1	2	59	76
	DCM	decrement memory	$M(X,Y) \leftarrow M(X,Y)-1$	●	●	1	1	64	77
	DCMD da	decrement memory direct	$M(da) \leftarrow M(da)-1$	●	●	2	2	65:da	77
	DCY	decrement Y	$Y \leftarrow Y-1$	-	●	1	1	24	78
	DCEA	decrement byte	$EA \leftarrow EA-1$	●	-	1	2	5A	78
	CPL	complement	$A \leftarrow \bar{A}$	-	●	1	1	02	79
論理演算命令	N	and	$A \leftarrow A \& M(X,Y)$	-	●	1	1	16	80
	ND da	and direct	$A \leftarrow A \& M(da)$	-	●	2	2	1E:da	80
	O	or	$A \leftarrow A \mid M(X,Y)$	-	●	1	1	14	81
	OD da	or direct	$A \leftarrow A \mid M(da)$	-	●	2	2	1C:da	81
	X	exclusive or	$A \leftarrow A \wedge M(X,Y)$	-	●	1	1	15	82
	XD da	exclusive or direct	$A \leftarrow A \wedge M(da)$	-	●	2	2	1D:da	82
	ROL	rotate left		●	●	1	1	08	83
ビット操作命令	ROR	rotate right		●	●	1	1	09	83
	SLEA	shift left byte		●	-	1	2	58	84
	RBMD bp,da	reset bit memory direct	$M(da)bp \leftarrow 0$	-	●	2	2	3(8+bp):da	85
分岐命令	SBMD bp,da	set bit memory direct	$M(da)bp \leftarrow 1$	-	0	2	2	3(C+bp):da	85
	JMP hml	jump	$PCh \leftarrow h, PCm \leftarrow m, PCl \leftarrow l$	-	-	2	2	Ah:ml	86
	JMPL uhml	jump long	$PCu \leftarrow u, PCh \leftarrow h, PCm \leftarrow m, PCl \leftarrow l$	-	-	3	3	06:uh:ml	88
	JMPEA	jump by EA	$PCm \leftarrow E, PCl \leftarrow A$	-	-	1	1	36	89
	CALL hml	call	$SP \leftarrow SP-4, M(SP) \leftarrow PC+2/CF/ZF/LIFF, PCh \leftarrow h, PCm \leftarrow m, PCl \leftarrow l$	-	-	2	2	9h:ml	91
	CALLL uhml	call long	$SP \leftarrow SP-4, M(SP) \leftarrow PC+3/CF/ZF/LIFF, PCu \leftarrow u, PCh \leftarrow h, PCm \leftarrow m, PCl \leftarrow l$	-	-	3	3	0A:uh:ml	93
	CALS s	call short	$SP \leftarrow SP-4, M(SP) \leftarrow PC+1/CF/ZF/LIFF, PCh \leftarrow 0, PCm \leftarrow 8+s, PCl \leftarrow 0$	-	-	1	2	8(8+s)	95
	RET	return	$PC \leftarrow M(SP), SP \leftarrow SP+4$	-	-	1	2	34	97
	RETI	return from interrupt	$PC/CF/ZF/LIFF \leftarrow M(SP), SP \leftarrow SP+4$	●	●	1	2	35	98
	JZ ml	jump if zero	ZF=1 ならば $PCm \leftarrow m, PCl \leftarrow l$ ZF=0 ならば $PC \leftarrow PC+2$	-	-	2	2	6E:ml	100
	JNZ ml	jump if non-zero	ZF=0 ならば $PCm \leftarrow m, PCl \leftarrow l$ ZF=1 ならば $PC \leftarrow PC+2$	-	-	2	2	6A:ml	100
	JC ml	jump if carry	CF=1 ならば $PCm \leftarrow m, PCl \leftarrow l$ CF=0 ならば $PC \leftarrow PC+2$	-	-	2	2	6F:ml	101
	JNC ml	jump if non-carry	CF=0 ならば $PCm \leftarrow m, PCl \leftarrow l$ CF=1 ならば $PC \leftarrow PC+2$	-	-	2	2	6B:ml	101
	JBZ bp,ml	jump if bit zero	$A(bp)=0$ ならば $PCm \leftarrow m, PCl \leftarrow l$ $A(bp)=1$ ならば $PC \leftarrow PC+2$	-	-	2	2	7(8+bp):ml	102
	JBNZ bp,ml	jump if bit non-zero	$A(bp)=1$ ならば $PCm \leftarrow m, PCl \leftarrow l$ $A(bp)=0$ ならば $PC \leftarrow PC+2$	-	-	2	2	7(C+bp):ml	102
	CYIJ n,ml	compare Y and jump	$Y \neq n$ ならば $PCm \leftarrow m, PCl \leftarrow l$ $Y=n$ ならば $PC \leftarrow PC+2$	-	●	2	2	Bn:ml	103
	NOP	no operation	$PC \leftarrow PC+1$	-	-	1	1	00	103
入出力命令	IN p,n	input	$A \leftarrow \text{PORT}(p) \& n$	-	-	2	2	73:pn	104
	OUT p,n	output	$\text{PORT}(p) \leftarrow A \& n$	-	-	2	2	72:pn	104
	ROUT p,n	reset output	$\text{PORT}(p) \leftarrow \text{PORT}(p) \& n$	-	-	2	2	62:pn	105
	SOUT p,n	set output	$\text{PORT}(p) \leftarrow \text{PORT}(p) \mid n$	-	-	2	2	66:pn	105
コントロール命令	WI	wait for interrupt	$SP \leftarrow SP-4, M(SP) \leftarrow PC+1$	-	-	1	1	4A	106
	RC	reset carry	$CF \leftarrow 0$	0	-	1	1	03	107
	SC	set carry	$CF \leftarrow 1$	1	-	1	1	07	107
	EDI m,n	enable/disable interrupt	$IE \leftarrow IE \& \bar{m} \mid n$	-	-	2	2	5B:mn	108
	UPX0	up to X0	$\text{RAM BANK FF} \leftarrow 0$	-	-	1	1	51	111
	UPX1	up to X1	$\text{RAM BANK FF} \leftarrow 1$	-	-	1	1	50	111
	LUX	load UPX	$A \leftarrow \text{RAM BANK FF}$	-	-	1	1	52	112

注) Pageは、命令説明書の該当ページです。

12-3 インストラクションマップ

MN15G SERIES INSTRUCTION MAP

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP		CPL ZF	RC CF	RDSP	WTSP	JMPL uhml	SC CF	ROL CF ZF	ROR CF ZF	CALLL uhml	RDTBL	CEAL mn CF ZF	CD da CF ZF		C CF ZF
1	A CF ZF	AC CF ZF	S CF ZF	SB CF ZF	O ZF	X ZF	N ZF	L ZF	AD da CF ZF	ACD da CF ZF	SD da CF ZF	SBD da CF ZF	OD da ZF	XD da ZF	ND da ZF	LD da ZF
2	ICY ZF	LICY ZF	STICY ZF		DCY ZF	LDCY ZF	STDCY ZF				LBDC z,da				STBDC z,da	
3			LMXI m,n ZF	LMEI m,n ZF	RET	RETI CF ZF	JMPEA	RMD da			RBMD bp,da ZF				SBMD bp,da ZF	
4	EXSX	EXSY	EXSE	EXD da	LX ZF	LY ZF	EXE	EX	LBD da	STBD da	WI				LBXY z	
5	UPX1	UPX0	LUX	STD da	STX	STY	STE	ST	SLEA CF	ICEA CF	DCEA CF	EDI m,n			STBXY z	
6	ICM CF ZF	ICMD da CF ZF	ROUT p,n		DCM CF ZF	DCMD da CF ZF	SOUT p,n		PSHEA	PSHXY	JNZ ml	JNC ml	POPEA	POPXY	JZ ml	JC ml
7			OUT p,n	IN p,n			LEAI mn	LXYI mn			JBZ bp,ml				JBNZ bp,ml	
8	WTSB		WTTB		RDSB	RDBC							CALS s			
9	CALL hml															
A	JMP hml															
B	CYIJ n, ml ZF															
C	LYI n															
D	AI n CF ZF															
E	CI n CF ZF															
F	LI n															

1バイト 1サイクル命令

1バイト 2サイクル命令

2バイト 2サイクル命令

3バイト 3サイクル命令

12-4 MN1500シリーズとMN15Gシリーズの相違点

表12-4-1 MN1500シリーズとMN15Gシリーズの相違点

	MN1500シリーズ		MN15Gシリーズ	
命令体系	WTSB	シリアル機能が動作	WTSB	スペシャルバッファ(SB)に、8ビット単位で、データの書き込みを行う命令として使用
	RDSB		RDSB	スペシャルバッファ(SB)に、8ビット単位で、データの読み込みを行う命令として使用
	SBTIN		SBTIN	-
	SBTEX		SBTEX	-
	WTTC	タイマ機能が動作	WTTC	-
	WTTB		WTTB	テンポラリバッファ(TB)に、8ビット単位で、データの書き込みを行う命令として使用
	RDBC		RDBC	テンポラリバッファ(TB)に、8ビット単位で、データの読み込みを行う命令として使用
割込み要因名	外部割込み		割込み1	
	タイマ割込み		割込み2	
	シリアル割込み		割込み3	

12-5 特殊レジスタ一覧表

MN15G1601 特殊機能レジスタ一覧表 (1/3)

アドレス	レジスタ略称	ビット略称								参照ページ	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
X'000'	PORT01	P13DATA	P12DATA	P11DATA	P10DATA	P03DATA	P02DATA	P01DATA	P00DATA	III - 9	
		ポート1入出力データ				ポート0入出力データ					
X'002'	PORT23	P33DATA	P32DATA	P31DATA	P30DATA	P23DATA	P22DATA	P21DATA	P20DATA	III - 14	
		ポート3入出力データ				ポート2入出力データ					
X'006'	PORT6						P62DATA	P61DATA	P60DATA	III - 21	
							ポート6入出力データ				
X'008'	PORT89	P93DATA	P92DATA	P91DATA	P90DATA	P83DATA	P82DATA	P81DATA	P80DATA	III - 24	
		ポート9入出力データ				ポート8入出力データ					
X'00A'	PORTAB	PB3DATA	PB2DATA	PB1DATA	PB0DATA	PA3DATA	PA2DATA	PA1DATA	PA0DATA	III - 25	
		ポートB入出力データ				ポートA入出力データ					
X'010'	P01DIR	P1DIR3	P1DIR2	P1DIR1	P1DIR0	P0DIR3	P0DIR2	P0DIR1	P0DIR0	III - 9	
		ポート1方向制御				ポート0方向制御					
X'012'	P23DIR	P3DIR3	P3DIR2	P3DIR1	P3DIR0	P2DIR3	P2DIR2	P2DIR1	P2DIR0	III - 14	
		ポート3方向制御				ポート2方向制御					
X'016'	P67DIR						P6DIR2	P6DIR1	P6DIR0	III - 21	
							ポート6方向制御				
X'018'	P89DIR	P9DIR3	P9DIR2	P9DIR1	P9DIR0	P8DIR3	P8DIR2	P8DIR1	P8DIR0	III - 24	
		ポート9方向制御				ポート8方向制御					
X'01A'	PABDIR	PBDIR3	PBDIR2	PBDIR1	PBDIR0	PADIR3	PADIR2	PADIR1	PADIR0	III - 25	
		ポートB方向制御				ポートA方向制御					
X'022'	P23PLU	P3PLU3	P3PLU2	P3PLU1	P3PLU0	P2PLU3	P2PLU2	P2PLU1	P2PLU0	III - 14	
		ポート3ブルアップ制御				ポート2ブルアップ制御					
X'024'	PLUCNT						PBPLU	PAPLU	P9PLU	P8PLU	III - 26
							ポートBブルアップ制御	ポートAブルアップ制御	ポート9ブルアップ制御	ポート8ブルアップ制御	
X'026'	P67PLU						P6PLU2	P6PLU1	P6PLU0	III - 21	
							ポート3ブルアップ制御				
X'028'	P01SC	P1SC3	P1SC2	P1SC1	P1SC0					III - 9	
		ポート1出力構造制御									
X'02A'	P23SC	P3SC3	P3SC2	P3SC1	P3SC0	P2SC3	P2SC2	P2SC1	P2SC0	III - 15	
		ポート3出力構造制御				ポート2出力構造制御					
X'02C'	PSCCNT						PBSC	PASC	P9SC	P8SC	III - 26
							ポートB出力構造制御	ポートA出力構造制御	ポート9出力構造制御	ポート8出力構造制御	
X'02E'	P67SC						P6SC2	P6SC1	P6SC0	III - 21	
							ポート6出力構造制御				
X'030'	CPUM						XIXOM	CLKSEL1	CLKSEL0	II - 16	
							低速発振制御	システムクロック選択切換	ソースクロック選択		

MN15G1601 特殊機能レジスタ一覧表 (2/3)

アドレス	レジスタ略称	ビット略称								参照ページ
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
X'032'	IRQM	IFIRQ3E	IFIRQ2E	IFIRQ1E					IV - 15	
		IRQ3フラグ クリア操作	IRQ2フラグ クリア操作	IRQ1フラグ クリア操作						
X'034'	IRQC0	MASKIR1	IRQ1SE0	IRQ1S1	IRQ1S0				IV - 15	
		IRQ1割込み エッジマスク	IRQ1割込み エッジ切換	IRQ1割込みソース切換						
X'036'	IRQC1				IRQ2S	MASKIR3	reserved	IRQ3S1	IRQ3S0	IV - 16
					IRQ2割込 みソース	IRQ3割込 みマスク	"0"としてお 使い下さい	IRQ3割込みソース		
X'038'	KEYCNT	KEY7EN	KEY6EN	KEY5EN	KEY4EN	KEY3EN	KEY2EN	KEY1EN	KEY0EN	IV - 17
キー割込み(key0 ~ key7)の許可										
X'03A'	ACZCNT						NSYNCS	reserved	ACZ0IN	IX - 5
							P20出力デ ータ切換	"0"としてお 使い下さい	P30入力デ ータ切換	
X'040'	TM0BC	TM0BC7	TM0BC6	TM0BC5	TM0BC4	TM0BC3	TM0BC2	TM0BC1	TM0BC0	V - 12
		タイマ0バイナリカウンタ								
X'042'	TM1BC	TM1BC7	TM1BC6	TM1BC5	TM1BC4	TM1BC3	TM1BC2	TM1BC1	TM1BC0	V - 12
		タイマ1バイナリカウンタ								
X'044'	TM2BC	TM2BC7	TM2BC6	TM2BC5	TM2BC4	TM2BC3	TM2BC2	TM2BC1	TM2BC0	V - 12
		タイマ2バイナリカウンタ								
X'046'	TM3BC	TM3BC7	TM3BC6	TM3BC5	TM3BC4	TM3BC3	TM3BC2	TM3BC1	TM3BC0	V - 12
		タイマ3バイナリカウンタ								
X'048'	TM0MD			TM0MOD	TM0PWM	TM0EN	TM0CK2	TM0CK1	TM0CK0	V - 13
				パルス幅 測定モード	タイマ0PWM 機能選択	タイマ0カ운 トイネーブル	タイマ0カウントクロックソース			
X'04A'	TM1MD				TM1CAS	TM1EN	TM1CK2	TM1CK1	TM1CK0	V - 14
					タイマ0 & タイマ1カスケ ード接続	タイマ1カ운 トイネーブル	タイマ1 カウントクロック			
X'04C'	TM2MD	TM2ONE	TM2TRG	TM2MOD	TM2PWM	TM2EN	TM2CK2	TM2CK1	TM2CK0	V - 15
		ワンショット タイマ機能	トリガスタ ート機能	パルス幅 測定モード	タイマ2PWM 機能選択	タイマ2カ운 トイネーブル	タイマ2カウントクロック			
X'04E'	TM3MD				TM3CAS	TM3EN	TM3CK2	TM3CK1	TM3CK0	V - 16
					タイマ2 & タイマ3カス ケード接続	タイマ3カ운 トイネーブル	タイマ3カウントクロック			
X'050'	TM0OC	TM0OC7	TM0OC6	TM0OC5	TM0OC4	TM0OC3	TM0OC2	TM0OC1	TM0OC0	V - 11
		タイマ0コンペアレジスタ								
X'052'	TM1OC	TM1OC7	TM1OC6	TM1OC5	TM1OC4	TM1OC3	TM1OC2	TM1OC1	TM1OC0	V - 11
		タイマ1コンペアレジスタ								
X'054'	TM2OC	TM2OC7	TM2OC6	TM2OC5	TM2OC4	TM2OC3	TM2OC2	TM2OC1	TM2OC0	V - 11
		タイマ2コンペアレジスタ								
X'056'	TM3OC	TM3OC7	TM3OC6	TM3OC5	TM3OC4	TM3OC3	TM3OC2	TM3OC1	TM3OC0	V - 11
		タイマ3コンペアレジスタ								
X'05E'	MODCNT	TRGDLY1	TRGDLY0	TRGS	XISEL	PWMOS1	PWMOS0	TM2MODS	TM0MODS	V - 17
		トリガ機能ディレイ選択		タイマ2トリ ガ入力	タイマ0クロッ クソース選択	ポート1PWM出力ソース		タイマ2 MOD 入力選択	タイマ0MOD 入力選択	

MN15G1601 特殊機能レジスター一覧表 (3/3)

アドレス	レジスタ略称	ビット略称								参照ページ
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
X'060'	SC0MD0	BUSY	SC0CE	SC0CK	SC0DIR	SC0STE	SC0LNG2	SC0LNG1	SC0LNG0	VI - 6
		シリアルバス使用状況	送受信データエッジ選択	シリアル転送クロック選択	転送ビット指定	スタートコンディション選択	同期式シリアル転送ビット数			
X'062'	SC0MD1	SC0IOM	SC0SBTS	SC0SBIS	SC0SBOS		SC0MST			VI - 7
		シリアルデータ入力端子	P23機能選択	シリアル入力制御	P22機能選択		クロックマスタ/スレーブ選択			
X'064'	SC0TRB	SC0TRB7	SC0TRB6	SC0TRB5	SC0TRB4	SC0TRB3	SC0TRB2	SC0TRB1	SC0TRB0	VI - 5
		シリアルインタフェース送受信シフトレジスタ								
X'06A'	TCOCNT	TCOE	RMOEN	RMDTY		RMOS	TCOS	TC23OS	TC01OS	V - 18
		タイマ出力イネーブル	リモコン出力イネーブル	リモコン出力デューティ選択		TCO出力選択	タイマ出力選択	タイマ2、タイマ3出力選択	タイマ0、タイマ1出力選択	
X'06C'	BZCTR	BZOE	BZCK2	BZCK1	BZCK0	PWME13	PWME12	PWME11	PWME10	V - 19
		ブザー出力イネーブル	ブザー出力周波数選択			ポート13 PWM出力イネーブル	ポート12 PWM出力イネーブル	ポート11 PWM出力イネーブル	ポート10 PWM出力イネーブル	
X'06E'	WDCTR								WDTCLR	X - 4
									ウォッチドックタイマのクリア	
X'070'	ADBUF0	ADBUF1	ADBUF0							VIII - 6
		A/D変換データ格納バッファ1-0								
X'072'	ADBUF1	ADBUF9	ADBUF8	ADBUF7	ADBUF6	ADBUF5	ADBUF4	ADBUF3	ADBUF2	VIII - 6
		A/D変換データ格納バッファ9-2								
X'074'	ADCTR0	ADST	ADSH1	ADSH0	ADCK	ADLADE	ADCHS2	ADCHS1	ADCHS0	VIII - 5
		A/D変換ステータス	サンプルホールド時間設定		A/D変換クロック選択	A/Dラダー抵抗接続	A/D変換入力選択			
X'078'	LCCTR	LCDEN	test1	LCDDTY1	LCDDTY0	test2	LCDCCK2	LCDCCK1	LCDCCK0	VII - 10
		LCDイネーブル	"0"としてお使い下さい	LCDクロックソース		"0"としてお使い下さい	LCDクロック選択			
X'07A'	VLCCNT							VLCBIAS	VLCON	VII - 11
								VLCDバイアス回路	分割抵抗ON/OFF	
X'07C'	LCMD0					PBLCD	PALCD	P9LCD	P8LCD	VII - 12
						ポートB機能設定	ポートA機能設定	ポート9機能設定	ポート8機能設定	
X'07E'	LCMD1	AD7E	AD6E	AD5E	AD4E	AD3E	AD2E	AD1E	AD0E	VII - 13
		ポート機能設定								
X'080'	TEST						test2	test1	test0	-
							"0"としてお使い下さい			
X'100' ~ X'11C'	SEG0 ~ SEG29	LCD表示用バッファ								VII - 5

12-6 回路設計上の注意事項

12-6-1 使用に際して

■VDD端子、VSS端子の接続

全てのVDD端子、VSS端子は外部でそれぞれ電源とGNDに直接接続してください。LSI(パッケージ)の端子位置を十分に確認し、P板上に設置してください。以下に、正しい接続方法と誤った接続方法を示します。接続方法を間違えると、大電流による配線の溶断などマイコンの破壊につながる可能性があります。

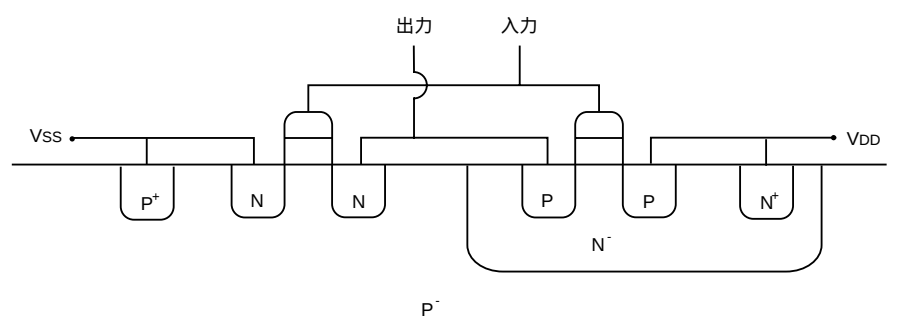


図12-6-1 VDD端子VSS端子の正常接続例

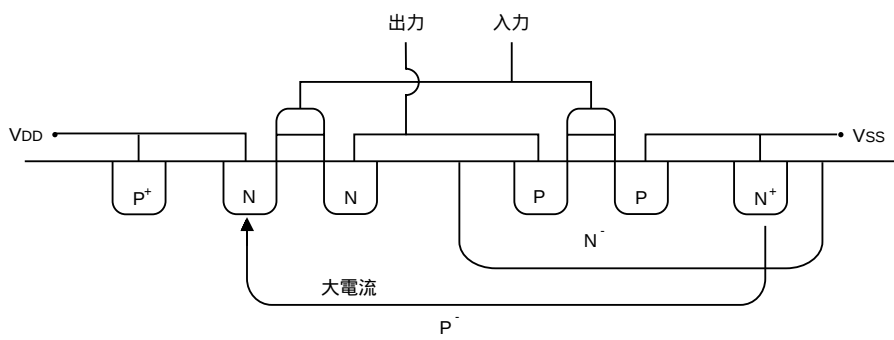


図12-6-2 VDD端子VSS端子の誤接続例

■動作上の注意

- (1) 高電界の加わる場所(ブラウン管直下など)で 사용되는場合は、正常動作保証のためにパッケージ表面をシールドしてください。
- (2) 動作温度条件を確認の上ご使用ください。製品により温度範囲保証が異なります。例えば、+70保証に対し、それ以上の温度でご使用の場合、動作マージンがなく誤動作する恐れがあります。
- (3) 動作電圧条件を確認の上ご使用ください。製品により、動作電圧保証が異なります。
 - ・保証電圧より高い電圧でご使用の場合、信頼性保証(経時変化によるトランジスタの寿命保証等)ができません。
 - ・保証電圧より低い電圧でご使用の場合、動作マージンがなく誤動作する恐れがあります。

12-6-2 未使用端子の処置

■未使用機能の処置

未使用機能は、動作停止の状態に設定してください。

■ポート2、ポート3、ポート6の処置

ポート2、ポート3、ポート6は初期状態が入力端子となっています。そのため、入力が不安定になると、入力インバータのPchトランジスタおよびNchトランジスタが共に動作状態になることで入力回路に貫通電流が流れ、消費電流の増大やチップ内部の電源に対しノイズ源となります。未使用時は、数10 k Ω の抵抗を挿入してプルアップまたはプルダウンしてください。

注) 上記は初期状態(入力)の場合の処置です。端子の方向を出力に切換えた際は、開放にしてください。

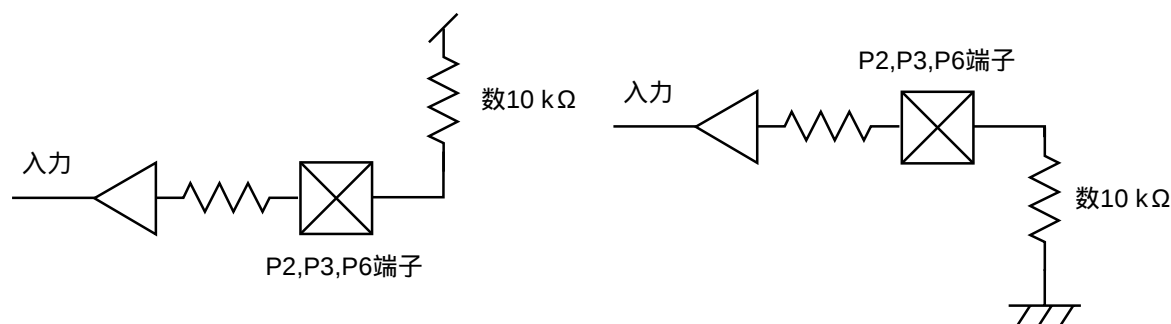


図12-6-3 ポート2、ポート3、ポート6の処置（入力）



図12-6-4 ポート2、ポート3、ポート6の処置（出力）

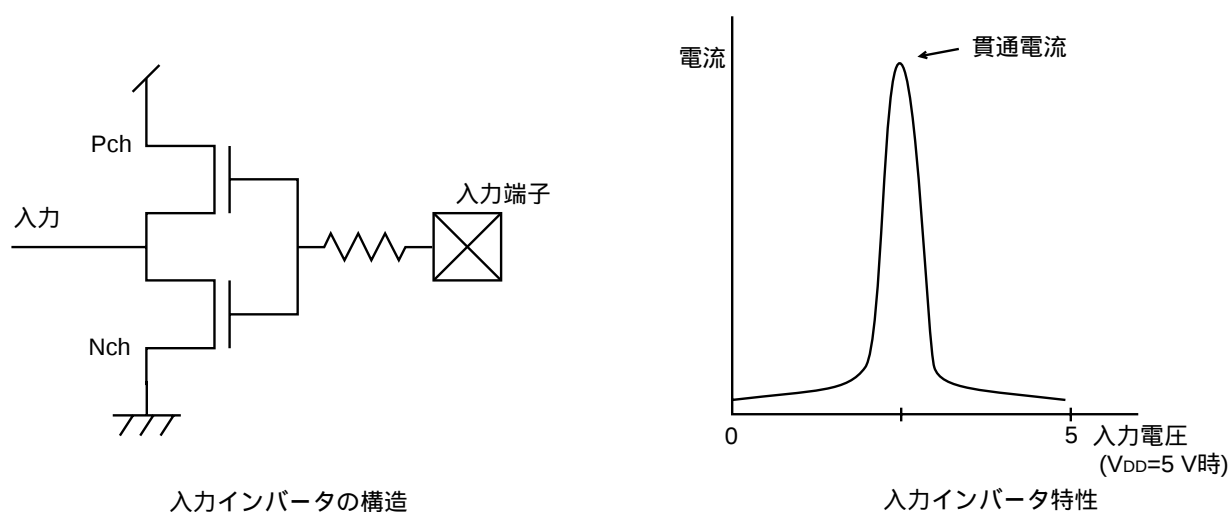


図12-6-5 入力インバータ構造と入力インバータ特性

■ポート0、ポート1、ポート8、ポート9、ポートA、ポートBの処置

ポート0、ポート1、ポート8、ポート9、ポートA、ポートBは初期状態が入力端子となっていますが、入力命令実行時以外はゲートは開かず、貫通電流の流れない構造になっています。未使用時は、端子の方向に関わらず開放にしてください。

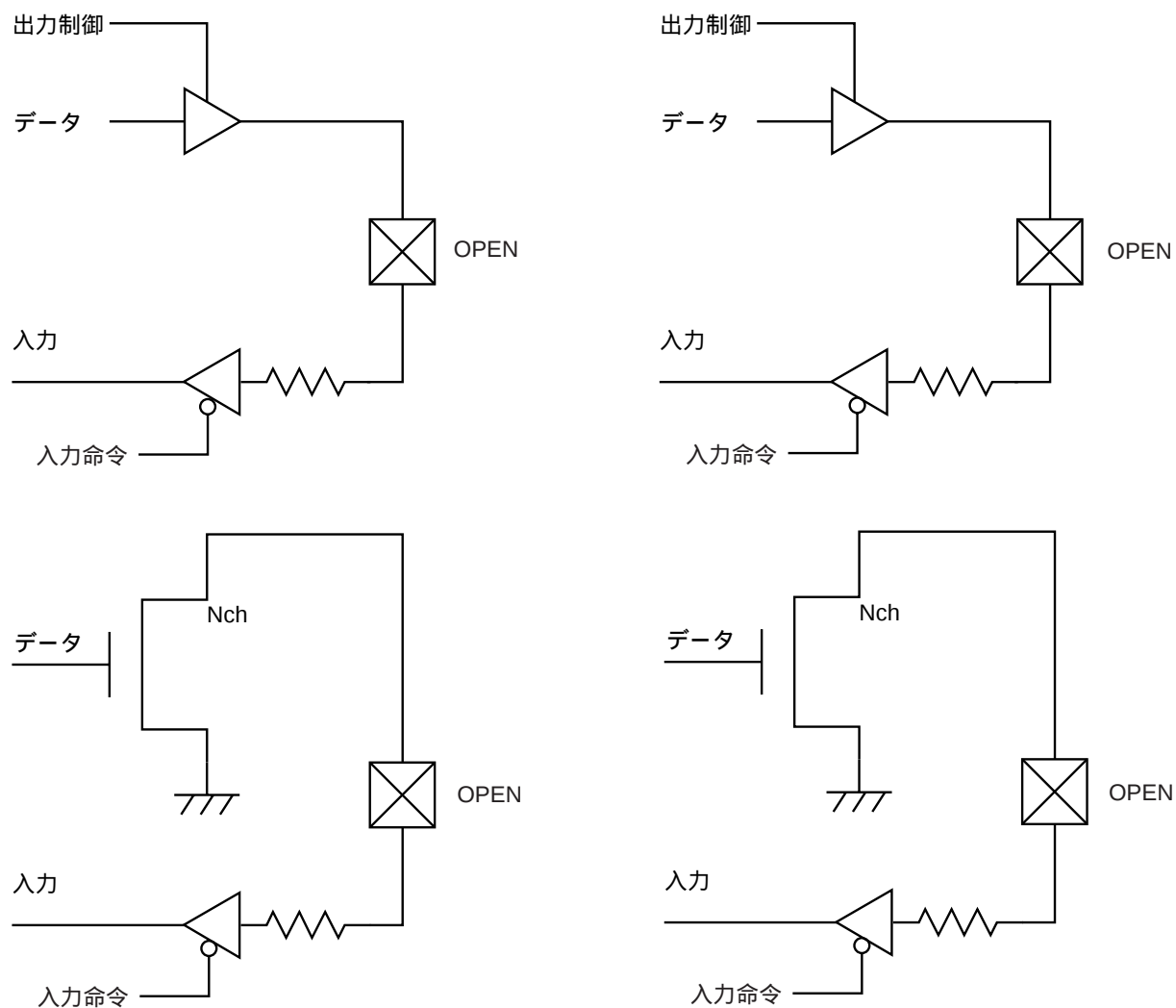


図12-6-6 ポート0、ポート1、ポート8、ポート9、ポートA、ポートBの処置

■LCDセグメント出力端子の処置

SEG16～SEG21端子は、未使用時、開放にしてください。

■LCDセグメント出力/アナログ入力兼用端子の処置

SEG22～SEG29端子は、初期状態がアナログ入力端子となっていますが、初期状態内蔵ラダー抵抗が切断されていますので、マイコン内部に電流が流れません。未使用時は、開放にしてください。

12-6-3 電源の立ち上げ方

■マイコン電源と入力端子電圧の関係

マイコンの電源が立ち上がった後、入力端子電圧が供給されるようにしてください。この順番が逆転すると、マイコン内部でラッチアップが発生したり、大電流による破壊の恐れがあります。

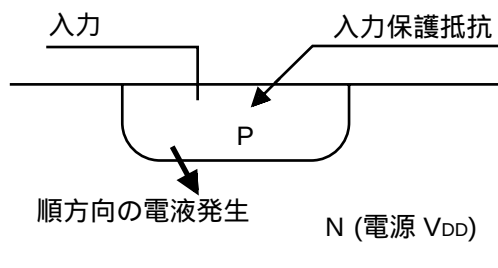


図12-6-7 マイコン電源と入力端子電圧

■マイコン電源とリセット入力電圧の関係

マイコンの電源が立ち上がった後、リセット端子電圧がリセット信号として十分認識できるように立ち上げてください。

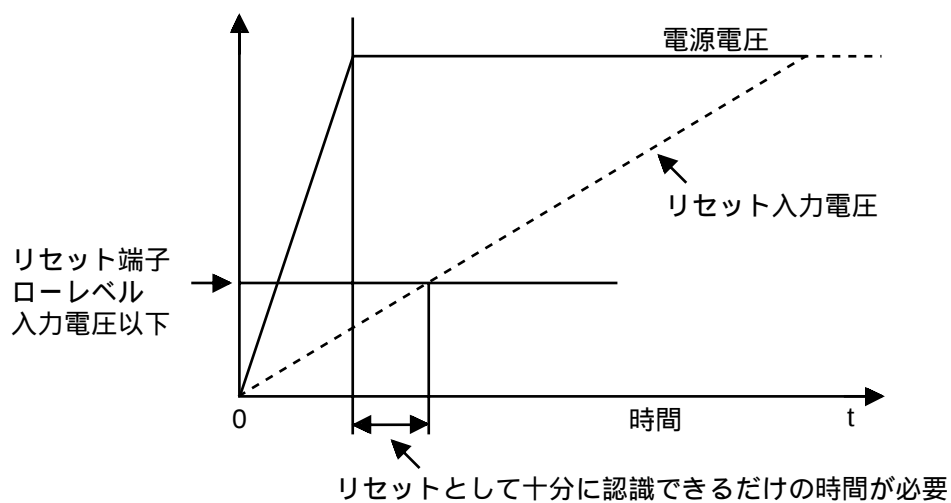


図12-6-8 マイコン電源とリセット入力電圧

12-6-4 マイコン用電源回路について

■電源回路設計上の注意事項

マイコンなどMOSロジック品は、高速高集積設計を採用していますので十分余裕のある電源回路を採用してください。ACラインノイズなどの評価、およびLEDなどの駆動時のリップル状態を確認の上、図1-6-10または、それ以外の電源方式の採用を検討してください。

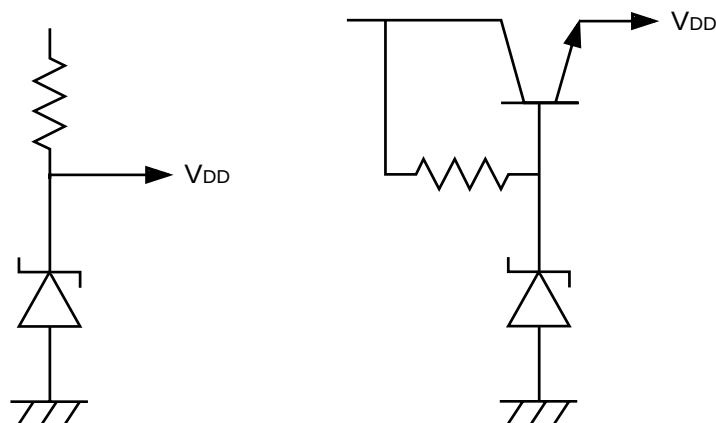


図12-6-9 電源回路設計上の注意事項

■電源回路の例(エミッタフォロアタイプ)

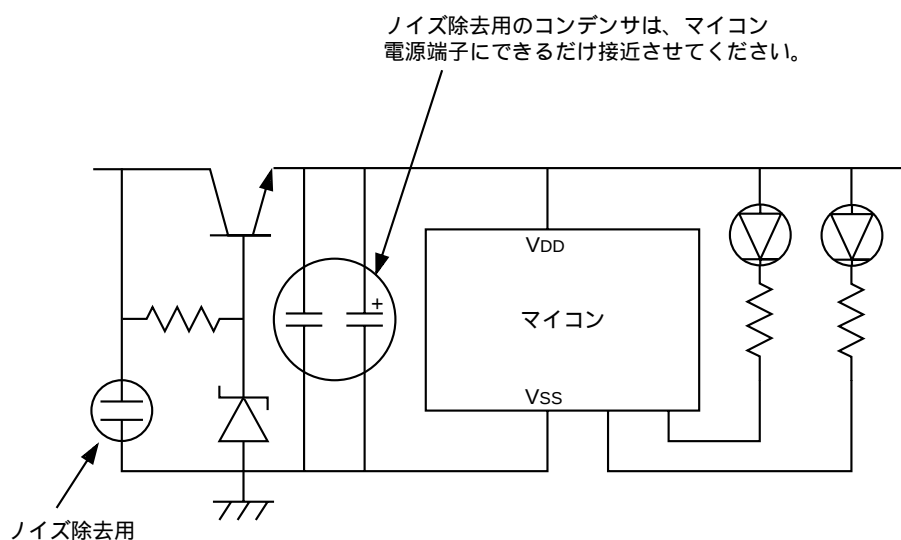


図12-6-10 電源回路の例(エミッタフォロアタイプ)

お問合せ窓口

マニュアルに記載されている技術的内容についてのお問合せは、下記まで電子メールでお願いします。FAXでお送りいただく場合は、内線指定Fコード0000を設定して下さいますようお願いいたします。

松下電器産業株式会社
半導体開発本部 マイコン開発センター
ユーザーサポート担当宛

E-mail: **To:mn15G01@mecse.mec.mei.co.jp**

FAX: **075-957-9205** 内線指定Fコード: 0000

MN15G1601

L S I 説明書

2000.5 第1版

発行 松下電器産業株式会社

松下電子工業株式会社

© Matsushita Electric Industrial Co., Ltd.

© Matsushita Electronics Corporation

営 業 所 所 在 地 一 覧 表

松下電器産業株式会社・半導体営業本部

〒105-8586 東京都港区芝大門一丁目1番30号(ナショナル6号館) TEL. (03) 3459-9270

松下電器	〒	所 在 地	電 話 番 号
首都圏半導体営業所	105-8586	東京都港区芝大門一丁目1番30号(ナショナル6号館)	(03)3438-5300
半導体関東営業所	331-0852	埼玉県大宮市桜木町一丁目11番9号(日本生命大宮桜木町ビル5階)	(048)643-4530
半導体首都圏西営業所	192-0046	東京都八王子市明神町四丁目7番14号(八王子ONビル)	(0426)48-9202
半導体神奈川営業所	220-0004	横浜市西区北幸一丁目4番1号(天理ビル17階)	(045)319-5260
半導体長野営業所	390-0841	長野県松本市渚二丁目9番45号	(0263)27-7309
グローバル半導体営業所	105-8586	東京都港区芝大門一丁目1番30号(ナショナル6号館)	(03)3438-5036
近畿半導体営業所	540-0001	大阪市中央区城見二丁目1番61号(ツイン21ナショナルタワー)	(06)6949-2390
半導体京滋営業所	604-0845	京都市中京区烏丸通御池上ル二条殿町548番地	(075)256-1741
関西ナショナル電子部品株式会社	532-0026	大阪市淀川区塚本三丁目2番6号	(06)6300-0591
海外半導体営業所	540-0001	大阪市中央区城見二丁目1番61号(ツイン21ナショナルタワー)	(06)6949-3619
東京営業課	105-8586	東京都港区芝大門一丁目1番30号(ナショナル6号館)	(03)5472-8221
東北インダストリー営業所			
半導体営業課	980-0803	仙台市青葉区国分町三丁目1番11号	(022)263-4201
インダストリー福島営業所			
半導体営業課	963-8005	福島県郡山市清水台一丁目6番21号(山相郡山ビル4階)	(0249)38-6201
関連インダストリー営業所			
半導体営業部	221-0835	横浜市神奈川区鶴屋町二丁目20番3号(第5安田ビル4階)	(045)313-7211
静岡インダストリー営業所			
半導体営業課	420-0831	静岡市水落町1番1号(ナショナルビル)	(054)247-5151
中部インダストリー営業所			
半導体営業部	461-8530	名古屋市東区泉一丁目23番30号(ナショナルビル)	(052)951-6305
中部ナショナル電子部品株式会社	450-0002	名古屋市中村区名駅三丁目16番6号	(052)561-2571
中国インダストリー営業所			
半導体営業課	730-0042	広島市中区国泰寺町二丁目3番23号	(082)248-1951
九州インダストリー営業所			
半導体営業課	812-0016	福岡市博多区博多駅南一丁目2番13号(福岡パナソニックビル6階)	(092)481-1131
東京カーエレクトロニクス営業所	105-8586	東京都港区芝大門一丁目1番30号(ナショナル6号館)	(03)3438-5111
中部カーエレクトロニクス営業所	471-0025	愛知県豊田市西町四丁目25番地(中根ニッセイビル)	(0565)35-1611

マイコン関係のお問い合わせは、半導体デザインセンターへ

○東京	〒140-8632 東京都品川区東品川一丁目3番12号(松下電器東品川ビル3階)	TEL. (03) 5462-7370
○中部	〒461-8530 名古屋市東区泉一丁目23番30号(ナショナルビル)	TEL. (052) 972-9711
○関西	〒617-8520 京都府長岡京市神足焼町1番地	TEL. (075) 956-9935

電子カタログを掲載しているホームページ <http://www.mec.panasonic.co.jp>

松下電子工業株式会社 半導体社

〒617-8520 京都府長岡京市神足焼町1番地
TEL. 京 都 (075) 951-8151 (大代表)

270300

© Matsushita Electronics Corporation 2000

あなたとともに 豊かな未来へ 松下電器・松下電子工業