

LOGIC INTEGRATED CIRCUITS DTL FOR NUMERICAL CONTROL SYSTEMS
LOGISCHE INTEGRIERTE SCHALTKEIRE DTL FÜR NUMERISCHE
STEUERUNGS- UND REGELUNGSTECHNIK

MZ100
SERIES

Type Typ	Feature	Art	Log. function Log. Funktion	Outlines Abmessungen
MZH 115	Quadruple 2-input positive NAND gate with Y - input	Vier NAND-Gatter mit je zwei Eingängen und Y - Anschluss	$X = \overline{AB}$	IO 14
MZH 145	Dual 5-input positive NAND power gate with Y - input	Zwei NAND-Leistungsgatter mit je fünf Eingängen und Y - Anschluss	$X = \overline{ABCDE}$	IO 14
MZH 165	Quadruple MZ100 LSL - TTL level converter with open collector output and Y - input (on level of MH74, MH54, MH84 series)	Vier MZ100-LSL - TTL Pegelumsetzer mit offenem Kollektor und Y - Anschluss (an Pegel der MH74, MH54, MH84 Serie)		IO 14
MZH 185	Quadruple 2-input positive NAND-Gatter with open collector output — TTL - LSL level converter (on level of MZ 100 series)	Vier NAND - Gatter mit je zwei Eingängen und offenem Kollektor — TTL LSL - Pegelumsetzer (am Pegel der MZ 100 Serie)		IO 13
MZJ 115	J - K - Master - Slave — flipflop with Y - inputs.	J - K - Master — Slave - Flipflop mit Y - Anschlüssen		IO 14
MZK 105	Timing circuit with Y-input for monostable multivibrators, pulse delay, pulse reduction and delay switch circuits	Zeitglied mit Y-Anschluss für monostabile Kippstufe, Impulsverzögerungs-, Impulsverkürzungs- und Einschaltverzögerungsschaltungen		IO 14

MAXIMUM RATINGS:

Supply voltage
MZH 185
Input voltage
MZH 185
Voltage on Y-lead
Current of Y-lead
Operating temperature range
Storage temperature range

GRENZDATEN:

Betriebsspannung
Eingangsspannung
Spannung am Knotenpunkt N
Strom am Knotenpunkt N
Betriebstemperaturbereich
Lagertemperaturbereich

U_{CC}	max	0 ... 18	V
U_{CC}	max	0 ... 7	V
U_I	max	0 ... 18	V
U_I	max	0 ... 5,5	V
U_Y	max	-1 ... +0,6	V
I_Y	max	-10 ... +2,0	mA
θ_a	max	-25 ... +85	°C
θ_{stg}	max	-55 ... +155	°C

1) All voltages valid with regard to common point, which is the lead No. 8, at type MZH 185 the lead No. 7.
Alle Spannungen gelten angesichts zum Nullpunkt, welcher die Ausführung No. 8, beim Typ MZH 185 die Ausführung No. 7 ist.

CHARACTERISTIC DATA:

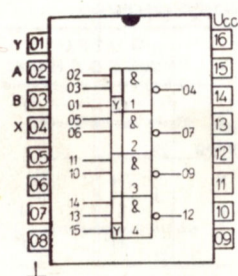
Dissipation power on each gate
Noise margin

KENNDATEN:

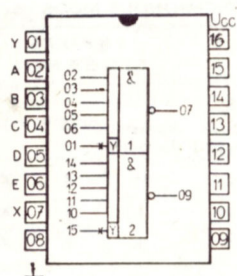
Leistungsverbrauch pro Gatter
Statische Störsicherheit

P_{typ}	27	mW
U	5	V

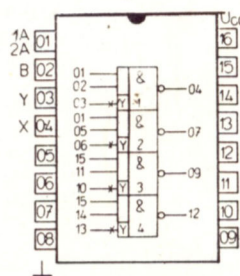
<http://www.DataSheetLIST.com>



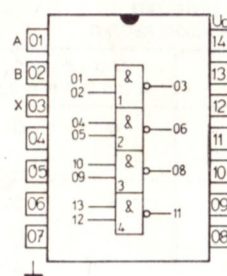
MZH115



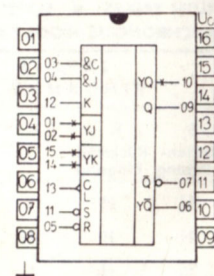
MZH145



MZH165



MZH185



MZJ115

www.DataSheetLIST.com

MZH115 LOGIC INTEGRATED CIRCUITS DTL ● LOGISCHE INTEGRIERTE SCHALTKREISE DTL
MZH145 GATES NAND ● LEVEL CONVERTES
MZH165 GATTER NAND ● PEGELUMSETZER LSL - TTL

CHARACTERISTIC DATA ● KENNDATEN

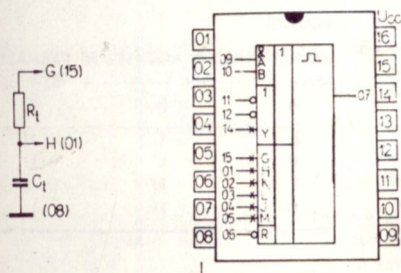
MZH115 MZH145 MZH165

Ambient temperature	Umgebungstemperatur	ϑ_a	-25 ... +85			°C
Supply voltage	Betriebsspannung	U_{CC}	11,4 ... 13,5	13,5 ... 17,0		V
Fan-out from each output	Ausgangsfächer pro Gatter					
level L	L-Zustand	N_{OL}	max. 10	max. 30	max. 10	
level H	H-Zustand	N_{OH}	max. 100	max. 100		
Input voltage — level H	Eingangsspannung — H-Zustand					
$U_{CC} = 11,4$ V		U_{IH}	> 7,5	> 7,5	> 7,5	V
$U_{CC} = 13,5$ V		U_{IH}	> 7,5	> 7,5	> 7,5	V
Input voltage — level L	Eingangsspannung — L-Zustand					
$U_{CC} = 11,4$ V		U_{IL}	< 4,5	< 4,5	< 4,5	V
$U_{CC} = 13,5$ V		U_{IL}	< 4,5	< 4,5	< 4,5	V
$U_{CC} = 17,0$ V		U_{IL}	< 4,5	< 4,5	—	V
Output voltage — level H	Ausgangsspannung — H-Zustand					
$U_{CC} = 11,4$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH}	> 10	> 10	—	V
$U_{CC} = 13,5$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH}	> 10	> 10	—	V
$U_{CC} = 17,0$ V, $U_{IL} = 4,5$ V, $-I_{OH} = 0,1$ mA		U_{OH}	> 12	> 12	—	V
Output voltage — level L	Ausgangsspannung — L-Zustand					
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 15$ mA		U_{OL}	< 1,7	—	—	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 18$ mA		U_{OL}	< 1,7	—	—	V
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 45$ mA		U_{OL}	—	< 1,7	—	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 54$ mA		U_{OL}	—	< 1,7	—	V
$U_{CC} = 11,4$ V, $U_{IH} = 7,5$ V, $I_{OL} = 20$ mA		U_{OL}	—	—	< 0,4	V
$U_{CC} = 13,5$ V, $U_{IH} = 7,5$ V, $I_{OL} = 20$ mA		U_{OL}	—	—	< 0,4	V
Input current — level H	Eingangsstrom — H-Zustand					
$U_{CC} = 13,5$ V, $U_I = 17$ V		I_{IH}	< 1,0	< 1,0	—	μA
$U_{CC} = 17$ V, $U_I = 17$ V		I_{IH}	< 1,0	< 1,0	—	μA
$U_{CC} = 13,5$ V, $U_I = 17$ V	Input ● Eingang 2, 5, 11, 14	I_{IH}	—	—	< 1,0	μA
$U_{CC} = 17$ V, $U_I = 17$ V	Input ● Eingang 2, 5, 11, 14	I_{IH}	—	—	< 1,0	μA
$U_{CC} = 13,5$ V, $U_I = 17$ V	Input ● Eingang 1, 15	I_{IH}	—	—	< 2,0	μA
$U_{CC} = 17$ V, $U_I = 17$ V	Input ● Eingang 1, 15	I_{IH}	—	—	< 1,0	μA
Input current — level L	Eingangsstrom — L-Zustand					
$U_{CC} = 13,5$ V, $U_I = 1,7$ V		$-I_{IL}$	< 1,5	< 1,5	—	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V		$-I_{IL}$	< 1,8	< 1,8	—	mA
$U_{CC} = 13,5$ V, $U_I = 1,7$ V	Input ● Eingang 2, 5, 11, 14	$-I_{IL}$	—	—	< 1,5	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V	Input ● Eingang 2, 5, 11, 14	$-I_{IL}$	—	—	< 1,8	mA
$U_{CC} = 13,5$ V, $U_I = 1,7$ V	Input ● Eingang 1, 15	$-I_{IL}$	—	—	< 3,0	mA
$U_{CC} = 17$ V, $U_I = 1,7$ V	Input ● Eingang 1, 15	$-I_{IL}$	—	—	< 3,6	mA
Short-circuit output current	Kurzschlussausgangsstrom					
$U_{CC} = 13,5$ V, $U_I = 0$ V, $\vartheta_a = 25$ °C		$-I_{OS}$	10 ... 50	10 ... 50	—	mA
$U_{CC} = 17$ V, $U_I = 0$ V, $\vartheta_a = 25$ °C		$-I_{OS}$	15 ... 60	15 ... 60	—	mA
Supply current — level H (full circuit)	Stromaufnahme — H-Zustand (gesamte)					
$U_{CC} = 13,5$ V, $U_I = 0$ V		I_{CCH}	< 6,4	< 3,2	< 18	mA
$U_{CC} = 17$ V, $U_I = 0$ V		I_{CCH}	< 8,4	< 4,2	< 18	mA
Supply current — level L (full circuit)	Stromaufnahme — L-Zustand (gesamte)					
$U_{CC} = 13,5$ V, $U_I = 13,5$ V		I_{CCL}	< 12,0	< 6,0	< 24	mA
$U_{CC} = 17$ V, $U_I = 17$ V		I_{CCL}	< 16,0	< 8,0	< 84	mA

DYNAMIC DATA:

DYNAMISCHE KENNDATEN: $U_{EC} = 12$ V, $C_L = 10$ pF, $\vartheta_a = 25$ °C

Propagation delay time to level H	Signal-Laufzeit beim Übergang nach H-Zustand	t_{PLH}	90 ... 310	90 ... 310	< 300	ns
level L	nach L-Zustand	t_{PHL}	90 ... 310	90 ... 310	< 500	ns
Front time	Anlaufzeit	t_r	200 ... 570	200 ... 570	—	ns
Run-out time	Auslaufzeit	t_f	70 ... 210	70 ... 210	—	ns



MZH115

MZH165

TRUTH TABLE ● LOGISCHES VERHALTEN

A	B	X
L	L	H
H	L	H
L	H	H
H	H	L