

LA75503V

モノリシックリニア集積回路
TV/VTR 用 PAL 対応完全無調整

VIF/SIF 信号処理回路

LA75503V は TV/VTR 用 PAL 完全無調整 VIF/SIF 信号処理 IC である。

IF 周波数 38MHz, 38.9MHz, 39.5MHz に対応。また PAL の音声マルチシステム (M/N, B/G, I, D/K) にも対応しており音声キャリア TRAP、音声キャリア BPF を内蔵している。無調整化回路の基準周波数に 4MHz を採用、Xtal 発振回路または外部入力により、VCO、AFT、音声 FILTER を制御する。

機能

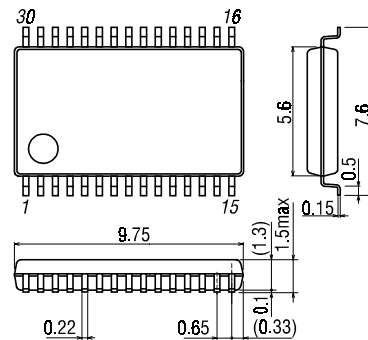
- ・ VIF アンプ
- ・ VCO 無調整 PLL 検波回路
- ・ デジタル AFT 回路
- ・ RF AGC
- ・ バズキャンセラ
- ・ イコライザーアンプ
- ・ 内蔵音声キャリア BPF
- ・ 内蔵音声キャリアトラップ
- ・ PLL-FM 検波回路
- ・ 基準信号発振回路

特長

- ・ VCO 無調整化回路を内蔵、VCO コイル調整が不要。
- ・ 音声 BPF 及び TRAP の内蔵化により PAL 音声マルチシステムを容易かつ安価での構成が可能。
- ・ 周辺部品点数の大幅削減を実現。
- ・ デジタル AFT 採用で AFT 公差の問題をクリア。
- ・ パッケージ SSOP30(275mil)

外形図 3191A

(unit : mm)



■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

SANYO : SSOP30(275mil)

LA75503V

最大定格 / Ta=25				unit
最大電源電圧	V _{CC} max		7	V
回路電圧	V16		V _{CC}	V
	V18		V _{CC}	V
回路電流	I30		-1	mA
	I17		+0.5	mA
	I6		-10	mA
	I4		-3	mA
許容消費電力	Pd max	Ta 70 (*基板付き)	550	mW
動作周囲温度	Topr		-20 ~ +70	
保存周囲温度	Tstg		-55 ~ +150	

*基板サイズ 65×72×1.6mm³、材質:紙フェノール

動作条件 / Ta=25				unit
推奨電源電圧	V _{CC}		5	V
動作電源電圧範囲	V _{CC} op		4.5 ~ 5.5	V

電気的特性 / Ta=25 , V_{CC}=5.0V , fp=38.9MHz

項目	記号	条件	min	typ	max	unit
VIF 部						
回路電流	I17			64.0	73.6	mA
最大 RFAGC 電圧	V14H	コレクタ負荷 30Ωk VC2=9V	8.5	9		V
最小 RFAGC 電圧	V14L			0.3	0.7	V
入力感度	V _i		33	39	45	dBuV
AGC 範囲	GR		58			dB
最大許容入力	V _{imax}		92	97		dBuV
無信号映像出力電圧	V4		3.3	3.6	3.9	V
同期信号先端電圧	V4tip		1.0	1.3	1.6	V
ビデオ出力レベル	V ₀		1.7	2.0	2.3	V _{pp}
ビデオ S/N	S/N	B/G	48	52		dB
C - S ビート	IC-S	P/S=10dB	26	32	38	dB
微分利得	DG	V _{in} =80dBμ		3	10	%
微分位相	DP			2	10	deg
黒ノイズスレッシュホールド電圧	VBTH			0.7		V
黒ノイズクランプ電圧	VBCL			1.8		V
VIF 入力抵抗	R _i			2.5	3.0	kΩ
VIF 入力容量	C _i			3	6	PF
最大 AFT 電圧	V13H		4.3	4.7	5.0	V
最小 AFT 電圧	V13L		0	0.2	0.7	V
AFT 公差 1	dfa1	f=38.9MHz		±35	±70	kHz
AFT 公差 2	dfa2	f=38.0MHz		±35	±70	kHz
AFT 公差 3	dfa3	f=39.5MHz		±35	±70	kHz
AFT 検波感度	Sf	RL=100kΩ//100kΩ	40	80	120	mV/kHz
AFT デッドゾーン	fda			30	60	kHz
APC ブルインレンジ (U)	fpu		1.5	2.0		MHz
APC ブルインレンジ (L)	fpl		1.5	2.0		MHz
VCO 最大可変範囲 (U)	dfu		1.5	2.0		MHz
VCO 最大可変範囲 (L)	dfL		1.5	2.0		MHz
VCO 制御感度			2.0	4.0	8.0	kHz/mV
N trap1 (4.75MHz)	NT1	wrt 1MHz	-30	-35		dB
N trap2 (5.25MHz)	NT2	wrt 1MHz	-19	-24		dB
BG trap1 (5.75MHz)	BT1	wrt 1MHz	-27	-32		dB
BG trap2 (6.1MHz)	BT2	wrt 1MHz	-20	-25		dB
BG trap3 (5.85MHz)	BT3	wrt 1MHz	-27	-32		dB
I trap1 (6.25MHz)	IT1	wrt 1MHz	-25	-30		dB
I trap2 (6.8MHz)	IT2	wrt 1MHz	-15	-20		dB

次ページへ続く。

LA75503V

前ページより続く。

項目	記号	条件	min	typ	max	unit
DK trap1 (6.75MHz)	DT1	wrt 1MHz	-25	-30		dB
group delay 1 NTSC (3.0MHz)	NGD1	wrt 1MHz	10	40	70	ns
group delay 1-1 NTSC (3.5MHz)	NGD1-1	wrt 1MHz	70	120	170	ns
group delay 2 BG (4MHz)	BGD2	wrt 1MHz	30	60	90	ns
group delay 2-1 BG (4.4MHz)	BGD2-1	wrt 1MHz	100	150	200	ns
group delay 3 I (4MHz)	IGD3	wrt 1MHz	0	30	60	ns
group delay 3-1 I (4.4MHz)	IGD3-1	wrt 1MHz	30	60	90	ns
group delay 4 DK (4MHz)	DGD4	wrt 1MHz	0	15	30	ns
group delay 4-1 DK (4.4MHz)	DGD4-1	wrt 1MHz	0	30	60	ns
1st SIF 部						
変換利得	Vg	f _p =5.5MHz Vi=500μV	26	32	38	dB
SIF キャリア出力レベル	So	Vi=10mV		100		mVrms
1st SIF 最大入力	Simax	So ± 2dB		106		dBμV
1st SIF 入力抵抗	Ris			5.0	6.0	kΩ
1st SIF 入力容量	Cis			3	6	pF
SIF 部						
リミッティング感度	Vi(lim)	f=5.5MHz F=±30kHz	46	52	58	dBμV
FM 検波出力電圧	vo(FM)	at 400Hz	560	700	850	mVrms
AM除去比	AMR	AM=30% at 400Hz	50	60		dB
歪み率	THD	f=5.5MHz F=±30kHz		0.3	1.0	%
FM 検波出力 S/N	S/N(FM)		55	60		dB
BPF 3dB 帯域幅	BW			± 100		kHz
PAL ディエンファシス	Pdeem	f _m =3kHz		-3		dB
NTSC ディエンファシス	Ndeem	f _m =2kHz		-3		dB
PAL/NT オーディオ 電圧利得差	GD			6		dB
その他						
4MHz レベル(外部入力時)	X4MIN	終端値	86			dBμ
SIF システム SW スレッシュホールド電圧	V10 V11			1.4		V
I F システム SW スレッシュホールド抵抗値	V12				270	kΩ
SPLIT/Inter SW	V16			0.5		V

LA75503V

システムの切り換えについて

a、SIFシステム SW

SIFシステムは、A (13pin) B (14pin) 端子を GND、OPEN にすることで切り換えられる。

A	B	B/G	I	D/K	M/N	FM DET LEVEL	ディエンファシス
GND	GND					6 dB	75 μ s
GND	OPEN					0 dB	50 μ s
OPEN	GND					0 dB	50 μ s
OPEN	OPEN					0 dB	50 μ s

注： は、そのシステムをセレクト

b、IFシステム SW

IF周波数は、15ピン (クリスタル発振) OPEN で 38.9MHz 対応になる。15ピン - GND 間に 220k Ω を追加することで、38MHz 対応になる。また、15ピン - Vcc 間に 220k Ω を追加する事で、39.5MHz 対応になる。

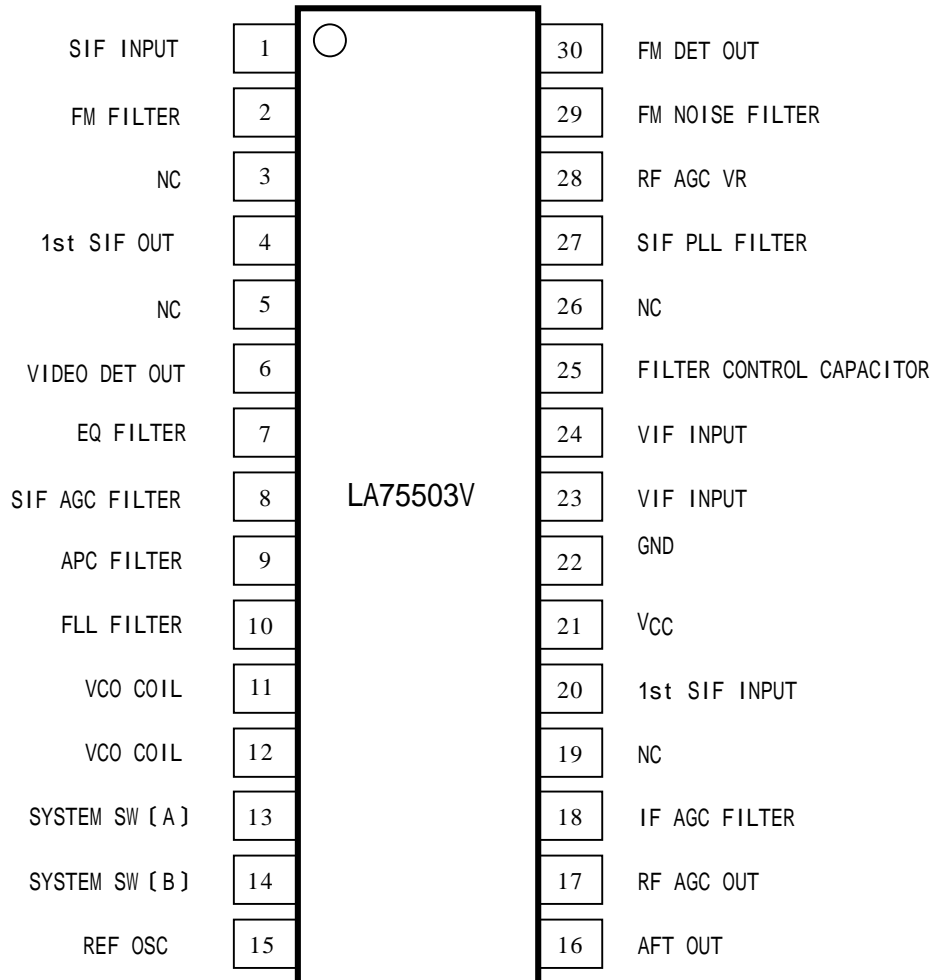
c、SPLIT/INTER CARRIER SW

インタキャリアは、1st SIF INPUT (20ピン) を GND にすることで選ばれる。

トラップについて

音声トラップのトラップ点は、映像 S/N 改善の為、各モードの SIF センタ周波数より約 250KHz 上側に設定している。この為、SPLIT 仕様での設計が適している。

ピン配置図

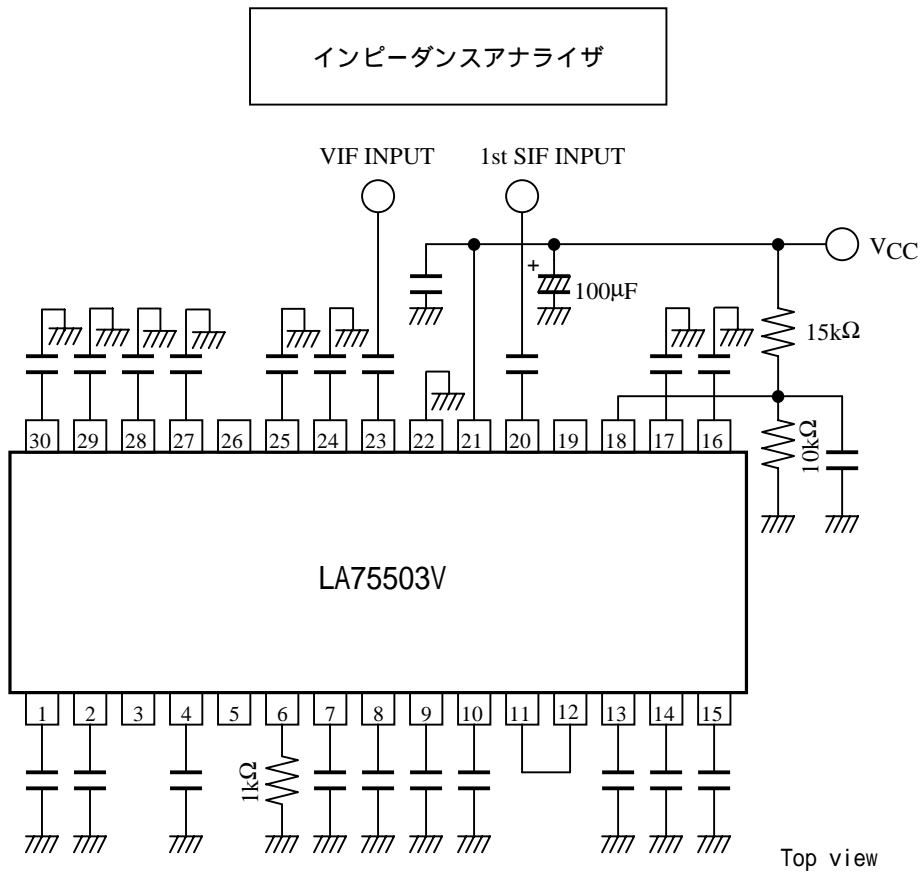


Top view

LA75503V

測定回路図

入力インピーダンス測定回路 (VIF、1st SIF 入力インピーダンス)



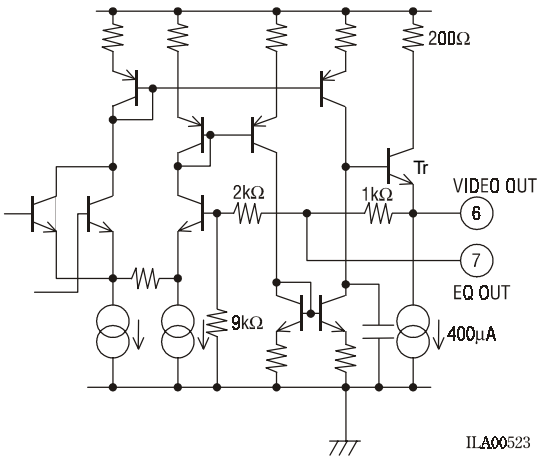
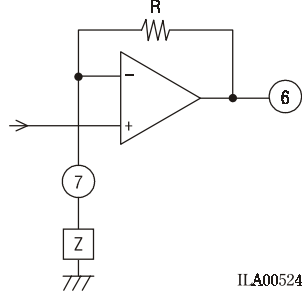
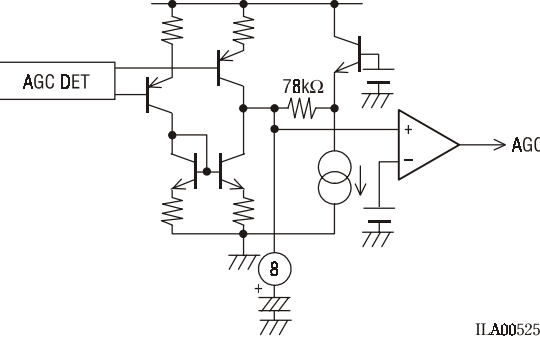
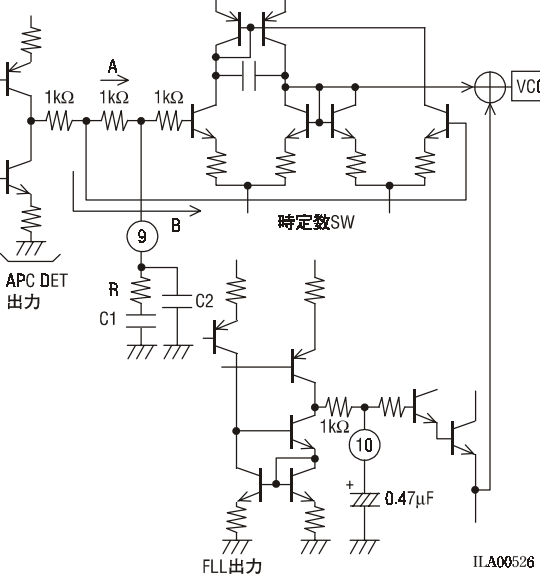
指定無きコンデンサは、0.01µF

LA75503V

端子説明

P I N	内 部 回 路	説 明
1	<p>SIF INPUT</p> <p style="text-align: right;">IIA00519</p>	<p>1st SIF 出力から SIF 信号を入力する。 内蔵フィルタのダイナミックレンジにより、入力レベルは 90dBμV 以下に設計すること。</p>
2	<p>FM FILTER</p> <p style="text-align: right;">IIA00520</p>	<p>FM の帰還フィルタ端子である。C, R のフィルタで構成する。 容量値は通常 1μF を使用する。 この容量値が小さいと低域の周波数での FM 出力レベルが小さくなる。 また直列に接続する抵抗値を大きくすることで FM 出力レベルを小さくすることが出来る。抵抗値は 3kΩ 以上を使用すること。</p>
3	NC	空き端子
4	<p>1st SIF OUT</p> <p style="text-align: right;">IIA00521</p>	<p>1st SIF 出力である。 SPLIT 仕様ときは、入力の SAW フィルタにより、クロマキャリアのレベルが小さくなるが、インタキャリア時、クロマキャリアのレベルがそのまま出力されるので、外部にフィルタを接続した方がよい。 ・フィルタ例</p> <p style="text-align: right;">IIA00522</p>

LA75503V

P I N	内 部 回 路	説 明
5	NC	空き端子
6 7	VIDEO OUT EQ OUT  <small>ILA00523</small>	6ピンはビデオ出力端子である。 EQ アンプは下図のように考えることができる。  <small>ILA00524</small> 従って、EQ アンプのピークゲインは $A_v = 1 + R/Z$ で決まる。 但し、LA75503V は $V_{CC} = 5V$ の IC なので、あまり振幅を大きくすると V_{CC} 側で歪みが発生するので注意すること。白レベルが 4V 以下で使用するこ
8	SIF AGC FILTER  <small>ILA00525</small>	8ピンはSIF AGCのフィルタ端子である。 容量値は $0.01\mu F \sim 0.1\mu F$ を使用すること。
9 10	 <small>ILA00526</small>	9ピンはPLL 検波器のAPC フィルタ端子である。 通常、 $R = 330\Omega$ $C1 = 0.47\mu F \sim 1\mu F$ $C2 = 100 pF$ とする。 PLL がロック時、信号はAのルートを通り、アンロック、弱電界時、Bのルートを通る。このことにより、PLL のループゲインを切換える。 10ピンはVCO 自動制御用FLL フィルタ端子である。 非常に小さな電流で動作しているので、容量値を大きくすると応答が遅くなる。 通常、 $0.47\mu F \sim 1\mu F$ とする。 また、この端子の制御範囲は $3V \sim 4.7V$ 位である。この値はVCO タンクの調整点で決まるので、VCO のL、Cの設計センタを10ピン電圧が $3.6V$ になるようにすること。

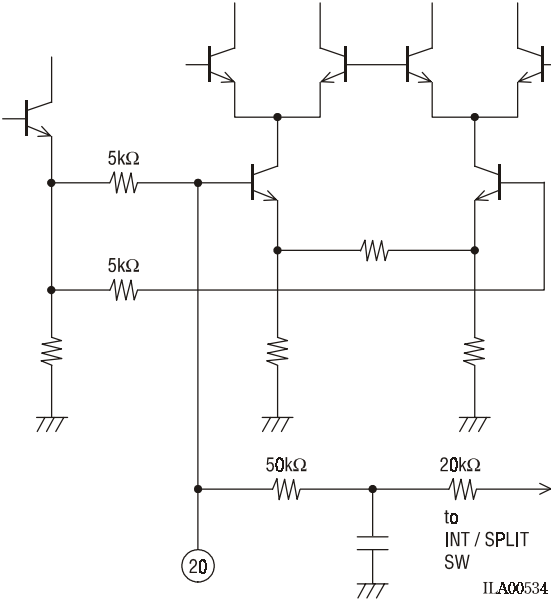
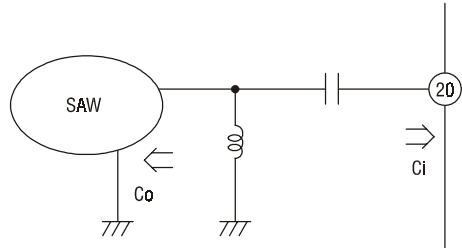
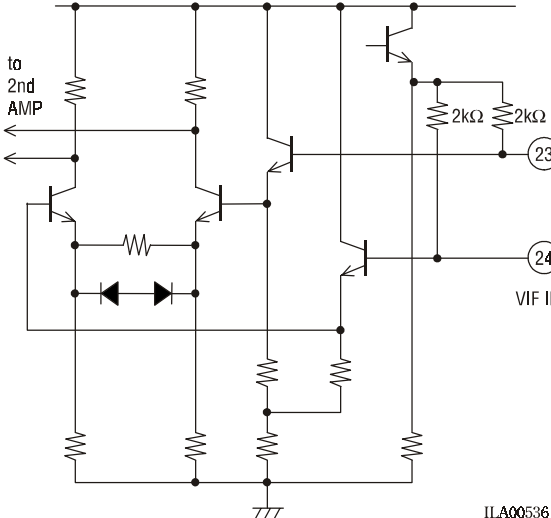
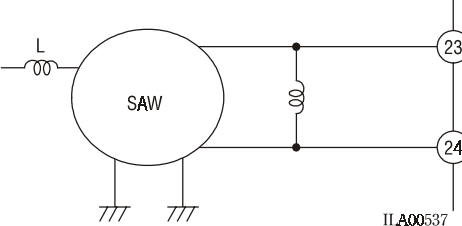
LA75503V

P I N	内 部 回 路	説 明
1 1 1 2	<p style="text-align: right;">IIA00527</p>	PLL 検波器用の VCO タンク回路接続端子である。同調容量は 24pF とする。 L および C の仕様は ±2% 以内のものを使用すること。また L, C 値は IF センタ周波数でロック時に 10 ピン電圧が 3.6V になるように設計すること。
1 3 1 4	<p style="text-align: right;">IIA00528</p>	SYSTEM SW 端子である。 回路から、約 1.4V 端子電圧になるとトランジスタが ON になる。
1 5	<p style="text-align: right;">IIA00529</p>	Xtal の発振子の端子と IF SW の共用端子である。 15 ピン - GND に 220kΩ を付加すると 38MHz モード、オープンの場合 38.9MHz モード、15 ピン - VCC 間に 220kΩ を付加して 39.5MHz モードとなる。 この端子より、4MHz の入力も可能である。 4MHz 外部入力の場合、86dBμ 以上入力すること。

LA75503V

P I N	内 部 回 路	説 明
1 6		<p>16 ピンは AFT 出力端子である。 外付のブリーダ抵抗 47kΩ//47kΩ、 フィルタ容量は 0.1μF とする。 AFT は基準周波数の 4MHz を分周した信号と VCO を分周した信号との比較を行い、これを積分す ることにより、AFT 電圧を作っている。 デジタルの位相比較器を使用しているため、 AFT センタに不感帯が出る。</p>
1 7		<p>17 ピンは RF AGC 出力である。 R1、R2 により RF AGC max を決定。 R1、R3 により RF AGC min を決定する。 C1 は発振止め、C2 は RF AGC フィルタである。 R1 は通常 30kΩを使用するが、チューナの F/E の トランジスタがガリウム砒素の場合、ゲートの インピーダンスが下がるので 10kΩ位に設定する こと。</p>
1 8		<p>18 ピンは IF AGC フィルタ端子である。 通常 0.01μF ~ 0.02μF マイラコンデンサを使用す る。 H サグ、AGC スピードを見て決定すること。</p>
1 9	N C	空き端子

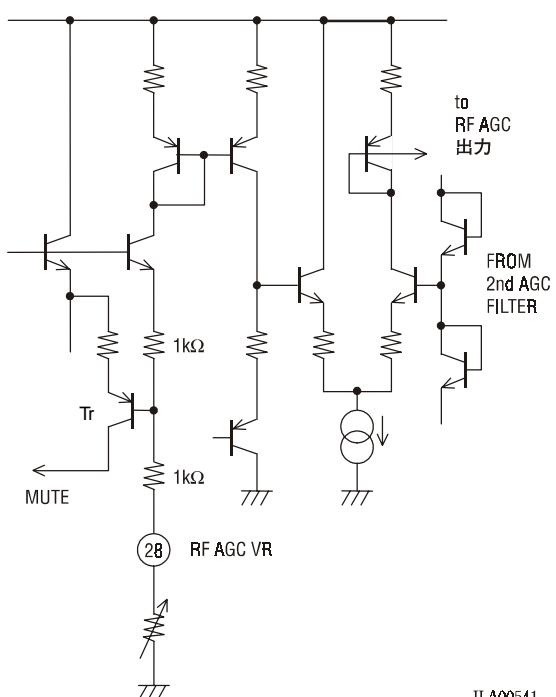
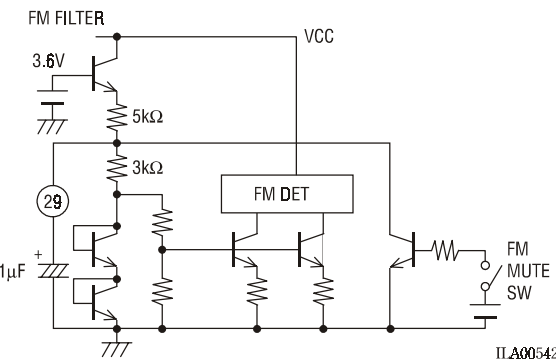
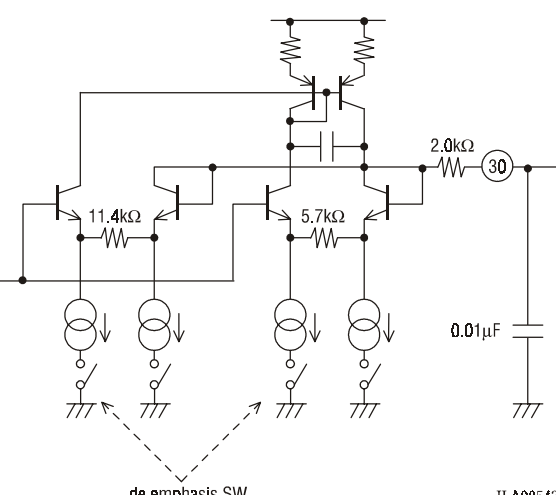
LA75503V

P I N	内 部 回 路	説 明
2 0	 <p style="text-align: right; font-size: small;">ILA00534</p>	<p>20 ピンは 1stSIF IN 及び INTER/SPLIT の切換 SW 端子となる。インタキャリアの場合、20 ピンを GND にすること。</p> <p>サウンドの SAW フィルタを付けるとき、IC の入力容量と SAW フィルタの出力容量を中和する L を挿入することでマッチングロスが減らすことが出来る。</p> <div style="text-align: center;">  <p style="text-align: right; font-size: x-small;">ILA00535</p> </div>
2 1	V C C	<p>デカップリングコンデンサは出来る限り最短距離で接続すること。</p>
2 2	G N D	
2 3 2 4	 <p style="text-align: right; font-size: small;">ILA00536</p>	<p>23, 24 ピンは VIF 入力端子である。入力抵抗はゲインのロス小さくする為、2kΩとする。</p> <p>VIF アンプ 3 段はそれぞれ容量結合されているので、SAW フィルタと直接つなぐことが出来る。</p> <div style="text-align: center;">  <p style="text-align: right; font-size: x-small;">ILA00537</p> </div>

LA75503V

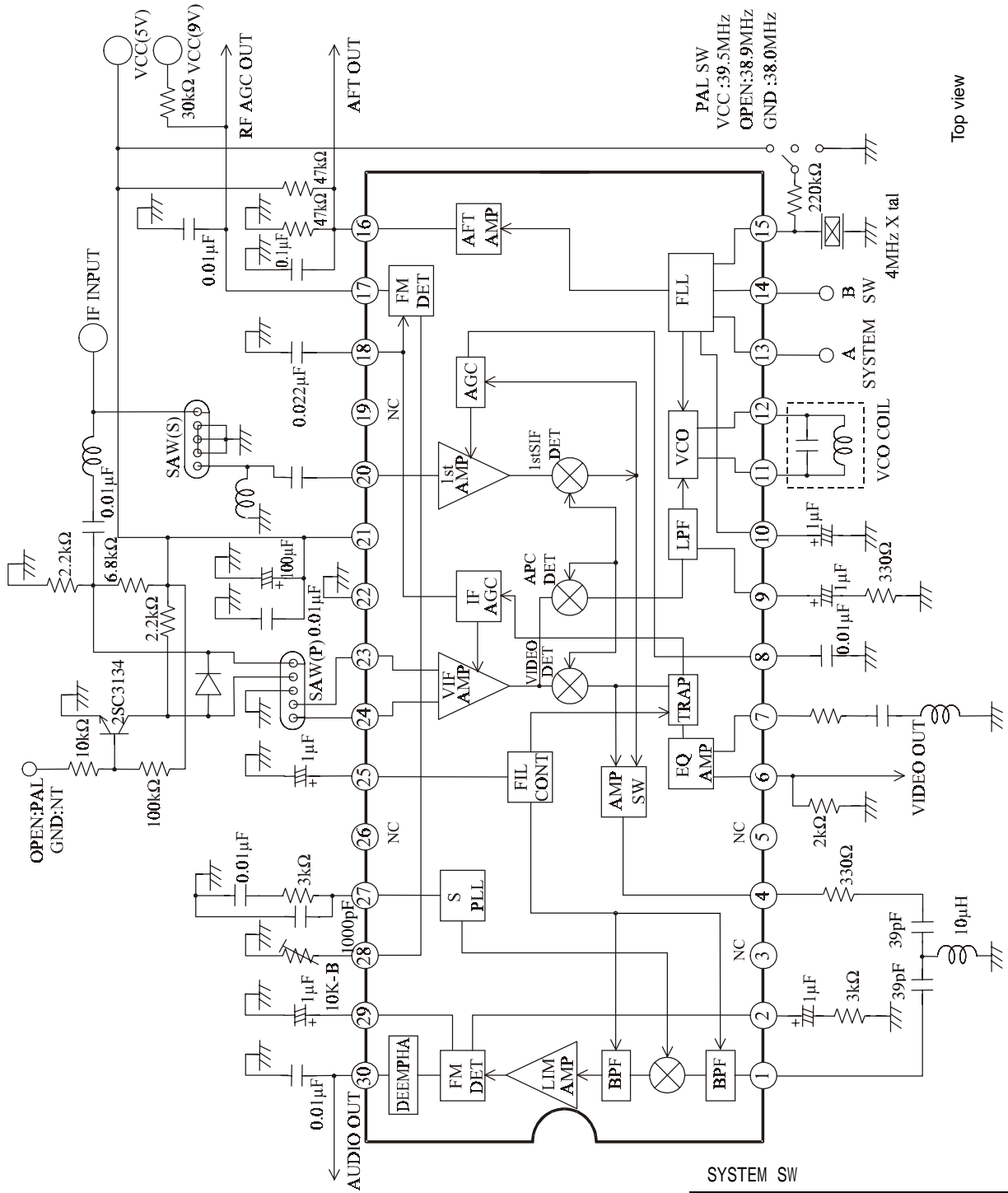
P I N	内 部 回 路	説 明
2 5		<p>25 ピンはフィルタコントロール端子である。ビデオ S/N, AM, PM ノイズより、$0.47\mu\text{F} \sim 1\mu\text{F}$ の値が良い。</p>
2 6	N C	空き端子
2 7		<p>27 ピンは SIF PLL のフィルタ端子である。通常、下記値とする。 $R : 3\text{k}\Omega$ $C1 : 0.01\mu\text{F}$ $C2 : 1000\text{pF}$</p> <div style="text-align: center;"> </div> <p style="text-align: right;">IIA00540</p> <p>R が大きくなると ($6\text{k}\Omega$ 以内) FM 検波出力のノイズ分が高域で持ち上がる。R が小さくなると低域ノイズが上がる。</p>

LA75503V

P I N	内 部 回 路	説 明
2 8	 <p style="text-align: right; margin-right: 50px;">ILA00541</p>	<p>28 ピンは RF AGC VR 端子である。 端子を GND にすると、Tr1 が ON して、 Mute 回路が動作する。</p>
2 9	 <p style="text-align: right; margin-right: 50px;">ILA00542</p>	<p>29 ピンは FM フィルタ端子である。 容量値は 0.01μF ~ 1μF を使用すること。</p>
3 0	 <p style="text-align: right; margin-right: 50px;">ILA00543</p>	<p>30 ピンは FM 出力端子である。 内蔵の差動アンプはディエンファシスの抵抗値 を決定、及び切換えている。 PAL 5kΩ × 0.01μF NTSC 7.5kΩ × 0.01μF</p>

LA75503V

応用回路例



SYSTEM SW

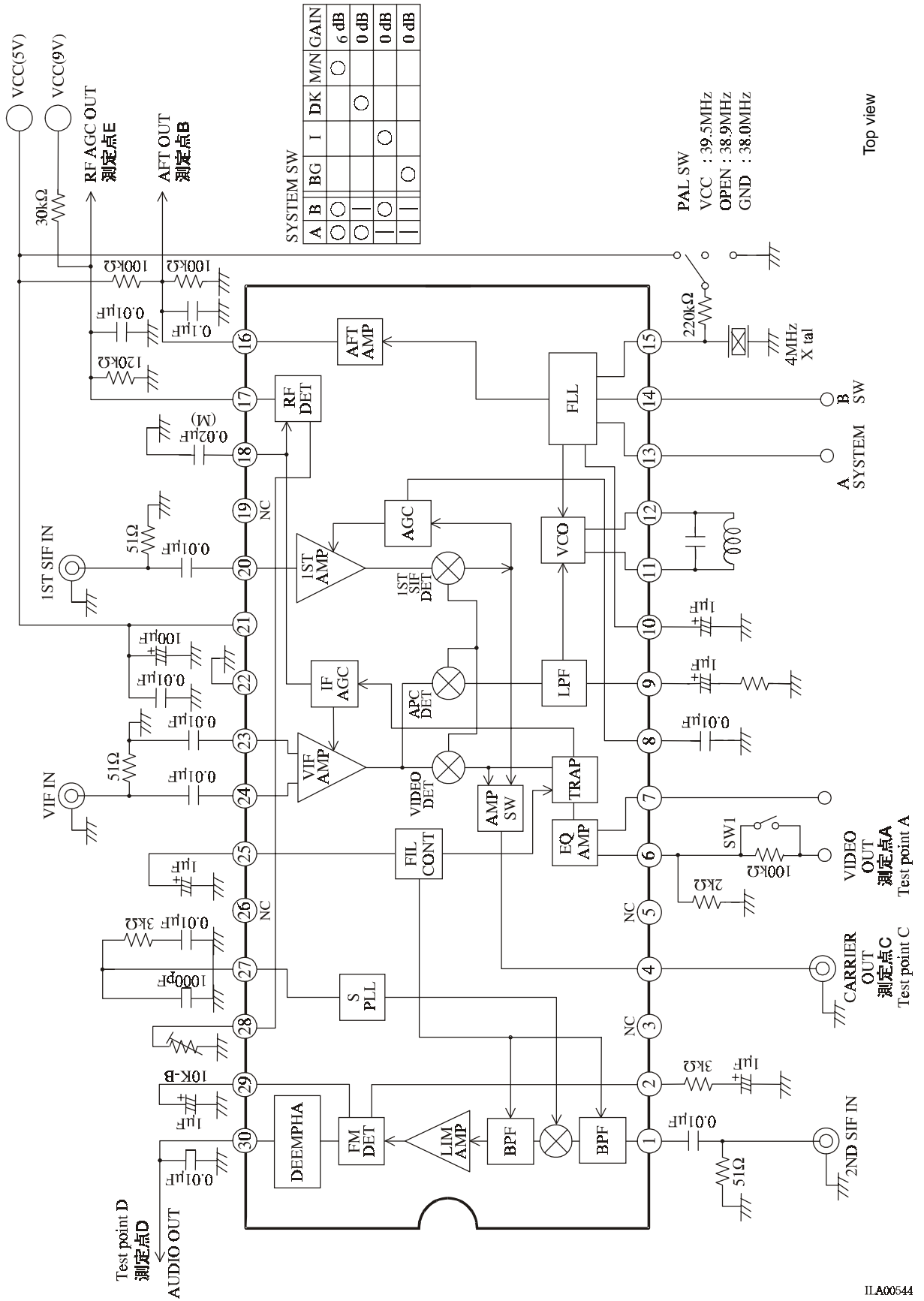
A	B	BG	I	DK	MN	GAIN
0	0					6dB
0	1					0dB
1	0					0dB
1	1					0dB

1: OPEN

0: GND

Top view

測定回路図



ILA00544

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。