

昇圧電源内蔵圧電スピーカ駆動用D級パワーアンプ

概要

NJW1262 は、昇圧型 PWM 制御スイッチングレギュレータ内蔵の単一電源アナログ入力圧電スピーカ駆動用 D 級パワーアンプです。出力は BTL 構成で、 $7 V_{rms} (@1kHz)$ の出力信号振幅が得られます。また、MODE 制御信号により SP/REC モードを切り替えることができます。小信号振幅で負荷を駆動する場合は REC モードとし出力部電源電圧を下げることで消費電流を抑えることができます。2 入力セクタを内蔵しており、SP/REC モードに応じて入力信号を切り替えることができます。保護回路は出力端子短絡保護回路、電源電圧監視回路、高温検出回路を内蔵しています。

D 級動作により電力効率が高く、低消費電力で薄型軽量の圧電スピーカを駆動できるため、携帯電話、PDA、ポータブルオーディオ機器、ノート PC 等に最適です。

特徴

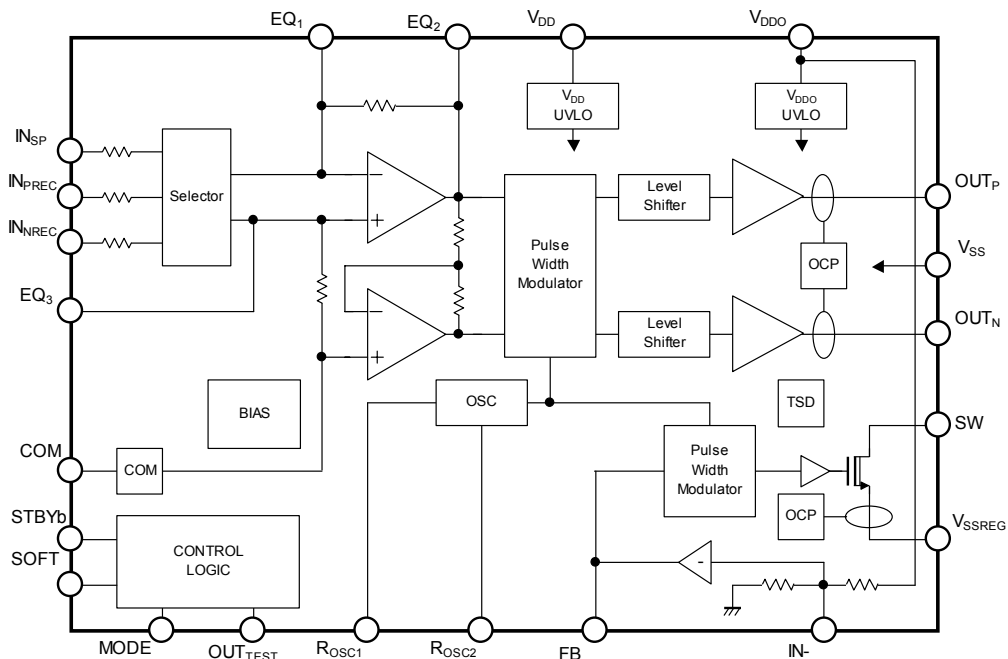
- 電源電圧 $V_{DD} = 3.0V \sim 4.2V$
- $V_{DDO} = 13V$ (SPモード)
- $V_{DDO} = 4.5V$ (RECモード)
- モノラルアナログ入力(2入力セクタ付き)
- 圧電スピーカ駆動用
- モノラルBTL出力
- 昇圧型PWM制御スイッチングレギュレータ内蔵
- SP/REC(スピーカレシーバ)モード切替機能
- スタンバイ機能
- ソフトスタート、ソフトミュート機能
- ポップノイズ低減回路内蔵
- 出力端子短絡保護回路内蔵
- 電源電圧監視回路内蔵
- 高温検出回路内蔵
- パッケージ EPCSP32

外形



NJW1262NL2

ブロック図



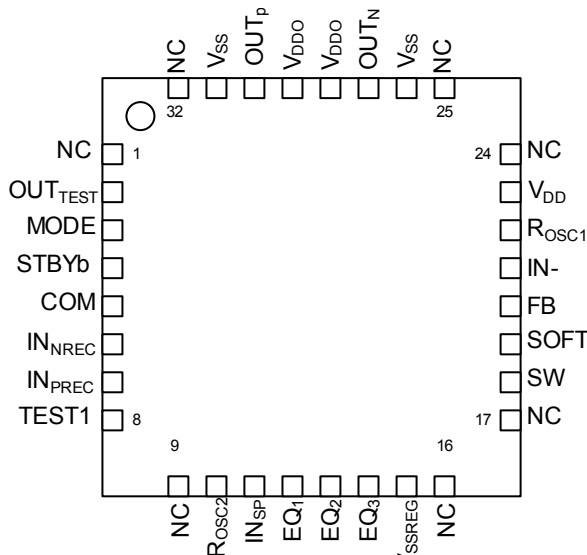
端子説明

端子番号	端子名	I/O	機能
23	V _{DD}	-	電源端子:V _{DD} =3.7 V
28,29	V _{DDO}	-	出力電源端子:V _{DDO} =13 V
11	IN _{SP}	I	SP モード時非反転信号入力端子
7	IN _{PREC}	I	REC モード時非反転信号入力端子
6	IN _{NREC}	I	REC モード時反転信号入力端子
12	EQ ₁	I/O	入力 LPF 設定端子
13	EQ ₂	I/O	入力 LPF 設定端子
14	EQ ₃	I/O	入力 LPF 設定端子
5	COM	I/O	内部回路バイアス端子
19	SOFT	I/O	ソフトスタート用キャパシタ接続端子
4	STBYb	I	スタンバイコントロール端子 (STBYb="L":スタンバイモード)
3	MODE	I	SP/REC モード切替端子 (MODE="H":SP モード、MODE="L":REC モード) STBYb 端子立ち上げ時の論理がラッチされます。
22	R _{OSC1}	I/O	D 級アンプ用発振器抵抗接続端子
10	R _{OSC2}	I/O	スイッチングレギュレータ用発振器抵抗接続端子
26,31	V _{SS}	-	GND 端子:V _{SS} =0 V
30	OUT _P	O	非反転信号出力端子
27	OUT _N	O	反転信号出力端子
2	OUT _{TEST}	O	メーカーテスト端子 必ずフローティングまたは V _{SS} に固定してください。
18	SW	O	スイッチングレギュレータ用インダクタ接続端子
15	V _{SSREG}	-	GND 端子:V _{SSREG} =0 V
21	IN-	I/O	昇圧電圧設定抵抗接続端子
20	FB	I/O	スイッチングレギュレータ位相補償素子接続端子
8	TEST1	I	メーカーテスト端子(50 kΩ で接地されています) 必ずフローティングまたは V _{SS} に固定してください。
1, 9,16,17, 24,25,32	NC		ノンコネク端子。内部回路には接続されません。 必ずフローティングまたは V _{SS} に固定してください。

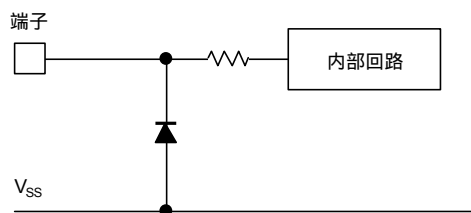
注) V_{BAT}(昇圧用入力電源)=V_{DD}としてください。

注) 入力端子はフローティングにしないでください。

端子配列



入力端子構成



絶対最大定格 (Ta=25 °C)

(Ta = 25)

項目	記号	条件	定格	単位
電源	V _{DD}	V _{DD} 端子	-0.3 ~ +5.5	V
	V _{DDO}	V _{DDO} 端子	-0.3 ~ +36.0	
入力電圧	V _{IN}	IN _{SP} , IN _{PREC} , IN _{NREC} , STBYb, MODE、OUT _{TEST} 端子	-0.3 ~ V _{DD} + 0.3	V
動作温度	T _a		-40 ~ +85	°C
保存温度	T _{stg}		-40 ~ +125	°C
許容損失	P _{DMAX2}	2層基板(EIAJ), T _j = 125	760	mW
	P _{DMAX4}	4層基板(EIAJ), T _j = 125	1800	mW
熱抵抗	ja2	2層基板(EIAJ), T _j = 125	132	°C /W
	ja4	4層基板(EIAJ), T _j = 125	54	°C /W

注) 電圧は全て V_{SS} = 0 V を基準とした値です。

注) 許容損失は基板上に実装したときの値です。基板仕様: 2層/4層 EIA/JEDEC STD

注) 絶対最大定格を超えて IC を使用した場合、IC の永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると IC の誤動作の原因になるとともに、IC の信頼性に悪影響を及ぼすことがあります。

注) IC を安定して動作させるため V_{DD}-V_{SS}, V_{DDO}-V_{SS} 端子間に必ずデカップリングコンデンサを挿入してください。

注) 使用の際、実装基板の熱抵抗、使用周囲温度、出力電力(平均値)などを考慮し最大許容損失を超えないよう充分ご注意ください。

注) D 級動作のアンプは、一般的なアナログ動作のアンプに比べて電力効率が非常に高く、発熱も少ないのですが、小型のパッケージを使用しているため、最大出力で連続動作させた場合、許容損失を超える場合が有ります。

一般的な音楽信号の場合、平均電力は最大出力電力の 1/5 から 1/10 程度であり、基板からの放熱もあるため、実使用上は許容損失を超える事は有りませんが、使用の際、実装基板の熱抵抗、使用周囲温度、出力電力(平均値)等を考慮し、許容損失を超えないよう充分ご注意ください。

許容損失は周囲温度によって変化し、以下の式で求めることができます。

許容損失の計算方法:

$$P_{DMAX} = \frac{T_{jMAX} [] - T_a []}{\theta_{ja} [/W]}$$

但し、P_{DMAX}: 許容損失[W], T_{jmax}: ジャンクション温度[], T_a: 周囲温度[°C] ja: パッケージ熱抵抗[°C /W]

例えば、2層基板において T_a = 50 °C の時の許容損失は、T_{jmax} = 125 °C、ja2 = 132 °C /W から、

$$P_D = \frac{125 - 50}{132 /W} = 570[mW]$$

となります。

電気的特性

DC 特性

特記無き場合

$T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3.7\text{ V}$, $V_{DDO} = 13\text{ V}$ (SP モード), $V_{DDO} = 4.5\text{ V}$ (REC モード), $V_{SS} = V_{SSREG} = 0.0\text{ V}$, 負荷容量 = $1.5\text{ }\mu\text{F}$

$R_{OSC1} = 82\text{ k}\Omega$, $R_{OSC2} = 82\text{ k}\Omega$, $C_{LPF} = 330\text{ pF}$, $C_c = 0.033\text{ }\mu\text{F}$, 出力フィルタ定数: [$L_{OUT} = 22\text{ }\mu\text{H}$, $R_{DAMP} = 3.9\text{ }\Omega$]

SW レギュレータ定数: [$L_{SW} = 6.8\text{ }\mu\text{H}$, $C_{SW} = 20\text{ }\mu\text{F} + 0.1\text{ }\mu\text{F}$, $C_{comp1} = 4.7\text{ nF}$, $R_{comp1} = 68\text{ k}\Omega$]

入力信号: $I_{NSP} = 100\text{ mVrms}$, $I_{NPREC} - I_{NREC} = 100\text{ mVrms}$, 入力周波数 = 1 kHz

項目	記号	条件	MIN.	TYP.	MAX.	単位
動作電圧範囲	V_{DD}		3.0	3.7	4.2	V
	V_{DDO}	SP モード	8	13	16	V
REC モード		4.2	4.5	4.8	V	
デフォルト昇圧電圧	V_{SWSP}	SP モード	-	13	-	V
	V_{SWREC}	REC モード	-	4.5	-	V
D 級出力ドライバ High side オン抵抗値	R_{ONHSP}	SP モード、 OUT_P , OUT_N 端子 $V_{OUTP,N} = V_{DDO} - 0.1\text{ V}$	1.3	2.0	2.4	Ω
	R_{ONHREC}	REC モード、 OUT_P , OUT_N 端子 $V_{OUTP,N} = V_{DD} - 0.1\text{ V}$	1.3	2.2	2.8	Ω
D 級出力ドライバ Low side オン抵抗値	R_{ONLSP}	SP モード、 OUT_P , OUT_N 端子 $V_{OUTP,N} = 0.1\text{ V}$	1.3	2.0	2.4	Ω
	R_{ONLREC}	REC モード、 OUT_P , OUT_N 端子 $V_{OUTP,N} = 0.1\text{ V}$	1.3	2.2	2.8	Ω
SW レギュレータ出力ドライバ オン抵抗値	R_{ONSW}	SW 端子 $V_{SW} = 0.1\text{ V}$	0.05	0.4	0.7	Ω
入力抵抗	R_{INSP}	IN_{SP} 端子	90	120	150	k Ω
	R_{INPREC}	IN_{PREC} 端子	180	240	300	k Ω
	R_{INNREC}	IN_{NREC} 端子	280	360	440	k Ω
消費電流 (スタンバイ時)	I_{ST}	STBYb: "L", 無負荷	-	-	1	μA
消費電流 (無信号入力時)	I_{BATSP}	SP モード、LC フィルタ 無し、 無負荷	-	11	14	mA
	I_{BATREC}	REC モード、LC フィルタ 無し、 無負荷	-	4.0	5.0	mA

項目	記号	条件	MIN.	TYP.	MAX.	単位
デジタル入力電圧	V_{IH}	STBYb,MODE 端子	1.5	-	V_{DD}	V
	V_{IL}	STBYb,MODE 端子	0	-	0.5	V
入力リーク電流	I_{LK}	STBYb, MODE 端子	-	-	± 1	μA
SW オフリーク電流	I_{LKSW}	SW 端子	-	-	± 1	μA
OUT _P 接地抵抗	R_{OUTP}	OUT _P 端子	70	100	130	k Ω
OUT _N 接地抵抗	R_{OUTN}	OUT _N 端子	70	100	130	k Ω
D 級アンプ発振周波数	f_{OSCD}		180	250	320	kHz
SW レギュレータ発振周波数	f_{OSCSW}		500	600	750	kHz
ソフトスタート抵抗	R_{SST}	SOFT 端子	35	50	65	k Ω
ソフトミュート抵抗	R_{SMT}	SOFT 端子	35	50	65	k Ω
起動時間	T_{ON}		5.0	6.7	8.4	ms
停止時間	T_{OFF}		10	13.3	16.6	ms
D 級アンプ電圧利得	AV_{SP}	SP モード, 無負荷 $C_{LPF} = 100 \text{ pF}$	-	27.6	-	dB
	AV_{REC}	REC モード, 無負荷 $C_{LPF} = 100 \text{ pF}$	-	5.1	-	dB
MODE セットアップ時間	T_{STUP}	図 1 参照	10	-	-	μs
MODE ホールド時間	T_{HLD}	図 1 参照	50	-	-	μs
起動時出力オフセット電圧	V_{OFFSET}	REC モード 起動後 2ms 後	-20	-	20	mV

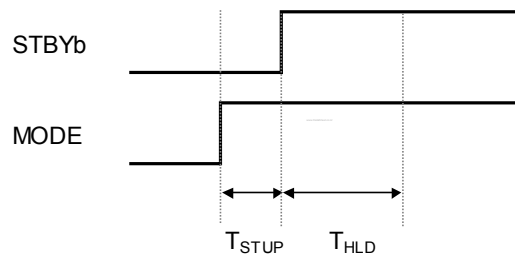


図 1 STBYb/MODE 入力タイミング

AC 特性

特記無き場合

$T_a = 25\text{ }^\circ\text{C}$, $V_{DD} = 3.7\text{ V}$, $V_{DDO} = 13\text{V}$ (SP モード), $V_{DDO} = 4.5\text{ V}$ (REC モード), $V_{SS} = V_{SSREG} = 0.0\text{ V}$, 負荷容量 = $1.5\text{ }\mu\text{F}$

$R_{OSC1} = 82\text{ k}\Omega$, $R_{OSC2} = 82\text{ k}\Omega$, $C_{LPF} = 330\text{ pF}$, $C_c = 0.033\text{ }\mu\text{F}$, 出力フィルタ定数: [$L_{OUT} = 22\text{ }\mu\text{H}$, $R_{DAMP} = 3.9\text{ }\Omega$]

SW レギュレータ定数: [$L_{SW} = 6.8\text{ }\mu\text{H}$, $C_{SW} = 20\text{ }\mu\text{F} + 0.1\text{ }\mu\text{F}$, $C_{cmpn1} = 4.7\text{ nF}$, $R_{cmpn} = 68\text{ k}\Omega$]

入力信号: $I_{N_{SP}} = 100\text{ mVrms}$, $I_{N_{PREC}} - I_{N_{NREC}} = 100\text{ mVrms}$, 入力周波数 = 1 kHz

項目	記号	条件	MIN.	TYP.	MAX.	単位
全高調波歪率	THD+N _{SP}	SP モード $V_{OUTSP} = 2.5\text{ Vrms}$ 時	-	0.2	-	%
	THD+N _{REC}	REC モード $V_{OUTREC} = 1\text{ Vrms}$ 時	-	0.08	-	%
最大出力電圧	V_{OUTSP}	SP モード, THD+N=2 %時	-	7	-	Vrms
	V_{OUTREC}	REC モード, THD+N=2 %時	-	2.7	-	Vrms
S/N	SN	REC モード A-weight	-	80	-	dB
ノイズフロア	V_N	REC モード A-weight	-	100	-	μVrms

注) レシーバーモードでは、NJW1262のD級アンプ発振周波数とSWレギュレータ発振周波数によるビートにより

ノイズを感じる可能性がありますので十分評価したうえでご使用ください。

機能説明

信号入力(IN_{SP}, IN_{PREC}, IN_{NREC} 端子)

アナログ信号を入力します。動作モードに応じて入力信号が選択されます(10 頁のモード項を参照)。

LPF 用コンデンサ接続端子(EQ₁, EQ₂, EQ₃ 端子)

容量性負荷に流れる電流はオーディオ信号の周波数に比例して増加します。高い周波数領域における負荷電流を制限するため、入力にローパスフィルタを構成する必要があります。入力ローパスフィルタのカットオフ周波数 f_{LPF} は帰還抵抗 R_1 、LPF 用容量 C_{LPF} で構成します(図 2 参照)。 $R_1 = 120k\Omega$ 、 $C_{LPF} = 330pF$ とした場合、 f_{LPF} はおよそ次の式で計算されます。

$$f_{LPF} = \frac{1}{2 R_1 C_{LPF}} = \frac{1}{2 \times 3.14 \times 120k\Omega \times 330pF} \quad 4.0[kHz]$$

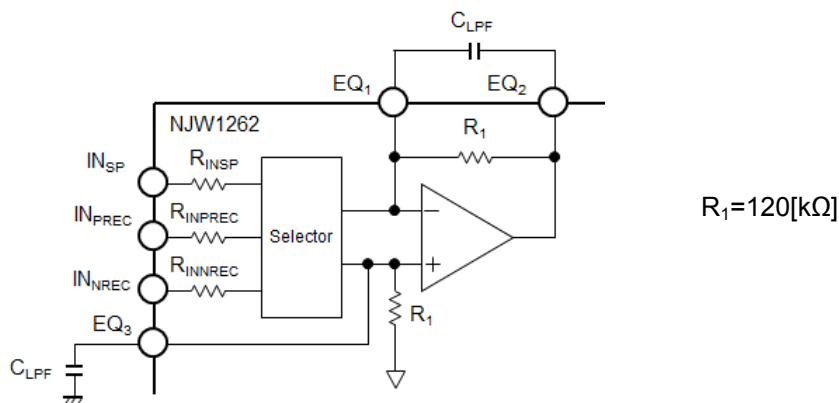


図 2 入力 LPF 構成

信号出力(OUT_P 端子、OUT_N 端子)

出力信号は矩形波(PWM 信号)で出力されます。アナログ信号にするには、2 次以上の LC 型 LPF を推奨します。コイル L_{OUT} と圧電スピーカ C_L とで LC 型 LPF を構成します。LC 型 LPF カットオフ周波数 f_c の Q を抑えるため、OUT_P 端子とコイル間、OUT_N 端子とコイル間に、ダンパ抵抗(R_{DAMP})を接続します。Q < 1 となるように、 L_{OUT} 、 C_L 、 R_{DAMP} の値を設定して下さい。例として $L_{OUT} = 22 \mu H$ 、 $C_L = 1.5 \mu F$ 、 $R_{DAMP} = 3.9 \Omega$ 、L の等価直列抵抗(R_{DCR}) = 0.8 Ω とした場合、LPF の f_c 及び Q はおよそ次の式で計算されます。

$$f_c = \frac{1}{2 \sqrt{2L_{OUT}C_L}} = \frac{1}{2 \times 3.14 \times \sqrt{2 \times 22\mu H \times 1.5\mu F}} \quad 19.6[kHz]$$

$$Q = \frac{1}{R_{DAMP} + R_{DCR}} \sqrt{\frac{L_{OUT}}{2 \times C_L}} = \frac{1}{3.9\Omega + 0.4\Omega} \times \sqrt{\frac{22\mu H}{2 \times 1.5\mu F}} \quad 0.63$$

スタンバイ信号入力(STBYb 端子)

STBYb 端子を“L”にすることでスタンバイモードとなります。スタンバイモードは内部回路を停止させ、OUT_P、OUT_N、SW 端子をハイ・インピーダンスとし、D 級アンプ出力を約 100 kΩで V_{SS} と接続します。外部からスタンバイ信号入力後、13.3 ms(TYP)後に内部回路がスタンバイモードとなります。この時間が経過するまではスタンバイを解除しないで下さい。

STBYb 端子を“H”にすることで動作モードとなります。スタンバイを解除してから、D 級パワーアンプが動作開始するまで 6.7ms(TYP)です。この時間が経過するまではスタンバイにしないで下さい。

電源投入、電源停止時は、スタンバイ状態にしておいて下さい

ソフトスタート用キャパシタ接続端子(SOFT 端子)

SOFT 端子にキャパシタ C_{SFT} を接続することで、内蔵抵抗 R_{SFT} との時定数により起動時及び停止時のオーディオ信号ミュート制御が、緩やかに行われます。

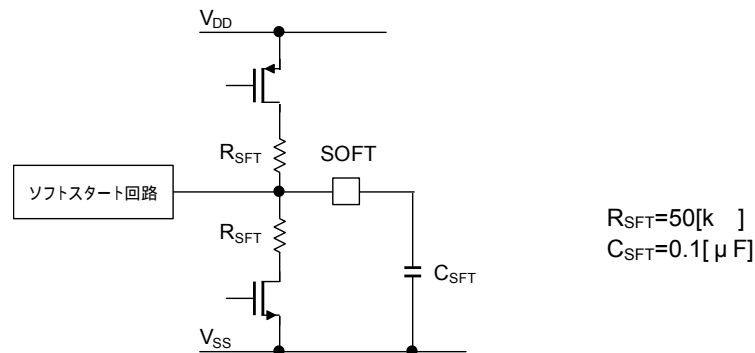


図 3 ソフトスタート/ソフトミュート設定

昇圧スイッチングレギュレータ

D 級パワーアンプの出力部電源 V_{DDO} に使用します。コイル、コンデンサ、ショットキーダイオード、抵抗を外付けすることにより、PWM 制御の昇圧型スイッチングレギュレータを構成します(電圧の設定方法に関しては 10 ページのモード項を参照)。

モード

SP/REC モードを選択します。モードを切り替えることで出力部電源電圧、入力セクタ、電圧利得が切り替わります。

- ・ MODE="H": SP (スピーカ) モード
オーディオ入力端子: IN_{SP} (シングルエンド入力)

D 級アンプ出力部電源電圧: 昇圧電圧 $V_{SWSP} = 1.0V \times \left(1 + \frac{R_1}{R_{2SP}}\right)$ 図 4 参照。デフォルト=13 V (TYP)

電圧利得: 27.6 dB (TYP)

- ・ MODE="L": REC (レシーバ) モード
オーディオ入力端子: IN_{PREC}, IN_{NREC} (差動入力)

D 級アンプ出力部電源電圧: 昇圧電圧 $V_{SWREC} = 1.0V \times \left(1 + \frac{R_1}{R_{2REC}}\right)$ 図 4 照。デフォルト=4.5 V (TYP)

電圧利得: 5.1 dB (TYP)

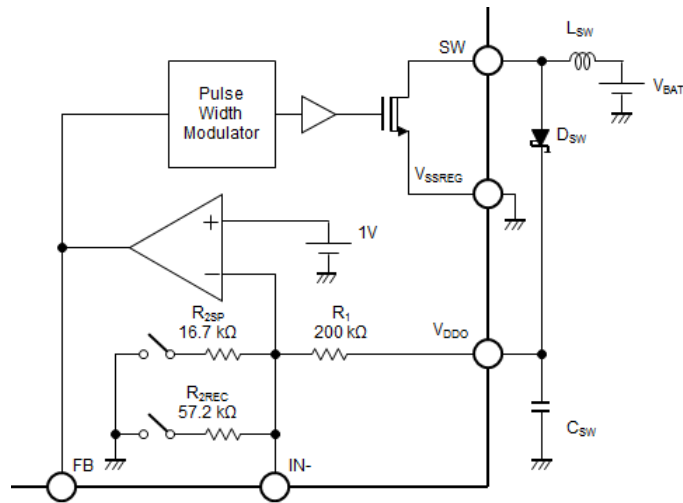


図 4 スイッチングレギュレータ回路

注) 昇圧電圧は V_{DD0} 動作電圧範囲内としてください。

注) MODE 信号は STBYb 端子立ち上げ時の論理がラッチされます。よって MODE を切り替える場合は STBYb を "L" とし、リセットをかけてください。

電源電圧監視回路

電源電圧が規定値以下になると、内部回路の異常動作を防止するために内部回路を停止させ、OUT_P、OUT_N、SW 端子を高インピーダンスとし、D 級アンプ出力を約 100 kΩで V_{SS} と接続します。

出力端子短絡保護回路

以下の条件時に短絡保護回路が動作します。

- ・ OUT_P - OUT_N 端子間短絡
- ・ OUT_P 端子天絡、地絡
- ・ OUT_N 端子天絡、地絡
- ・ SW 端子天絡

OUT_P 、 OUT_N 端子の短絡保護回路が動作した場合、 OUT_P 、 OUT_N をハイ・インピーダンスとし、D 級アンプ出力を約 100 k Ω で V_{SS} と接続します。D 級アンプ用内蔵クロックによりパルスバイパルスで復帰します。SW 端子の短絡保護回路が動作した場合、SW 端子をハイ・インピーダンスとします。SW レギュレータ用内蔵クロックによりパルスバイパルスで復帰します。

注) 短絡時間、検出電流は電源電圧、温度により変化します。

注) 本短絡保護回路は瞬時の短絡の保護を目的としており、継続的な短絡を行った場合、IC 内部の素子が破壊する恐れがあります。

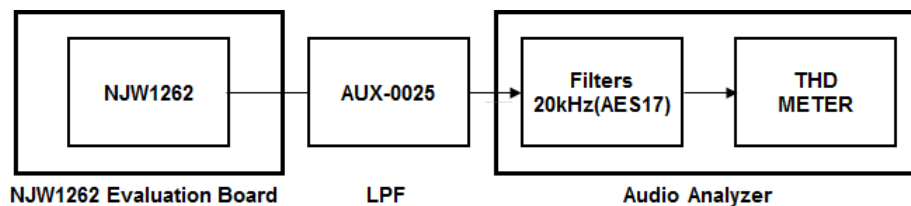
高温検出回路

ジャンクション温度が規定値以上になると、内部回路の異常動作を防止するために OUT_P 、 OUT_N 、SW 端子をハイ・インピーダンスとし、D 級アンプ出力を約 100k Ω で V_{SS} と接続します。ジャンクション温度が規定値以下になることで復帰します。

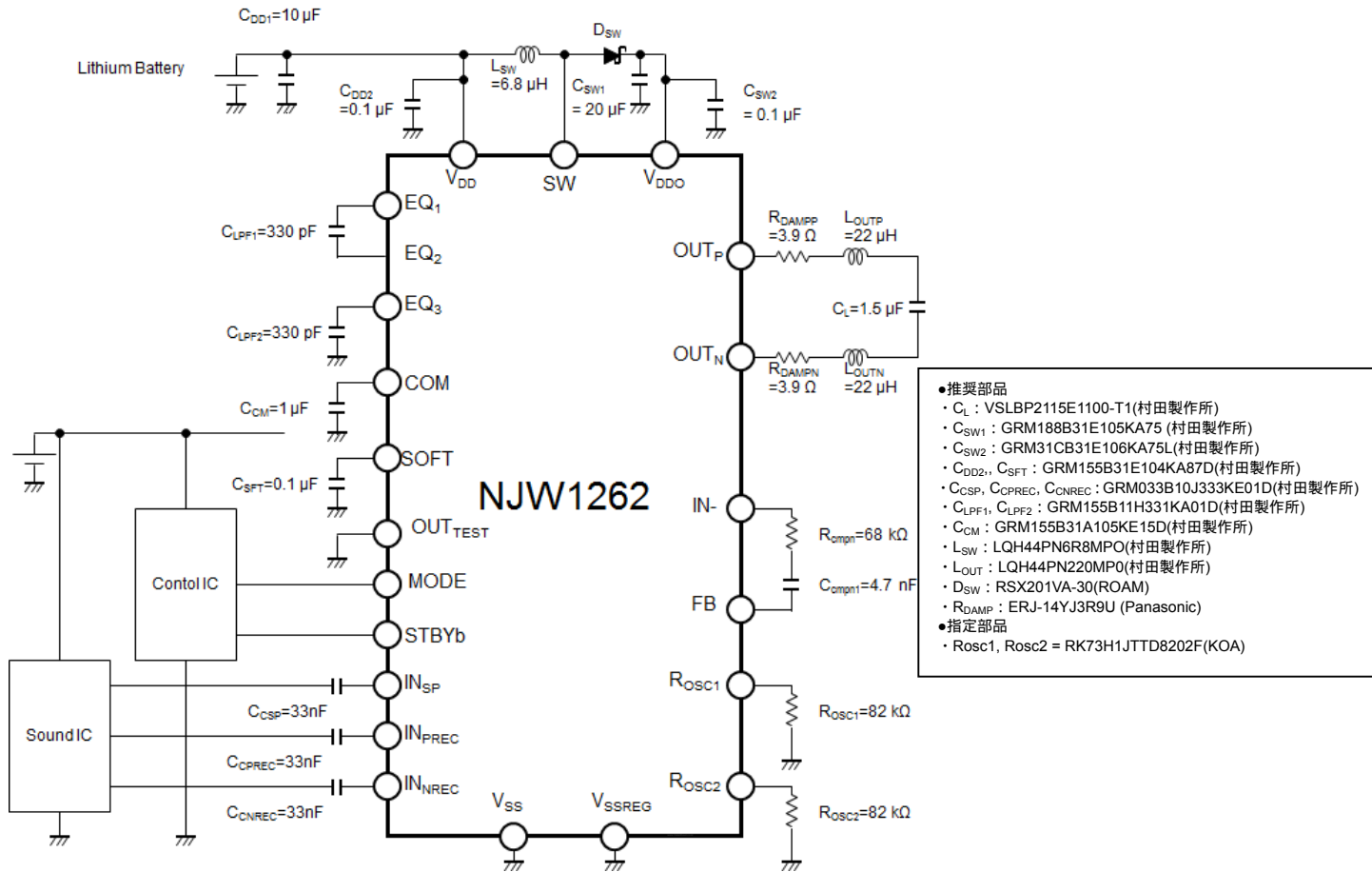
OUT_{TEST} 端子

メーカーテスト端子になります。

全高調波歪率測定回路



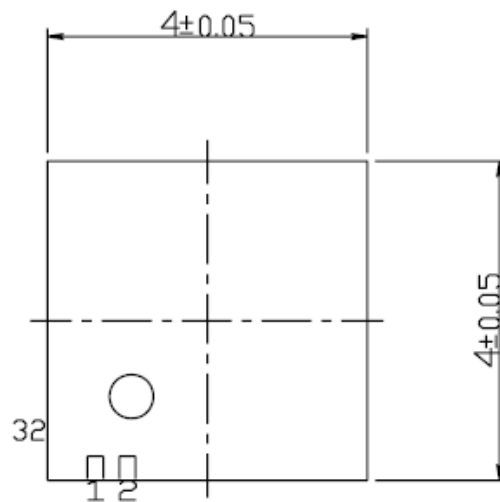
□ アプリケーション回路図



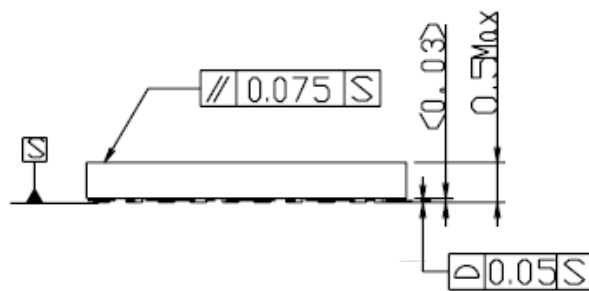
- 注) IC を安定して動作させるために、V_{DD}-V_{SS} 端子間、V_{DDO}-V_{SS} 端子間には、必ずデカップリングコンデンサを接続して下さい。
- 注) C_{DD2}(V_{DD}-V_{SS} 端子間 0.1 μF デカップリングコンデンサ)は IC 近傍で接続して下さい。
- 注) V_{SS} 端子、V_{SSREG} 端子の V_{SS} は、PCB 上での配線を IC 近傍で接続して下さい。
- 注) PWM 出力によるノイズの影響を受けないよう、OUT_P、OUT_N、SW 信号経路とアナログ信号経路(IN_{SP}、IN_{PREC}、IN_{NREC}、EQ₁、EQ₂、EQ₃)の配線パターンは離して下さい。
- 注) STBYb、MODE の入力信号は、遷移時間を 100μs 以内にして下さい。遷移時間が長いと誤動作する場合があります。
- 注) 本回路は、応用例を示すものであり、特性の保証を行うものではありません。ご使用に際しては、システムに合わせた回路定数の検討を十分に行なって下さい。
- 注) IC からスピーカまでの配線はできるだけ短くして下さい。

□ 外形図

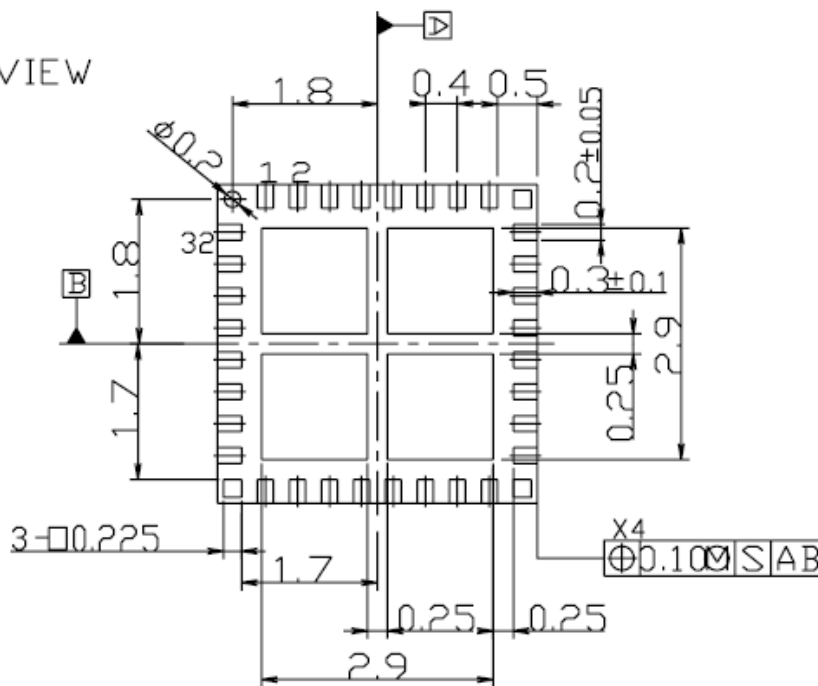
TOP VIEW



SIDE VIEW



BOTTOM VIEW



unit : mm

SUBSTRATE MATERIAL : Glass Epoxy Board
 TERMINAL FINISH : Au Plating (Ni/Au)
 MOLD MATERIAL : Epoxy Resin

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。