

# **NOVATEK**

## **1/4” HD CMOS Image Sensor**

### **NT99140**

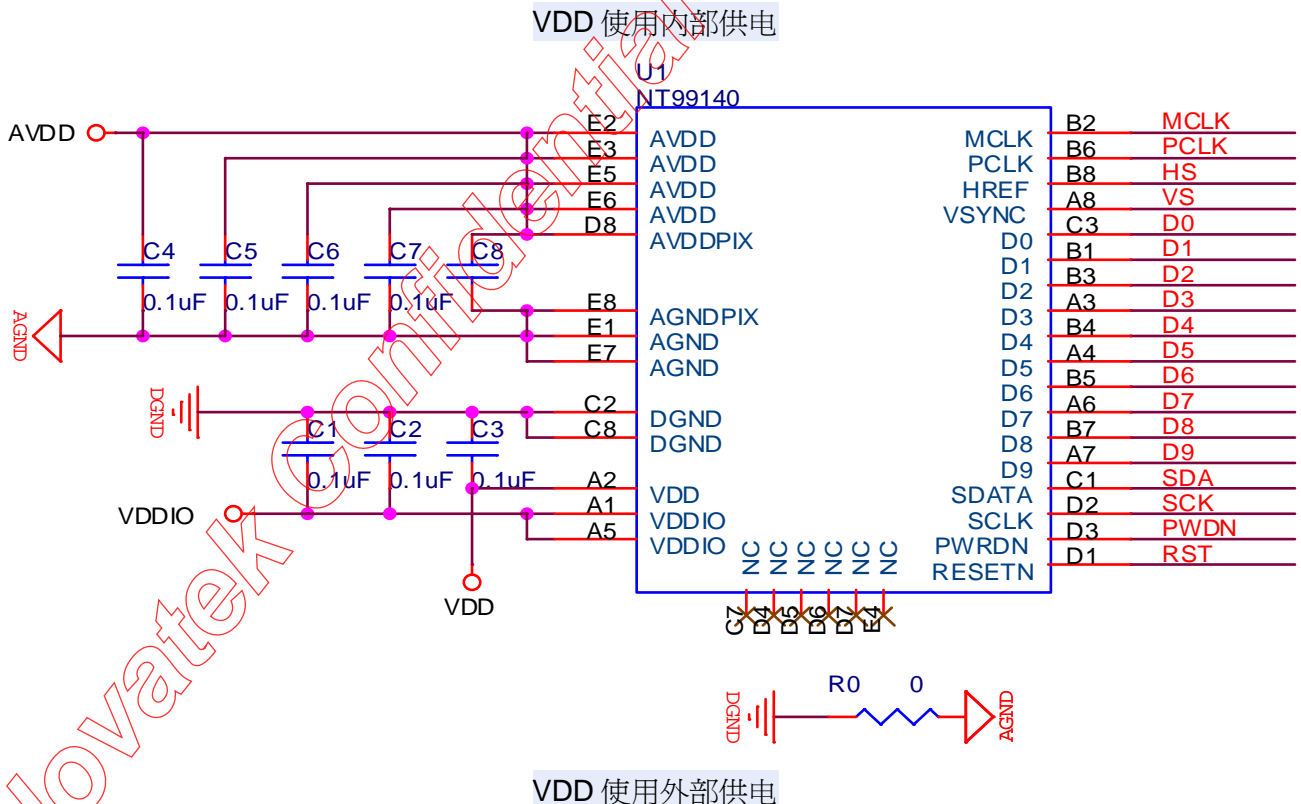
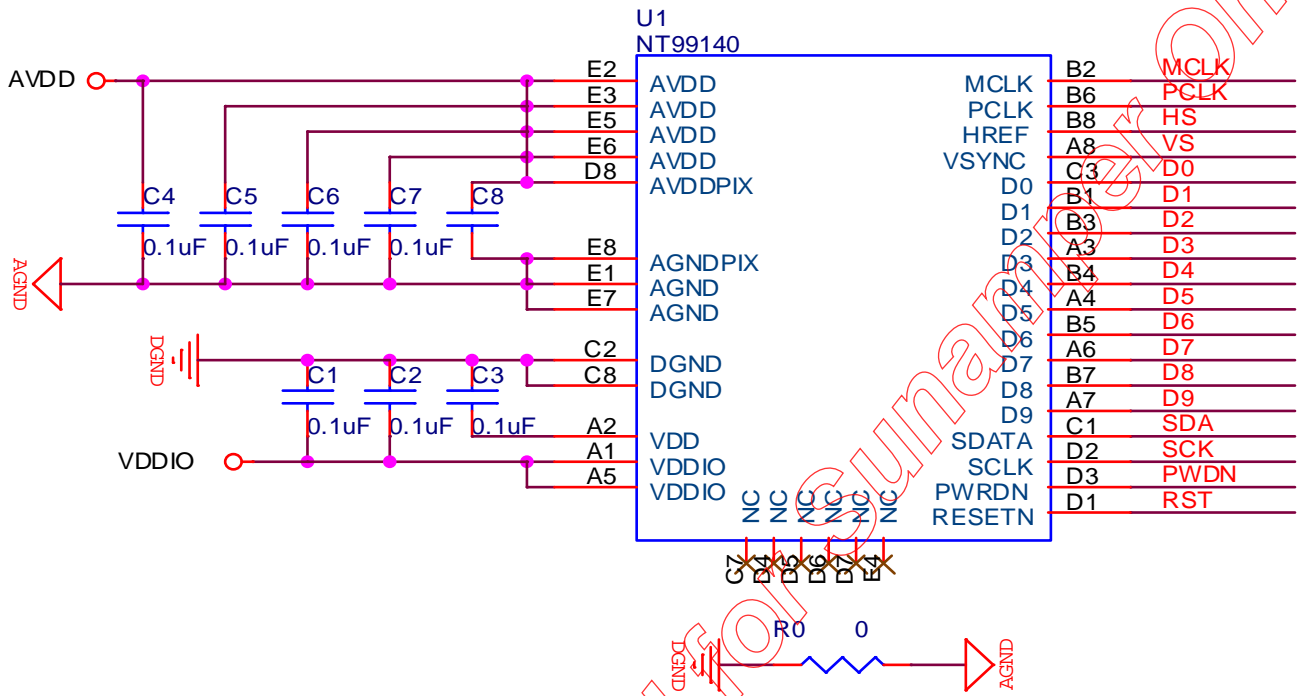
### **模组设计指南**

### **2011-11-10**

# 目 录

1. 外围电路.....	3
2. 设计说明.....	4
3. CSP 封装说明 .....	5
3.1 CSP 焊盘 Top view .....	5
3.2 CSP 封装点阵表.....	5
3.3 CSP 封装管脚说明.....	5
3.4 CSP 封装尺寸图.....	7
4. POWER SEQUENCE .....	8
4.1 Power On Sequence (使用 sensor 内部 LDO 产生 VDD).....	8
4.2 Power On Sequence (使用外部提供 VDD).....	8
4.3 Power Off Sequence (使用 sensor 内部 LDO 产生 VDD).....	9
4.4 Power Off Sequence (使用外部提供 VDD).....	9
4.5 Power Down Sequence.....	9
4.6 Standby Mode Sequence.....	10
5. LAYOUT NOTICE .....	11
5.1 零件的摆放 .....	11
5.2 Layout Rule.....	13
6. SMT REFLOW PROFILE .....	16

# 1. 外围电路



## 2. 设计说明

外围电路设计说明

(1) NT99140 芯片分四路电源:

VDD = 1.425~1.575V (可使用内部或外部供电)

VDDIO = 2.3~3.6V(VDD 使用内部供电) 或 1.7~3.6V(VDD 使用外部供电)

AVDD = 3.0~3.6V

AVDDPIX = 3.0~3.6V

(2) C1, C2, C3, C4, C5, C6, C7, C8 为滤波电容, 容值均用 0.1  $\mu$ F 或 1  $\mu$ F。

(3) 滤波电容尽可能靠近 NT99140 芯片相应的 pin 脚; C3 靠近 VDD, C1 与 C2 靠近 VDDIO, C4~C7 靠近 AVDD, C8 靠近 AVDDPIX。

(4) 芯片有 PWRDN & RESETN pin, 需要引出控制。

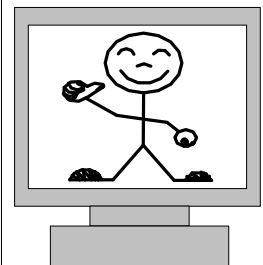
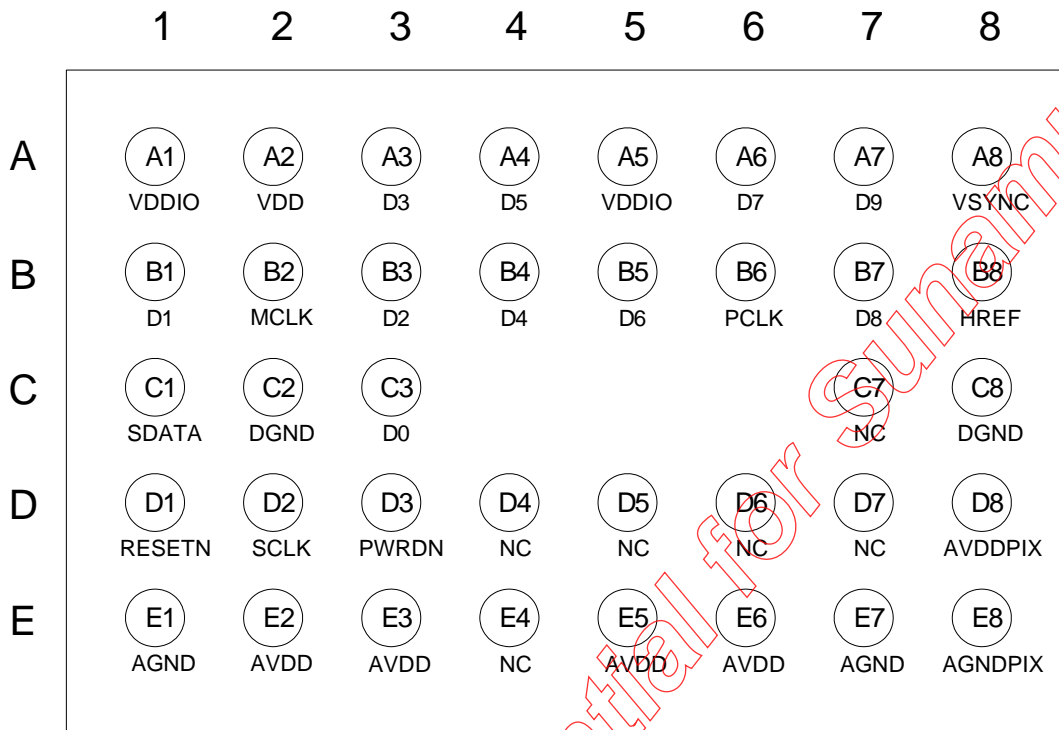
(5) SCLK/SDATA pin, 外部需要 4.7K~10K  $\Omega$  的上拉电阻。

(6) D[9:0]是 10-bit Raw 输出端口(D9: MSB, D0: LSB)。

(7) D[9:2]是 8-bit YUV/RGB/JPEG 输出端口(D9: MSB, D2: LSB)。

# 3. CSP 封装说明

## 3.1 CSP 焊盘 Top view



## 3.2 CSP 封装点阵表

	1	2	3	4	5	6	7	8
A	VDDIO	VDD	D3	D5	VDDIO	D7	D9	VSYNC
B	D1	MCLK	D2	D4	D6	PCLK	D8	HREF
C	SDATA	DGND	D0				NC	DGND
D	RESETN	SCLK	PWRDN	NC	NC	NC	NC	AVDDPIX
E	AGND	AVDD	AVDD	NC	AVDD	AVDD	AGND	AGNDPIX

## 3.3 CSP 封装管脚说明

Pin No.	Name	Type	Reset	Descriptions
A1	VDDIO	Power	-	Digital power for I/O
A2	VDD	Power	-	数字电路电压 (可由内部产生), 通过 0.1μF 的电容接地
A3	D3	O	-	图像数据输出端口 bit[3]
A4	D5	O	-	图像数据输出端口 bit[5]
A5	VDDIO	Power	-	Digital power for I/O

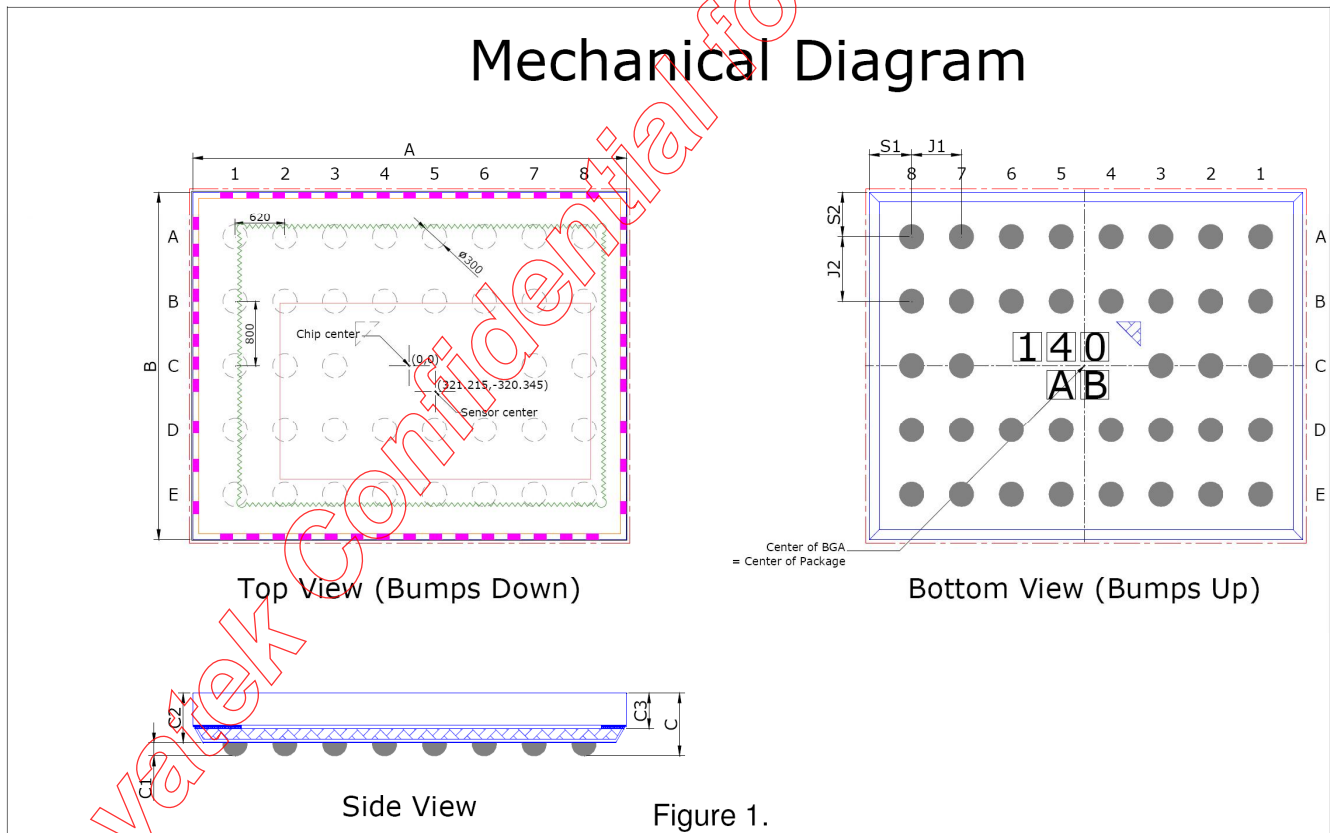
A6	D7	O	-	图像数据输出端口 bit[7]
A7	D9	O	-	图像数据输出端口 bit[9]
A8	VSYNC	O	-	VSYNC 输出信号
B1	D1	O	-	图像数据输出端口 bit[1]
B2	MCLK	I	-	系统时钟输入
B3	D2	O	-	图像数据输出端口 bit[2]
B4	D4	O	-	图像数据输出端口 bit[4]
B5	D6	O	-	图像数据输出端口 bit[6]
B6	PCLK	O	-	Pixel 时钟输出
B7	D8	O	-	图像数据输出端口 bit[8]
B8	HREF	O	-	HSYNC 输出信号
C1	SDATA	I/O	-	串行通讯口数据线
C2	DGND	Ground	-	数字地
C3	D0	O	-	图像数据输出端口 bit[0]
C7	NC	-	-	NC pin
C8	DGND	Ground	-	数字地
D1	RESETN	I	-	芯片复位控制, 将所有寄存器复位为初始值 0: 芯片复位 1: 正常工作
D2	SCLK	I	-	串行通讯口时钟线
D3	PWRDN	I	-	芯片休眠模式控制 0: 正常工作 1: 休眠模式
D4	NC	-	-	NC pin
D5	NC	-	-	NC pin
D6	NC	-	-	NC pin
D7	NC	-	-	NC pin
D8	AVDDPIX	Power	-	Pixel 电源 3.3V, 通过 0.1 $\mu$ F 或 1 $\mu$ F 的电容接地
E1	AGND	Ground	-	模拟地
E2	AVDD	Power	-	模拟电源 3.3V, 通过 0.1 $\mu$ F 或 1 $\mu$ F 的电容接地
E3	AVDD	Power	-	模拟电源 3.3V, 通过 0.1 $\mu$ F 或 1 $\mu$ F 的电容接地
E4	NC	-	-	NC pin
E5	AVDD	Power	-	模拟电源 3.3V, 通过 0.1 $\mu$ F 或 1 $\mu$ F 的电容接地
E6	AVDD	Power	-	模拟电源 3.3V, 通过 0.1 $\mu$ F 或 1 $\mu$ F 的电容接地
E7	AGND	Ground	-	模拟地
E8	AGNDPIX	Ground	-	Pixel 地

D[9:0]是 10-bit Raw 输出端口(D9: MSB, D0: LSB)

D[9:2]是 8-bit YUV/RGB/JPEG 输出端口(D9: MSB, D2: LSB)

### 3.4 CSP 封装尺寸图

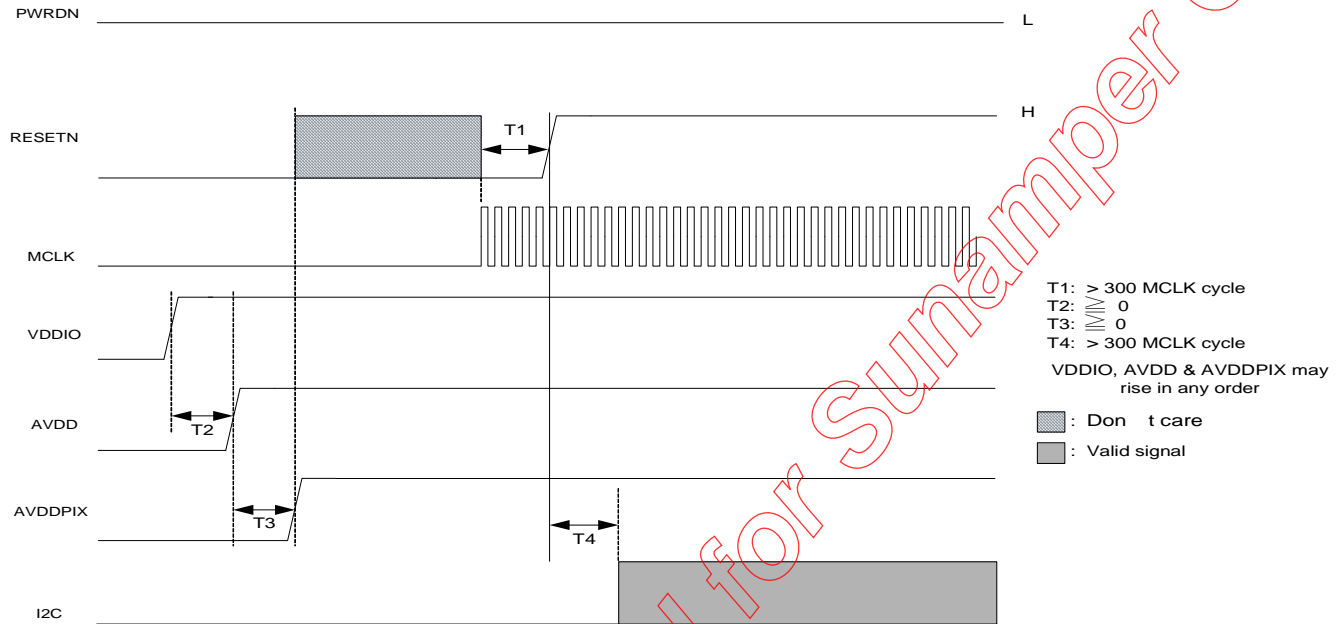
	Symbol	Nominal	Min.	Max.
			$\mu\text{m}$	
Package Body Dimension X	<b>A</b>	5391	5366	5416
Package Body Dimension Y	<b>B</b>	4319	4294	4344
Package Height	<b>C</b>	780	720	840
Ball Height	<b>C1</b>	160	130	190
Package Body Thickness	<b>C2</b>	620	575	665
Thickness of Glass surface to wafer	<b>C3</b>	445	425	465
Ball Diameter	<b>D</b>	300	270	330
Total Pin Count	<b>N</b>	37(5NC)		
Pin Count X axis	<b>N1</b>	8		
Pin Count Y axis	<b>N2</b>	5		
Pins Pitch X axis	<b>J1</b>	620		
Pins Pitch Y axis	<b>J2</b>	800		
Edge to Pin Center Distance along X	<b>S1</b>	525.5	495.5	555.5
Edge to Pin Center Distance along Y	<b>S2</b>	559.5	529.5	589.5



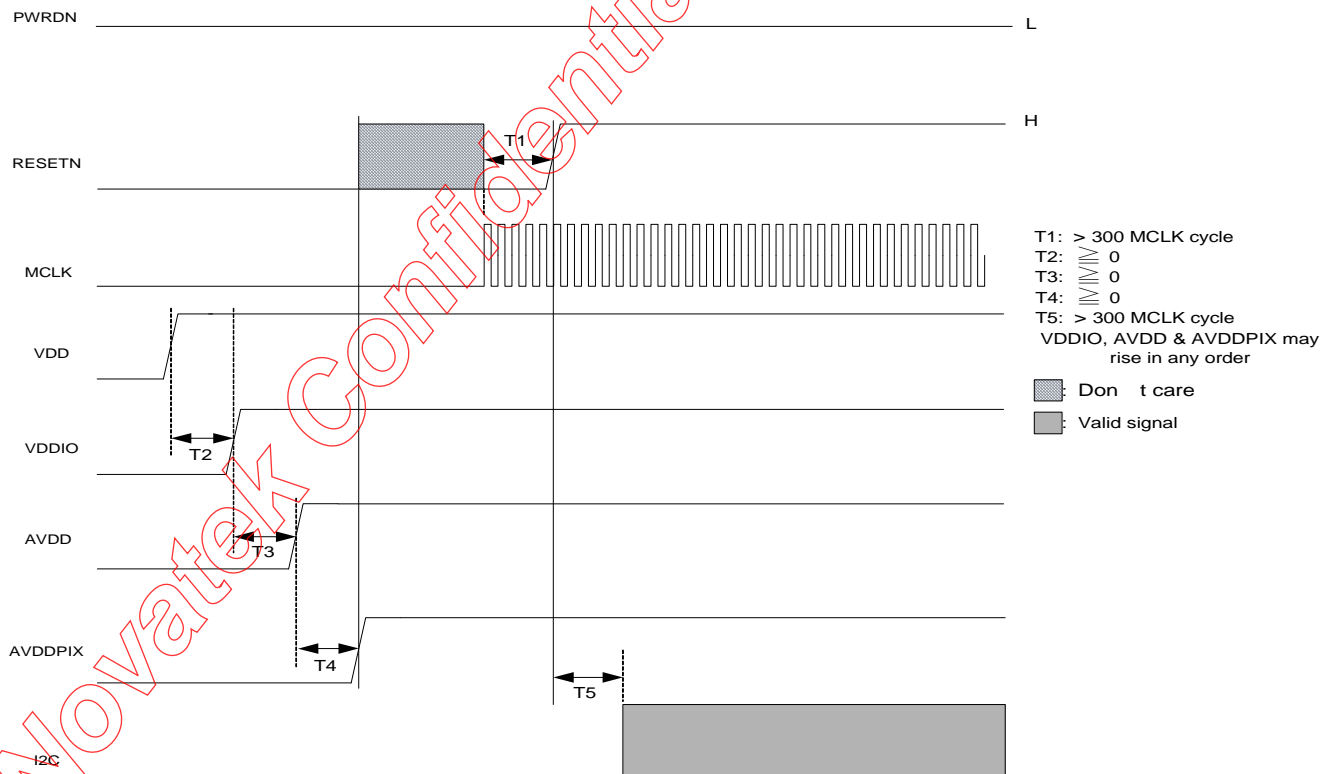
# 4. Power Sequence

系统供电给 NT99140 时, 必须注意 power on 的程序; 请参考以下的说明:

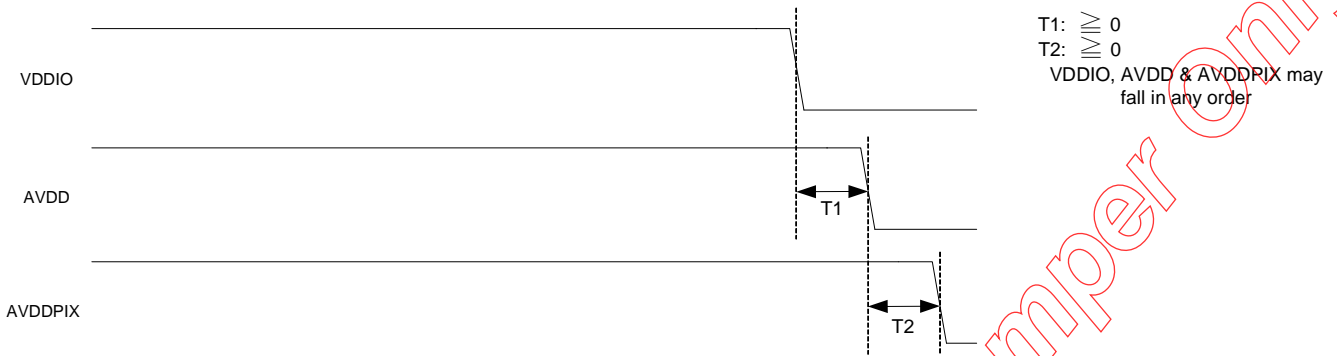
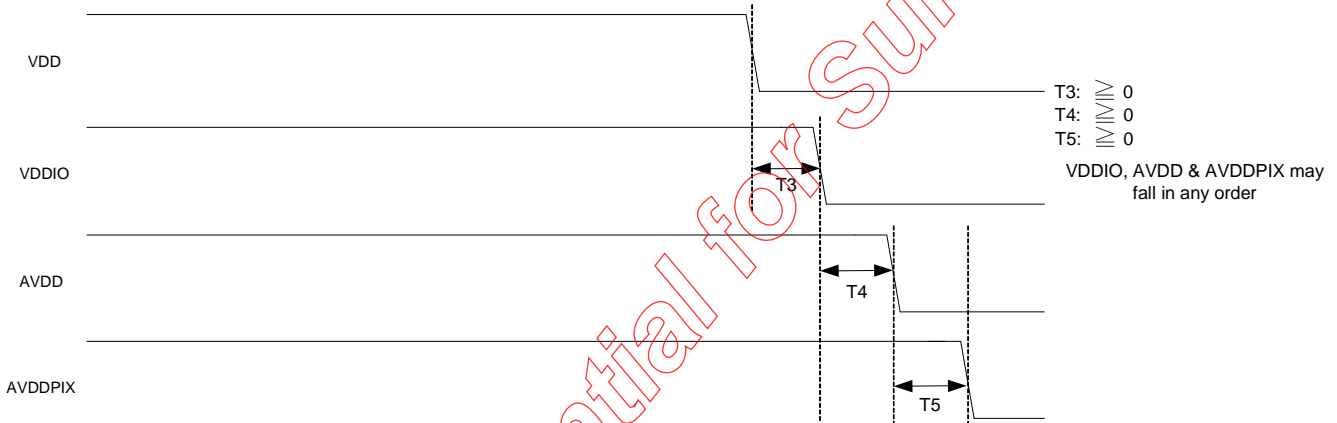
## 4.1. Power On Sequence (使用 sensor 内部 LDO 产生 VDD)



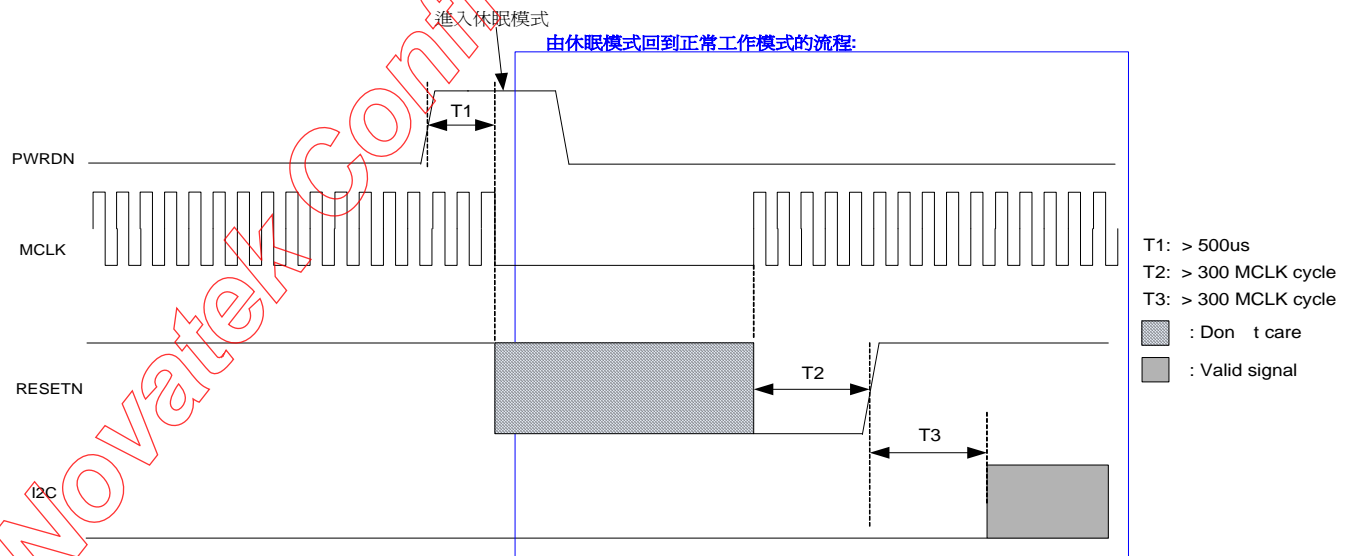
## 4.2. Power On Sequence (使用外部提供 VDD)





**4.3. Power Off Sequence (使用 sensor 内部 LDO 产生 VDD)**

**4.4. Power Off Sequence (使用外部提供 VDD)**

**4.5. Power Down Sequence**

PWRDN="H"时, NT99140 会进入休眠模式, 详细的时序, 请参考以下的说明:



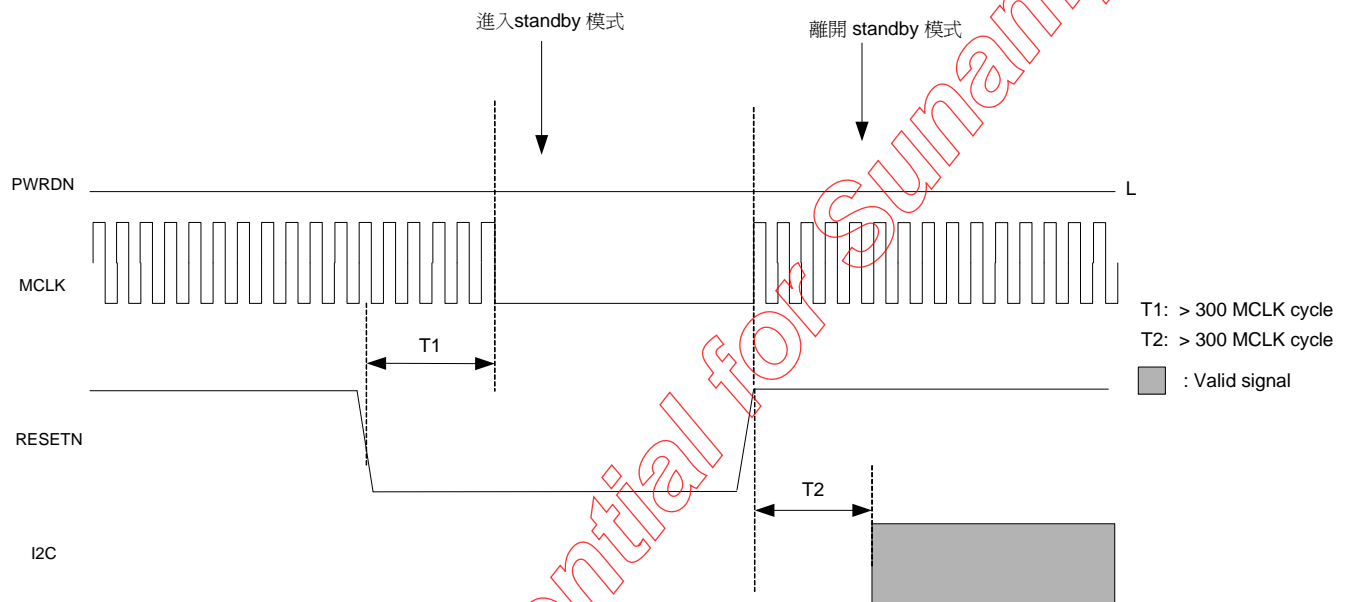
注意：当 sensor 由休眠模式要回到正常工作状态时，必须执行下列几个步骤：

- (1) 控制 PWRDN pin 由 "H" → "L"
- (2) 提供 MCLK clock
- (3) 控制 RESETN pin

详细的时序，请参考 timing 图

#### 4.6. Standby Mode Sequence

RESETN="L"时，NT99140 会进入 standby 模式，详细的时序，请参考以下的说明：

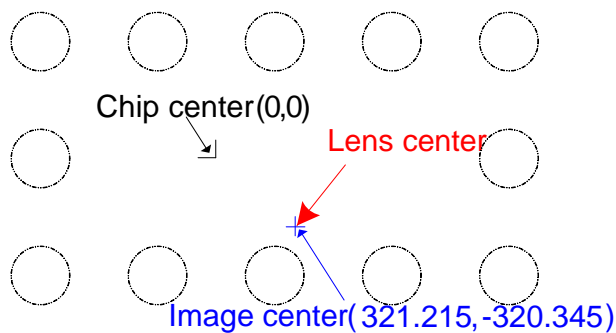
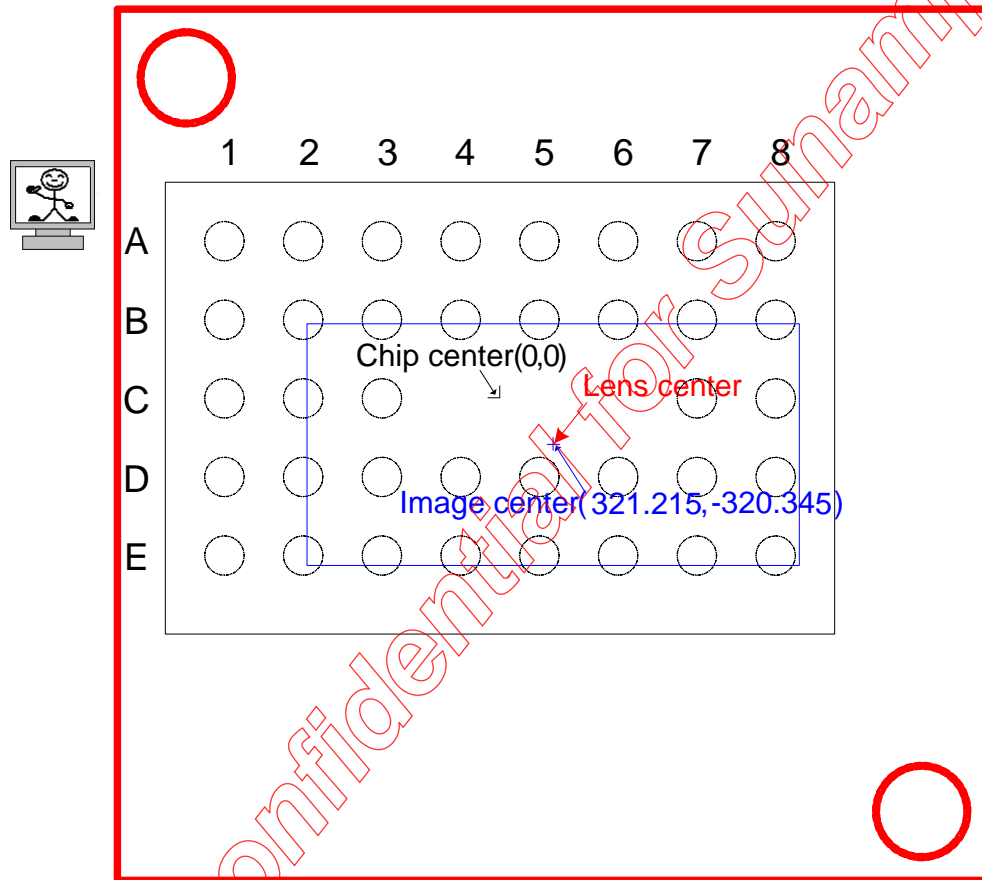


# 5. Layout Notice

## 5.1 零件的摆放

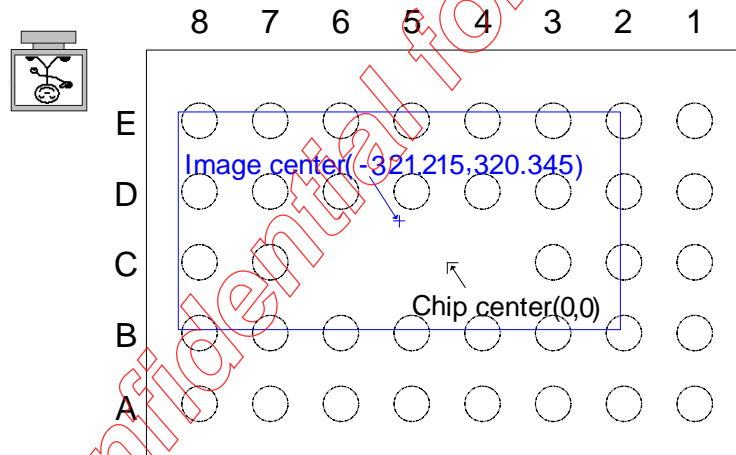
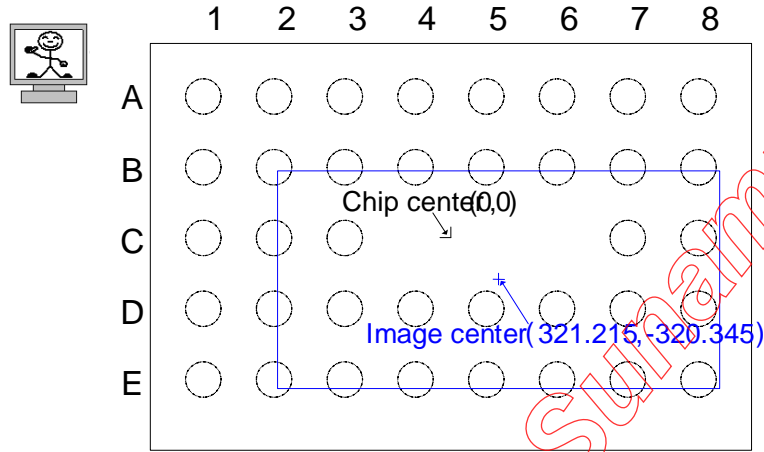
### 1.Sensor 的摆放要注意

- (1).成像的方向
- (2).光学中心的位置:Lens center 必须落在 lamge center(非 chip center);若摆放位置偏差,会影响影像质量

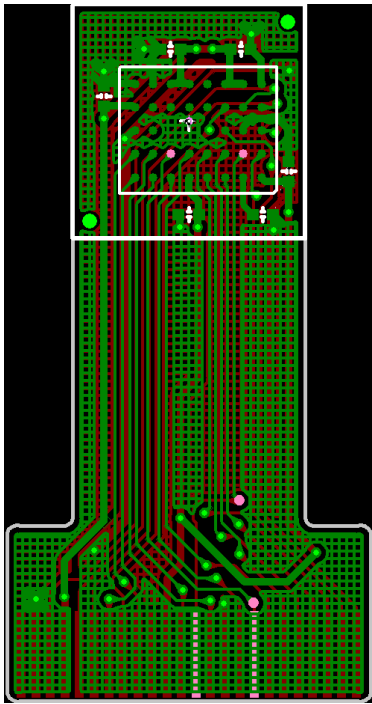


2.若因 Sensor 的成像方向造成走线困难时,能将 Sensor 旋转 180 度摆放(成像也会因此旋转 180 度,可以利用软件解决成像旋转问题),绝不可任意旋转 90 度或 270 度。

例:

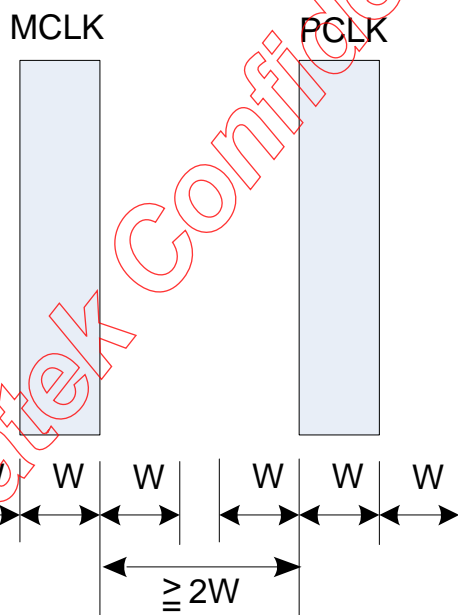


## 5.2 Layout Rule

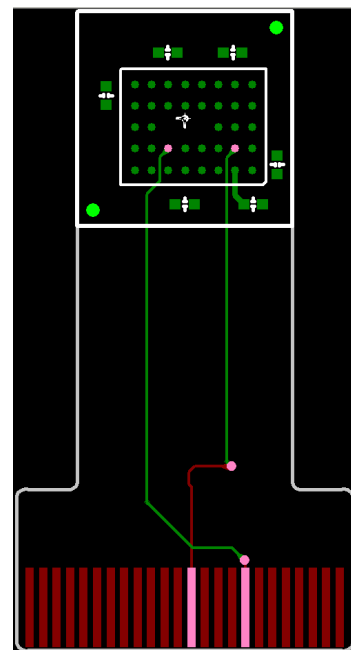


模组走线实例

1. 布线请依下列顺序:PCLK->MCLK->Data->HREF->VSYNC->其它
2. PCB layout 时, 尽可能将 GND/AGND 分开走线, 走线加粗且面积加大;  
若无法大面积铺铜, 将 GND/AGND 接在一起, 使整体地面积变大.
3. Clock (PCLK/MCLK)的走线要与相邻的信号走线相隔至少 2 条线宽的距离.



W: 走线的线宽

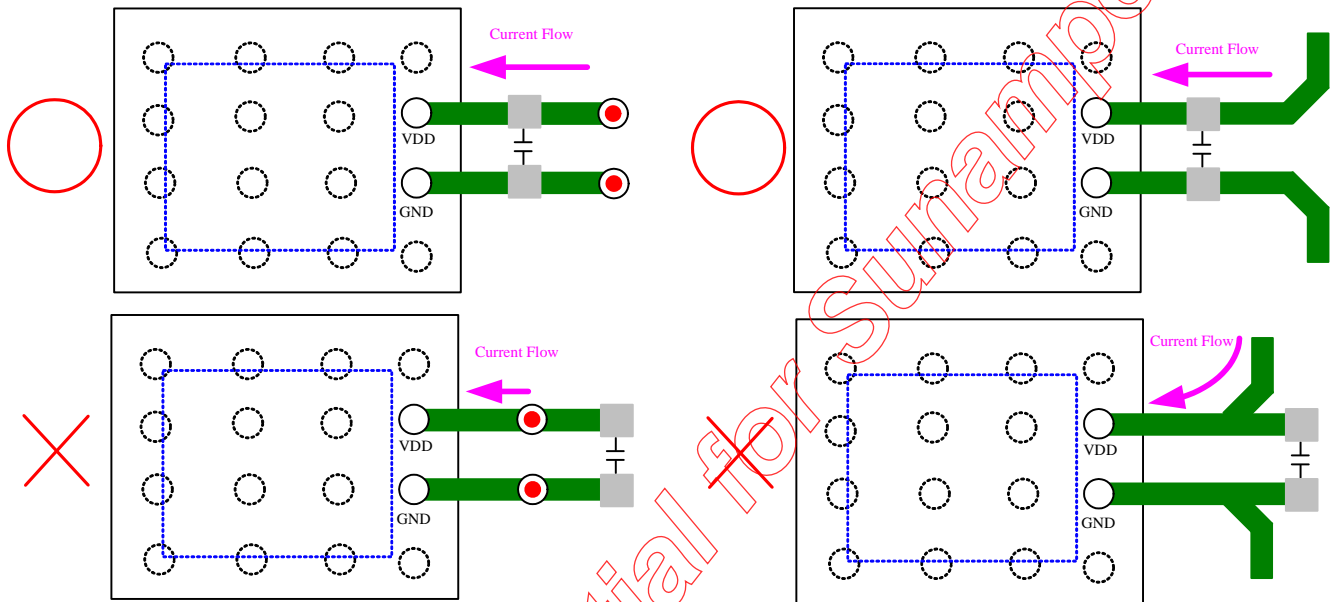


4. PCLK/MCLK 用 GND 包覆着走线,能防止干扰与被其它讯号源干扰;若无法时,将 Power 或低频讯号走线于两旁取代之。(优先顺序:GND->Power->低频讯号)

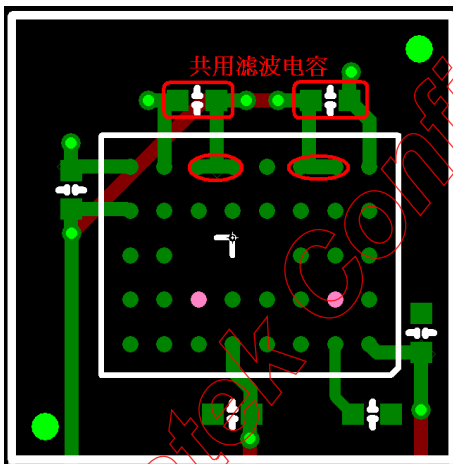
註:低频讯号如:I2C/PWDN/ RESETN/VSYN 等.

5. 设计软板模块时,只有两层走线,严禁任何走线平行走在 PCLK/MCLK 下层或上层.

6. 滤波电容尽可能靠近 NT99140 芯片相应的 pin 脚,并且走线应先经过滤波电容后再进入 Sensor,滤波电容是推荐的,省略可能会影响图像质量;



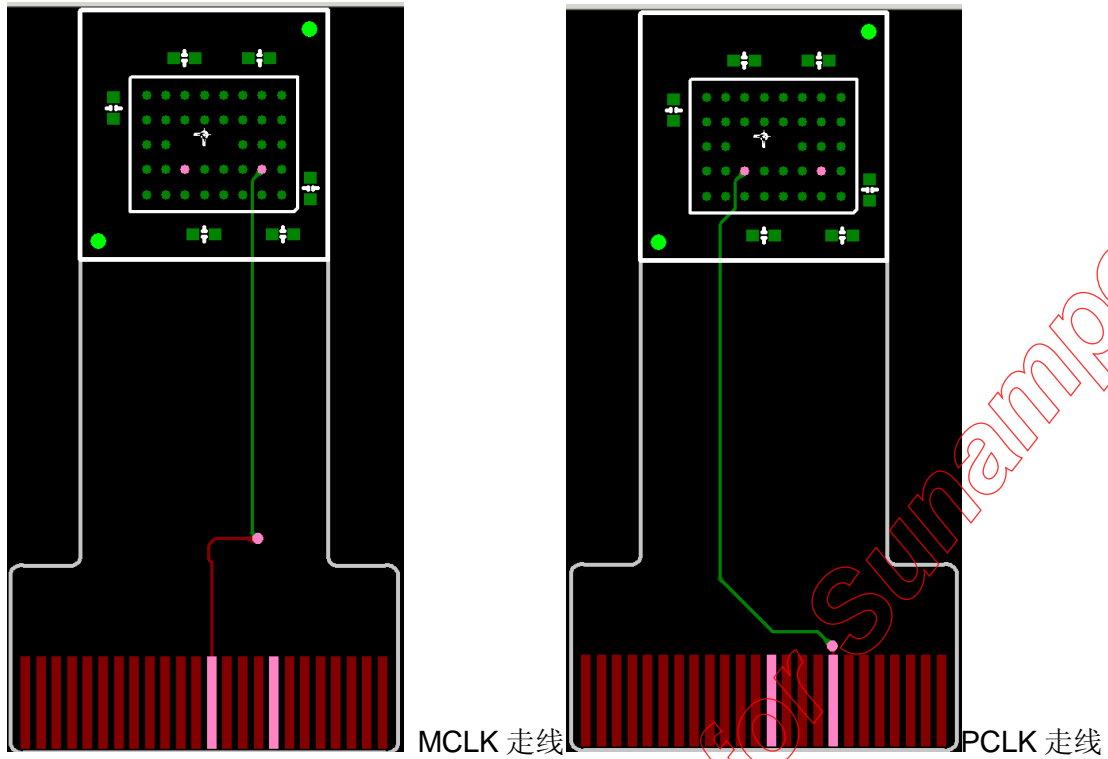
若造成走线困难时,能适度移除些许滤波电容,并与其它邻近 pin 脚共用滤波电容,此时,容值相对的必须加大.



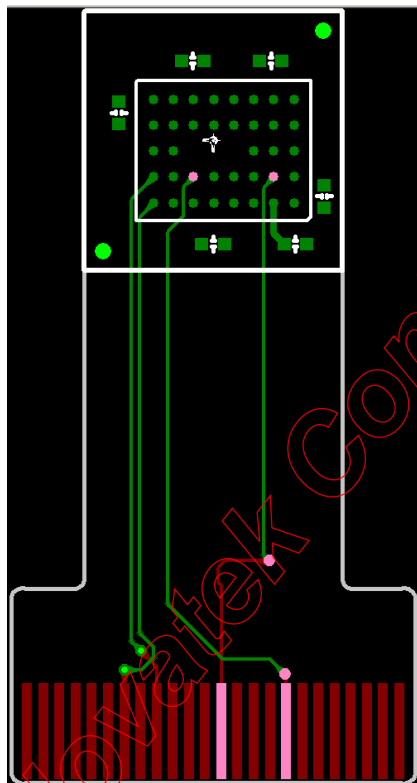
共用滤波电容实例.

7. VDD 使用外部供电时,相对应的滤波电容不可省略.

8. MCLK & PCLK 走线勿穿越 Sensor 下方,尽可能由外围走入接线.



9. VSYNC/HREF/MCLK/PCLK 尽可能远离彼此, 若空间允许, 可用 GND 做之间的屏蔽.



10. 所有讯号线尽可能不要打 Via, 以不得多于两颗 Via 为原则, 此会造成影响讯号的衰减.

2011/11/10

- 15 -

With respect to the information represented in this document, Novatek makes no warranty, expressed or implied, including the warranties of merchantability, fitness for a particular purpose, non-infringement, or assumes any legal liability or responsibility for the accuracy, completeness, or usefulness of any such information.

# 6. SMT Reflow Profile

	A	B		C	D		E		F
	Ramp up	Pre-heat		Ramp up	Melt point		Peak point		Ramp down
		Temp.	Time		Temp.	Time	Temp.	Time	
<b>New Reflow Profile</b>	<b>Max 3°C/sec</b>	<b>150 ~ 200°C</b>	<b>60~70 sec</b>	<b>Max 3°C/sec</b>	<b>217°C</b>	<b>60 ~70 sec</b>	<b>235 ~ 240°C</b>	<b>20~25 sec</b>	<b>Max 6°C/sec</b>

