

SC6301

超低噪声时钟抖动消除器

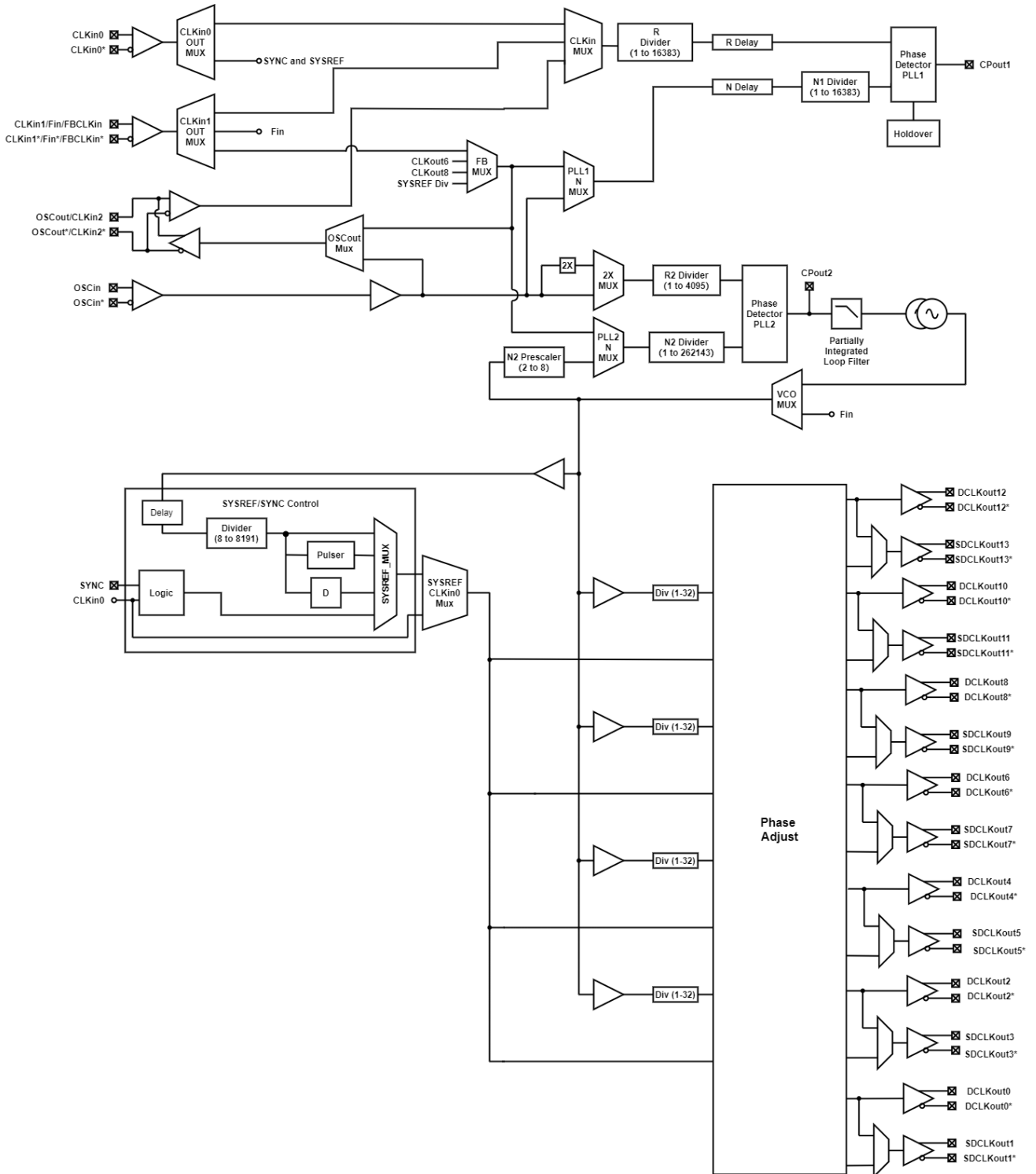
主要性能:

- 支持 JEDEC JESD204B
- 超低 RMS 抖动
 - 76fs RMS Jitter (10kHz 到 20MHz)
 - 底噪: -162dBc/Hz@245.76 MHz
- PLL2 可提供多达 14 路差分时钟
 - 最多 7 个 SYSREEF 时钟
 - 时钟最大输出频率 3.1GHz
 - 支持 LVPECL, LVDS, HSDS, LVPECL 等输出接口
- PLL1 提供一个 VCXO/Crystal 缓冲输出
 - 支持 LVPECL, LVDS, 2 路 LVCMOS 等输出接口
- PLL1
 - 3 个备用的输入时钟
 - 自动或者人工切换模式
 - 无中断切换和 LOS
 - 集成低噪声的晶体振荡电路
- 具有输入时钟丢失的保持模式
- PLL2
 - 相位检测速率: $\leq 155\text{MHz}$
 - 2 路集成低噪声 VCO
- 输出支持 1 到 32 整数分频, 占空比 50%
- 高精度数字延迟, 可自适应性
- 23ps 步进模拟延迟
- 模式: 双 PLL, 单 PLL, 时钟分布
- 工作温度: -40°C 到 85°C
- 工作电压: 3.15V 到 3.45V
- QFN-64 封装

应用领域:

- 无线基础设施
- 数据交换时钟
- 网络, SONET/SDH, DSLAM
- 医疗/视频
- 测量

功能模块示意图:



产品概况:

SC6301 是高性能时钟调节器，支持 JEDEC JESD204B。当使用设备和 SYSREF 时钟时，PLL2 的 14 个时钟输出可配置去驱动 7 个 JESD204B 转换器或其他逻辑设备。SYSREF 可以使

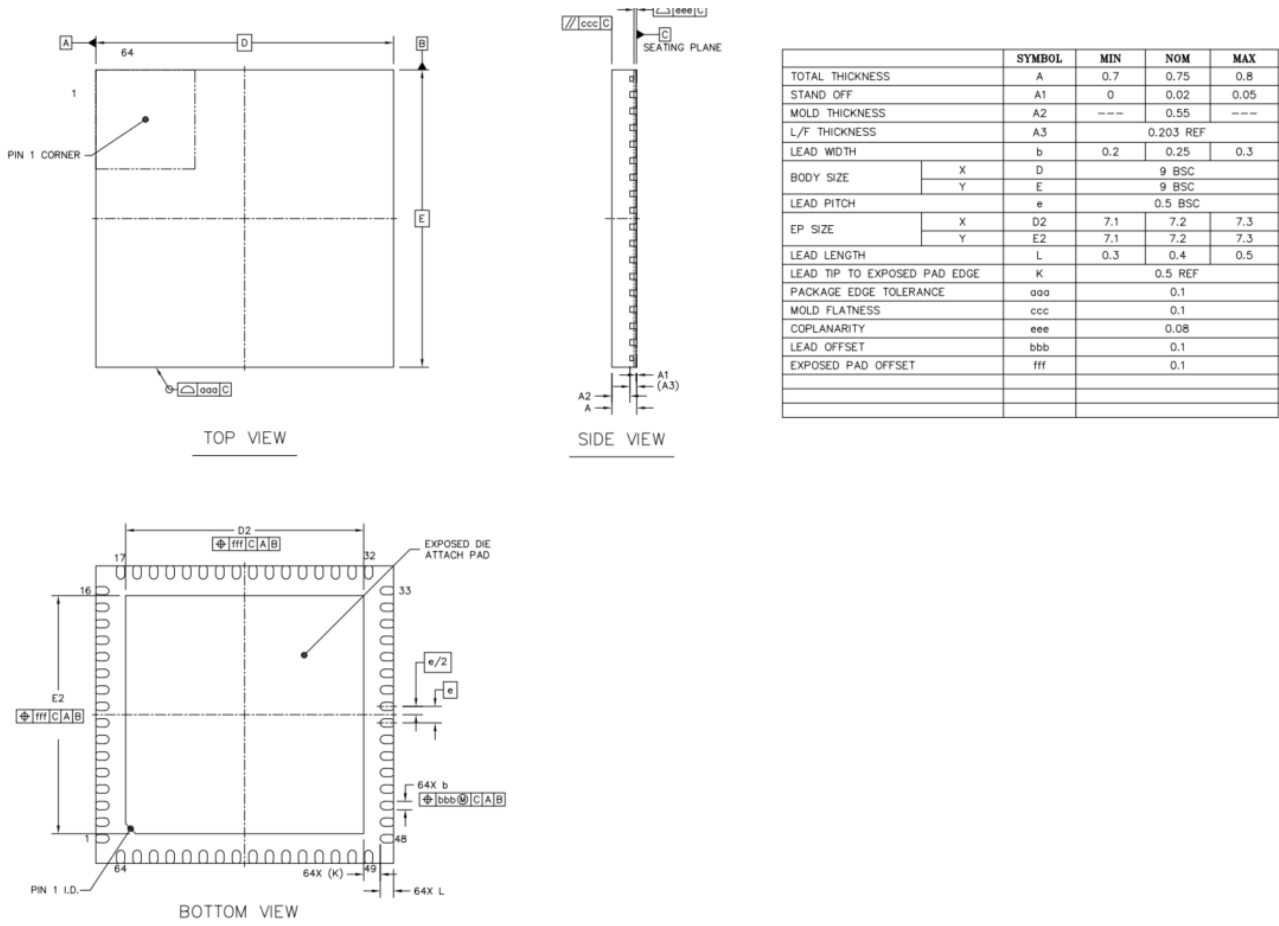
用直流和交流耦合来提供。不仅限于 JESD204B 应用，14 个输出均可单独配置为传统高性能时钟系统输出。

SC6301 具有高性能、低功耗、双 VCO，动态数字延迟，信号丢失保持特性。因此，SC6301 是提供灵活的高性能时钟树的理想选择。

订购信息:

型号	物料编号	温度范围	封装形式	包装形式
SC6301	SC6301GDLUMY	-40~85°C	QFN-64	Tape & Reel

外形尺寸:



QFN-64 封装尺寸