



产品特性

系统特性:

- 集成高性能低功耗 32 位微处理器
- Flash ROM: 128K 字节
- RAM: 17K 字节
- 工作电压 (VDD): 1.8~3.6V
- 低频时钟源:
 - 外置 32.768kHz 晶体谐振器
 - 内建 32.768kHz RC 振荡器
- 高频时钟源:
 - 外部 26MHz 时钟输入
 - 内建 26MHz RC 振荡器
 - 内建 2MHz RC 振荡器
- 支持 5 种复位机制:
 - 上电复位 (POR)
 - 低电压复位 (LVR)
 - 看门狗复位 (WDR)
 - 外部引脚复位 (EXR 和 PEXR)
- 低功耗模式:
 - Deep Sleep Mode (< 3uA)
 - Power Down Mode (< 0.3uA)
- 通过蓝牙 4.2 规范认证的 Link Layer
- 128bit 硬件 AES 模块

外设接口模块:

- 1 个 SPI 接口
- 1 个两线串行接口, 兼容 I²C 接口 (TWI)

- 2 个 EUART 接口 (EUART0/1)
- 3 个脉宽调制模块 (PWM0/1/2)
- 4 个定时/计数器:
 - 2 个 16 位定时器 T0 和 T1
 - 1 个 24 位多功能定时/计数器 T2
 - 1 个 24 位基准计时器 BT
- 1 个段码 LCD 驱动器 (LCDC):
 - 4COM X 20SEG (1/4 Duty, 1/3 Bias)
 - 5COM X 19SEG (1/5 Duty, 1/3 Bias)
 - 6COM X 18SEG (1/6 Duty, 1/3 Bias)
- 1 个 10 通道 12-bit ADC, 支持比较功能
- 1 个实时时钟 (RTC)
- 30 个通用双向 CMOS I/O 口

射频模块:

- 频率范围: 2.400~2.480 GHz (通过蓝牙 4.2 规范认证)
- 接收灵敏度: -87dbm@1Mbps
- 发射功率范围: -20dBm ~ +2dBm
- 功耗水平:
 - TX 功耗 (0dBm): 12.3mA
 - RX 功耗: 16.5mA

封装类型: 标准 QFN48L(6x6)封装

产品概述

SH87F8801 是高性能、低功耗 32 位微处理器, 内建蓝牙 4.0 低功耗功能模块和 RF 模块。它内建 128K 字节的 Flash ROM 和 17K 字节的 SRAM, 支持多种低功耗模式。

SH87F8801 内建了丰富的功能模块: 4 个定时器、1 个段码 LCD 驱动器、1 个 10 通道 12 位 ADC、1 个 RTC 和 1 个蓝牙 4.0 低功耗模块。SH87F8801 还集成了许多常用接口电路, 包括: 30 个支持中断功能的双向 I/O 端口、1 个 SPI 接口、1 个 TWI 接口 (兼容 I²C 接口)、2 个 EUART 接口和 3 个 PWM 输出端口。



正文目录

产品特性..... 1

产品概述..... 1

正文目录..... 2

1. 结构框图 (BLOCK DIAGRAM) 5

 1.1 SH87F8801 结构框图 5

2. 引脚配置 (PIN) 6

 2.1 SH87F8801 PIN ASSIGNMENT 6

 2.2 SH87F8801 PIN 说明 7

3. 中央处理器 (CPU) 10

 3.1 地址映射 10

 3.2 中断和异常处理 11

4. 存储器 (MEMORY) 14

 4.1 RAM 14

 4.2 FLASH 15

5. 时钟系统 (CLOCK SYSTEM) 19

 5.1 时钟定义 19

 5.2 时钟开关和选择 21

 5.3 X26M 电路 22

 5.4 X32K 电路 22

 5.5 X32K 停振检测 (SCM) 22

 5.6 RC32K 校准 (CAL) 23

 5.7 时钟寄存器 24

6. 电源管理 (POWER MANAGEMENT) 28

 6.1 电源系统架构 28

 6.2 省电模式 29

 6.3 电源管理寄存器 30

7. 复位系统 (RESET) 31

 7.1 上电复位 (POR) 31

 7.2 看门狗复位 (WDR) 31

 7.3 低电压复位 (LVR) 32

 7.4 外部复位 (EXR) 33

 7.5 关机外部复位 (PEXR) 33



7.6	复位寄存器	34
8.	通用输入/输出端口 (GPIO)	35
8.1	GPIO 特性	35
8.2	GPIO 结构	35
8.3	GPIO 功能	36
8.4	GPIO 寄存器	37
9.	定时/计数器 (TIMER)	41
9.1	TIMER 0 和 TIMER 1	41
9.2	TIMER 2	42
9.3	BASE TIMER	47
9.4	TIMER 寄存器	48
10.	脉宽调制模块 (PWM)	55
10.1	PWM 特性	55
10.2	PWM 结构	55
10.3	PWM 输出控制	55
10.4	PWM 时序	55
10.5	PWM 注意事项	57
10.6	PWM 寄存器	58
11.	增强型通用串行收发器 (EUART)	62
11.1	EUART 特性	62
11.2	EUART 引脚说明	62
11.3	EUART 工作模式	63
11.4	波特率发生器	71
11.5	多机通讯	73
11.6	出错检测	75
11.7	EUART 寄存器	76
12.	实时时钟 (RTC)	83
12.1	RTC 特性	83
12.2	RTC 结构	83
12.3	RTC 功能	84
12.4	RTC 寄存器	87
13.	串行外部设备接口 (SPI)	95
13.1	SPI 特性	95
13.2	SPI 引脚说明	96
13.3	SPI 结构	97
13.4	SPI 工作模式	98



13.5	SPI 传输模式	99
13.6	出错检测	102
13.7	SPI 寄存器	103
13.8	SPI 时序	105
14.	段码 LCD 驱动器 (LCDC)	107
14.1	LCDC 特性	107
14.2	LCDC 引脚说明	107
14.3	LCDC 功能说明	107
14.4	LCDC 寄存器	109
15.	两线串行接口 (TWI)	111
15.1	TWI 特性	111
15.2	TWI 引脚说明	111
15.3	TWI 功能说明	111
15.4	数据传输格式	112
15.5	功能描述	115
15.6	传输模式	117
15.7	TWI 寄存器	128
15.8	TWI 时序定义	131
16.	模数转换器 (ADC)	132
16.1	ADC 特性	132
16.2	ADC 引脚说明	132
16.3	ADC 功能说明	132
16.4	ADC 寄存器	133
17.	电气特性 (ELECTRICAL CHARACTERISTICS)	135
17.1	极限参数 (ABSOLUTE MAXIMUM RATINGS)	135
17.2	推荐工作条件 (RECOMMENDED OPERATING CONDITIONS)	135
17.3	直流电气特性 (DC CHARACTERISTICS)	136
17.4	交流电气特性 (AC CHARACTERISTICS)	136
17.5	32.768kHz 晶体谐振器 (X32K) 电气特性	137
17.6	模数转换器 (ADC) 电气特性	137
17.7	LDO 电气特性	138
17.8	射频电气特性	139
18.	应用电路 (APPLICATION CIRCUITS)	142
19.	封装信息 (PACKAGE INFORMATION)	143
19.1	QFN48L(6x6)	143
20.	术语和缩略词 (GLOSSARY & ACRONYM)	144



1. 结构框图 (Block Diagram)

1.1 SH87F8801 结构框图

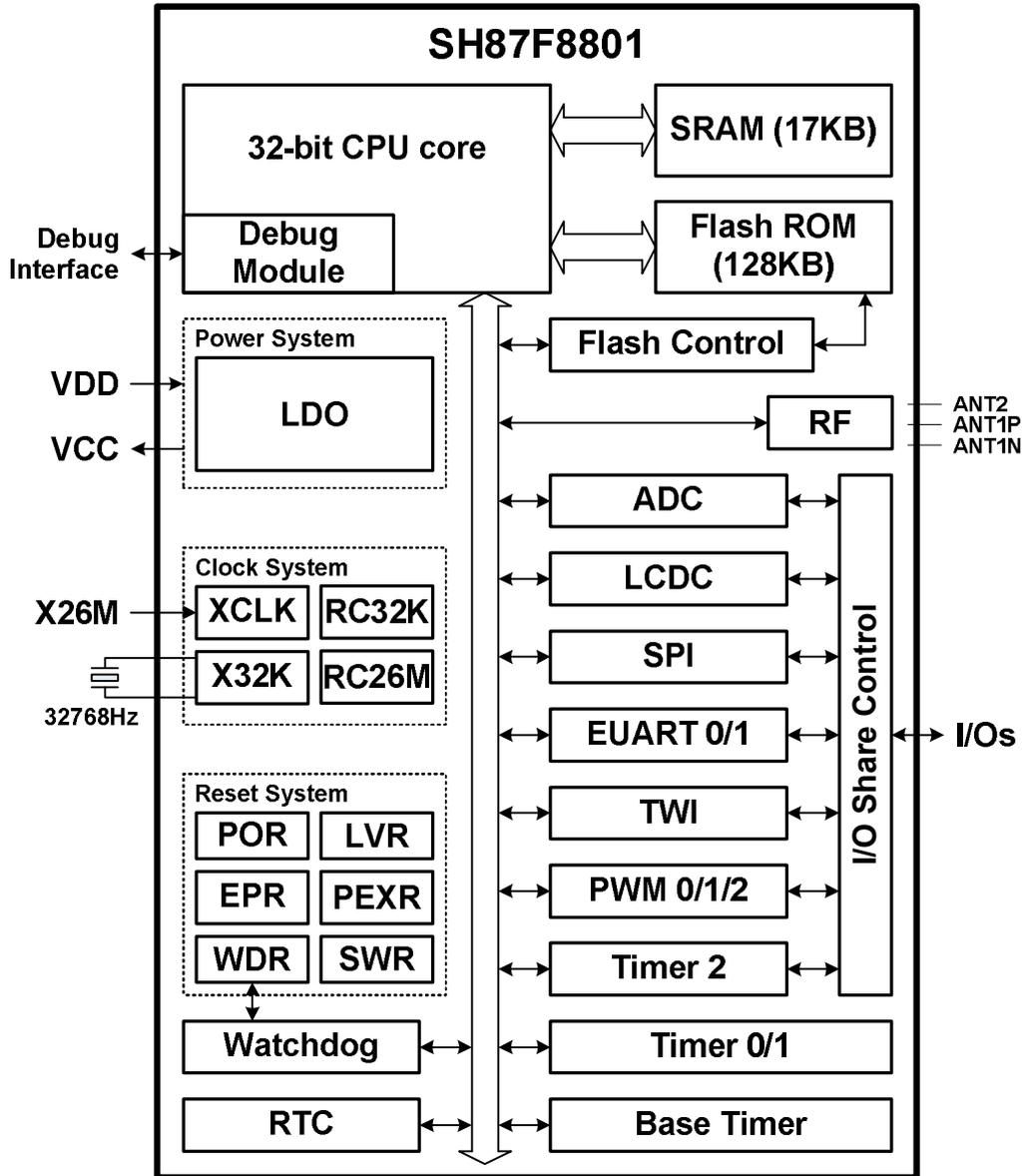


图 1. SH87F8801 结构框图

2. 引脚配置 (PIN)

SH87F8801 的封装类型为 QFN48L(6x6)。

2.1 SH87F8801 PIN Assignment

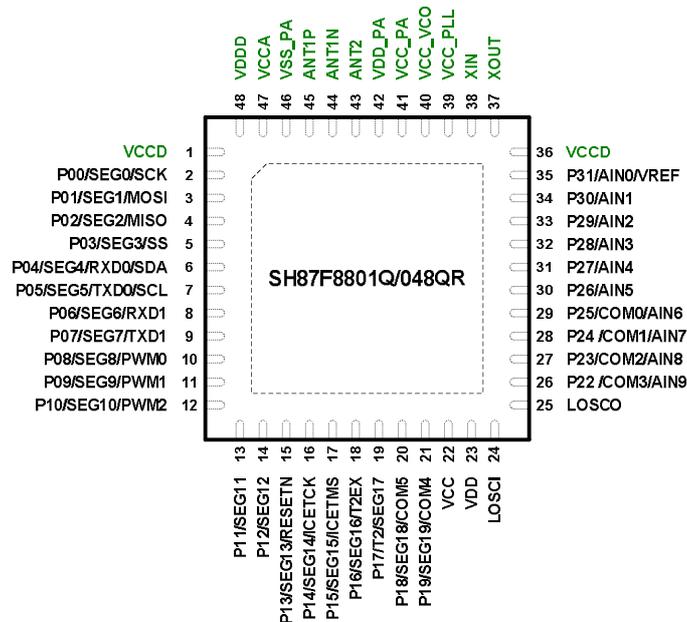


图 2. SH87F8801 引脚配置图

表 1. SH87F8801 引脚名称

编号	引脚名称	编号	引脚名称	编号	引脚名称	编号	引脚名称
1	VCCD	13	P11/SEG11	25	LOSCO	37	XOUT
2	P00/SEG0/SCK	14	P12/SEG12	26	P22/COM3/AIN9	38	XIN
3	P01/SEG1/MOSI	15	P13/SEG13/RSTN	27	P23/COM2/AIN8	39	VCC_PLL
4	P02/SEG2/MISO	16	P14/SEG14/TCK	28	P24/COM1/AIN7	40	VCC_VCO
5	P03/SEG3/SS	17	P15/SEG15/TDA	29	P25/COM0/AIN6	41	VCC_PA
6	P04/SEG4/RXD0/SDA	18	P16/SEG16/T2EX	30	P26/AIN5	42	VDD_PA
7	P05/SEG5/TXD0/SCL	19	P17/SEG17/T2	31	P27/AIN4	43	ANT2
8	P06/SEG6/RXD1	20	P18/SEG18/COM5	32	P28/AIN3	44	ANT1N
9	P07/SEG7/TXD1	21	P19/SEG19/COM4	33	P29/AIN2	45	ANT1P
10	P08/SEG8/PWM0	22	VCC	34	P30/AIN1	46	VSS_PA
11	P09/SEG9/PWM1	23	VDD	35	P31/AIN0/VREF	47	VCCA
12	P10/SEG10/PWM2	24	LOSCI	36	VCCD	48	VDDD

2.2 SH87F8801 PIN 说明

- 备注： 1. 类型定义 DI: 数字输入引脚 DO: 数字输出引脚
 AI: 模拟输入引脚 AO: 模拟输出引脚
 PI: 电源输入引脚 PO: 电源输出引脚 PG: 电源接地引脚
2. 状态定义 PH: 内建上拉电阻 PL: 内建上拉电阻 CP: 内建上/下拉电阻

表 2. SH87F8801 PIN 说明 (4-1)

PIN 编号	名称	类型	状态	说明
1	VCCD	PI	-	数字 LDO 的 3V 输入
2	P00/SEG0/ SCK	DI/DO	CP	P00_SC=0、3 时, 是通用输入/输出端口 0。
		DO	-	P00_SC=1 时, 是 LCD 接口 Segment 输出信号 0。
		DI/DO	PH	P00_SC=2 时, 是 SPI 接口时钟输入/输出信号。
3	P01/SEG1/ MOSI	DI/DO	CP	P01_SC=0、3 时, 是通用输入/输出端口 1。
		DO	-	P01_SC=1 时, 是 LCD 接口 Segment 输出信号 1。
		DI/DO	PH	P01_SC=2 时, 是 SPI 接口主发从收数据信号。
4	P02/SEG2/ MISO	DI/DO	CP	P02_SC=0、3 时, 是通用输入/输出端口 2。
		DO	-	P02_SC=1 时, 是 LCD 接口 Segment 输出信号 2。
		DI/DO	PH	P02_SC=2 时, 是 SPI 接口从发主收数据信号。
5	P03/SEG3/ SS	DI/DO	CP	P03_SC=0、3 时, 是通用输入/输出端口 3。
		DO	-	P03_SC=1 时, 是 LCD 接口 Segment 输出信号 3。
		DI	PH	P03_SC=2 时, 是 SPI 接口从机片选信号, 低有效。
6	P04/SEG4/ RXD0/SDA	DI/DO	CP	P04_SC=0 时, 是通用输入/输出端口 4。
		DO	-	P04_SC=1 时, 是 LCD 接口 Segment 输出信号 4。
		DI/DO	PH	P04_SC=2 时, 是 EUART0 接口模式 0 的接收/发送数据信号, 和模式 1~3 的接收数据信号。
		DI/DO	PH	P04_SC=3 时, 是 TWI 接口数据输入/输出信号。
7	P05/SEG5/ TXD0/SCL	DI/DO	CP	P05_SC=0 时, 是通用输入/输出端口 5。
		DO	-	P05_SC=1 时, 是 LCD 接口 Segment 输出信号 5。
		DO	-	P05_SC=2 时, 是 EUART0 接口模式 0 的时钟输出信号, 和模式 1~3 的发送数据信号。
		DI/DO	PH	P05_SC=3 时, 是 TWI 接口时钟输入/输出信号。
8	P06/SEG6/ RXD1	DI/DO	CP	P06_SC=0 时, 是通用输入/输出端口 6。
		DO	-	P06_SC=1 时, 是 LCD 接口 Segment 输出信号 6。
		DI/DO	PH	P06_SC=2 时, 是 EUART1 接口模式 0 的接收/发送数据信号, 和模式 1~3 的接收数据信号。
		DI	PH	P06_SC=3 时, 保留。
9	P07/SEG7/ TXD1	DI/DO	CP	P07_SC=0 时, 是通用输入/输出端口 7。
		DO	-	P07_SC=1 时, 是 LCD 接口 Segment 输出信号 7。
		DO	-	P07_SC=2 时, 是 EUART1 接口模式 0 的时钟输出信号, 和模式 1~3 的发送数据信号。
		DO	-	P07_SC=3 时, 保留。
10	P08/SEG8/ PWM0	DI/DO	CP	P08_SC=0、3 时, 是通用输入/输出端口 8。
		DO	-	P08_SC=1 时, 是 LCD 接口 Segment 输出信号 8。
		DO	-	P08_SC=2 时, 是 PWM0 输出信号。



表 3. SH87F8801 PIN 说明 (4-2)

PIN 编号	名称	类型	状态	说明
11	P09/SEG9/ PWM1	DI/DO	CP	P09_SC=0、3 时，是通用输入/输出端口 9。
		DO	-	P09_SC=1 时，是 LCD 接口 Segment 输出信号 9。
		DO	-	P09_SC=2 时，是 PWM1 输出信号。
12	P10/SEG10 /PWM2	DI/DO	CP	P10_SC=0、3 时，是通用输入/输出端口 10。
		DO	-	P10_SC=1 时，是 LCD 接口 Segment 输出信号 10。
		DO	-	P10_SC=2 时，是 PWM2 输出信号。
13	P11/SEG11	DI/DO	CP	P11_SC=0 时，是通用输入/输出端口 11。
		DO	-	P11_SC=1 时，是 LCD 接口 Segment 输出信号 11。
14	P12/SEG12	DI/DO	CP	P12_SC=0 时，是通用输入/输出端口 12。
		DO	-	P12_SC=1 时，是 LCD 接口 Segment 输出信号 12。
15	P13/SEG13 /RSTN	DI/DO	CP	CO_RST=1 且 P13_SC=0 时，是通用输入/输出端口 13。
		DO	-	CO_RST=1 且 P13_SC=1 时，是 LCD 接口 Segment 输出信号 13。
		DI	PH	CO_RST=0 时，是外部复位输入信号，低电平有效。
16	P14/SEG14 /TCK	DI/DO	CP	非编程&ICE 模式下，P14_SC=0 时，是通用输入/输出端口 14。
		DO	-	非编程&ICE 模式下，P14_SC=1 时，是 LCD 接口 Segment 输出信号 14。
		DI	-	编程&ICE 模式下，是 ICE/Debug 接口时钟输入信号。
17	P15/SEG15 /TDA	DI/DO	CP	非编程&ICE 模式下，P15_SC=0 时，是通用输入/输出端口 15。
		DO	-	非编程&ICE 模式下，P15_SC=1 时，是 LCD 接口 Segment 输出信号 15。
		DI/DO	-	编程&ICE 模式下，是 ICE/Debug 接口数字输入/输出信号。
18	P16/SEG16 /T2EX	DI/DO	CP	P16_SC=0、3 时，是通用输入/输出端口 16。
		DO	-	P16_SC=1 时，是 LCD 接口 Segment 输出信号 16。
		DI	-	P16_SC=2 时，是 Timer2 外部事件输入信号。
19	P17/SEG17 /T2	DI/DO	CP	P17_SC=0、3 时，是通用输入/输出端口 17。
		DO	-	P17_SC=1 时，是 LCD 接口 Segment 输出信号 17。
		DI/DO	-	P17_SC=2 时，是 Timer2 时钟输入/输出信号。
20	P18/SEG18 /COM5	DI/DO	CP	P18_SC=0、3 时，是通用输入/输出端口 18。
		DO	-	P18_SC=1 时，是 LCD 接口 Segment 输出信号 18。
		DO	-	P18_SC=2 时，是 LCD 接口 Common 输出信号 5。
21	P19/SEG19 /COM4	DI/DO	CP	P19_SC=0、3 时，是通用输入/输出端口 19。
		DO	-	P19_SC=1 时，是 LCD 接口 Segment 输出信号 19。
		DO	-	P19_SC=2 时，是 LCD 接口 Common 输出信号 4。
22	VCC	PI	-	数字电路 1.5V 电源输入。
23	VDD	PI	-	电源模块的输入 (1.8~5.5V)
24	LOSCI	AI	-	DO_LOSC=0 时，是 32768Hz 晶振输入，或 32768Hz 外部时钟 (电压需小于 1.5V) 输入。
25	LOSCO	AO	-	DO_LOSC=0 时，是 32768Hz 晶振输出。



表 4. SH87F8801 PIN 说明 (4-3)

PIN 编号	名称	类型	状态	说明
26	P22/COM3/ AIN9	DI/DO	CP	P22_SC=0、3 时，是通用输入/输出端口 22。
		DO	-	P22_SC=1 时，是 LCD 接口 Common 输出信号 3。
		AI	-	P22_SC=2 时，是 ADC 通道 9 的模拟输入信号。
27	P23/COM2/ AIN8	DI/DO	CP	P23_SC=0、3 时，是通用输入/输出端口 23。
		DO	-	P23_SC=1 时，是 LCD 接口 Common 输出信号 2。
		AI	-	P23_SC=2 时，是 ADC 通道 8 的模拟输入信号。
28	P24/COM1/ AIN7	DI/DO	CP	P24_SC=0、3 时，是通用输入/输出端口 24。
		DO	-	P24_SC=1 时，是 LCD 接口 Common 输出信号 1。
		AI	-	P24_SC=2 时，是 ADC 通道 7 的模拟输入信号。
29	P25/COM0/ AIN6	DI/DO	CP	P25_SC=0、3 时，是通用输入/输出端口 25。
		DO	-	P25_SC=1 时，是 LCD 接口 Common 输出信号 0。
		AI	-	P25_SC=2 时，是 ADC 通道 6 的模拟输入信号。
30	P26/AIN5	DI/DO	CP	P26_SC=0 时，是通用输入/输出端口 26。
		AI	-	P26_SC=1 时，是 ADC 通道 5 的模拟输入信号。
31	P27/AIN4	DI/DO	CP	P27_SC=0 时，是通用输入/输出端口 27。
		AI	-	P27_SC=1 时，是 ADC 通道 4 的模拟输入信号。
32	P28/AIN3	DI/DO	CP	P28_SC=0 时，是通用输入/输出端口 28。
		AI	-	P28_SC=1 时，是 ADC 通道 3 的模拟输入信号。
33	P29/AIN2	DI/DO	CP	P29_SC=0 时，是通用输入/输出端口 29。
		AI	-	P29_SC=1 时，是 ADC 通道 2 的模拟输入信号。
34	P30/AIN1	DI/DO	CP	P30_SC=0 时，是通用输入/输出端口 30。
		AI	-	P30_SC=1 时，是 ADC 通道 1 的模拟输入信号。
35	P31/AIN0/ VREF	DI/DO	CP	P31_SC=0、3 时，是通用输入/输出端口 31。
		AI	-	P31_SC=1 时，是 ADC 通道 0 的模拟输入信号。
		AI	-	P31_SC=2 时，是 ADC 外部基准电压源输入信号。
36	VCCD	PI	-	数字 LDO 的 3V 输入
37	XOUT	AO	-	26MHz 晶振输出
38	XIN	AI	-	26MHz 晶振输入
39	VCC_PLL	PI	-	PLL LDO 的 3V 输入
40	VCC_VCO	PI	-	VCO LDO 的 3V 输入
41	VCC_PA	PI	-	PA LDO 的 3V 输入
42	VDD_PA	PO	-	PA LDO 的 1.8V 输出
43	ANT2	AO	-	天线输出端
44	ANT1N	AI	-	天线差分输入 N 端
45	ANT1P	AI	-	天线差分输入 P 端
46	VSS_PA	PG	-	PA 电路的 Ground
47	VCCA	PI	-	模拟 LDO 的 3V 输入，此 LDO 给除了 PLL、VCO 和 PA 外的其它模拟电路供电。
48	VDDD	PO	-	数字 LDO 的 1.8V 输出，外接稳压电容

3. 中央处理器（CPU）

3.1 地址映射

32 位 CPU 有 24 位的地址总线，各存储器 and 外设地址的分配如下图所示。

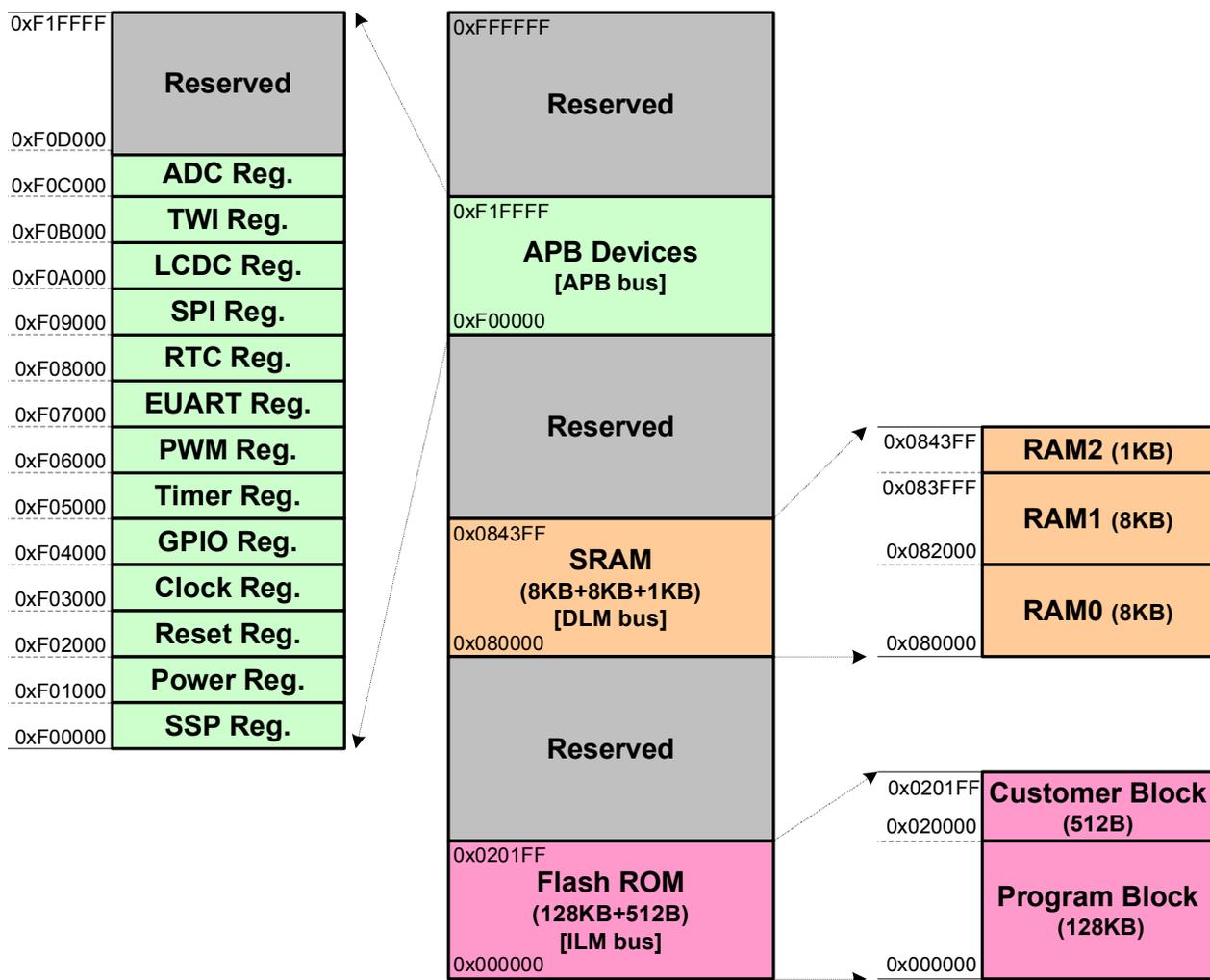


图 3. SH87F8801 地址映射

3.2 中断和异常处理

3.2.1 中断特性

- 4 层中断优先级
- 9 种异常处理（关于异常的说明请参考 ANDES）
- 23 个硬件中断源，1 个软件中断源



3.2.2 中断汇总和向量入口地址

ESZ: 中断入口宽度（默认 16 Bytes，可软件修改）

下表只列出在各模块中定义的标志和使能位，系统寄存器（SR）另外定义了相应的标志位和使能位。

表 5. 中断列表（待续）

中断源	说明	向量地址	使能位	标志位
RESET (NMI)	CPU 异常中断	0000H		
TLB fill	CPU 异常中断	ESZ x 1		
PTE not present	CPU 异常中断	ESZ x 2		
TLB misc	CPU 异常中断	ESZ x 3		
TLB VLPT miss	CPU 异常中断	ESZ x 4		
Machine error	CPU 异常中断	ESZ x 5		
Debug related	CPU 异常中断	ESZ x 6		
General exception	CPU 异常中断	ESZ x 7		
Syscall	CPU 异常中断	ESZ x 8		
HW0: IO0IRQ	P00~P07 外部 I/O 中断	ESZ x 9	P00_XIE~ P07_XIE	P00_FLAG~ P07_FLAG
HW1: T0IRQ	Timer 0 溢出中断	ESZ x 10	T0_IE	T0_FLAG
HW2: T1IRQ	Timer 1 溢出中断	ESZ x 11	T1_IE	T1_FLAG
HW3: T2IRQ T2EXIRQ	Timer 2 溢出中断 T2EX 外部事件中断	ESZ x 12	T2_IE T2EX_IE	T2_FLAG T2EX_FLAG
HW4: S0IRQ	EUART0 收发中断	ESZ x 13	S0_IE	S0_RF, S0_TF
HW5: S1IRQ	EUART1 收发中断	ESZ x 14	S1_IE	S1_RF, S1_TF
HW6: RTCIRQ SCMIRQ	RTC 中断 停振检测中断	ESZ x 15	RTC_IE DAY_IE HR_IE MIN_IE SEC_IE HSEC_IE ALM_IE SCM_IE	DAY_FLAG HR_FLAG MIN_FLAG SEC_FLAG HSEC_FLAG ALM_FLAG SCM_FLAG
HW7: ADCIRQ	ADC 转换&比较中断	ESZ x 16	ADC_IE	ADC_FLAG
HW8: PWM0IRQ	PWM0 周期溢出中断	ESZ x 17	PWM0_IE	PWM0_FLAG
HW9: PWM1IRQ	PWM1 周期溢出中断	ESZ x 18	PWM1_IE	PWM1_FLAG
HW10: PWM2IRQ	PWM2 周期溢出中断	ESZ x 19	PWM2_IE	PWM2_FLAG
HW11: SPIIRQ	SPI 传输&模式故障中断	ESZ x 20	SPI_IE	TRF, MODF
HW12	保留中断源 (Reserved)			
HW13: IO1IRQ	P08~P15 外部 I/O 中断	ESZ x 22	P08_XIE~ P15_XIE	P08_FLAG~ P15_FLAG
HW14: IO2IRQ	P16~P23 外部 I/O 中断	ESZ x 23	P16_XIE~ P23_XIE	P16_FLAG~ P23_FLAG
HW15: IO3IRQ	P24~P31 外部 I/O 中断	ESZ x 24	P24_XIE~ P31_XIE	P24_FLAG~ P31_FLAG
HW16: TWIIRQ	TWI 模块状态发生&总线超时 &高电平超时中断	ESZ x 25	TWI_IE	STA_FLAG BTO_FLAG HLTO_FLAG



表 6. 中断列表（接续）

中断源	说明	向量地址	使能位	标志位
HW17: RSSIRQ	接收信号强度检测器中断	ESZ x 26	RSSI_IE	RSSI_FLAG
HW18: RFIRQ	RF 状态转换中断	ESZ x 27	RF_IE	RF_FLAG
HW19: BTIRQ BTCMPIRQ	Base Timer 溢出中断 Base Timer 比较器中断	ESZ x 28	BT_IE BTCMP_IE	BT_FLAG BTCMP_FLAG
HW20: SWIRQ	软件中断	ESZ x 29		
HW21~HW23	保留中断源 (Reserved)			

<https://DatasheetsPDF.com>



4. 存储器 (Memory)

4.1 RAM

4.1.1 RAM 特性

- SH87F8801 内建 17KB SRAM
- 所有 RAM 都接在 CPU 的 DLM 总线上
- RAM 分为 3 块: RAM0 (8KB)、RAM1 (8KB)、和 RAM2 (1KB)
- 在 DSM 模式下, 每块 RAM 都可以通过寄存器独立控制 Power ON/OFF。

4.1.2 RAM 地址映射 (DLM 总线)

0x0843FF	RAM2 (1KB)
0x083FFF	RAM1 (8KB)
0x082000	RAM0 (8KB)
0x080000	

图 4. RAM 地址映射

4.1.3 RAM 寄存器

RAM 寄存器的基地址是: **0xF01000** (RAM 寄存器和 Power 寄存器的基地址相同)

表 7. RAM 寄存器列表

寄存器名	地址	类型	复位值	说明
RAMDPC	0xF01008	R/W	0x00000000	DSM 模式 RAM 电源控制寄存器

4.2 Flash

4.2.1 Flash 特性

- Flash 存储器包括：128KB 的程序存储区（128 个扇区，每个扇区 1KB）、512B 的用户存储区。
- Flash 存储器接在 CPU 的 ILM 总线上
- 在工作电压范围内（1.4~1.6V）可以支持读取、编程、扇区擦除和整体擦除操作。
- 支持在线编程模式（ICP）和扇区自编程模式（SSP）
- 支持操作保护功能和安全识别码功能
- 编程/擦除次数：至少 100,000 次
- 数据保持年限：至少 10 年

4.2.2 Flash 地址映射（ILM 总线）

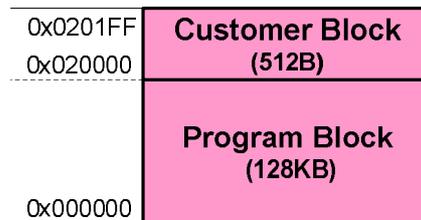


图 5. Flash 地址映射

4.2.3 在线编程模式（ICP）

在线编程模式（ICP）是使用 Flash 编程器等工具通过两线接口（TCK/TMS）对 Flash 存储器进行读取、编程和擦除操作。

ICP 模式可以读取、编程和擦除整个 Flash 存储器。

ICP 模式可以在芯片焊在用户板上后操作 Flash 存储器。

4.2.4 扇区自编程模式（SSP）

扇区自编程模式（SSP）是用户程序代码运行在程序存储区中，对 Flash 存储器进行读取、编程和擦除操作。

注意：因为 SSP 操作会用到 RC2M 时钟，所以在执行 SSP 操作时必须保证 RC2M 是使能的，而 CPU 时钟则可根据需要设置成其它频率。

如果所选扇区未被保护，通过 SSP 寄存器，可以读取整个 Flash 存储器，但只能编程和扇区擦除程序存储区。擦除操作以扇区（Sector，1KB）为单位；编程操作以字（32 位，4 字节）为单位。

Flash 控制器内建了一个复杂的控制流程，以避免误启动 SSP 操作导致程序代码被误修改。

4.2.5 SSP 寄存器
表 8. SSP 寄存器列表

寄存器名	地址	类型	复位值	说明
IB_ADDR	0xF00000	R/W	0x00000000	SSP 地址寄存器
IB_DATA	0xF00004	R/W	0x00000000	SSP 数据寄存器
IB_CON1	0xF00008	R/W	0x00000000	SSP 控制寄存器 1
IB_CON2	0xF0000C	R/W	0x00000000	SSP 控制寄存器 2
UPDATEKEY	0xF00010	R/W	0x00000000	更新密钥寄存器

表 9. SSP 地址寄存器说明

寄存器名: IB_ADDR				地址: 0xF00000
位址	符号	类型	复位	说明
31:17	-	-	0	保留位 (Reserved)
16:0	IB_ADDR	R/W	0	SSP 编程或擦除操作地址锁存位。 编程时, 以字 (4B) 为单位, IB_ADDR 的 Bit[1:0]忽略; 擦除时, 以扇区 (1024B) 为单位, 只用了 IB_ADDR 的 Bit[16:10] (扇区地址), Bit[9:0]忽略。

表 10. SSP 数据寄存器说明

寄存器名: IB_DATA				地址: 0xF00004
位址	符号	类型	复位	说明
31:0	IB_DATA	R/W	0	SSP 编程操作数据锁存位。

表 11. SSP 控制寄存器 1 说明

寄存器名: IB_CON1				地址: 0xF00008
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	IB_CON1	R/W	0	SSP 操作类型选择位。 0xE6: 扇区 (1024 字节) 擦除操作 0x6E: 字 (4 字节) 编程操作 Other: 无效

表 12. SSP 控制寄存器 2 说明

寄存器名: IB_CON2				地址: 0xF0000C
位址	符号	类型	复位	说明
31:0	IB_CON2	R/W	0	SSP 编程或擦除操作启动控制位。 在设置 IB_CON1 寄存器后 255 个系统时钟周期内, 向此寄存器写入 0x050A0906 , HW 会立即启动相应的操作, 并将 IB_CON1 和 IB_CON2 两个寄存器清 0。 如果超时写入 0x050A0906, 或者写入其它值, HW 不会启动编程和擦除操作, 但会将 IB_CON1 和 IB_CON2 两个寄存器清 0。

表 13. 更新密钥寄存器说明

寄存器名: UPDATEKEY				地址: 0xF00010
位址	符号	类型	复位	说明
31:0	UPDATEKEY	R/W	0	如果此寄存器中的更新密钥和用户存储区的原始密钥匹配, 则可以对程序存储区中被擦写保护的扇区进行 SSP 编程和擦除操作。

4.2.6 SSP 操作控制流程

注意：在执行 SSP 操作时必须保证 RC2M 使能。

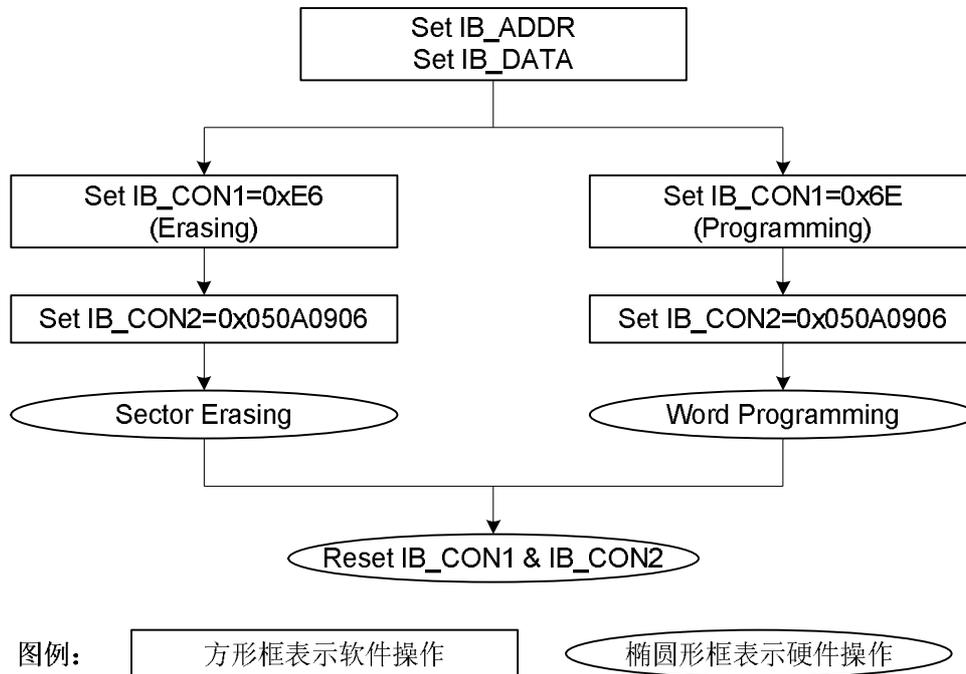


图 6. SSP 操作流程

4.2.7 SSP 操作注意事项

为确保顺利完成 SSP 操作，用户软件必须按以下步骤设置。

4.2.7.1 字编程操作步骤

1. 关闭中断，确认 RC2M_FLAG=1；
2. 根据地址设置 IB_ADDR；
3. 按编程需要设置 IB_DATA；
4. 写 IB_CON1=0x6E，IB_CON2=0x050A0906；
5. 添加 16 个 NOP 指令；
6. 开始编程，CPU 将进入睡眠模式，烧写完成后自动退出睡眠模式；
7. 如需继续写入数据，跳转至第 2 步；
8. 恢复中断设置。

4.2.7.2 扇区擦除操作步骤

1. 关闭中断，确认 RC2M_FLAG=1；
2. 根据相应的扇区地址设置 IB_ADDR；
3. 写 IB_CON1=0xE6，IB_CON2=0x050A0906；
4. 添加 16 个 NOP 指令；
5. 开始擦除，CPU 将进入睡眠模式；擦除完成后自动退出睡眠模式；
6. 如需要继续擦除数据，跳转至第 2 步；
7. 恢复中断设置。



4.2.8 代码选项 (Flash Option)

Flash 存储器的用户存储区中定了用户选项 (Customer Option) 设置。

注意：用 CPU 指令只能读这些选项，不能写和擦除。用 Flash 烧写器可以读、写和擦除这些选项。下文类型中的 W 特指用烧写器写入。

4.2.8.1 用户选项 (Customer Option)

用户选项位于用户存储区 0x20008~0x2000B 地址区间，用于保存和用户应用及需求相关的选项设置。

表 14. 用户选项说明

选项名称: Customer Option				地址: 0x020008
位址	符号	类型	默认	说明
31:30	-	-	0	保留位 (Reserved)
29:28	CO_X32K_WMT	R/W	0	32.768k 晶振预热等待时间设置。 0: $2^{13} \times T_{32K}$ 1: $2^{14} \times T_{32K}$ 2: $2^{15} \times T_{32K}$ 3: $2^{12} \times T_{32K}$
27:26	CO_RC32K_WMT	R/W	0	32.768k RC 预热等待时间设置。 0: $2^7 \times T_{32K}$ 1: $2^5 \times T_{32K}$ 2: $2^6 \times T_{32K}$ 3: $2^8 \times T_{32K}$
25:24	CO_RC26M_WMT	R/W	0	26M RC 预热等待时间设置。 0: $2^7 \times T_{26M}$ 1: $2^5 \times T_{26M}$ 2: $2^6 \times T_{26M}$ 3: $2^8 \times T_{26M}$
23:17	-	-	0	保留位 (Reserved)
16	CO_RST	R/W	0	RSTN 和 I/O 复用引脚功能选择，仅在 CO_AICE_EN \neq 0xA 时有效。无论 RSTN 或 I/O 引脚，都可唤醒 PD 模式。 0: RSTN 引脚 1: P13 引脚
15:10	-	-	0	保留位 (Reserved)
9	CO_LVR15EN	R/W	0	VCC 上的功能 LVR (LVR15, $1.2 \pm 0.1V$) 使能控制。 0: 关闭 LVR15 1: 使能 LVR15
8	CO_LVR33HEN	R/W	0	VDD 上的功能 LVR 高电压阈值点 (LVR33H, $1.9 \pm 0.1V$) 使能控制。 0: 关闭 LVR33H 1: 使能 LVR33H 注意： 当高电压阈值点使能时，低电压阈值点无效。
7:4	CO_AICE_EN	R/W	0	AICE 调试使能控制。 0x0: 不支持 AICE 调试 0xA: 支持 AICE 调试。此时 P13、P14 和 P15 三个引脚强制用作 AICE 仿真器接口，不能用作 GPIO 功能。P13_SC、P14_SC、P15_SC 和 CO_RST 全部失效。 Other values: 不支持 AICE 调试
3	CO_WDTPD	R/W	0	休眠模式 (SM&DSM) 下看门狗功能使能控制。 0: Disable watchdog in SM and DSM 1: Enable watchdog in SM and DSM
2	CO_WDT	R/W	0	正常模式 (Active) 下看门狗功能使能控制。 0: Enable watchdog in active mode 1: Disable watchdog in active mode
1	-	-	0	Reserved
0	CO_SCMEN	R/W	0	32.768k 晶振停振检测功能 (SCM) 使能控制。 0: Enable SCM 1: Disable SCM

5. 时钟系统（Clock System）

5.1 时钟定义

5.1.1 时钟源定义

SH87F8801有5个独立时钟源,包括:3个内建RC振荡器(RC32K、RC2M和RC26M),1个32.768kHz外置晶振(X32K)和1个外部输入时钟(XCLK)。SH87F8801有1个26MHz外置晶振(X26M),同时输出接到SH87F8801的XCLK,所以XCLK和X26M是等效的。

表 15. 时钟源定义

名称		说明	精度 (0~40°C)	预热时间 (Max.)	
SYSCLK	LFCLK	RC32K	±0.2% (实时校准)	$2^7 \times T_{32K}$ (可配置)	
		X32K	±500ppm	$2^{13} \times T_{osc}$ (可配置)	
		DIV32K	由 HFCLK (XCLK 和 RC26M) 分频生成的 32.768kHz 时钟, 用于 LFCLK 的选择源头之一。不能用 RC2M 生成。	同 HFCLK	无
	HFCLK	RC2M	内建 2MHz RC 振荡器, 用于 HFCLK 的选择源头之一, 同时也用作 SH87F8801 的系统启上电默认时钟。	±3%	$2^7 \times T_{2M}$
		RC26M	内建 26MHz RC 振荡器, 用于 HFCLK 的选择源头之一。	±2.5%	$2^7 \times T_{26M}$ (可配置)
		XCLK	SH87F8801 的外部输入时钟, 用于 HFCLK 的选择源头之一。	同 X26M	同 X26M
X26M		外置 26MHz 晶振, 用于 RF 的工作时钟, 同时也可以输出到 SH87F8801 的 XCLK。	±50ppm	$2^5 \times T_{26M}$	

备注:

1. 使用 **CLKSEL** 寄存器中对应的控制位, 可以分别选择 HFCLK 和 LFCLK 的源头时钟。
2. 使用 **CLKEN** 寄存器中对应的控制位, 可以控制时钟源的开关。
3. 使用 **CLKFLAG** 寄存器中对应的标志位, 可以时钟源的状态。
4. RC32K 没有使用校准时, 精度为±20%; 使用 XCLK 实时校准时, 精度为±0.2%; 使用 RC26M 实时校准时, 精度为±3%。
5. 使用用户选项 CO_RC26M_WMT、CO_RC32K_WMT 和 CO_X32K_WMT 可以分别调节 RC26M、RC32K 和 X32K 的预热等待时间。



5.1.2 工作时钟定义

SH87F8801 的时钟源，通过分频和分组选择，生成高频时钟（HFCLK）和低频时钟（LFCLK），再组合生成系统时钟（SYSCLK）。

SH87F8801 内部的工作时钟，除了少部分时钟是由时钟源头直接提供，其余大部分时钟是由 HFCLK、LFCLK、SYSCLK 及其分频时钟提供的。各个工作时钟的定义如下：

表 16. SH87F8801 工作时钟定义

名称	符号	时钟源	分频系数
CPU、Flash 和 RAM 工作时钟	CPUCLK	SYSCLK	1, 1.5, 2, 26
		HFCLK	1
Timer 0 工作时钟	T0CLK	LFCLK	1, 26
		HFCLK	1
Timer 1 工作时钟	T1CLK	LFCLK	1, 26
		HFCLK	1
Baser Timer 工作时钟	BTCLK	HFCLK	2600, 26000
		LFCLK	1, 32
Timer 2 工作时钟	T2CLK	CPUCLK	1, 26
SPI 模块工作时钟	SPICLK	CPUCLK	1
EUART0 模块工作时钟	S0CLK	CPUCLK	1
EUART1 模块工作时钟	S1CLK	CPUCLK	1
PWM0 模块工作时钟	PWM0CLK	CPUCLK	1, 32
PWM1 模块工作时钟	PWM1CLK	CPUCLK	1, 32
PWM2 模块工作时钟	PWM2CLK	CPUCLK	1, 32
ADC 工作时钟	ADCCLK	HFCLK	26, 26x2, 26x4, 26x8
TWI 工作时钟	TWICLK	HFCLK	1
LCDC 工作时钟	LCDCCLK	LFCLK	1
RTC 工作时钟	RTCCLK	LFCLK	1

注：TWI 模块只能在 26MHz 时钟下正常工作，所以 TWI 使能时，HFCLK 不能选择 RC2M 做时钟源。



5.2 时钟开关和选择

每个时钟源都可以独立的打开和关闭，打开一个时钟源时，等待预热时间结束后，相应的状态标志才会被置起，此时才可以使用此时钟源。时钟使能位写 0 时，硬件会清除对应的状态标志。

当任意系统复位（POR、LVR、WDR、EXR 和 PEXR）发生后，RC2M 开启，其他时钟源全部关闭。HFCLK 默认选择 RC2M，SYSCLK 默认选择 HFCLK。

系统进入 DSM 省电模式时，HW 会强制关闭 RC2M 和 RC26M，SW 需要提前关闭 XCLK。使用设计选项 DO_HFCLKSEL 可以选择从 DSM 模式唤醒后，HFCLK 默认选择 RC2M 还是 RC26M。

各个模块都有自己的复位和使能控制，只有模块使能且不处于复位状态，模块的工作时钟才能打开。如果模块关闭，或者模块复位，模块的工作时钟都会关闭。

各个模块工作时钟的可选时钟源见下表所示，相关控制位见各模块的控制寄存器。

表 17. SH87F8801 工作时钟选择

	SYSCLK	HFCLK	LFCLK	RC2M	RC26M	XCLK	RC32K	X32K	DIV32K
SYSCLK		●	●						
HFCLK				●	●	●			
LFCLK							●	●	●
CPU	●								
Flash	●								
RAM	●								
Timer 2	●								
SPI	●								
EUART0/1	●								
PWM0/1/2	●								
TWI		●							
ADC		●							
LCDC			●						
RTC0			●						
RTC1		●	●						
Timer 0/1		●	●						
WDT									
SCM									

5.3 X26M 电路

外置 26MHz 晶振 (X26M) 的连接引脚是: HOSCI 和 HOSCO, 需外接 18pF (Typ.) 负载电容。应用线路图如下:

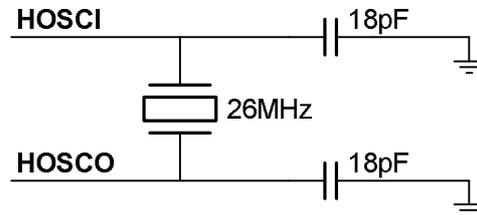


图 7. X26M 应用线路图

5.4 X32K 电路

外置 32.768kHz 晶振 (X32K) 的连接引脚是: LOSCI 和 LOSCO, 已经内建负载电容, 所以无需外挂电容。应用线路图如下:

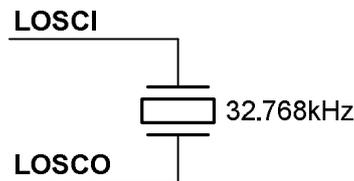


图 8. X32K 应用线路图

5.5 X32K 停振检测 (SCM)

停振检测功能 (SCM) 用于监测外置的 32.768kHz 晶振 (X32K) 是否正常工作。可以通过用户选项 CO_SCMEN 使能或关闭 SCM 功能。

同时使能 X32K 时钟 (X32K_EN =1) 和 SCM 功能 (CO_SCMEN=0), SCM 模块才会工作。如果没有使能 X32K 时钟 (X32K_EN =0), 即使开启 SCM 功能 (CO_SCMEN=0), SCM 模块也不起作用, SCM 中断也不会产生。

SCM 模块正常工作时, 如果监测到 X32K 发生停振, HW 会立刻将发生停振标志 SCM_FLAG 置 1, 将状态标志 X32K_FLAG 清 0, 启动 RC32K, 将 LFCLK 切换为 RC32K。同时, HW 还会使用用户选项 DO_SCM_REC 指定的方法尝试恢复 X32K 时钟。

当 SCM 模块检测到 X32K 恢复振荡后, HW 会将状态标志 X32K_FLAG 置 1, 并根据低频时钟源选择位 (LF_SEL) 的配置决定是否将 LFCLK 恢复到 X32K 时钟。因此, SW 可以通过查询状态标志位 X32K_FLAG 来了解 X32K 是工作还是停振状态。

SCM 中断和 RTC 中断共用中断向量入口地址。如果 SCM 中断使能 (SCM_IE=1), SW 必须在退出中断服务程序之前通过设置 SCM_FCLR 将 SCM_FLAG 标志清零。

5.6 RC32K 校准 (CAL)

内建 RC32K 的频率精度，在出厂时 ($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$) 调节成 $\pm 0.2\%$ ，在使用中因为温度 ($T_A=0\sim 40^{\circ}\text{C}$) 和电压的变化 ($V_{DD}=1.8\sim 3.6\text{V}$)，其精度最差可能偏到 $\pm 2\%$ ，此时通过内建校准电路，可以把精度再调回到 $\pm 0.2\%$ 附近。

校准电路使用 HFCLK 作为校准时钟，HFCLK 频率精度会直接影响 RC32K 的校准精度。HFCLK 选择 XCLK 时，校准精度为 $\pm 0.2\%$ ；HFCLK 选择 RC26M 时，校准精度为 $\pm 3\%$ 。所以校准时钟只能使用 HFCLK 的 XCLK。

注意：因为校准电路只能使用 26MHz 的校准时钟，所以 HFCLK 不能选择 RC2M 作为校准时钟。

RC32K 校准系统结构如下图所示：

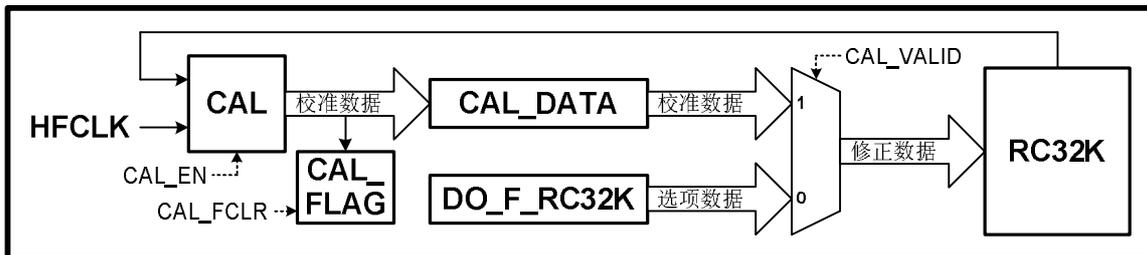


图 9. RC32K 校准系统

RC32K 校准分为校准和修正两个步骤，有自动校准和手动校准两种工作模式，使用 `CALCON` 寄存器可以控制校准流程：

- **自动校准模式：**设置 `CAL_EN=1`，启动自动校准。此时 `CAL_DATA` 为只读寄存器，只有 HW 可以更新；`CAL_VALID` 被 HW 强制设置成 1，SW 不能修改。自动校准完成后（约 2ms），HW 会置起 `CAL_FLAG` 标志。自动校准操作会一直重复进行下去，直到设置 `CAL_EN=0`（此时 `CAL_VALID=1`）。
- **手动校准模式：**设置 `CAL_EN=0`，为手动校准状态，校准关闭，只开启修正。此时 `CAL_DATA` 和 `CAL_VALID` 为读写寄存器，只有 SW 可以更新。设置 `CAL_VALID=0` 时，HW 用选项数据 (`DO_F_RC32K`) 修正 RC32K；设置 `CAL_VALID=1` 时，HW 用校准数据 (`CAL_DATA`) 修正 RC32K。

补充说明：

- 启动自动/手动校准操作前要确保 RC32K 和 HFCLK 都开启，且 HFCLK 时钟源设置为 XCLK。自动模式下，校准和修正都开启；手动模式下，校准关闭，只开启修正。
- 手动模式设置 `CAL_VALID=1` 前，必须确保 `CAL_DATA` 中的数据有效（或者启动一次自动模式，或者读出 `DO_F_RC32K` 的值写入 `CAL_DATA`，或者将有效值直接写入 `CAL_DATA`），否则 RC32K 的频率可能偏差很大导致工作异常。
- RC23K 的频率变化和温度&电压相关，而通常温度&电压的变化率不高，所以无需一直开启自动校准模式。可以启动一次自动模式 (`CAL_EN=1`) 完成校准 (`CAL_FLAG=1`) 后，关闭自动校准 (`CAL_EN=0`)，只开启校准数据修正 (`CAL_VALID=1`) 即可，以节省功耗。

5.7 时钟寄存器
表 18. 时钟寄存器列表

寄存器名	地址	类型	复位值	说明
CLKSEL	0xF03000	R/W	0x00000000	时钟选择寄存器
CLKEN	0xF03004	R/W	0x00000010	时钟使能寄存器
CLKFLAG	0xF03008	R	0x00000010	时钟状态寄存器
SYSSEL	0xF0300C	R/W	0x00000000	系统时钟选择寄存器
SCMCON	0xF03010	R/W	0x00000000	停振检测控制寄存器
SCMFLAG	0xF03014	R	0x00000000	停振检测标志查询寄存器
SCMFCLR	0xF03018	W	0x00000000	停振检测标志清除寄存器
CALCON	0xF03020	R/W	0x00000000	校准控制寄存器
CALFLAG	0xF03024	R	0x00000000	校准标志查询寄存器
CALFCLR	0xF03028	W	0x00000000	校准标志清除寄存器
CALDATA	0xF0302C	R/W	0x00000000	校准数据寄存器

表 19. 时钟选择寄存器说明

寄存器名: CLKSEL				地址: 0xF03000
位址	符号	类型	复位	说明
31:7	-	-	0	保留位 (Reserved)
6:5	SYS_DIV	R/W	0	系统时钟 (SYSCLK) 分频选择位。 当时钟源为 HFCLK (SYS_SEL=0) 时: 0: SYSCLK = HFCLK 1: CPUCLK = HFCLK/1.5 2: CPUCLK = HFCLK/2 3: CPUCLK = HFCLK/26 当时钟源为 LFCLK (SYS_SEL=1) 时: 0~3: SYSCLK = LFCLK
4	-	-	0	保留位 (Reserved)
3:2	HF_SEL	R/W	0	高频时钟 (HFCLK) 时钟源选择位。 0~1: RC2M 3: XCLK 2: RC26M 注: 系统时钟源为 LFCLK (SYS_SEL=1) 时设置此选择位, 会导致 HFCLK 出现毛刺。
1:0	LF_SEL	R/W	0	低频时钟 (LFCLK) 时钟源选择位。 0~1: RC32K 3: DIV32K 2: X32K 注: 系统时钟源为 HFCLK (SYS_SEL=0) 时设置此选择位, 会导致 LFCLK 出现毛刺。

注意: 如果选择的时钟源标志未置起 (未使能或未预热完成), HW 不进行切换动作, 寄存器值不更新。建议 SW 每次设置时钟源选择位后再回读一下, 如果回读的值和设置的值不一致, 说明时钟切换失败。

表 20. 系统时钟选择寄存器说明

寄存器名: SYSSEL				地址: 0xF0300C
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	SYS_SEL	R/W	0	系统时钟 (SYSCLK) 时钟源选择位。 0: HFCLK 1: LFCLK



表 21. 时钟使能寄存器说明

寄存器名: CLKEN				地址: 0xF03004
位址	符号	类型	复位	说明
31:7	-	-	0	保留位 (Reserved)
6	XCLK_EN	R/W	0	OSC_EN 控制位。 0: 强制将 OSC_EN 拉低 1: 释放 OSC_EN
5	RC26M_EN	R/W	0	RC26M 的使能控制位。 0: 关闭 RC26M 1: 打开 RC26M
4	RC2M_EN	R/W	1	RC2M 的使能控制位。 0: 关闭 RC2M 1: 打开 RC2M
3	-	-	0	保留位 (Reserved)
2	DIV32K_EN	R/W	0	DIV32K 的使能控制位。 0: 关闭 DIV32K 1: 打开 DIV32K
1	X32K_EN	R/W	0	X32K 的使能控制位。 0: 关闭 X32K 1: 打开 X32K 注意: DO_LOSC=1 时, 屏蔽 32K 外置晶振接口 (LOSC1 和 LOSCO), 此使能位无效。
0	RC32K_EN	R/W	0	RC32K 的使能控制位。 0: 关闭 RC32K 1: 打开 RC32K

注意: 启动时钟源后需要等待预热时间后才能正常使用, 所以 SW 每次使能时钟源后必须查询对应的状态标志位, 确认状态标志置起后才能切换使用此时钟源。

表 22. 时钟状态寄存器说明

寄存器名: CLKFLAG				地址: 0xF03008
位址	符号	类型	复位	说明
31:7	-	-	0	保留位 (Reserved)
6	XCLK_FLAG	R	0	X26M 和 XCLK 的状态标志位。 0: X26M 未打开或未预热完成, XCLK 没有时钟输入 1: X26M 已正常启动, XCLK 有时钟输入
5	RC26M_FLAG	R	0	RC26M 的状态标志位。 0: 未打开或未预热完成 1: 已正常启动
4	RC2M_FLAG	R	1	RC2M 的状态标志位。 0: 未打开或未预热完成 1: 已正常启动
3	-	-	0	保留位 (Reserved)
2	DIV32K_FLAG	R	0	DIV32K 的状态标志位。 0: 未打开或未预热完成 1: 已正常启动
1	X32K_FLAG	R	0	X32K 的状态标志位。 0: 未打开或未预热完成 1: 已正常启动
0	RC32K_FLAG	R	0	RC32K 的状态标志位。 0: 未打开或未预热完成 1: 已正常启动

表 23. 停振检测控制寄存器说明

寄存器名: SCMCON				地址: 0xF03010
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	SCM_IE	R/W	0	X32K 停振检测中断使能控制位。 0: 禁止停振检测中断 1: 允许停振检测中断, X32K 发生停振时置起 SCM_FLAG 标志, 并产生 SCM 中断。



表 24. 停振检测标志查询寄存器说明

寄存器名: SCMFLAG				地址: 0xF03014
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	SCM_FLAG	R	0	X32K 发生停振标志位。X32K 发生停振时, 无论中断是否使能, HW 都会置起此标志。设置 SCM_FCLR 可以清除此标志。 0: X32K 没有发生停振 1: X32K 发生停振

表 25. 停振检测标志清除寄存器说明

寄存器名: SCMFCLR				地址: 0xF03018
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	SCM_FCLR	W	0	X32K 发生停振标志清除位。 0: 无效操作 1: 清除 SCM_FLAG

表 26. 校准控制寄存器说明

寄存器名: CALCON				地址: 0xF03020
位址	符号	类型	复位	说明
31	CAL_EN	R/W	0	RC32K 校准使能控制位。 0: 关闭校准功能。此时 SW 可以读写 CAL_DATA 和 CAL_VALID 寄存器。 1: 打开校准功能, 启动自动校准。HW 生成 CAL_DATA 并强制将 CAL_VALID 设置成 1。此时 SW 只能读取 CAL_DATA 和 CAL_VALID 寄存器, 不能修改。
30:0	-	-	0	保留位 (Reserved)

表 27. 校准标志查询寄存器说明

寄存器名: CALFLAG				地址: 0xF03024
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	CAL_ERRF	R	0	RC32K 校准出错标志位。启动校准时, 如果 RC32K 频率偏差超过 7%, 校准电路失效, HW 置起此标志位。设置 CAL_EFC 可以清除此标志位。 0: 校准未启动或无异常 1: 校准失效 注: 如果 RC32K 停振, 校准电路无法开始, 所以此标志不会置起。
0	CAL_FLAG	R	0	RC32K 校准完成标志位。当 RC32K 校准完成时, HW 会置起此标志位。设置 CAL_FCLR 可以清除此标志位。 0: 校准未启动或未完成 1: 校准完成

表 28. 校准标志清除寄存器说明

寄存器名: CALFCLR				地址: 0xF03028
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	CAL_EFC	W	0	RC32K 校准出错标志清除位。 0: 无效操作 1: 清除 CAL_ERRF
0	CAL_FCLR	W	0	RC32K 校准完成标志清除位。 0: 无效操作 1: 清除 CAL_FLAG



表 29. 校准数据寄存器说明

寄存器名: CALDATA				地址: 0xF0302C
位址	符号	类型	复位	说明
31	-	-	0	保留位 (Reserved)
30	CAL_VALID	R/W	0	校准数据 (CAL_DATA) 有效控制位。 CAL_EN=1 时, 此位被 HW 强制设置成 1, SW 无法修改。 CAL_EN=0 时, SW 可以读写此位, HW 不会修改此位。 0: 使用设计选项 (DO_F_RC32K) 修正 RC32K 1: 使用校准数据 (CAL_DATA) 修正 RC32K
29:10	-	-	0	保留位 (Reserved)
9:0	CAL_DATA	R/W	0	RC32K 校准数据寄存器。 CAL_EN=1 时, HW 更新此数据, SW 只能读取此数据。 CAL_EN=0 时, SW 可读写此数据, HW 不能修改此数据。 0x1FF: Typical + 511 steps (Highest) 0x1FE: Typical + 510 steps ... 0x000: Typical 0x3FF: Typical - 1 step 0x3FE: Typical - 2 steps ... 0x200: Typical - 512 steps (Lowest)

6. 电源管理（Power Management）

6.1 电源系统架构

SH87F8801 的电源系统共有 VDD 和 VCC 两个电压域：

- VDD 是外部提供的电源，电压范围是 1.8~5.5V；
- VCC 是由内建 LDO 产生的电源，电压范围是 1.4~1.6V。



6.2 省电模式

为了降低系统功耗，SH87F8801 支持 3 种省电模式：睡眠模式（Sleep Mode）、深度睡眠模式（Deep Sleep Mode）和关机模式（Power Down Mode）。设置 PCON 寄存器可以进入指定的省电模式，中断或者复位可退出省电模式。

表 30. 省电模式说明

	Sleep Mode (简称 SM 模式)	Deep Sleep Mode (简称 DSM 模式)	Power Down Mode (简称 PD 模式)
进入方式	1. 设置 PCON=0x3CC333CC; 2. 后面接 8 个 NOP 指令。	1. 设置 PCON=0x5AA555AA; 2. 后面接 8 个 NOP 指令。	1. 设置 PCON=0x69966699; 2. 后面接 8 个 NOP 指令。
系统状态	1. 程序终止运行，CPU 时钟停止。 2. 系统时钟和外部时钟仍可以继续工作。	1. 程序终止运行，CPU 时钟停止。 2. 关闭 LVR15 和 LVR33。 3. 关闭内部高频时钟源 RC2M 和 RC26M，清除高频 RC 的使能和标志位。 4. LDO15 切到低功耗模式。 注：硬件不会关闭低频时钟和外部输入时钟，如果应用需要，必须在进 DSM 模式前由软件设置关闭。	1. 关闭 LDO15，VCC 电压域下的所有电路都掉电（CPU、所有模块、RAM、Flash、RC26M、RC32K、X32K 等）。 2. 关闭 VDD 电压域下的大部分电路（RC2M、GPIO、LVR15、LVR33、WDR 等）。 3. 仅保留 POR、EXR、PEXR 和唤醒电路。 4. 所有寄存器值丢失。
退出方式	下面两个方式之一： ➢ 中断退出：外部中断或各模块中断（UART、Timer、SPI、ADC、PWM、RTC、和 TWI）。 ➢ 复位退出：POR、LVR、WDR 或 EXR。 注：RSTN 引脚配置成 I/O 功能时，不能唤醒 SM 模式。	下面两个方式之一： ➢ 中断退出：外部中断或使用低频时钟的 Timer 和 RTC 中断。 ➢ 复位退出：POR、WDR 或 EXR。 注 1：RSTN 引脚配置成 I/O 功能时，不能唤醒 DSM 模式。 注 2：设置 RTC 后，必需等待至少两个 RTC 时钟周期后才能设置进入 DSM 模式。	只有一种退出方式： ➢ 复位退出：POR、EXR 或 PEXR。 注：RSTN 引脚配置成 I/O 功能时，也可以唤醒 PD 模式。
退出操作	1. 恢复 CPU 睡眠前的时钟； 2. PCON 寄存器清 0； 3. 执行中断服务程序（仅当中断退出时）； 4. 中断退出时跳转到进入 SM 模式之后的指令继续运行程序；复位退出时从地址 0x0000 开始执行程序。	1. LDO15 切到低功耗模式。 2. 恢复 CPU 时钟为 RC2M 或 RC26M（通过设计选项 DO_HFCLKSEL 选择）； 3. 开启用户选项使能的 LVR15 和 LVR33。 4. PCON 寄存器清 0； 5. 执行中断服务程序（仅当中断退出时）； 6. 中断退出时跳转到进入 DSM 模式之后的指令继续运行；复位退出时从地址 0x0000 开始执行。	1. 打开 LDO15 和 RC2M。 2. 开启用户选项使能的 LVR15 和 LVR33。 3. VCC 上电流程（详见章节 6.2.2）。 4. 从地址 0x0000 开始执行程序。



6.3 电源管理寄存器

表 31. 电源管理寄存器列表

寄存器名	地址	类型	复位值	说明
PCON	0xF01000	R/W	0x00000000	省电模式控制寄存器
RAMDPC	0xF01008	R/W	0x00000000	DSM 模式 RAM 电源控制寄存器
PMASK	0xF0100C	R/W	0x00000000	屏蔽省电模式寄存器

表 32. 省电模式控制寄存器说明

寄存器名: PCON				地址: 0xF01000
位址	符号	类型	复位	说明
31:0	PCON	R/W	0	省电模式控制位，仅当 PMASK≠0x5A 时有效。 0x3CC333CC: Sleep Mode 0x5AA555AA: Deep Sleep Mode 0x69966699: Power Down Mode Other values: Active Mode 注：如果 PMASK=0x5A，对此寄存器的任何写操作无效，PCON 保持原值（系统保持 Active 状态）。

表 33. DSM 模式 RAM 电源控制寄存器说明

寄存器名: RAMDPC				地址: 0xF01008
位址	符号	类型	复位	说明
31:3	-	-	0	保留位 (Reserved)
2	RAM2_DPC	R/W	0	DSM 模式 RAM2 (0x084000~0x0843FF) 电源控制位。 0: RAM2 power on 1: RAM2 power off
1	RAM1_DPC	R/W	0	DSM 模式 RAM1 (0x082000~0x083FFF) 电源控制位。 0: RAM1 power on 1: RAM1 power off
0	RAM0_DPC	R/W	0	DSM 模式 RAM0 (0x080000~0x081FFF) 电源控制位。 0: RAM0 power on 1: RAM0 power off

注意：RAMDPC 寄存器仅在 DSM 模式下有效。在 Active 和 SM 模式下，所有 RAM Block 都是 Power On 状态，不受 RAMDPC 寄存器影响。

表 34. 屏蔽省电模式寄存器说明

寄存器名: PMASK				地址: 0xF0100C
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	PMASK	R/W	0	省电模式屏蔽控制位。 0x5A: 设置 PCON 寄存器操作无效，不能进省电模式。 Other values: 设置 PCON 寄存器可进入指定的省电模式。

7. 复位系统 (Reset)

SH87F8801 支持五种系统复位方式：上电复位 (POR)、低电压复位 (LVR15 & LVR33)、看门狗复位 (WDR)、外部复位 (EXR) 和关机外部复位 (PEXR)。

7.1 上电复位 (POR)

VDD 引脚上电后，当 VDD 小于 V_{POR} 时，系统处于复位状态 (POR)；当 VDD 上升到 V_{POR} 以上时，内部放电模型开始工作，放电完成 ($t_{RST(POR)}$) 时，复位结束。

POR 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7])，除此之外的其它所有电路和寄存器都会被 POR 复位。POR 还会置起 PORF 标志位。

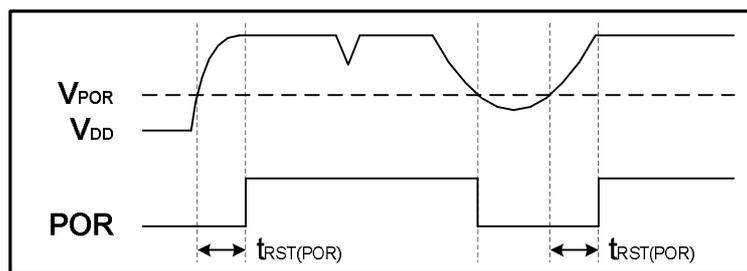


图 10. V_{DD} 上电复位 (POR) 时序图

7.2 看门狗复位 (WDR)

SH87F8801 内建了一个看门狗递减计数器 (WDT)，当 WDT 计数到 0 溢出时，将产生看门狗复位 (WDR)。

使用 RSTAT 寄存器的 WDT 控制位，可以设置 WDT 的溢出周期 (T_{WDT})。在溢出发生前，通过读或写 RSTAT 寄存器，可以控制 WDT 重新计数。

通过用户选项可以控制系统在各种模式下使能或关闭 WDR 功能：

- 使用用户选项 CO_WDT 可以控制系统在正常模式 (Active) 下使能或关闭 WDR 功能，默认 (CO_WDT=0) 是使能状态。
- 使用用户选项 CO_WDTPD 可以控制系统在休眠模式 (SM & DSM) 下使能或关闭 WDR 功能，默认 (CO_WDTPD=0) 是关闭状态。

WDR 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7]) 和 RTC 相关电路和寄存器，除此之外的其它所有电路和寄存器都会被 WDR 复位。WDR 还会置起 WDRF 标志位。

7.3 低电压复位 (LVR)

SH87F8801 内建两个低电压复位 —— LVR33 和 LVR15，分别监测 VDD 引脚的电压和 VCC 引脚的电压（即内建 1.5V LDO 的输出电压）。通过用户选项和设计选项，用户可以控制 LVR33 和 LVR15 的使能。

监测电压 (V_{DD}/V_{CC}) 低于使能的阈值电压 (V_{LVR33}/V_{LVR15}) 且持续时间大于等于 t_{LVRDEB} (Typ. 30 μ s) 时，系统将产生低电压复位 (LVR33/LVR15)；当 V_{DD}/V_{CC} 上升到 V_{LVR33}/V_{LVR15} 以上时，内部计时器开始工作，计时溢出 ($t_{RST(LVR)}$) 时，复位结束。如果 V_{DD}/V_{CC} 低于 V_{LVR33}/V_{LVR15} 的持续时间不足 t_{LVRDEB} ，则不会产生低电压复位。

7.3.1 LVR33

LVR33 监测 VDD 引脚的电压，设计有高低两个阈值电压 (V_{LVR33H} 和 V_{LVR33L})：

- 用户选项 CO_LVR33HEN 可以控制高阈值电压的使能，默认 (CO_LVR33HEN=0) 是关闭状态。
- 高阈值电压关闭时 (CO_LVR33HEN=0)，设计选项 DO_LVR33LEN 可以控制低阈值电压的使能，默认 (DO_LVR33LEN=0) 是使能状态。
- 高阈值电压使能时 (CO_LVR33HEN=1)，无论 DO_LVR33LEN 为何值，低阈值电压都无效。
- 如果同时关闭两个阈值电压 (CO_LVR33HEN=0 且 DO_LVR33LEN=1)，则 LVR33 无效。

LVR33 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7]) 和 RTC 相关电路和寄存器，除此之外的其它所有电路和寄存器都会被 LVR33 复位，LVR33 还会置起 LVR33F 标志位。

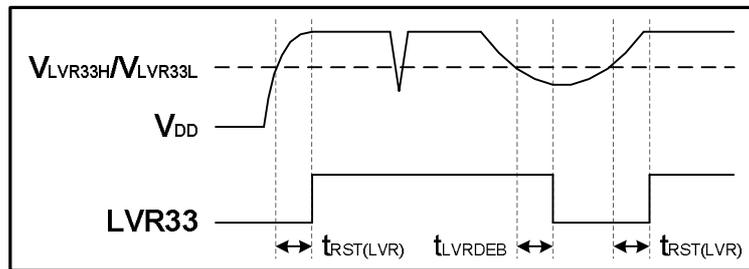


图 11. V_{DD} 低电压复位 (LVR33) 时序图

7.3.2 LVR15

LVR15 监测 VCC 引脚的电压。

LVR15 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7])，除此之外的其它所有电路和寄存器都会被 LVR15 复位。LVR15 还会置起 LVR15F 标志位。

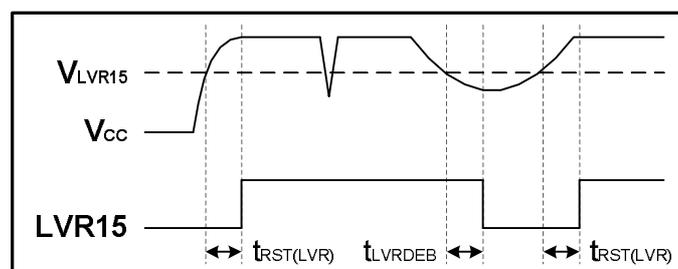


图 12. V_{CC} 低电压复位 (LVR15) 时序图

7.4 外部复位 (EXR)

设置用户选项 CO_RST=0，可以把 P13/SEG13/RSTN 引脚配置成外部复位端口 RSTN。

当 RSTN 引脚接低电平并保持 t_{EXRDEB} (Typ. 10 μ s) 以上时间，系统将产生外部复位 (EXR)；当 RSTN 引脚回到高电平，内部计时器开始工作，计时溢出 ($t_{RST(EXR)}$) 时，复位结束。

RSTN 引脚内建 100k Ω 的上拉电阻连接到 VDD，可以外接一个电容实现上电复位。

EXR 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7]) 和 RTC 相关电路和寄存器，除此之外的其它所有电路和寄存器都会被 EXR 复位。EXR 还会置起 EXRF 标志位。

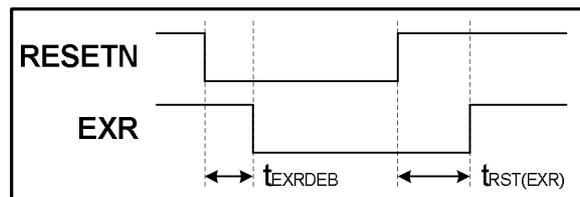


图 13. 外部复位 (EXR) 时序图

7.5 关机外部复位 (PEXR)

在 Power Down 模式下，P14、P15 或 P26 引脚上出现电平翻转，会产生关机外部复位 (PEXR)，唤醒 Power Down 模式。

PEXR 不能复位 RSTAT 寄存器中的所有复位标志位 (Bit [14:7])，除此之外的其它所有电路和寄存器都会被 PEXR 复位。PEXR 还会置起和唤醒引脚对应的标志位 (PEXR1F、PEXR2F 或 PEXR3F)。

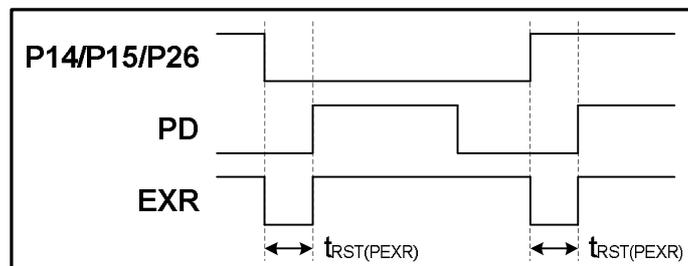


图 14. 关机模式端口复位 (PEXR) 时序图



7.6 复位寄存器

表 35. 复位寄存器列表

寄存器名	地址	类型	复位值	说明
RSTAT	0xF02000	R/W	0x0000XXX0	复位控制和状态寄存器

表 36. 复位控制和状态寄存器说明

寄存器名: RSTAT				地址: 0xF02000
位址	符号	类型	复位	说明
31:15	-	-	0	保留位 (Reserved)
14	PORF	R/C	X	上电复位标志位。POR 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
13	LVR33F	R/C	X	V _{DD} 低电压复位标志位。LVR33 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
12	LVR15F	R/C	X	V _{CC} 低电压复位标志位。LVR15 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
11	EXRF	R/C	X	外部复位标志位。 EXR 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。 RSTN 和 P13 引脚唤醒 PD 模式时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
10	PEXR1F	R/C	X	Power Down 模式下 P14 引脚复位标志位。PEXR1 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
9	PEXR2F	R/C	X	Power Down 模式下 P15 引脚复位标志位。PEXR2 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
8	PEXR3F	R/C	X	Power Down 模式下 P26 引脚复位标志位。PEXR3 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
7	WDRF	R/C	X	看门狗复位标志位。WDR 发生时, HW 置起此标志, SW 可以写 0 清除此标志, SW 写 1 无效。
6:3	-	-	0	保留位 (Reserved)
2:0	WDT	R/W	0	WDT 溢出最小周期控制位。 0: T _{WDT} (Min.) = 4096ms 1: T _{WDT} (Min.) = 1024ms 2: T _{WDT} (Min.) = 256ms 3: T _{WDT} (Min.) = 128ms 4: T _{WDT} (Min.) = 64ms 5: T _{WDT} (Min.) = 16ms 6: T _{WDT} (Min.) = 4ms 7: T _{WDT} (Min.) = 1ms 注意: 1. WDT 时钟来自于 RC2K, RC2K 的频率最大有 50% 的误差, 所以上述溢出周期最大也有 50% 的误差。 2. 如果使能看门狗功能, 程式清看门狗的最大间隔时间不能大于以上所列最小周期的一半。

8. 通用输入/输出端口 (GPIO)

8.1 GPIO 特性

- SH87F8801 内建 30 个双向 I/O 口，与其它模块接口复用引脚。
- 每个 I/O 口内建有可配置的上拉和下拉电阻
- 每个 I/O 口当配置成输入时，都支持外部中断功能，触发方式可配置。
- 支持 I/O 口位操作（置位清零分开寄存器控制）
- P13/P14/P15/P26 可唤醒 PD 模式

8.2 GPIO 结构

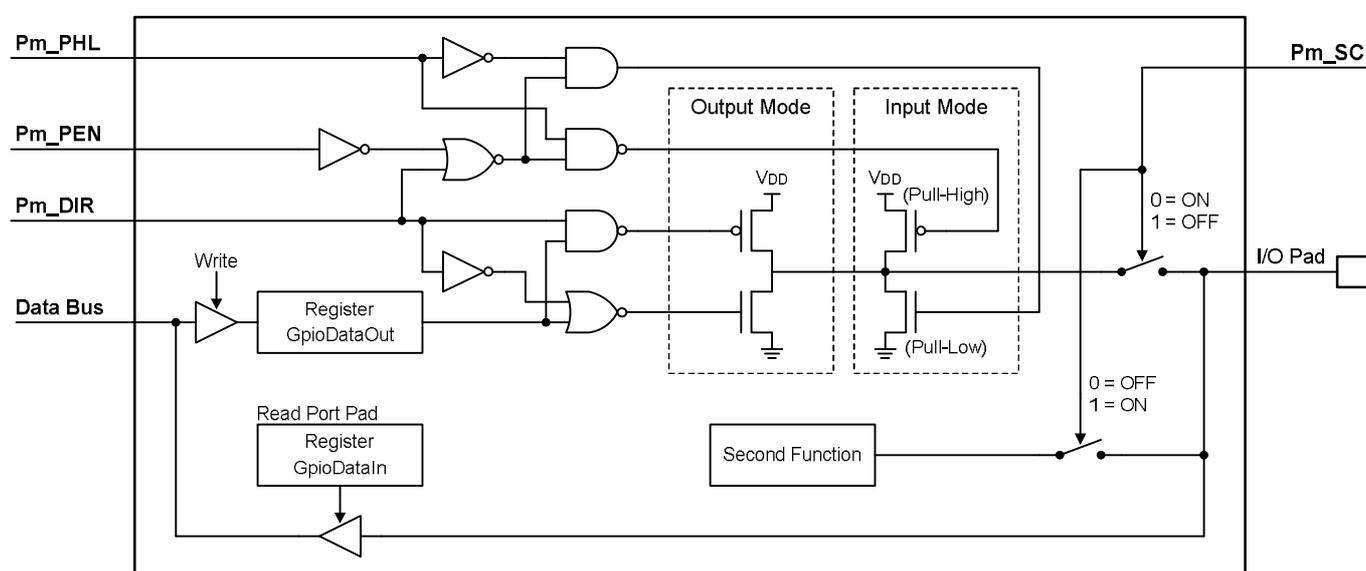


图 15. SH87F8801 引脚配置图

8.3 GPIO 功能

8.3.1 输入/输出控制

SH87F8801 的所有GPIO口都是双向端口,使用 **_GPIO_DIR**寄存器可以配置GPIO口的输入/输出方向,“0”表示输入,“1”表示输出。上电初始状态是输入端口。

_GPIO_DAT寄存器用来存放GPIO口对应的输出数据。当引脚复用设置为GPIO口,并且配置成输出端口时,HW将其输出数据映射到对应的引脚上,“0”表示低电平,“1”表示高电平。设置 **_GPIO_DSET**和 **_GPIO_DCLR**寄存器,可以修改任意GPIO口的输出数据而不影响其它的GPIO口。

无论复用引脚配置成GPIO口还是功能模块接口,也无论GPIO口处于输出还是输入状态,读取 **_GPIO_STA**寄存器都可以查询引脚的实际状态。

8.3.2 上/下拉电阻

SH87F8801 的所有GPIO口配置成输入端口时,都内建有可配置的上拉和下拉电阻。使用 **_GPIO_PEN**和 **_GPIO_PHL**寄存器可以配置GPIO是否连接内建电阻,以及连接上拉电阻还是下拉电阻。上电初始状态是不连接内建电阻。

注意: GPIO 口配置成输出端口时,内建电阻功能无效。

SH87F8801 的 GPIO 口和功能模块接口的内建电阻有三种不同的阻值:

- TWI 模块的 SDA 和 SCL 接口,内建 **10kΩ (Typ.)**的上拉电阻;
- P14、P15、P16 和 P17 这四个 GPIO 口,内建 **500kΩ (Typ.)**的上拉和下拉电阻;
- 除上述两组 I/O 外的其它 GPIO 口和特定模块接口,内建 **100kΩ (Typ.)**的上拉和下拉电阻。

8.3.3 外部事件中断

SH87F8801 的所有GPIO口配置成输入端口时,都可用作外部事件的触发端口。使用 **_GPIO_XIE**可以使能对应的GPIO输入端口的的外部事件的中断功能。上电初始状态是关闭外部事件中断。

注意: GPIO 口配置成输出端口时,外部事件功能无效。

读取 **_GPIO_FLAG**寄存器可以查询GPIO输入端口的的外部事件标志,外部事件发生时,无论中断是否使能,HW都会置起此标志。设置 **_GPIO_FCLR**寄存器可以清除对应的标志。

使用 **_GPIO_TRG1**和 **_GPIO_TRG2**寄存器可以配置外部事件的触发条件。每个GPIO口都可以独立配置成:上升沿和下降沿双沿触发,上升沿单沿触发和下降沿单沿触发。上电初始状态是双沿触发。

8.3.4 引脚复用

SH87F8801 的所有GPIO口都是和功能模块接口复用引脚。使用 **_GPIO_SC1**和 **_GPIO_SC2**寄存器可以配置每个复用引脚的当前功能。上电初始状态是GPIO口。



8.4 GPIO 寄存器

表 37. GPIO 寄存器列表

寄存器名	地址	类型	复位值	说明
GPIO_DAT	0xF04000	R/W	0x00000000	GPIO 输出数据寄存器
GPIO_DSET	0xF04004	W	0x00000000	GPIO 输出数据置位寄存器
GPIO_DCLR	0xF04008	W	0x00000000	GPIO 输出数据清除寄存器
GPIO_STA	0xF0400C	R	X	GPIO 引脚状态寄存器
GPIO_DIR	0xF04010	R/W	0x00000000	GPIO 方向控制寄存器
GPIO_PEN	0xF04014	R/W	0x00000000	GPIO 内建电阻使能寄存器
GPIO_PHL	0xF04018	R/W	0x00000000	GPIO 内建电阻选择寄存器
GPIO_XIE	0xF04100	R/W	0x00000000	GPIO 中断使能寄存器
GPIO_FLAG	0xF04104	R	0x00000000	GPIO 标志查询寄存器
GPIO_FCLR	0xF04108	W	0x00000000	GPIO 标志清除寄存器
GPIO_TRG1	0xF0410C	R/W	0x00000000	GPIO 触发类型选择寄存器 1
GPIO_TRG2	0xF04110	R/W	0x00000000	GPIO 触发类型选择寄存器 2
GPIO_SC1	0xF04200	R/W	0x00000000	GPIO 复用功能选择寄存器 1
GPIO_SC2	0xF04204	R/W	0x00000000	GPIO 复用功能选择寄存器 2

表 38. GPIO 输出数据寄存器说明

寄存器名: GPIO_DAT				地址: 0xF04000
位址	符号	类型	复位	说明
m	Pm_DAT	R/W	0	Pm 端口 (m=00~31) 输出数据寄存器。 0: 输出低电平 1: 输出高电平

表 39. GPIO 输出数据置位寄存器说明

寄存器名: GPIO_DSET				地址: 0xF04004
位址	符号	类型	复位	说明
m	Pm_DSET	W	0	Pm 端口 (m=00~31) 输出数据寄存器置“1”控制位。 0: 无效操作 1: Pm 输出数据置“1”

表 40. GPIO 输出数据清除寄存器说明

寄存器名: GPIO_DCLR				地址: 0xF04008
位址	符号	类型	复位	说明
m	Pm_DCLR	W	0	Pm 端口 (m=00~31) 输出数据寄存器清“0”控制位。 0: 无效操作 1: Pm 输出数据清“0”

表 41. GPIO 引脚状态寄存器说明

寄存器名: GPIO_STA				地址: 0xF0400C
位址	符号	类型	复位	说明
m	Pm_STA	R	X	Pm 端口 (m=00~31) 引脚状态标志位。 0: 低电平 ($V_{Pm} < V_{IL}$) 1: 高电平 ($V_{Pm} > V_{IH}$)

表 42. GPIO 方向控制寄存器说明

寄存器名: GPIO_DIR				地址: 0xF04010
位址	符号	类型	复位	说明
m	Pm_DIR	R/W	0	Pm 端口 (m=00~31) 输入/输出方向控制位。 0: 输入 1: 输出



表 43. GPIO 内建电阻使能寄存器说明

寄存器名: GPIO_PEN				地址: 0xF04014
位址	符号	类型	复位	说明
m	Pm_PEN	R/W	0	Pm 端口 (m=00~31) 内建上/下拉电阻使能位。 0: 断开上拉和下拉电阻 1: 连接上拉或下拉电阻

表 44. GPIO 内建电阻选择寄存器说明

寄存器名: GPIO_PHL				地址: 0xF04018
位址	符号	类型	复位	说明
m	Pm_PHL	R/W	0	Pm 端口 (m=00~31) 内建上/下拉电阻选择位。 0: 连接下拉电阻 1: 连接上拉电阻

表 45. GPIO 中断使能寄存器说明

寄存器名: GPIO_XIE				地址: 0xF04100
位址	符号	类型	复位	说明
m	Pm_XIE	R/W	0	Pm 端口 (m=00~31) 外部中断使能位。 0: 关闭中断 1: 使能中断。Pm 上出现符合 Pm_TRG1 和 Pm_TRG2 定义的触发条件时, HW 置起 Pm_FLAG 标志, 并触发对应的 GPIO 中断——IOxIRQ, x=INT(m/8)。

表 46. GPIO 标志查询寄存器说明

寄存器名: GPIO_FLAG				地址: 0xF04104
位址	符号	类型	复位	说明
m	Pm_FLAG	R	X	Pm 端口 (m=00~31) 外部事件触发标志位。外部触发事件发生时, 无论中断是否使能, HW 都会置起此标志。设置 Pm_FCLR 可以清除此标志。 0: 无触发事件 1: 发生触发事件

表 47. GPIO 标志清除寄存器说明

寄存器名: GPIO_FCLR				地址: 0xF04108
位址	符号	类型	复位	说明
m	Pm_FCLR	W	0	Pm 端口 (m=00~31) 外部事件触发标志清除位。 0: 无效操作 1: 清除 Pm_FLAG

表 48. GPIO 触发类型选择寄存器 1 (单沿/双沿) 说明

寄存器名: GPIO_TRG1				地址: 0xF0410C
位址	符号	类型	复位	说明
m	Pm_TRG1	R/W	0	Pm 端口 (m=00~31) 单沿/双沿触发方式选择位。 0: 双沿触发方式 1: 单沿触发方式

表 49. GPIO 触发类型选择寄存器 2 (上升沿/下降沿) 说明

寄存器名: GPIO_TRG2				地址: 0xF04110
位址	符号	类型	复位	说明
m	Pm_TRG2	R/W	0	Pm 端口 (m=00~31) 上升沿/下降沿触发方式选择位, 只在选择单沿触发方式 (Pm_TRG1=1) 时有效。 0: 上升沿触发方式 1: 下降沿触发方式



表 50. GPIO 复用功能选择寄存器 1 (P00~P15) 说明 (待续)

寄存器名: GPIO_SC1				地址: 0xF04200
位址	符号	类型	复位	说明
31	-	-	0	保留位 (Reserved)
30	P15_SC	R/W	0	P15/SEG15/ICETMS 复用功能选择位。 0: P15 1: SEG15 注意: CO_AICE_EN=0xA 或进入编程&ICE 模式时, 此引脚强制用作 ICETMS 功能, 此控制位无效。
29	-	-	0	保留位 (Reserved)
28	P14_SC	R/W	0	P14/SEG14/ICETCK 复用功能选择位。 0: P14 1: SEG14 注意: CO_AICE_EN=0xA 或进入编程&ICE 模式时, 此引脚强制用作 ICETCK 功能, 此控制位无效。
27	-	-	0	保留位 (Reserved)
26	P13_SC	R/W	0	P13/SEG13/RSTN 引脚复用功能选择位。 0: P13 1: SEG13 注意: CO_AICE_EN=0xA 或 CO_RST=0 时, 此引脚强制用作 RSTN 功能, 此控制位无效。
25	-	-	0	保留位 (Reserved)
24	P12_SC	R/W	0	P12/SEG12 引脚复用功能选择位。 0: P12 1: SEG12
23	-	-	0	保留位 (Reserved)
22	P11_SC	R/W	0	P11/SEG11 引脚复用功能选择位。 0: P11 1: SEG11
21:20	P10_SC	R/W	0	P10/SEG10/PWM2 引脚复用功能选择位。 0/3: P10 1: SEG10 2: PWM2
19:18	P09_SC	R/W	0	P09/SEG9/PWM1 引脚复用功能选择位。 0/3: P09 1: SEG9 2: PWM1
17:16	P08_SC	R/W	0	P08/SEG8/PWM0 引脚复用功能选择位。 0/3: P08 1: SEG8 2: PWM0
15:14	P07_SC	R/W	0	P07/SEG7/TXD1 引脚复用功能选择位。 0: P07 1: SEG7 2: TXD1 3: RVD
13:12	P06_SC	R/W	0	P06/SEG6/RXD1 引脚复用功能选择位。 0: P06 1: SEG6 2: RXD1 3: RVD 选择 RXD1 且不处于模式 0 发送状态, 内建上拉电阻使能。
11:10	P05_SC	R/W	0	P05/SEG5/TXD0/SCL 引脚复用功能选择位。 0: P05 1: SEG5 2: TXD0 3: SCL 选择 SCL 功能且 TWI_PULL=1 时, 内建上拉电阻使能。
9:8	P04_SC	R/W	0	P04/SEG4/RXD0/SDA 引脚复用功能选择位。 0: P04 1: SEG4 2: RXD0 3: SDA 选择 RXD0 且不处于模式 0 发送状态, 内建上拉电阻使能; 选择 SDA 功能且 TWI_PULL=1 时, 内建上拉电阻使能。
7:6	P03_SC	R/W	0	P03/SEG3/SS 引脚复用功能选择位。 0/3: P03 1: SEG3 2: SS 选择 SS 功能且 SPI_MS=0 时, 内建上拉电阻使能。
5:4	P02_SC	R/W	0	P02/SEG2/MISO 引脚复用功能选择位。 0/3: P02 1: SEG2 2: MISO 选择 MISO 功能且 SPI_MS=1 时, 内建上拉电阻使能。
3:2	P01_SC	R/W	0	P01/SEG1/MOSI 引脚复用功能选择位。 0/3: P01 1: SEG1 2: MOSI 选择 MOSI 功能且 SPI_MS=0 时, 内建上拉电阻使能。
1:0	P00_SC	R/W	0	P00/SEG0/SCK 引脚复用功能选择位。 0/3: P00 1: SEG0 2: SCK



表 51. GPIO 复用功能选择寄存器 2 (P16~P31) 说明

寄存器名: GPIO_SC2				地址: 0xF04204
位址	符号	类型	复位	说明
31:30	P31_SC	-	0	P31/AIN0/VREF 引脚复用功能选择位。 0/3: P31 1: AIN0 2: VREF
29	-	-	0	保留位 (Reserved)
28	P30_SC	-	0	P30/AIN1 引脚复用功能选择位。 0: P30 1: AIN1
27	-	-	0	保留位 (Reserved)
26	P29_SC	-	0	P29/AIN2 引脚复用功能选择位。 0: P29 1: AIN2
25	-	-	0	保留位 (Reserved)
24	P28_SC	-	0	P28/AIN3 引脚复用功能选择位。 0: P28 1: AIN3
23	-	-	0	保留位 (Reserved)
22	P27_SC	-	0	P27/AIN4 引脚复用功能选择位。 0: P27 1: AIN4
21	-	-	0	保留位 (Reserved)
20	P26_SC	R/W	0	P26/AIN5 引脚复用功能选择位。 0: P26 1: AIN5
19:18	P25_SC	R/W	0	P25/COM0/AIN6 引脚复用功能选择位。 0/3: P25 1: COM0 2: AIN6
17:16	P24_SC	R/W	0	P24/COM1/AIN7 引脚复用功能选择位。 0/3: P24 1: COM1 2: AIN7
15:14	P23_SC	R/W	0	P23/COM2/AIN8 引脚复用功能选择位。 0/3: P23 1: COM2 2: AIN8
13:12	P22_SC	R/W	0	P22/COM3/AIN9 引脚复用功能选择位。 0/3: P22 1: COM3 2: AIN9
11	-	-	0	保留位 (Reserved)
10	-	-	0	保留位 (Reserved)
9	-	-	0	保留位 (Reserved)
8	-	-	0	保留位 (Reserved)
7:6	P19_SC	R/W	0	P19/SEG19/COM4 引脚复用功能选择位。 0/3: P19 1: SEG19 2: COM4
5:4	P18_SC	R/W	0	P18/SEG18/COM5 引脚复用功能选择位。 0/3: P18 1: SEG18 2: COM5
3:2	P17_SC	R/W	0	P17/SEG17/T2 引脚复用功能选择位。 0/3: P17 1: SEG17 2: T2 选择 T2 功能且 C/T=1 时, 内建上拉电阻使能。
1:0	P16_SC	R/W	0	P16/SEG16/T2EX 引脚复用功能选择位。 0/3: P16 1: SEG16 2: T2EX 选择 T2EX 功能且 EX_EN=1 时, 内建上拉电阻使能。

9. 定时/计数器 (Timer)

SH87F8801 内建了 4 个定时/计数器：2 个 16 位定时器 Timer 0 和 Timer 1，1 个 24 位多功能定时/计数器 Timer 2 和一个基准定时器 Base Timer。

9.1 Timer 0 和 Timer 1

Timer 0 和 Timer 1 的结构、功能、特性以及操作都完全一样，所以下面只对 Timer 0 进行详细说明。

9.1.1 Timer 0/1 特性

- 16 位自动重载递增定时器
- 工作时钟可选择 HFCLK 和 LFCLK。如果使用 LFCLK，可以工作在 DSM 省电模式。

9.1.2 Timer 0/1 结构

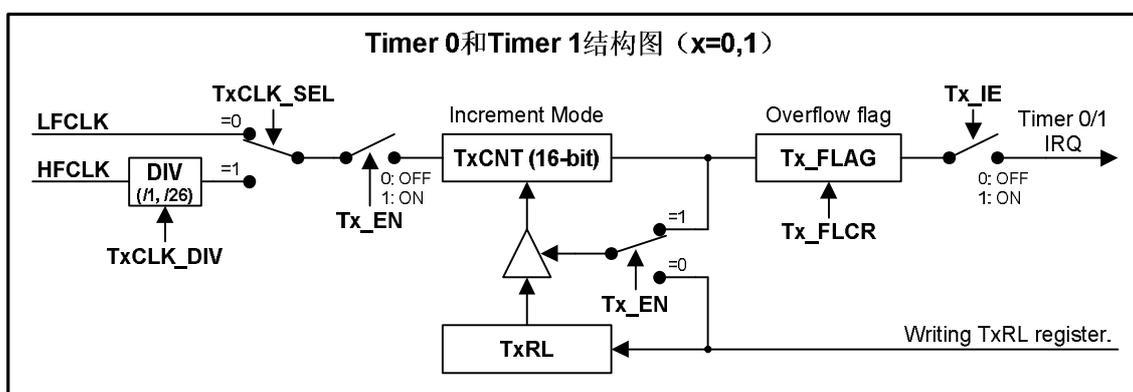


图 16. Timer 0/1 结构框图

Timer 0 是 16 位自动重载递增定时器。复位启动时，Timer 0 从初始值开始递增计数，计数到从“0xFFFF”到“0”溢出时，HW 置起溢出标志 (T0_FLAG)，触发溢出中断 (需使能中断)。溢出同时，T0RL 寄存器的数值被重新加载到定时器的计数初值，开始新的计数周期。

Timer 0 的工作时钟可选择 HFCLK 和 LFCLK:

- 选择 LFCLK (32.768kHz) 时，计时时钟为 32.768kHz (30.5μs)，最大溢出周期为 2 秒。
- 选择 HFCLK (26MHz) 时，计时时钟为 26MHz (38.46ns) 或 1MHz (1μs)，最大溢出周期为 2520.6μs 或 65.5ms。

Timer 0 可以工作在省电模式。如果 LFCLK 没有关闭，且 Timer 0 的计数时钟源设置为 LFCLK，当 MCU 进入深度休眠模式 (DSM) 时，Timer 0 仍然会继续工作，并且 Timer 0 中断可以唤醒 MCU。

9.2 Timer 2

9.2.1 Timer 2 特性

- 24 位定时/计数器，兼容标准 8051 多功能定时/计数器
- 支持内部时钟（定时器）和外部时钟（计数器）
- 支持三种工作模式：捕获（Capture）、重载（Reload）和时钟输出（Clock out）
- 支持两种计数方式：递增计数、递减计数
- 支持外部事件（T2EX 引脚上的下降沿）触发
- 支持两种中断：溢出中断、外部事件中断，它们共用同一个中断向量地址。

9.2.2 Timer 2 工作模式

Timer 2 是一个 24 位定时/计数器。C/T 寄存器位用于设置 Timer 2 的计数时钟源。C/T=0 时，Timer 2 的计数时钟源为系统内部时钟，因为时钟周期固定且明确，用计数的时钟（下降沿）数目数乘以时钟周期就可以得出时间间隔，所以称为定时器。C/T=1 时，Timer 2 的计数时钟源为 T2 引脚上的外部时钟，时钟周期不确定且随时可能变化，所以只能计数时钟（下降沿）数目，称为计数器。

CP/RL 寄存器位用于设置 Timer 2 工作在捕获模式（Capture Mode）还是重载模式（Reload Mode）。CP/RL=0 时，Timer 2 工作在重载模式，重载条件满足时，HW 将 T2CPRL 寄存器中的数据作为计数初值加载到计数器中。CP/RL=1 时，Timer 2 工作在捕获模式，捕获条件满足时，HW 将计数器当前的计数值捕获到 T2CPRL 寄存器中。

DCEN 寄存器位用于控制 Timer 2 的计数方式。DCEN=0 时，Timer 2 只能递增计数。DCEN=1 时，Timer 2 可以选择递增或递减计数，计数方向由 T2EX 引脚的电位决定。T2EX 为低电平时，递减计数；T2EX 为高电平时，递增计数。

EX_EN 寄存器位用于控制外部事件（T2EX 引脚上的下降沿）的输入使能，外部事件可以用作“捕获”和“重载”操作的触发条件。

T2OE 寄存器位可以控制 T2 引脚输出时钟信号，输出时钟的频率由 Timer 2 的计数周期决定。

综上所述，Timer 2 的工作模式如下表所示。

表 52. Timer 2 工作模式

T2_EN	CP/RL	DCEN	EX_EN	C/T	T2OE	模式	说明
1	1	X	0	0/1	0	捕获模式	24 位递增定时/计数器
1	1	X	1	0/1	0		24 位递增定时/计数器，外部事件触发捕获。
1	0	0	0	0/1	0	重载模式	24 位递增定时/计数器，溢出触发重载。
1	0	0	1	0/1	0		24 位递增定时/计数器，溢出和外部事件触发重载。
1	0	1	X	0/1	0		24 位增/减定时/计数器，溢出触发重载。
1	X	X	X	0	1	时钟输出模式	24 位递增定时器，T2 输出时钟，溢出触发重载。
1	X	X	X	1	1	非法设置，不能使用	
0	X	X	X	X	X	Timer 2 关闭，T2EX 通路仍可以正常工作。	

备注：“X”表示无任何影响。

9.2.2.1 捕获模式

CP/RL=1 时，Timer 2 工作在捕获模式，结构如下图所示。

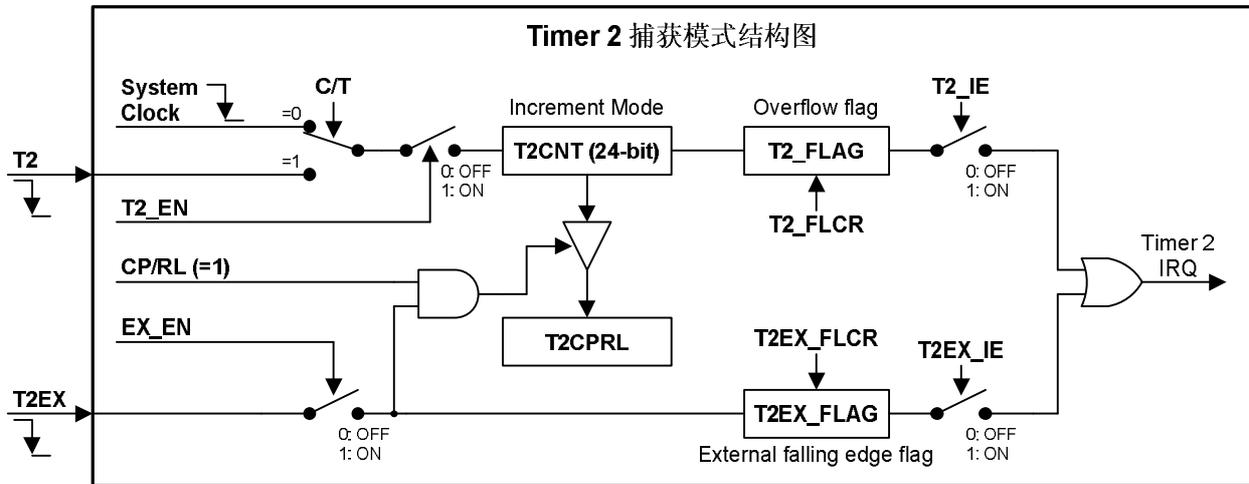


图 17. Timer 2 捕获模式结构框图

在捕获模式中，T2CPRL 寄存器为只读寄存器，当捕获条件满足时，硬件电路会将 Timer 2 的当前计数值捕获到 T2CPRL 寄存器中。Timer 2 支持的捕获条件是“外部事件发生”。

注意：退出捕获模式时，HW 会将 T2CPRL 寄存器的当前值加载到 Timer 2 计数器。

无论 DCEN 为何值，捕获模式都是递增计数。复位启动后，Timer 2 从“0”开始累加计数，计到“0xFFFFFFFF”后发生溢出，HW 置起溢出标志（T2_FLAG），触发溢出中断（需使能中断），随后又从“0”开始下一个计数周期。

EX_EN=0 时，关闭外部事件输入，Timer 2 只有上述正常的计数和溢出功能，T2EX 引脚的任何变化都不会触发捕获操作。

EX_EN=1 时，使能外部事件输入，Timer 2 除了执行上述操作外，在外部事件发生时会将当前计数值捕获到 T2CPRL 寄存器中，并置起外部事件标志（T2EX_FLAG），触发外部事件中断（需使能中断）。

9.2.2.2 重载模式

CP/RL=0 时，Timer 2 工作在重载模式。Timer 2 可以被设置成递增计数或递减计数，此功能由 DCEN 控制位和 T2EX 引脚电位来选择。

在重载模式中，T2CPRL 寄存器为只写寄存器，当重载条件满足时，硬件电路会将 T2CPRL 寄存器中的数据加载到计数器中用作计数初始值。Timer 2 支持的重载条件是“溢出发生”或“外部事件发生”。

DCEN=0 时，Timer 2 只能用作 24 位递增定时/计数器。此时，T2EX 是外部事件的输入引脚，EX_EN 控制外部事件触发重载操作的使能。

- EX_EN=0 时，关闭外部事件输入，只有溢出发生才能触发重载操作。复位启动后，Timer 2 从初始值开始累加计数，计到“0xFFFFFFFF”后发生溢出，HW 置起溢出标志 (T2_FLAG)，触发溢出中断 (需使能中断)。溢出同时引起 T2CPRL 寄存器的数值加载为计数器的初始值，开始下一个计数周期。T2EX 引脚的任何变化都不会触发重载操作。
- EX_EN=1 时，使能外部事件输入，溢出发生和外部事件发生都能触发重载操作。Timer 2 执行正常的递增计数和溢出操作与 EX_EN=0 时的行为相同。除此之外，外部事件发生时，会立即引起 T2CPRL 寄存器的数值加载为计数器的初始值，开始新的计数周期，同时置起外部事件标志 (T2EX_FLAG)，触发外部事件中断 (需使能中断)。

Timer 2 重载模式 (DCEN=0) 的结构如下图所示。

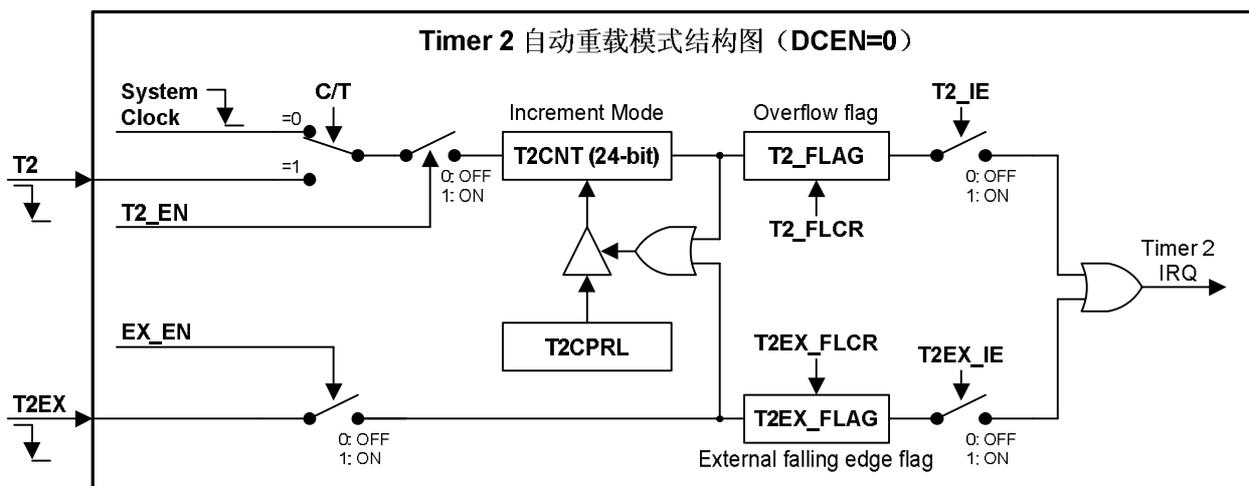


图 18. Timer 2 重载模式结构框图 (DCEN=0)

DCEN=1 时，Timer 2 可以选择递增计数或递减计数，T2EX 引脚的电位控制计数方向，而 EX_EN 控制位无效。

- T2EX 为低电平时，递减计数。复位启动后，Timer 2 从“0xFFFFFFFF”开始递减计数，当计数值等于 T2CPRL 寄存器的值时发生溢出，HW 置起溢出标志 (T2_FLAG)，触发溢出中断 (需使能中断)，随后从“0xFFFFFFFF”开始下一个计数周期。
- T2EX 为高电平时，递增计数。复位启动后，Timer 2 从初始值开始累加计数，计到“0xFFFFFFFF”后发生溢出，HW 置起溢出标志 (T2_FLAG)，触发溢出中断 (需使能中断)，随后从 T2CPRL 寄存器加载初始值，开始下一个计数周期。
- 无论 Timer 2 是否溢出，T2EX_FLAG 标志位都被用作计数结果的第 25 位。在此工作方式下，T2EX_FLAG 不作为中断标志。

Timer 2 重载模式 (DCEN=1) 的结构如下图所示。

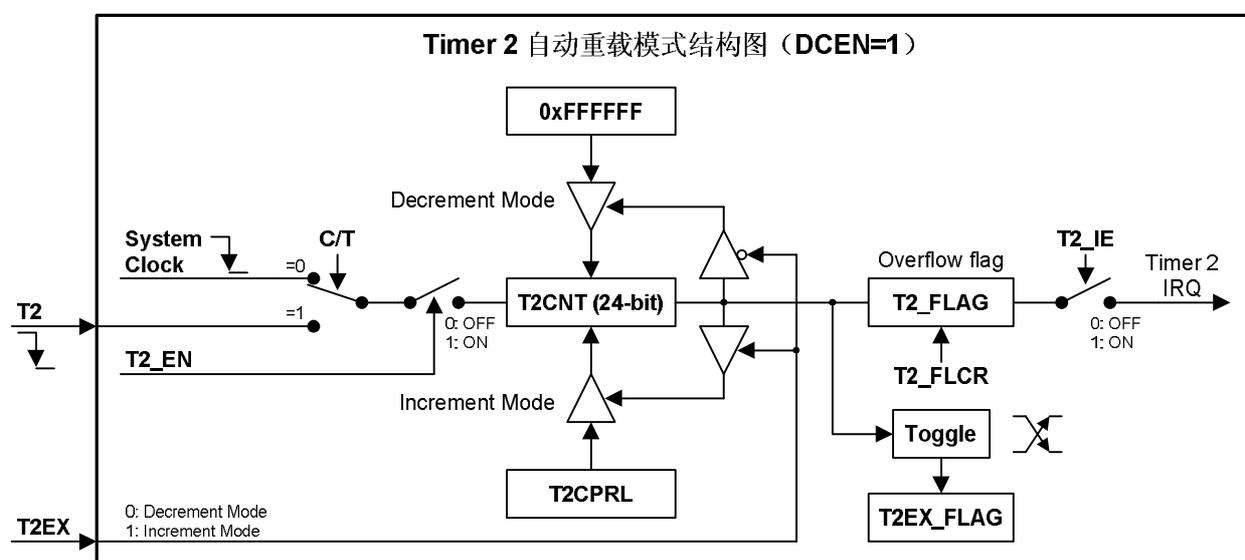


图 19. Timer 2 重载模式结构框图 (DCEN=1)



9.2.2.3 时钟输出模式

C/T=0 且 T2OE=1 时，Timer 2 工作在时钟输出模式。此时只能选择内部时钟作为计数时钟，T2 引脚用于时钟输出引脚。

在时钟输出模式中，Timer 2 用作 24 位递增定时器。从初始值开始累加计数，计到“0xFFFFFFFF”后发生溢出，随后从 T2CPRL 寄存器加载初始值，开始下一个计数周期，溢出时不产生中断。

T2 引脚输出占空比为 50% 的时钟信号，频率为：

$$f_{T2OUT} = \frac{1}{2 \times 2} \times \frac{f_{T2CLK}}{2^{24} - [T2CPRL]}$$

在此模式下，T2EX 通路仍然有效。EX_EN=1 时，外部事件发生不会触发捕获或重载操作，但仍会置起溢出标志（T2_FLAG），触发溢出中断（需使能中断）。

Timer 2 时钟输出模式的结构如下图所示。

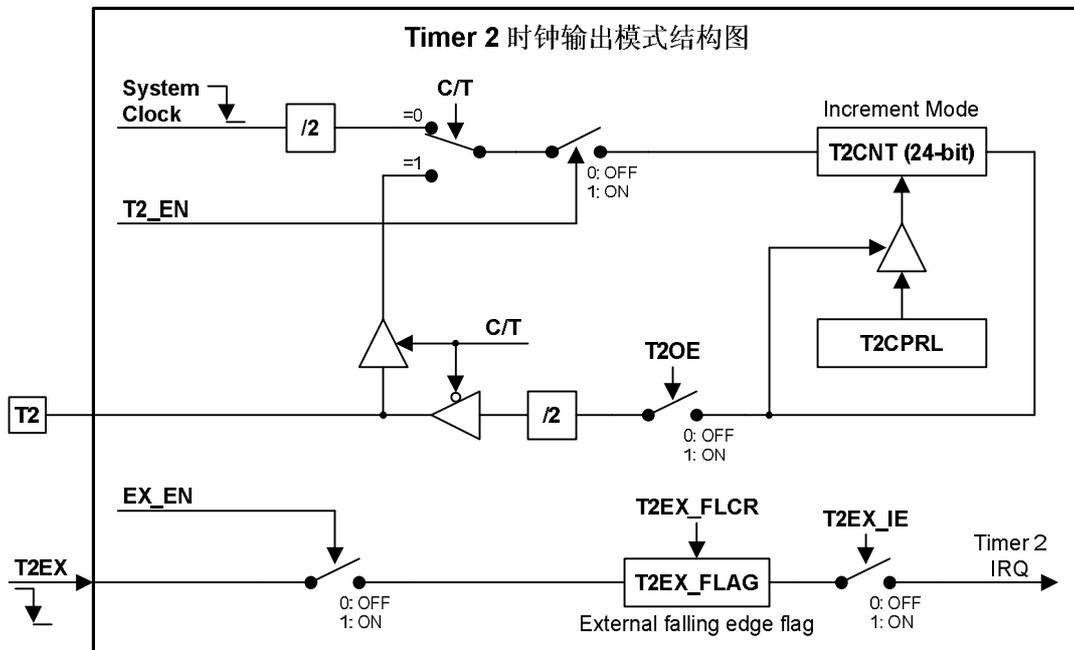


图 20. Timer 2 时钟输出模式结构框图

9.3 Base Timer

SH87F8801 内建的 24 位基准计时器（Base Timer）主要用于实时操作系统（RTOS）的任务和事件响应计时。

9.3.1 Base Timer 特性

- 24 位递增定时器
- 工作时钟可选择 HFCLK 和 LFCLK。如果使用 LFCLK，可以工作在 DSM 省电模式。
- 内建数据比较器，当定时器计数值和比较数据一致时触发事件。

9.3.2 Base Timer 结构

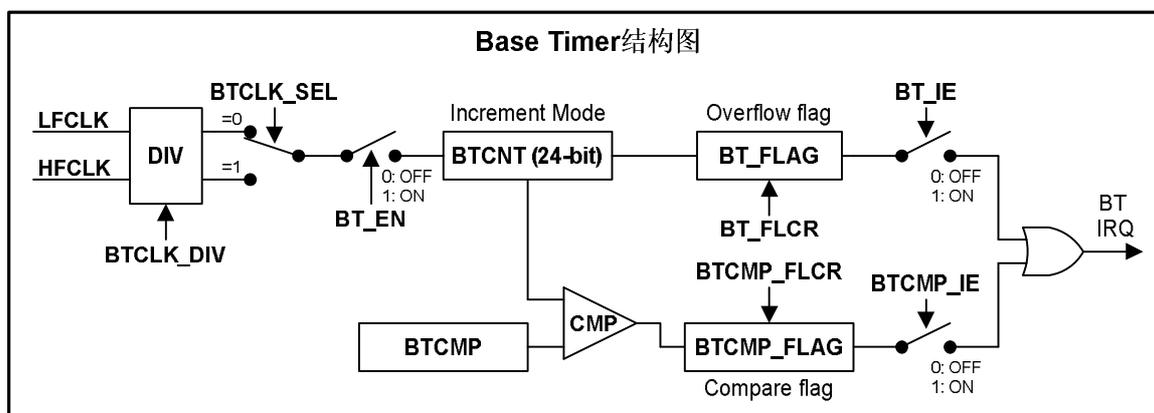


图 21. Base Timer 结构框图

Base Timer 是 24 位递增定时器。复位启动时，Base Timer 从“0”开始递增计数，计数到从“0xFFFFF”到“0”溢出时，HW 置起溢出标志（BT_FLAG），触发溢出中断（需使能中断），并从“0”开始新的计数周期。

Base Timer 还支持数据比较功能，设置 BTCMP_EN=1 使能此功能。在 Base Timer 计数过程中，如果当前计数值（BTCNT）和比较寄存器（BTCMP）的数值一样，HW 置起比较标志（BTCMP_FLAG），触发比较中断（需使能中断）。

Base Timer 的工作时钟可选择 HFCLK 和 LFCLK:

- 选择 LFCLK（32.768kHz）时，计时时钟为 1024Hz（976.6 μ s）或 32.768kHz（30.5 μ s），溢出周期为 16384 秒或 512 秒。
- 选择 HFCLK（26MHz）时，计时时钟为 1kHz（1ms）或 10kHz（100 μ s），溢出周期为 16777 秒或 1678 秒。

Base Timer 可以工作在省电模式。如果 LFCLK 没有关闭，且 Base Timer 的计数时钟源设置为 LFCLK，当 MCU 进入深度休眠模式（DSM）时，Base Timer 仍然会继续工作，并且 Base Timer 中断可以唤醒 MCU。



9.4 Timer 寄存器

表 53. Timer 寄存器列表

寄存器名	地址	类型	复位值	说明
T0CON	0xF05000	R/W	0x00000000	Timer 0 控制寄存器
T0FLAG	0xF05004	R	0x00000000	Timer 0 标志查询寄存器
T0FCLR	0xF05008	W	0x00000000	Timer 0 标志清除寄存器
T0RL	0xF0500C	W	0x00000000	Timer 0 重载寄存器
T0CNT	0xF05010	R	0x00000000	Timer 0 计数寄存器
T0RST	0xF05014	R/W	0x00000000	Timer 0 复位寄存器
T1CON	0xF05100	R/W	0x00000000	Timer 1 控制寄存器
T1FLAG	0xF05104	R	0x00000000	Timer 1 标志查询寄存器
T1FCLR	0xF05108	W	0x00000000	Timer 1 标志清除寄存器
T1RL	0xF0510C	W	0x00000000	Timer 1 重载寄存器
T1CNT	0xF05110	R	0x00000000	Timer 1 计数寄存器
T1RST	0xF05114	R/W	0x00000000	Timer 1 复位寄存器
T2CON	0xF05200	R/W	0x00000000	Timer 2 控制寄存器
T2FLAG	0xF05204	R	0x00000000	Timer 2 标志查询寄存器
T2FCLR	0xF05208	W	0x00000000	Timer 2 标志清除寄存器
T2CPRL	0xF0520C	RO/WO	0x00000000	Timer 2 捕获/重载寄存器
T2CNT	0xF05210	R	0x00000000	Timer 2 计数寄存器
T2RST	0xF05214	R/W	0x00000000	Timer 2 复位寄存器
BTCON	0xF05300	R/W	0x00000000	Base Timer 控制寄存器
BTFLAG	0xF05304	R	0x00000000	Base Timer 标志查询寄存器
BTFCCLR	0xF05308	W	0x00000000	Base Timer 标志清除寄存器
BTCNT	0xF0530C	R	0x00000000	Base Timer 计数寄存器
BTCMP	0xF05310	R/W	0x00000000	Base Timer 比较寄存器
BTRST	0xF05314	R/W	0x00000000	Base Timer 复位寄存器

表 54. Timer 0 控制寄存器说明

寄存器名: T0CON				地址: 0xF05000
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	T0_IE	R/W	0	Timer 0 溢出中断使能控制位。 0: 关闭溢出中断 1: 使能溢出中断, Timer 0 计数器溢出时, HW 置起 T0_FLAG 标志, 并产生此中断。
2	T0CLK_DIV	R/W	0	Timer 0 时钟 (T0CLK) 高频预分频控制位, 仅当 Timer 0 时钟源选择 HFCLK (T0CLK_SEL=1) 时有效。 0: T0CLK = HFCLK 1: T0CLK = HFCLK / 26
1	T0CLK_SEL	R/W	0	Timer 0 时钟源选择位。 0: LFCLK 1: HFCLK
0	T0_EN	R/W	0	Timer 0 使能控制位。 0: 关闭 1: 使能

表 60. Timer 1 控制寄存器说明

寄存器名: T1CON				地址: 0xF05100
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	T1_IE	R/W	0	Timer 1 溢出中断使能控制位。 0: 关闭溢出中断 1: 使能溢出中断, Timer 1 计数器溢出时, HW 置起 T1_FLAG 标志, 并产生此中断。
2	T1CLK_DIV	R/W	0	Timer 1 时钟 (T1CLK) 高频预分频控制位, 仅当 Timer 1 时钟源选择 HFCLK (T1CLK_SEL=1) 时有效。 0: T1CLK = HFCLK 1: T1CLK = HFCLK / 26
1	T1CLK_SEL	R/W	0	Timer 1 时钟源选择位。 0: LFCLK 1: HFCLK
0	T1_EN	R/W	0	Timer 1 使能控制位。 0: 关闭 1: 使能

表 61. Timer 1 标志查询寄存器说明

寄存器名: T1FLAG				地址: 0xF05104
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	T1_FLAG	R	0	Timer 1 溢出标志位。Timer 1 计数溢出时, 无论中断是使能, HW 都会置起此标志。设置 T1_FCLR 可以清除此标志。 0: 计数无溢出 1: 计数溢出

表 62. Timer 1 标志清除寄存器说明

寄存器名: T1FCLR				地址: 0xF05108
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	T1_FCLR	W	0	Timer 1 溢出标志清除位。 0: 无效操作 1: 清除 T1_FLAG

表 63. Timer 1 重载寄存器说明

寄存器名: T1RL				地址: 0xF0510C
位址	符号	类型	复位	说明
31:16	-	-	0	保留位 (Reserved)
15:0	T1_RL	W	0	Timer 1 重载数据。Timer 1 溢出时, HW 会立即将此数据加载到 Timer 1 计数器。 Timer 1 关闭 (T1_EN=0) 时, 向此寄存器写入重载数据, 可以立即加载到 Timer 1 计数器。 Timer 1 使能 (T1_EN=1) 时, 向此寄存器写入重载数据, 等到当前计数溢出后, 更新数据才会加载到 Timer 1 计数器。

表 64. Timer 1 计数寄存器说明

寄存器名: T1CNT				地址: 0xF05110
位址	符号	类型	复位	说明
31:16	-	-	0	保留位 (Reserved)
15:0	T1_CNT	R	0	Timer 1 当前计数值。



表 65. Timer 1 复位寄存器说明

寄存器名: T1RST				地址: 0xF05114
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	T1_RST	R/W	0	Timer 1 复位控制位。 0: Timer 1 退出复位状态, 可以访问 Timer 1 相关寄存器。 1: Timer 1 处于复位状态, T1CLK 停止, 无法访问 Timer 1 其它相关寄存器。

表 66. Timer 2 控制寄存器说明

寄存器名: T2CON				地址: 0xF05200
位址	符号	类型	复位	说明
31:9	-	-	0	保留位 (Reserved)
8	T2EX_IE	R/W	0	Timer 2 引脚外部事件中断使能控制位。 0: 关闭外部事件中断 1: 使能外部事件中断, 外部事件使能且 T2EX 引脚有下降沿输入时, HW 置起 T2EX_FLAG 标志, 并产生此中断。
7	DCEN	R/W	0	Timer 2 递减计数使能位。 0: Timer 2 仅能用作递增计数器 1: Timer 2 可以用作递增或递减计数器
6	T2OE	R/W	0	T2 引脚输出可编程时钟使能位。 0: T2 引脚用作计数时钟输入 1: T2 引脚用作可编程时钟输出
5	C/T	R/W	0	Timer 2 定时器/计数器方式选择位。 0: 定时器方式, 用内部工作时钟 (T2CLK) 作为计数时钟。 1: 计数器方式, 用 T2 引脚输入的时钟作为计数时钟。 P17_SC=2 时, T2 引脚内部上拉电阻使能。
4	CP/RL	R/W	0	Timer 2 捕获/重载方式选择位。 0: 24 位带重载功能的定时器/计数器 1: 24 位带捕获功能的定时器/计数器
3	EX_EN	R/W	0	T2EX 引脚外部事件输入用作捕获/重载触发信号使能位。 0: 忽略 T2EX 引脚上的事件 (下降沿) 1: 检测到 T2EX 引脚上一个下降沿, 产生一个捕获或重载。 P16_SC=2 时, T2EX 引脚内部上拉电阻使能。
2	T2_IE	R/W	0	Timer 2 溢出中断使能控制位。 0: 关闭溢出中断 1: 使能溢出中断, Timer 2 计数器溢出时, HW 置起 T2_FLAG 标志, 并产生此中断。
1	T2CLK_DIV	R/W	0	Timer 2 时钟 (T2CLK) 预分频控制位。 0: T2CLK = SYSCLK 1: T2CLK = SYSCLK / 26
0	T2_EN	R/W	0	Timer 2 使能控制位。 0: 关闭 1: 使能



表 67. Timer 2 标志查询寄存器说明

寄存器名: T2FLAG				地址: 0xF05204
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	T2EX_FLAG	R	0	T2EX 引脚外部事件标志位。外部事件使能时 (EX_EN=1), 且 T2EX 引脚有下降沿输入时, 无论中断是否使能, HW 都会置起此标志。设置 T2EX_FCLR 可以清除此标志。 0: 没有外部事件发生 (T2EX 引脚上没有下降沿信号输入) 1: 外部事件发生 (T2EX 引脚上有下降沿信号输入)
0	T2_FLAG	R	0	Timer 2 溢出标志位。Timer 2 计数溢出时, 无论中断是否使能, HW 都会置起此标志。设置 T2_FCLR 可以清除此标志。 0: 计时无溢出 1: 计时溢出

表 68. Timer 2 标志清除寄存器说明

寄存器名: T2FCLR				地址: 0xF05208
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	T2EX_FCLR	W	0	T2EX 引脚外部事件标志清除位。 0: 无效操作 1: 清除 T2EX_FLAG
0	T2_FCLR	W	0	Timer 2 溢出标志清除位。 0: 无效操作 1: 清除 T2_FLAG

表 69. Timer 2 捕获/重载寄存器说明

寄存器名: T2CPRL				地址: 0xF0520C
位址	符号	类型	复位	说明
31:24	-	-	0	保留位 (Reserved)
23:0	T2_CPRL	RO/ WO	0	Timer 2 捕获/重载数据寄存器。 Timer 2 关闭时, 此寄存器为只写寄存器, 向此寄存器写入重载数据, 可以立即加载到 Timer 2 计数器。 Timer 2 为重载模式时, 此寄存器为只写寄存器, 向此寄存器写入重载数据, 要等到当前计数溢出后, 更新数据才会加载到 Timer 2 计数器。 Timer 2 为捕获模式时, 此寄存器为只读寄存器, 外部事件发生时, HW 会将 Timer 2 计数器的当前值捕获到此寄存器, SW 只能读取捕获数据。

表 70. Timer 2 计数寄存器说明

寄存器名: T2CNT				地址: 0xF05210
位址	符号	类型	复位	说明
31:24	-	-	0	保留位 (Reserved)
23:0	T2_CNT	R	0	Timer 2 当前计数值。

表 71. Timer 2 复位寄存器说明

寄存器名: T2RST				地址: 0xF05214
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	T2_RST	R/W	0	Timer 2 复位控制位。 0: Timer 2 退出复位状态, 可以访问 Timer 2 相关寄存器。 1: Timer 2 处于复位状态, T2CLK 停止, 无法访问 Timer 2 其它相关寄存器。



表 72. Base Timer 控制寄存器说明

寄存器名: BTCON				地址: 0xF05300
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
5	BTCMP_IE	R/W	0	Base Timer 比较器中断使能控制位。 0: 关闭 Base Timer 比较器中断 1: 使能 Base Timer 比较器中断, 当 Base Timer 的计数值和比较寄存器的值由不一致变化到一致时, HW 置起 BTCMP_FLAG 标志, 并产生此中断。
4	BTCMP_EN	R/W	0	Base Timer 比较器使能控制位。 0: 关闭比较器 1: 打开比较器
3	BT_IE	R/W	0	Base Timer 溢出中断使能控制位。 0: 关闭 Base Timer 溢出中断 1: 使能 Base Timer 溢出中断, 当 Base Timer 计数器从 0xFFFFFFFF 溢出到 0 时, HW 置起 BT_FLAG 标志, 并产生此中断。
2	BTCLK_DIV	R/W	0	Base Timer 时钟 (BTCLK) 预分频控制位。 Base Timer 时钟源选择 LFCLK 时: 0: BTCLK = LFCLK/32 (周期约为 976.6μs) 1: BTCLK = LFCLK (周期约为 30.5μs) Base Timer 时钟源选择 HFCLK 时: 0: BTCLK = HFCLK/26000 (周期为 1ms @ 26MHz) 1: BTCLK = HFCLK/2600 (周期为 100μs @ 26MHz)
1	BTCLK_SEL	R/W	0	Base Timer 时钟源选择位。 0: LFCLK 1: HFCLK
0	BT_EN	R/W	0	Base Timer 使能控制位。 0: 关闭 Base Timer 1: 打开 Base Timer

表 73. Base Timer 标志查询寄存器说明

寄存器名: BTFLAG				地址: 0xF05304
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	BTCMP_FLAG	R	0	Base Timer 比较器标志位。Base Timer 的计数值和比较寄存器的值由不一致变化到一致时, 无论中断是否使能, HW 都会置起此标志。设置 BTCMP_FCLR 可以清除此标志。 0: 数据比较结果无变化或由一致变化到不一致 1: 数据比较结果由不一致变化到一致
0	BT_FLAG	R	0	Base Timer 溢出标志位。Base Timer 计数溢出时, 无论中断是否使能, HW 都会置起此标志。设置 BT_FCLR 可以清除此标志。 0: Base Timer 无溢出 1: Base Timer 溢出



表 74. Base Timer 标志清除寄存器说明

寄存器名: BTFCLR				地址: 0xF05308
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	BTCMP_FCLR	W	0	Base Timer 比较器标志清除位。 0: 无效操作 1: 清除 BTCMP_FLAG
0	BT_FCLR	W	0	Base Timer 溢出标志清除位。 0: 无效操作 1: 清除 BT_FLAG

表 75. Base Timer 计数寄存器说明

寄存器名: BTCNT				地址: 0xF0530C
位址	符号	类型	复位	说明
31:24	-	-	0	保留位 (Reserved)
23:0	BT_CNT	R	0	Base Timer 当前计数值。

表 76. Base Timer 比较寄存器说明

寄存器名: BTCMP				地址: 0xF05310
位址	符号	类型	复位	说明
31:24	-	-	0	保留位 (Reserved)
23:0	BTCMP_DAT	R/W	0	Base Timer 比较器的比较数据寄存器。

表 77. Base Timer 复位寄存器说明

寄存器名: BTRST				地址: 0xF05314
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	BT_RST	R/W	0	Base Timer 复位控制位。 0: Base Timer 退出复位状态, 可以访问 Base Timer 相关寄存器。 1: Base Timer 处于复位状态, BTCLK 停止, 无法访问 Base Timer 其它相关寄存器。

10. 脉宽调制模块（PWM）

SH87F8801 内建了三个 12 位的脉宽调制模块（Pulse Width Modulation，后面简称 PWM），可以产生周期和占空比可分别调整的脉宽调制波形。

三个 PWM 模块（PWM0、PWM1 和 PWM2）的结构、功能、特性以及操作都完全一样，控制寄存器也完全独立，下面针对其中一个模块（PWM_x，x=0/1/2）进行详细说明。

10.1 PWM 特性

- 三路 12 位精度 PWM 模块，周期和占空比可独立配置
- 每个 PWM 模块支持独立的周期溢出中断
- 输出极性可配置

10.2 PWM 结构

PWM 的结构框图如下图所示。

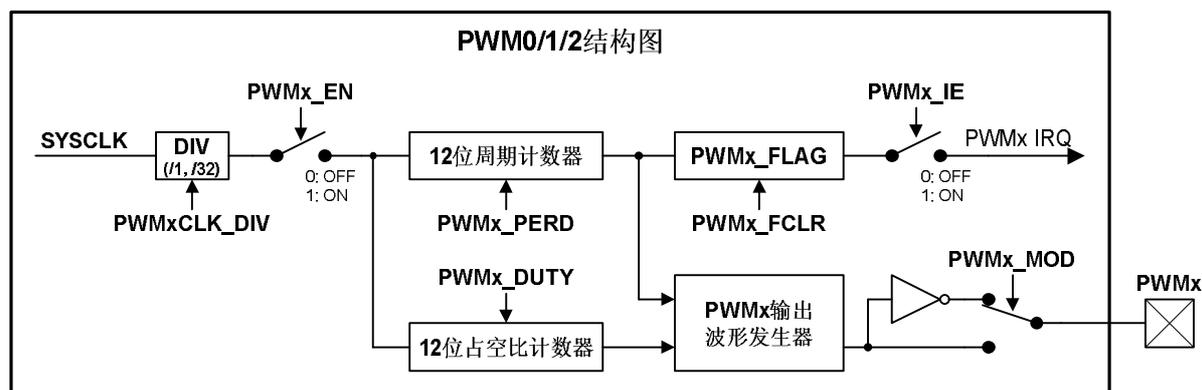


图 22. PWM 结构框图

10.3 PWM 输出控制

PWM 输出功能和 GPIO 功能复用引脚，如果想用 PWM_x 引脚输出脉宽调制波形，需要先通过 **GPIO_SC1** 寄存器将对应的复用引脚配置成 PWM 功能（详见 GPIO 章节）。

当端口被配置成 PWM 功能时，若 PWM 模块处于关闭状态（PWM_x_EN=0），则 PWM_x 引脚输出 PWM_x_MOD 寄存器位的值对应的电平（“0”表示低电平，“1”表示高电平）；当 PWM 模块使能时（PWM_x_EN=1），PWM_x 引脚才输出 PWM 波形。

下面的描述中，如果不做特别说明，均默认端口已经配置成了 PWM 功能。

10.4 PWM 时序

PWM 时钟（PWMxCLK）可以选择系统时钟（SYSCLK）的 1/1 或 1/32 分频，由 PWMxCLK_DIV 寄存器位选择。PWM 模块中的 12 位周期计数器（Period Counter）和 12 位占空比计数器（Duty Counter）通过对 PWM 时钟的计数，得到 PWM_x 输出波形。

PWM 时序如下图所示。

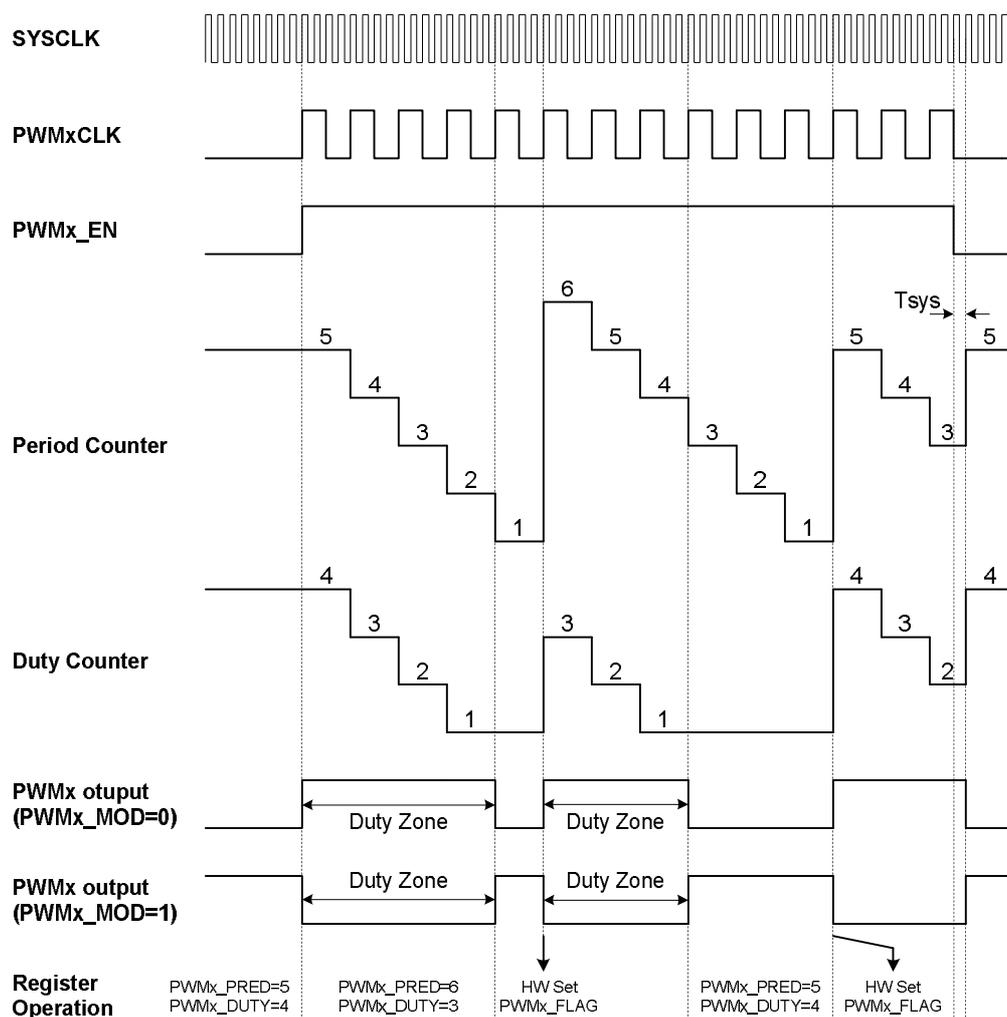


图 23. PWM 时序图

PWM 模块关闭时 ($PWMx_EN=0$)，周期计数器和占空比计数器停止计数，对应的 PWMx 引脚输出和 PWMx_MOD 寄存器位的值相同的电平。

PWM 模块启动后 ($PWMx_EN=1$)，周期计数器和占空比计数器从各自的初始值开始，同时对 PWM 时钟进行减计数。

占空比计数器溢出时停止计数，直到周期计数器溢出，才加载初始值，开始新一轮的减计数。占空比计数器从开始计数到计数溢出的这段时间称为占空比期间 (Duty Zone)，此时 PWMx 引脚输出与 PWMx_MOD 寄存器位的值相反的电平。占空比计数器从计数溢出到开始下一轮计数的这段时间（也就是停止计数的这段时间）称为非占空比期间 (None Duty Zone)，此时 PWMx 引脚输出与 PWMx_MOD 寄存器位的值相同的电平。

周期计数器溢出时，当前 PWM 周期结束，HW 置起溢出标志 (PWMx_FLAG)，触发溢出中断（需使能中断）。同时，HW 自动将 PWMxPRED 和 PWMxDUTY 寄存器的值分别加载到周期计数器和占空比计数器作为初始值，并开始新一轮的计数。这样周而复始产生脉宽调制波形。

- 脉宽调制波形的周期 = $PWMx_PERD * PWMxCLK$ 周期
- 脉宽调制波形的占空比 = $PWMx_DUTY / PWMx_PERD$

10.5 PWM 注意事项

1. 如果已经使能 PWMx 模块 (PWMx_EN=1), 但对应的端口没有被配置成 PWM 功能, 则 PWMx 模块可以当作一个 12 位定时器使用。此时如果对应的 PWMx 中断使能 (PWMx_IE=1 且总中断开启), 则周期溢出时 PWMx 中断照样发生。
2. 当 PWMx_PERD=0、PWMx_EN=1 时, 无论 PWMx_DUTY 为何值, PWMx 引脚输出与 PWMx_MOD 寄存器位的值相同的电平。
3. 当 PWMx_DUTY=0、PWMx_PERD>0、PWMx_EN=1 时, PWMx 引脚输出与 PWMx_MOD 寄存器位的值相同的电平。
4. 当 $0 < \text{PWMx_PERD} \leq \text{PWMx_DUTY}$ 、PWMx_EN=1 时, PWMx 引脚输出与 PWMx_MOD 寄存器位的值相反的电平。
5. 当 PWMx_EN=0 时, PWMx 引脚输出与 PWMx_MOD 寄存器位的值相同的电平。

表 78. PWMx 输出状态说明 (端口已设置成 PWM 功能)

PWMx_EN	PWMx_PERD	PWMx_DUTY	PWMx_MOD	PWMx 输出状态
0	X	X	0	低电平
			1	高电平
1	0	X	0	低电平
			1	高电平
1	X	0	0	低电平
			1	高电平
1	≠0	≥PWMx_PERD	0	高电平
			1	低电平
1	≠0	<PWMx_PERD	0	脉宽调制波形 (先高后低)
			1	脉宽调制波形 (先低后高)

**10.6 PWM 寄存器**

表 79. PWM 寄存器列表

寄存器名	地址	类型	复位值	说明
PWM0CON	0xF06000	R/W	0x00000000	PWM0 控制寄存器
PWM0FLAG	0xF06004	R	0x00000000	PWM0 标志查询寄存器
PWM0FCLR	0xF06008	W	0x00000000	PWM0 标志清除寄存器
PWM0PERD	0xF0600C	R/W	0x00000000	PWM0 周期寄存器
PWM0DUTY	0xF06010	R/W	0x00000000	PWM0 占空比寄存器
PWM0RST	0xF06014	R/W	0x00000000	PWM0 复位寄存器
PWM1CON	0xF06100	R/W	0x00000000	PWM1 控制寄存器
PWM1FLAG	0xF06104	R	0x00000000	PWM1 标志查询寄存器
PWM1FCLR	0xF06108	W	0x00000000	PWM1 标志清除寄存器
PWM1PERD	0xF0610C	R/W	0x00000000	PWM1 周期寄存器
PWM1DUTY	0xF06110	R/W	0x00000000	PWM1 占空比寄存器
PWM1RST	0xF06114	R/W	0x00000000	PWM1 复位寄存器
PWM2CON	0xF06200	R/W	0x00000000	PWM2 控制寄存器
PWM2FLAG	0xF06204	R	0x00000000	PWM2 标志查询寄存器
PWM2FCLR	0xF06208	W	0x00000000	PWM2 标志清除寄存器
PWM2PERD	0xF0620C	R/W	0x00000000	PWM2 周期寄存器
PWM2DUTY	0xF06210	R/W	0x00000000	PWM2 占空比寄存器
PWM2RST	0xF06214	R/W	0x00000000	PWM2 复位寄存器



表 80. PWM0 控制寄存器说明

寄存器名: PWM0CON				地址: 0xF06000
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	PWM0_IE	R/W	0	PWM0 周期溢出中断使能控制位。 0: 关闭 PWM0 中断 1: 使能 PWM0 中断
2	PWM0_MOD	R/W	0	PWM0 输出模式选择位。 0: DUTY 期间输出高电平 1: DUTY 期间输出低电平
1	PWM0CLK_DIV	R/W	0	PWM0 时钟 (PWM0CLK) 预分频控制位。 0: PWM0CLK=SYSCLK 1: PWM0CLK=SYSCLK/32
0	PWM0_EN	R/W	0	PWM0 使能控制位。 0: 停止 PWM0 1: 启动 PWM0

表 81. PWM0 标志查询寄存器说明

寄存器名: PWM0FLAG				地址: 0xF06004
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM0_FLAG	R	0	PWM0 周期溢出标志位。PWM0 周期溢出时, 无论中断是否使能, HW 都会置起此标志。设置 PWM0_FCLR 可以清除此标志。 0: PWM0 周期没有溢出 1: PWM0 周期溢出

表 82. PWM0 标志清除寄存器说明

寄存器名: PWM0FCLR				地址: 0xF06008
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM0_FCLR	W	0	PWM0 周期溢出标志清除位。 0: 无效操作 1: 清除 PWM0_FLAG

表 83. PWM0 周期寄存器说明

寄存器名: PWM0PERD				地址: 0xF0600C
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM0_PERD	R/W	0	PWM0 周期控制位。 PWM0 周期 = PWM0_PERD x PWM0CLK 周期

表 84. PWM0 占空比寄存器说明

寄存器名: PWM0DUTY				地址: 0xF06010
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM0_DUTY	R/W	0	PWM0 DUTY 时间控制位。 PWM0 DUTY 时间 = PWM0_DUTY x PWM0CLK 周期

表 85. PWM0 复位寄存器说明

寄存器名: PWM0RST				地址: 0xF06014
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM0_RST	R/W	0	PWM0 复位控制位。 0: PWM0 退出复位状态, 可以访问 PWM0 相关寄存器。 1: PWM0 于复位状态, PWM0CLK 停止, 无法访问 PWM0 其它相关寄存器。



表 86. PWM1 控制寄存器说明

寄存器名: PWM1CON				地址: 0xF06100
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	PWM1_IE	R/W	0	PWM1 周期溢出中断使能控制位。 0: 关闭 PWM1 中断 1: 使能 PWM1 中断
2	PWM1_MOD	R/W	0	PWM1 输出模式选择位。 0: DUTY 期间输出高电平 1: DUTY 期间输出低电平
1	PWM1CLK_DIV	R/W	0	PWM1 时钟 (PWM1CLK) 预分频控制位。 0: PWM1CLK=SYSCLK 1: PWM1CLK=SYSCLK/32
0	PWM1_EN	R/W	0	PWM1 使能控制位。 0: 停止 PWM1 1: 启动 PWM1

表 87. PWM1 标志查询寄存器说明

寄存器名: PWM1FLAG				地址: 0xF06104
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM1_FLAG	R	0	PWM1 周期溢出标志位。PWM1 周期溢出时, 无论中断是否使能, HW 都会置起此标志。设置 PWM1_FCLR 可以清除此标志。 0: PWM1 周期没有溢出 1: PWM1 周期溢出

表 88. PWM1 标志清除寄存器说明

寄存器名: PWM1FCLR				地址: 0xF06108
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM1_FCLR	W	0	PWM1 周期溢出标志清除位。 0: 无效操作 1: 清除 PWM1_FLAG

表 89. PWM1 周期寄存器说明

寄存器名: PWM1PERD				地址: 0xF0610C
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM1_PERD	R/W	0	PWM1 周期控制位。 PWM1 周期 = PWM1_PERD x PWM1CLK 周期

表 90. PWM1 占空比寄存器说明

寄存器名: PWM1DUTY				地址: 0xF06110
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM1_DUTY	R/W	0	PWM1 DUTY 时间控制位。 PWM1 DUTY 时间 = PWM1_DUTY x PWM1CLK 周期

表 91. PWM1 复位寄存器说明

寄存器名: PWM1RST				地址: 0xF06114
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM1_RST	R/W	0	PWM1 复位控制位。 0: PWM1 退出复位状态, 可以访问 PWM1 相关寄存器。 1: PWM1 于复位状态, PWM1CLK 停止, 无法访问 PWM1 其它相关寄存器。



表 92. PWM2 控制寄存器说明

寄存器名: PWM2CON				地址: 0xF06200
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	PWM2_IE	R/W	0	PWM2 周期溢出中断使能控制位。 0: 关闭 PWM2 中断 1: 使能 PWM2 中断
2	PWM2_MOD	R/W	0	PWM2 输出模式选择位。 0: DUTY 期间输出高电平 1: DUTY 期间输出低电平
1	PWM2CLK_DIV	R/W	0	PWM2 时钟 (PWM2CLK) 预分频控制位。 0: PWM2CLK=SYSCLK 1: PWM2CLK=SYSCLK/32
0	PWM2_EN	R/W	0	PWM2 使能控制位。 0: 停止 PWM2 1: 启动 PWM2

表 93. PWM2 标志查询寄存器说明

寄存器名: PWM2FLAG				地址: 0xF06204
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM2_FLAG	R	0	PWM2 周期溢出标志位。PWM2 周期溢出时, 无论中断是否使能, HW 都会置起此标志。设置 PWM2_FCLR 可以清除此标志。 0: PWM2 周期没有溢出 1: PWM2 周期溢出

表 94. PWM2 标志清除寄存器说明

寄存器名: PWM2FCLR				地址: 0xF06208
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM2_FCLR	W	0	PWM2 周期溢出标志清除位。 0: 无效操作 1: 清除 PWM2_FLAG

表 95. PWM2 周期寄存器说明

寄存器名: PWM2PERD				地址: 0xF0620C
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM2_PERD	R/W	0	PWM2 周期控制位。 PWM2 周期 = PWM2_PERD x PWM2CLK 周期

表 96. PWM2 占空比寄存器说明

寄存器名: PWM2DUTY				地址: 0xF06210
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	PWM2_DUTY	R/W	0	PWM2 DUTY 时间控制位。 PWM2 DUTY 时间 = PWM2_DUTY x PWM2CLK 周期

表 97. PWM2 复位寄存器说明

寄存器名: PWM2RST				地址: 0xF06214
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	PWM2_RST	R/W	0	PWM2 复位控制位。 0: PWM2 退出复位状态, 可以访问 PWM2 相关寄存器。 1: PWM2 于复位状态, PWM2CLK 停止, 无法访问 PWM2 其它相关寄存器。



11. 增强型通用串行收发器（EUART）

SH87F8801 内建了两个增强型通用串行收发器（Enhanced Universal Asynchronous Receiver Transmitter，后面简称 EUART），可用于标准的两线 UART 通讯。

这两个 EUART 模块（EUART0 和 EUART1）的结构、功能、特性以及操作都完全一样，控制寄存器也完全独立，下面针对其中一个模块（EUARTx，x=0/1）进行详细说明。

11.1 EUART 特性

- 自带波特率发生器
- 支持自动地址识别和广播地址
- 支持帧出错检测
- 支持四种工作模式

11.2 EUART 引脚说明

表 98. EUART 引脚说明

名称	引脚编号	状态	复用控制	说明
RXD0	6	只在模式 0 的发送状态是输出引脚，无内接电阻；其它模式和状态是输入引脚，内接 100kΩ 上拉电阻。	P04_SC=2	EUART0 数据输入（模式 0~3）和数据输出（模式 0）引脚。
TXD0	7	输出引脚，无内接电阻，待机时输出高电平。	P05_SC=2	EUART0 时钟输入（模式 0）和数据输出（模式 1~3）引脚。
RXD1	8	只在模式 0 的发送状态是输出引脚，无内接电阻；其它模式和状态是输入引脚，内接 100kΩ 上拉电阻。	P06_SC=2	EUART1 数据输入（模式 0~3）和数据输出（模式 0）引脚。
TXD1	9	输出引脚，无内接电阻，待机时输出高电平。	P07_SC=2	EUART1 时钟输入（模式 0）和数据输出（模式 1~3）引脚。

11.3 EUART 工作模式

SH87F8801 的 EUART 模块支持四种工作模式，在通讯之前，必先选择模式和设置波特率。

在所有四种模式中，任何向 SxTBUF 寄存器的写操作都会启动发送。

启动接收的前提条件是：接收使能 (Sx_REN=1) 且接收完成标志已清除 (Sx_RF=0)。在模式 0 中，前提条件满足就会初始化接收，在 TXDx 引脚上输出时钟信号，在 RXDx 引脚上移入 8 位数据。在模式 1/2/3 中，前提条件满足时，由输入的起始位初始化接收，外部发送器以发送起始位开始通信。

注：如果在收到停止位之前应用程序已经清除了上一次的接收完成标志，则此次接收继续进行；如果收到停止位时应用程序还未清除接收完成标志，则放弃当前帧的接收。

EUART 的四种工作模式如下表所示。

表 99. EUART 工作模式定义

SxM1	SxM0	模式	类型	波特率	帧长	起始位	停止位	第 9 位
0	0	0	同步	$f_{sys}/(4 \text{ 或 } 12)$	8 位	无	无	无
0	1	1	异步	自带波特率发生器的溢出率/16	10 位	0	1	无
1	0	2	异步	$f_{sys}/(32 \text{ 或 } 64)$	11 位	0	1	0/1
1	1	3	异步	自带波特率发生器的溢出率/16	11 位	0	1	0/1

表 100. EUART 接收条件

模式	启动接收的条件	接收有效的条件	接收完成的操作
0	Sx_RF=0 且 Sx_REN=1	无	1. 8 位数据存入 SxRBUF; 2. 置起 Sx_RF 标志; 3. 触发中断 (需使能)。
1	Sx_RF=0 且 Sx_REN=1, 检测到 RXDx 上的下降沿。	Sx_M2=0 或者收到的停止位为 1	1. 8 位数据存入 SxRBUF; 2. 停止位存入 Sx_RB8; 3. 置起 Sx_RF 标志; 4. 触发中断 (需使能)。
2, 3	Sx_RF=0 且 Sx_REN=1, 检测到 RXDx 上的下降沿。	Sx_M2=0 或者收到的第 9 位数据为 1	1. 8 位数据存入 SxRBUF; 2. 第 9 位数据存入 Sx_RB8; 3. 置起 Sx_RF 标志; 4. 触发中断 (需使能)。

表 101. EUART 发送条件

模式	启动发送条件	发送完成操作
0, 1, 2, 3	写 SxTBUF	1. 置起 Sx_TF 标志; 2. 触发中断 (需使能)。

11.3.1 模式 0：8 位半双工同步传输，同步时钟由系统时钟产生

模式 0 支持 8 位半双工同步通讯，TXDx 引脚发送同步时钟，由系统时钟产生，在 RXDx 引脚上收发串行数据，因此这种模式是半双工串行通信。在此模式中，每帧收发 8 位数据，低位先传输。

使用 Sx_M2 寄存器位，可以设置模式 0 的移位（同步）时钟为系统时钟的 1/12 或 1/4。Sx_M2=0 时，Shift-clock = SYSCLK/12；Sx_M2=1 时，Shift-clock = SYSCLK/4。模式 0 的结构如下图所示。

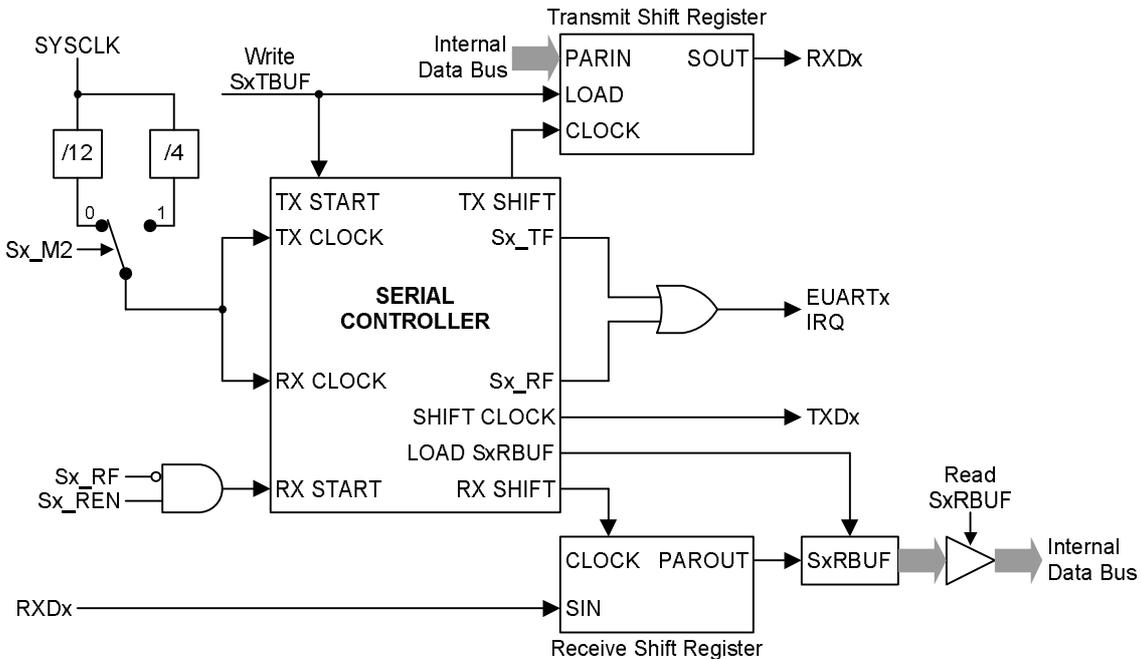


图 24. EUART 模式 0 结构框图

写移位寄存器（SxTBUF）可以启动发送，TX 控制模块在下一个系统时钟开始发送流程。TXDx 引脚输出移位时钟，RXDx 引脚输出串行数据，数据转换发生在移位时钟的下降沿。移位寄存器的内容逐次从左往右移位（即从高到低移位），最右边的 1 位（即最低位）从 RXDx 移出发送，左边移出的空位置“0”。当移位寄存器中的所有 8 位数据都发送后，TX 控制模块停止发送操作，然后在下一个系统时钟的上升沿置起发送完成标志（Sx_TF），并触发中断（需使能中断）。

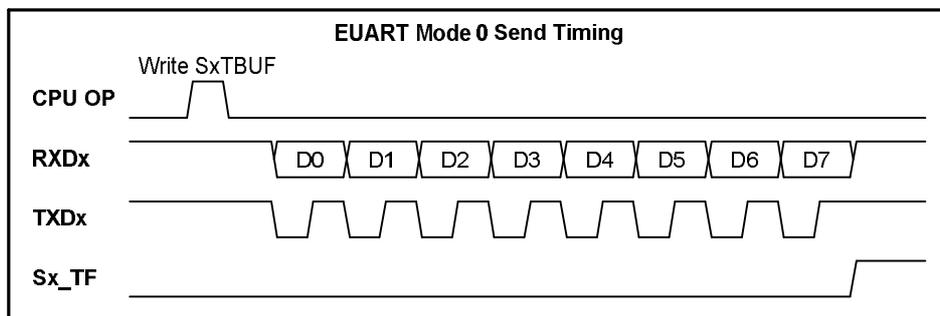


图 25. EUART 模式 0 发送时序图



接收完成标志没有置起 (Sx_RF=0) 且设置接收使能 (Sx_REN=1) 可以启动接收, RX 控制模块在下一个系统时钟开始接收流程。TXDx 引脚输出移位时钟, RXDx 引脚输入串行数据, 在移位时钟的上升沿锁存数据。移位寄存器的内容逐次从右往左移位 (即从低到高移位), 最右边的 1 位 (即最低位) 从 RXDx 移入。当所有 8 位数据都移到寄存器中后, RX 控制块停止接收, 然后在下一个系统时钟的上升沿置起接收完成标志 (Sx_RF), 并触发中断 (需使能中断)。软件清除接收完成标志才允许下一次接收。

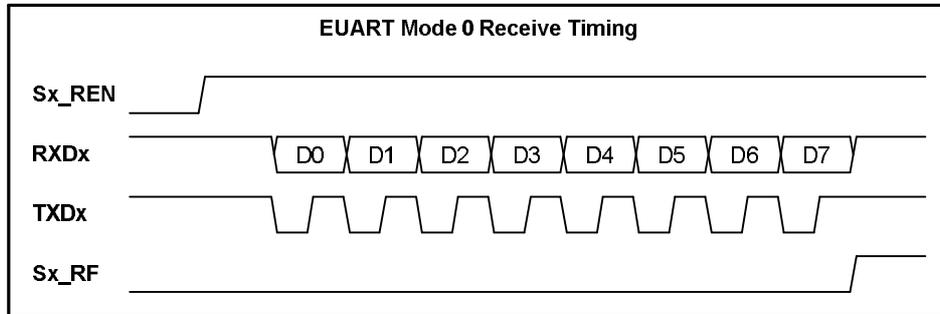


图 26. UART 模式 0 接收时序图

11.3.2 模式 1：10 位全双工异步传输，波特率由波特率发生器产生

模式 1 支持 10 位全双工异步通信，在 **RXD_x** 引脚发送串行数据，在 **TXD_x** 引脚接收串行数据。每帧由 1 个起始位（逻辑 0）、8 个数据位（低位在前）和 1 个停止位（逻辑 1）组成。

模式 1 的波特率（即比特率）固定为内建波特率发生器（即采样率发生器）溢出率的 1/16。模式 1 的结构如下图所示。

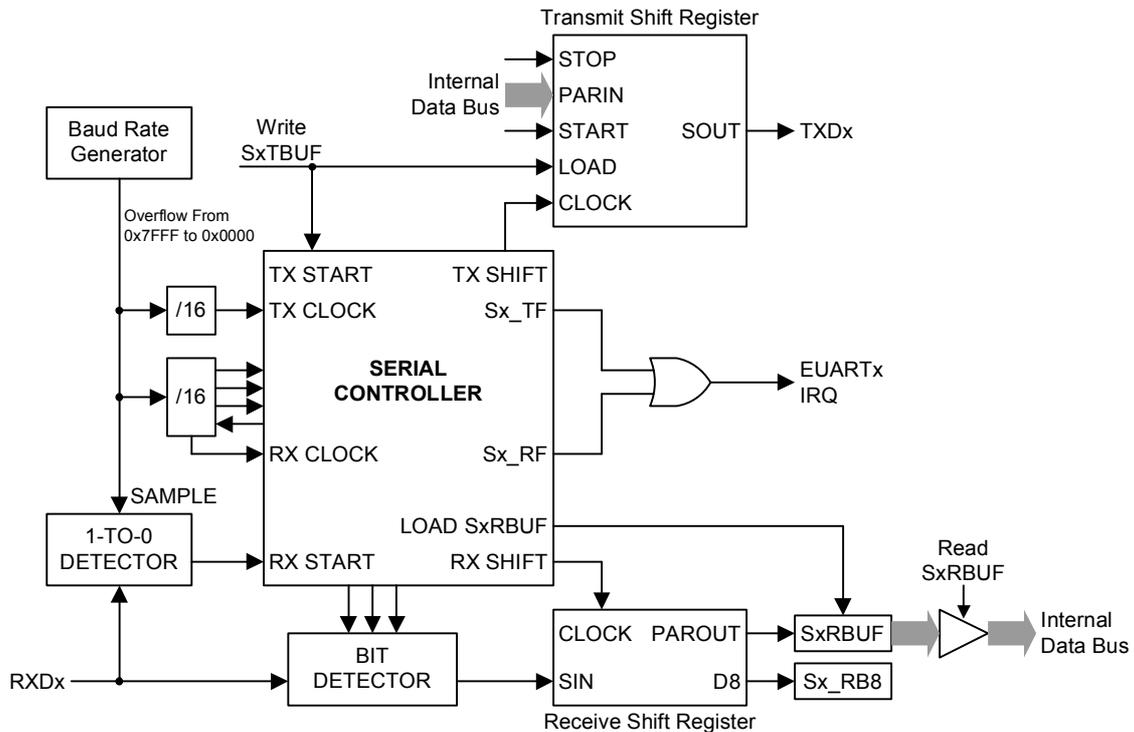


图 27. EUART 模式 1 结构框图

写移位寄存器（**SxTBUF**）可以启动发送，实际上发送是从 16 分频计数器下一次跳变之后的系统时钟开始的，因此发送时间与 16 分频计数器是同步的，与对移位寄存器的写操作不同步。起始位首先在 **TXD_x** 引脚上移出，然后是 8 位数据位（低位先发送）。当移位寄存器中的所有 8 位数据都发送后，停止位在 **TXD_x** 引脚上移出，在发出停止位的同时置起发送完成标志（**Sx_TF**），并触发中断（需使能中断）。

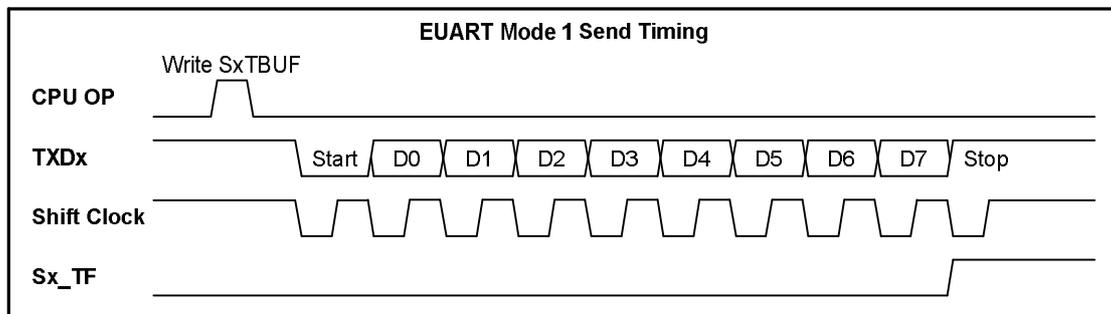


图 28. EUART 模式 1 发送时序图

接收完成标志没有置起 ($Sx_RF=0$) 且接收使能 ($Sx_REN=1$) 时, 允许接收, RX 控制模块不断的对 $RXDx$ 引脚进行采样, 采样速率为波特率的 16 倍 (即为波特率发生器的溢出率)。当检测到 $RXDx$ 引脚上的下降沿时开始接收串行数据, 同时 16 分频计数器立即复位, 这有助于 16 分频计数器与 $RXDx$ 引脚上的串行数据位同步。如果接收完成标志没有清除 ($Sx_RF=1$) 或禁止接收 ($Sx_REN=0$) 则不能启动接收操作。

16 分频计数器把每一位的时间分为 16 个状态, 在第 7、8、9 状态时, 位检测器对 $RXDx$ 引脚的电平进行采样。为抑制噪声, 在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。

如果所接收的第一位不是 0, 说明这位不是一帧数据的起始位, 该位被忽略, 接收电路被复位, 等待 $RXDx$ 引脚上另一个下降沿的到来。若起始位有效 (0), 则移入移位寄存器, 并接着移入其它位到移位寄存器。

8 个数据位和 1 个停止位移入后, 如果禁止停止位检测 ($Sx_M2=0$) 或接收的停止位为 1, 则 8 个数据位和 1 个停止位被分别装入 $SxRBUF$ 和 Sx_RB8 中, 同时置起接收完成标志 (Sx_RF), 并触发中断 (需使能中断), 软件清除接收完成标志才允许下一次接收。如果使能停止位检测 ($Sx_M2=1$) 且接收的停止位为 0, 则接收的帧会丢失, 此时, 接收器将重新检测 $RXDx$ 引脚的另一个下降沿。

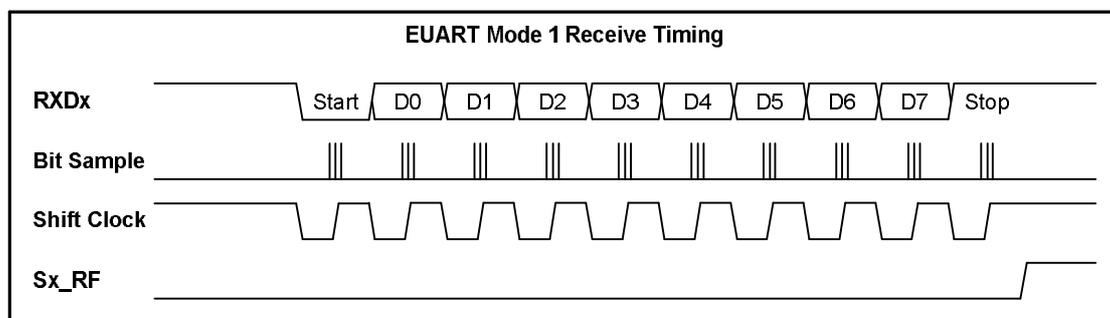


图 29. UART 模式 1 接收时序图

11.3.3 模式 2：11 位全双工异步传输，波特率由系统时钟产生

模式 2 支持 11 位全双工异步通信，在 RXD_x 引脚发送串行数据，在 TXD_x 引脚接收串行数据。每帧由 1 个起始位（逻辑 0）、8 个数据位（低位在前）、一个可编程的第 9 数据位和 1 个停止位（逻辑 1）组成。模式 2 可以实现多机通讯和地址识别（详见 11.5 章节）。

发送数据时，第 9 位数据（S_x_TB8）可以写 0 或 1，例如，可写入奇偶校验位 P，或用于多机通讯中的数据/地址标志位。接收数据时，第 9 位数据移入 S_x_RB8，而停止位不保存。

使用 S_x_T2BR 寄存器位，可以设置模式 2 的波特率（即比特率）为系统时钟的 1/64 或 1/32。S_x_T2BR = 0 时，Baud Rate = SYSCLK/64；S_x_T2BR = 1 时，Baud Rate = SYSCLK/32。模式 2 的结构如下图所示。

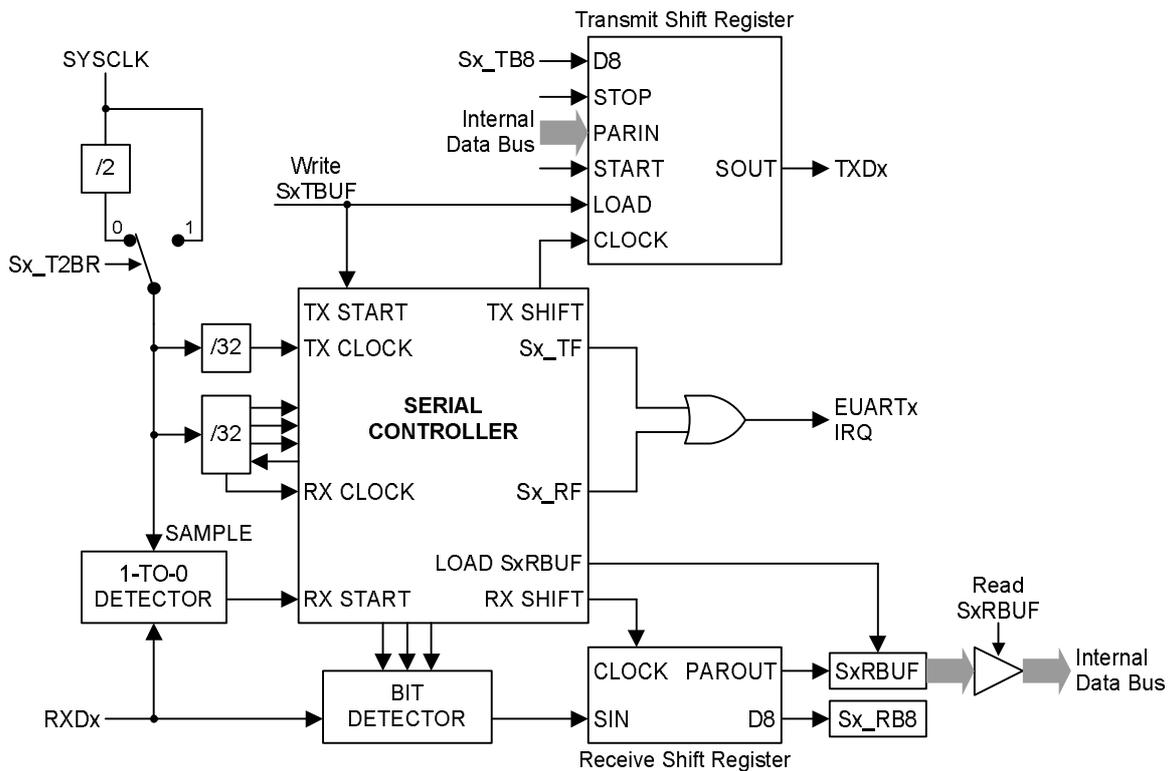


图 30. UART 模式 2 结构框图

写移位寄存器（S_xTBUF）可以启动发送，同时也将 S_x_TB8 载入到发送移位寄存器的第 9 位中。实际上发送是从 16 分频计数器下一次跳变之后的系统时钟开始的，因此发送时间与 16 分频计数器是同步的，与对移位寄存器的写操作不同步。起始位首先在 TXD_x 引脚上移出，然后是 9 位数据位（低位先发送），当移位寄存器中的所有 9 位数据都发送后，停止位在 TXD_x 引脚上移出，在发出停止位的同时置起发送完成标志（S_x_TF），并触发中断（需使能中断）。

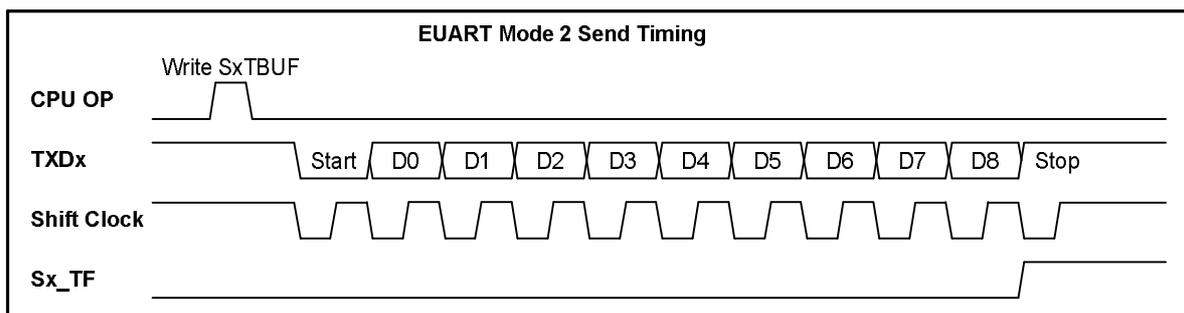


图 31. UART 模式 2 发送时序图



接收完成标志没有置起 ($Sx_RF=0$) 且接收使能 ($Sx_REN=1$) 时, 允许接收, RX 控制模块不断的对 $RXDx$ 引脚进行采样, 采样速率为波特率的 16 倍。当检测到 $RXDx$ 引脚上的下降沿时开始接收串行数据, 同时 16 分频计数器立即复位, 这有助于 16 分频计数器与 $RXDx$ 引脚上的串行数据位同步。如果接收完成标志没有清除 ($Sx_RF=1$) 或禁止接收 ($Sx_REN=0$) 则不能启动接收操作。

16 分频计数器把每一位的时间分为 16 个状态, 在第 7、8、9 状态时, 位检测器对 $RXDx$ 引脚的电平进行采样。为抑制噪声, 在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。

如果所接收的第一位不是 0, 说明这位不是一帧数据的起始位, 该位被忽略, 接收电路被复位, 等待 $RXDx$ 引脚上另一个下降沿的到来。若起始位有效 (0), 则移入移位寄存器, 并接着移入其它位到移位寄存器。

9 个数据位和 1 个停止位移入后, 如果禁止第 9 位数据检测 ($Sx_M2=0$) 或接收的第 9 位数据为 1, 则前 8 个数据位和第 9 个数据位被分别装入 $SxRBUF$ 和 Sx_RB8 中, 同时置起接收完成标志 (Sx_RF), 并触发中断 (需使能中断), 软件清除接收完成标志才允许下一次接收。如果使能第 9 位数据检测 ($Sx_M2=1$) 且接收的第 9 位数据为 0, 则接收的帧会丢失, 此时, 接收器将重新检测 $RXDx$ 引脚的另一个下降沿。

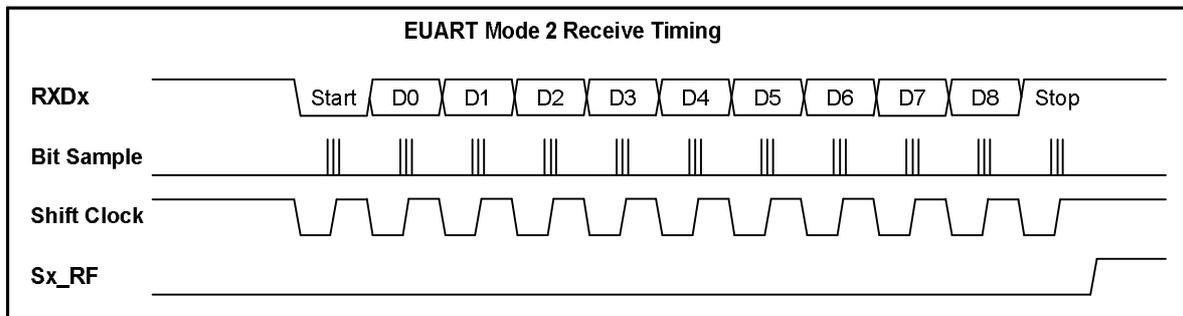


图 32. UART 模式 2 接收时序图

11.3.4 模式 3：11 位全双工异步传输，波特率由波特率发生器产生

模式 3 使用模式 2 的传输协议以及模式 1 的波特率产生方式。

模式 3 支持 11 位全双工异步通信，在 **RXD_x** 引脚发送串行数据，在 **TXD_x** 引脚接收串行数据。每帧由 1 个起始位（逻辑 0）、8 个数据位（低位在前）、一个可编程的第 9 数据位和 1 个停止位（逻辑 1）组成。模式 2 可以实现多机通讯和地址识别。

发送数据时，第 9 位数据（**S_x_TB8**）可以写 0 或 1，例如，可写入奇偶校验位 **P**，或用于多机通讯中的数据/地址标志位。接收数据时，第 9 位数据移入 **S_x_RB8**，而停止位不保存。

模式 3 的波特率固定为内建波特率发生器溢出率的 1/16。模式 3 的结构如下图所示。

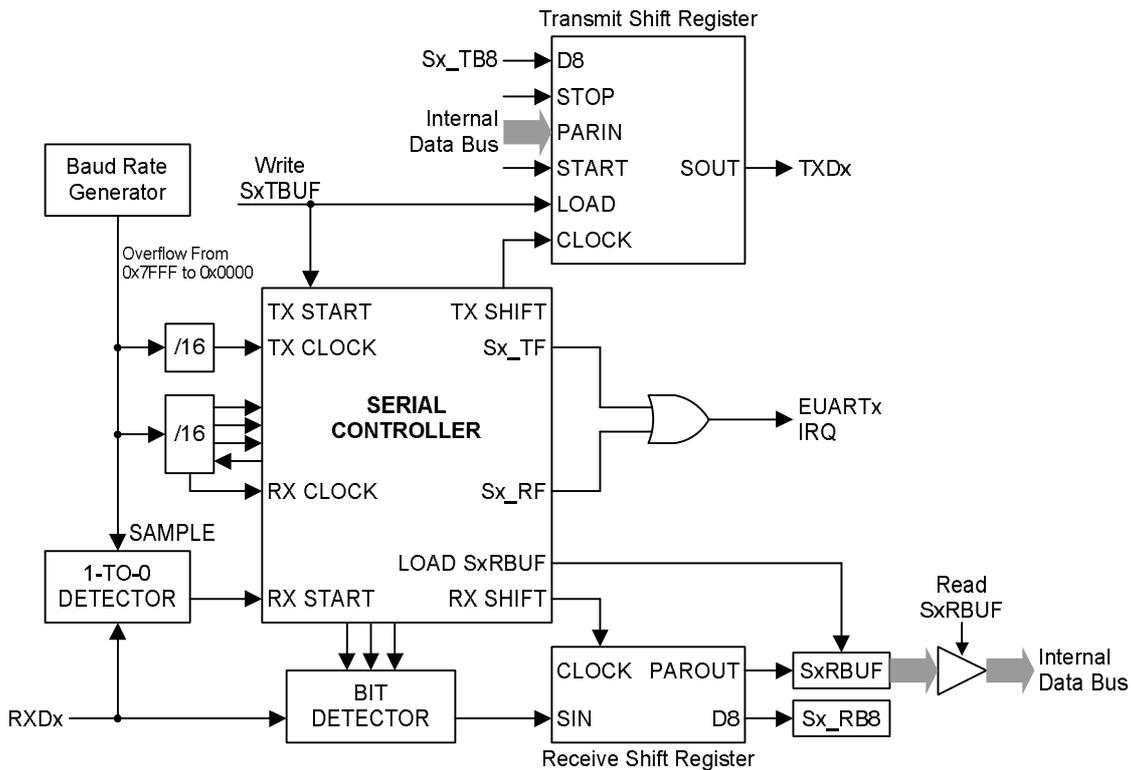


图 33. EUART 模式 2 结构框图

模式 3 的传输协议与模式 2 完全一致，发送流程和接收流程的详细说明请参考模式 2。

11.4 波特率发生器

EUART0 和 EUART1 分别自带一个波特率发生器，它实质上就是一个 15 位递增计数器。

波特率发生器使能 ($Sx_BRTEN=1$) 后，从 Sx_BRT 寄存器位加载初值，开始递增计数，计数从 0x7FFF 到 0x0000 溢出时，通知 EUART 模块，并重新加载初值，开始新的计数周期。

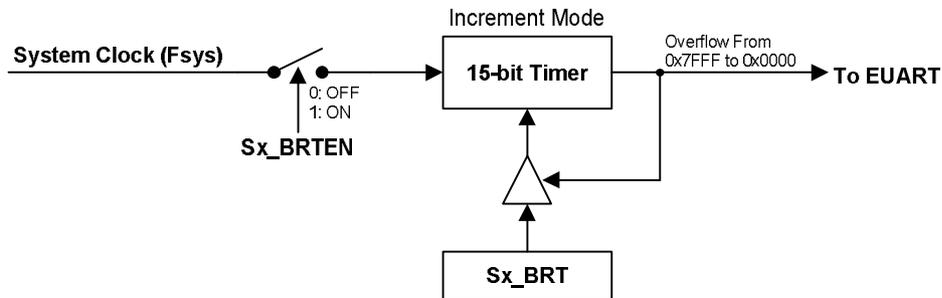


图 34. EUART 波特率发生器结构框图

波特率发生器的溢出率为：

$$F_{BR_OV} = F_{SYS} / (32768 - Sx_BRT)$$

因此，EUART 在各模式下的波特率计算公式如下：

- 在模式 0 中，同步时钟频率可编程为系统时钟的 1/12 或 1/4，由 Sx_M2 位决定。 $Sx_M2=0$ 时，TXDx 引脚输出的同步时钟的频率为系统时钟的 1/12； $Sx_M2=1$ 时，TXDx 引脚输出的同步时钟的频率为系统时钟的 1/4。
- 在模式 1 和模式 3 中，用 Sx_BRT 粗调波特率，用 Sx_FINE 微调波特率，公式如下：

$$\text{BaudRate} = F_{SYS} / [16 \times (32768 - Sx_BRT) + Sx_FINE]$$

根据指定的系统时钟和目标波特率，计算调节参数的公式如下：

$$Sx_BRT = \text{INT}[32768 - F_{SYS} / (16 \times \text{Baudrate})] + 1$$

$$Sx_FINE = F_{SYS} / \text{BaudRate} - 16 \times (32768 - Sx_BRT)$$

- 在模式 2 中，波特率固定为系统时钟的 1/32 或 1/64，由 Sx_T2BR 位决定。 $Sx_T2BR=0$ 时，波特率为系统时钟的 1/64； $Sx_T2BR=1$ 时，波特率为系统时钟的 1/32。



下表为不同系统时钟下，调节到目标波特率所需的配置参数和调节误差。注：此处误差仅指波特率发生器的调节误差，不包含时钟源的频率偏差。

表 102. UART 模式 1 和模式 3 波特率调节参数

系统时钟	目标波特率	Sx_BRT	Sx_FINE	实际波特率	误差
26MHz	115200	32754	2	115044.25	-0.1352%
	57600	32740	3	57649.67	0.0862%
	38400	32726	5	38404.73	0.0123%
	19200	32684	10	19202.36	0.0123%
	9600	32599	4	9601.18	0.0123%
	4800	32430	9	4799.70	-0.0062%
	2400	32091	1	2400.07	0.0031%
17.33MHz (26M/1.5)	115200	32759	6	115555.55	0.3086%
	57600	32750	13	57585.82	-0.0246%
	38400	32740	3	38433.11	0.0862%
	19200	32712	7	19195.27	-0.0246%
	9600	32656	14	9597.64	-0.0246%
	4800	32543	11	4800.15	0.0031%
	2400	32317	6	2400.07	0.0031%
13MHz (26M/2)	115200	32761	1	115044.25	-0.1352%
	57600	32754	2	57522.12	-0.1352%
	38400	32747	3	38348.08	-0.1352%
	19200	32726	5	19202.36	0.0123%
	9600	32684	10	9601.18	0.0123%
	4800	32599	4	4800.59	0.0123%
	2400	32430	9	2399.85	-0.0062%
1MHz (26M/26)	115200	X	X	X	X
	57600	32767	1	58823.53	2.1242%
	38400	32767	10	38461.54	0.1603%
	19200	32765	4	19230.77	0.1603%
	9600	32762	8	9615.38	0.1603%
	4800	32755	0	4807.69	0.1603%
	2400	32742	1	2398.08	-0.0799%
2MHz	115200	32767	1	117647.06	2.1242%
	57600	32766	3	57142.86	-0.7937%
	38400	32765	4	38461.54	0.1603%
	19200	32762	8	19230.77	0.1603%
	9600	32755	0	9615.38	0.1603%
	4800	32742	1	4796.16	-0.0799%
	2400	32716	1	2400.96	0.0400%

11.5 多机通讯

多机通讯是指一个主机和多个从机之间通讯，网络连接如下图所示。

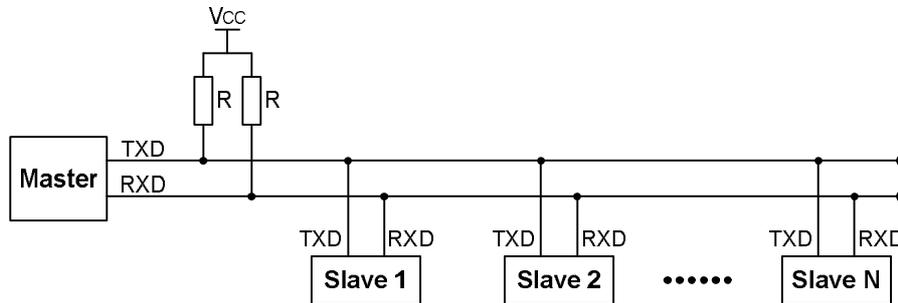


图 35. UART 多机通讯连接图

借助“第 9 数据位检测”功能，UART 模块的模式 2 和模式 3 适用于多机通讯功能。在这两个模式下，每帧接收 9 位数据，前 8 位数据存入 $SxRBUF$ 寄存器，第 9 位数据移入 Sx_RB8 中。

11.5.1 第 9 数据位检测

在模式 2 和模式 3 中，设置 Sx_M2 寄存器位可以控制“第 9 数据位检测”功能：

- 设置 $Sx_M2=1$ ，使能“第 9 数据位检测”功能。只有当接收的第 9 位数据是 1 时，RX 控制器才会继续完成此帧数据的接收（保存数据、置起标志、触发中断）。如果接收的第 9 位数据是 0，则 RX 控制器立刻放弃此帧数据的接收，置起帧出错标志（ Sx_FE ），开始检测下一帧数据的起始位。
- 设置 $Sx_M2=0$ ，禁止“第 9 数据位检测”功能。无论接收的第 9 位数据是 0 还是 1，RX 控制器都会继续完成此帧数据的接收（保存数据、置起标志、触发中断）。

注意：在模式 0 中， Sx_M2 用来选择同步时钟的频率。在模式 1 中， Sx_M2 用来控制“停止位检测”功能，如果 $Sx_M2=1$ ，使能“停止位检测”，接收中断不会响应直到收到一个有效的停止位（1）。

11.5.2 软件地址识别

在多机通讯系统中，按如下流程实现多机通讯功能：

1. 在通讯前，先给每个从机分配一个互不相同的从机地址。多数情况下，用 0xFF 作为广播地址。
2. 当主机要发送数据给其中一个从机时，先发送一个地址字节，以寻址目标从机。地址字节与数据字节用第 9 数据位来区别，地址字节的第 9 位为 1，数据字节的第 9 位为 0。
3. 所有从机初始都使能“第 9 数据位检测”功能（ $Sx_M2=1$ ）。地址字节可以使所有从机产生中断，每一个从机都检查接收到的地址字节和本机地址是否匹配，以判别本机是不是目标从机。
4. 被寻址的目标从机将 Sx_M2 位清零，准备接收即将到来的数据字节。数据接收完毕时，从机再一次将 Sx_M2 位置 1。
5. 没有被寻址的从机，则继续保持 $Sx_M2=1$ ，不响应后面的数据字节。

11.5.3 自动地址识别和广播地址

在模式 2 和模式 3 的多机通讯流程中，主机先发送一个地址字节，从机收到地址字节后要对地址进行识别，如果为广播地址或者和自己的地址匹配，则会设置 $Sx_M2=0$ ，接收后续数据字节；如果不是广播地址并且不匹配自己的地址，则保持 $Sx_M2=1$ ，不响应数据字节，直到收到下一个地址字节。

自动地址识别的就是硬件自动完成广播地址识别和地址比较，并根据识别和比较结果决定是否接收数据字节。

自动地址识别有两个特殊功能寄存器：从机地址寄存器（ $SxADDR$ ）和地址屏蔽寄存器（ $SxADEN$ ）。从机地址是一个 8 位的字节，存于 $SxADDR$ 寄存器中。 $SxADEN$ 寄存器用于定义 $SxADDR$ 中的从机地址的各位在比较地址时是否忽略：如果 $SxADEN$ 中某一位为 0，则 $SxADDR$ 中相应位被忽略；如果 $SxADEN$ 中某一位为 1，则 $SxADDR$ 中相应位和接收地址的对应位进行比较。这使主机可以通过发送特定的地址选择与一个或多个从机进行通信。

自动地址识别的判断流程如下图所示。

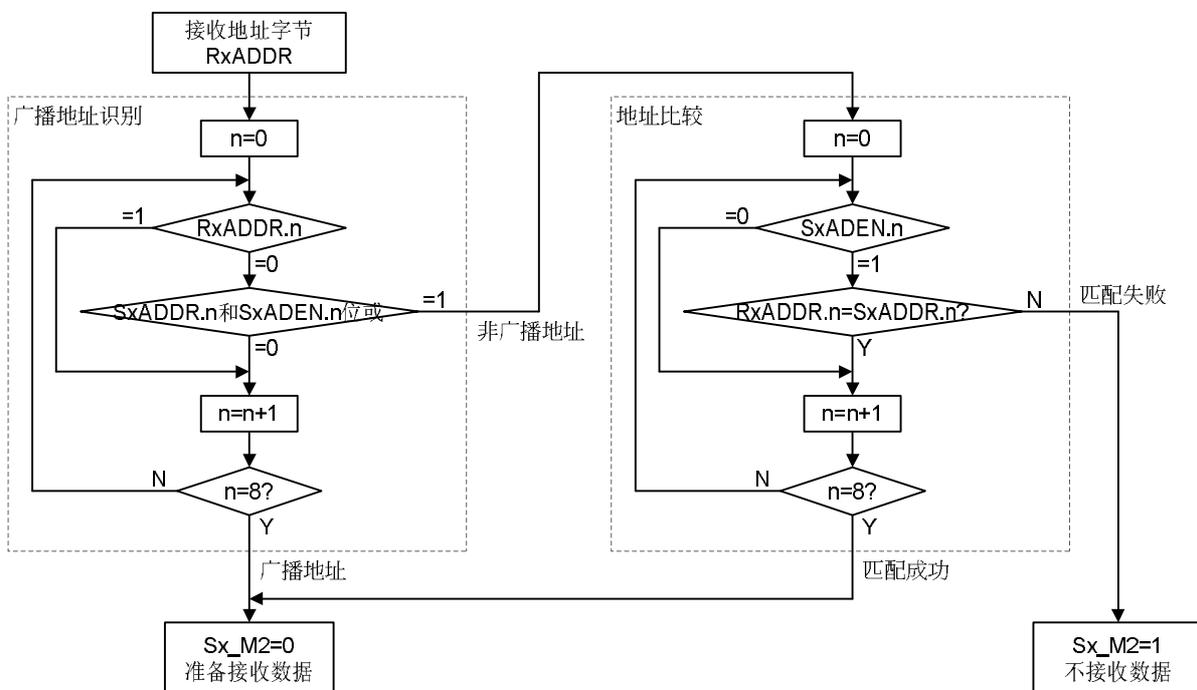


图 36. 自动地址识别流程图

表 103. 自动地址识别举例

	从机 1	从机 2
SxADDR	1010 0100	1010 0111
SxADEN (为 0 的位被忽略)	1111 1010	1111 1001
约定地址	1010 0x0x	1010 0xx1
广播地址 (SxADDR 位或 SxADEN)	1111 111x	1111 1111

从机 1 和从机 2 的约定地址最低位是不同的。从机 1 忽略了最低位，而从机 2 的最低位是 1。因此只与从机 1 通讯时，主机必须发送最低位为 0 的地址（10100000b）。同样地，从机 1 的第 1 位为 0，从机 2 的第 1 位被忽略。因此，只与从机 2 通讯时，主机必须发送第 1 位为 1 的地址（10100111b）。如果主机需要同时与两从机通讯，则最低位为 1，第 1 位为 0。因为第 2 位被两从机都忽略了，所以有两个不同的地址（10100001b 和 10100101b）可以同时选定两个从机。



主机可以通过广播地址与所有从机同时通讯。这个地址等于所有从机的 SxADDR 和 SxADEN 的位或，结果中的 0 表示该位被忽略（可以是 0 或 1）。多数情况下，广播地址为 0xFF，该地址可被所有从机应答。

系统复位后，SxADDR 和 SxADEN 两个寄存器初始化为 0，这两个结果设定了约定地址和广播地址为 XXXXXXXX（所有位都被忽略）。这有效地去除了多处机通讯的特性，禁止了自动寻址方式。这样的 EUART 将对任何地址都产生应答，兼容了不支持自动地址识别的 8051 控制器，用户可以用软件地址识别的方法实现多机通讯。

11.6 出错检测

11.6.1 帧出错

『帧出错』是指“停止位检测”或“第 9 位数据检测”功能使能时，检测到无效数据（0）。

- 在模式 1 中，如果使能“停止位检测”功能（Sx_M2=1），并且收到的停止位为 0，则 RX 控制器立即停止当前帧的接收，放弃已经接收的数据，置起帧出错标志（Sx_FE）。但不会置起接收完成标志，也不会触发中断。
- 在模式 2 和模式 3 中，如果使能“第 9 位数据检测”功能（Sx_M2=1），并且收到的第 9 位数据是 0，则 RX 控制器立即停止当前帧的接收，放弃已经接收的数据，同时置起帧出错标志（Sx_FE）。但不会置起接收完成标志，也不会触发中断。

帧出错标志位只能通过软件方式清 0，尽管后续接收帧没有任何错误，HW 也不会自动清 0。

11.6.2 发送冲突

如果在一个发送正在进行（发送完成标志尚未置起）时，用户软件又对 SxTBUF 寄存器进行写操作，则发生『发送冲突』错误，HW 会忽略新写的数据，同时置起发送冲突标志位（Sx_TCOL）。

发送冲突标志位只能通过软件方式清 0，尽管后续发送没有冲突，HW 也不会自动清 0。

11.6.3 接收溢出

收到一帧有效数据后，如果在 SxRBUF 寄存器中的数据未被读取前，软件清除了 Sx_RF 标志，又收到新的数据存入 SxRBUF 寄存器，则发生『接收溢出』错误，SxRBUF 寄存器中原来的数据会被新的数据覆盖，同时置起接收溢出标志位（Sx_ROV）。

接收溢出标志位只能通过软件方式清 0，尽管后续没有再出现接收溢出，HW 也不会自动清 0。



11.7 EUART 寄存器

表 104. EUART 寄存器列表

寄存器名	地址	类型	复位值	说明
S0CON	0xF07000	R/W	0x00000000	EUART0 控制寄存器
S0FLAG	0xF07004	R	0x00000000	EUART0 标志查询寄存器
S0FCLR	0xF07008	W	0x00000000	EUART0 标志清除寄存器
S0RBUF	0xF0700C	R	0x00000000	EUART0 接收锁存寄存器
S0TBUF	0xF07010	W	0x00000000	EUART0 发送移位寄存器
S0ADDR	0xF07014	R/W	0x00000000	EUART0 从机地址寄存器
S0ADEN	0xF07018	R/W	0x00000000	EUART0 从机地址位屏蔽寄存器
S0BRT	0xF0701C	R/W	0x00000000	EUART0 波特率发生器寄存器
S0RST	0xF07020	R/W	0x00000000	EUART0 复位寄存器
S1CON	0xF07100	R/W	0x00000000	EUART1 控制寄存器
S1FLAG	0xF07104	R	0x00000000	EUART1 标志查询寄存器
S1FCLR	0xF07108	W	0x00000000	EUART1 标志清除寄存器
S1RBUF	0xF0710C	R	0x00000000	EUART1 接收锁存寄存器
S1TBUF	0xF07110	W	0x00000000	EUART1 发送移位寄存器
S1ADDR	0xF07114	R/W	0x00000000	EUART1 从机地址寄存器
S1ADEN	0xF07118	R/W	0x00000000	EUART1 从机地址位屏蔽寄存器
S1BRT	0xF0711C	R/W	0x00000000	EUART1 波特率发生器寄存器
S1RST	0xF07120	R/W	0x00000000	EUART1 复位寄存器



表 105. EUART0 控制寄存器说明

寄存器名: S0CON				地址: 0xF07000
位址	符号	类型	复位	说明
31:13	-	-	0	保留位 (Reserved)
12	S0_T2BR	R/W	0	EUART0 传输方式 2 波特率 (即比特率) 选择位。 0: BR = S0CLK / 64 1: BR = S0CLK / 32
11	S0_IE	R/W	0	EUART0 收发中断使能控制位。 0: 关闭 EUART0 收发中断 1: 使能 EUART0 收发中断, EUART0 接收或发送完成时置起 S0_RF/S0_TF 标志, 并产生 EUART0 收发中断——S0IRQ。
10:8	-	-	0	保留位 (Reserved)
7:6	S0_M[1:0]	R/W	0	EUART0 串行传输方式选择位。 0: 方式 0, 8 位半双工同步传输, 移位时钟由系统时钟产生 1: 方式 1, 10 位全双工异步传输, 采样时钟由波特率发生器产生。 2: 方式 2, 11 位全双工异步传输, 采样时钟由系统时钟产生。 3: 方式 3, 11 位全双工异步传输, 采样时钟由波特率发生器产生。
5	S0_M2	R/W	0	在不同的传输方式下, S0_M2 的功能也不一样。 方式 0: 用作移位时钟选择位。 0: Shift-clock = S0CLK / 12 1: Shift-clock = S0CLK / 4 方式 1: 用作“停止位检测”使能位。 0: 禁止停止位检验, 收到的停止位无论是 0 还是 1 都会完成接收, 保存数据和停止位, 置起 S0_RF。 1: 使能停止位检验, 只有收到有效停止位 (1) 才会完成接收, 否则放弃本次接收的数据。 方式 2/3: 用作“第 9 位数据检测”使能位。 0: 禁止第 9 位数据检测, 收到的第 9 位数据无论是 0 (数据) 还是 1 (地址) 都会继续完成接收, 保存数据, 置起 S0_RF。 1: 使能第 9 位数据检测, 只有收到的第 9 位数据是 1 (地址) 才会继续完成接收, 否则放弃本次接收的数据。
4	S0_REN	R/W	0	EUART0 接收使能位。 0: 禁止接收 1: 允许接收
3	S0_TB8	R/W	0	EUART0 发送的第 9 位数据。 在方式 2/3 下, S0_TB8 是 EUART0 发送的第 9 位数据; 在方式 0/1 下, 不使用 S0_TB8。
2	S0_RB8	R	0	EUART0 接收的第 9 位数据。 在方式 1 下, S0_RB8 是 EUART0 接收到的停止位; 在方式 2/3 下, S0_RB8 是 EUART0 接收到的第 9 位数据; 在方式 0 下, 不使用 S0_RB8。
1:0	-	-	0	保留位 (Reserved)



表 106. EUART0 标志查询寄存器说明

寄存器名: S0FLAG				地址: 0xF07004
位址	符号	类型	复位	说明
31:5	-	-	0	保留位 (Reserved)
4	S0_FE	R	0	EUART0 帧出错标志位。 当接收到的数据帧出错时 (例如收到无效的停止位), HW 会置起此标志, 设置 S0_FEC 可以清除此标志。 0: 无帧出错 1: 帧出错
3	S0_ROV	R	0	EUART0 接收溢出标志位。 如果在接收缓冲器中的数据未被读取之前, S0_RF 被清零, 又有新的数据存入接收缓冲器, HW 会置起此标志, 接收缓冲器中原来的数据将丢失。设置 S0_ROVC 可以清除此标志。 0: 无接收溢出 1: 接收溢出
2	S0_TCOL	R	0	EUART0 发送冲突标志位。 如果在发送正在进行时, SW 写数据到 S0TBUF 寄存器, HW 会置起此标志, 新数据会被忽略, 不写入发送缓冲器。设置 S0_TCOLC 可以清除此标志。 0: 无发送冲突 1: 发送冲突
1	S0_TF	R	0	EUART0 发送完成标志位。 在方式 0 的第 8 位最后, 或方式 1/2/3 的停止位开始时, 无论中毒是否使能, HW 都会置起此标志位, 设置 S0_TFC 可以清除此标志。 0: 发送未启动或未完成 1: 发送完成
0	S0_RF	R	0	EUART0 接收完成标志位。 在方式 0 的第 8 位最后, 或方式 1/2/3 的停止位开始时, 无论中毒是否使能, HW 都会置起此标志位, 设置 S0_RFC 可以清除此标志。 0: 接收未启动或未完成 1: 接收完成 注: S0_RF=1 时, 即使 S0_REN=1, 也不会接收下一帧。

表 107. EUART0 标志清除寄存器说明

寄存器名: S0FLR				地址: 0xF07008
位址	符号	类型	复位	说明
31:5	-	-	0	保留位 (Reserved)
4	S0_FEC	W	0	EUART0 帧出错标志清除位。 0: 无效操作 1: 清除 S0_FE
3	S0_ROVC	W	0	EUART0 接收溢出标志清除位。 0: 无效操作 1: 清除 S0_ROV
2	S0_TCOLC	W	0	EUART0 发送冲突标志清除位。 0: 无效操作 1: 清除 S0_TCOLC
1	S0_TFC	W	0	EUART0 发送完成标志清除位。 0: 无效操作 1: 清除 S0_TFC
0	S0_RFC	W	0	EUART0 接收完成标志清除位。 0: 无效操作 1: 清除 S0_RFC



表 108. EUART0 接收锁存寄存器说明

寄存器名: S0RBUF				地址: 0xF0700C
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S0_RBUF	R	0	EUART0 接收数据锁存寄存器。

表 109. EUART0 发送移位寄存器说明

寄存器名: S0TBUF				地址: 0xF07010
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S0_TBUF	W	0	EUART0 发送移位寄存器。 向此寄存器进行写操作会立刻启动串行发送传输。

表 110. EUART0 从地址寄存器说明

寄存器名: S0ADDR				地址: 0xF07014
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S0_ADDR	R/W	0	EUART0 从机地址寄存器。

表 111. EUART0 从地址位屏蔽寄存器说明

寄存器名: S0ADEN				地址: 0xF07018
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S0_ADEN	R/W	0	EUART0 从机地址位屏蔽寄存器。 0: S0_ADDR 中对应的地址位忽略检验 1: S0_ADDR 中对应的地址位检验

表 112. EUART0 波特率发生器寄存器说明

寄存器名: S0BRT				地址: 0xF0701C
位址	符号	类型	复位	说明
31:20	-	-	0	保留位 (Reserved)
19:16	S0_FINE	R/W	0	EUART0 波特率发生器微调数据寄存器。
15	S0_BR TEN	R/W	0	EUART0 波特率发生器使能控制位。 0: 关闭波特率发生器 1: 打开波特率发生器
14:0	S0_BRT	R/W	0	EUART0 波特率发生器计数器。

表 113. EUART0 复位寄存器说明

寄存器名: S0RST				地址: 0xF07020
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	S0_RST	R/W	0	EUART0 复位控制位。 0: EUART0 退出复位状态, 可以访问 EUART0 相关寄存器。 1: EUART0 处于复位状态, S0CLK 停止, 无法访问 EUART0 其它相关寄存器。



表 114. EUART1 控制寄存器说明

寄存器名: S1CON				地址: 0xF07100
位址	符号	类型	复位	说明
31:13	-	-	0	保留位 (Reserved)
12	S1_T2BR	R/W	0	EUART1 传输方式 2 波特率 (即比特率) 选择位。 0: BR = S1CLK / 64 1: BR = S1CLK / 32
11	S1_IE	R/W	0	EUART1 收发中断使能控制位。 0: 关闭 EUART1 收发中断 1: 使能 EUART1 收发中断, EUART1 接收或发送完成时置起 S1_RF/S1_TF 标志, 并产生 EUART1 收发中断——S1IRQ。
10:8	-	-	0	保留位 (Reserved)
7:6	S1_M[1:0]	R/W	0	EUART1 串行传输方式选择位。 0: 方式 0, 8 位半双工同步传输, 移位时钟由系统时钟产生 1: 方式 1, 10 位全双工异步传输, 采样时钟由波特率发生器产生。 2: 方式 2, 11 位全双工异步传输, 采样时钟由系统时钟产生。 3: 方式 3, 11 位全双工异步传输, 采样时钟由波特率发生器产生。
5	S1_M2	R/W	0	在不同的传输方式下, S1_M2 的功能也不一样。 方式 0: 用作移位时钟选择位。 0: Shift-clock = S0CLK / 12 1: Shift-clock = S0CLK / 4 方式 1: 用作“停止位检测”使能位。 0: 禁止停止位检验, 收到的停止位无论是 0 还是 1 都会完成接收, 保存数据和停止位, 置起 S0_RF。 1: 使能停止位检验, 只有收到有效停止位 (1) 才会完成接收, 否则放弃本次接收的数据。 方式 2/3: 用作“第 9 位数据检测”使能位。 0: 禁止第 9 位数据检测, 收到的第 9 位数据无论是 0 (数据) 还是 1 (地址) 都会继续完成接收, 保存数据, 置起 S0_RF。 1: 使能第 9 位数据检测, 只有收到的第 9 位数据是 1 (地址) 才会继续完成接收, 否则放弃本次接收的数据。
4	S1_REN	R/W	0	EUART1 接收使能位。 0: 禁止接收 1: 允许接收
3	S1_TB8	R/W	0	EUART1 发送的第 9 位数据。 在方式 2/3 下, S1_TB8 是 EUART1 发送的第 9 位数据; 在方式 0/1 下, 不使用 S1_TB8。
2	S1_RB8	R	0	EUART1 接收的第 9 位数据。 在方式 1 下, S1_RB8 是 EUART1 接收到的停止位; 在方式 2/3 下, S1_RB8 是 EUART1 接收到的第 9 位数据; 在方式 0 下, 不使用 S1_RB8。
1:0	-	-	0	保留位 (Reserved)



表 115. EUART1 标志查询寄存器说明

寄存器名: S1FLAG				地址: 0xF07104
位址	符号	类型	复位	说明
31:5	-	-	0	保留位 (Reserved)
4	S1_FE	R	0	EUART1 帧出错标志位。 当接收到的数据帧出错时 (例如收到无效的停止位), HW 会置起此标志, 设置 S1_FEC 可以清除此标志。 0: 无帧出错 1: 帧出错
3	S1_ROV	R	0	EUART1 接收溢出标志位。 如果在接收缓冲器中的数据未被读取之前, S1_RF 被清零, 又有新的数据存入接收缓冲器, HW 会置起此标志, 接收缓冲器中原来的数据将丢失。设置 S1_ROVC 可以清除此标志。 0: 无接收溢出 1: 接收溢出
2	S1_TCOL	R	0	EUART1 发送冲突标志位。 如果在发送正在进行时, SW 写数据到 S1TBUF 寄存器, HW 会置起此标志, 新数据会被忽略, 不写入发送缓冲器。设置 S1_TCOLC 可以清除此标志。 0: 无发送冲突 1: 发送冲突
1	S1_TF	R	0	EUART1 发送完成标志位。 在方式 0 的第 8 位最后, 或方式 1/2/3 的停止位开始时, 无论中断是否使能, HW 都会置起此标志, 设置 S1_TFC 可以清除此标志。 0: 发送未启动或未完成 1: 发送完成
0	S1_RF	R	0	EUART1 接收完成标志位。 在方式 0 的第 8 位最后, 或方式 1/2/3 的停止位开始时, 无论中断是否使能, HW 都会置起此标志, 设置 S1_RFC 可以清除此标志。 0: 接收未启动或未完成 1: 接收完成 注: S1_RF=1 时, 即使 S1_REN=1, 也不会接收下一帧。

表 116. EUART1 标志清除寄存器说明

寄存器名: S1FCLR				地址: 0xF07108
位址	符号	类型	复位	说明
31:5	-	-	0	保留位 (Reserved)
4	S1_FEC	W	0	EUART1 帧出错标志清除位。 0: 无效操作 1: 清除 S1_FE
3	S1_ROVC	W	0	EUART1 接收溢出标志清除位。 0: 无效操作 1: 清除 S1_ROV
2	S1_TCOLC	W	0	EUART1 发送冲突标志清除位。 0: 无效操作 1: 清除 S1_TCOLC
1	S1_TFC	W	0	EUART1 发送完成标志清除位。 0: 无效操作 1: 清除 S1_TFC
0	S1_RFC	W	0	EUART1 接收完成标志清除位。 0: 无效操作 1: 清除 S1_RFC



表 117. EUART1 接收锁存寄存器说明

寄存器名: S1RBUF				地址: 0xF0710C
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S1_RBUF	R	0	EUART1 接收数据锁存寄存器。

表 118. EUART1 发送移位寄存器说明

寄存器名: S1TBUF				地址: 0xF07110
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S1_TBUF	W	0	EUART1 发送移位寄存器。 向此寄存器进行写操作会立刻启动串行发送传输。

表 119. EUART1 从地址寄存器说明

寄存器名: S1ADDR				地址: 0xF07114
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S1_ADDR	R/W	0	EUART1 从机地址寄存器。

表 120. EUART1 从地址位屏蔽寄存器说明

寄存器名: S1ADEN				地址: 0xF07118
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	S1_ADEN	R/W	0	EUART1 从机地址位屏蔽寄存器。 0: S1_ADDR 中对应的地址位忽略检验 1: S1_ADDR 中对应的地址位检验

表 121. EUART1 波特率发生器寄存器说明

寄存器名: S1BRT				地址: 0xF0711C
位址	符号	类型	复位	说明
31:20	-	-	0	保留位 (Reserved)
19:16	S1_FINE	R/W	0	EUART1 波特率发生器微调数据寄存器。
15	S1_BR TEN	R/W	0	EUART1 波特率发生器使能控制位。 0: 关闭波特率发生器 1: 打开波特率发生器
14:0	S1_BRT	R/W	0	EUART1 波特率发生器计数器。

表 122. EUART1 复位寄存器说明

寄存器名: S1RST				地址: 0xF07120
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	S1_RST	R/W	0	EUART1 复位控制位。 0: EUART1 退出复位状态, 可以访问 EUART1 相关寄存器。 1: EUART1 处于复位状态, S1CLK 停止, 无法访问 EUART1 其它相关寄存器。

12. 实时时钟 (RTC)

12.1 RTC 特性

- 32.768kHz 时钟输入，内建晶振负载电容
- 亚秒、秒、分钟、时、日、星期、月、年寄存器
- 自动跨月、闰年调整的日寄存器
- 支持闹铃功能
- 可唤醒 DSM 模式 (注：设置 RTC 后，必需等待至少两个 RTC 时钟周期，才可进入 DSM 模式。)

12.2 RTC 结构

RTC 模块的结构如下图所示。

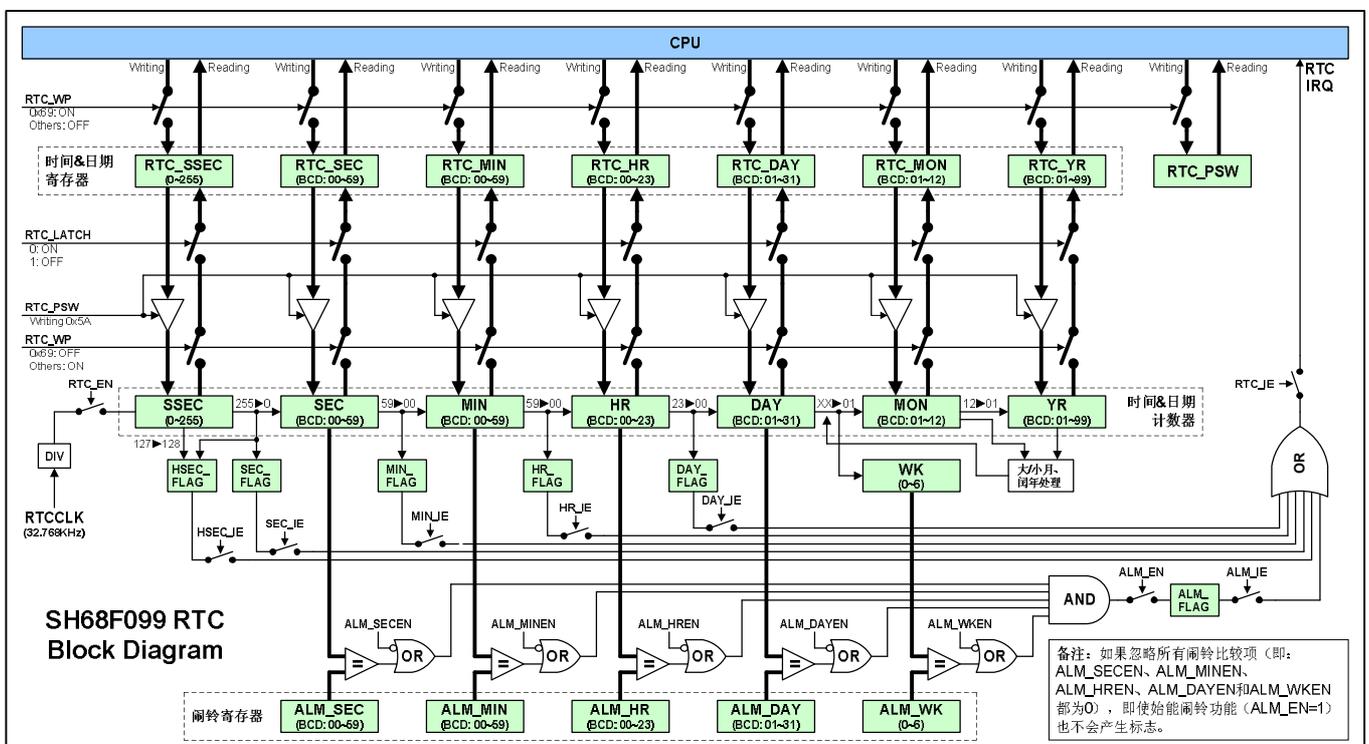


图 37. RTC 结构框图

RTC 模块由一组时间和日期计数器、一组时间和日期寄存器、一组闹铃寄存器、以及相关标志与控制逻辑组成。它可以提供从亚秒 (1/256 秒)、秒、分钟、小时、日、星期、月、到年的完整计时，可以自动调节大/小月和闰年。同时，还可以任意设置秒、分钟、小时、天和星期相关的闹铃。

12.3 RTC 功能

12.3.1 时间和日期功能

RTC 模块以亚秒（1/256 秒）、秒、分钟和小时提供时钟指示；以星期、日、月和年提供日期指示，并能对大/小月和闰年进行自动调节。

读取指定的时间和日期寄存器可以获取当前的时间和日期，写入这些寄存器可以设置时间和日期，而计数器会从新的设置值开始重新计数。

时间和日期寄存器如下表所示。

表 123. 时间和日期寄存器说明

寄存器名称	位宽	编码	计数范围	溢出和重置	备注
SSEC (亚秒)	8	二进制码	0~255	255→0	SSEC 每次溢出, SEC 加 1
SEC (秒)	7	BCD 码	00~59	59→00	SEC 每次溢出, MIN 加 1
MIN (分钟)	7	BCD 码	00~59	59→00	MIN 每次溢出, HR 加 1
HR (小时)	6	BCD 码	00~23	23→00	HR 每次溢出, DAY 加 1
DAY (天)	6	BCD 码	01~28	28→01	MON=1、3、5、7、8、10、12
			01~29	29→01	MON=4、6、9、11
			01~30	30→01	MON=2, 且 YR 为平年
			01~31	31→01	MON=2, 且 YR 为闰年
MON (月)	5	BCD 码	01~12	12→01	MON 每次溢出, YR 加 1
YR (年)	8	BCD 码	00~99	99→00	-
WK (星期)	3	BCD 码	0~6	6→0	-

SSEC 对应内部分频器（32.768KHz 分频成 1Hz）的高 8 位，SSEC 写零会将内部分频器高 8 位清零，该寄存器可用来修正设置时间的误差。

闰年条件是：年数是 4 的倍数，但不是 400 的倍数。即： $YR=4*m$ 且 $YR \neq 400*n$ (m, n 是任意自然数)。满足条件的年数是闰年，不满足条件的年数是平年。

12.3.2 查询时间和日期

读取时间和日期寄存器（RTCTIME 和 RTCDATE）可以查询当前时间和日期。为了防止读寄存器过程中发生时间进位而读出错误数据，在读取之前需要先用 RTC_LATCH 寄存器位来锁存寄存器的值：

- RTC_LATCH=0 时，时间和日期寄存器的值不锁存。寄存器值和对应计数器当前值保持一致，同步更新，更新频率为 32.768KHz。不建议在此时读取寄存器值。
- RTC_LATCH=1 时，HW 将置位 RTC_LATCH 时时间和日期计数器的当前值锁存到对应寄存器，并停止更新。这样可避免程序读寄存器时刚好发生进位而读出错误时间/日期的情况。读完寄存器后，应将 RTC_LATCH 位清零，否则时间和日期寄存器将一直保持上次读取的值。

12.3.3 更新时间 and 日期

更新时间 and 日期分为两个步骤：先写入更新值到时间和日期寄存器，再加载寄存器值到时间和日期计数器。为了防止干扰或异常导致意外更新，RTC 模块对这两个步骤都做了保护。

➤ 写保护寄存器 (RTCWP)

RTCWP 寄存器的初始值是 0。此时，时间寄存器、日期寄存器和密码寄存器都处于写保护状态，无法写入。

将 RTCWP 寄存器设置成 0x69 (关闭写保护功能)，会停止时间和日期寄存器的自动更新，并使能时间寄存器、日期寄存器和密码寄存器的写入功能，此时才可以写入时间和日期寄存器。如果向时间和日期寄存器中写入无效数据 (格式有误或超出取值范围)，写入操作无效。

向 RTCWP 寄存器写入除 0x69 外的其它值都无效。

➤ 密码寄存器 (RTCPSW)

设置完时间和日期寄存器后，寄存器的值并不立即生效，需向 RTCPSW 寄存器写入正确密钥 (0x5A) 后，时间和日期寄存器值才真正加载到时间和日期计数器中。

向 RTCPSW 寄存器写入 0x5A 时，如果先前设置时间和日期寄存器时有写入过无效数据，则不执行加载操作，HW 将 RTCWP 寄存器设置成 0x01；如果先前设置时间和日期寄存器时写入的数据都有效，则执行加载操作，并将 RTCWP 寄存器清 0。

向 RTCPSW 寄存器写入除 0x5A 外的其它值都不执行加载操作，此时，HW 将 RTCWP 寄存器设置为 0x02。

无论向 RTCPSW 写入什么值，RTCPSW 寄存器都将自动清零。

更新时间 and 日期的流程如下图所示。

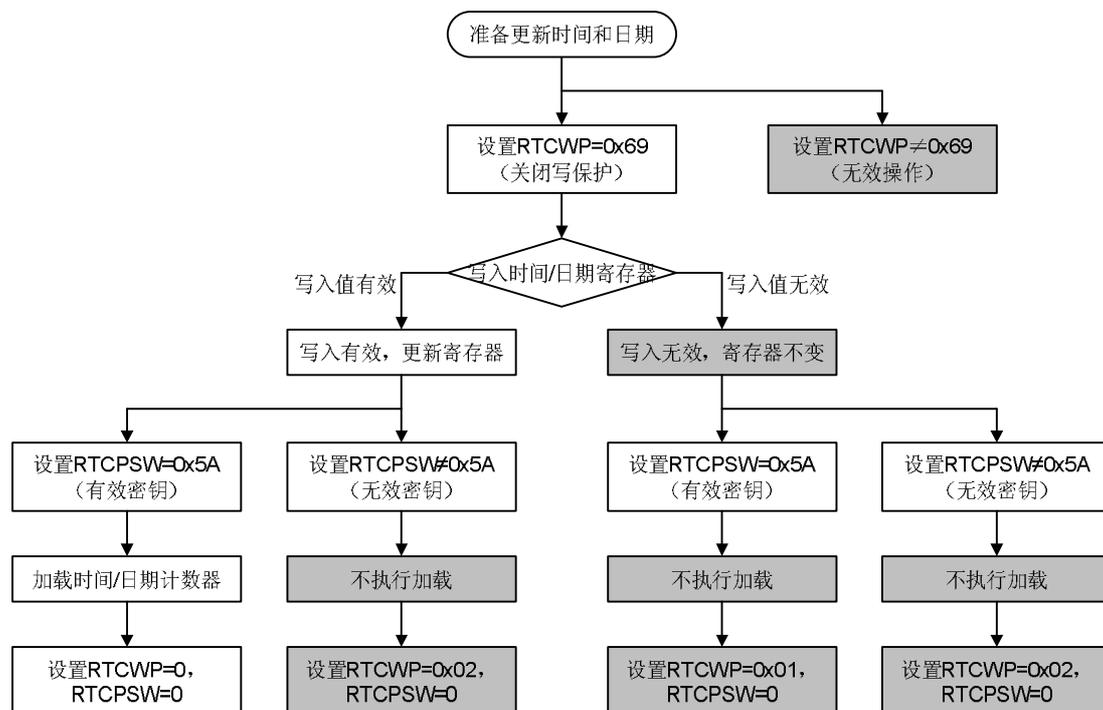


图 38. 更新时间 and 日期流程图



12.3.4 闹铃功能

RTC 模块内建了一组闹铃寄存器，提供闹铃功能，可以设置秒、分钟、小时、天和星期。当时间和日期计数器的值变成和闹铃寄存器的设置值相同时，立即置起闹铃标志（ALM_FLAG），触发闹铃中断（中断需使能）。设置 ALM_EN 可以使能和关闭闹铃功能。

更新闹铃寄存器时，RTC 不会检查写入值是否有效。如果写入的是无效值，则无效值会更新到闹铃寄存器中，此种情况下将无法产生预期的闹铃事件。所以，应用程序必须确保写入闹铃寄存器的值有效。

在进行闹铃比较时，通过 ALMCON 寄存器，可以选择忽略其中一项或多项寄存器值的比较。例如：如果设置 ALM_HREN=1、ALM_SECEN=ALM_MINEN=ALM_DAYEN=ALM_WKEN=0，则 RTC 忽略秒、分钟、天和星期的比较，只比较小时计数器的值。如果 ALM_HR=06，则每天 6:00 产生一次闹铃事件。

注意：

1. 如果忽略了所有比较项（ALMCON 寄存器为 0），则不会产生闹铃事件。
2. 闹铃事件只发生在闹铃比较结果由不匹配变化到匹配的那个时刻。也就是说，应用程序处理完闹铃事件、清除标志、退出中断后，即使此时闹铃寄存器的值仍与时间和日期计数器的值一致，也不会再置起标志和触发中断。

12.3.5 中断功能

除了闹铃事件中断，RTC 模块还提供半秒、秒、分钟、小时、天更新事件中断，这些中断都有独立的中断控制位和标志，标志由硬件置 1，由软件清零。

所有上述 RTC 中断和 32.768KHz 晶振停振检测中断共用中断向量入口地址。

**12.4 RTC 寄存器**

表 124. RTC 寄存器列表

寄存器名	地址	类型	复位值	说明
RTCCON	0xF08000	R/W	0x00000000	RTC 控制寄存器
RTCIE	0xF08004	R/W	0x00000000	RTC 中断使能寄存器
RTCFLAG	0xF08008	R	0x00000000	RTC 标志查询寄存器
RTCFCLR	0xF0800C	W	0x00000000	RTC 标志清除寄存器
RTCTIME	0xF08010	R/W	0x00000000	RTC 时间寄存器
RTCDATE	0xF08014	R/W	0x00000000	RTC 日期寄存器
RTCWP	0xF08018	R/W	0x00000000	RTC 写保护寄存器
RTCPW	0xF0801C	R/W	0x00000000	RTC 密码寄存器
ALMCON	0xF08020	R/W	0x00000000	RTC 闹铃控制寄存器
ALMTIME	0xF08024	R/W	0x00000000	RTC 闹铃时间寄存器
ALMDATE	0xF08028	R/W	0x00000000	RTC 闹铃日期寄存器
RTCST	0xF0802C	R/W	0x00000000	RTC 复位寄存器



表 127. RTC 标志查询寄存器说明

寄存器名: RTCFLAG				地址: 0xF08008
位址	符号	类型	复位	说明
31:6	-	-	0	保留位 (Reserved)
5	DAY_FLAG	R	0	RTC 天标志位。天计数器更新时, 无论中断是否使能, HW 都会置起此标志, 设置 DAY_FCLR 可以清除此标志。 0: 天计数器未更新 1: 天计数器更新
4	HR_FLAG	R	0	RTC 小时标志位。小时计数器更新时, 无论中断是否使能, HW 都会置起此标志, 设置 HR_FCLR 可以清除此标志。 0: 小时计数器未更新 1: 小时计数器更新
3	MIN_FLAG	R	0	RTC 分钟标志位。分钟计数器更新时, 无论中断是否使能, HW 都会置起此标志, 设置 MIN_FCLR 可以清除此标志。 0: 分钟计数器未更新 1: 分钟计数器更新
2	SEC_FLAG	R	0	RTC 秒标志位。秒计数器更新时, 无论中断是否使能, HW 都会置起此标志, 设置 SEC_FCLR 可以清除此标志。 0: 秒计数器未更新 1: 秒计数器更新
1	HSEC_FLAG	R	0	RTC 半秒标志位。亚秒计数器 “127 滚动到 128” 或 “255 滚动到 0” 时, 无论中断是否使能, HW 都会置起此标志, 设置 HSEC_FCLR 可以清除此标志。 0: 亚秒计数器不满足半秒条件 1: 亚秒计数器 “127 滚动到 128” 或 “255 滚动到 0”
0	ALM_FLAG	R	0	RTC 闹铃标志位。 0: 时间和日期计数器与闹铃寄存器值不同 1: 时间和日期计数器与闹铃寄存器值一致

表 128. RTC 标志清除寄存器说明

寄存器名: RTCFCLR				地址: 0xF0800C
位址	符号	类型	复位	说明
31:6	-	-	0	保留位 (Reserved)
5	DAY_FCLR	W	0	RTC 天标志清除位。 0: 无效操作 1: 清除 DAY_FLAG
4	HR_FCLR	W	0	RTC 小时标志清除位。 0: 无效操作 1: 清除 HR_FLAG
3	MIN_FCLR	W	0	RTC 分钟标志清除位。 0: 无效操作 1: 清除 MIN_FLAG
2	SEC_FCLR	W	0	RTC 秒标志清除位。 0: 无效操作 1: 清除 SEC_FLAG
1	HSEC_FCLR	W	0	RTC 半秒标志清除位。 0: 无效操作 1: 清除 HSEC_FLAG
0	ALM_FCLR	W	0	RTC 闹铃标志清除位。 0: 无效操作 1: 清除 ALM_FLAG



表 129. RTC 时间寄存器说明

寄存器名: RTCTIME				地址: 0xF08010
位址	符号	类型	复位	说明
31:30	-	-	0	保留位 (Reserved)
29:24	RTC_HR	R/W	0	RTC 小时计数器当前计数值 (BCD 码), 取值范围 00~23 (BCD 码), 计数到达 23 (BCD 码) 后滚动至 00。 0x2N (N=4~9) 和 0xMN (M=3 或 N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到小时计数器重新计数, 无效数据无法写入。
23	-	-	0	保留位 (Reserved)
22:16	RTC_MIN	R/W	0	RTC 分钟计数器当前计数值 (BCD 码), 取值范围 00~59 (BCD 码), 计数到达 59 (BCD 码) 后滚动至 00。 0xMN (M=6~7 或 N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到分钟计数器重新计数, 无效数据无法写入。
15	-	-	0	保留位 (Reserved)
14:8	RTC_SEC	R/W	0	RTC 秒计数器当前计数值 (BCD 码), 取值范围 00~59 (BCD 码), 计数到达 59 (BCD 码) 后滚动至 00。 0xMN (M=6~7 或 N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到秒计数器重新计数, 无效数据无法写入。
7:0	RTC_SSEC	R/W	0	RTC 亚秒计数器当前计数值 (二进制码), 取值范围 0~255, 计数到达 255 之后滚动至 0。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到亚秒计数器重新计数, 无效数据无法写入。

注意: 如果 SW 更新此寄存器后, 没有设置有效密码就使能写保护 (RTCWP≠0x69), 则更新的值会被计数器当前值冲掉丢失。



表 130. RTC 日期寄存器说明

寄存器名: RTCDATE				地址: 0xF08014
位址	符号	类型	复位	说明
31:24	RTC_YR	R/W	0	RTC 年计数器当前计数值(BCD 码), 取值范围 00~99(BCD 码), 到达 99 (BCD 码) 后滚动至 00。 0xMN (M=A~F 或 N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到年计数器重新计数, 无效数据无法写入。
23:21	-	-	0	保留位 (Reserved)
20:16	RTC_MON	R/W	0	RTC 月计数器当前计数值(BCD 码), 取值范围 01~12(BCD 码), 到达 12 (BCD 码) 后滚动至 01。 0、0x1N (N=3~9) 和 0xMN (N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到月计数器重新计数, 无效数据无法写入。
15:14	-	-	0	保留位 (Reserved)
13:8	RTC_DAY	R/W	0	RTC 天计数器当前计数值(BCD 码), 取值范围 01~31(BCD 码), 根据月和年计数器的值, 到达 28/29/30/31 (BCD 码) 后滚动至 01。 0、0x3N (N=2~9) 和 0xMN (N=A~F) 是无效数据。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到天计数器重新计数, 无效数据无法写入。
7:3	-	-	0	保留位 (Reserved)
2:0	RTC_WK	R/W	0	RTC 星期计数器当前计数值, 取值范围 0~6, 7 是无效数据。 计数到达 6 后滚动至 0。 SW 读取当前计数值不会影响计数。 只有在写保护释放 (RTCWP=0x69) 时才能写入, SW 写入的有效数据在写入有效密码后加载到星期计数器重新计数, 无效数据无法写入。

注意: 如果 SW 更新此寄存器后, 没有设置有效密码就使能写保护 (RTCWP≠0x69), 则更新的值会被计数器当前值冲掉丢失。



表 131. RTC 写保护寄存器说明

寄存器名: RTCWP				地址: 0xF08018
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	RTC_WP	R/W	0	<p>时间寄存器 (RTCTIME)、日期寄存器 (RTCDATE) 和密码寄存器 (RTCPSW) 写保护控制位。</p> <p>0x69: 时间寄存器、日期寄存器和密码寄存器可写, 同时时间寄存器和日历寄存器停止与计数器同步更新。</p> <p>其它值: 时间寄存器、日期寄存器和密码寄存器处于写保护状态, 不可写。</p> <p>密码寄存器写入 0x5A 后, 如果设置成功, 此写保护控制位硬件自动清 0; 如果设置失败 (时间和日期寄存器写入无效值), 此写保护控制位硬件设置成 0x01。</p> <p>密码寄存器写入其它值, 此写保护控制位硬件设置成 0x02。</p>

表 132. RTC 密码寄存器说明

寄存器名: RTCPSW				地址: 0xF0801C
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	RTC_PSW	R/W	0	<p>时间和日期寄存器到时间和日期计数器加载操作密码位, 只有在 RTCWP=0x69 时才能写入。</p> <p>向此密码寄存器写入 0x5A 时: 如果先前写入时间和日期寄存器的值有效, HW 立即将有效的寄存器值更新到对应的计数器中, 并将写保护寄存器 (RTCWP) 和此密码寄存器 (RTCPSW) 都清 0; 如果先前写入时间和日期寄存器的值无效, 则 HW 不执行加载操作, 并将写保护寄存器设置成 0x01 (RTCWP=0x01), 将此密码寄存器清 0。</p> <p>向此密码寄存器写入其它任何值不会影响计数器, HW 会将写保护寄存器设置成 0x02 (RTCWP=0x02), 将此密码寄存器清 0。</p> <p>备注: RTC_PSW 的初始值是 0, 写入任何值 HW 都会立刻将它清 0, 所以任何时候读此寄存器, 读出的都是 0。</p>



表 133. RTC 闹铃控制寄存器说明

寄存器名: ALMCON				地址: 0xF08020
位址	符号	类型	复位	说明
31:5	-	-	0	保留位 (Reserved)
4	ALM_WKEN	R/W	0	RTC 闹铃星期比较使能位。 0: 闹铃忽略星期寄存器 1: 闹铃比较星期寄存器
3	ALM_DAYEN	R/W	0	RTC 闹铃天比较使能位。 0: 闹铃忽略天寄存器 1: 闹铃比较天寄存器
2	ALM_HREN	R/W	0	RTC 闹铃小时比较使能位。 0: 闹铃忽略小时寄存器 1: 闹铃比较小时寄存器
1	ALM_MINEN	R/W	0	RTC 闹铃分钟比较使能位。 0: 闹铃忽略分钟寄存器 1: 闹铃比较分钟寄存器
0	ALM_SECEN	R/W	0	RTC 闹铃秒比较使能位。 0: 闹铃忽略秒寄存器 1: 闹铃比较秒寄存器

注意: 如果忽略所有闹铃比较项 (即 ALMCON 寄存器为 0), 即使使能闹铃功能 (ALM_EN=1), 也不会产生标志 (ALM_FLAG) 和中断。

表 134. RTC 闹铃时间寄存器说明

寄存器名: ALMTIME				地址: 0xF08024
位址	符号	类型	复位	说明
31:30	-	-	0	保留位 (Reserved)
29:24	ALM_HR	R/W	0	RTC 闹铃小时寄存器 (BCD 码), 取值范围 00~23 (BCD 码), 0x2N (N=4~9) 和 0xMN (M=3 或 N=A~F) 是无效数据。 SW 写此寄存器可以设置闹铃的小时数 (BCD 码), 写入无效数据将导致闹铃无法正常产生。 小时比较使能时 (ALM_HREN=1), 当小时计数器值等于此寄存器值, 且其它使能的比较条件也满足时, HW 置起闹铃标志位 (ALM_FLAG), 触发闹铃中断 (要求 ALM_IE=1)。
23	-	-	0	保留位 (Reserved)
22:16	ALM_MIN	R/W	0	RTC 闹铃分钟寄存器 (BCD 码), 取值范围 00~59 (BCD 码), 0xMN (M=6~7 或 N=A~F) 是无效数据。 SW 写此寄存器可以设置闹铃的分钟数 (BCD 码), 写入无效数据将导致闹铃无法正常产生。 分钟比较使能时 (ALM_MINEN=1), 当分钟计数器值等于此寄存器值, 且其它使能的比较条件也满足时, HW 置起闹铃标志位 (ALM_FLAG), 触发闹铃中断 (要求 ALM_IE=1)。
15	-	-	0	保留位 (Reserved)
14:8	ALM_SEC	R/W	0	RTC 闹铃秒寄存器 (BCD 码), 取值范围 00~59 (BCD 码), 0xMN (M=6~7 或 N=A~F) 是无效数据。 SW 写此寄存器可以设置闹铃的秒数 (BCD 码), 写入无效数据将导致闹铃无法正常产生。 秒比较使能时 (ALM_SECEN=1), 当秒计数器值等于此寄存器值, 且其它使能的比较条件也满足时, HW 置起闹铃标志位 (ALM_FLAG), 触发闹铃中断 (要求 ALM_IE=1)。
7:0	-	-	0	保留位 (Reserved)

注意: 无效值可以写入, 但会导致闹铃无法正常产生。



表 135. RTC 闹铃日期寄存器说明

寄存器名: ALMDATE				地址: 0xF08028
位址	符号	类型	复位	说明
31:14	-	-	0	保留位 (Reserved)
13:8	ALM_DAY	R/W	0	RTC 闹铃天寄存器 (BCD 码), 取值范围 01~31 (BCD 码), 0、0x3N (N=2~9) 和 0xMN (N=A~F) 是无效数据。 SW 写此寄存器可以设置闹铃的天数 (BCD 码), 写入无效数据将导致闹铃无法正常产生。 天比较使能时 (ALM_DAYEN=1), 当天计数器值等于此寄存器值, 且其它使能的比较条件也满足时, HW 置起闹铃标志位 (ALM_FLAG), 触发闹铃中断 (要求 ALM_IE=1)。
7:3	-	-	0	保留位 (Reserved)
2:0	ALM_WK	R/W	0	RTC 闹铃星期寄存器 (BCD 码), 取值范围 0~6, 7 是无效数据。 SW 写此寄存器可以设置闹铃的星期值 (BCD 码), 写入无效数据将导致闹铃无法正常产生。 星期比较使能时 (ALM_WKEN=1), 当星期计数器值等于此寄存器值, 且其它使能的比较条件也满足时, HW 置起闹铃标志位 (ALM_FLAG), 触发闹铃中断 (要求 ALM_IE=1)。

注意: 无效值可以写入, 但会导致闹铃无法正常产生。

表 136. RTC 复位寄存器说明

寄存器名: RTCRST				地址: 0xF0802C
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	RTC_RST	R/W	0	RTC 复位控制位。 0: RTC 退出复位状态, 可以访问 RTC 相关寄存器。 1: RTC 处于复位状态, RTCCLK 停止, 无法访问 RTC 其它相关寄存器。

13. 串行外部设备接口（SPI）

SH87F8801 内建了一个串行外部设备接口(Serial Peripheral Interface), 它是一个高速串行通信接口, 允许 CPU 与外围设备进行全双工同步串行通讯。

SPI 总线网络是由一个主设备和若干个从设备组成, 典型的网络结构如下图所示。主设备通过 3 条线连接所有从设备, 主设备通过控制从设备的 SS 引脚来选中其中一个从设备进行通讯。

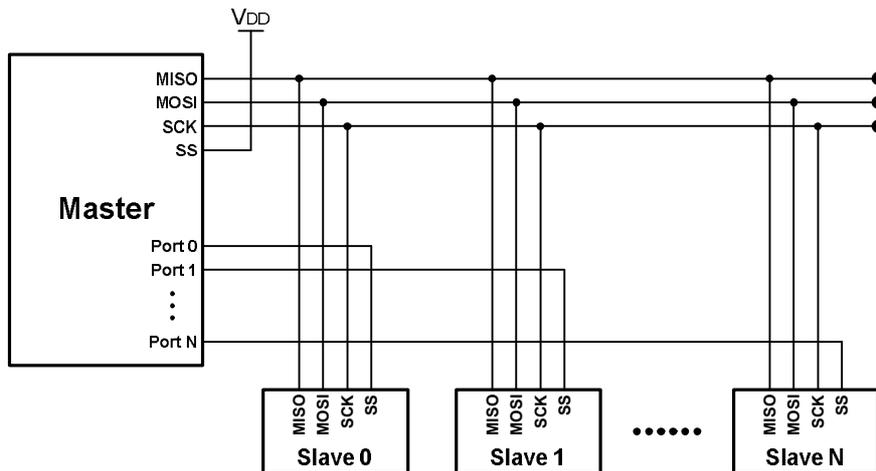


图 39. SPI 总线网络

13.1 SPI 特性

- 可实现 8 位全双工串行同步传输, 支持三线端口和四线端口
- 支持主模式和从模式
- 同步时钟的极性和相位可配置, 支持四种传输模式: 模式 0 ~ 3
- 同步时钟的频率可配置
- 可配置数据传输顺序: MSB 优先或 LSB 优先
- 支持 3 种出错检测: 『模式冲突』、『写冲突』和 『读超限』

13.2 SPI 引脚说明

表 137. SPI 引脚说明

名称	引脚编号	复用控制	说明
SCK	2	P00_SC=2	主输出、从输入串行同步时钟信号，用于控制 MOSI 和 MISO 线上输入输出数据的同步移动。
MOSI	3	P01_SC=2	主输出、从输入数据线，主设备通过 MOSI 引脚将数据串行发送给从设备。
MISO	4	P02_SC=2	主输入、从输出数据线，从设备通过 MISO 引脚将数据串行发送给主设备。
SS	5	P03_SC=2	从设备选择引脚，低电平表示该从设备被选中（低电平有效）。

表 138. SPI 待机引脚状态（引脚复用已设置成 SPI 功能）

名称	SPI_EN	SPI_MS	CPOL	SS_DIS	SS	状态
SCK	0	X	X	X	X	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	H	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	L	输入引脚，内接 100kΩ 上拉电阻。
	1	1	0	X	H	输出引脚，输出低电平。
	1	1	1	X	H	输出引脚，输出高电平。
MOSI	0	X	X	X	X	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	H	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	L	输入引脚，内接 100kΩ 上拉电阻。
	1	1	X	X	H	输出引脚，输出移位寄存器的第 7 位。
MISO	0	X	X	X	X	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	H	输入引脚，内接 100kΩ 上拉电阻。
	1	0	X	X	L	输出引脚，输出移位寄存器的第 7 位。
	1	1	X	X	H	输入引脚，内接 100kΩ 上拉电阻。
SS	0	X	X	X	-	输入引脚，无内接电阻，Floating 状态。
	1	0	X	X	-	输入引脚，内接 100kΩ 上拉电阻。
	1	1	X	0	-	输入引脚，内接 100kΩ 上拉电阻。
	1	1	X	1	-	输入引脚，无内接电阻，Floating 状态。

下列情况，SS 引脚可以作为普通端口或其它功能端口使用：

- 作为主设备使用（SPI_MS=1），且 SS_DIS 位置 1。这种配置适用于通讯网络中只有一个主设备的情况，模式冲突标志位（MODF）不会被置起。
- 作为从设备使用（SPI_MS=0），且 CPHA 和 SS_DIS 位都置 1。这种配置适用于只有一个主设备和一个从设备的通讯网络，从设备总是被选中的，主设备不需要控制从设备的 SS 引脚选择其作为通讯目标。

注意：当 CPHA = 0 时，从设备需要用 SS 信号的下降沿作为启动发送的条件，所以 SS 引脚不能用作其它用途，SS_DIS 寄存器位无效。

13.3 SPI 结构

SPI 模块的结构如下图所示。

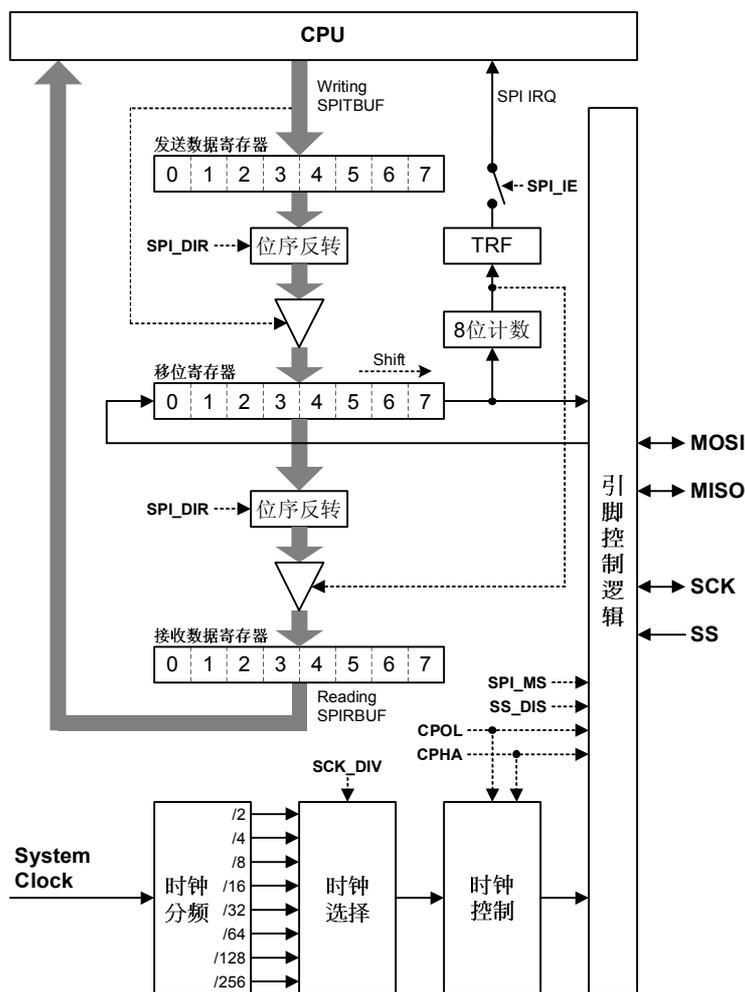


图 40. SPI 结构示意图

SPI 模块由一个发送数据寄存器 (SPITBUF)、一个接收数据寄存器 (SPIRBUF)、一个移位寄存器 (Shift Register)、时钟控制电路、引脚控制电路、以及相关标志与控制逻辑组成。它可以实现 8 位全双工串行同步传输。

发送数据寄存器 (SPITBUF) 用于存放待发送的数据，主设备写此寄存器启动数据传输。

接收数据寄存器 (SPIRBUF) 用于存放接收完成的数据，读此寄存器可以获得接收的数据。

移位寄存器 (Shift Register) 用于实现数据的串行移出和移入，数据移动受 SCK 线上的同步时钟的控制。写 SPITBUF 寄存器时，写入值会同时加载到移位寄存器中。启动数据传输后，移位寄存器的各位数据向高位移动，最高位 (第 7 位) 数据移出到 MOSI 或 MISO 线上，同时将 MISO 或 MOSI 线上的数据移入到移位寄存器的最低位 (第 0 位)。如此经过 8 个时钟周期，发送了 8 位数据，同时也接收了 8 位数据，移位寄存器中的发送数据全部替换成了接收的数据，SPI 模块将移位寄存器的值保存到接收数据寄存器中，置起传输完成标志 (TRF)，触发中断 (需使能中断)。

时钟控制电路用于产生或检测同步时钟，并根据时钟极性 (CPOL) 和相位 (CPHA) 设置，控制数据的移入和移出。

引脚控制电路用于控制各种模式下引脚的状态和功能。

13.4 SPI 工作模式

使用 SPI_MS 寄存器位，SPI 模块可以配置成主模式（Master Mode）和从模式（Slave Mode）。

13.4.1 主模式

设置 SPI_MS=1，SPI 模块工作在主模式，在通讯中扮演主设备角色。主设备控制 SPI 总线上所有数据传输的启动。

在主模式下，向发送数据寄存器（SPITBUF）写入一个字节的数据，可以启动 SPI 数据传输，写入的数据也会同时加载到移位寄存器中。SPI 模块开始在 SCK 引脚上输出同步时钟，并按照设置的传输模式，将移位寄存器的数据移出到 MOSI 引脚，同时从 MISO 引脚接收数据移入到移位寄存器，详见『[SPI 传输模式](#)』章节。当接收完 8 位数据（同时也发送完 8 位数据）时，SPI 模块将移位寄存器的值保存到接收数据寄存器（SPIRBUF），置起传输完成标志（TRF），并触发中断（需使能中断）。读取 SPIRBUF 寄存器可以得到接收的数据。

在主模式下，如果 SS_DIS=0 且检测到 SS 引脚被拉低，会触发『模式冲突』错误，MODF 标志会被置起；如果 SS_DIS=1，则主设备忽略 SS 引脚的状态，MODF 标志不会被置起。

主设备在接收数据之前必须将 TRF 标志清 0，否则会触发『读超限』错误，RXOV 标志位会被置起，此时主设备不再接收数据直到 TRF 标志被清 0。

如果在数据传输过程中写入 SPITBUF 寄存器，会触发『写冲突』错误，WCOL 标志会被置起，写操作无效，传送也不会被中断。

13.4.2 从模式

设置 SPI_MS=0，SPI 模块工作在从模式，在 SPI 通讯中扮演从设备角色。

如果 CPHA=0、或者 CPHA=1 & SS_DIS=0，在数据传送之前，从设备的 SS 引脚必须被设置为低电平，而且必须保持低电平直到一个字节的数据传输完毕。如果 CPHA=1 & SS_DIS=1，则从设备忽略 SS 引脚的状态。

主设备启动数据传输后，从设备按照设置的传输模式和主设备控制的 SCK 信号，将移位寄存器的数据移出到 MISO 引脚，同时从 MOSI 引脚接收数据移入到移位寄存器，详见『[SPI 传输模式](#)』章节。当接收完 8 位数据（同时也发送完 8 位数据）时，SPI 模块将移位寄存器的值保存到 SPIRBUF 寄存器，置起传输完成标志（TRF），并触发中断（需使能中断）。读取 SPIRBUF 寄存器可以得到接收的数据。

从设备不能启动传输，所以从设备必须在主设备启动传输之前将待发送的数据写入 SPITBUF 寄存器（此写操作不会启动数据传输），此数据也同时会加载到移位寄存器中。如果在开始传输之前未写入数据，从设备会将移位寄存器的当前值（初始值“0x00”，或是前次接收的数据）传送给主设备。如果写 SPITBUF 操作发生在传送过程中，会触发『写冲突』错误，WCOL 标志位会被置起，写操作无效，传送也不会被中断。

从设备在接收数据之前必须将 TRF 标志清 0，否则会触发『读超限』错误，RXOV 标志位会被置起，此时 SPIRBUF 寄存器保持原有数据，从设备不再接收任何数据直到 TRF 标志被清 0。

13.5 SPI 传输模式

在 SPI 数据传输期间，接收和发送是同时进行的，数据同步地被串行的移进移出。串行时钟线（SCK）使两条串行数据线（MOSI 和 MISO）上数据的移动和采样保持同步。从设备选择线（SS）可以独立地选择参与通讯的从设备（低有效）；如果从设备没有被选中，则不能参与 SPI 总线上的活动。

同步时钟由主设备提供，通过 SCK 引脚输出给所有的从设备。当主设备通过 MOSI 引脚发送数据到从设备时，从设备也同时通过 MISO 引脚发送数据到主设备，这就实现了在同一时钟下数据发送和接收的同步全双工传输。

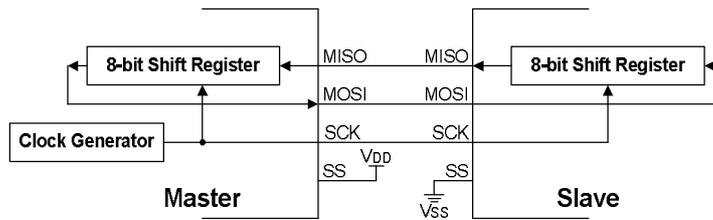


图 41. SPI 全双工主从互联图

使用 CPOL 和 CPHA 寄存器位，可以配置 SPI 同步时钟的极性和相位。CPOL 位定义时钟极性，即空闲时的时钟电平状态；CPHA 位定义时钟相位，即允许数据捕获（采样）的时钟边沿。在 SPI 通讯中，主设备和从设备的时钟极性和相位必须一致。

使用 SPI_DIR 寄存器位，可以选择数据传输是 MSB 先发送还是 LSB 先发送。

表 139. SPI 传输模式定义

传输模式	CPOL	CPHA	发送数据 ¹	采样数据 ²
0	0	0	第 1 位数据：SCK 第一个上升沿之前 第 2~8 位数据：SCK 下降沿	SCK 上升沿
1	0	1	SCK 上升沿	SCK 下降沿
2	1	0	第 1 位数据：SCK 第一个下降沿之前 第 2~8 位数据：SCK 上升沿	SCK 下降沿
3	1	1	SCK 下降沿	SCK 上升沿

备注：1. 主设备将数据发送到 MOSI 引脚，从设备将数据发送到 MISO 引脚。

2. 主设备从 MISO 引脚采样数据，从设备从 MOSI 引脚采样数据。

13.5.1 模式 0、2

CPHA=0 时（模式 0、2），在 SCK 的第一个沿（奇数沿）捕获（采样）数据：

- 主设备必须在 SCK 的第一个沿之前将移位寄存器的第 7 位数据发送到 MOSI 引脚。此后，主设备在 SCK 的奇数沿从 MISO 引脚捕获（采样）数据，在 SCK 的偶数沿发送数据到 MOSI 引脚。
- 从设备把 SS 引脚的下降沿作为开始发送的信号。从设备必须在 SCK 的第一个沿之前将待发送数据准备好，在 SS 引脚的下降沿发送移位寄存器的第 7 位数据到 MISO 引脚。此后，从设备在 SCK 的奇数沿从 MOSI 引脚捕获（采样）数据，在 SCK 的偶数沿发送数据到 MISO 引脚。
- **注意：**当 CPHA=0 时，从设备需要用 SS 信号的下降沿作为启动发送的条件，所以不能使用三线端口，SS_DIS 寄存器位无效。
主设备的 SS 引脚必须一直为高电平。从设备的 SS 引脚在开始传输前必须被设置成低电平，每次传送完一个字节之后必须被拉高，在发送下一个字节之前重新设置为低电平。

模式 0、2 的传输时序如下图所示。

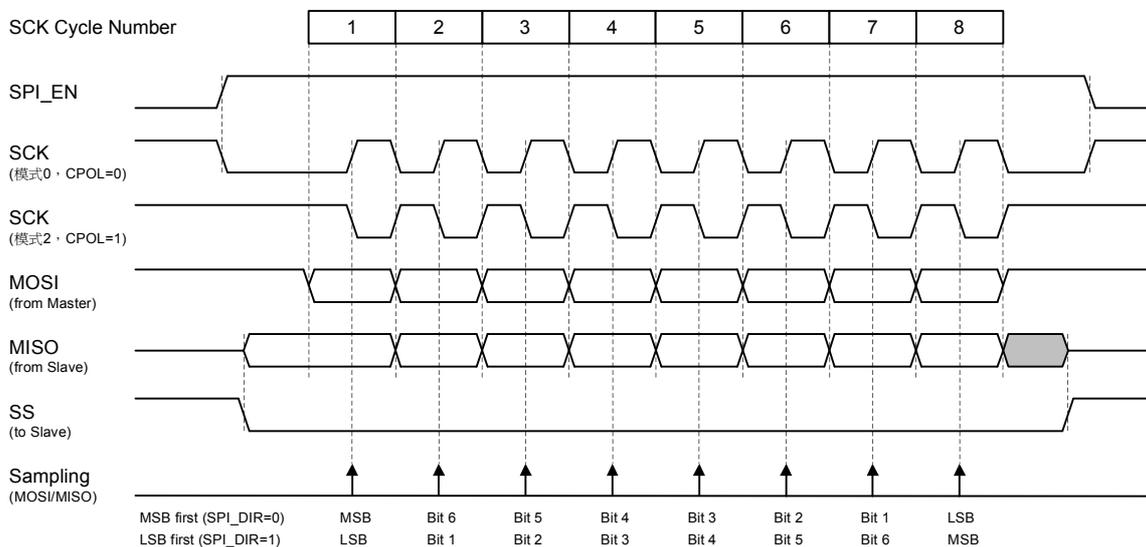


图 42. SPI 数据传输模式 0、2 (CPHA=0)

13.5.2 模式 1、3

CPHA=1 时（模式 1、3），在 SCK 的第二个沿（偶数沿）捕获（采样）数据：

- 主设备在 SCK 的奇数沿将数据发送到 MOSI 引脚，在 SCK 的偶数沿捕获（采样）MISO 引脚的数据。
- 从设备把 SCK 的第一个沿作为开始发送的信号，用户必须在 SCK 的第二个沿之前完成写 SPITBUF 寄存器的操作。从设备在 SCK 的奇数沿将数据发送到 MISO 引脚，在偶数沿捕获（采样）MOSI 线上的数据。
- CPHA=1 且 SS_DIS=1 时，是三线端口，不用 SS 引脚，主/从设备忽略其状态。
CPHA=1 且 SS_DIS=0 时，是四线端口，使用 SS 引脚。主设备的 SS 引脚必须一直为高电平。从设备的 SS 引脚在每个字节数据的传送过程中必须保持低电平。

模式 1、3 的传输时序如下图所示。

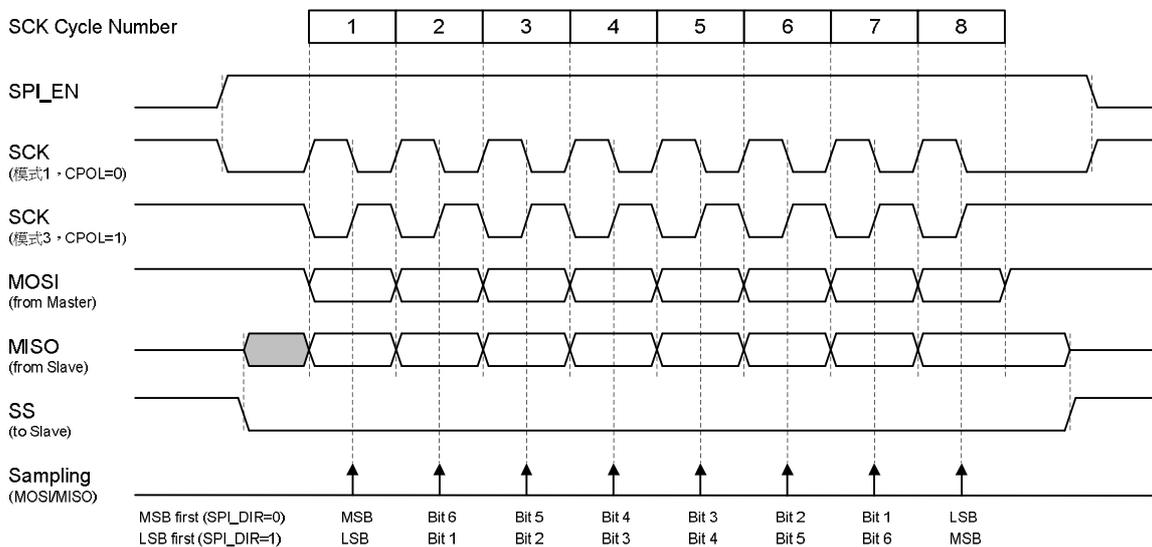


图 43. SPI 数据传输模式 1、3（CPHA=1）

SPI 通讯中 SS 引脚的状态如下图所示。

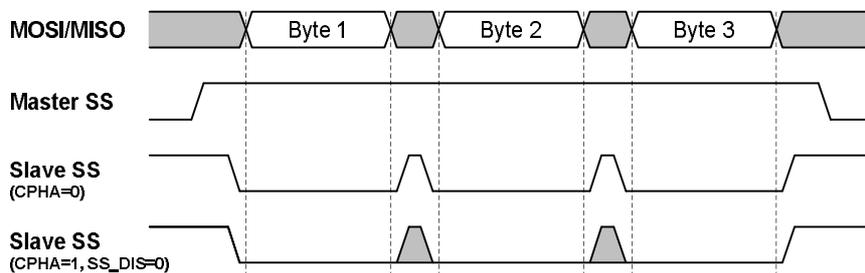


图 44. SS 引脚状态



13.6 出错检测

13.6.1 模式冲突 (MODF)

SPI 通讯中，同一时刻只允许存在一个主设备。当 SPI 模块配置成主模式时，如果检测到 SS 引脚为低电平，则触发『模式冲突』错误，表明 SPI 系统存在多主设备冲突的问题。

『模式冲突』发生时，SPI 模块立即执行下列操作：

- 置起模式冲突标志位 (MODF)，触发中断 (需使能中断)；
- 清除 SPI_EN 控制位，关闭 SPI 模块；
- 清除 SPI_MS 控制位，将 SPI 模块设置成从模式。

发生『模式冲突』后重新启动 SPI 通信时，用户必须将 MODF 标志清 0，将 SPI_EN 和 SPI_MS 控制位置 1，重新启动主模式。

主模式下，当 SS_DIS=0 且 SS 引脚为低电平时，发生『模式冲突』(MODF=1)。然而，对于只有一个主设备的系统来说，主设备的 SS 引脚被拉低，决不是另外一个主设备试图驱动网络。这种情况下，为防止误触发『模式冲突』，可以设置 SS_DIS=1，SPI 模块将会忽略 SS 引脚的状态，SS 引脚可作为普通 I/O 口或其它功能引脚。

13.6.2 写冲突 (WCOL)

主设备或从设备在发送数据期间写发送移位寄存器 (SPITBUF) 会触发『写冲突』错误，SPI 模块会置起 WCOL 标志。『写冲突』不会触发中断，写操作无效，当前发送也不会中止。

13.6.3 读超限 (RXOV)

主设备或从设备尚未清除 TRF 标志，对端设备就又试图发送新的数据字节时，发生『读超限』错误，SPI 模块会置起 RXOV 标志。『读超限』不会触发中断，接收锁存寄存器 (SPIRBUF) 保持原有数据，直到 TRF 被清除后才会再接收数据。

13.7 SPI 寄存器
表 140. SPI 寄存器列表

寄存器名	地址	类型	复位值	说明
SPICON	0xF09000	R/W	0x00000000	SPI 控制寄存器
SPIFLAG	0xF09004	R	0x00000000	SPI 标志查询寄存器
SPIFCLR	0xF09008	W	0x00000000	SPI 标志清除寄存器
SPIRBUF	0xF0900C	R	0x00000000	SPI 接收数据寄存器
SPITBUF	0xF09010	W	0x00000000	SPI 发送数据寄存器
SPIRST	0xF09014	R/W	0x00000000	SPI 复位寄存器

表 141. SPI 控制寄存器说明

寄存器名: SPICON				地址: 0xF09000
位址	符号	类型	复位	说明
31:10	-	-	0	保留位 (Reserved)
9	SPI_IE	R/W	0	SPI 中断使能控制位。 0: 关闭 SPI 中断 1: 使能 SPI 中断, SPI 数据传输完成或发生模式错误, HW 会置起相应标志位 (TRF 或 MODF), 并产生 SPI 中断 (SPIIRQ)。
8	SPI_EN	R/W	0	SPI 使能控制位。 0: 关闭 SPI 1: 打开 SPI
7	SPI_DIR	R/W	0	SPI 传送方向选择位。 0: MSB 优先发送 1: LSB 优先发送
6	SPI_MS	R/W	0	SPI 主从设备选择位。 0: 配置 SPI 作为从设备 1: 配置 SPI 作为主设备
5	CPHA	R/W	0	SPI 时钟相位控制位。 0: SCK 周期的第一沿 (奇数沿) 采集数据 1: SCK 周期的第二沿 (偶数沿) 采集数据
4	CPOL	R/W	0	SPI 时钟极性控制位。 0: 在待机状态下 SCK 处于低电平 1: 在待机状态下 SCK 处于高电平
3	SS_DIS	R/W	0	SS 引脚控制位。 0: 使能 SS 引脚 (4-wire SPI 端口) 1: 关闭 SS 引脚 (3-wire SPI 端口), 不产生 MODF 中断 注意: 在从模式下, 如果 SPI_PHA=0, 此控制位无效。
2:0	SCK_DIV	R/W	0	SCK 输出时钟分频选择位。 0: SCKCLK=SYSCLK/2 1: SCKCLK=SYSCLK/4 2: SCKCLK=SYSCLK/8 3: SCKCLK=SYSCLK/16 4: SCKCLK=SYSCLK/32 4: SCKCLK=SYSCLK/64 6: SCKCLK=SYSCLK/128 5: SCKCLK=SYSCLK/256

表 142. SPI 标志查询寄存器说明

寄存器名: SPIFLAG				地址: 0xF09004
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	MODF	R	0	SPI 模式故障标志位。SPI 出现模式故障时, 无论中断是否使能, HW 都会置起此标志, 设置 MODFC 可以清除此标志。 0: 未出现模式故障



				1: 出现模式故障, SS 引脚电平与 SPI 模式不一致
2	WCOL	R	0	SPI 写入冲突标志位。 0: 无写入冲突 1: 检测到写入冲突
1	RXOV	R	0	SPI 接收超限标志位。 0: 接收未超限 1: 接收超限
0	TRF	R	0	SPI 数据传送完成标志位。SPI 传输完成时, 无论中断是否使能, HW 都会置起此标志, 设置 TRFC 可以清除此标志。 0: 数据传输未完成 1: 完成数据传输

表 143. SPI 标志清除寄存器说明

寄存器名: SPIFCLR				地址: 0xF09008
位址	符号	类型	复位	说明
31:4	-	-	0	保留位 (Reserved)
3	MODFC	W	0	SPI 模式故障标志清除位。 0: 无效操作 1: 清除 SPI_MODF
2	WCOLC	W	0	SPI 写入冲突标志位。 0: 无效操作 1: 清除 SPI_WCOL
1	RXOVC	W	0	SPI 接收超限标志位。 0: 无效操作 1: 清除 SPI_RXOV
0	TRFC	W	0	SPI 数据传送完成标志清除位。 0: 无效操作 1: 清除 SPI_TRF

表 144. SPI 接收数据寄存器说明

寄存器名: SPIRBUF				地址: 0xF0900C
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	SPI_RBUF	R	0	SPI 接收数据寄存器。读此寄存器可以获得接收的数据。

表 145. SPI 发送寄存器说明

寄存器名: SPITBUF				地址: 0xF09010
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	SPI_TBUF	W	0	SPI 发送数据寄存器。向此寄存器进行写操作可以启动 SPI 数据传输。

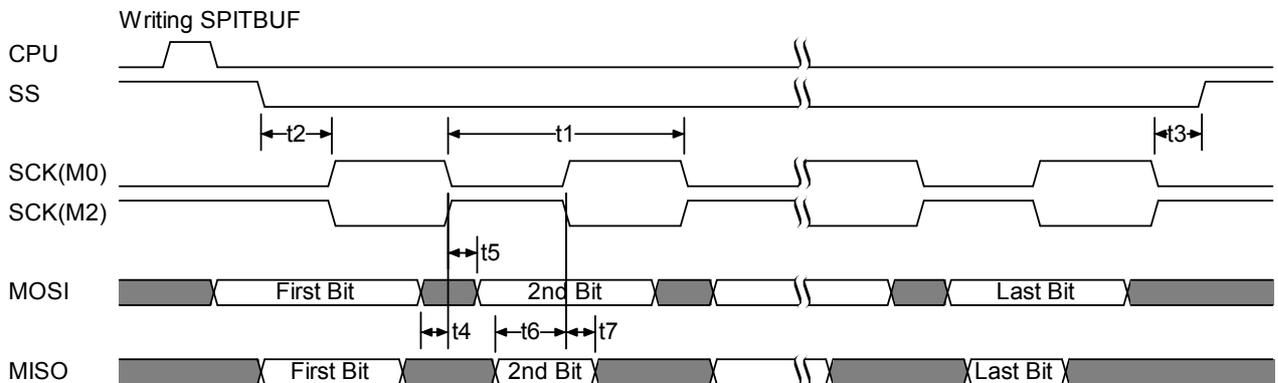
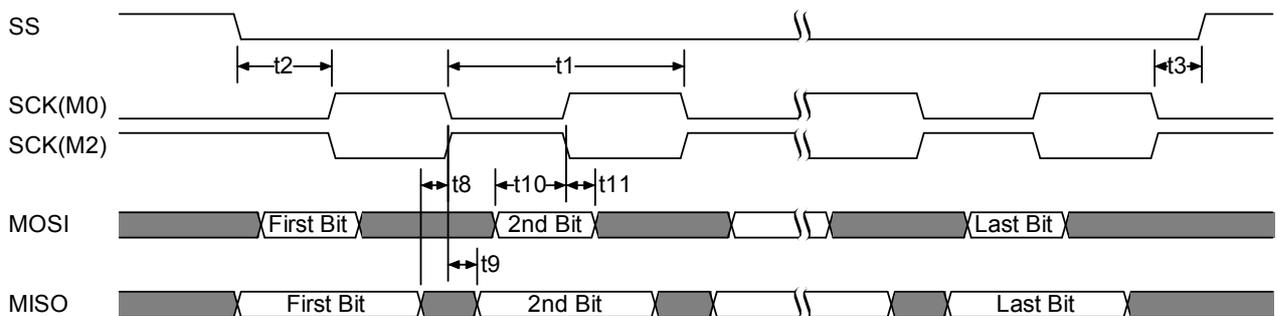
表 146. SPI 复位寄存器说明

寄存器名: SPIRST				地址: 0xF09014
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	SPI_RST	R/W	0	SPI 复位控制位。 0: SPI 退出复位状态, 可以访问 SPI 相关寄存器。 1: SPI 处于复位状态, SPICLK 停止, 无法访问 SPI 其它相关寄存器。

13.8 SPI 时序
表 147. SPI AC 特性参数

符号	参数	最小值	典型值	最大值	单位	测试条件
t1	SCK 周期	77	-	-	ns	Master TX and RX
D	SCK 占空比	-	50%	-	-	Master
t2	SS 下降沿到 SCK	30	-	-	ns	Master
t3	SCK 到 SS 上升沿	1	-	-	SYSClk	Master
t4	Master 最早发送数据时间	-	-	7	ns	Master, load=10pF
t5	Master 最晚发送数据时间	-	-	7	ns	Master, load=10pF
t6	Master 接收数据建立时间	30	-	-	ns	Master
t7	Master 接收数据保持时间	6	-	-	ns	Master
t1	SCK 周期	100	-	-	ns	Slave TX and RX
D	SCK 占空比	-	50%	-	-	Slave
t2	SS 下降沿到 SCK	30	-	-	ns	Slave
t3	SCK 到 SS 上升沿	1	-	-	SYSClk	Slave
t8	Slave 最早发送数据时间	-	-	7	ns	Slave, load=10pF
t9	Slave 最晚发送数据时间	-	-	7	ns	Slave, load=10pF
t10	Slave 接收数据建立时间	30	-	-	ns	Slave
t11	Slave 接收数据保持时间	6	-	-	ns	Slave

SPI 模式 0、2 的传输时序如下图所示。


图 45. SPI Master Mode 0、2 时序图

图 46. SPI Slave Mode 0、2 时序图



SPI 模式 1、3 的传输时序如下图所示。

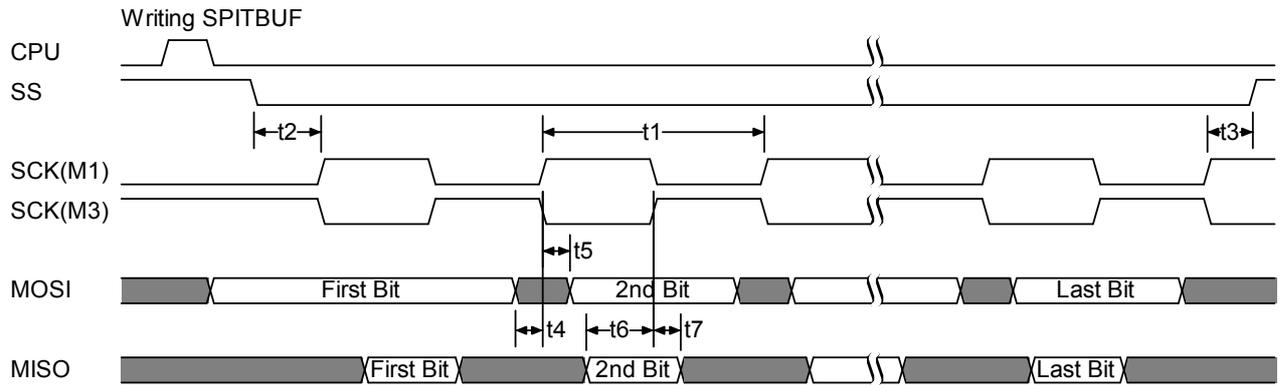


图 47. SPI Master Mode1、3 时序图

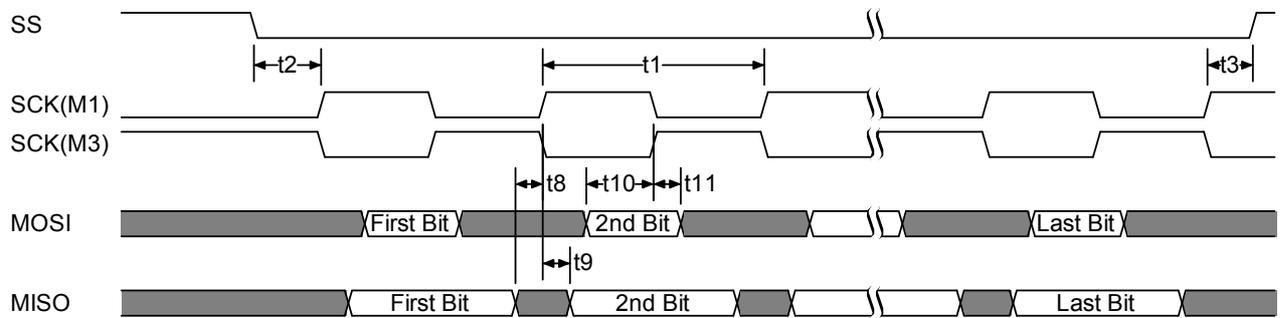


图 48. SPI Slave Mode 1、3 时序图

14. 段码 LCD 驱动器 (LCDC)

14.1 LCDC 特性

- 传统电阻型方式
- 支持对比度调节
- 支持 Duty 可调节：
 - 1/4 Duty, 1/3Bias, 20 segment
 - 1/5 Duty, 1/3Bias, 19 segment
 - 1/6Duty, 1/3Bias, 18 segment
- 支持低功耗快速充电模式

14.2 LCDC 引脚说明

表 148. LCDC 引脚说明

名称	引脚编号	状态	复用控制	说明
COM0	29	输出引脚, 低电平	P25_SC=1	LCD Common 输出引脚 0
COM1	28	输出引脚, 低电平	P24_SC=1	LCD Common 输出引脚 1
COM2	27	输出引脚, 低电平	P23_SC=1	LCD Common 输出引脚 2
COM3	26	输出引脚, 低电平	P22_SC=1	LCD Common 输出引脚 3
COM4	21	输出引脚, 低电平	P19_SC=2	LCD Common 输出引脚 4
COM5	20	输出引脚, 低电平	P18_SC=2	LCD Common 输出引脚 5
SEG0 ~ SEG19	2~21	输出引脚, 低电平	Px_SC=1 (x=00~19)	LCD Segment 输出引脚 1~19

14.3 LCDC 功能说明

LCDC 由一个控制器、一个占空比发生器、COM 输出引脚和 Segment 输出引脚组成, LCD 显示数据寄存器存储区地址为 0XF0A010~0XF0A05C。

14.3.1 模式选择

LCDC 采用传统电阻型驱动, 通过 MOD 控制位可以选择普通模式和快速充电模式, 同时可以选择不同的偏置电阻来满足功耗或显示效果的要求。

- 选择 20kΩ 的偏置电阻, 可以达到较好的显示效果, 但功耗较大。
- 选择 150kΩ/300kΩ 偏置电阻, 可以满足低功耗需求, 但会降低显示效果。

快速充电模式可以兼顾低功耗与显示效果的需求: 当显示数据刷新时, 选择 20kΩ 偏置电阻, 提供较大的驱动电流, 在数据保持期间选择 150kΩ/300kΩ 偏置电阻, 提供较小的驱动电流。

FCCTL 控制位可以选择充电时间为 LCD COM 周期的 1/4、1/8、1/16 或 1/32。

14.3.2 对比度调节

LCDC 的时钟源为 LFCLK。LCD 驱动电压 VLCD 可通过 VOL 控制位选择, 从而实现对比度的调节。



14.3.3 波形发生器

下图描述了 1/4 Duty, 1/3 Bias 的驱动波形。

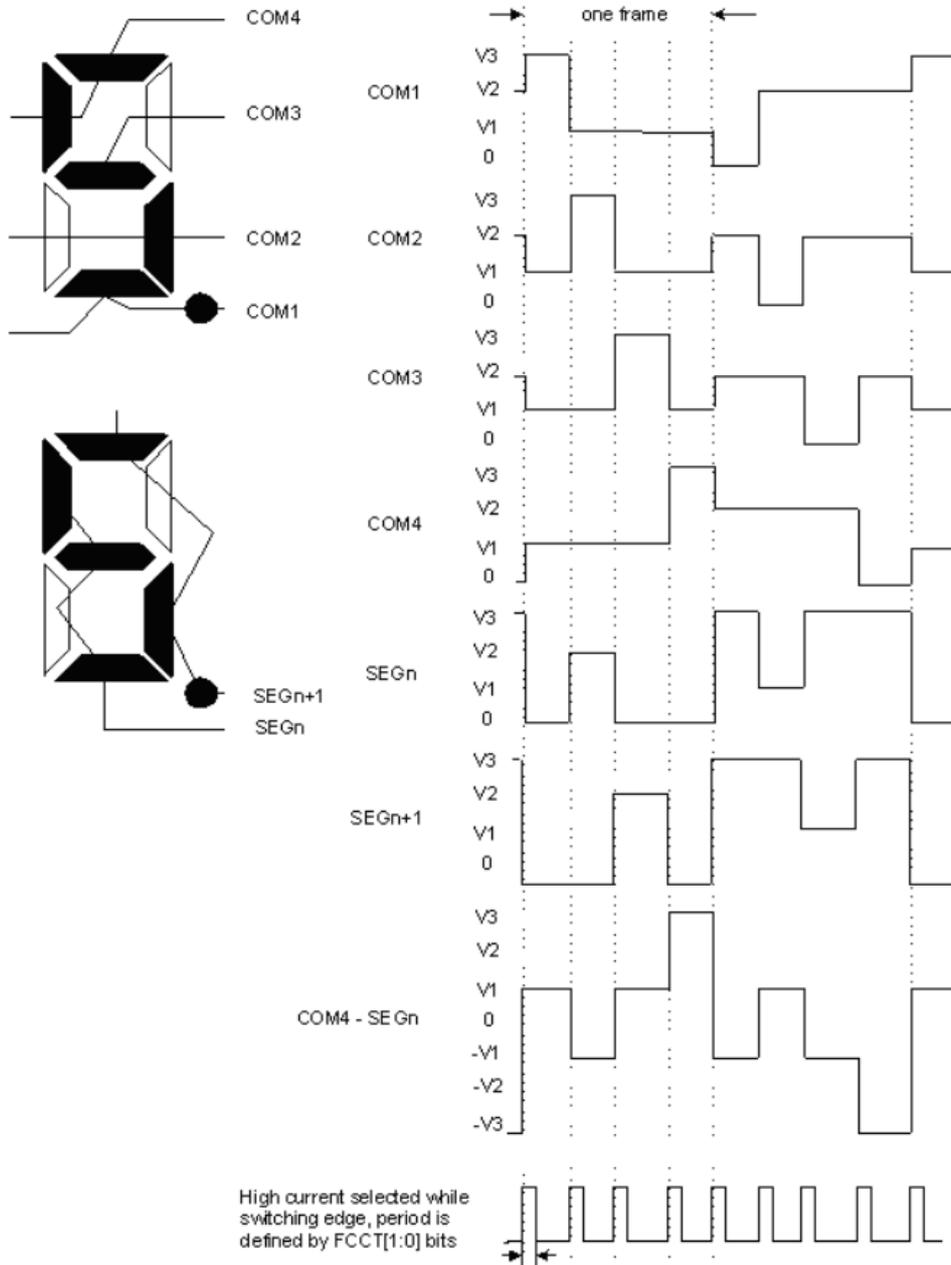


图 49. LCDC 1/4 Duty、1/3 Bias 的驱动波形

**14.4 LCDC 寄存器**

表 149. LCDC 寄存器列表

寄存器名	地址	类型	复位值	说明
LCDCCON	0xF0A000	R/W	0x00000000	LCDC 控制寄存器
LCDCRST	0xF0A004	R/W	0x00000000	LCDC 复位寄存器
LCDCDAT0	0xF0A010	R/W	0x00000000	LCDC 显示数据寄存器 0
LCDCDAT1	0xF0A014	R/W	0x00000000	LCDC 显示数据寄存器 1
LCDCDAT2	0xF0A018	R/W	0x00000000	LCDC 显示数据寄存器 2
LCDCDAT3	0xF0A01C	R/W	0x00000000	LCDC 显示数据寄存器 3
LCDCDAT4	0xF0A020	R/W	0x00000000	LCDC 显示数据寄存器 4
LCDCDAT5	0xF0A024	R/W	0x00000000	LCDC 显示数据寄存器 5
LCDCDAT6	0xF0A028	R/W	0x00000000	LCDC 显示数据寄存器 6
LCDCDAT7	0xF0A02C	R/W	0x00000000	LCDC 显示数据寄存器 7
LCDCDAT8	0xF0A030	R/W	0x00000000	LCDC 显示数据寄存器 8
LCDCDAT9	0xF0A034	R/W	0x00000000	LCDC 显示数据寄存器 9
LCDCDAT10	0xF0A038	R/W	0x00000000	LCDC 显示数据寄存器 10
LCDCDAT11	0xF0A03C	R/W	0x00000000	LCDC 显示数据寄存器 11
LCDCDAT12	0xF0A040	R/W	0x00000000	LCDC 显示数据寄存器 12
LCDCDAT13	0xF0A044	R/W	0x00000000	LCDC 显示数据寄存器 13
LCDCDAT14	0xF0A048	R/W	0x00000000	LCDC 显示数据寄存器 14
LCDCDAT15	0xF0A04C	R/W	0x00000000	LCDC 显示数据寄存器 15
LCDCDAT16	0xF0A050	R/W	0x00000000	LCDC 显示数据寄存器 16
LCDCDAT17	0xF0A054	R/W	0x00000000	LCDC 显示数据寄存器 17
LCDCDAT18	0xF0A058	R/W	0x00000000	LCDC 显示数据寄存器 18
LCDCDAT19	0xF0A05C	R/W	0x00000000	LCDC 显示数据寄存器 19



表 150. LCDC 控制寄存器说明

寄存器名: LCDCCON				地址: 0xF0A000
位址	符号	类型	复位	说明
31:11	-	-	0	保留位 (Reserved)
10:8	VOL	R/W	0	LCDC 对比度选择 0: VLCD = 0.65 x VDD 1: VLCD = 0.70 x VDD 2: VLCD = 0.75 x VDD 3: VLCD = 0.80 x VDD 4: VLCD = 0.85 x VDD 5: VLCD = 0.90 x VDD 6: VLCD = 0.95 x VDD 7: VLCD = VDD
7:6	DUTY	R/W	0	LCD 占空比选择。 0: 1/4 Duty, 1/3 Bias, COM0~COM3, SEG0~SEG19 1: 1/5 Duty, 1/3 Bias, COM0~COM4, SEG0~SEG18 2: 1/6 Duty, 1/3 Bias, COM0~COM5, SEG0~SEG17 3: 保留位, 无法写入
5:3	MOD	R/W	0	驱动模式选择位。 0: 传统模式, 偏置电阻总和为 900kΩ 1: 传统模式, 偏置电阻总和为 450kΩ 2: 传统模式, 偏置电阻总和为 60kΩ 3: 快速充电模式, 偏置电阻总和自动在 60kΩ~450kΩ 之间切换 4: 快速充电模式, 偏置电阻总和自动在 60kΩ~900kΩ 之间切换 5~7: 保留位, 无法写入
2:1	FCCTL	R/W	0	充电时间控制位。 0: 1/4 LCD COM 周期 1: 1/8 LCD COM 周期 2: 1/16 LCD COM 周期 3: 1/32 LCD COM 周期
0	LCDC_EN	R/W	0	LCDC 使能控制位。 0: 关闭 LCDC 1: 使能 LCDC

表 151. LCDC 复位寄存器

寄存器名: LCDCRST				地址: 0xF0A004
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	LCDC_RST	R/W	0	LCDC 复位控制位。 0: LCDC 退出复位状态, 可以访问 LCDC 相关寄存器。 1: LCDC 处于复位状态, LCDCCLK 停止, 无法访问 LCDC 其它相关寄存器。

表 152. LCDC 显示数据寄存器

寄存器名: LCDCDATm (m=0~19)				地址: 0xF0A010+4m
位址	符号	类型	复位	说明
31:6	-	-	0	保留位 (Reserved) f
5:0	DISP_DATm	R/W	0	LCDC 显示数据。

15. 两线串行接口（TWI）

15.1 TWI 特性

- 两线模式，兼容 I²C 协议，简单快捷
- 支持主机模式（Master）和从机模式（Slave）
- 允许发送数据（Transmitter）和接收数据（Receiver）
- 支持多主机通讯的仲裁功能
- 具有低电平总线超时判断（Timeout）
- 空闲模式下可唤醒系统
- 地址可编程
- 内建 10kΩ 上拉电阻

15.2 TWI 引脚说明

表 153.LCDC 引脚说明

名称	引脚编号	状态	复用控制	说明
SDA	6	高阻态	P04_SC=3	TWI 数据输入/输出引脚
SCL	7	高阻态	P05_SC=3	TWI 时钟输入/输出引脚

15.3 TWI 功能说明

15.3.1 TWI 时钟

TWI 模块的工作时钟是由 26MHz 时钟分频产生的 4MHz 时钟，所以 TWI 模块需要 26MHz 高频时钟（HFCLK），否则无法正常通讯。TWI 模块工作时，HFCLK 的时钟源只能选择 RC26M 或 XCLK。

TWI 模块工作在主机模式时，SCL 信号的输出时钟可以通过寄存器 SCL_DIV 选择。

15.3.2 TWI 总线结构

TWI 总线使用 SDA 和 SCL 两根信号线在主机设备和从机设备之间传递信息。SDA 和 SCL 是高阻状态，低电平信号由设备驱动，高电平信号通过上拉电阻实现。SH87F8801 的 TWI 模块在 SDA 和 SCL 引脚上内建了 10kΩ 的上拉电阻，通过寄存器可以控制。

典型的 TWI 总线拓扑结构如下图所示，最高支持 128 个不同的设备进行通讯。

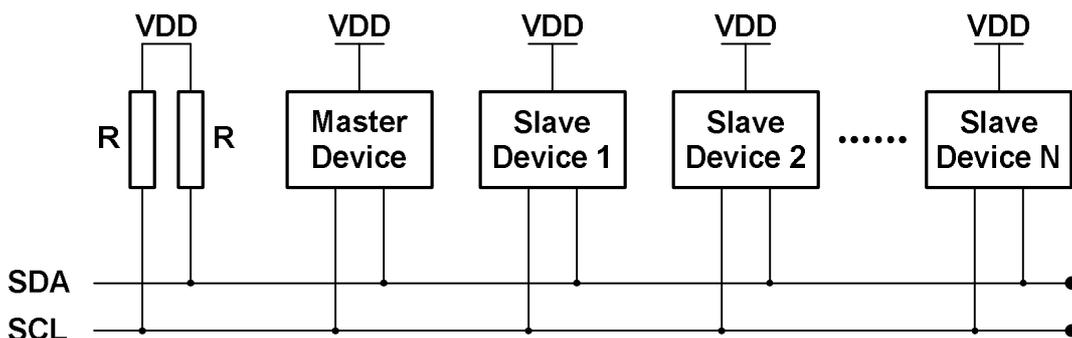


图 50. TWI 总线拓扑结构

15.4 数据传输格式

15.4.1 数据传输

数据传输中数据线上每一位的传输均需要时钟线上一个脉冲。在时钟高电平时数据线应保持稳定，但发送起始条件和终止条件时不需要遵守此规则。

和 I2C 通讯协议相似，TWI 定义了两个特殊的波形：起始条件和终止条件。在时钟线为高电平时数据线的下降沿定义为起始条件 (START)；在时钟线为高电平时数据线的上升沿定义为终止条件 (STOP)。起始条件和终止条件均由主机发出。

主机可以发起和终结一次传输。当主机发送一个起始条件时开始一次传输，发送一个终止条件时结束本次传输。在起始条件和终止条件之间，总线定义为忙碌状态 (BUSY)，此时其它主机不能发起传输。在忙碌状态下，如果主机再次发送起始条件，则定义为重复起始条件 (RESTART)，表示主机希望不放弃总线的情况下开始一次新的传输。发送重复起始条件后，总线仍处于忙碌状态，一直到总线上出现终止条件。鉴于重复起始条件和起始条件性质完全一致，除非特别声明，本文中采用起始条件来代替两者。

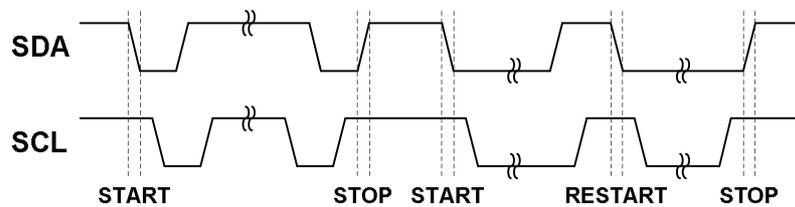


图 51. TWI 起始条件和终止条件

所有数据包（包括地址包）均有 9 位组成，包含 8 个数据位和一个应答位。主机负责发出时钟和起始及终止条件，接收者负责给出应答信号。接收者通过第九个时钟脉冲处将数据线拉低发出应答信号 (ACK)；或在第九个脉冲处维持数据线的高电平表示不应答信号 (NAK)。当接收方接收到最后一个字节数据，或因某种原因无法继续接收数据时，应回复不应答信号 (NAK)。TWI 采用从高位到低位的顺序逐位进行传输，即先传输 MSB，最后传输 LSB。

一次传输通常包括一个起始条件，一个地址包（7 位地址+1 位读/写标志+1 位应答），一个或多个数据包（8 位数据+1 位应答）和一个终止条件。仅包含起始条件和终止条件的数据格式是不符合通讯协议的。值得注意的是，“线与”结构给主机和从机之间的握手信号提供了方便。当主机相对太快或从机需要处理其它事务时，从机可以通过拉低时钟线来拉长时钟线的低电平时间，从而降低通讯频率。从机可以拉长时钟线低电平周期但不会影响到时钟线高电平的周期。

在产生应答信号时，SH87F8801 拉低 SDA 信号线。中断标志位置起期间，SH87F8801 拉低 SCL 信号线，释放 SDA 信号线。中断处理完毕后清除 TWINT 标志，释放 SCL 信号线。

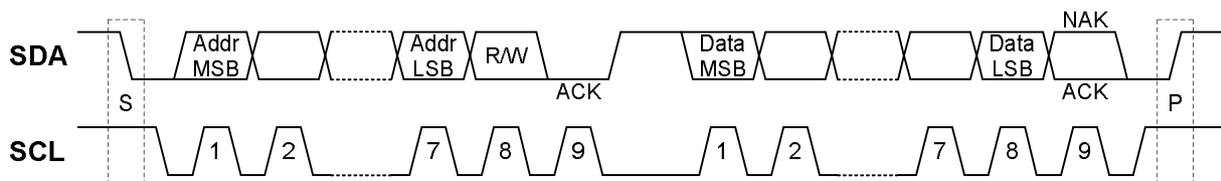


图 52. TWI 数据传输



15.4.2 时钟同步

当多个主机同时希望控制总线时，总线将依据“线与”原则决定时钟线高低电平。对于所有参与传输的主机来说，定义清楚每一个时钟脉冲的起始是相当重要的。

时钟线电平的由高到低跳变将导致所有参与传输的器件开始低电平计时。每一个器件计时达到自己低电平要求时释放时钟线，在时钟线变为高电平之前进入高电平等待期；当所有器件均计满低电平周期时，时钟线才变为高电平。之后所有器件开始对高电平进行计时，第一个计满高电平周期的器件将拉低时钟线，进入下一个时钟周期。

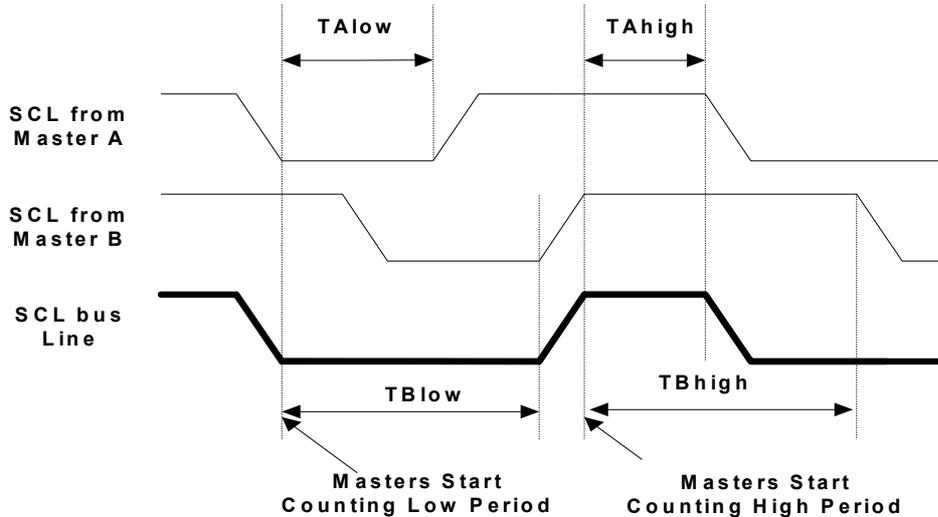


图 53. TWI 时钟同步

15.4.3 总线仲裁

主机只有在总线处于空闲状态（IDLE）时才能开始一次传输。两个或多个主机可能在最小保持时间（ $t_{\text{HOLD:STA}}$ ）内同时发送起始条件，从而在总线上只看到一个起始条件。

由于发送起始条件的主机无法知道是否有其它主机在竞争总线，只能靠时钟高电平时对数据线的仲裁判断哪个主机占用总线。当有主机传输低电平时，传输高电平的主机将失去仲裁，必须放弃总线。

失去仲裁的主机将继续发送时钟，直到当前传输字节发送完毕。当两个主机同时访问一个从机时，可能会顺利通过地址阶段，在传输数据时将继续进行仲裁。这种机制要求所有 TWI 器件在进行数据传输时可以检测数据线上的真实状态。

如果该主机同时开启了从机模式，在发送地址阶段失去仲裁后应检测线上的地址是否与自己相匹配。如果是对自己的访问，应立即切换到从机模式，接收信息。

每次传输中，仍要检测线上的重复起始条件，当检测到并非自己发出的重复起始条件时，应立即退出当前传输。

仲裁不应发生在如下情况：

- 重复起始条件和数据
- 终止条件和数据
- 重复起始条件和终止条件

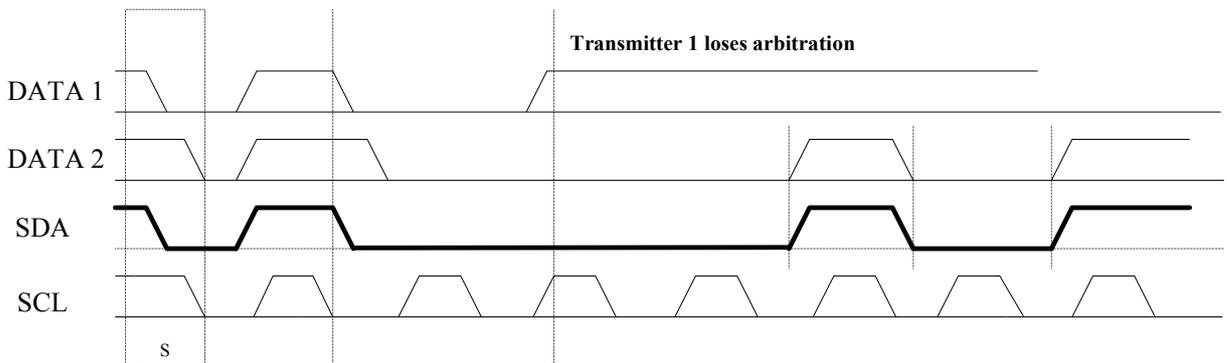


图 54. 总线仲裁

15.5 功能描述

TWI 模块的结构如下图所示。

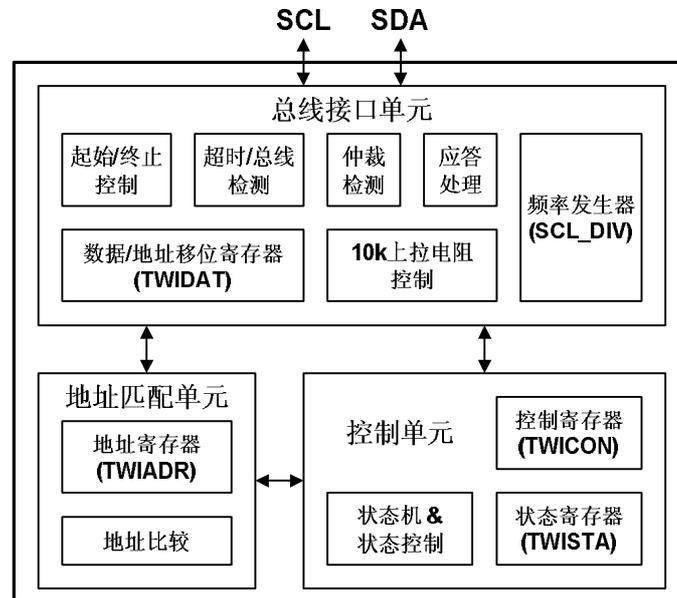


图 55. TWI 结构框图

15.5.1 总线接口单元

总线接口单元包括：数据和地址移位寄存器（TWIDAT）、开始/终止条件控制器、仲裁和总线超时检测单元。

TWIDAT 寄存器存储了即将发送的数据或地址和接收到的数据和地址。

开始/终止条件控制器负责发送和检测总线上的开始条件，重复开始条件和终止条件。

如果 TWI 模块已经作为主机开始一次传输，仲裁单元将始终检测是否有仲裁发生。当失去仲裁时，控制单元可以进行合适的动作，并产生相应的状态码。

在传输数据/地址时，必须在 SCL 由低跳高前维持数据稳定。

在传输 ACK/NACK 时，在 SCL 由低跳高后产生 TWINT 中断，并在 SCL 由高跳低时拉低 SCL，在 TWINT 中断清零时释放 SCL。

在传输应答信号（ACK/NAK）时，若 TWINT 已被清零，SCL 仍为高电平时，SDA 产生跳变，则重新产生 TWINT 中断，状态为 00H。SH87F8801 当前通讯终止，该状态与普通 00H 状态处理一致。若 TWINT 未被清零，SCL 仍为高电平时，SDA 产生跳变，则状态直接切换到 00H，不会再次产生中断。SH87F8801 作为从机进入该状态，则当前通讯终止，可发生 STA 开始主机传输，或重新接受 STA+ADR 对自己地址的访问。SH87F8801 作为主机进入该状态，则当前通讯终止，可发生 STA 开始主机传输，或重新接受 STA+ADR 对自己的访问。

SH87F8801 在当前通讯终止后，不会再参与当前传输。SH87F8801 若作为主机存在，请开启 EFREE 功能，防止进入逻辑死区。

SH87F8801 规定总线维持为高电平超过 50us 时为“空闲”状态，释放总线。该功能仅适用于一个数据包传输过程中（8+1 个位）。SH87F8801 处于从机发送模式，且所传输的第一个字节为低电平时适用该功能。起始条件（STA、RSTA）不适用于该功能。SH87F8801 产生中断，寄存器 TWICON 中的 TFREE 会被置位(如果控制位 EFREE 已置位)。



如果时钟线 SCL 被从机拉低时，通讯会暂时中止；而主机也没有办法将时钟线拉高。为解决此问题，TWI 协议规定参与传输的所有器件将时钟线低电平超过 25ms 时定义为“总线超时”，寄存器 TWICON 中的 BTO_FLAG 会被置位(如果控制位 BTO_EN 已置位)。10ms 内 TWI 模块将复位，释放总线。

15.5.2 频率发生器

在主机模式下，可通过 SCL_DIV[2:0]寄存器位来设定通讯频率。有 5 个频率可选：4KHz、17KHz、68KHz、103KHz、433KHz（系统时钟为 26MHz）。

15.5.3 地址匹配单元

地址匹配单元检验所收到的地址是否与寄存器 TWIADR 中的 7 位地址相匹配。如果通用地址使能位 GC 被置位，也将检测是否与通用地址 00H 相匹配。当地址匹配时，控制单元将产生合适的动作及相应的状态码。

15.5.4 控制单元

控制单元监视 TWI 总线，并依据控制寄存器 TWICON 的设置进行相应的回应。当 TWI 总线有需要应用层注意的事件时，TWI 中断标志被置起，标明当前事件的状态码会被写入状态寄存器 TWISTA。状态寄存器 TWISTA 只表示 TWI 通讯中断产生时的通讯状态信息；其它情况下状态寄存器内是一个用于表示没有有效状态码的状态码。在中断清除之前，时钟线将维持低电平。应用软件可在处理完任务后才允许 TWI 通讯继续。



15.6 传输模式

TWI 通讯是以字节为基本传输单元和中断驱动的通讯方式。诸如发送开始/重复开始/终止条件、发送/接收完一个字节的总线事件均会产生一个中断。所以在字节传输期间，应用程序可以进行其它的操作。TWI 模块使能位 (TWI_EN) 和中断使能位 (TWI_IE) 共同决定中断标志 (STA_FLAG) 被置起时是否产生中断。如果中断未开启 (TWI_IE=0)，应用程序必须实时查询 STA_FLAG 标志才能知道是否有 TWI 事件发生。

STA_FLAG 标志置起时，表示一次 TWI 传输已完成，等待应用程序的回应。此时状态寄存器 (TWISTA) 包含了当前的状态。应用程序可通过 TWICON 和 TWISTA 寄存器决定 TWI 模块进行哪种通讯。

下面将分别介绍 TWI 通讯的四种主要模式，并对所有可能的状态码进行了描述。后面图示中使用的缩写的定义如下：

- S: 开始条件
- Sr: 重复开始条件
- R: 读控制位
- W: 写控制位
- A: 应答位
- \bar{A} : 无应答位
- DATA: 8 位数据
- P: 终止条件
- SLA: 从机地址

圆形用于表示中断标志已被置起。其中的数字表示当前状态寄存器的状态码。在 STA_FLAG 被清除之前，TWI 通讯会暂停，应用程序必须决定是继续通讯还是终止当前传输。对每一个状态码，所需要的软件动作和随后的传输细节均有描述。



15.6.1 主机发送模式 (MT)

主机发送模式 (Master Transmit, MT) 中, 主机发送一系列数据到从机。为进入主机发送模式, 一个开始条件, 随后一个地址包 (SLA+W) 表示进入主机发送模式。

通过设置 TWI_EN 和 STA, 清除 STO 和 STA_FLAG, TWI 逻辑将检测 TWI 总线并在允许时发出一个起始条件 (START)。当 START 传输完毕, STA_FLAG 标志会被置起, TWISTA 寄存器的值为 08H。中断服务程序应将从机地址和写控制字 (SLA+W) 写入 TWIDAT 寄存器, 在开启下一个传输前清除 STA_FLAG 标志。

当从机地址和写控制字传输完毕并收到一个“应答 (ACK)”信息时, STA_FLAG 标志被置起, TWISTA 寄存器中有几个可能的状态: 对主机模式有 18H、20H 和 38H, 对从机模式有 68H、78H 和 B0H。

表 154. TWI 主机发送模式状态码

状态码	TWI 总线和硬件接口状态	应用程序操作					TWI 执行的下一个动作
		TWIDAT	STA	STO	STA_FLAG	AA	
08H	已发送 S	写入 SLA+W	X	0	0	X	发送 SLA+W, 接收 ACK
10H	已发送 Sr	写入 SLA+W	X	0	0	X	发送 SLA+W, 接收 ACK
		写入 SLA+R	X	0	0	X	发送 SLA+R, 切换到 MR 模式
18H	已发送 SLA+W, 已接收 ACK	写入数据字节	0	0	0	X	发送数据, 接收 ACK
		无操作	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
20H	已发送 SLA+W, 已接收 NACK	写入数据字节	0	0	0	X	发送数据, 接收 ACK
		无操作	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
			1	1	0	X	发送 P, 之后发送 S, 清除 STO
28H	已发送 TWIDAT 中数据, 已接收 ACK	写入数据字节	0	0	0	X	发送数据, 接收 ACK
		无操作	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
			1	1	0	X	发送 P, 之后发送 S, 清除 STO
30H	已发送 TWIDAT 中数据; 已接收 NACK	写入数据字节	0	0	0	X	发送数据, 接收 ACK
		无动作	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
			1	1	0	X	发送 P, 之后发送 S, 清除 STO
38H	在 SLA+W 或数据传输中丢失仲裁位	无动作	0	0	0	X	TWI 总线被释放, 进入非寻址从机模式
			1	0	0	X	在总线空闲时发送 S

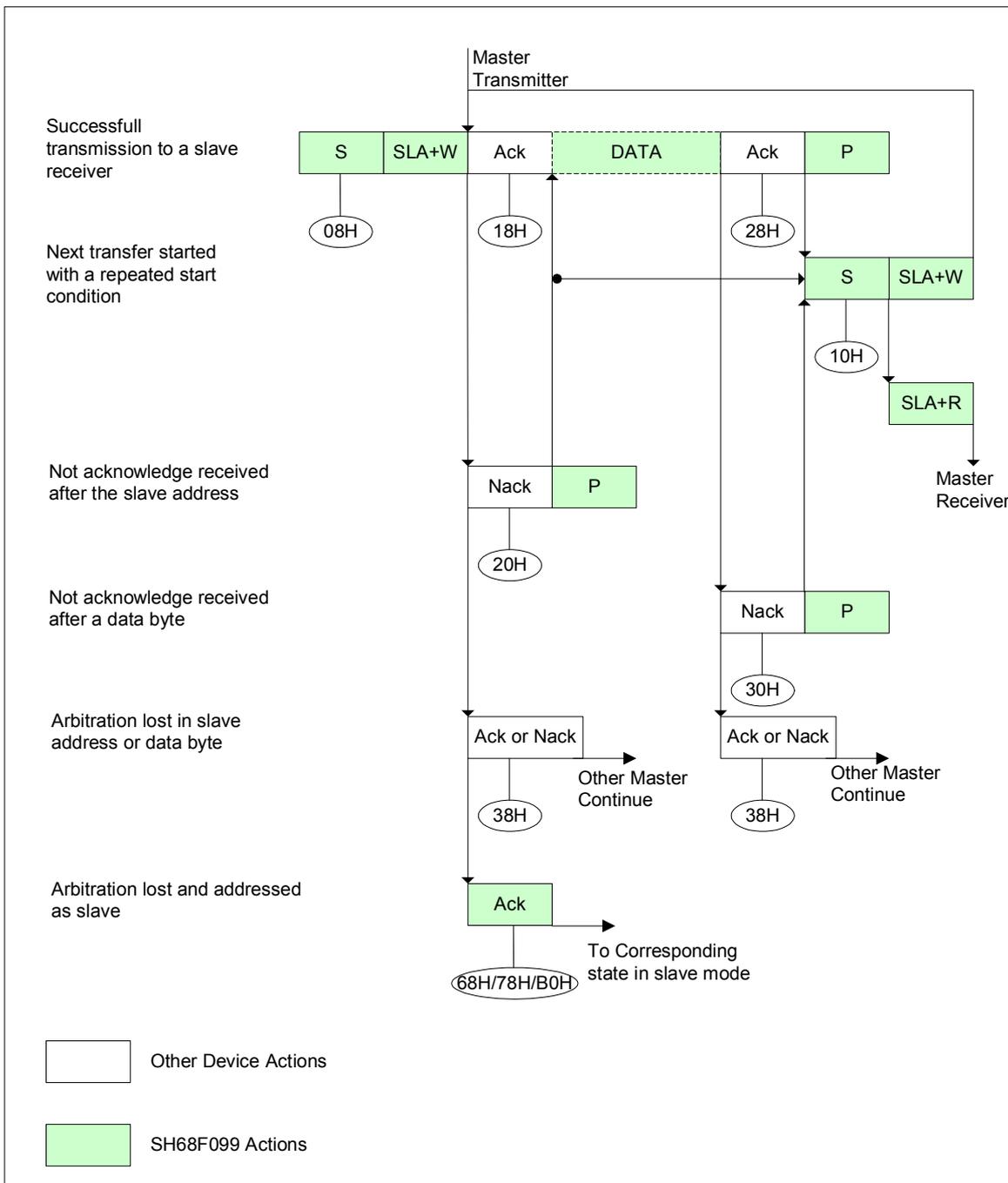


图 56. TWI 主机发送模式状态转换图



15.6.2 主机接收模式 (MR)

主机接收模式 (Master Receive, MR) 中, 主机从从机接收一系列数据。为进入主机接收模式, 一个开始条件, 随后一个地址包 (SLA+R) 表示进入主机接收模式。

通过置位 TWI_EN 和 STA, 清除 STO 和 STA_FLAG, TWI 模块将检测 TWI 总线并在允许时发出一个开始条件 (START)。START 传输完毕时, 置起 STA_FLAG 标志, 状态寄存器为 08H, 中断服务程序应将地址和读控制字 (SLA+R) 写入 TWIDAT 寄存器。在开启下一个传输前清除 STA_FLAG 标志。

当从机地址和写控制字传输完毕并收到一个“应答 (ACK)”信息时, STA_FLAG 标志被置起, TWISTA 寄存器中有几个可能的状态: 对主机模式有 40H、48H 和 38H, 对从机模式有 68H、78H 和 B0H。

表 155. TWI 主机接收模式状态码

状态码	TWI 总线和硬件接口状态	应用程序操作					TWI 执行的下一个动作
		TWIDAT	STA	STO	STA_FLAG	AA	
08H	已发送 S	写入 SLA+R	X	0	0	X	发送 SLA+R, 接收 ACK
10H	已发送 Sr	写入 SLA+R	X	0	0	X	发送 SLA+R, 接收 ACK
		写入 SLA+W	X	0	0	X	发送 SLA+W, 切换到 MT 模式
38H	发送 SLA+R 或 NACK 时失去仲裁	无动作	0	0	0	X	TWI 总线被释放, 进入非寻址从机模式
			1	0	0	X	在总线空闲时发送开始条件
40H	已发送 SLA+R, 已接收 ACK	无动作	0	0	0	0	接收数据, 返回 NACK
			0	0	0	1	接收数据, 返回 ACK
48H	已发送 SLA+R, 已接收 NACK	无动作	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
			1	1	0	X	发送 P, 之后发送 S, 清除 STO
50H	数据已接收, 已回应 ACK	读取数据	0	0	0	0	接收数据, 返回 NACK
			0	0	0	1	接收数据, 返回 ACK
58H	数据已接收, 已回应 NACK	读取数据	1	0	0	X	发送 Sr
			0	1	0	X	发送 P, 清除 STO
			1	1	0	X	发送 P, 之后发送 S, 清除 STO

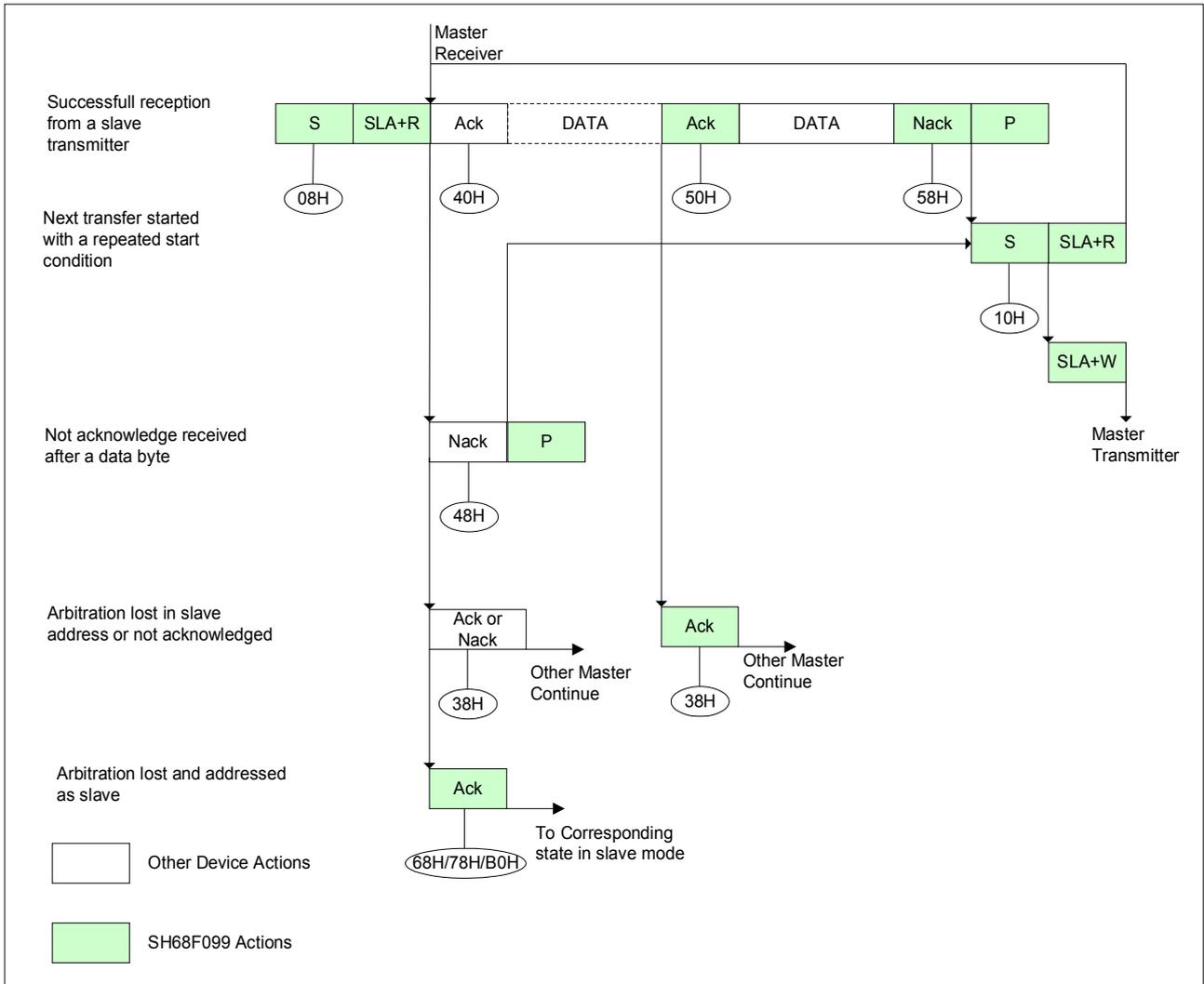


图 57. TWI 主机接收模式状态转换图



15.6.3 从机发送模式 (ST)

从机发送模式 (Slave Transmit, ST) 中, 从机发送一系列数据到主机。为初始化从机发送模式, 必须对控制寄存器 (TWICON) 和地址寄存器 (TWIADR) 进行初始化: 置位 TWI_EN 和 AA, 清除 STA、STO 和 STA_FLAG, 地址寄存器高 7 位为自身的从机地址。如果 GC_EN 置位, TWI 模块也将响应通用地址 (00H), 否则将不响应通用地址。

在 TWIADR 和 TWICON 初始化后, TWI 模块等待总线对自己地址或通用地址 (需 GC_EN=1) 的寻址。如果方向标志位是“读”, 则 TWI 模块进入从机发送模式 (ST), 否则将进入从机接收模式 (SR)。在地址和读标志位接收完毕后, 置起 STA_FLAG 标志位, 状态寄存器有效。

在传输中, 如果将应答使能位 (AA) 清零, TWI 将传送最后一个字节, 并依据主机接收方发送的 ACK 或 NAK 信息位进入 C0H 或 C8H 状态。总线将切换到非地址从机模式, 不在响应主机传输。从而主机接收方将接收到一串“1”。最后一个字节发送完毕后, 如果主机仍需额外的数据 (传输 ACK 信号), 则进入 C8H 状态。

表 156. TWI 从机发送模式状态码

状态码	TWI 总线和硬件接口状态	应用程序操作					TWI 执行的下一个动作
		TWIDAT	STA	STO	STA_FLAG	AA	
A8H	收到自己 SLA+R, 已回应 ACK	写入数据	X	0	0	0	发送最后数据, 等待 ACK 回应
			X	0	0	1	发送数据, 等待 ACK 回应
B0H	作为主机发送 SLA+R/W 时失去仲裁, 收到主机 SLA+R, 已回应 ACK	写入数据	X	0	0	0	发送最后数据, 等待 ACK 回应
			X	0	0	1	发送数据, 等待 ACK 回应
B8H	已发送数据, 已接收 ACK 回应	写入数据	X	0	0	0	发送最后数据, 等待 ACK 回应
			X	0	0	1	发送数据, 等待 ACK 回应
C0H	已发送 TWIDAT 数据, 已接收 NACK 回应	无操作	0	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址
			0	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1)
			1	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址, 总线空闲时发送 S
			1	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1), 总线空闲时发送 S
C8H	已发送最后一个数据 (AA=0), 已接收 ACK	无操作	0	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址
			0	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1)
			1	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址, 总线空闲时发送 S
			1	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1), 总线空闲时发送 S

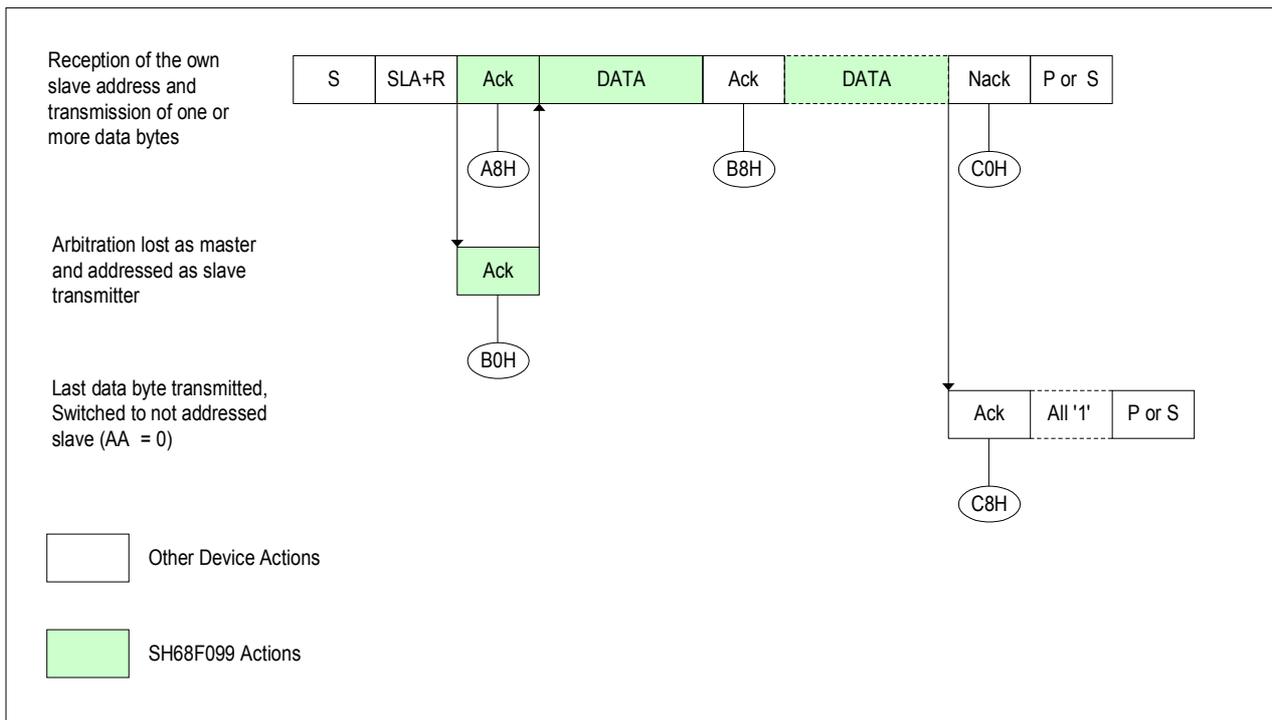


图 58. TWI 从机发送模式状态转换图



15.6.4 从机接收模式 (SR)

从机接收模式 (Slave Receive, SR) 中, 从机从主机接收一系列数据。为初始化从机接收模式, 必须对控制寄存器和地址寄存器进行初始化: 置位 TWI_EN 和 STA, 清除 STO 和 STA_FLAG, 地址寄存器中高 7 位为自己的从机地址。如果 GC_EN=1, TWI 模块响应通用地址, 否则不响应通用地址。

在 TWIADR 和 TWICON 初始化后, TWI 模块等待总线对自己地址或通用地址 (需 GC_EN=1) 的响应。如果方向标志位是“写”, 则 TWI 模块进入从机接收模式 (SR), 否则将进入从机发送模式 (ST)。在地址和写标志位接收完毕后, 置起 STA_FLAG 标志位, 状态寄存器有效。

在传输中, 如果将应答使能位 (AA) 清零, TWI 将接收最后一个字节并回应 NAK 信息。回应 NAK 可以表示当前从机无法接收更多字节。当 AA=0 时, TWI 模块无法回应对自己地址的访问, 但仍然监视总线状态, 并可以通过 AA=1 恢复对自己地址的相应。所以, 可以通过设置 AA=0 暂时将 TWI 模块从总线隔离。

注意: 从机接收模式时, 最小接收频率为 4.5KHz, 小于 4.5KHz 时, 无法正常接收数据。



表 157. TWI 从机接收模式状态码

状态码	TWI 总线和硬件接口状态	应用程序操作					TWI 执行的下一个动作
		TWIDAT	STA	STO	STA_FLAG	AA	
60H	收到自己 SLA+W, 已回应 ACK	无操作	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
68H	作为主机发送 SLA+R/W 时失去仲裁, 收到主机 SLA+W, 已回应 ACK	无操作	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
70H	收到主机发送通用地址, 已回应 ACK	无操作	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
78H	作为主机发送 SLA+R/W 时失去仲裁, 收到主机发送通用地址, 已回应 ACK	无操作	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
80H	处于已寻址状态, 已收到数据, 已回应 ACK	读取数据	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
88H	处于已寻址状态, 已收到数据, 已回应 NACK	读取数据	0	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址
			0	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1)
			1	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址, 总线空闲时发送 S
			1	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1), 总线空闲时发送 S
90H	处于通用地址已寻址状态, 已收到数据, 已回应 ACK	读取数据	X	0	0	0	接收数据, 发送 NACK
			X	0	0	1	接收数据, 发送 ACK
98H	处于通用地址已寻址状态, 已收到数据, 已回应 NACK	读取数据	0	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址
			0	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1)
			1	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址, 总线空闲时发送 S
			1	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1), 总线空闲时发送 S
A0H	作为从机时收到 P 或 Sr	无操作	0	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址
			0	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1)
			1	0	0	0	切换至非寻址从机模式, 不响应自己地址和通用地址, 总线空闲时发送 S
			1	0	0	1	切换至非寻址从机模式, 响应自己地址和通用地址 (需 GC_EN=1), 总线空闲时发送 S

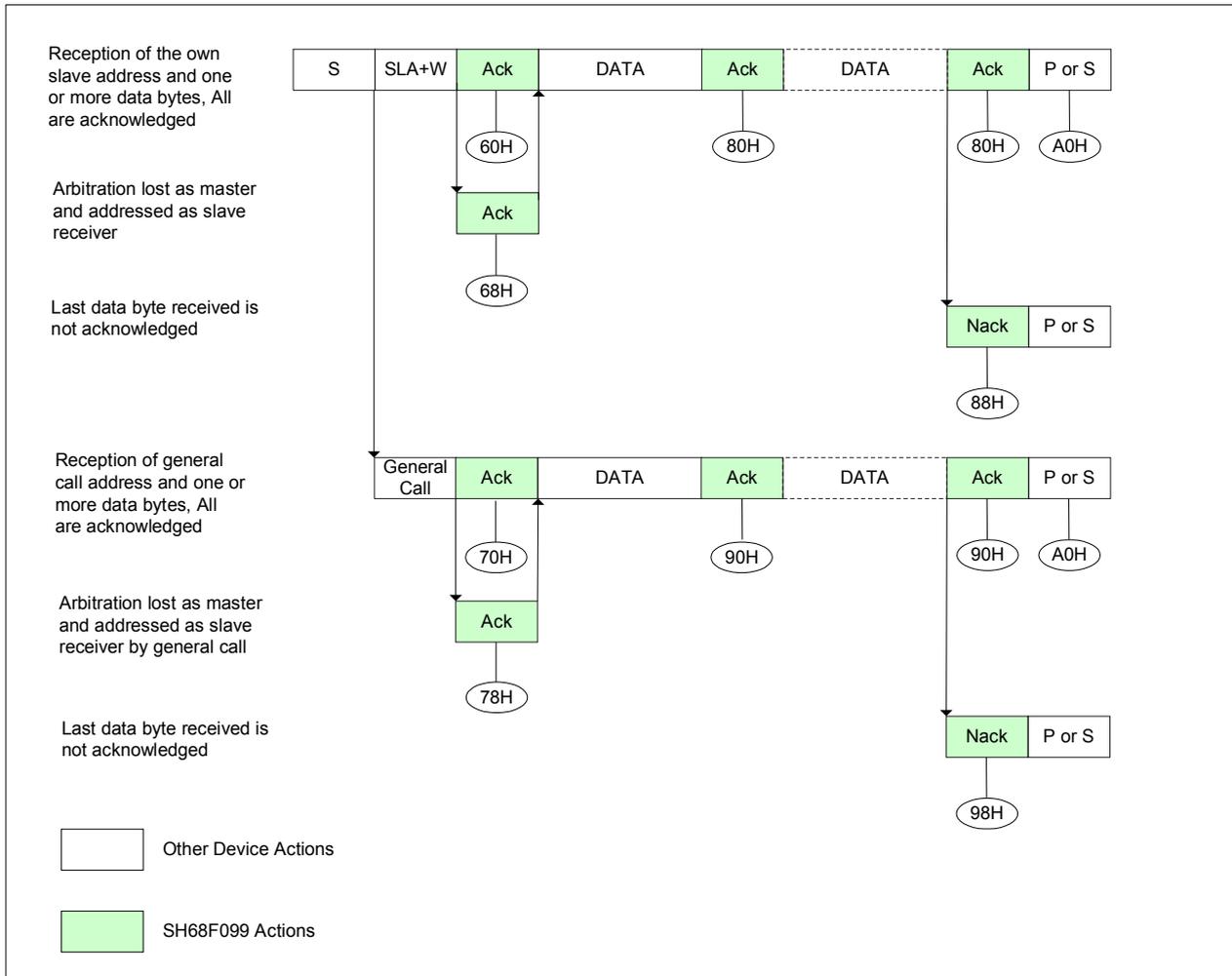


图 59. TWI 从机接收模式状态转换图

15.6.5 其它状态

除上述状态码外，还有两个特殊的状态：状态 F8H 表示 STA_FLAG 标志未置起，没有相应的状态信息，即在清除一个状态后到下一个状态建立前，状态寄存器均由 F8H 进行填充。

状态 00H 表示在 TWI 总线通讯中有错误发生，即传输中有非法的开始条件或终止条件发生。例如在传输地址、数据或回应 ACK 应答时有起始条件或终止条件发生。当总线扰乱了内部逻辑时也会产生 00H 状态。当非法状态出现时，会置起 STA_FLAG 标志位。可通过置起 STO 并清除 STA_FLAG 标志恢复到正常通讯，TWI 将进入非寻址从机模式，并自动清除 STO 标志。数据线和时钟线将被释放，线上无终止条件传送。

表 158. 其它状态码

状态码	TWI 总线和硬件接口状态	应用程序操作					TWI 执行的下一个动作
		TWIDAT	STA	STO	STA_FLAG	AA	
F8H	没有有效状态码，STA_FLAG=0	无操作					等待或处理当前传输
00H	在主机或寻址从机模式下有非法开始条件或终止条件发送；接口导致 TWI 内部逻辑混乱	无操作	0	1	0	X	只有内部硬件受影响，释放总线，切换到非寻址从机模式，清除 STO



表 161. TWI 控制寄存器 1 说明

寄存器名: TWICON1				地址: 0xF0B004
位址	符号	类型	复位	说明
31:3	-	-	0	保留位 (Reserved)
2	STA	R/W	0	“起始位”发送控制。 0: 不发送起始条件 1: 总线空闲时发送起始条件
1	STO	R/W	0	“终止位”发送控制位。 0: 不发送终止条件 1: 作为主机时发送终止条件; 作为从机时不发送终止条件, 但恢复到非寻址从机状态。硬件将自动清除该标志位。
0	AA	R/W	0	“应答标志”发送控制位。 0: 回复“不应答 (NAK)”信号 (SDA 高电平) 1: 回复“应答 (ACK)”信号 (SDA 低电平)

表 162. TWI 标志查询寄存器说明

寄存器名: TWIFLAG				地址: 0xF0B008
位址	符号	类型	复位	说明
31:3	-	-	0	保留位 (Reserved)
2	STA_FLAG	R	0	状态发生标志位。当除 0xF8 之外的 TWI 通讯状态发生时, 无论中断是否使能, HW 都会置起此标志, 设置 STA_FCLR 可以清除此标志。 0: 没有 TWI 通讯状态发生, 或发生 0xF8 状态 1: 发生除 0xF8 之外的 TWI 通讯状态
1	BTO_FLAG	R	0	总线超时标志位。当 TWI 总线低电平超过 25ms 时, 无论中断是否使能, HW 都会置起此标志, 设置 BTO_FCLR 可以清除此标志。 0: 无总线超时发生 1: 发生总线超时
0	HLTO_FLAG	R	0	SCL 高电平超时标志位。当 SCL 总线高电平超 50μs 时, 无论中断是否使能, HW 都会置起此标志, 设置 HLTO_FCLR 可以清除此标志。 0: 无高电平超时发生 1: 发生高电平超时

表 163. TWI 标志清除寄存器说明

寄存器名: TWIFCLR				地址: 0xF0B00C
位址	符号	类型	复位	说明
31:3	-	-	0	保留位 (Reserved)
2	STA_FCLR	W	0	状态发生标志清除位。 0: 无效操作 1: 清除 STA_FLAG
1	BTO_FCLR	W	0	总线超时标志清除位。 0: 无效操作 1: 清除 BTO_FLAG
0	HLTO_FCLR	W	0	SCL 高电平超时标志清除位。 0: 无效操作 1: 清除 HLTO_FLAG



表 164. TWI 状态寄存器说明

寄存器名: TWISTA				地址: 0xF0B010
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	TWI_STA	R	0xF8	TWI 串行通讯状态位, 参见相应的状态字说明。

表 165. TWI 地址寄存器说明

寄存器名: TWIADDR				地址: 0xF0B014
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:1	TWI_ADDR	R/W	0	TWI 地址配置位, 用于配置 SH87F8801 作为从机时的地址。
0	GA_EN	R/W	0	TWI 通用地址响应使能控制位。 0: 禁止响应通用地址 1: 允许响应通用地址

表 166. TWI 数据寄存器说明

寄存器名: TWIDATA				地址: 0xF0B018
位址	符号	类型	复位	说明
31:8	-	-	0	保留位 (Reserved)
7:0	TWI_DATA	R/W	0	TWI 通讯数据寄存器。

表 167. TWI 复位寄存器

寄存器名: TWIRST				地址: 0xF0B01C
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	TWI_RST	R/W	0	TWI 复位控制位。 0: TWI 退出复位状态, 可以访问 TWI 相关寄存器。 1: TWI 处于复位状态, TWICLK 停止, 无法访问 TWI 其它相关寄存器。



15.8 TWI 时序定义

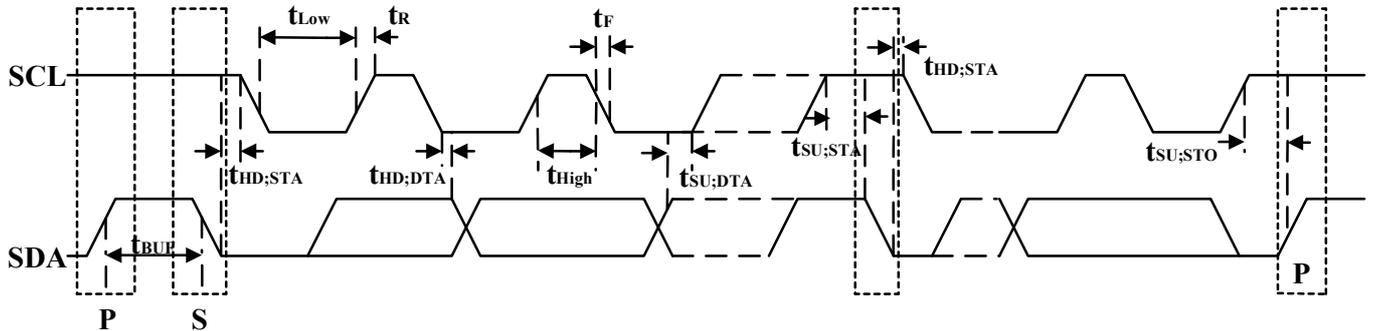


图 60. TWI 时序图

表 168. TWI 时序说明

参数	符号	最小值	典型值	最大值	单位	条件
输入高电压	V_{IH}	2	-	V_{DD}	V	
输入低电压	V_{IL}	-0.3	-	0.8	V	
输出低电压	V_{OL}	0	-	0.4	V	$I_{OL} = -7mA @ V_{DD} = 3V$
TWI频率范围	f_{TWI}	4	-	400	kHz	主机和从机模式
总线空闲间隔	t_{BUF}	1.3	-	-	μs	从机模式
		4.7	-	-	μs	主机模式
低电平周期	t_{LOW}	1.3	-	-	μs	从机模式
		-	$1/2f_{TWI}$	-	-	主机模式
高电平周期	t_{HIGH}	0.6	-	50	μs	从机模式
		-	$1/2f_{TWI}$	-	-	主机模式
数据保持时间	$t_{HD:DAT}$	0	-	-	ns	从机模式
		300	-	-	ns	主机模式
数据建立时间	$t_{SU:DAT}$	100	-	-	ns	从机模式
		250	-	-	ns	主机模式
STA保持时间	$t_{HD:STA}$	0.6	-	-	μs	从机模式
		-	$1/2f_{TWI}$	-	-	主机模式
STA建立时间	$t_{SU:STA}$	0.6	-	-	μs	从机模式
		-	$1/2f_{TWI}$	-	-	主机模式
STO建立时间	$t_{SU:STO}$	0.6	-	-	μs	从机模式
		-	$1/2f_{TWI}$	-	-	主机模式
上升时间	t_R	-	-	300	ns	$(V_{ILMAX}-0.15V)$ to $(V_{IHMIN}+0.15V)$, 从机模式
		-	-	1000	ns	主机模式
下降时间	t_F	-	-	300	ns	$(V_{IHMIN}+0.15V)$ to $(V_{ILMAX}-0.15V)$, 主机或从机模式
超时周期	$t_{TIMEOUT}$	-	25	-	ms	主机或从机模式

16. 模数转换器（ADC）

16.1 ADC 特性

- 12 位位宽，有效分辨率为 10.5 位
- 可选外接或内建基准电压
- 11 个模拟通道输入：10 个端口输入和 1 个内部 1.2V 基准电压输入

16.2 ADC 引脚说明

表 169. ADC 引脚说明

名称	引脚编号	状态	复用控制	说明
AIN0	24	模拟输入，高阻态	P31_SC=1	ADC 输入通道 0
AIN1	25	模拟输入，高阻态	P30_SC=1	ADC 输入通道 1
AIN2	26	模拟输入，高阻态	P29_SC=1	ADC 输入通道 2
AIN3	27	模拟输入，高阻态	P28_SC=1	ADC 输入通道 3
AIN4	28	模拟输入，高阻态	P27_SC=1	ADC 输入通道 4
AIN5	29	模拟输入，高阻态	P26_SC=1	ADC 输入通道 5
AIN6	30	模拟输入，高阻态	P25_SC=2	ADC 输入通道 6
AIN7	31	模拟输入，高阻态	P24_SC=2	ADC 输入通道 7
AIN8	32	模拟输入，高阻态	P23_SC=2	ADC 输入通道 8
AIN9	33	模拟输入，高阻态	P22_SC=2	ADC 输入通道 9
VREF	35	模拟输入，高阻态	P31_SC=2	ADC 外部电压基准源输入

AIN0 和 VREF 复用一根引脚，不能同时使用。使用 P31_SC 寄存器位选择引脚功能。

16.3 ADC 功能说明

SH87F8801 包括一个单端型、12 位逐次逼近型模/数转换器（ADC），ADC 内建的基准电压 VREF，10 个 ADC 通道都可以独立输入模拟信号，但是每次转换只能使用其中一个通道。GO 信号控制开始转换，提示转换结束。当转换完成时，更新 ADC 数据寄存器，设置 ADC_FLAG 标志位，并且产生中断（如果允许 ADC 中断）。

ADC 模块整合数字比较功能可以比较 ADC 中的模拟输入的值与数字值。如果允许数字比较功能（ADCCMP_EN=1），并且 ADC 模块使能（ADC_EN=1），只有当相应的模拟输入的数字值大于/小于（由 ADCCMP_TYP 控制）寄存器中的比较值时，才会产生 ADC 中断。当 GO 置 1 时，数字比较功能会持续工作，直到 GO 清 0。这一点与模数转换工作方式不同。

以电池电压（VDD）为基准电压，通过测试内部 VREF（1.2V）来推断 VDD 电压值，来达到检测电池电压的目的。



16.4 ADC 寄存器

表 170. TWI 寄存器列表

寄存器名	地址	类型	复位值	说明
ADCCON	0xF0C000	R/W	0x00000000	ADC 控制寄存器
ADCFLAG	0xF0C004	R	0x00000000	ADC 标志查询寄存器
ADCFLR	0xF0C008	W	0x00000000	ADC 标志清除寄存器
ADCDATA	0xF0C00C	R/W	0x00000000	ADC 数据寄存器
ADCRST	0xF0C010	R/W	0x00000000	ADC 复位寄存器

表 171. ADC 控制寄存器说明

寄存器名: ADCCON				地址: 0xF0C000
位址	符号	类型	复位	说明
31:17	-	-	0	保留位 (Reserved)
16	ADCMP_TYP	R/W	0	ADC 比较事件触发类型控制位。 0: 转换数据小于比较数据时触发比较事件 1: 转换数据大于比较数据时触发比较事件
15	ADC_EN	R/W	0	ADC 模块使能控制位。 0: 关闭 ADC 模块 1: 打开 ADC 模块
14	ADCMP_EN	R/W	0	ADC 比较事件使能控制位。 0: 禁止比较事件 1: 使能比较事件
13:10	CHN_SEL	R/W	0	ADC 信道选择位。 0x0: AIN0 0x1: AIN1 0x2: AIN2 0x3: AIN3 0x4: AIN4 0x5: AIN5 0x6: AIN6 0x7: AIN7 0x8: AIN8 0x9: AIN9 0xA~0xB: 保留值, 写入无效。 0xC: 内部基准电压 (1.2V) 0xD~0xF: 保留值, 写入无效。
9	GO	R/W	0	ADC 状态标记。 SW 将此位置 1 开始 AD 转换或者启动数字比较功能。 当完成 AD 转换时, 由硬件自动清 0。在转换期间 SW 清 0 这个标志位会中止 AD 转换。 如果启动数字比较功能, HW 不会清 0 该标志, 只能由 SW 清 0。
8	VREF_SEL	R/W	0	ADC 参考电压选择位。 0: 使用内部参考电压, 由 VDD 提供 1: 使用外部参考电压, 由 VREF 引脚输入
7	ADC_IE	R/W	0	ADC 中断使能控制位。 0: 禁止 ADC 中断 1: 使能 ADC 中断, ADC 转换完成或比较事件发生时, HW 置起 ADC_FLAG 标志, 并产生此中断。
6:4	TADC	R/W	0	ADC 时钟周期 (T_{ADC}) 选择位。 0: $T_{ADC} = 26 \times T_{HFCLK}$ 1: $T_{ADC} = 26 \times 2 \times T_{HFCLK}$ 2: $T_{ADC} = 26 \times 4 \times T_{HFCLK}$ 3: $T_{ADC} = 26 \times 8 \times T_{HFCLK}$ 4: $T_{ADC} = 26 \times 16 \times T_{HFCLK}$ 5: $T_{ADC} = 26 \times 32 \times T_{HFCLK}$ 6: $T_{ADC} = 26 \times 64 \times T_{HFCLK}$ 7: $T_{ADC} = 26 \times 128 \times T_{HFCLK}$ 注意: HFCLK 只能选择 26MHz 的时钟源。
3:0	TS	R/W	0	采样周期 (T_{SMP}) 控制位。 0: $T_{SMP} = 2 \times T_{ADC}$ 1~14: $T_{SMP} = (TS+1) \times T_{ADC}$ 15: $T_{SMP} = 15 \times T_{ADC}$



注意:

1. 在设置 TS 前，必须估算连接到 ADC 输入引脚的串联电阻。
2. 选择 $T_{SMP} = 2 \times T_{ADC}$ (TS=0 或 1) 时，请确保连接到 ADC 输入引脚的串联电阻小于 10kΩ。
3. 总共转换时间 = $14 \times T_{ADC} + T_{SMP}$

表 172. ADC 标志查询寄存器说明

寄存器名: ADCFLAG				地址: 0xF0C004
位址	符号	类型	复位	说明
31:2	-	-	0	保留位 (Reserved)
1	ADCMP_STA	R	0	ADC 比较器状态标志位。 0: 转换数据小于比较数据 1: 转换数据大于比较数据
0	ADC_FLAG	R	0	AD 转换完成&比较事件标志位。AD 转换完成，或比较事件发生时，无论中断是否使能，HW 都会置起此标志，设置 ADC_FCLR 可以清除此标志。 0: AD 转换未完成，或比较事件未发生 1: AD 转换完成，或比较事件发生

表 173. ADC 标志清除寄存器说明

寄存器名: ADCFCLR				地址: 0xF0C008
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	ADC_FCLR	W	0	AD 转换完成&比较事件标志清除位。 0: 无效操作 1: 清除 ADC_FLAG

表 174. ADC 转换数据&比较值寄存器说明

寄存器名: ADCDATA				地址: 0xF0C00C
位址	符号	类型	复位	说明
31:12	-	-	0	保留位 (Reserved)
11:0	ADC_DATA	R/W	0	ADC 转换&比较数据寄存器。 SW 读取此寄存器可以读取最后一次 AD 转换数据; SW 写此寄存器可以更新比较器的比较数据。 HW 在 AD 转换完成时更新转换数据，但不会影响比较数据。

表 175. ADC 复位寄存器

寄存器名: ADCRST				地址: 0xF0C010
位址	符号	类型	复位	说明
31:1	-	-	0	保留位 (Reserved)
0	ADC_RST	R/W	0	ADC 复位控制位。 0: ADC 退出复位状态，可以访问 ADC 相关寄存器。 1: ADC 处于复位状态，ADCCLK 停止，无法访问 ADC 其它相关寄存器。

17. 电气特性 (Electrical Characteristics)

17.1 极限参数 (Absolute Maximum Ratings)

如果器件的工作条件超过下表“极限参数”的范围，将造成器件永久性损坏。只有当器件工作在说明书所规定的范围内时功能才能得到保障。器件在极限参数列举的条件下工作将会影响到器件工作的可靠性和寿命。

符号	说明	最小值	最大值	单位
V _{DD}	VDD 引脚供电电压	-0.3	+5.5	V
V _{CC}	VCC 引脚供电电压	-0.3	+1.65	V
V _{IN}	I/O 端口输入电压	GND-0.3	V _{DD} +0.3	V
T _{AMB}	工作环境温度	-40	+85	°C
T _{STG}	储存温度	-55	+125	°C
ESD HBM	Human Body Model - all pins	-	±2000	V
ESD CDM	Charged Device Model - all pins (QFN48, 6mmx6mm package)	-	±500	V

表 176. 极限参数

17.2 推荐工作条件 (Recommended Operating Conditions)

符号	说明	最小值	典型值	最大值	单位
V _{DD}	VDD 引脚供电电压	1.8	-	3.6	V
V _{CC}	VCC 引脚供电电压	1.4	1.5	1.6	V
V _{IN}	I/O 端口输入电压	GND	-	V _{DD}	V

表 177. 推荐工作条件



17.3 直流电气特性 (DC Characteristics)

$V_{DD}=3.3V$, $V_{CC}=1.5V$, $GND=0V$, $T_A=25^\circ C$, 除非另有说明。下列电流参数不含 SH87F8801。

符号	参数	最小值	典型值	最大值	单位	条件
V_{DD}	工作电压	1.8	-	3.6	V	$32.768kHz \leq f_{sys} \leq 26MHz$
I_{OP}	工作电流	-	6	-	mA	SYSCLK=XCLK=26MHz; CPU 执行 NOP 指令; WDT & LVR 打开; 功能模块关闭; $V_{DD}=3.3V$ 。
		-	8.5	-	mA	SYSCLK=XCLK=26MHz; 处于蓝牙发射/接收状态。
I_{SM}	Sleep Mode 电流	-	6	-	mA	SYSCLK=XCLK=26MHz
I_{DSM}	Deep Sleep Mode 电流	-	3	6	μA	打开 RC32K
		-	2	4	μA	关闭 RC32K
I_{PD}	Power Down Mode 电流	-	0.2	0.3	μA	
I_{WDT}	WDT 工作电流	-	-	1	μA	Only for DE
V_{IH}	输入高电压	$0.7 \times V_{DD}$	-	V_{DD}	V	所有 I/O 端口
V_{IL}	输入低电压	GND	-	$0.3 \times V_{DD}$	V	所有 I/O 端口
V_{OH}	输出高电压	$V_{DD}-0.5$	-	-	V	$I_{OH}=-5mA$
V_{OL}	输出低电压	-	-	$GND+0.5$	V	$I_{OL}=10mA$
I_{LK1}	输入漏电流	-1	-	1	μA	无上/下拉, $V_{IN}=V_{DD}$ 或 GND
I_{LK2}	LOSCI 输入漏电流	-500	-	500	nA	无上/下拉, $V_{IN}=1.5V$ 或 GND
R_{PH1}	上拉电阻 (普通)	-	100	-	k Ω	$V_{IN}=GND$, 除 P14~P17 外 I/O
R_{PL1}	下拉电阻 (普通)	-	100	-	k Ω	$V_{IN}=V_{DD}$, 除 P14~P17 外 I/O
R_{PH2}	上拉电阻 (弱)	-	500	-	k Ω	$V_{IN}=GND$, P14~P17
R_{PL2}	下拉电阻 (弱)	-	500	-	k Ω	$V_{IN}=V_{DD}$, P14~P17
$R_{PH(TWI)}$	SDA/SCL 引脚上拉电阻	-	10	-	k Ω	$V_{IN}=GND$

表 178. 直流电气特性

17.4 交流电气特性 (AC Characteristics)

$V_{DD}=3.3V$, $V_{CC}=1.5V$, $GND=0V$, $T_A=25^\circ C$, 除非另有说明。

符号	参数	最小值	典型值	最大值	单位	条件
T_{OSC}	振荡器起振时间	-	1	2	s	32.768kHz 晶振
T_{RST}	复位脉冲宽度	10	-	-	us	低电平有效, $T_A=25^\circ C$
ΔF_{32K}	RC32K 频率精度	-	-	± 0.2	%	26MHz 晶振实时校准, $T_A=-40 \sim 85^\circ C$
ΔF_{2K}	RC2K 频率精度	-	-	± 50	%	$T_A=-40 \sim 85^\circ C$, only for DE
ΔF_{2M}	RC2M 频率精度	-	-	± 3	%	$T_A=0 \sim 40^\circ C$
		-	-	± 5	%	$T_A=-40 \sim 85^\circ C$
ΔF_{26M}	RC26M 频率精度	-	-	± 2.5	%	$T_A=0 \sim 40^\circ C$
		-	-	± 5	%	$T_A=-40 \sim 85^\circ C$

表 179. 交流电气特性



17.5 32.768kHz 晶体谐振器 (X32K) 电气特性

$V_{CC}=1.5V$, $GND=0V$, $T_A=25^{\circ}C$, Only for DE, 除非另有说明。

符号	参数	最小值	典型值	最大值	单位	条件
F_{X32K}	频率	-	32768	-	Hz	
P_{DRV}	驱动功率	1	-	-	μW	$T_A=-40\sim 85^{\circ}C$
I_{X32K}	工作电流	-	-	1	μA	
R_{LOAD}	晶体串联阻抗	-	-	75	$k\Omega$	
$C_{IN} \& C_{OUT}$	内建负载电容	17	20	23	pF	
$\Delta C/T$	内建负载电容温度变异	-	-	15	ppm/度	$T_A=-40\sim 85^{\circ}C$

表 180. 32.768Hz 晶体谐振器电气特性

17.6 模数转换器 (ADC) 电气特性

$V_{DD} = 3.3V$, $GND = 0V$, $V_{REF} \leq V_{DD}$, $f_{OSC}=26MHz$, $T_A = 25^{\circ}C$, 除非另有说明。

符号	参数	最小值	典型值	最大值	单位	条件
V_{ADC}	供电电压	2.0	3.3	3.6	V	
		1.8	-	2.0	V	可以工作, 不做性能要求。 Only for DE
V_{REF}	参考电压	2.0	-	V_{ADC}	V	
N_R	转换精度	-	12	-	bit	$GND \leq V_{AIN} \leq V_{REF}$
R_{AIN}	ADC 输入阻抗	2	-	-	$M\Omega$	$V_{AIN}=3.3V$
I_{ADC}	ADC 转换(工作)电流		1	3	mA	$V_{DD}=3.3V$
Z_{AIN}	模拟电压源推荐阻抗	-	-	10	$K\Omega$	Only for DE
DNL	微分非线性误差	-	1	-	LSB	300Hz 正弦信号输入测试
INL	积分非线性误差	-	2	-	LSB	300Hz 正弦信号输入测试
E_{ADC}	总绝对误差	-	-	± 7	LSB	300Hz 正弦信号输入测试, $V_{DD} \geq 5.0V$,
		-	-	± 8	LSB	300Hz 正弦信号输入测试, $V_{DD}=3.3V$
		-	-	± 9	LSB	300Hz 正弦信号输入测试, $V_{DD}=2.4V$
		-	-	± 12	LSB	300Hz 正弦信号输入测试, $V_{DD}=1.8V$
T_{CON}	总转换时间	16	-	-	μs	10 位精度, $t_{AD}=1\mu s$, Only for DE

表 181. 模数转换器电气特性



17.7 LDO 电气特性

$V_{DD} = 3.3V$, $GND = 0V$, $T_A = 25^\circ C$, 除非另有说明。

符号	参数	最小值	典型值	最大值	单位	条件
V_{IN}	LDO 输入电压范围	1.8	-	3.6	V	
V_{OUT}	LDO 输出电压范围	1.35	1.5	1.65	V	空载
C_{LOAD}	LDO 负载电容	-	0.1	-	μF	
高功耗 LDO (HLDO + HBGP)						
$I_{OUT(H)}$	HLDO 驱动能力	30	-	-	mA	$V_{OUT} \geq 1.35V$
$V_{PK(H)}$	HLDO 输出电压纹波峰峰值	-	-	100	mV	$V_{IN} = 1.8 \sim 5.5V$, $I_{OUT(H)} = 30mA$
I_{HLDO}	HLDO 工作电流	-	30	-	μA	$V_{IN} = 5.5V$, $I_{OUT(H)} = 30mA$
I_{OFF}	HLDO 关闭电流	-	10	-	nA	Only for DE
低功耗 LDO (LLDO + LBGP)						
$I_{OUT(L)}$	LLDO 驱动能力	20	-	-	μA	$V_{OUT} \geq 1.35V$
$V_{PK(L)}$	LLDO 输出电压纹波峰峰值			100	mV	$V_{IN} = 1.8 \sim 5.5V$, $I_{OUT(L)} = 20\mu A$
I_{LLDO}	LLDO 工作电流 (空载漏电流)	-	1	-	μA	$V_{IN} = 5.5V$, $I_{OUT(L)} = 20\mu A$

表 182. LDO 电气特性

**17.8 射频电气特性**

$V_{DD} = 3.3V$, $GND = 0V$, $T_A = 25^\circ C$, 除非另有说明。

17.8.1 DC 特性

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Supply Voltage Range	VCCD	Supply voltage	1.9	3.3	3.6	V

表 183. DC Electrical Specifications

17.8.2 合成器特性

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Frequency Range	F_{SYN}		2400	-	2483.5	MHz
Frequency Resolution	F_{RES}		-	400	-	Hz
Reference Frequency	F_{REF}		-	26	-	MHz
Reference Frequency tolerance	F_{TOL}		-40	-	40	ppm
Synthesizer Settling Time	t_{LOCK}		-	-	30	μs
Synthesizer Wake up Time	$T_{WAKE-UP}$	Including references, calibrations and synthesizer lock	-	-	80	μs
Phase Noise at offset	$L_{\phi}(f_M)$	$\Delta F = 1 \text{ MHz}$	-	-106	-	dBc/Hz
	$L_{\phi}(f_M)$	$\Delta F = 2 \text{ MHz}$	-	-111	-	dBc/Hz
	$L_{\phi}(f_M)$	$\Delta F = 3 \text{ MHz}$	-	-114	-	dBc/Hz
RMS Phase Error	Φ_{RMS}	Integrated from 1kHz to 13MHz	-	2.0	-	Deg

表 184. Synthesizer Electrical Specifications

**17.8.3 发射器特性**

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
TX Frequency Range	F_{TX}	World Wide	2400	-	2483.5	MHz
FSK Data Rate	DR_{FSK}		-	1.0	-	Mbps
Modulation Deviation	Δf		225	250	275	kHz
20dB signal bandwidth (1Mbps)	BW_{20dB}			0.95	1.2	MHz
Output Power Range	P_{TX}		-20	-	+3	dBm
Test Output Power	P_{TX_Test}	This spec is not final and need to be checked against the PA architecture	-40			dBm
TX RF Output Steps	ΔP_{TX-OUT}	Controlled by 3bits	-	2	-	Db
TX Power Variation vs. Temperature	$\Delta P_{TX-TEMP}$	-40 to +85 °C	-0.5	-	0.5	Db
TX Power Variation vs. VDD	ΔP_{TX-VDD}	From 1.9 to 3.6V	-1	-	1	Db
TX Power Variation vs. Frequency	$\Delta P_{TX-FREQ}$	Measured across any frequency band (2400–2483.5 MHz)	-1	-	1	Db
Transmit Modulation Filtering	BT	Gaussian filter bandwidth time product	-	0.5	-	
In band Spurious		Frequency offset ≤ 2 MHZ			-20	dBm
		Frequency offset ≥ 3 MHZ			-30	dBm
Out of band Spurious Emissions		POUT = 0 dBm, Frequencies <2.4 GHz	-	-	-52	dBm
		2.4~12 GHz, excluding harmonics	-	-	-50	dBm
Harmonics	2HARM	POUT = 0 dBm, using of-chip Harmonic filter	-	-	-40	dBc
	3HARM	POUT = 0 dBm, using of-chip Harmonic filter	-	-	-42	dBc

表 185. Transmitter Electrical Specifications



17.8.4 接收器特性

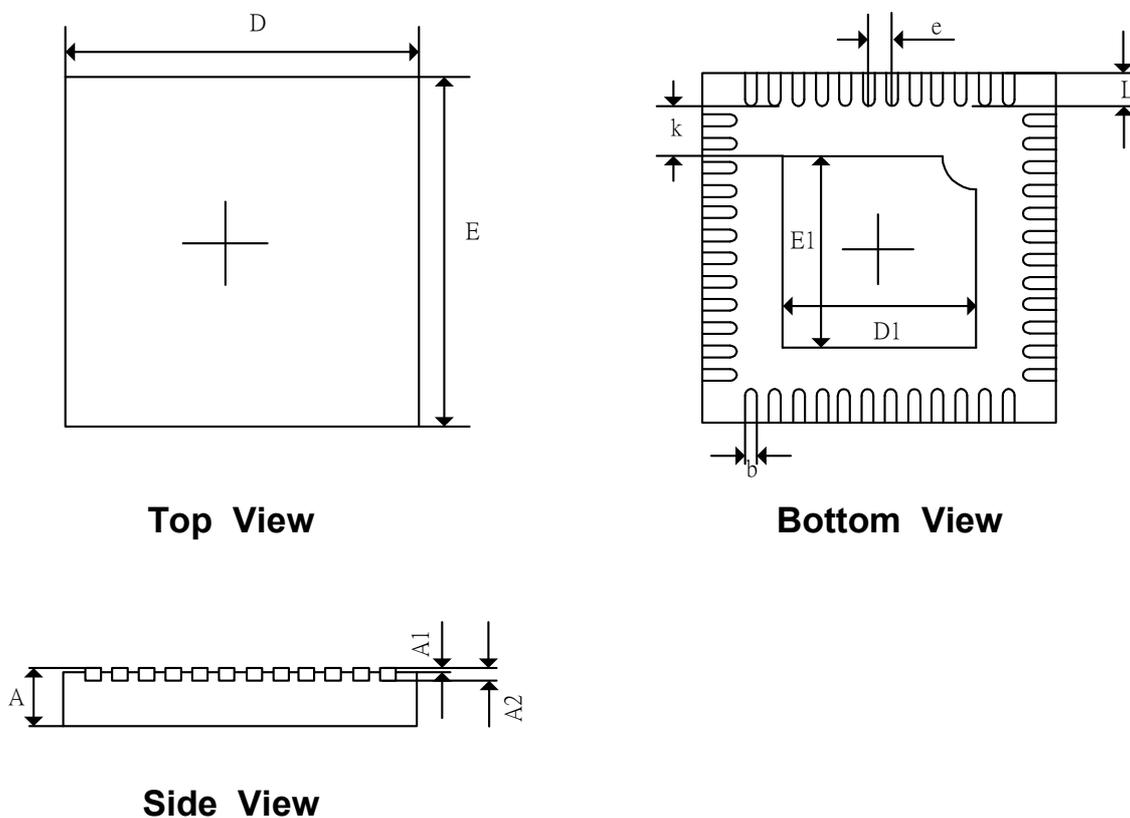
Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
RX Frequency Range	F_{TX}	World Wide (Not Supported)	2400	-	2483.5	MHz
Intermediate frequency	F_{LIF}	1Mbps data rate, RX BW 1MHz		1		MHz
RX Sensitivity (BER < 0.1%)	$P_{RX-1MHz}$	Sensitivity at 1.0 Mbps, GFSK $\Delta f = \pm 250$ kHz, channel-spacing = 2 MHz	-	-87	-90	dBm
Maximum Receiving Power	P_{RX-MAX}		-	-10	-	dBm
RX Channel Bandwidth	BW	Depends on the input data rate	-	1.0	-	MHz
RSSI Resolution	RES_{RSSI}	Analog RSSI		2		dB
Selectivity (For Desired signal at -67dBm)	$C/I_{co-channel}$	Desired Ref Signal 3 dB above sensitivity, BER < 0.1%. Interferer and desired modulated with the desired data rate and channel spacing accordingly, GFSK with BT = 0.5	-	21	-	dB
	C/I_{1MHz}		-	15	-	dB
	C/I_{2MHz}		-	-17	-	dB
	$C/I_{\geq 3MHz}$				-27	
Blockers (For Desired signal at -67dBm)	P_{BLOCK1}	Blockers from 30 to 2000 MHz	-	-30	-	dBm
	P_{BLOCK2}	Blockers from 2003 to 2399 GHz	-	-35	-	dBm
	P_{BLOCK3}	Blockers from 2.484 to 2.997 GHz	-	-35	-	dBm
	P_{BLOCK4}	Blockers from 3.0 to 12.75 GHz	-	-30	-	dBm

表 186. Receiver Electrical Specifications



18. 应用电路 (Application Circuits)

TBD

19. 封装信息 (Package Information)
19.1 QFN48L(6x6)

图 61. QFN48L(6x6) Outline Dimensions

Symbol	Dimensions in inches		Dimensions in mm	
	MIN	MAX	MIN	MAX
A	0.028	0.031	0.700	0.800
A1	0.000	0.002	0.000	0.050
A2	0.008 REF		0.203 REF	
D	0.233	0.239	5.924	6.076
E	0.233	0.239	5.924	6.076
D1	0.146	0.154	3.700	3.900
E1	0.146	0.154	3.700	3.900
k	0.008	---	0.200	---
b	0.006	0.010	0.150	0.250
e	0.016 TYP		0.400 TYP	
L	0.013	0.019	0.324	0.476

表 187. QFN48L(6x6) Outline Dimensions



20. 术语和缩略词 (Glossary & Acronym)

表 188. 术语和缩略词表

符号	英文说明	中文说明
ACT	Active Mode	活动状态
ADC	Analog to Digital Converter	模拟数字转换器
BLE	Bluetooth Low Energy	蓝牙低功耗
CAL	Calibration	校准
DLM	Data Local Memory	本地数据存储
DSM	Deep Sleep Mode	深度睡眠模式
DSML	Low Frequency Deep Sleep Mode	低频深度睡眠模式
DSMN	No Frequency Deep Sleep Mode	无频深度睡眠模式
EUART	Enhanced Universal Asynchronous Receiver Transmitter	增强型通用串行收发器
EXR	External Reset	外部复位
GPIO	General Purpose Input Output	通用输入/输出端口
HBGP	High Power Band Gap	高功耗带隙基准
ICP	In-circuit Program	在线编程模式
ILM	Instruction Local Memory	本地指令存储器
LBGP	Low Power Band Gap	低功耗带隙基准
LCDC	Liquid Crystal Display Controller	液晶显示控制器
LDO	Low Dropout Regulator	低压差线性稳压器
LVR	Low-voltage Reset	低电压复位
PD	Power-down Mode	关机模式
PEXR	Power-down External Reset	关机外部复位
POR	Power-on Reset	上电复位
PSM	Power Saving Mode	省电模式
PWM	Pulse-Width Modulation	脉宽调制器
RF	Radio Frequency	无线电射频
RTC	Real Time Clock	实时时钟
SCM		晶振停振检测
SM	Sleep Mode	睡眠模式
SPI	Serial Peripheral Interface	串行外部设备接口
SSP	Sector Self Program	扇区自编程模式
TWI	Two-Wire Interface	两线串行接口
WDR	Watchdog Reset	看门狗复位
RVD	Reserved	保留
WDT	Watchdog Timer	看门狗定时器