

## APPLICATION NOTE

# TE7720 Circuit Design

## 1. 概要

TE7720 は、Xilinx 社 FPGA に対するコンフィギュレーション機能 (Flash メモリからのコンフィギュレーション) 及び Flash メモリに対する消去 / 書き込み / 読み出し機能が内蔵されています。TE7720 は Xilinx 社のツール及び FPGA からは 18V04 と認識されます。18V04 は容量が 4Mbit となりますが、TE7720 は最大で 16Mbit のフラッシュを接続できます。16Mbit のフラッシュを接続した場合、TE7720 は Xilinx 社のツール及び FPGA からは 18V04 が 4 個チェーンされていると認識されます。更に TE7720 を複数個接続することにより、 $n \times 16\text{Mbit}$  の容量をサポートできます。

TE7720 が対応する FLASH メモリは以下になります。スピードグレードは問いません。

富士通社製 MBM29LV400/800/160 (4/8/16 Mbit、トップセクタ/ボトムセクタ双方に対応)

富士通社製 MBM29LV320 (32 Mbit、先頭から 16Mbit(0h-1FFFFFFh)領域のみ使用 .  
トップセクタのみ対応可能)

本アプリケーションノートでは、それぞれの場合の基板上での接続について参考例を記載します。

本仕様書中で使用している登録商標、商標は、それぞれの各社および団体に帰属します。

この仕様書は、信頼性、機能または設計を改善するために予告無く変更を加える事があります。

## 2. 目次

1. 概要 .....	1
2. 目次 .....	2
3. 端子仕様 .....	3
4. 接続参考図 .....	5
4- 1. TE7720 x1 (Max:16Mbit)、FPGA x2 の場合 .....	5
4- 2. TE7720 x2 (Max:32Mbit)、FPGA x1 の場合 .....	6
4- 3. TE7720 x2 (Max:32Mbit)、FPGA x2 の場合 .....	7
4- 4. CPU と TE7720 の FLASH ROM 共有 .....	8
4-4-1. コンフィグ終了後 TE7720 が CPU リセットを解除 .....	8

### 3. 端子仕様

#### 【Xilinx FPGA Interface】

信号名	I/O	極性	リセット中 (XRESET=L)	FLASH バス権開放状態 (BUS_RELEASE=H)
DATA	O		Hi-z	Hi-z
CLK	I		-	-
XCEI	I	N	-	-
XRST	I	N	-	-
XCF	O	N	Hi-z	Hi-z
XCEO	O	N	H	H

#### 【Flash Memory Interface】

信号名	I/O	極性	リセット中 (XRESET=L)	FLASH バス権開放状態 (BUS_RELEASE=H)
ADDRESS [21]	O		L	Hi-z
ADDRESS [20:0]	O		L or H	Hi-z
DATA [7:0]	IO		Hi-z	Hi-z
XWE	O	N	H	Hi-z
XOE	O	N	H	Hi-z
XCE	O	N	H	Hi-z
RD_XBY	I	N	-	-

#### 【CPU Interface】

信号名	I/O	極性	リセット中 (XRESET=L)	FLASH バス権開放状態 (BUS_RELEASE=H)
BUS_REQ (注1)	I	P	-	-
BUS_RELEASE (注1)	O	P	L (XRST=L and XCEI=H and BUS_REQ=H 以外) H (XRST=L and XCEI=H and BUS_REQ=H)	H
REG_SEL	I	-	-	-
XCS	I	N	-	-
XRD	I	N	-	-
XWR	I	N	-	-
D[3:0]	IO		Hi-z (XCS=L and XRD=L 以外) H or L (XCS=L and XRD=L)	Hi-z (XCS=L and XRD=L 以外) H or L (XCS=L and XRD=L)
MODE_SEL	I	-	-	-

#### 【JTAG Interface】

信号名	I/O	極性	リセット中 (XRESET=L)	FLASH バス権開放状態 (BUS_RELEASE=H)
TDI	I		-	-
TCK	I		-	-
TDO	O		H or L	H or L
TMS	I		-	-

#### 【Others】

信号名	I/O	極性	リセット中 (XRESET=L)	FLASH バス権開放状態 (BUS_RELEASE=H)
XRESET	I	N	-	-
CONFIG_SEL [4:0]	I		-	-
STATUS [2:0]	O		b'111	b'111

(注1) BUS\_REQ / BUS\_RELEASE 信号について

BUS\_REQ 信号は " 1 " が入力されると、JTAG からのアクセス、FPGA からのコンフィギュレーションに関するアクセスが無い場合に FLASH バスを Hi-z に開放する機能があります。従って BUS\_REQ 信号は FLASH バスの調停にご使用頂けませんが、TE7720 は JTAG からのアクセス及び FPGA のコンフィギュレーションを優先します。この為、BUS\_REQ 信号がアサートされていても、FPGA からの Configuration に関するアクセスがあった場合(\*1)と、JTAG からのアクセス(\*2)があった場合には、無条件に FLASH バスをドライブします。リセット直後は、まず FPGA のコンフィギュレーションを行うことを想定しているため、TE7720 はリセット中～コンフィギュレーションの終了まで FLASH バスをドライブします。そこで、CPU と TE7720 が同じ FLASH を共有する場合、CPU が動作を開始する前に FPGA のコンフィギュレーションを終了させる、又は BUS Switch 等を TE7720 の FLASH バス I/F に接続することが必要です。TE7720 が FLASH バスを開放していることは、BUS\_RELEASE ( = " 1 " ) 信号により外部デバイスに通知します。

上記のように BUS\_REQ 信号は優先順位が低いため、常に " 1 " を入力しても基本的に問題はありませぬ。但し、BUS\_REQ 信号を " 0 " にする必要があるのは以下の場合です。

コンフィギュレーションデータを FLASH に書き込むため、JTAG からのアクセスがあると TE7720 は無条件に BUS\_RELEASE 信号を " 0 " にし、FLASH バスをドライブします。この時ダウンロードデータのサイズが 4Mbit の容量を越える場合(\*3)、TE7720 のハード仕様により、4Mbit 毎に一度 FLASH バスを開放し ( BUS\_RELEASE=1 )、その後ダウンロードデータの後続のアクセスが始まると再度 FLASH バスをドライブする ( BUS\_RELEASE=0 ) 動作となります。これは、TE7720 が Xilinx 社のツールからみると 4Mbit の 18V04 に見えるための制限となります。この時、BUS\_RELEASE 信号が 4Mbit 毎に " 0 " " 1 " " 0 " と変化します。JTAG からのアクセスの開始から終了まで確実に BUS\_RELEASE 信号を " 0 " にしておきたい時は、この期間 BUS\_REQ に " 0 " 入力しておく必要があります。

#### (\*1) Configuration に関するアクセス

TE7720 は、FPGA の DONE 信号を接続する XCEI 端子入力に " 0 " が入力されると Configuration の開始と判断します。Configuration の終了は、XCEI 端子入力に " 1 " が入力されることで判断します。従って、FPGA の Configuration が正常に終了しない場合には、Configuration の終了を認識できず、その後 FLASH バスを開放することはありません。

**システムのリセット時の動作については、上記を十分に考慮してシステム設計をして下さい。**

#### (\*2) JTAG からのアクセス

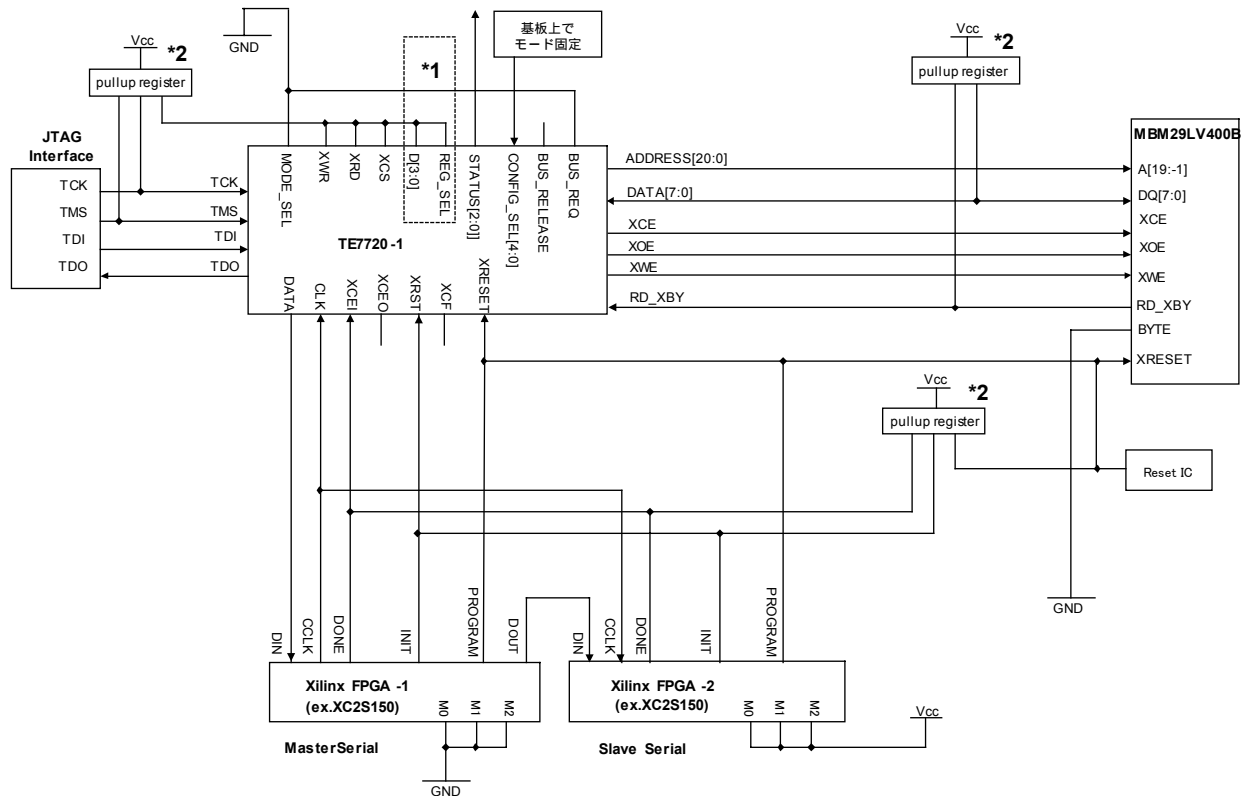
TE7720 への JTAG からのアクセスは、TCK、TDI、TMS 入力端子を使用した JTAG コマンドの入力により開始されます。FLASH バスをドライブするタイミングは、初期化のコマンドが正常に入力され、FLASH へアクセスする準備が整った時点になります。具体的には、TCK に同期して TDI から入力される 8 ビット長のコマンドを、TMS 入力により TAP コントローラの状態を遷移させ、2 つ目のコマンドを正常に認識した時点になります。JTAG コマンドは、パラレルケーブルを介して接続した PC 上で "playlb.exe" を実行することにより開始されることとなります。

#### (\*3) ダウンロードデータのサイズが 4Mbit の容量を越える場合

ダウンロードには、TE7720 付属の "playlb.exe" を使用して頂きますが、この時ユーザの操作としては 4Mbit の容量を越えるデータでも PC の DOS 窓で > playlb.exe ファイル名 とタイプするだけです。従って、TE7720 ハードウェアが 4Mbit 毎に一度 FLASH バスを開放する動作は PC 上からは見えず、ハードウェアが自動的に行う動作となります。

## 4. 接続参考図

### 4- 1. TE7720 x1 (Max:16Mbit)、FPGA x2 の場合



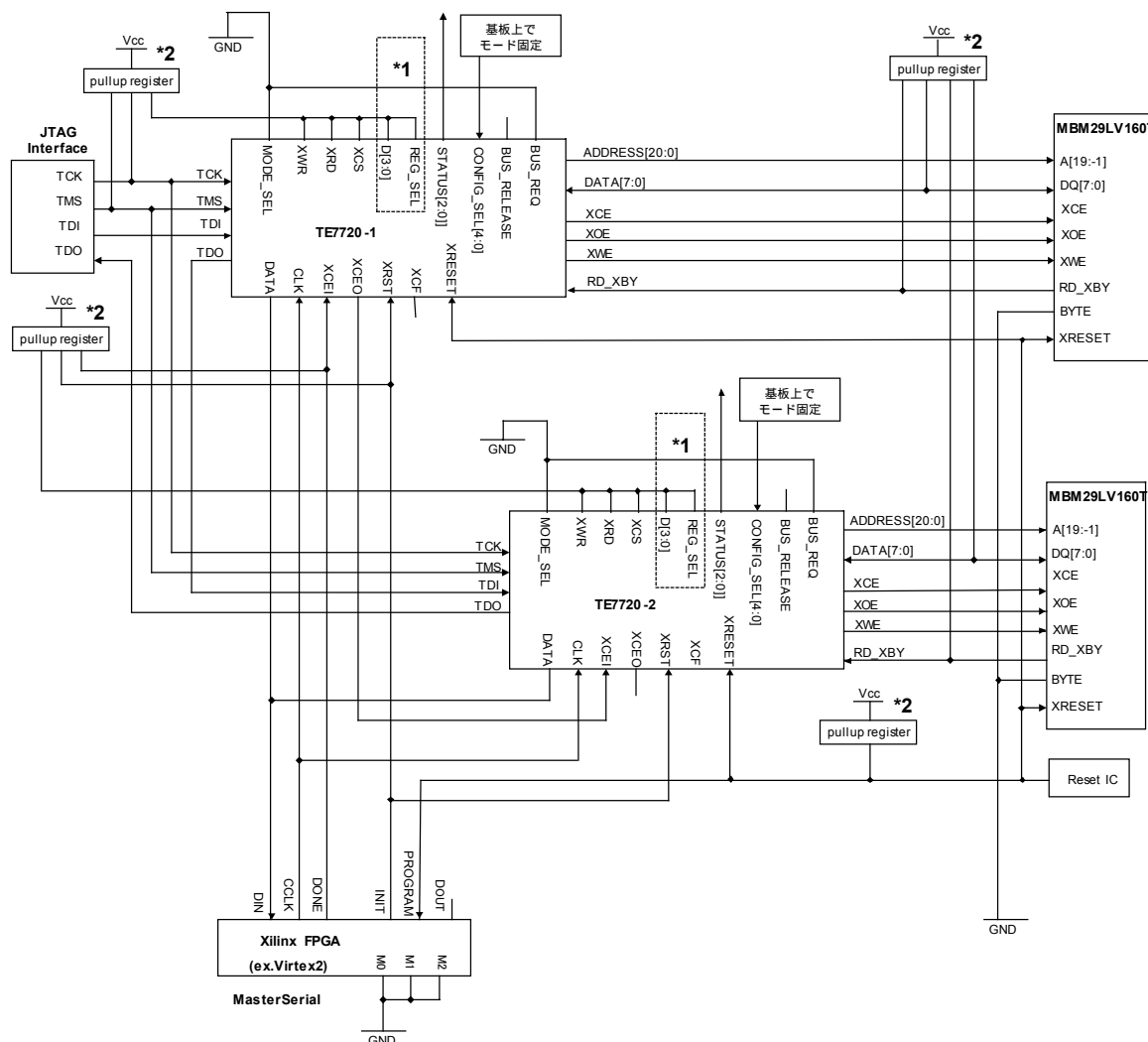
\*1 REG\_SEL 及び D[3:0]端子は、GND 接続でも動作上問題ありません。

\*2 Xilinx FPGA、JTAG I/F 信号にて使用されるプルアップ抵抗値は、各 FPGA のデータシート又はアプリケーションノートを参照願います。

注) TE7720 に接続するフラッシュメモリの容量は 4M/8M/16M bit から選択できます。

**Xilinx 社 iMPACT でダウンロードするための SVF データを作成する場合、ツール上でチェーンする 18V04 (容量:4Mbit) の数は実機で接続する FLASH の容量に合わせる必要があります。**例えば 12Mbit 程度のコンフィギュレーションデータをダウンロードする場合、TE7720 は 4M/8M/16Mbit のフラッシュメモリしかサポートしていない為、ツール上で作成するデータは 18V04 を 3 個チェーンした上で、更にダミーの 18V04 x1 をチェーンし、合計容量を 4Mbit x 4=16Mbit に合わせる必要があります。(詳細は [TE7720-APP001 SVF データの作成](#) を参照下さい)

## 4- 2. TE7720 x2 (Max:32Mbit)、FPGA x1 の場合



\*1 REG\_SEL 及び D[3:0]端子は、GND 接続でも動作上問題ありません。

\*2 Xilinx FPGA、JTAG I/F 信号にて使用されるプルアップ抵抗値は、各 FPGA のデータシート又はアプリケーションノートを参照願います。

注 1) TE7720 に接続するフラッシュメモリの容量はそれぞれ 4M/8M/16M bit から選択できます。従って、以下の組み合わせが可能です。この時、前段、後段の順番は問いません。

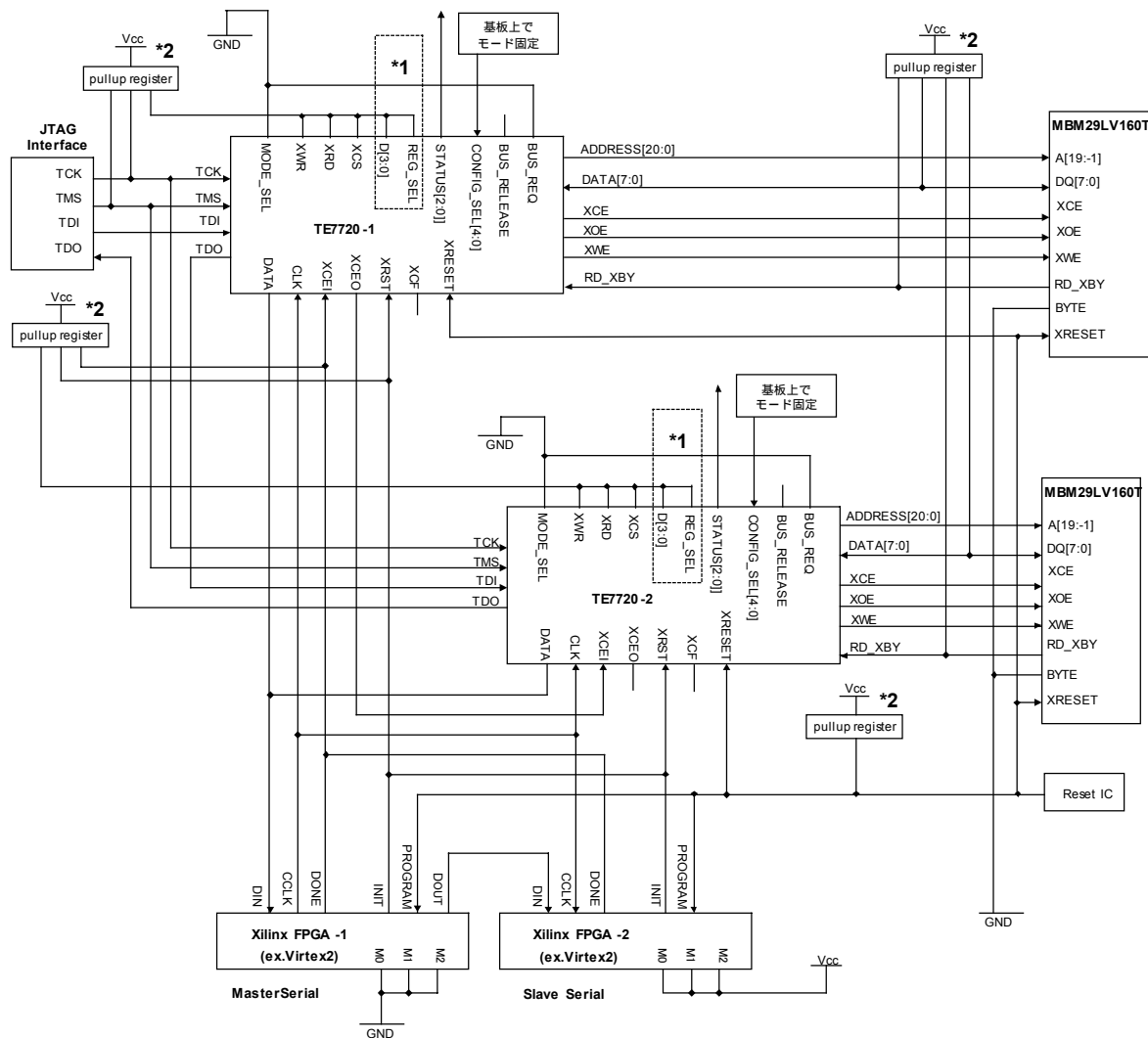
- ・ 4M+4M = 8M bit
- ・ 4M+8M = 12M bit
- ・ 4M+16M = 20M bit
- ・ 8M+8M = 16M bit
- ・ 8M+16M = 24M bit
- ・ 16M+16M= 32M bit

**Xilinx 社 iMPACT でダウンロードするための SVF データを作成する場合、ツール上でチェーンする 18V04 の数は上の合計容量に合わせる必要があります。**

例えば、TE7720 を 1 つだけ使用し、12Mbit 程度のコンフィギュレーションデータをダウンロードする場合、TE7720 単体では 4M/8M/16Mbit の容量しかサポートしていない為、18V04 を 3 個チェーンした上で、更にダミーの 18V04 x1 をチェーンする必要がありますが (**TE7720-APP001 SVF データの作成** を参照下さい)、TE7720 を複数個接続する場合は、前段の TE7720 が 4Mbit のフラッシュを制御し、後段の TE7720 が 8Mbit のフラッシュを制御することができるので、iMPACT 上でダミーの 18V04 を挿入する必要はありません。

注 2) TE7720 をカスケード接続する場合の CCLK : MAX 周波数は 30MHz になります。

## 4-3. TE7720 x2 (Max:32Mbit)、FPGA x2 の場合



\*1 REG\_SEL 及び D[3:0]端子は、GND 接続でも動作上問題ありません。

\*2 Xilinx FPGA、JTAG I/F 信号にて使用されるプルアップ抵抗値は、各 FPGA のデータシート又はアプリケーションノートを参照願います。

注 1) TE7720 に接続するフラッシュメモリの容量はそれぞれ 4M/8M/16M bit から選択できます。従って、以下の組み合わせが可能です。この時、前段/後段の容量による順番は問いません。

- 4M+4M = 8M bit
- 4M+8M = 12M bit
- 4M+16M = 20M bit
- 8M+8M = 16M bit
- 8M+16M = 24M bit
- 16M+16M= 32M bit

**Xilinx 社 iMPACT でダウンロードするための SVF データを作成する場合、チェーンする 18V04 の数は上の合計容量に合わせる必要があります。**

例えば、TE7720 を 1 つだけ使用し、12Mbit 程度のコンフィギュレーションデータをダウンロードする場合、TE7720 単体は 4M/8M/16Mbit の容量しかサポートしていない為、18V04 を 3 個チェーンした上で、更にダミーの 18V04 x1 をチェーンする必要がありますが( **TE7720-APP001 SVF データの作成 を参照下さい** )、TE7720 を複数個接続する場合は、前段の TE7720 が 4Mbit のフラッシュを制御し、後段の TE7720 が 8Mbit のフラッシュを制御できるので、iMPACT 上でダミーの 18V04 を挿入する必要はありません。

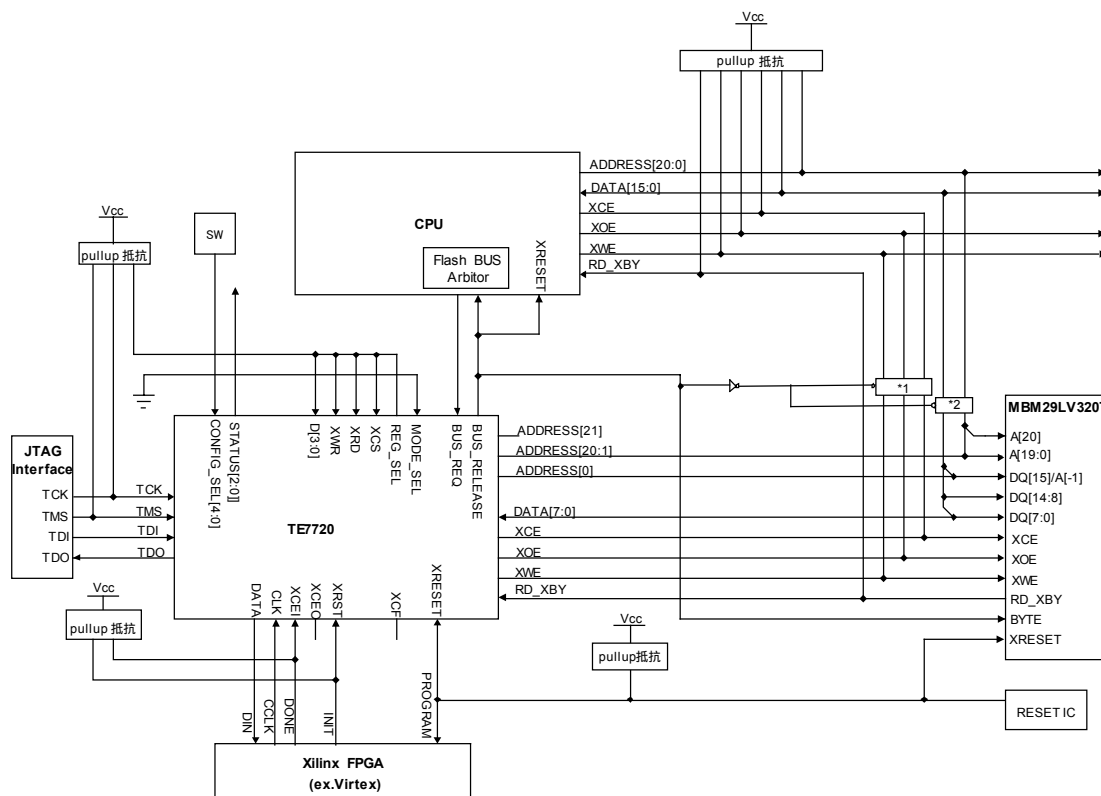
注 2) TE7720 をカスケード接続する場合の CCLK : MAX 周波数は 30MHz になります。

www.DataSheet4U.com



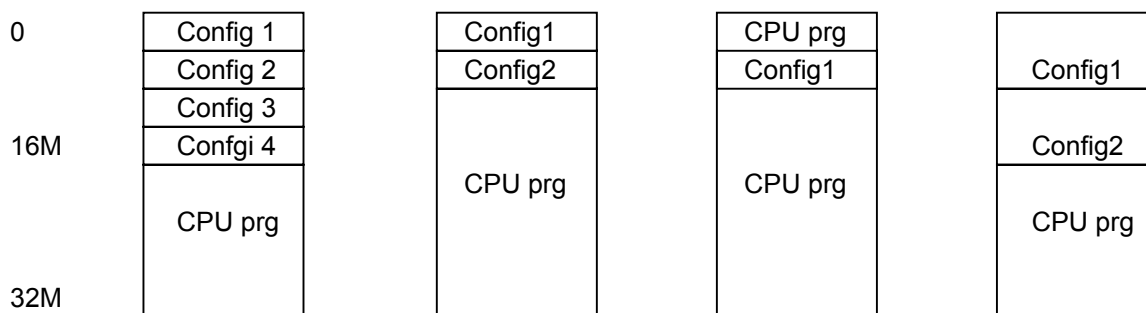
## 4-4. CPU と TE7720 の FLASH ROM 共有

## 4-4-1. コンフィグ終了後 TE7720 が CPU リセットを解除



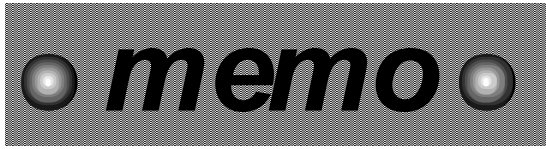
BUS\_RELEASE 信号を使用して CPU のリセットを制御しています。BUS\_RELEASE 信号はリセット中”L”で、コンフィギュレーションが終了し、TE7720 が待機状態になると BUS\_REQ 信号が”H”の場合”H”を出力します。CPU から FLASH へのアクセスが 16 ビット幅の場合、FLASH の BYTE 端子へ BUS\_RELEASE 信号を接続することでバス幅の制御が可能です。TE7720 からのアクセスはバス幅が 8 ビット固定ですが、TE7720 から FLASH へアクセスする期間、BUS\_RELEASE 信号は必ず”L”となります。CPU から FLASH へのアクセスが 8 ビット幅の場合は BYTE 信号を GND に接続して下さい。CPU リセット中に CPU の FLASH バスが開放されている場合、\*1、\*2 のバススイッチは必要ありません。BUS\_REQ、BUS\_RELEASE の詳細については、3.端子仕様を参照下さい。

## &lt;FLASH・メモリマップ例&gt;



0-16Mbit までの領域は、CONFIG\_SEL 端子を使用して所望のエリアに FPGA の Configuration Data を格納できます。Configuration Data 以外の領域は CPU が使用するという使い方が可能です。 [www.DataSheet4U.com](http://www.DataSheet4U.com)






---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---

---



A series of 20 horizontal lines spaced evenly down the page, providing a template for handwritten notes or a table of contents.



# 東京エレクトロン デバイス株式会社

TOP マーケティンググループ

〒224-0045 神奈川県横浜市都筑区東方町 1 番地

TEL:045-474-7013 FAX:045-474-5617

E-mail [top@teldevice.co.jp](mailto:top@teldevice.co.jp)

URL <http://www.teldevice.co.jp>

お問い合わせは下記営業担当までお願い致します。

- ・この資料の記載内容は、予告なしに変更することがあります。ご使用を検討の際には弊社担当までご確認ください。
- ・この資料に記載された情報・図面の使用に起因する第三者の特許権、工業所有権、その他の権利侵害について、弊社はその責任を負うものではありません。
- ・本製品を他の製品と組み合わせて、または他の製品に組み込んで使用される二次製品、三次製品等について、第三者との間に特許権、実用新案権、回路配置利用権、著作権、その他の知的財産権の関する紛争が発生した場合には、本製品をご使用される方の責任において処理、解決してください。
- ・本製品は、生命維持装置、原子力制御装置、航空宇宙機、輸送機器等の極めて高い信頼性が要求される装置用に製造されておりません。