

**特性**

- 通过 USB PD2.0 认证。
- 通过 USB PD3.0 认证。
- 规格型号一：
  - PD3.0 5V3A, 9V2A 12V1.5A
  - QC2.0 5V, 9V 和 12V 离散调压
  - QC3.0 3.6V ~ 12V 的 200mV 步进连续调压
  - BC1.2 DCP 模式
- 规格型号二：
  - PD3.0 5V3A, 9V2A
  - BC1.2 DCP 模式
  - 支持扩展 5V2.4A 模式
- 集成电压环路补偿和电流环路补偿网络
  - 已经包含次级侧补偿电路, 如 TL431
- VBUS 和 VIN 引脚快速放电
- 宽工作电压范围: 3.3V 至 20V
- 支持线路阻抗补偿 100mΩ/1A
- CC 引脚支持 20V 高压, 有效保护 CC 脚与 VBUS 短路的风险

- 支持 OTP, VIN OVP, VIN UVP, VIN UVLO 和 OCP 等保护功能
- 超低待机功耗 - 250uA
- QFN-16 封装
- ±5kV ESD HBM

**应用**

- 电源适配器
- 车载充电器
- USB-PD 转换器

**概述**

XSB338 是一颗高性能、高集成度的 USB Type-C Power Delivery (电力传输) 控制器。它集成了 PD3.0, PD2.0, QC2.0, QC3.0, BC1.2 等协议。XSB338 适用于电源适配器、车载充电器、移动电源等应用场合。XSB338 支持 QFN-16L 封装形式

**典型应用电路**

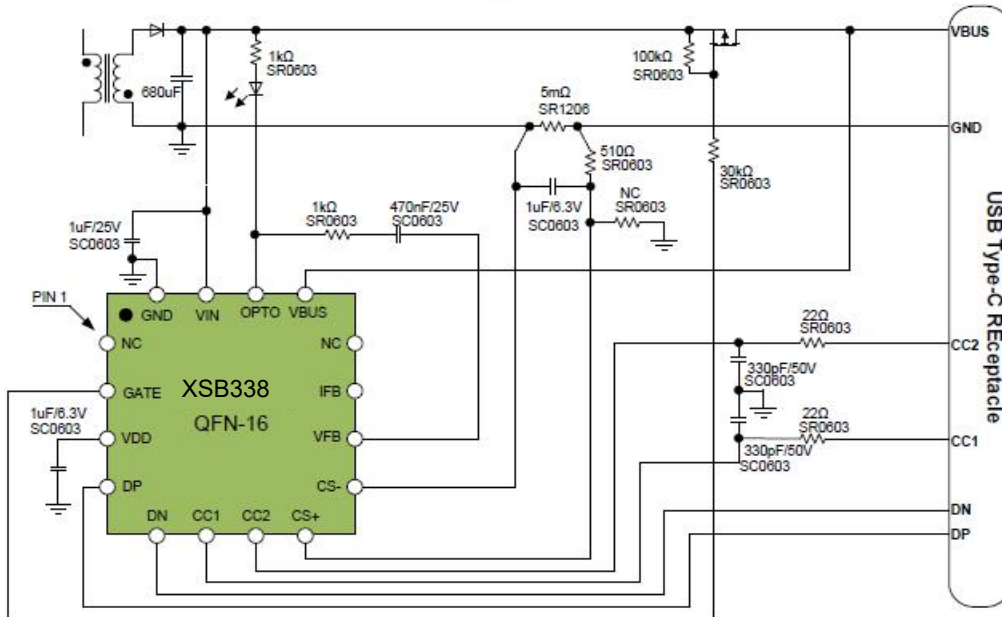


图 1.XSB338 典型应用电路

更改记录

Version	Date	Descriptions
V1.0	2019-01-24	Initial version

## Contents

特性.....	1
应用.....	1
概述.....	1
典型应用电路.....	1
更改记录.....	2
规格指标.....	5
绝对最大值.....	7
热阻.....	7
ESD 警告.....	7
引脚定义.....	8
电路工作原理.....	9
VIN 和 VDD 引脚.....	9
VIN 电源系统.....	9
VIN 放电.....	9
VIN 电压采样.....	9
VDD 电源系统.....	9
环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚).....	9
恒压补偿电路 (CV 环路).....	9
电压切换斜率.....	9
阻抗补偿功能 (IR 补偿).....	9
CC1 和 CC2 引脚.....	9
Type-C CC 功能.....	9
VBUS 引脚.....	10
vSafe0V 检测.....	10
VBUS 放电.....	10
Gate 引脚.....	10
过压保护 VIN_OV.....	10
欠压保护 VIN_UV.....	10
过温保护 OT.....	10
过流保护 IIN_OC.....	10

D+和 D-引脚.....	10
典型应用框图.....	12
封装尺寸图.....	13
QFN-16 封装.....	13
封装顶层丝印.....	13
订购指南.....	13

规格指标

测试条件  $V_{IN} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ , 除非特别说明.

表 1.

参数	符号	测试条件	最小值	典型值	最大值	单位
<b>GENERAL PARAMETERS</b>						
Supply Voltage	$V_{IN}$		3.3		20	V
Supply Voltage UVLO Threshold	$V_{IN\_UVLO}$	Rising Falling		2.85 2.75		V V
Supply Current at Normal Operating	$I_{CC\_OPR}$			1		mA
Supply Current at Sleep Mode	$I_{CC\_SLEEP}$	GATE pin is not pulled low. CC1 and CC2 floating		250		$\mu\text{A}$
Regulator Voltage	$V_{DD}$			1.8		V
Operating Junction Temperature	$T_J$		-40		125	$^\circ\text{C}$
Operating Ambient Temperature	$T_A$		-40		105	$^\circ\text{C}$
<b>Type-C</b>						
Default Mode Pullup Current Source	$I_{CC\_DEF}$		64	80	96	$\mu\text{A}$
1.5A Mode Pullup Current Source	$I_{CC\_1P5}$		166	180	194	$\mu\text{A}$
3.0A Mode Pullup Current Source	$I_{CC\_3P0}$		304	330	356	$\mu\text{A}$
UFP Detecting threshold at Default Current	$V_{TH\_DEF}$		1.51	1.6	1.64	V
UFP Detecting threshold at 1.5A current	$V_{TH\_1A5}$		1.51	1.6	1.64	V
UFP Detecting threshold at 3.0A current	$V_{TH\_3A0}$		2.46	2.6	2.74	V
<b>BMC COMMON PARAMETERS</b>						
Bit Rate	$f_{BitRate}$		270	300	330	Kbps
<b>BMC TX PARAMETERS</b>						
Maximum Difference between the Bit-rate during the Part of the Packet Following the Preamble and the Reference Bit-rate.	$p_{BitRate}$				0.25	%
Time to Cease Driving the Line after the End of the Last bit of the Frame.	$t_{EndDriveBMC}$				23	$\mu\text{s}$
Fall Time	$t_{Fall}$		300			ns
Time to cease driving the line after the final high-to-low transition.	$t_{HoldLowBMC}$		1			$\mu\text{s}$
Time from the End of Last Bit of a Frame until the Start of the First bit of the Next Preamble.	$t_{InterFrameGap}$		25			$\mu\text{s}$
Rise Time	$t_{Rise}$		300			ns
Time Before the Start of the First Bit of the Preamble when the Transmitter shall Start Driving the Line.	$t_{StartDrive}$		-1		1	$\mu\text{s}$
Voltage Swing	$V_{Swing}$		1.05	1.125	1.2	V
Transmit Low Voltage			-75		75	mV
Transmitter Output Impedance	$Z_{Driver}$		33	54	75	$\Omega$
<b>BMC RX PARAMETERS</b>						
Hysteresis				160		mV
Time Window for Detecting Bus Non-idle	$t_{TransitionWindow}$		12		20	$\mu\text{s}$
Number to Count to Detect Bus Non-idle	$n_{Count}$		3			
Time Constant of a Single Pole Filter to Limit Broad-band Noise Ingression1	$t_{RxFilter}$		100			ns
Receiver Input Impedance	$Z_{BmcRx}$		1			$\text{M}\Omega$
<b>D+ AND D- PINS</b>						
Output Voltage Selection Reference	$V_{SEL\_REF}$		1.8	2.0	2.2	V
Data Detect Voltage Reference	$V_{DAT\_REF}$		0.25	0.325	0.4	V
DatLine Leakage Resistance	$R_{DAT\_LKG}$		300	-	1500	k $\Omega$
D- Pulldown Resistance during HVDCP Mode	$R_{DM\_DWM}$		14.25	19	24.5	k $\Omega$
D+ to D- Resistance During DCP mode	$R_{DCP\_DAT}$			100	200	$\Omega$
D+ High Glitch Filter Time	$T_{GLITCH\_BC\_DONE}$		1000	1250	1500	ms
D- Low Glitch Filter Time	$T_{GLITCH\_DM\_LOW}$		1	2		ms
Output Voltage Glitch Filter Time	$T_{GLITCH\_V\_CHANGE}$		20	40	60	ms

Glitch Filter for D+/- Continuous Change	T <sub>GLITCH_CONT_CHANGE</sub>	Continuous Mode	100	150	200	us
<b>VOLTAGE CONTROL(VFB PIN)</b>						
Voltage Sense Scaling Factor				10		
Time from Source issue GoodCRC to Start Voltage Transition	t <sub>SrcTransition</sub>			30		ms
<b>CURRENT CONTROL (CS+, CS-, IFB PINS)</b>						
Current Sense Resistor				5		mΩ
<b>GATE PIN</b>						
Maximum Sinking Current			2		20	mA
Pull Low Impedance				50	150	Ω
<b>OPTO PIN</b>						
Min OPTO Current				30		μA
Max Pull Down Current				3		mA
<b>OV AND OC PROTECTIONS</b>						
Over-voltage Protection Threshold	V <sub>IN_OV</sub>	With respect to V <sub>IN_REF</sub>	115	120	125	%
Under-voltage Protection Threshold	V <sub>IN_UV</sub>	With respect to V <sub>IN_REF</sub>	75	80	85	%
Over-current Protection Threshold	I <sub>IN_OC</sub>	With respect to I <sub>IN_REF</sub>	110	125	140	%
Thermal Shutdown Risng	t <sub>TSD_RISE</sub>			130		°C
Thermal Shutdown Falling	t <sub>TSD_FALL</sub>			80		°C

## 绝对最大值

表 2.

Parameter	Rating
VIN, GATE, VBUS, OPTO	-0.5V to +20V
CC1, CC2	-0.5V to +20V
VDD, D+, D-, CS+, CS-, VFB, IFB	-0.5V to +6V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
ESD HBM (Human Body Model)	±5kV
ESD MM (Machine Model)	500 V
Soldering Conditions	JEDEC J-STD-020

## 热阻

$\theta_{JA}$  is specified for the worst-case conditions, that is, a device soldered in a circuit board for surface-mount packages.

表 3. 热阻

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
QFN-16	47	4.5	°C/W

## ESD 警告

**ESD (electrostatic discharge) sensitive device.**

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

## 引脚定义

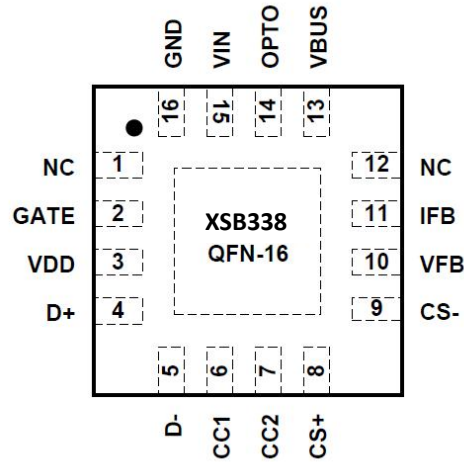


图 2. 引脚定义图, 顶视图

表 4. XSB338 管脚功能描述

引脚号	引脚名称	引脚类型	电压类型	引脚描述
15	VIN	P	HV	Supply input voltage. Connect this pin to GND via the recommended ceramic capacitor.
16	GND	P	-	Power ground.
1	NC	-	-	Not connection.
2	GATE	OD	HV	Open drain gate drive output.
3	VDD	P	LV	1.8 V regulator output for system power.
4	D+	DIO	LV	USB D+ line.
5	D-	DIO	LV	USB D- line.
6	CC1	AIO	HV	Type-C CC1 line.
7	CC2	AIO	HV	Type-C CC2 line.
8	CS+	AI	LV	Positive input of the current sense amplifier.
9	CS-	AI	LV	Negative input of the current sense amplifier. Provide a low ohmic connection to GND.
10	VFB	AI	LV	Voltage loop feedback.
11	IFB	AI	LV	Current loop feedback.
12	NC	-	-	Not connection.
13	VBUS	AI	HV	VBUS sense and discharge sink.
14	OPTO	AI	HV	OPTO driver.

Legend:

HV=High Voltage 高压引脚 (最高 20V)

LV=Low voltage 低压引脚 (最高 6V)

OD=Open Drain 开漏引脚

A=Analog 模拟引脚

P= Power 电源引脚

D=Digital 数字引脚

I=Input 输入引脚

O=Output 输出引脚



## 电路工作原理

### VIN 和 VDD 引脚

#### VIN 电源系统

VIN 引脚是芯片的供电引脚，连接 AC-DC 功率变换器或者 DC-DC 功率变换器的输出端。推荐在 VIN 引脚和 GND 引脚之间连接 1 $\mu$ F 的陶瓷电容作为去耦电容，引线越短越好。

#### VIN 放电

VIN 引脚同时连接到内部一个能量泄放电阻和 MOSFT 组成的电路。这个电路在特定条件下开通，泄放功率级输出电容上的能量。

#### VIN 电压采样

参见环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚) 章节。

#### VDD 电源系统

一个内部 LDO 输出 1.8V 电源。在 VDD 引脚和 GND 引脚之间连接 1 $\mu$ F 的陶瓷电容作为去耦电容，引线越短越好。

### 环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚)

XSB338 自带恒压补偿电路 (CV 环路) 和恒流补偿电路 (CC 环路)。环路补偿电路的输出连接 OPTO 引脚，用于驱动光耦的初级侧，控制功率级的环路。该电路替换了传统的电压环路补偿电路，如 TL431。

#### 恒压补偿电路 (CV 环路)

CV 环路网络由功率级输出电压采样电路、CV 环路的差分运放电路和 OPTO 信号控制电路组成。CV 环路的输入端 VFB 通过内部连接一个 90k $\Omega$  和 10k $\Omega$  的分压网络，按照 10:1 比例采样 VIN 引脚的电压。CV 环路的补偿由 OPTO 引脚和 VFB 引脚之间的补偿电路实现。

#### 电压切换斜率

在电压切换期间，为了保证电压切换的平滑性，减少电压调节过冲，XSB338 设定了固定的电压切换斜率。

#### 阻抗补偿功能 (IR 补偿)

XSB338 具有阻抗补偿功能 (即线补功能)，可以按照输出电流的比例把功率级输出电压作一定的抬升。如果该功能被使能，功率级输出电压按照 100mV/A 的比例提升。例如，对于 5V3A 输出的情况，实际输出时电压为  $5V+3A*100mV/A=5.3V$ 。

### CC1 和 CC2 引脚

#### Type-C CC 功能

CC1 和 CC2 支持 DFP 模式的 3A 的 Type-C 电流广播。CC1 和 CC2 能够承受 20V 高压，当 Type-C 插座上的 CC1 或者 CC2 与 VBUS 短路时，芯片不会受到损坏。

通过 Type-C 检测，CC1 或者 CC2 会被连接到内部的 BMC 模块，实现 PD 通讯。

## VBUS 引脚

该引脚用于采样 Type-C 母座上的 VBUS 状态，监控 VBUS 电压和泄放 VBUS 上的能量，可以直接与 Type-C 母座上的 VBUS 连接。

### vSafe0V 检测

当 XSB338 进入 AttachWait.SRC 状态并维持  $t_{CCDebounce}$  时间后，XSB338 判断 VBUS 引脚上的电压是否在 vSafe0V。如果是，XSB338 拉低 GATE 引脚，进入 Attached.SRC 状态；否则保持在 AttachWait.SRC 状态。

### VBUS 放电

VBUS 引脚同时连接到内部一个能量泄放电阻和 MOSFET 组成的电路。这个电路在特定条件下开通 MOSFET，形成死负载，泄放功率级输出电容上的能量。

## GATE 引脚

GATE 引脚是漏极开路输出引脚（Open Drain），可以直接驱动 PMOS 负载开关。当 XSB338 进入 Type-C 连接状态（Attached.SRC）时，GATE 引脚被拉低。当 XSB338 退出 Type-C 连接状态，GATE 引脚停止拉低。

## 过压保护 VIN\_OV

XSB338 检测 VIN 引脚上的电压实现过压保护功能。过压保护门限为 CV 环路设定值  $V_{IN\_REF}$  的 120%，根据 PD 协商的电压，该门限会动态发生变化，但是始终为设定值的 120%。当发生过压保护后，GATE 停止拉低，XSB338 进入放电状态，然后进入待机状态。如果在待机状态所有故障信号消失，则会重新建立 Type-C 和 PD 连接。

## 欠压保护 VIN\_UV

XSB338 检测 VIN 引脚上的电压实现欠压保护功能。欠压保护门限为 CV 环路设定值  $V_{IN\_REF}$  的 80%，根据 PD 协商的电压，该门限会动态发生变化，但是始终为设定值的 80%。当发生欠压保护后，GATE 停止拉低，XSB338 进入放电状态，然后进入待机状态。如果在待机状态所有故障信号消失，则会重新建立 Type-C 和 PD 连接。

## 过温保护 OT

XSB338 在结温达到 130°C 时会发生过温保护，随着结温降低到 80°C 过温保护撤除。

## 过流保护 IIN\_OC

XSB338 检测采样到的电流达到电流参考值  $I_{IN\_REF}$  的 125%时会发生过流保护。

## D+和 D-引脚

XSB338 的 SOP-14L 封装和 QFN-16L 封装具有 D+和 D-引脚，支持 HVDCP 检测和 BC1.2 检测。HVDCP 的硬件实现电路如下图所示，其调压配置表如下表所示。

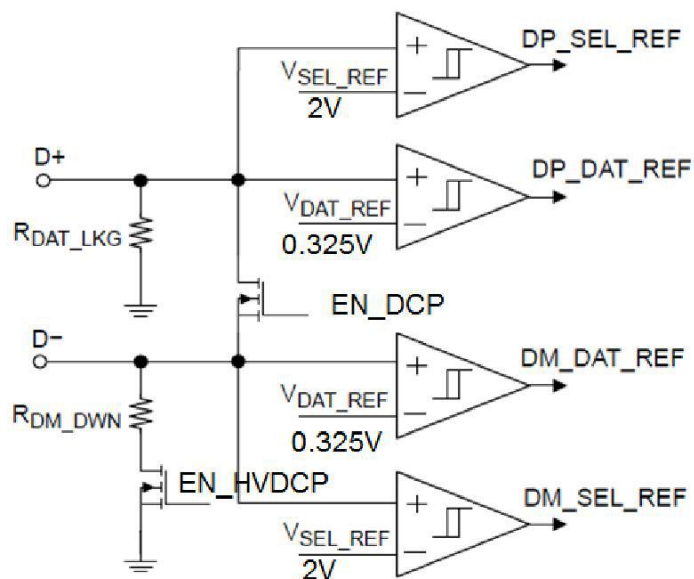


图 3. QC 硬件实现

表 5. QC 调压配置表

设备端信号		HVDCP
D+	D-	适配器输出电压
0.6V	0.6V	12 V
3.3 V	0.6 V	9 V
0.6 V	3.3 V	连续模式
0.6 V	GND	5 V

典型应用框图

图 4 给出了 XSB338 驱动光耦的典型应用框图。

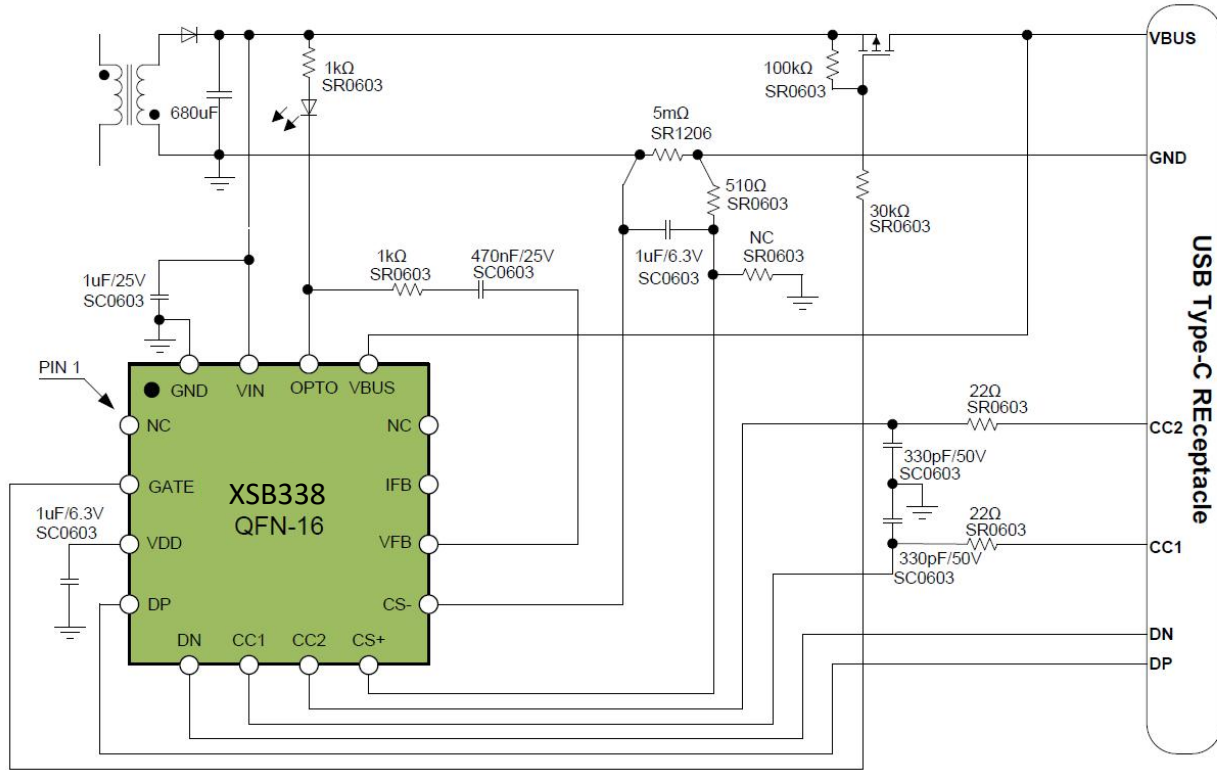


图 4. XSB338 典型应用电路

封装尺寸图

QFN-16 封装

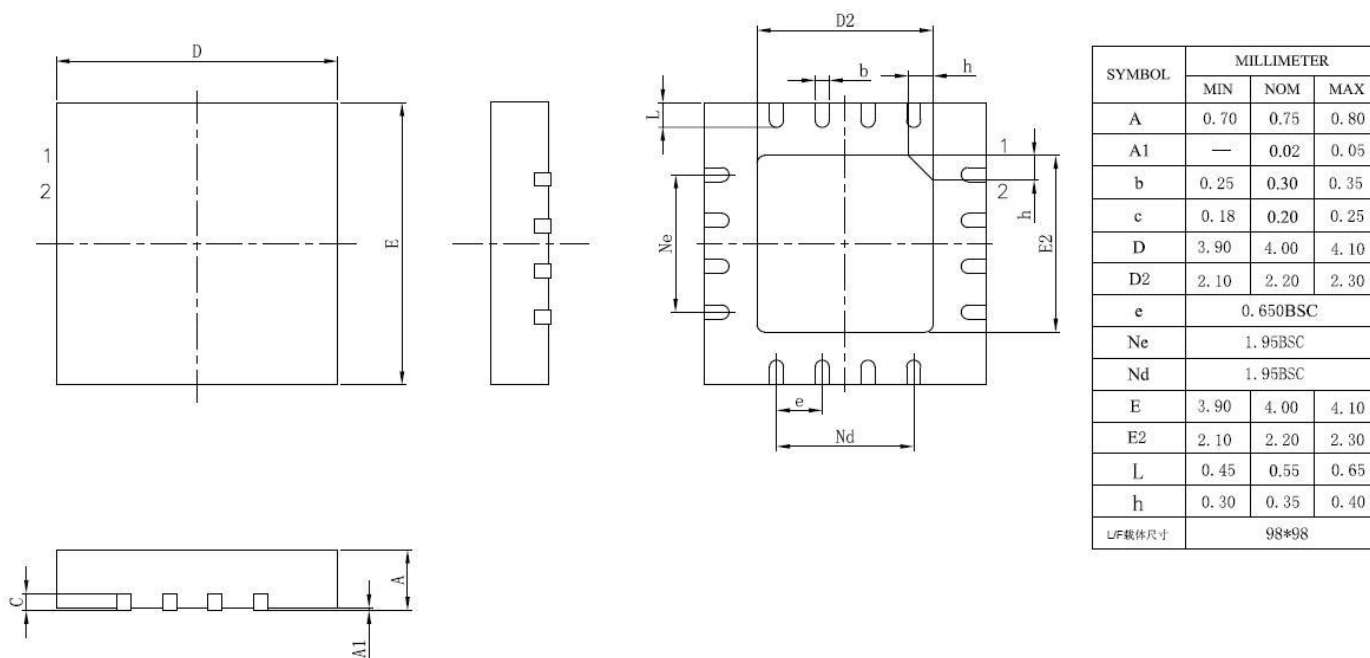


图 5. QFN16 封装, 4 mm × 4 mm

封装顶层丝印

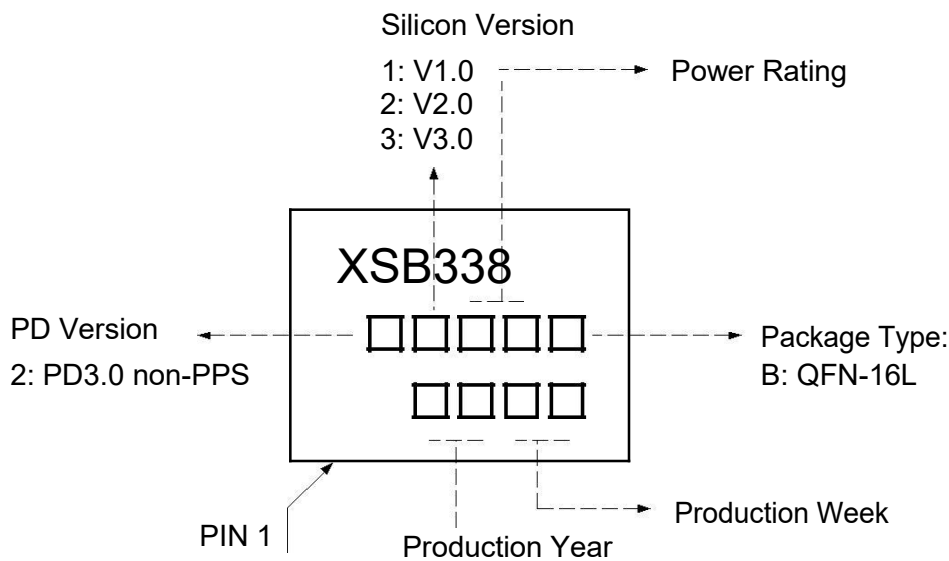


图 6. 封装顶层丝印

订购指南

订货型号	Power	5V	9V	12V	BC1.2 DCP	QC	封装形式	包装形式
XSB338211IB	18W	3A	2A	-	Y	N	QFN-16	Tape & Reel, 5k
XSB3382118B	18W	3A	2A	1.5A	Y	Y	QFN-16	Tape & Reel, 5k