

YM2608

OPNA

アプリケーションマニュアル

## 概 要

YAMAHA音源LSI OPNAは、OPN (YM2203)との互換性を保ちながら、更に機能を拡張した複合型音源システムです。

FMサウンド6音同時発音に加えて、新世代音源に要求されるサンプリング機能、リアリティの高いデジタルリズム音源を内蔵しました。

さらに2チャンネル出力対応としました。

FM音源、SSG音源、ADPCM音源、リズム音源の4音源部によるシステム構成は、あらゆるサウンドコンセプトに柔軟に対応します。

## 特 徴

- FM音源・・・・・・・・・・4オペレータ・6音同時発音。  
サイン波LFO機能内蔵。  
YM2203とソフトウェアコンパチブル。
- SSG音源・・・・・・・・・・YM2203とソフトウェアコンパチブル。  
(出力は3chをミキシング後出力。)
- ADPCM音源・・・・・・・・ADPCM音声分析・合成機能。  
外部メモリ、及びCPUが管理するメモリへのアクセス可能。  
サンプリングレート16KHz max.
- リズム音源・・・・・・・・デジタルリズム6音色。(イベント方式による発音制御)
- DAC出力・・・・・・・・専用DAC YM3016。2ch出力。
- マスタークロック・・・・・・・・8MHz
- Nch-Si gate MOS LSI
- 5V単一電源
- 64pin プラスチックSDIP

# 第1章 構成と機能

## 1-1 主要機能

OPNAの基本機能は、FM音源、SSG音源、ADPCM音源、リズム音源の4つの音源部に大別できます。

### 1) FM音源部

FM音源部の基本機能は、OPN (YM2203) と同じです。  
(■部分が拡張された機能です。)

- 発音モード . . . . . 4 オペレータFM方式、**6音同時発音**。
- アルゴリズム . . . . . 8種類。
- パラメータ . . . . . レジスタアドレス、及びFM音源部参照。
- LFO機能** . . . . . サイン波LFO。ピッチ (PM)、及び振幅 (AM) 変調。  
LFO周波数可変。PMS, AMS制御と、オペレータ毎の  
AM on/off可能。
- 複合正弦波合成 . . . . . 6音中1音可能。
- タイマー機能 . . . . . A, Bの2種類のタイマー。
- 出力制御** . . . . . L及びRのon/off。

### 2) SSG音源部

SSG音源部は出力方法を除き、OPNと同じです。

- 発音形態 . . . . . 矩形波3音+ホワイトノイズ。
- 各データの機能 . . . . . レジスタアドレス参照。
- 出力 . . . . . 内部ミキシングにより、1端子から出力。
- I/Oポート . . . . . 8ビット汎用I/Oポート×2

### 3) リズム音源部

リズム音源部は、リズムROMを内蔵したADPCM音声合成方式によるデジタルリズムです。

- 発音音色数 . . . . . 6音 (ハット、スネア、リムショット、タム、シンバル、ハイハット)
- 発音制御 . . . . . イベント方式 (ダンプ可)
- レベル制御 . . . . . 各音色独立制御可能。  
トータルレベル制御可能。
- 出力制御 . . . . . L, 及びRのon/off。

#### 4) ADPCM音源部

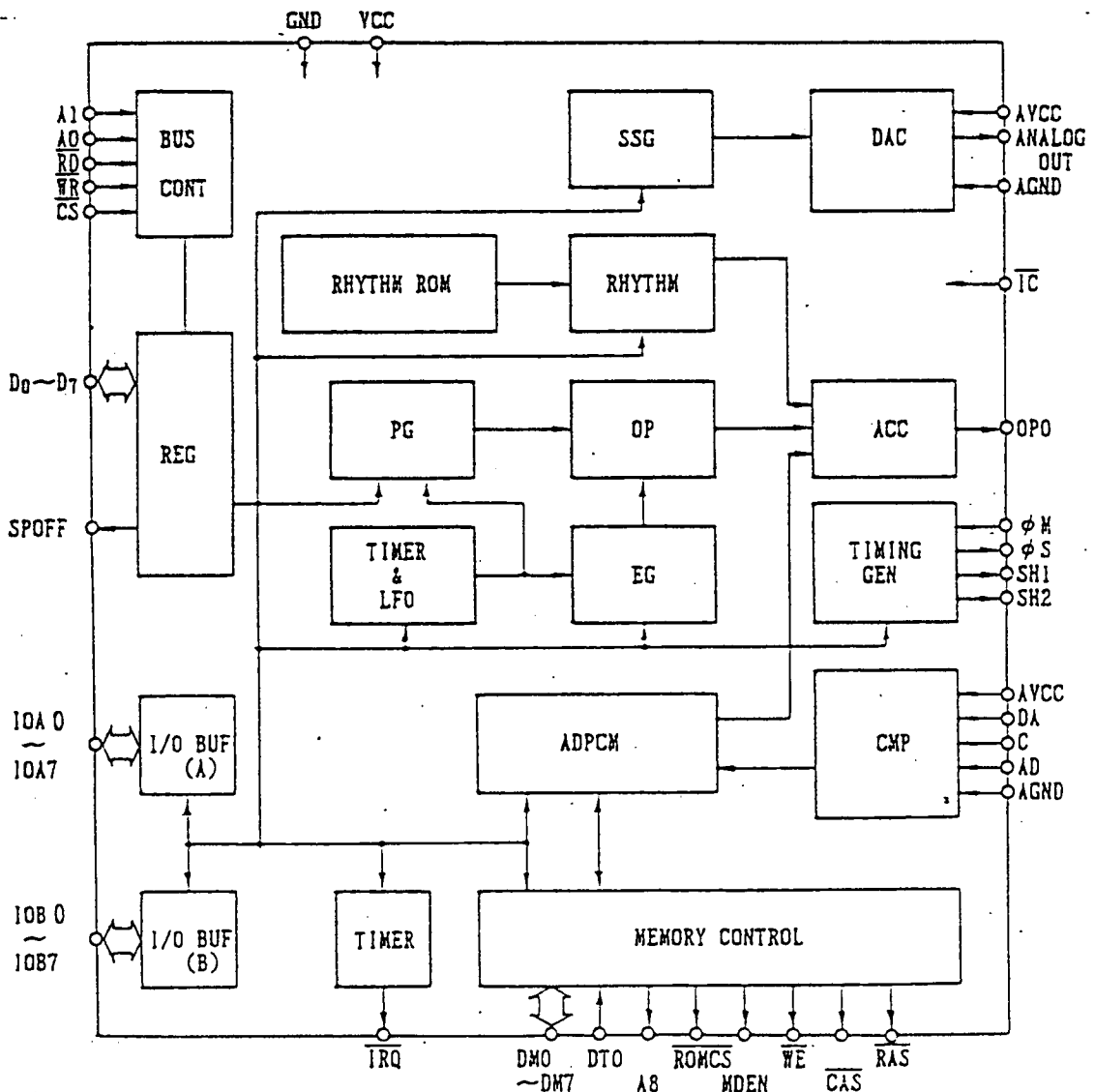
ADPCM音源部は、音声分析・合成、外部メモリコントロール、AD/DA変換機能で構成されています。

- サンプリングレート・・・2kHz～16kHz。
- AD/DA変換・・・8bit
- ADPCM分析・・・4bit
- 線形補間レート・・・55.5kHz
- データメモリ・・・外部RAM・ROM、またはCPUが管理するメモリ。
- 外部メモリ容量・・・256kbytes (max)  
DRAMアクセスを×1bit、×8bit選択可能。
- 出力制御・・・L及びRのon/off。
- 無音識別・・・分析中の無音状態の識別可能。

#### 5) DAC

専用DAC・YM3016を使用。

#### 1-2 ブロックダイアグラム



1-3 端子配置図

GND	1	I	0	64	$\phi S$
D0	2	I/O	I	63	$\phi M$
D1	3	I/O	I	62	VCC
D2	4	I/O	I	61	A1
D3	5	I/O	I	60	AO
D4	6	I/O	I	59	$\overline{RD}$
D5	7	I/O	I	58	$\overline{WR}$
D6	8	I/O	I	57	$\overline{CS}$ *
D7	9	I/O	0	56	$\overline{IRQ}$
IOA7	10	I/O	I/O	55	DM7
IOA6	11	I/O	I/O	54	DM6
IOA5	12	I/O	I/O	53	DM5
IOA4	13	I/O	I/O	52	DM4
IOA3	14	I/O	I/O	51	DM3
IOA2	15	I/O	I/O	50	DM2
IOA1	16	I/O	I/O	49	DM1
IOA0	17	I/O	I/O	48	DM0
IOB7	18	I/O	0	47	$\overline{RAS}$
IOB6	19	I/O	0	46	$\overline{CAS}$
IOB5	20	I/O	0	45	$\overline{WE}$
IOB4	21	I/O	0	44	MDEN
IOB3	22	I/O	0	43	ROMCS
IOB2	23	I/O	0	42	A8
IOB1	24	I/O	I	41	DT0
IOB0	25	I/O	I	40	$\overline{TEST}$ *
AGND	26	I	I	39	AGND
ANALOG OUT	27	0	I	38	DA
AVCC	28	I	I	37	C
SH1	29	0	I	36	AD
SH2	30	0	I	35	AVCC
OPO	31	0	0	34	SPOFF
GND	32	I	I	33	$\overline{IC}$ *

注： 本図はTOP VIEW

\* 印の端子にVccにプルアップされています。

#### 1-4 端子機能

- $\phi M$  : OPNAのマスタークロック（標準8MHz）を入力します。
- $\phi S, SH1, SH2$  : DAC用クロック（ $\phi S$ ）と同期信号（SH1, SH2）です。
- OP0 : FM、ADPCM、リズム各音源部のシリアルデータ出力です。
  
- D0~D7 : 8bitの双方向性データバスです。CPUとデータのやり取りを行います。
- $\overline{CS}, \overline{RD}, \overline{WR}, A1, A0$  : データバス（D0~D7）のコントロールを行います。
- $\overline{TRQ}$  : 割り込み信号を出力します。オープンドレイン出力です。
  
- ANALOG OUT : SSG音源部のアナログ出力端子です。ソースフォロワ出力です。
- IOA0~IOA7, IOB0~IOB7 : 2系列の8bit汎用I/Oポートです。Vccにプルアップされています。
  
- DMO ~DM7 : 外部メモリのアドレス（A0~A7）、データ入力（D10 ~D17）、及びデータ出力（D01 ~D07）の各信号を対応するDM0 ~DM7の各端子にマルチプレックスしています。
- A8, DT0 : A8は外部メモリのアドレス（A8）に、DT0はデータ出力（D00）に接続します。
- $\overline{RAS}, \overline{CAS}, \overline{WE}$  : 外部メモリのコントロール信号です。  
外部メモリがDRAMの場合は、対応する各端子に接続されます。  
ROMの場合はアドレスのラッチ信号（ $\overline{RAS} \cdot \overline{CAS}$ ）に使用して、 $\overline{RAS}$ がRASアドレスに、 $\overline{CAS}$ がCASアドレスに対応します。
- MDEN,  $\overline{ROMCS}$  : 外部メモリのデータを取り込むタイミング信号です。  
MDENが“1”の時、DRAMデータをDM1~DM7, DT0に乗せます。  
 $\overline{ROMCS}$ が“0”の時、ROMデータをDM1~DM7, DT0に乗せます。
  
- AD, C, DA : AD変換用の端子です。  
ADはアナログ入力端子で、AD変換可能な入力電圧は $V_{cc}/2 \pm V_{cc}/4$  (v)の範囲です。  
C端子はアナログ信号のサンプルホールド用コンデンサを接続します。  
DA端子は、AD変換時の基準電圧を入力する端子で、DAC出力に接続します。
- SPOFF : AD変換時、DAコンバータをリファレンス電圧発生器として使用するため、アンプ及びスピーカを切り離す必要があります。  
この端子は、そのためのコントロール端子として使用します。
  
- $\overline{TC}$  : OPNAの動作を初期化します。
- $\overline{TEST}$  : LSIのテスト用端子です。
- GND, AGND : グランド端子です。
- Vcc, AVcc : +5Vの電源端子です。

1-5 データバスコントロール

アドレス指定、データのリード/ライト等のデータバスコントロールは、 $\overline{CS} \cdot \overline{WR} \cdot \overline{RD}$ ・A1・A0で行われます。この時のレジスタアドレスの割当、レジスタの制御モードを図1-\*, 表1-1に示します。

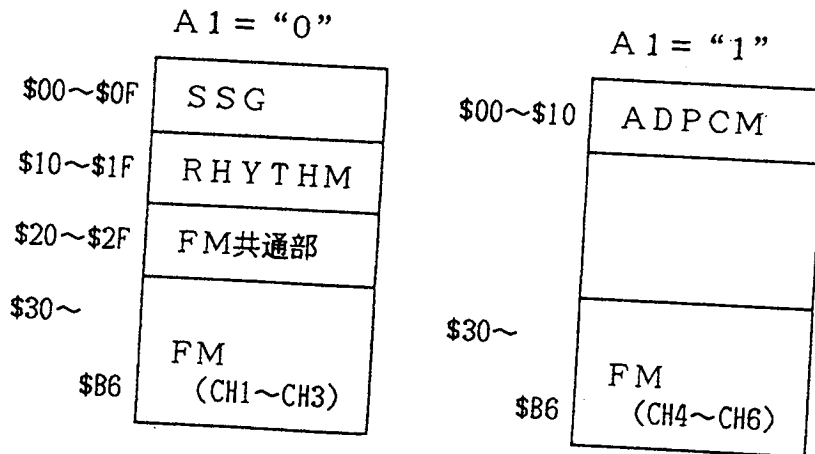


図1-\*

表1-1 データバス制御内容

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A1	A0	アドレス範囲	内容
0	1	0	0	0	00~2F	SSG, FM共通部, リズムのアドレス指定
					30~B6	FMチャンネル1~3のアドレス指定
0	1	0	0	1	00~2F	SSG, FM共通部, リズムのデータライト
					30~B6	FMチャンネル1~3のデータライト
0	1	0	1	0	00~10	ADPCM関係のアドレス指定
					30~B6	FMチャンネル4~6のアドレス指定
0	1	0	1	1	00~10	ADPCM関係のデータライト
					30~B6	FMチャンネル4~6のデータライト
0	0	1	0	0	XX	ステータス0のデータリード
0	0	1	0	1	00~0F	SSGレジスタのデータリード
					FF	デバイス識別コードリード
0	0	1	1	0	XX	ステータス1のデータリード
0	0	1	1	1	08, 0F	ADPCM, PCMデータのリード
1	X	X	X	X	XX	インアクティブモード

(a) READ/WRITE DATA (SSG部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT
00	Fine Tune								Channel-A Tone Period
01					Coarse Tune				
02					Fine Tune				
03					Coarse Tune				
04					Fine Tune				
05					Coarse Tune				
06									Period Control
07	IN/OUT IOB IOA		/Noise						/Tone
08				M	Level				Channel-A Amplitude
09				M	Level				Channel-B Amplitude
0A				M	Level				Channel-C Amplitude
0B	Fine Tune								Envelop Period
0C	Coarse Tune								
0D					CON	ATT	ALT	HLD	Envelop Shape Cycle
0E					I/O PortA				
0F	I/O PortB								I/O Port Data



(b) WRITE DATA (RHYTHM部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT
10	DM	/						RKON	Dump/rhythm KON
11	/							RTL	Rhythm Total Level
12	TEST								LSIの TEST DATA
18~ 1D	L	R	/					IL	Output Select/Instrument Level

(c) WRITE DATA (FM部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT	
21	TEST								LSI の TEST DATA	
22	/				LFO				LFO の FREQ CONTROL	
24					TIMER-A					
25	/						TIMER-A		TIMER-A の下位 2 Bits	
26							TIMER-B			
27	MODE		RESET B A		ENABLE B A		LOAD B A		TIMER-A/B の Control及び 3 CH の Mode	
28	SLOT				/				CH	Key-ON/OFF, CH は D0, D1, D2 で指定
29	SCH	/								
20	/								プリスケラーを Set	
2E										/
2F	/								分周器を1/2 に ｷｯﾄ	
30~ 3E										DT
40~ 4E	/								TL	Total Level (43, 47, 48 の Addressは無し)
50~ 5E										
60~ 6E	AMON		/						DR	Decay Rate/AMON (63, 67, 68 の Addressは無し)
70~ 7E	/									
80~ 8E							SL			
90~ 9E	/						SSG-EG		SSG-Type Envelop Control (93, 97, 98 の Addressは無し)	
A0 A1 A2										F-Num 1
A4 A5 A6	/		BLOCK			F-Num 2			F-Numbers/BLOCK	
A8 A9 AA			3 CH * F-Num 1							
AC AD AE	/		3 CH * BLOCK			3 CH * F-Num 2			3 CH-3 slot F-Numbers/BLOCK	
B0 B1 B2			FB				CONNECT			
B4 B5 B6	L	R	AMS		/		PMS		PMS/AMS/LR	

(d) WRITE DATA (ADPCM部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0
00	CONTROL 1							
01	CONTROL 2							
02	START ADR (L)							
03	START ADR (H)							
04	STOP ADR (L)							
05	STOP ADR (H)							
06	PRESCAL (L)							
07	PRESCAL (H)							
08	ADPCM-DATA							
09	DELTA-N (L)							
0A	DELTA-N (H)							
0B	EG CTRL							
0C	LIMIT ADR (L)							
0D	LIMIT ADR (H)							
0E	DAC DATA							
0F	( PCM DATA )							
10	FLAG CONTROL							

(e) READ DATA

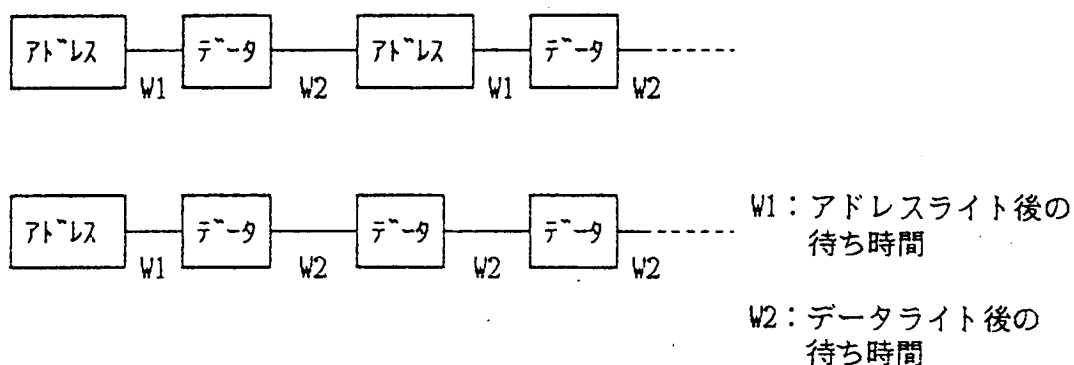
ADDRESS	D7 D6 D5 D4 D3 D2 D1 D0	COMMENT
XX	FLAG	Status 0 (A1= "0 " のとき) Status 1 (A1= "1 " のとき)
FF	ID NO.	Status 2

### 1) アドレス指定 モード

データバスコントロールがこのモードの時、データバス上のデータはレジスタのアドレスを指定します。指定したアドレスは、次にアドレス指定が行われるまで保持されています。したがって、同じアドレスのデータを連続してアクセスするような場合は、アドレス指定は最初の1回だけでよくなり、その後は不要です。

### 2) データライト モード

アドレス指定後、バスコントロール信号を<データライトモード>にして、データバス上のデータをレジスタに書き込みます。



アドレス指定、及びデータライトモードでは、書き込み終了後から次のモードに移るまでに、各音源部所定の待ち時間を設定する必要があります。これは、LSIの内部において、音源部毎にデータ処理方法が異なるため、レジスタに正しくデータをセットするためには、必ず待ち時間を設定して下さい。

各音源部のレジスタ書き込み時の待ち時間を、表1-\*, 1-\*に示します。

### 3) ステータスリード モード

バスコントロール信号を<ステータスリードモード>にした時、ステータスレジスタに発生するステータス情報がデータバス上へ出力されます。

### 4) データリード モード

SSG音源部、及びADPCM音源部のリード可能なレジスタのデータを<データリードモード>時にデータバス上へ出力します。

### 5) インアクティブ モード

CSが“1”の時、データバスD0~D7はハイインピーダンスとなります。

《書き込みモード時の待ち時間》

表\*.\* アドレスライト後

音源部	アドレス	待ちサイクル
FM	\$21~\$B6	17
SSG	\$00~\$0F	0
リズム	\$10~\$1D	17
ADPCM	\$00~\$10	0

表\*.\* データライト後

音源部	アドレス	待ちサイクル
FM	\$21~\$9E	83
	\$A0~\$B6	47
SSG	\$00~\$0F	0
リズム	\$10	576
	\$11~\$1D	83
ADPCM	\$00~\$10	0

\*サイクル数は、マスタークロックφMのサイクル数です。

## 第2章 FM音源部

FM音源部は、4オペレータFM方式による6音（色）同時発音を行うオペレータブロック、音に周期的な変化を与えるLFOブロック、及びこれらを制御するための各パラメータを配置したレジスタによって構成されています。

### 2-1 FM方式について

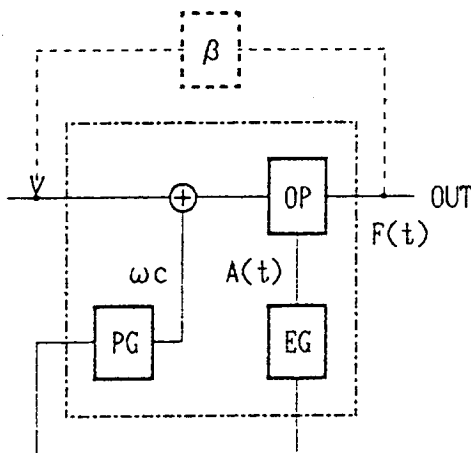
FM音源部の各ブロックの機能を理解するために、初めにFM方式について、少し触れておきます。FM音源を充分理解している場合は、この項は必要ありません。

[ 2-2項 レジスタ構成 ] から始めて下さい。

#### 2-1-1 オペレータ

FM音源部には、図2-1のブロックで表せるFMオペレータ（セル）と呼ばれるユニットが用意されています。このユニットの機能は、①式のような表現ができます。

$$F(t) = A(t) \sin \omega c t \quad \dots \dots \textcircled{1}$$



- OP (オペレータ)  
: sin 波発生回路。
- PG (フェイズジェネレータ)  
: 周波数（位相）情報発生回路。  
オペレータにデータ読み出し速度（ $\omega t$ ）  
を与える。
- EG (エンベロープジェネレータ)  
: オペレータの出力レベル（ $A(t)$ ）を  
制御する。

周波数情報

エンベロープ情報

図2-1 FMオペレータセル

①式は、FMオペレータ（セル）が周波数、及び振幅（エンベロープ）可変の正弦波発振器であることを表しています。しかし、これではサイン波しか出力しませんから、音色としては余り面白くありません。

そこで、複数のオペレータを接続することでサイン波による周波数変調を行い、複雑な倍音構成の音色を作成できるようにしました。これがFM方式です。

2個のオペレータを直列接続した時の出力を、②式に示します。

$$F(t) = A(t) \sin (\omega c t + I(t) \sin \omega m t) \quad \dots \dots \textcircled{2}$$

- $A(t)$ : 振幅
- $I(t)$ : 変調度
- $\omega c$ : キャリア（被変調オペレータ）の周波数（位相情報）
- $\omega m$ : モジュレータ（変調オペレータ）の周波数（位相情報）

つまり、FM音源の音色作成は、キャリア、モジュレータのPG, EGを各々のパラメータで制御して、 $A(t)$ ,  $I(t)$ ,  $\omega c$ ,  $\omega m$ を発生する作業と言えます。

図2-2はFM方式の基本構成である2オペレータFMのブロック図です。

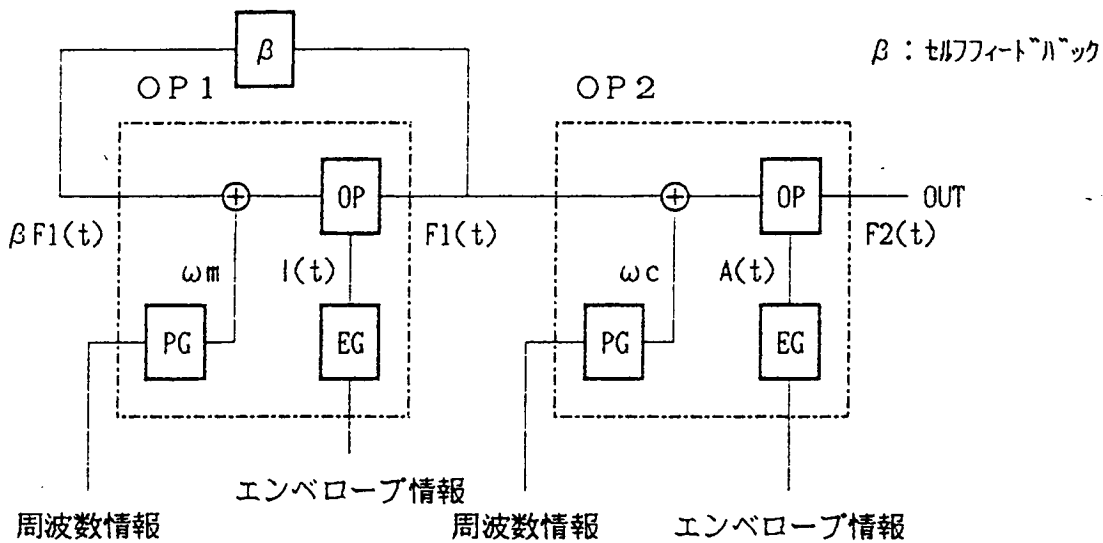


図2-2 2オペレータFM

図2-2で、 $\beta$ はセルフフィードバックの帰還率です。セルフフィードバックは、モジュレータの出力を変調入力として、フィードバックする方式です。

OP1の出力を③式に示します。

$$F1(t) = I(t) \sin(\omega_m t + \beta F1(t)) \dots \dots \dots \textcircled{3}$$

フィードバックFMは、オペレータを直列に接続したことであり、その結果、倍音成分は整数次の高調波となるため、弦楽器等に見られる鋸歯状波形（のこぎり波）の音色作成に適しています。

以上①②③の式によって、FM方式が表現出来ます。そして、これらの組合せで、さらに幅広い音作りを可能としています。この接続形態のことをアルゴリズム（コネクション）と言います。

OPNAは、1音（1CH）当り4個のオペレータを接続する、4オペレータFM方式が採用されており、8種類のアルゴリズムから選択することになります。

### 2-1-2 パラメータ

これまでの事をまとめると、FM音源の音創りは以下の設定を行えばよいことになります。

- ◎ アルゴリズムの選択
- ◎ PG（フェイズジェネレータ）パラメータを設定して、オペレータに周波数情報を与える。
- ◎ EG（エンベロープジェネレータ）パラメータを設定して、オペレータにエンベロープ情報を与える。
- ◎ フィードバックFMにおける $\beta$ の設定。

パラメータは、FM音源部の各レジスタにデータを書き込む事で設定されます。



オペレータの各ブロックを制御するパラメータは、以下のとおりです。

- ・ アルゴリズムに関するパラメータ : Algorithm( Connection ), Self-Feedback
- ・ PGパラメータ : Multiple, Detune, F-Numbers, Block
- ・ EGパラメータ : TotalLevel,  
Attack Rate, Decay Rate, Sustain Rate,  
Sustain Level, Release Rate, SSG-Type EG,  
Key Scale
- ・ LFOパラメータ : FREQ.CONTROL( LFO Speed ), AMS, PMS, AMON

### 2-1-3 チャンネルとスロット

OPNAは、6音(6チャンネル)を同時に発音することが可能です。そして、1音あたり4オペレータ必要ですから、合計では24個のオペレータが演算を行っていることとなります。しかし、これはFM音源を概念的に理解するための便宜上の数字で、LSI内部にオペレータセルは1ユニットしかありません。FM音源の実際の動作としては、オペレータセルを時分割処理で24回の演算を行い、6音同時発音が可能となります。

このようにシリアルに演算を行うことから、時間軸上のオペレータの状態をスロットと表現します。

以後、音=チャンネル、オペレータ=スロットとして扱っていきます。

## 2-2 レジスタ構成

FM音源部のレジスタは\$21~\$B6からなり、音創り及び発音制御はレジスタに適切なデータを書き込むことにより行われます。また、機能別に次のように分類されます。

- ・ \$21~\$2F: 全ての発音チャンネルに対して共通に働く機能。
- ・ \$30~\$9E: オペレータ(スロット)毎の音色パラメータ。
- ・ \$A0~\$B6: チャンネル単位に設定するパラメータ及び周波数情報。

### 2-2-1 共通レジスタ: \$21~\$2F

#### Test: \$21

OPNAテスト用レジスタです。ユーザーアプリケーションでは使用しません。

#### LFO: \$22 [33ページ “LFO” 参照]

LFOの発振周波数を設定するレジスタです。LFOは、OPN(YM2203)に対して追加された機能で、サイン波によるLFOをハード上で可能にしました。

#### タイマー: \$24~\$27 [35ページ “タイマー” 参照]

2種類のタイマーとタイマーコントローラ用のレジスタです。OPNAの発音制御等に使用することでCPUの負荷を軽減します。

#### Key on/off: \$28

チャンネル指定とスロットのon/offにより、チャンネル毎のKeyアサインを行います。ただし、\$29のD7(SCH)が“0”の時は、チャンネル4~6はアサインできません。

	D7	D6	D5	D4	D3	D2	D1	D0																															
\$28	SLOT				/	CH.																																	
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 10%;">D4</td><td>スロット1のON/OFF</td></tr> <tr><td>D5</td><td>スロット2のON/OFF</td></tr> <tr><td>D6</td><td>スロット3のON/OFF</td></tr> <tr><td>D7</td><td>スロット4のON/OFF</td></tr> </table>				D4	スロット1のON/OFF	D5	スロット2のON/OFF	D6	スロット3のON/OFF	D7	スロット4のON/OFF	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 10%;">0</td><td style="width: 10%;">0</td><td style="width: 10%;">0</td><td>チャンネル 1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>チャンネル 2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>チャンネル 3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>チャンネル 4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>チャンネル 5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>チャンネル 6</td></tr> </table>			0	0	0	チャンネル 1	0	0	1	チャンネル 2	0	1	0	チャンネル 3	1	0	0	チャンネル 4	1	0	1	チャンネル 5	1	1	0	チャンネル 6
D4	スロット1のON/OFF																																						
D5	スロット2のON/OFF																																						
D6	スロット3のON/OFF																																						
D7	スロット4のON/OFF																																						
0	0	0	チャンネル 1																																				
0	0	1	チャンネル 2																																				
0	1	0	チャンネル 3																																				
1	0	0	チャンネル 4																																				
1	0	1	チャンネル 5																																				
1	1	0	チャンネル 6																																				

□ SCH, IRQ ENABLE : \$29

	D7	D6	D5	D4	D3	D2	D1	D0
\$29	SCH	/	/	EN ZERO	EN BRDY	EN EOS	EN TB	EN TA

- SCH : OPNAの発音チャンネル数を設定するbitです。  
 “0”の時、3音(CH1~CH3)発音です。《OPNモード》  
 “1”の時、6音同時発音です。 《OPNAモード》

イニシャルクリア後の初期設定値は“0”です。6音同時発音で使用するためには、最初にこのbitを“1”にして下さい。

- IRQ ENABLE : 割り込み信号を制御します。  
 D4~D0の各bitが“1”の時、対応するステータスフラグの発生に同期して、IRQ端子をLowレベルにします。  
 D4~D0の初期設定値は“1”です。

□ ブリスケーラー機能 : \$2D~\$2F

FM及びSSG音源部の内部動作クロックを決める分周値を設定します。これらのレジスタはアドレスデータを書き込むだけでブリスケーラーがセットされます。初期設定値は、FM音源 1/6, SSG音源 1/4です。

表2-1 ブリスケーラーによる内部クロックの設定

アドレス指定	分周値 n		マスタークロックの最大値 : $\phi M \max$
	FM音源	SSG音源	
\$2D	1/6	1/4	8MHz
\$2D, \$2E	1/3	1/2	4MHz
\$2F	1/2	1/1	2.67MHz

内部クロック :  $\phi INT = \phi M / n$

ブリスケーラー機能は、FM、及びSSG音源部だけに有効な機能です。したがって、OPNAの全ての音源部をアクセスするような場合には、初期設定値で使用して下さい。リズム、及びADPCM音源部は、サンプリングレート等の仕様を $\phi M$ が8MHzの時の値で規定しています。

## 2-2-2 パラメータ及びチャンネルレジスタ：\$30～\$B6

オペレータ（スロット）毎の音色パラメータとチャンネル単位に設定するデータを配置したレジスタです。各パラメータに対応するレジスタアドレスを表2-2に示します。

バンク切り替えによるチャンネルの指定は、バスコントロール信号A1で行います。

→P 7 [1-5 データバスコントロール参照]

表2-2 レジスタアドレスとチャンネル・スロットの関係

スロット パラメータ	CH1/CH4				CH2/CH5				CH3/CH6			
	S1	S3	S2	S4	S1	S3	S2	S4	S1	S3	S2	S4
DT/MULTI	30	34	38	3C	31	35	39	3D	32	36	3A	3E
TL	40	44	48	4C	41	45	49	4D	42	46	4A	4E
KS/AR	50	54	58	5C	51	55	59	5D	52	56	5A	5E
AM/DR	60	64	68	6C	61	65	69	6D	62	66	6A	6E
SR	70	74	78	7C	71	75	79	7D	72	76	7A	7E
SL/RR	80	84	88	8C	81	85	89	8D	82	86	8A	8E
SSG-EG	90	94	98	9C	91	95	99	9D	92	96	9A	9E
F-Num1	A0				A1				A2			
Block/F-Num2	A4				A5				A6			
*F-Num1 *1									A9	A8	AA	A2
*Block/F-Num2 *1									AD	AC	AE	A6
FB/Algorithm	B0				B1				B2			
L/R,AMS/PMS	B4				B5				B6			

\*1：\$A8～\$AA，\$AC～\$AEは、チャンネル3を効果音モード、又はCSM音声合成モードにした時の周波数情報を設定するレジスタです。  
したがって、通常の発音モードでは使用しません。  
チャンネル3のモード設定については、\*\*ページを参照してください。

## 2-3 アルゴリズム

### 2-3-1 アルゴリズム

オペレータの組合せ（接続形態）のことをアルゴリズム、またはコネクションといいます。OPNAのような4オペレータFM音源では、8種類のアルゴリズムを選択できます。各スロットはアルゴリズムによって、モジュレータ、キャリアとして働きます。但し、第4スロットはアルゴリズムに関係なく、必ずキャリアに設定されます。

アルゴリズムの選択は、FM音源の音創りにおいて、最も重要な要素となります。音創りの基本手順は、まず最初に目的の音色に最も適したアルゴリズムを選択することから始めます。その後、各スロット毎にパラメータを設定して、音色を作成することになります。

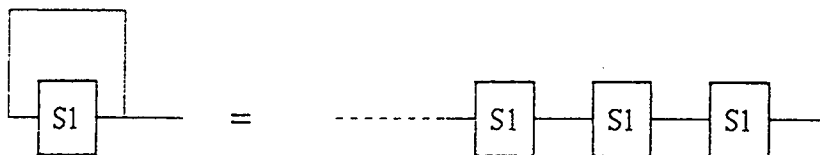
図2-3にアルゴリズムの形態、及び各アルゴリズムの特徴を示します。

### 2-3-2 フィードバック

各チャンネルの第1スロットには、セルフフィードバック機能があります。セルフフィードバックとは、オペレータが自分自身の出力を変調信号としてフィードバックすることで、自己変調を行う機能の事です。

帰還率 $\beta$ は変調度を表し、0~7の8ステップの設定ができます。

フィードバックは、同じパラメータ設定のオペレータを直列接続した状態と等価になります。この効果は高調波成分が一様に分布された整数次の倍音構成、即ち鋸歯状波に見られる高調波スペクトルとなり、ストリングス系の音色に適しています。さらに変調度を深くすることで、ノイズの発生等に可能です。



□ FB/Algorithm: \$B0~\$B2

セルフフィードバックの変調度、及びアルゴリズムを設定します。

	D7	D6	D5	D4	D3	D2	D1	D0
\$B0~\$B2	/	/	Feedback			Algorithm		

表2-3にフィードバック変調度を示します。

表2-3 フィードバック変調度

Feedback	0	1	2	3	4	5	6	7
変調度	OFF	$\pi/16$	$\pi/8$	$\pi/4$	$\pi/2$	$\pi$	$2\pi$	$4\pi$

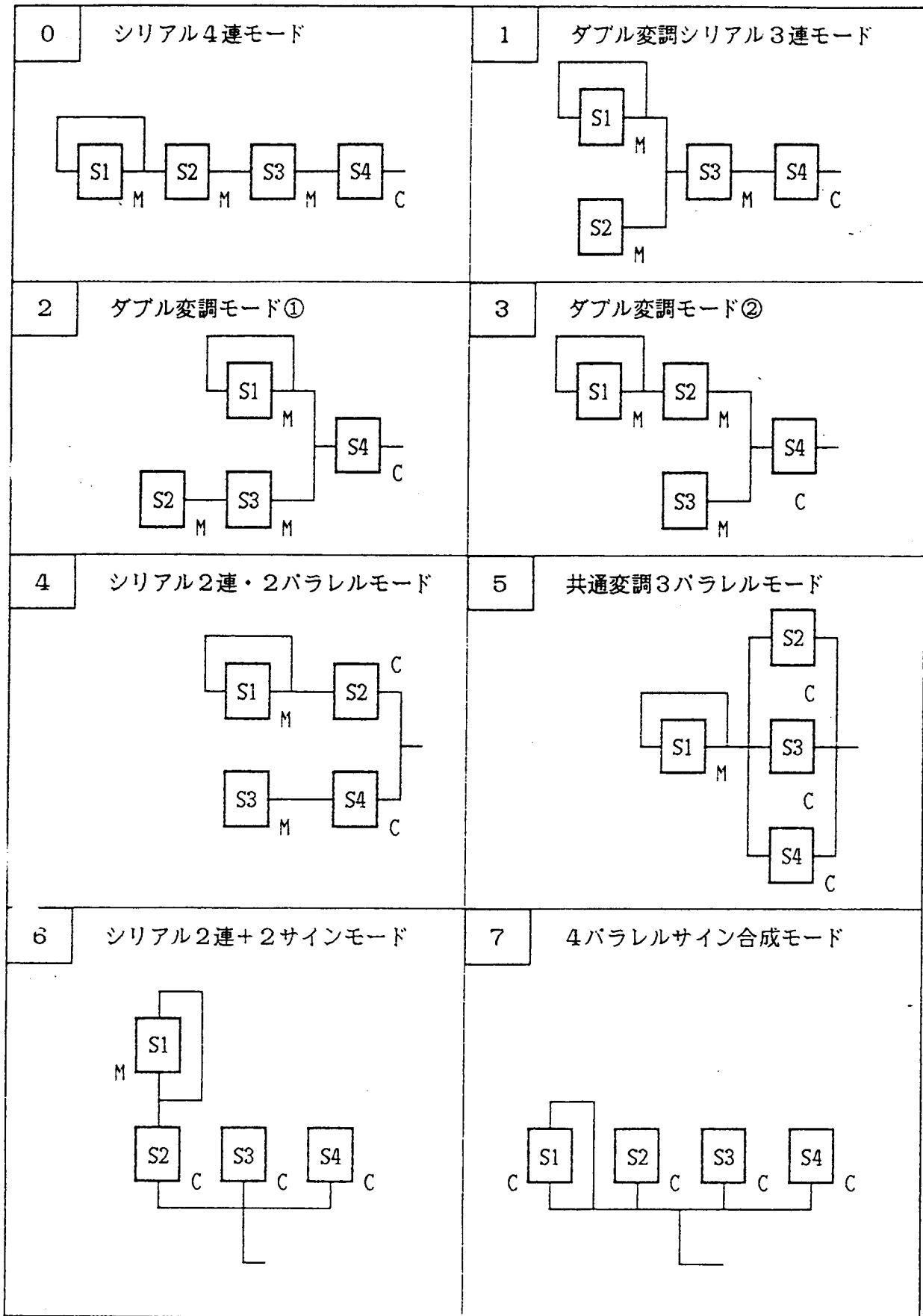


図2-3 アルゴリズム

M:乗算器  
C:加算器

#### 1) シリアル4連モード

4個のスロットを直列接続して、多重変調を行います。多重変調方式は、連続的な変調の繰り返しの結果、最終のキャリア出力では非常に複雑な倍音構成が得られます。

S4とS3で基本となる音色を作り、S2, S1では倍音成分を調整して微妙な音色の味付けをします。

#### 2) ダブル変調シリアル3連モード

S3をS2, S1の合成出力で変調します。1) 同様、S4, S3で基本音色を作り、S2, S1のパラメータの設定で、さらに細かい音作りをします。

#### 3) ダブル変調モード①

S4を2系列のモジュレータで変調しています。基本となる音色はS1とS4で作成、S2とS3で音色に自然感を与える付加音を加えます。

#### 4) ダブル変調モード②

3) とよく似ていますが、S3にはセルフフィードバックがかけられませんので、フルートのような木管楽器の音に適しています。S2, S1ではノイズ成分を作ります。

1) ~ 4) はキャリアが1個ですから、単一音色の音作りに適しています。複雑な倍音成分を持ったソロ楽器の音色に向いています。

#### 5) シリアル2連・2パラレルモード

2オベレータ2系列構成のアルゴリズムです。このモードは、倍音成分の多い音色にはやや不向きですが、音創りが比較的簡単なことと、2種類の音色を作成できることから、幅広い音作りに使用できます。

#### 6) 共通変調3パラレルモード

共通のモジュレータS1が、三個のキャリアS2, S3, S4を変調します。

#### 7) シリアル2連+2サインモード

一個の2オベレータFMと二個のサイン波の合成出力が得られます。

#### 8) 4パラレル・サイン波合成モード

四つのサイン波を合成した出力が得られます。ただし、S1はフィードバックをかける事で歪んだ音を作ることが可能です。

キャリアが複数となるアルゴリズムでは、周波数情報に関するパラメータが音創りの決め手となります。

アルゴリズム“7”では、キャリア毎にマルチプルを変えることで、オルガンサウンドのようなカブラー効果が得られます。さらに、ディチューンの設定により、ピッチをわずかにずらすことで音にうねりが生じ、いわゆるコーラス（ディチューン）効果が得られます。

## 2-4 PG (フェイズジェネレータ)

オペレータの出力周波数は、PG (フェイズジェネレータ) が発生する周波数 (位相) 情報によって決まります。つまり、位相データの増減を行うことで、任意の周波数での発音が可能です。位相値即ち周波数情報は、F-Number/Block, Multiple, Detuneの各パラメータの設定で得られます。

### 2-4-1 F-Number/Block

楽音の音階は、1オクターブの音程とオクターブによって表すことができます。そこで、F-Numberで1オクターブ内の音程を作り、Blockでオクターブ情報を設定すれば、8オクターブの音階を簡単に作成することが可能です。

1オクターブ内のF-Number設定値は、マスタークロックと音程の周波数が決まれば、次式を用いて算出することができます。

$$F-Number = (144 \times f_{note} \times 2^{20} / \phi M) / 2^{B-1}$$

f note : 発音周波数  
 $\phi M$  : マスタークロック  
 B : ブロックデータ

(例)  $\phi M=8MHz$ の時、A4 (440Hz) のF-Numberを求める。

$$F-Number (A4) = (144 \times 440 \times 2^{20} / 8 \times 10^6) / 2^{4-1} = 1038.1$$

□ F-Number/Block: \$A0~\$A2/\$A4~\$A6

F-NumberとBlockデータを設定するレジスタです。F-Numberは下位8bit/上位3bitの合計11bit, Blockは3bitで構成されています。このデータはチャンネル共通のデータとして、4個のオペレータに同じ情報が与えられます。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
A4~A6 /A0~A2	/	/	Block			F-Num2			F-Num1							

F-Number/Blockデータの設定は、必ず以下の手順で行って下さい。

- ① Block/F-Num2 のデータライト: \$A4~\$A6
- ② F-Num1 のデータライト: \$A0~\$A2



【参 考】

A. F-Numberテーブルの設定例

表2-4 F-Numberテーブル  
 $\phi M = 8\text{MHz}$ 、オクターブ：4 (C4<sup>#</sup>~C5)、A4 = 440Hz.

Note	音程 [Hz]	F- Number	F11~F9	F8~F5	F4~F1	Key Code		
			D2D1D0	D7D6D5D4	D3D2D1D0	N4	N3	分割
C#	277.2	654.0	010	1000	1110	0	0	0
D	293.7	692.8	010	1011	0100	0	0	0
D#	311.1	734.0	010	1101	1110	0	0	0
E	329.6	777.7	011	0000	1001	0	0	0
F	349.2	823.9	011	0011	0111	0	0	0
F#	370.0	872.9	011	0110	1000	0	0	0
G	392.0	924.8	011	1001	1100	0	1	1
G#	415.3	979.8	011	1101	0011	0	1	1
A	440.0	1038.1	100	0000	1110	1	0	2
A#	466.2	1099.8	100	0100	1100	1	0	2
B	493.9	1165.2	100	1000	1101	1	1	3
C	523.3	1234.5	100	1101	0010	1	1	3

B. KeyCodeの設定

F-Numberデータが決まると、ディチューン、及びエンベロープレートにキースケーリングを与えるためのKey-Codeが設定されます。

キースケーリングは発音音程に応じて、ディチューンによるピッチずれ、エンベロープレートを変化させる機能です。

Key-Codeは、F-Numberデータを基にした1オクターブ内の周波数分割と、Blockデータの組合せで設定されます。

\* 1オクターブ内の周波数分割 (N4, N3)

$$N4 = F11$$

$$N3 = F11 \cdot (F10 + F9 + F8) + \overline{F11} \cdot F10 \cdot F9 \cdot F8$$

\* Blockデータ (B3, B2, B1) と上記N4, N3の計5bitから、8オクターブ全音域で32段階のKey-Codeを設定して、キースケーリングを行います。

## 2-4-2 Multiple

Multipleは、F-Number/Blockによって作られた周波数情報に対して、さらに倍率を設定するパラメータです。設定可能な倍率は、表2-5のとおりです。

## 2-4-3 Detune

Detuneは、F-Numberによって作られた周波数情報を各スロット単位に微妙な周波数ずれを与えるパラメータです。また、DetuneはF-Numberから得られるKey Codeによって各周波数情報に対応する値をとります。

### □ Detune/Multiple

	D7	D6	D5	D4	D3	D2	D1	D0
\$30~\$3E	/	Detune			Multiple			

表2-5 Multipleによる倍率

Multiple(H)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
倍率	1/2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

表2-6 Detune

Detune	0	1	2	3	4	5	6	7
FD	0	1	2	3	0	-1	-2	-3

\*D6はサインビット。

BLOCK NOTE	FD=0	FD=1	FD=2	FD=3	BLOCK NOTE	FD=0	FD=1	FD=2	FD=3
0 0	0.000	0.000	0.053	0.106	4 0	0.000	0.106	0.264	0.423
0 1	↑	↑	↑	↑	4 1	↑	0.159	0.317	0.423
0 2	↑	↑	↑	↑	4 2	↑	↑	↑	0.476
0 3	↑	↑	↑	↑	4 3	↑	↑	0.370	0.529
1 0	↑	0.053	0.106	↑	5 0	↑	0.212	0.423	0.582
1 1	↑	↑	↑	0.159	5 1	↑	↑	↑	0.635
1 2	↑	↑	↑	↑	5 2	↑	↑	0.476	0.688
1 3	↑	↑	↑	↑	5 3	↑	0.264	0.529	0.741
2 0	↑	↑	↑	0.212	6 0	↑	↑	0.582	0.846
2 1	↑	↑	0.159	↑	6 1	↑	0.317	0.635	0.899
2 2	↑	↑	↑	↑	6 2	↑	↑	0.688	1.005
2 3	↑	↑	↑	0.264	6 3	↑	0.370	0.741	1.058
3 0	↑	0.106	0.212	↑	7 0	↑	0.423	0.846	1.164
3 1	↑	↑	↑	0.317	7 1	↑	↑	↑	↑
3 2	↑	↑	↑	↑	7 2	↑	↑	↑	↑
3 3	0.000	↑	0.264	0.370	7 3	0.000	↑	↑	↑

[単位:Hz]

## 2-5 EG (エンベロープジェネレータ)

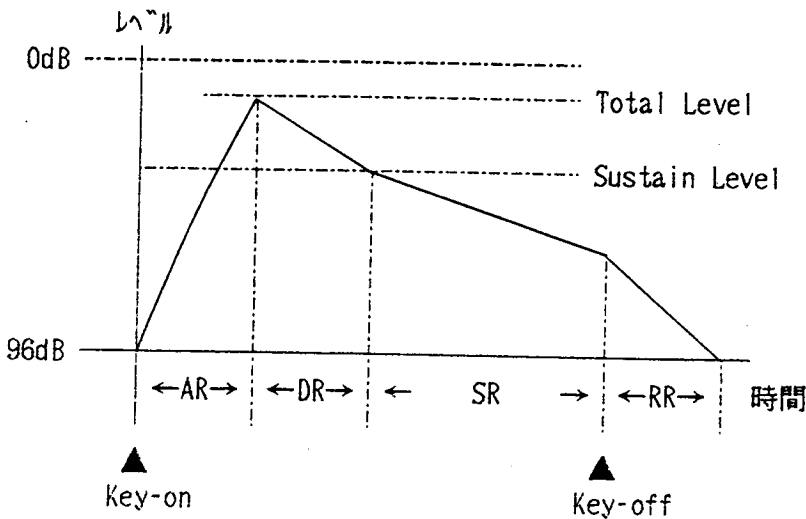
EG (エンベロープジェネレータ) は、音の立ち上がりから消滅までの音量、音色の時間的な変化を発生するブロックです。

EGには、エンベロープを発生するエンベロープジェネレータと、その全体レベルを決定する出力制御回路で構成されています。EGを起動するための情報は、レジスタに配置したEG用のパラメータによって、各オペレータごとに設定することができます。

### 2-5-1 エンベロープジェネレータ

音の時間的な変化を形作るエンベロープを発生します。エンベロープはアタック、ディケイ、サステーン、リリースの各レートと、サステーンレベルによって表されます。

図2-4はエンベロープ波形と各々のパラメータを示しています。



\* エンベロープの波形は、アタック時は指数関数的に変化して、その他のレート時は直線的に変化します。

図2-4 エンベロープの波形と各パラメータ

□ AR (Attack Rate) : \$50~\$5E

アタックレートは、Key-onした瞬間から最大レベルに到達する速さの事で、ARはこのレートを決めるパラメータです。32ステップの設定が出来、ARが大きいほど音の立ち上がりは速くなります。また、“0”の時はアタックレートが無限大となり、エンベロープは起動しません。

	D7	D6	D5	D4	D3	D2	D1	D0
\$50~\$5E	KS		/	Attack Rate				

※KSは29p参照。

□ DR (Decay Rate) : \$60~\$6E

ディケイレートは、アタック時間経過後の最大レベルから、サステーンレベルに到達する速さの事で、DRはこのレートを定めるパラメータです。32ステップの設定が出来、DRが大きいほど速く減衰します。また、“0”の時はディケイレートが無限大となり、最大レベルで持続音となります。

	D7	D6	D5	D4	D3	D2	D1	D0	
\$60~\$6E	AM	/	/	Decay Rate					※AMは34ページ参照。

□ SL (Sustain Level) : \$80~\$8E

サステーンレベルは、ディケイレートからサステーンレートに切り替わるレベル（減衰量）の事で、SLはこのレベルを決めるパラメータです。16ステップの設定が出来、SLが大きいほど減衰量は大きくなります。“0”にすると減衰量は0となり、ディケイによる減衰感が得られなくなります。各bitの重み付けは、表2-7のとおりです。

	D7	D6	D5	D4	D3	D2	D1	D0
\$80~\$8E	Sustain Level				Release Rate			

表2-7 SL各bitの重み付け

	D7	D6	D5	D4
減衰量(dB)	24	12	6	3

※ D7~D4が全て“1”の時、93dBとなります。

□ SR (Sustain Rate) : \$70~\$7E

サステーンレートは、サステーンレベルから減衰する速さの事で、SRはこのレートを定めるパラメータです。32ステップの設定が出来、SRが大きいほど減衰は速くなります。また、“0”にするとサステーンレベルで持続します。

	D7	D6	D5	D4	D3	D2	D1	D0
\$70~\$7E	/	/	/	Sustain Rate				

□ RR (Release Rate) : \$80~\$8E

リリースレートは、Key-off後の減衰の速さの事で、RRはこのレートを定めるパラメータです。16ステップの設定が出来、RRが大きいほど減衰は速くなります。

以上、五つのパラメータを設定して、オペレータのエンベロープを決定します。しかし、これだけではオペレータの出力周波数の高低に関係なく、同じレートのエンベロープが、オペレータに与えられることになり、音色によっては不自然な場合があります。そこで、キースケーリング機能により、音程に応じてエンベロープレートが変化するようにしました。

□ KS (Key-Scale) : \$50~\$5E

キースケールは、発音音程に応じてエンベロープのレートを変化させる機能です。この場合、高音程になるほどレートが短くなり、音色に自然感を与える事ができます。4ステップの設定ができます。“0”ではキースケールは機能せず、“3”の時に（時間の）差が最も大きくなります。

表 2-8 にKSによるレートのキースケーリング値を示します。

表 2-8 RateのKey-Scaling値

Block \ Note	0				1				2				3			
	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
0	0								1							
1	0				1				2				3			
2	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
3	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

Block \ Note	4				5				6				7			
	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
0	2								3							
1	4				5				6				7			
2	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
3	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

エンベロープジェネレータの各レートは、ADSRパラメータの設定データとキースケーリングで与えられるオフセット値で最終的に決まります。この値は、次式の通りです。

$$\text{Rate} = 2R + Rks \quad ; R=0 \text{ の場合、Rate} = 0$$

- RはA. D. S. R. の各パラメータの設定値。  
但し、RR (Release Rate) については  
(設定値×2+1) をRとする。
- Rksはキースケーリング値。

※Rateは63を最大とし、計算結果が63より大きな値の時は  
全てRate=63とする。

## 2-5-2 SSG-type Envelope Control

エンベロープジェネレータは、SSG-typeのエンベロープ波形によって制御する事ができます。これは、SSG音源部のエンベロープ波形を利用して、EG用パラメータだけでは得られないエンベロープの変化をつけることが可能です。エンベロープの形状を図(下図)に示します。

このエンベロープを使用する場合、EGパラメータは下記のように設定してください。

- ① ARは“1F”に固定します。
- ② Key-on状態でのエンベロープの変化は、DR、SR、及びSLによるレベル設定で決まります。
- ③ RRは通常モードと同様に働き、Key-off後の減衰時間が決まります。

□SSG-EG:\$90~\$9E

	D7	D6	D5	D4	D3	D2	D1	D0
\$90~\$9E	/	/	/	/	SSG-EG			

№	D3	D2	D1	D0	エンベロープ形状
0	1	0	0	0	
1	1	0	0	1	
2	1	0	1	0	
3	1	0	1	1	
4	1	1	0	0	
5	1	1	0	1	
6	1	1	1	0	
7	1	1	1	1	

### 2-5-3 出力制御回路

EGパラメータで作られたエンベロープは、出力制御回路でその全体レベルが設定されます。これによりオペレータの出力レベルが決まり、ダイナミックレンジは96 dB、設定可能な分解能は0.75 dBです。

ここで注意する点として、出力レベルは減衰量で表されているということです。つまり、オペレータの出力の最大値を0 dBとした時の減衰量を設定することになります。

□TL (Total Level) : \$40~\$4E

出力レベルの設定はトータルレベルで行います。各bitの重み付けは減衰量を示します。したがって、“00”で0 dB（最大レベル）、“7F”で減衰量96 dB（最小レベル）となります。

	D7	D6	D5	D4	D3	D2	D1	D0
\$40~\$4E	/	Total Level						

表 2-9 TL各bitの重み付け

	D6	D5	D4	D3	D2	D1	D0
減衰量(dB)	48	24	12	6	3	1.5	0.75



## 2-6 LFO: Low Frequency Oscillator

LFOは、内蔵の低周波発振器の出力でオベレータを変調して、音に周期的な変化を与える機能です。OPNAのLFO波形はサイン波で、5種類のパラメータによって変調の制御をします。

### □ LFO FREQ. : \$22

LFOのon/off制御と、LFOのスピード（発振周波数）を設定します。

	D7	D6	D5	D4	D3	D2	D1	D0
\$22	/	/	/	/	ON	FREQ.CONT		

D3 : “1” の時、LFO on。  
D2~D0 : LFOスピード（発振周波数）の設定。

FREQ.CONT	0	1	2	3	4	5	6	7
freq(Hz)	3.98	5.56	6.02	6.37	6.88	9.63	48.1	72.2

### □ PMS (Phase Modulation Sensitivity) : \$B4~\$B6

F-Number/Blockで設定した周波数（位相）情報に、LFOを加える（変調する）ことにより、音程に周期的な変化が得られます。PMSは変調の深さ、位相変調度をチャンネル単位に設定するパラメータです。

### □ AMS (Amplitude Modulation Sensitivity) : \$B4~\$B6

オベレータの出力レベルに周期的な変化を与えます。AMSは変調の深さ、振幅変調度をチャンネル単位に設定するパラメータです。

LFOによる振幅変調時の音への効果は、オベレータの役割によって違ってきます。キャリアが変調された時は音量の変化となり、モジュレータでは音色が変化します。

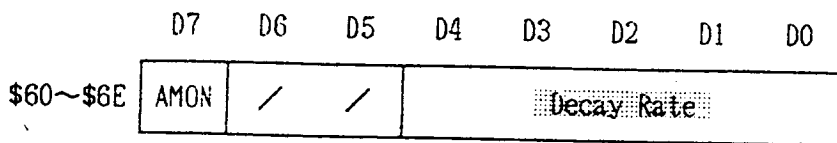
	D7	D6	D5	D4	D3	D2	D1	D0
\$B4~\$B6	L	R	AMS	/	PMS			L,Rは35ページ参照。

PMS	0	1	2	3	4	5	6	7
変調度(cent)	0	3.4	6.7	10	14	20	40	80

AMS	0	1	2	3
変調度(dB)	0	1.4	5.9	11.8

□ AMON : \$60 ~ \$6E

振幅変調の on/off を各スロット毎に行うためのスイッチです。 “1” の時 on。



内蔵のサイン波LFOでは十分な効果が得られない場合、ソフトウェアLFO（鋸歯状波、矩形波、三角波、S/H等）が必要です。これは内蔵のタイマーを利用した割り込み処理で、LFO波形に応じたデータをオペレータの各パラメータに与えてやればよいでしょう。

図 2-5 に、LFO機能のブロック図を示します。

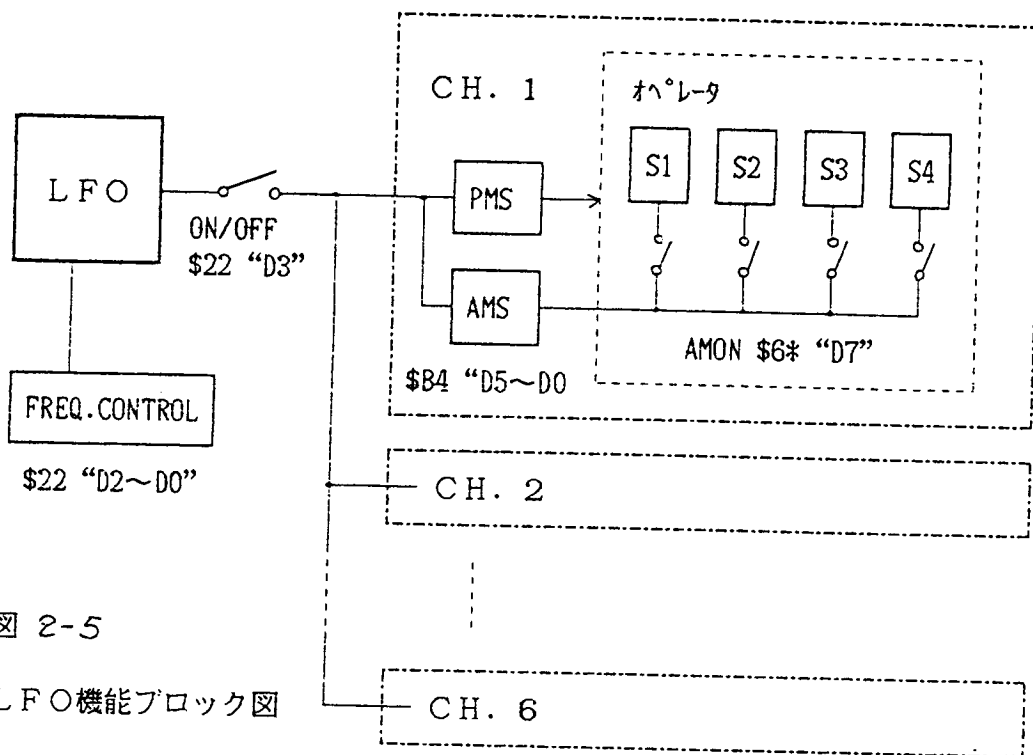


図 2-5

LFO機能ブロック図

【参 考】 LFOによる音の周期的な変化は、楽音上、次のような効果が得られます。

- ・音程（ピッチ）の変化：ビブラート
- ・音量（レベル）の変化：トレモロ
- ・音色（トーン）の変化：ワウワウ

## 2-7 出力セレクト

FM音源部の出力をLCH, 又はRCHに指定するスイッチです。

□ L/R: \$B4~\$B6 “D7, D6”

“1”でONとなり、そのCHに出力します。

## 2-8 TIMER

タイマーは2種類のプリセッタブルタイマーとタイマーの始動, 停止, フラグ制御を行うタイマーコントローラで構成されています。

タイマー情報は、タイマーに設定した時間が経過した時、ステータス0, 1のタイマーフラグ(D1, D0)に“1”を立てて、CPUに対してIRQを発生します。

### 2-8-1 TIMER A

タイマーAは、\$24, \$25の10bitで作られる、分解能9μS (φM=8MHzの時)のタイマーカウンターです。セット可能なタイムインターバルは、①式によって算出できます。

	D7	D6	D5	D4	D3	D2	D1	D0
\$24	P9	P8	P7	P6	P5	P4	P3	P2
\$25	/	/	/	/	/	/	P1	P0

$$t_A = 72 * (1024 - NA) / \phi M$$

NA: 0~1023

φM: マスタークロック

(例) φM = 8MHz 時、

$$t_A (\text{MAX}) = 9216 \mu\text{S}$$

$$t_A (\text{MIN}) = 9 \mu\text{S}$$

### 2-8-2 TIMER B

タイマーBは、\$26の8bitで作られる、分解能144μS (φM=8MHz)のタイマーカウンターです。セット可能なタイムインターバルは、②式により算出できます。

	D7	D6	D5	D4	D3	D2	D1	D0
\$26	P7	P6	P5	P4	P3	P2	P1	P0

$$t_B = 1152 * (256 - NB) / \phi M$$

NB: 0~255

φM: マスタークロック

### 2-8-3 タイマーコントローラ

タイマーA, Bは、\$27のタイマーコントローラで制御されます。

	D7	D6	D5	D4	D3	D2	D1	D0
\$27	MODE		RESET B    A		ENABLE B    A		LOAD B    A	

D1, D0: タイマーのスタート、ストップを制御します。

“1” でスタートします。

“0” でタイマーはストップします。

D3, D2: ステータス0, 1のタイマーフラグを制御します。

“1” の時、タイマーカウンタのオーバーフローと同時に、タイマーフラグに“1”が立ちます。又、このタイマーフラグは、 $\overline{\text{TRQ}}$ 端子にインタラプト信号 (LOW) を発生します。

“0” の時、タイマーカウンタがオーバーフローしても、タイマーフラグは変化しません。

D5, D4: タイマーフラグをリセットします。

“1” の時、ステータス0, 1のタイマーフラグをリセットして、同時にこのbit自身も“0”にクリアされます。

### 2-8-4 CH3のモード設定

チャンネル3は、\$27 “D7, D6” によりモード設定が出来ます。

表 2-10 CH3モード

D7	D6	モード	機 能
0	0	ノーマル	他のCHと同様、ノーマル発音をします。
0	1	CSM	CSM音声合成モードとなり、F-Numberは4スロット別々に設定できます。CSMモード時のKey-on/offはタイマーAを使って行います。
1 1	0 0	効果音	CSM同様、各スロットに別々のF-Numberを設定できます。

### 第3章 SSG音源部

SSG音源部はDACを内蔵しており、OPNAの出力端子(27ピン; ANALOG OUT)からアナログ信号の楽音(SSGサウンド)を出力します。SSGのレジスタは、FM音源部とは異なり、リード/ライトが可能です。以下にSSG音源部の機能として、各レジスタについて説明します。

#### 3-1 トーンジェネレータ コントロール

SSG音源部では、デューティ比1:1の矩形波を、3音同時発音することができます。トーンジェネレータコントロールは、チャンネルA, B, Cの発音周波数を、粗調整4bit, 微調整8bitの合計12bitのデータで設定します。

発音周波数を求める式は下記の通りです

$$f_{\text{tone}} = \phi M / (64 \times TP)$$

$\phi M$  : マスタークロック周波数

TP : 発音周波数設定値(12bitの10進数)

Fine Tune : \$00, \$02, \$04

Coarse Tune : \$01, \$03, \$05

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
\$01-\$00	/ / / /				Coarse Tune				Fine Tune							
\$03-\$02	/ / / /				Coarse Tune				Fine Tune							
\$05-\$04	/ / / /				Coarse Tune				Fine Tune							

\*発音可能な周波数範囲 : TP = 4095(MAX) ~ 1(MIN)

$$f_{\text{tone(MIN)}} = \phi M / 262,080$$

$$f_{\text{tone(MAX)}} = \phi M / 64$$

#### 3-2 ノイズジェネレーター コントロール

SSG音源部には、さらに疑似ランダム波形によるノイズジェネレータを内蔵しています。ノイズ周波数は、ノイズジェネレータ コントロールによって設定します。

$$f_{\text{noise}} = \phi M / (64 \times NP)$$

$\phi M$  : マスタークロック周波数

NP : ノイズ周波数設定値(5bitの10進数)

Noise Period : \$06

	D7	D6	D5	D4	D3	D2	D1	D0
\$06	/ / /			Noise Period				

### 3-3 ミキサー・I/Oコントロール

このレジスタは、楽音（トーン）及びノイズジェネレータのチャンネル毎のon/offと2系列の汎用I/Oポートの入出力モードを制御します。

#### □ $\overline{IN/OUT}$ , $\overline{Noise}$ , $\overline{Tone}$

	D7	D6	D5	D4	D3	D2	D1	D0
\$07	IN/OUT IOB IOA		NOISE C B A			TONE C B A		

- D7, D6 : I/Oポートの入出力状態をコントロールします。  
 “0”で入力、“1”で出力となります。
- D5~D3 : ノイズの出力チャンネルを設定します。  
 “0”で出力します。
- D2~D0 : トーンジェネレータのチャンネルon/offを設定します。  
 “0”で出力します。

### 3-4 レベルコントロール

チャンネルA, B, Cの出力レベルを制御します。出力レベルは、一定音量で出力する固定レベルモードと、音量に時間的な変化をつけるエンベロープレベルモードの選択が可能です。

#### □ M/Level : \$08~\$0A

	D7	D6	D5	D4	D3	D2	D1	D0
\$08~\$0A	/	/	/	M	Level			

- D4 : モード選択を行います。  
 “0”の時、D3~D0で設定した固定出力レベルとなります。  
 “1”の時、エンベロープジェネレータに対応して、出力レベルが変化します。
- D3~D0 : 出力レベルを設定します。  
 all “1”でレベル最大となります。  
 D4が“1”の時、このbitはDon't careです。

表 3-1 Level各bitの重み付け

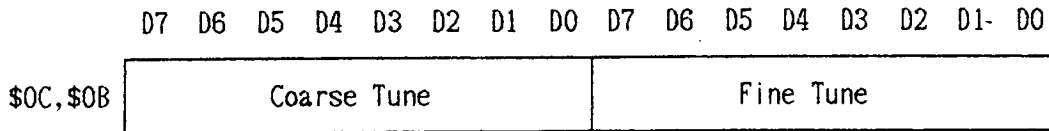
	D3	D2	D1	D0	
DACデータ	L5	L4	L3	L2	L1
出力レベル	16	8	4	2	1

\*最大レベルを31とした時。  
 但し、all “0”はレベル1です。

### 3-5 エンベロープジェネレータ コントロール

チャンネルA, B, Cの出力レベルをエンベロープレベルモードにした時、エンベロープの形状に従って、出力レベルに時間的変化を与えることができます。以下のレジスタでは、エンベロープ波形、及び繰り返しの周期を設定します。

- Fine Tune : \$0B
- Coarse Tune : \$0C



エンベロープジェネレータの繰り返し周波数は、\$0B, \$0Cにデータを設定値することで、次式のとおり求められます。

$$f_{EG} = \phi M / (1024 \times EP)$$

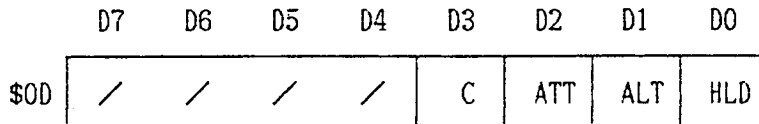
$\phi M$  : マスタークロック周波数。

EP : \$0C, \$0Bで与えられる周期設定値 (10進数)。

これにより周期  $t_{EG}$  は、 $1 / f_{EG}$  で与えられます。

- C/ATT/ALT/HLD : \$0D

エンベロープ波形を設定するレジスタです。D3~D0の4bitで、8種類のエンベロープを選択できます。各エンベロープ波形は、31ページのFM音源部SSG-EGと同じ波形です。



#### 《SSG出力について》

チャンネルA, B, C出力は、チャンネル専用DACでアナログ電圧に変換された後、LSI内部でミキシングして ANALOG OUT (27ピン) 端子から出力します。このため、従来のSSGタイプで行っていた外部抵抗でミキシングする必要はありません。

但し、“ソースフォロア出力” ですから、負荷抵抗 (RL) は必要です。

出力電圧は、1Vp-p (RL = 470Ω, 3音同時発音, 出力レベル最大の時) です。

内蔵DACは5bitの対数ステップで出力レベルが得られます。そこで、出力モードが固定出力の時は、上位4bitのデータを設定して、最大から最小まで16ステップのレベル設定が可能です。

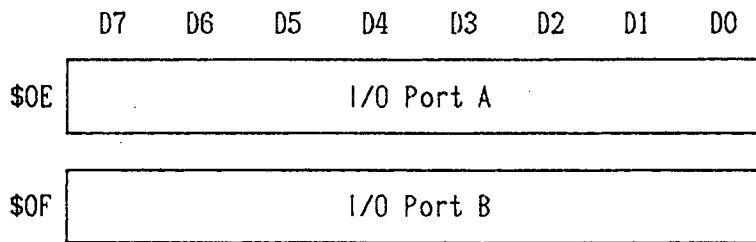
また、エンベロープ出力の時は、1エンベロープサイクルの間に5bitのデータの増減値をDACに与えることで、指定したエンベロープ波形でレベルが連続的に変化します。この時の変化のステップは、31ステップ (0と1は同じレベルになります) です。

### 3-6 I/Oポート

SSG音源部は2系列の汎用I/Oポートを内蔵しています。このI/Oポートは、CPUと外部システムのインターフェイス用拡張ポートとして利用できます。

#### □ I/O Port A, B: \$0E, \$0F

I/Oポートの入出力データ格納レジスタです。ポートを出力として使用するときは、CPUからデータを書き込みます。入力として使用するときは外部システムからのデータがセットされます。



#### 《I/Oポート制御時の注意》

- ① I/Oポートの入出力状態は\$07のD7, D6で設定します。従って、\$0E, \$0Fのリード/ライトに先だち、\$07で入出力モードを指定して下さい。
- ② ポートを出力モードに指定した時、レジスタに書き込まれたデータはホールドされ、新しいデータに更新されるまでポートから出力し続けます。  
但し、イニシャルクリア、またはポートを入力モードに変更した場合は除きます。
- ③ OPNAが $\overline{TC}$ （イニシャルクリア： $\phi M$ の192サイクル以上）状態の時、I/Oポートは入力モードになります。
- ④ ポートが出力モードの時、I/O端子に入力電圧を加えないようにして下さい。



## 第4章 RHYTHM音源部

リズム音源部は、ADPCM音声合成を用いたデジタルリズム音色です。ADPCMリズム音色は、FM音源では音作りが難しいリズム楽器の音色を、簡単なソフトウェアで発音させることができます。また、リズム音色は減衰音のため、少ないメモリーで比較的サンプリングしやすく、音の発生から消滅までのエンベロープを自然な状態で確保できます。

音色は、ドラムスの基本音色6種類から構成されており、6音同時発音が可能です。各々の音色は、個別にレベル設定が可能ですから、各楽器のバランス調整はもちろん、アクセント処理が自由に行えます。

リズム音源部の制御レジスタは、\$10～\$1Dで構成されています。また、このレジスタへのデータアクセスは、バスコントロール信号A1が“0”の時に可能です。

( 7 ページ バスコントロール参照)

以下に、各レジスタの機能について説明します。

### □ DM/RKON (Dump/Rhythm Key on) : \$10

リズムのon/offをイベント方式で制御します。DMが“0”の時、D5～D0で指定したリズム音が発音して、各リズムのエンベロープで自然減衰します。DMが“1”の時、指定したリズム音は強制的にダンプ(消音)されます。減衰途中の再発音、または強制ダンプ(ミュート)は、新しいイベントのタイミングによって行われます。

	D7	D6	D5	D4	D3	D2	D1	D0
\$10	DM	/	RIM	TOM	HH	TOP	SD	BD

D7 : “1”の時、dump。“0”の時、Key on。  
D5～D0 : 各リズム音指定。

### □ RTL (Rhythm Total Level) : \$11

リズム音源部の総合ボリュームです。レベルを -47.25～0 dBまで64ステップで制御します。分解能は0.75 dBです。

	D7	D6	D5	D4	D3	D2	D1	D0
\$11	/	/	RTL					

	D5	D4	D3	D2	D1	D0
減衰量(dB)	24	12	6	3	1.5	0.75

D5～D0 : all “0”の時、-47.5 dB。  
all “1”の時、0 dB。

### □ TEST : \$12

OPNAのテスト用レジスタです。初期値はall “0”。

□ LR/IL (出力セレクト/Instrument Level) : \$18~\$1D

各リズム音色毎のレベルの制御と、出力チャンネルを指定します。  
 レベルは -23.25~0dBまで、32ステップで制御します。  
 分解能は0.75dBです。

	D7	D6	D5	D4	D3	D2	D1	D0
\$18~\$1D	L	R	/	IL				

	D4	D3	D2	D1	D0
減衰量(dB)	12	6	3	1.5	0.75

- D7 : "1" の時、LCHに出力します。
- D6 : "1" の時、RCHに出力します。
- D4~D0 : all "0" の時、-23.25dB。  
 all "1" の時、0dB。

音色に対応するレジスタは、以下のとおりです。

- \$18 : BD (バスドラム)
- \$19 : SD (スネアドラム)
- \$1A : TOP (トップシンバル)
- \$1B : HH (ハイハット(X))
- \$1C : TOM (タムタム)
- \$1D : RYM (リムショット)

## 第5章 ADPCM音源部

ADPCM音源部は、ADPCM方式によるデータ圧縮技術を用いて、音声分析・合成を行います。ADPCM (Adaptive Differential PCM) 方式は、音声データと予測データとの差分を、波形の変位に柔軟に変化する量子化幅 (適応量子化幅) によりコード化することで、音質をあまり損なうことなく再生に必要な情報量 (ビットレート) の削減が図れます。

ADPCM音源を内蔵することで、ヒューマンボイス、自然界の生音等をサンプリングして、FM、SSG、リズム音源部と同時に発音させることが可能です。

### 5-1 主要機能

#### 1) ADPCM音声分析・合成

4 bit のADPCM音声分析/合成を行います。

サンプリングレートは、分析時：2 kHz ~ 16 kHz、

合成時：2 kHz ~ 55.5 kHz で設定可能です。

音声分析/合成は、OPNAの外部メモリー、またはCPU (が管理するメモリー) との間で実行可能です。さらにOPNAを介して、外部メモリーからCPUに、CPUから外部メモリーにデータ転送が行えます。

#### 2) 外部メモリーコントロール

OPNAが管理する外部メモリーに対して、音声分析/合成時のデータアクセスをコントロールします。外付け可能なメモリー容量はRAM/ROM共に256 kbytesで、DRAMのアクセスを×1 bit、または×8 bit、及びROMを選択できます。

#### 3) AD/DA変換

専用DAC・YM3016を利用して、ADまたはDA変換器として使用できます。いずれの場合も、サンプリングレートは、2 kHz ~ 16 kHzの間で行います。

【参 考】 ADPCMのアルゴリズム

A. ADPCM音声分析の手順

- ① AD変換・・・音声をサンプリングレートごとに、8bitのPCMデータに変換します。
- ② 8→16変換・・・得られたPCMデータを256倍して、16bitのデータ； $X_n$ に変換します。
- ③  $d_n$ の算出・・・この $X_n$ を予測値 $\hat{x}_n$ と比較して、その差分； $d_n$ を求めます。
- ④ ADPCMデータの決定
  - ・・・ $d_n$ が正の時はADPCMデータのMSB (L4)を“0”、負の時は“1”にします。
  - 差分の絶対値； $|d_n|$ と量子化幅； $\Delta_n$ の関係から、ADPCMデータの残り3bit (L3, L2, L1)を決定します。
  - ADPCMデータの符号化は表 5-1 に示すとおりです

表 5-1 ADPCMデータと量子化幅変化率 (f)

L4		L3	L2	L1	f	条 件 ( $l_n =  d_n  / \Delta_n$ )
$d_n \geq 0$	$d_n < 0$					
0	1	0	0	0	57/64	$l_n < 1/4$
		0	0	1	57/64	$1/4 \leq l_n < 1/2$
		0	1	0	57/64	$1/2 \leq l_n < 3/4$
		0	1	1	57/64	$3/4 \leq l_n < 1$
		1	0	0	77/64	$1 \leq l_n < 5/4$
		1	0	1	102/64	$5/4 \leq l_n < 3/2$
		1	1	0	128/64	$3/2 \leq l_n < 7/4$
		1	1	1	153/64	$7/4 \leq l_n$

以上の操作で、音声データからADPCMデータへの変換は終わりです。

- ⑤ 予測値と量子化幅の更新
  - ・・・ADPCMデータが得られると、次ステップの予測値； $\hat{x}_{n+1}$ と量子化幅； $\Delta_{n+1}$ の更新を行います。

$$\hat{x}_{n+1} = (1 - 2 * L4) * (L3 + L2/2 + L1/4 + 1/8) * \Delta_n + \hat{x}_n$$

$$\Delta_{n+1} = f(L3, L2, L1) * \Delta_n \quad : \Delta_{nmin} = 127, \Delta_{nmax} = 24576$$

※初期設定： 予測値  $\hat{x}_1 = 0$   
量子化幅  $\Delta_1 = 127$

以下、①～⑤の操作を各サンプリングタイム毎に繰り返して音声分析が行われます。

## B. ADPCM音声合成の手順

分析の⑤項に示す予測値、量子化幅の更新の式が合成データを計算する式になります。つまり、予測値が合成音となって得られることになります。

## 5-2 レジスタ機能

ADPCM音源部の制御は、\$00～\$10の17個のレジスタで行います。  
 (レジスタのアクセスは、バスコントロール信号A1が“1”の時に行われます。)

以下に、各レジスタの機能について説明します。尚、文中の[外部メモリー]はOPNAが管理するRAM、またはROMを指しています。

### □ コントロールレジスタ1：\$00

ADPCM音声分析/合成の起動、外部メモリアクセスの制御のためのレジスタです。

	D7	D6	D5	D4	D3	D2	D1	D0
\$00	START	REC	MEM DATA	REPEAT	SP OFF	/	/	RESET

- D0 : ADPCM音声合成時のリセット機能です。実行中“1”にすると、音声合成を停止して初期状態に戻ります。リセットする時は、必ずREPEAT(D4)を“0”にしてください。
- D3 : “1”の時、SPOFF端子が“1”となり、ADPCM分析及びAD変換時のスピーカーOFF用コントロール信号として使用します。
- D4 : リピート設定を行います。“1”の時、リピートonとなり、外部メモリーの同一アドレス区間を繰り返しアクセスして、ADPCM音声合成を行います。
- D5 : ADPCM分析/合成データをアクセスするメモリーを選択します。外部メモリーをアクセスする時は“1”、CPU管理のメモリーの時は“0”にします。
- D6 : ADPCM音声分析、及びCPUから外部メモリーに分析データを書き込む時、“1”にします。
- D7 : ADPCM音声分析/合成のスタート設定bitです。外部メモリーをアクセスする時は、このbitに“1”が立った時から分析・合成がスタートします。したがって、スタートする前に分析/合成に必要な全ての条件を設定する事が必要です。CPU管理のメモリーをアクセスする場合は、\$08のADPCM-DATAレジスタをREAD/WRITEした時からスタートします。

\* RESET, REPEATは、外部メモリーをアクセス時のみ働く機能です。

\* START bitを“0”にする時は、先にSTART bitを“0”にして、次に残りのデータをリセットします。

□ コントロールレジスタ2：\$01

外部メモリの指定、DA/AD変換の制御、及びADPCM出力の指定を行います。

	D7	D6	D5	D4	D3	D2	D1	D0
\$01	L	R	/	/	SAMPLE	DA/AD	RAM TYPE	ROM

- D0 : 外部メモリの指定。“1”の時、ROM, “0”の時、DRAM。
- D1 : DRAMのbit指定。  
“1”の時、×8bit, “0”の時、×1bitでアクセス。
- D2 : DA/AD変換の指定。  
“1”の時、DA変換を指定して、\$0EのDAC DATAレジスタに書き込まれたデータを出力します。  
“0”の時、AD変換を指定して、8bitPCM(2’Sコンプリメント)データにAD変換します。
- D3 : “1”にした時からDA/AD変換がスタートします。
- D6 : “1”の時、Lchに出力します。
- D7 : “1”の時、Rchに出力します。

《DA/AD変換のスタート》

- DA変換・・・コントロールレジスタ2(\$01)で、DA出力の設定とSAMPLE(D3) DA/AD(D2)を“1”にした時からスタートします。
- AD変換・・・コントロールレジスタ1(\$00)で、SPOFF(D3)を“1”とした後 SAMPLE(D3)に“1” DA/AD(D2)を“0”にした時からスタートします。

- スタート アドレス L/H: \$02/\$03
- ストップ アドレス L/H: \$04/\$05

DRAM, ROMのスタートアドレス、ストップアドレスを設定します。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
\$03, \$02	START ADDRESS(H)								START ADDRESS(L)							
\$05, \$04	STOP ADDRESS(H)								STOP ADDRESS(L)							

《スタート/ストップのアドレス設定》

BANK			CAS ADDRESS								RAS ADDRESS									
2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>	A8	A7	A6	A5	A4	A3	A2	A1	A0	A8	A7	A6	A5	A4	A3	A2	A1	A0
START ADDRESS(H)			START ADDRESS(L)								0				0					
STOP ADDRESS(H)			STOP ADDRESS(L)								1				1					

※DRAM (256k×1bit) の場合

- BANKとは、8個のDRAMのチップセレクトを意味しています。
- データアクセスはbit単位で行われ、アドレス指定の最小分解能は32bit (4byte) 単位になります。

※ROM, DRAM×8bitアクセスの場合

- BANKデータ (D7~D5) はスタートアドレス、ストップアドレスとも同じ値に設定します。
- データアクセスはbyte単位で行われ、アドレス指定の最小分解能は32byte になります。

- プリスケール L/H: \$06, \$07

ADPCM分析を含むAD変換時、及びDA変換時のサンプリング周波数を指定します。指定範囲は2kHz~16kHzです。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
\$07, \$06	PRESCALE(H)								PRESCALE(L)							
	/	/	/	/	/	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	N0

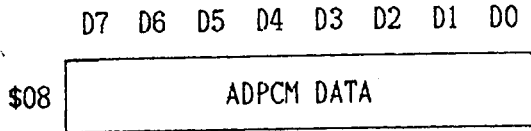
$$f_{\text{sample}} = \phi M / 2N_{\text{PRE}} \quad ; \quad N_{\text{PRE}} = 250 \sim 2047 \quad (\phi M = 8\text{MHzの時})$$

(例)  $f_{\text{sample}} = 8\text{kHz}$ の時、 $N_{\text{PRE}} = 500$

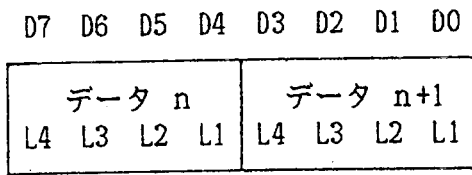


□ ADPCM データ：\$08

ADPCM分析/合成を、CPUが管理するメモリーに対して行う時、又はCPUより外部メモリーをアクセスする時に、ADPCMデータを格納するリード・ライトが可能なバッファレジスタです。



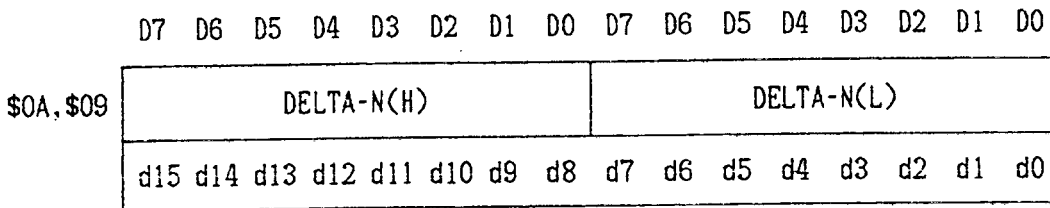
《ADPCMデータの構成》



ADPCMデータは4bitのデータですから、1byte当り2データとなります。上位4bitがn番目のデータだとすると、下位4bitはそれに続くn+1番目のデータとなります。

□ DELTA-N L/H：\$09, \$0A

ADPCM音声合成時のサンプリング周波数を設定します。同時に、各サンプリング間を55.5kHzで線形補間するための補間係数を与えます。

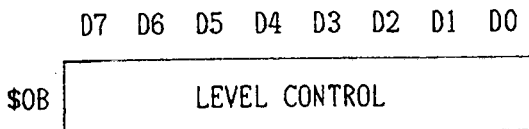


$$\text{DELTA-N} = (\text{f sample} / 55.5 \text{ kHz}) \times 2^{16} ; \text{DELTA-N} = 2362 \sim 2^{16}$$

(例) f sample = 8 kHz の時、DELTA-N = 9447

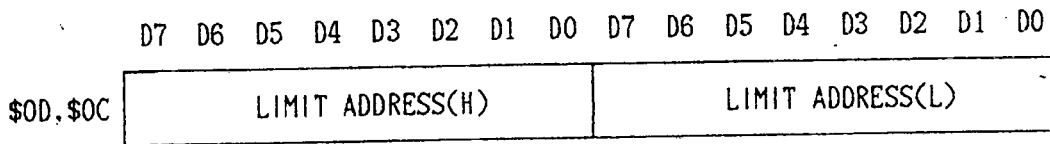
□ レベルコントロール：\$0B

ADPCM音声合成の出力レベルを、無音(00)から最大音量(FF)まで、256ステップにコントロールします。このデータは、ADPCM音声合成出力のみに有効です。



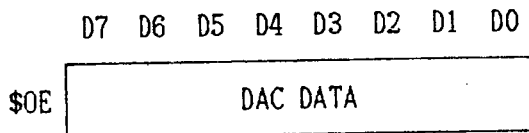
□ リミットアドレス L/H: \$0C, \$0D

メモリーのリミット値を設定するレジスタです。メモリーアクセス時に、このアドレスに達すると0番地に戻ります。このレジスタの設定値は、ストップアドレスと等しいか、または大きい値とします。ADPCM音声分析/合成時、メモリーread/write時には必ず設定して下さい。



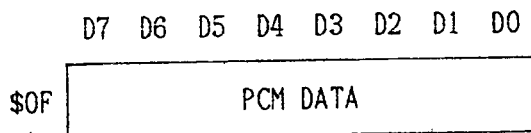
□ DAC データ: \$0E

DA変換時、このレジスタにデータ書き込むことにより、DA変換が行われます。書き込み時のデータフォーマットは、2'Sコンプリメント8bitPCMデータです。



□ PCM データ: \$0F

AD変換時、変換済みデータを格納するための読み出し専用レジスタです。したがって、CPUによるPCMデータの収集は、このレジスタをREADして行います。データフォーマットは2'Sコンプリメント8bitPCMデータです。



□ FLAG コントロール：\$10

ステータス1（または0）の各フラグを制御します。

システムリセット後の初期設定は、D4、D3、D2は“1”、その他は“0”となります。

	D7	D6	D5	D4	D3	D2	D1	D0
\$10	IRQ RESET	/	/	MASK ZERO	MASK BRDY	MASK EOS	MASK TIMERB	MASK TIMERA

- D0 : “1”の時、タイマーAの動作に関係なく、タイマーAのフラグをマスクして“0”とします。
- D1 : MASK TAと同様にタイマーBのフラグをマスクします。
- D2 : “1”の時、EOSフラグをマスクします。この時、ADPCM音声分析・合成の終了、外部メモリーのリード/ライトの終了、及びAD変換の終了時に、EOSフラグは発生しません。
- D3 : “1”の時、BRDYフラグをマスクします。この時、ADPCM音声分析・合成時、及び外部メモリーアクセス時のデータ書き込み要求、読み出し要求（BRDY）フラグは発生しません。
- D4 : “1”の時、ZEROフラグをマスクします。
- D7 : “1”として書き込む時、D4～D0のマスクbitは無視（bitの書換えを禁止）されます。  
同時に全てのステータスフラグを“0”にします。

### 5-3 ステータス レジスタ

ステータス情報は、STATUS0, 1をリードすることで得られます。イベントフラグは、タイマーフラグ、BUSYフラグ、ADPCM専用フラグで構成されています。これらのフラグは、各々のイベントが発生した時に“1”が立ちます。またフラグコントロール(\$10)で、不必要なフラグのマスクも可能です。

ステータス情報により、 $\overline{\text{IRQ}}$ 端子からCPUに対して割り込み処理が可能です。いずれかのフラグに“1”が立った時、 $\overline{\text{IRQ}}$ 端子はLOWレベルになり、CPUに対して割り込み信号を発生します。(IRQ端子はオープンドレイン出力ですから、他のデバイスのIRQ端子とワイアード接続が可能です。)

#### ■ STATUS0 : \$XX (バスコントロールA1, A0が“0”の時リード)

このレジスタは、YM2203(OPN)のステータスレジスタと同じ構成ですから、OPNで開発したソフトウェアを使用するような場合、変更の必要がありません。

D7	D6	D5	D4	D3	D2	D1	D0
BUSY	/	/	/	/	/	FLAG B	FLAG A

D0 : タイマーAにセットした時間が経過した時、“1”になります。

D1 : タイマーBにセットした時間が経過した時、“1”になります。

D7 : データをレジスタにロード中、“1”になります。このフラグは、FM音源部のレジスタにのみ有効です。フラグを見ながらアドレスライト、データライトを行う場合はウェイト時間は必要ありません。

#### ■ STATUS1 : \$XX (バスコントロールA1が“1”、A0が“0”の時、リード)

STATUS0に、ADPCM分析時に必要となるステータスフラグを追加したレジスタです。したがって、FLAG A、FLAG B、BUSYは、STATUS0と同一機能です。

D7	D6	D5	D4	D3	D2	D1	D0
BUSY	/	PCM BUSY	ZERO	BRDY	EOS	FLAG B	FLAG A

D2 : ADPCM音声分析/合成の終了時、AD/DA変換時の1サンプリング周期の経過時、“1”になります。

D3 : ADPCM音声分析(合成)時、2データ(4bit×2)の分析(合成)が終了した時、“1”になります。  
外部メモリーライト(リード)時、1データライト(リード)終了した時、“1”になります。

D4 : ADPCM音声分析中、290msec以上、無音状態が続く時、“1”になります。

D5 : ADPCM音声/合成の実行中“1”になります。

RAM-WRITE (CPU→OPNA→RAM)

ADDR.	DATA	R/W	コメント
\$10	\$13	W	◎初期設定 フラグBRDY, EOSをイネーブルにする。 各フラグをリセットする。 メモリーライトモードにする。 メモリータイプを指定にする。 スタートアドレスを設定。(L) (H) ストップアドレスを設定。(L) (H) リミットアドレスを設定。(L) (H)
\$10	\$80	W	
\$00	\$60	W	
\$01	\$00/\$02	W	
\$02	\$XX	W	
\$03	\$XX	W	
\$04	\$△△	W	
\$05	\$△△	W	
\$0C	\$□□	W	
\$0D	\$□□	W	
\$08	\$xx	W	◎メモリーライト -----> データの書き込み。 フラグBRDYをリセットする。 フラグEOS, BRDYのみイネーブルにする。 ステータス1 リード。 (Loop) フラグEOS "1" なら、書き込み終了。 フラグBRDY "1" なら、次データ書き込み
\$10	\$1B	W	
\$10	\$13	W	
\$--		R	
\$00	\$00	W	◎終了プロセス。
\$10	\$80	W	

RAM/ROM-READ (外部メモリー→OPNA→CPU)

ADDR.	DATA	R/W	コメント
\$10	\$13	W	◎初期設定 フラグBRDY, EOSをイネーブルにする。 各フラグをリセットする。 メモリーリードモードにする。 メモリータイプを指定。 スタートアドレスを設定。(L) (H) ストップアドレスを設定。(L) (H) リミットアドレスを設定。(L) (H)
\$10	\$80	W	
\$00	\$20	W	
\$01	\$00~\$02	W	
\$02	\$XX	W	
\$03	\$XX	W	
\$04	\$△△	W	
\$05	\$△△	W	
\$0C	\$□□	W	
\$0D	\$□□	W	
\$08		R	◎メモリーリード -----> データの読み出し。(最初の2回はダミーリード) フラグBRDYをリセットする。 フラグEOS, BRDYのみイネーブルにする。 ステータス1 リード。 (Loop) フラグBRDY "1" なら、次データ読み出し。 『最後の2データ分はフラグが立たないので、 フラグに関係なく読み出す事。』 フラグEOSが "1" なら、読み出し終了。
\$10	\$1B	W	
\$10	\$13	W	
\$--		R	
\$00	\$00	W	◎終了プロセス。
\$10	\$80	W	

■音声分析 (OPNA→外部メモリー)

ADDR.	DATA	R/W	コメント	
\$10	\$1B	W	◎初期設定 フラグEOSをイネーブルにする。 各フラグをリセットする。 音声分析(メモリー)モードにする。SP OFF。 メモリータイプを指定。 スタートアドレスを設定。(L) (H) ストップアドレスを設定。(L) (H) リミットアドレスを設定。(L) (H) サンプリングレート設定。(L) <8kHz: Npre=500> (H)	
\$10	\$80	W		
\$00	\$68	W		
\$01	\$00/\$02	W		
\$02	\$XX	W		
\$03	\$XX	W		
\$04	\$△△	W		
\$05	\$△△	W		
\$0C	\$□□	W		
\$0D	\$□□	W		
\$06	\$F4	W		
\$07	\$01	W		
\$00	\$E8	W R		◎分析スタート \$00, D7が“1”になるのに同期して分析開始。 ステータス1をリード。 フラグEOSに“1”が立ち、 分析終了を指示するまで待機。
\$00	\$00	W		◎終了プロセス。
\$10	\$80	W		

■音声合成 (外部メモリー→OPNA)

ADDR.	DATA	R/W	コメント
\$10	\$1B	W	◎初期設定 フラグEOSをイネーブルにする。 各フラグをリセットする。 音声合成(メモリー)モードにする。 メモリータイプを指定。Rchに出力。 スタートアドレスを設定。(L) (H) ストップアドレスを設定。(L) (H) リミットアドレスを設定。(L) (H) サンプリングレート設定。(L) <8kHz: ΔN=9438> (H) 出力レベルの設定。
\$10	\$80	W	
\$00	\$20/\$30	W	
\$01	\$40~\$42	W	
\$02	\$XX	W	
\$03	\$XX	W	
\$04	\$△△	W	
\$05	\$△△	W	
\$0C	\$□□	W	
\$0D	\$□□	W	
\$09	\$DE	W	
\$0A	\$24	W	
\$0B	\$00~\$FF	W	
\$00	\$A0/\$B0	W R	
\$00	\$A1	W	合成を強制的に中止。
\$00	\$00	W	◎終了プロセス。
\$10	\$80	W	

■音声分析 (OPNA→CPU)

ADDR.	DATA	R/W	コメント
\$10	\$17	W	◎初期設定 フラグBRDYをイネーブルにする。 各フラグをリセットする。 音声分析 (CPU) モードにする。SP OFF。 サンプリングレート設定。 (L) < 8kHz : Npre=500 > (H)
\$10	\$80	W	
\$00	\$C8	W	
\$06	\$F4	W	
\$07	\$01	W	
\$08		R	◎分析スタート データ読み出し (最初はダミーリード) 各フラグをリセット。 ステータス1 リード。 フラグBRDY "1" なら、次データ読み出し。
\$10	\$80	W	
		R	
\$00	\$48	W	◎終了プロセス
\$00	\$00	W	
\$10	\$80	W	

■音声合成 (CPU→OPNA)

ADDR.	DATA	R/W	コメント
\$10	\$17	W	◎初期設定 フラグBRDYをイネーブルにする。 各フラグをリセットする。 音声分析 (CPU) モードにする。 L, Rに出力。 サンプリングレート設定。 (L) < 8kHz : ΔN=9438 > (H)
\$10	\$80	W	
\$00	\$80	W	
\$01	\$C0	W	
\$09	\$DE	W	
\$0A	\$24	W	
\$0B	\$xx	W	ボリューム設定。
\$08	\$xx	W	◎分析スタート データ書き込み 各フラグをリセット。 ステータス1 リード。 フラグBRDY "1" なら、次データ書き込み。
\$10	\$80	W	
		R	
\$00	\$00	W	◎終了プロセス
\$10	\$80	W	

### AD変換

ADDR.	DATA	R/W	コメント
\$10	\$1B	W	◎初期設定 フラグEOSをイネーブルにする。 各フラグをリセットする。 サンプリングレート設定。(L) < 8kHz: Npre=500 > (H) スピーカーOFF. ◎変換プロセス AD開始。 ステータス1 リード。 フラグEOS "1" なら、PCMデータリード。 PCMデータリード。 フラグをリセット。 ◎終了プロセス
\$10	\$80	W	
\$06	\$F4	W	
\$07	\$01	W	
\$00	\$08	W	
\$01	\$08	W	
		R	
\$0F	\$xx	R	
\$10	\$80	W	
\$00	\$00	W	
\$10	\$80	W	

### DA変換

ADDR.	DATA	R/W	コメント
\$10	\$1B	W	◎初期設定 フラグEOSをイネーブルにする。 各フラグをリセットする。 サンプリングレート設定。(L) < 8kHz: Npre=500 > (H) ◎変換プロセス DA開始。 DACデータ書き込み。 ステータス1 リード。 フラグEOS "1" なら、リセットして 次データの書き込み。 フラグをリセット。 ◎終了プロセス
\$10	\$80	W	
\$06	\$F4	W	
\$07	\$01	W	
\$01	\$CC	W	
\$0E	\$xx	W	
		R	
\$10	\$80	W	
\$00	\$00	W	
\$10	\$80	W	



1. 絶対最大定格

項目	定格値	単位
端子電圧	-0.3~7.0	V
動作周囲温度	0~70	℃
保存温度	-50~125	℃

2. 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>CC</sub>	4.75	5.0	5.25	V
	GND	0	0	0	V

## 8. 電気的特性

### 1) 直流特性

項目	記号	条件	最小	最大	単位
入力Highレベル電圧 全入力 (但し、クロック入力除く)	$V_{IH}$		2.0	$V_{CC}$	V
入力Lowレベル電圧 全入力 (但し、クロック入力除く)	$V_{IL}$		-0.3	0.8	V
クロック入力 Highレベル電圧 $\phi_M$	$V_{CH}$		2.0	$V_{CC}$	V
クロック入力 Lowレベル電圧 $\phi_M$	$V_{CL}$		-0.3	0.8	V
入力リーク電流 $\phi_M, \overline{WR}, \overline{RD}, A0, A1$	$I_L$	$V_{in}=0\sim 5V$	-10	10	$\mu A$
スリープモード(ワ状態) 入力電流 D0~D7	$I_{TSL}$	$V_{in}=0\sim 5V$	-10	10	$\mu A$
出力Highレベル電圧 $\overline{IRQ}$ を除く出力	$V_{OH1}$ $V_{OH2}$	$I_{OH1}=0.4mA$ $I_{OH2}=40\mu A$	2.4 3.3		V V
出力Lowレベル電圧 全出力	$V_{OL}$	$I_{OL}=2mA$		0.4	V
出力リーク電流 (オフ状態) $\overline{IRQ}$	$I_{OL}$	$V_{OH}=0\sim 5V$	-10	10	$\mu A$
アナログ出力電圧 ANALOG OUT	$V_{OA}$	最大音量 3音同時 $R_L=470\Omega$	0.80	1.10	$V_{PP}$
アナログ入力電圧 AD, DA	$V_A$		$V_{CC}/4$	$3V_{CC}/4$	V
電源電流	$I_{CC}$			200	mA
プルアップ抵抗 IOA0~IOA7, IOB0~IOB7 IC, CS, DT0, DM0~DM7	$R_{PU}$		60	600	K $\Omega$
入力容量 全入力	$C_I$	$f=1MHz$		10	pF
出力容量 全出力	$C_O$			10	pF

2) 交流特性

項 目		記 号	条 件	最小	標準	最大	単位
入力クロック周波数	$\phi M$	$f_c$	(図 1)			8.0	MHz
入力クロックデューティ	$\phi M$			40	50	60	%
入力クロック立ち上り時間	$\phi M$	$T_{CR}$	(図 1)			50	ns
入力クロック立ち下り時間	$\phi M$	$T_{CF}$	(図 1)			50	ns

FM音源, リズム音源のアクセス

項 目		記 号	条 件	最小	標準	最大	単位
アドレスラッチアップ時間	A0, A1	$T_{AS}$	(図 2, 3)	10			ns
アドレスホールド時間	A0, A1	$T_{AH}$	(図 2, 3)	10			ns
チップセレクトライト幅	$\overline{CS}$	$T_{CSW}$	(図 2)	200			ns
チップセレクトリード幅	$\overline{CS}$	$T_{CSR}$	(図 3)	250			ns
バイトハルス幅	$\overline{WR}$	$T_{WW}$	(図 2)	200			ns
ライトデータラッチアップ時間	D0~D7	$T_{WDS}$	(図 2)	100			ns
ライトデータホールド時間	D0~D7	$T_{WDH}$	(図 3)	20			ns
リードハルス幅	$\overline{RD}$	$T_{RW}$	(図 3)	250			ns
リードデータアクセス時間	D0~D7	$T_{ACC}$	$C_L=100pF$ (図 3)			250	ns
リードデータホールド時間	D0~D7	$T_{RDH}$	(図 3)	10			ns
アウトプット立ち上り時間	$\phi S$	$T_{OR1}$	$C_L=100pF$ (図 4)			200	ns
	OPO SH1, SH2	$T_{OR2}$	$C_L=100pF$ (図 5)			300	ns
アウトプット立ち下り時間	$\phi S$	$T_{OF1}$	$C_L=100pF$ (図 4)			200	ns
	OPO SH1, SH2	$T_{OF2}$	$C_L=100pF$ (図 5)			300	ns

\*SSG音源のアクセス

項 目	記 号	条 件	最小	標準	最大	単位
アドレスセットアップ時間	A0, A1	T <sub>SAS</sub>	(図 6,7)	10		ns
アドレスホールド時間	A0, A1	T <sub>SAH</sub>	(図 6,7)	10		ns
チップセレクトライト幅	$\overline{CS}$	T <sub>SCSW</sub>	(図 6)	250		ns
チップセレクトリード幅	$\overline{CS}$	T <sub>SCSR</sub>	(図 7)	400		ns
ライトパルス幅	$\overline{WR}$	T <sub>SWW</sub>	(図 6)	250		ns
ライトデータセットアップ時間	D0~D7	T <sub>SWDS</sub>	(図 6)	0		ns
ライトデータホールド時間	D0~D7	T <sub>SWDH</sub>	(図 6)	20		ns
リードパルス幅	$\overline{RD}$	T <sub>SRW</sub>	(図 7)	400		ns
リードデータアクセス時間	D0~D7	T <sub>SACC</sub>	CL=100pF (図 7)		400	ns
リードデータホールド時間	D0~D7	T <sub>SRDH</sub>	(図 7)	10		ns

## ADPCM音源のアクセス

項目	記号	条件	最小	標準	最大	単位
リセットアップ時間	AO, A1	T <sub>AAS</sub>	(図 8, 9)	10		ns
リセット時間	AO, A1	T <sub>AAH</sub>	(図 8, 9)	10		ns
チップセレクトライト幅	$\overline{CS}$	T <sub>ACSW</sub>	(図 8)	380		ns
チップセレクトリード幅	$\overline{CS}$	T <sub>ACSR</sub>	(図 9)	380		ns
ライトパルス幅	$\overline{WR}$	T <sub>AWW</sub>	(図 8)	380		ns
ライトデータセットアップ時間	DO~D7	T <sub>AWDS</sub>	(図 8)	10		ns
ライトデータホールド時間	DO~D7	T <sub>AWDH</sub>	(図 8)	30		ns
リードパルス幅	$\overline{RD}$	T <sub>ARW</sub>	(図 9)	380		ns
リードデータアクセス時間	DO~D7	T <sub>AACC</sub>	(図 9)		380	ns
リードデータホールド時間	DO~D7	T <sub>ARDH</sub>	(図 9)	10		ns
メモリーデータセット時間	DM1~DM7 DT0	T <sub>AMDS</sub>	(図 12, 13)	70		ns
メモリーデータホールド時間	DM1~DM7 DT0	T <sub>AMDH</sub>	(図 12, 13)	10		ns
アウトプット立ち上がり時間	$\overline{DM0} \sim \overline{DM7}, \overline{RAS}$ $\overline{CAS}, \overline{WE}, A8$ $\overline{MDEN}, \overline{ROMCS}$	T <sub>AOR3</sub>	(図 10)		300	ns
アウトプット立ち下り時間	$\overline{DM0} \sim \overline{DM7}, \overline{RAS}$ $\overline{CAS}, \overline{WE}, A8$ $\overline{MDEN}, \overline{ROMCS}$	T <sub>AOF3</sub>	(図 10)		300	ns

## リセット

項目	記号	条件	最小	標準	最大	単位
リセットパルス幅	$\overline{IC}$	T <sub>ICW</sub>	(図 11)	192		サイクル

タイミング図 (タイミング図の設定は  $V_H = 2.0V$ ,  $V_L = 0.8V$  を基準とする。)

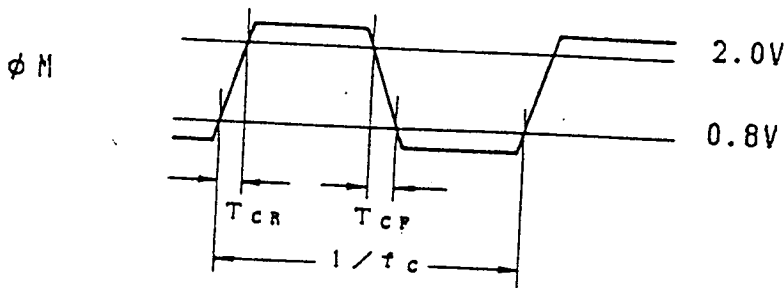
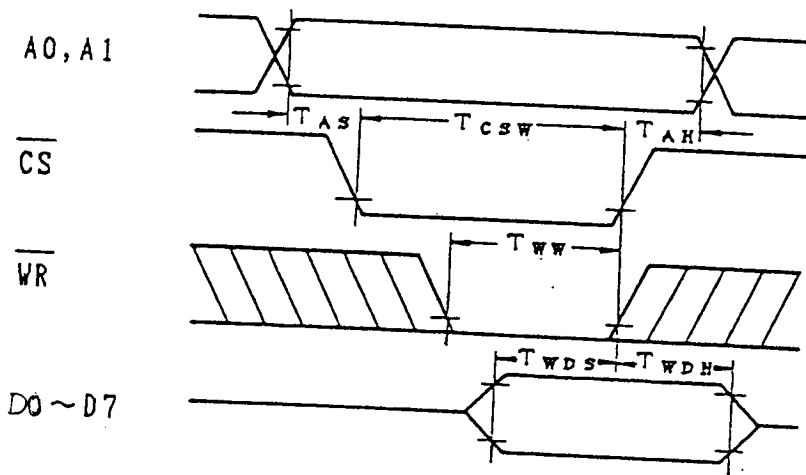


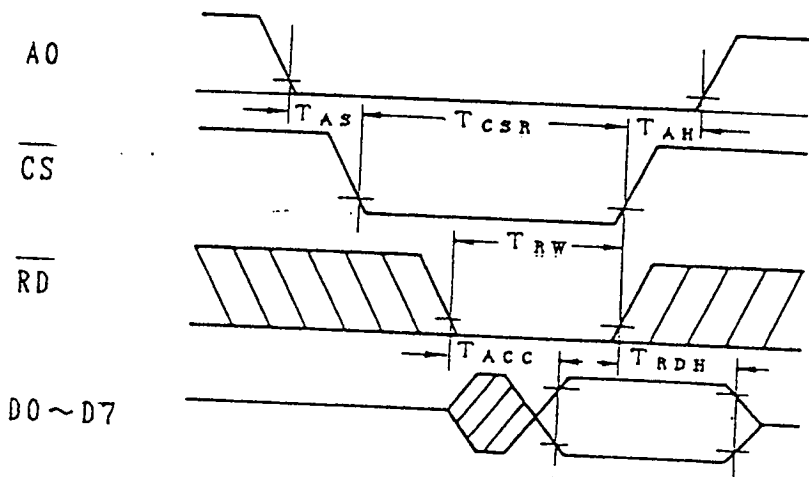
図1 クロックタイミング



(注)

$T_{csw}$ ,  $T_{ww}$ ,  $T_{wds}$ ,  $T_{wdh}$  は,  $\overline{CS}$ ,  $\overline{WR}$  の何れかが HIGH レベルになる時を基準とする。

図2 FM部, リスラム部ライトタイミング



(注)

$T_{acc}$  は,  $\overline{CS}$ ,  $\overline{RD}$  の何れかが遅く LOW レベルになる時を基準とする。

$T_{csr}$ ,  $T_{rw}$ ,  $T_{rdh}$  は,  $\overline{CS}$ ,  $\overline{RD}$  の何れかが HIGH レベルになる時を基準とする。

図3 FM部リードタイミング

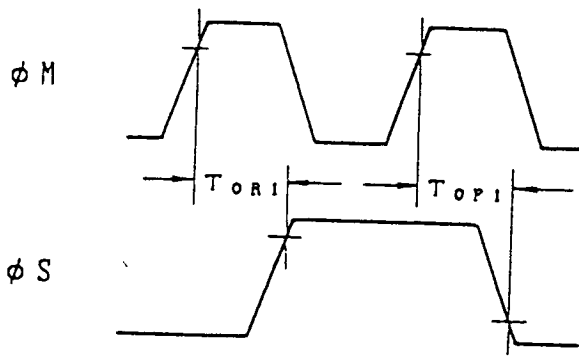


図4 出力タイミング(1)

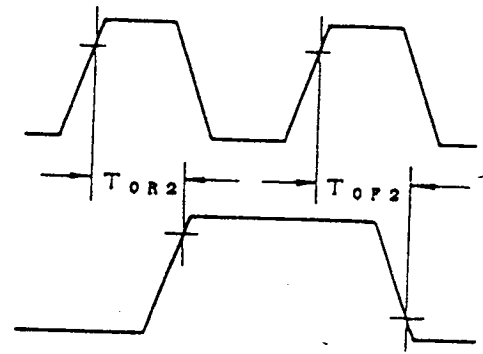


図5 出力タイミング(2)

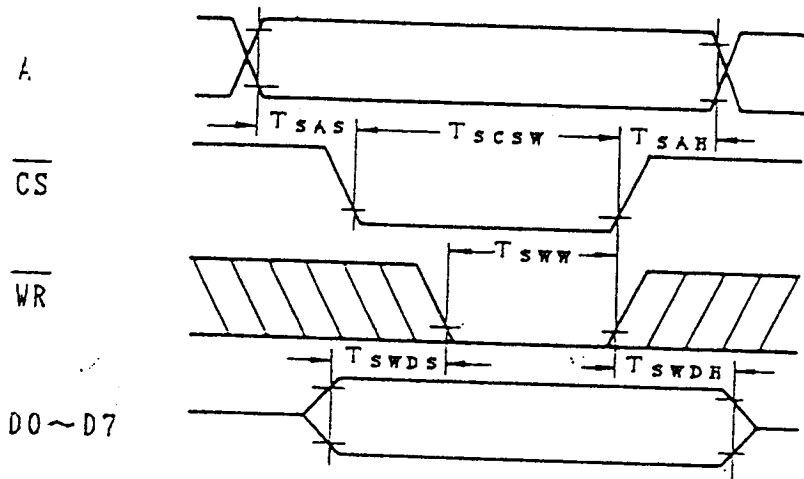


図6 SSG部ライトタイミング

(注)

$T_{swds}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかが遅くLOWレベルになる時を基準とする。

$T_{scsw}$ 、 $T_{sww}$ 、 $T_{swdh}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかがHIGHレベルになる時を基準とする。

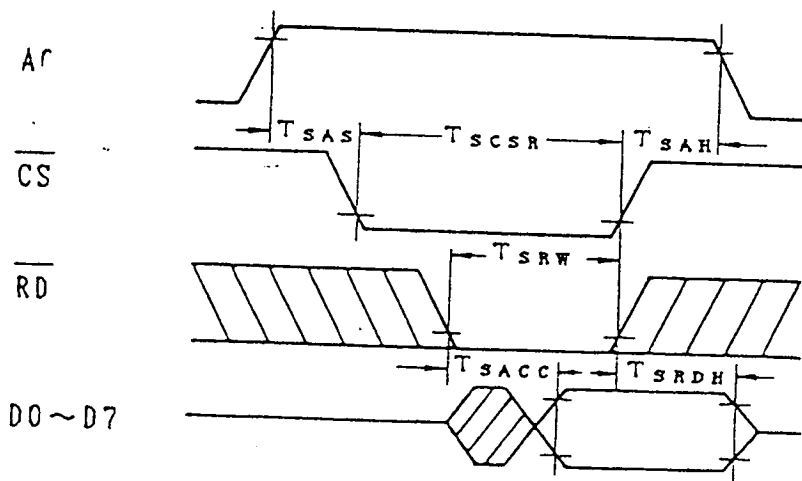
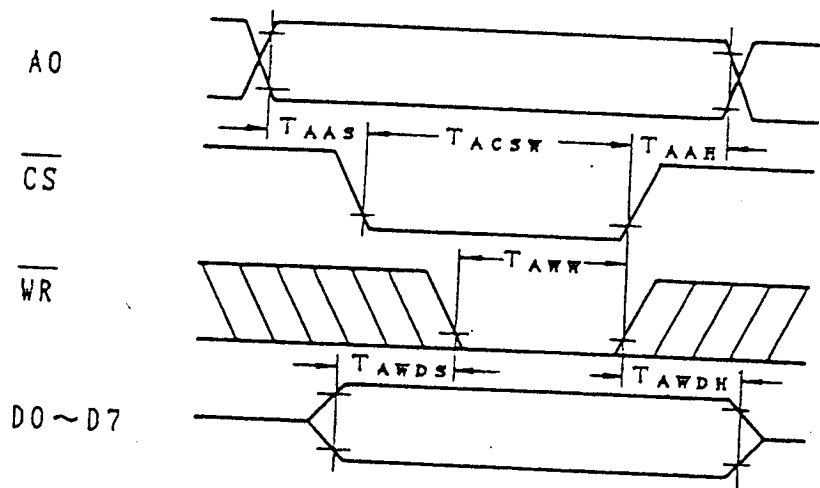


図7 SSG部 リードタイミング

(注)

$T_{sacc}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかが遅くLOWレベルになる時を基準とする。

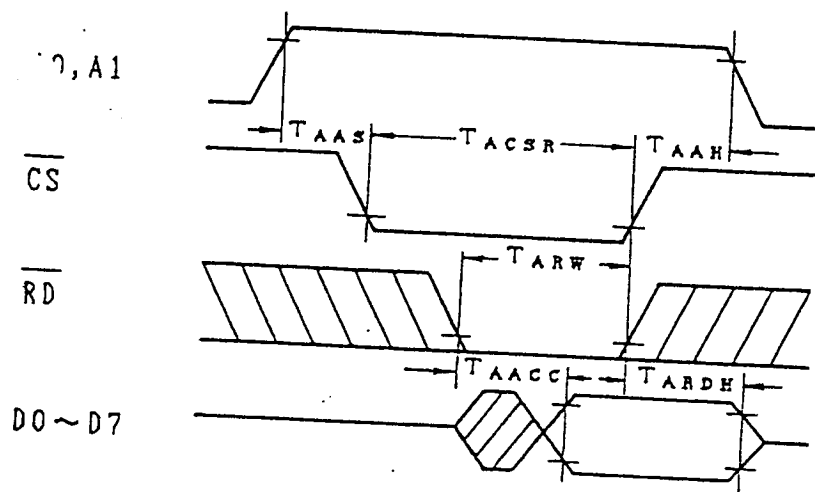
$T_{scsr}$ 、 $T_{srw}$ 、 $T_{srdh}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかがHIGHレベルになる時を基準とする。



(注)  
 $T_{AWDS}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかが遅くLOWレベルになる時を基準とする。

$T_{ACS}$ 、 $T_{AW}$ 、 $T_{AWDH}$ は、 $\overline{CS}$ 、 $\overline{WR}$ の何れかがHIGHレベルになる時を基準とする。

図8 ADPCM部ライトタイミング



(注)  
 $T_{AACC}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかが遅くLOWレベルになる時を基準とする。

$T_{ACS}$ 、 $T_{AR}$ 、 $T_{ARDH}$ は、 $\overline{CS}$ 、 $\overline{RD}$ の何れかがHIGHレベルになる時を基準とする。

図9 ADPCM部リードタイミング

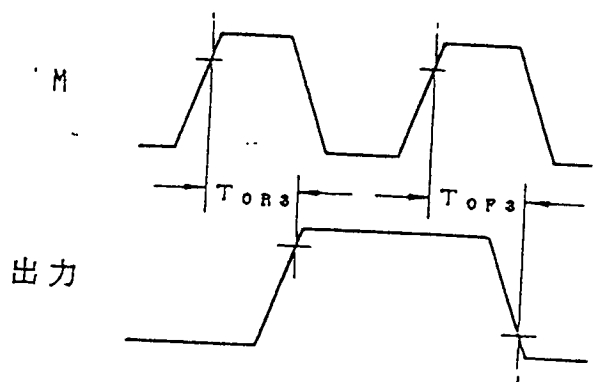


図10 出力タイミング(3)



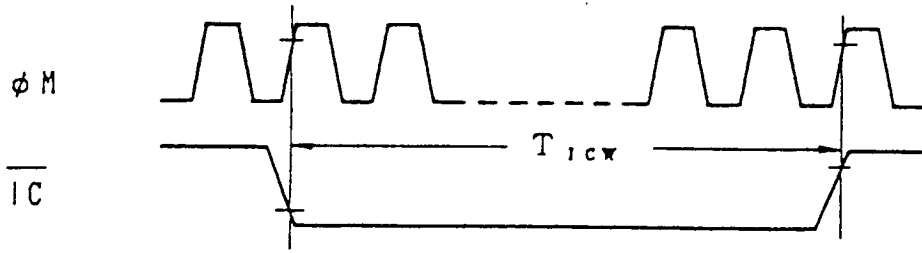
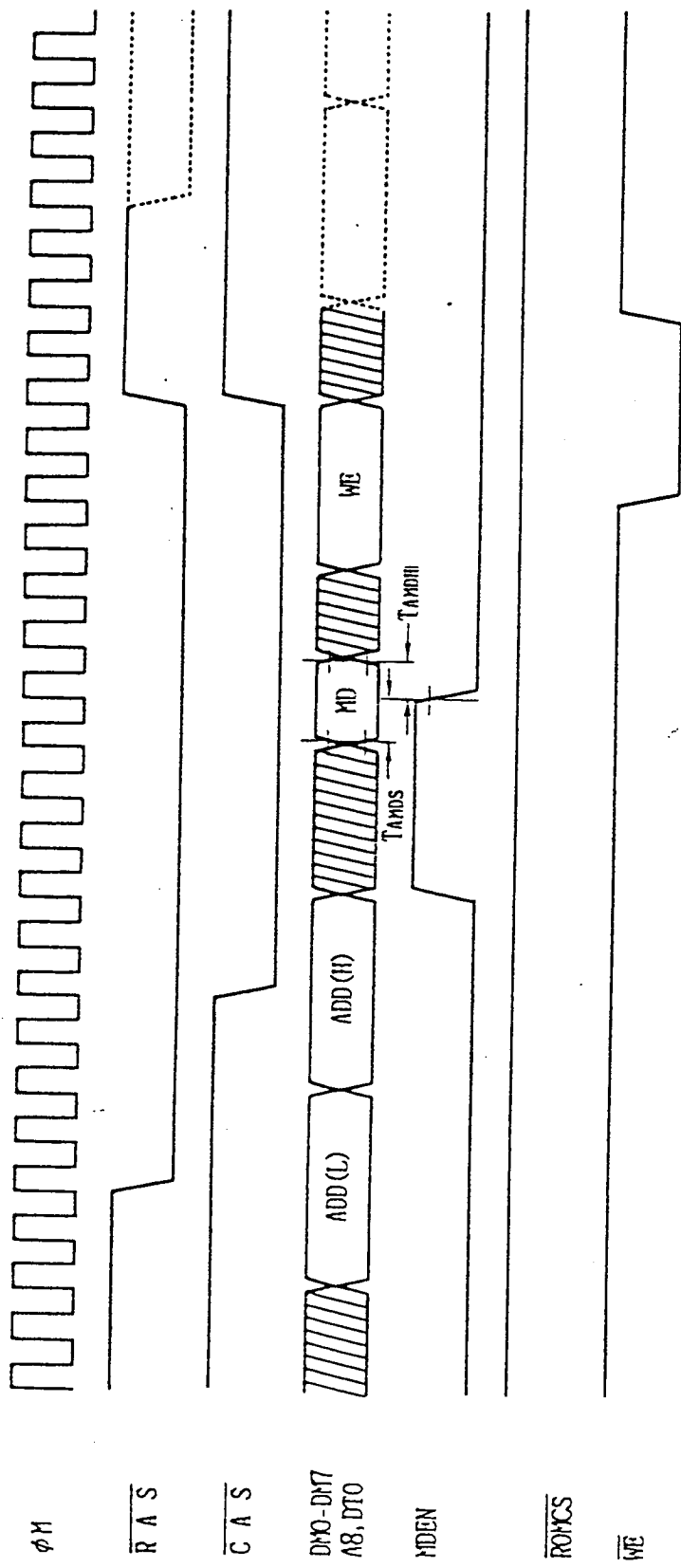
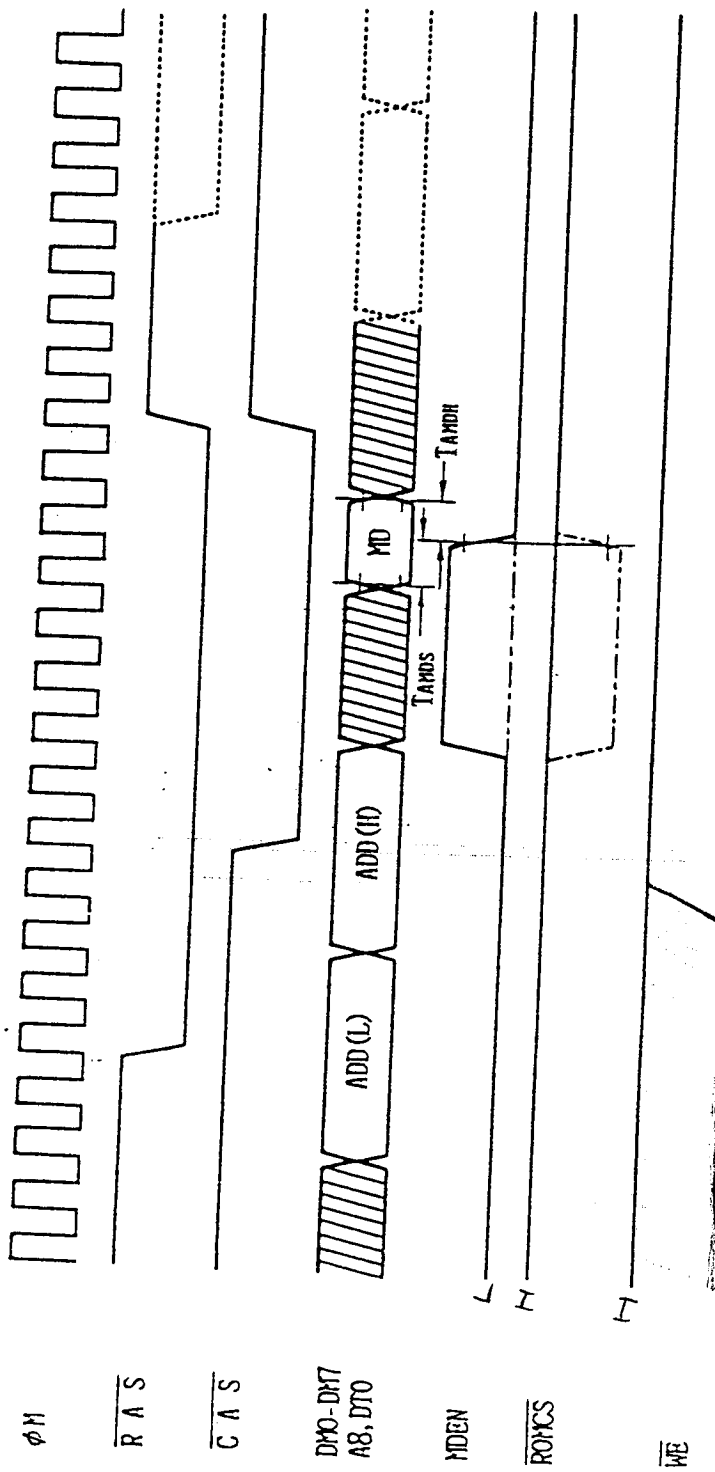


図 1 1 リセットパルス幅



(注) A8はADD (L) , ADD (H) のみ規程、DTOはMDのみ規程、DMOは  
ADD (L) ADD (H) 及びWDを規程。

図 1 2 外部メモリーライトサイクル



(注) A8はADD(L), ADD(H)のみ規程、DTOはMDのみ規程、DMOはADD(L) ADD(H)を規程。MDENとROMCSは実線がRAMリードサイクル、一点鎖線はROMリードサイクル。

図13 外部メモリーリードサイクル