



Z80用割り込みコントローラ

ZEN1020PはZ80用のプログラマブルな割り込み制御用ICでZ80CPUの周辺素子として用いられます。

ZEN1020Pは8要因までのモード2の割り込みをサポートします。割り込みマスク、ベクタアドレス指定はプログラムにより制御され、割り込み要因発生をエッジで検出するか、レベルで検出するかも選択可能です。また、デジチェーンを形成することで更に多要因の割り込み制御にも対応します。

1、特徴

Z80用プログラマブル割り込みコントローラ

モード2の割り込み要因を最大8レベルまでサポート

各割り込み要因の割り込みマスク、ベクタアドレスの指定がプログラマブル

各割り込み要因の検出をエッジ（立ち上がり、立ち下がり）で行うか、レベル（H、L）で行うかを選択可能

割り込み要求入力の読み出しが可能

デジチェーンを形成可能

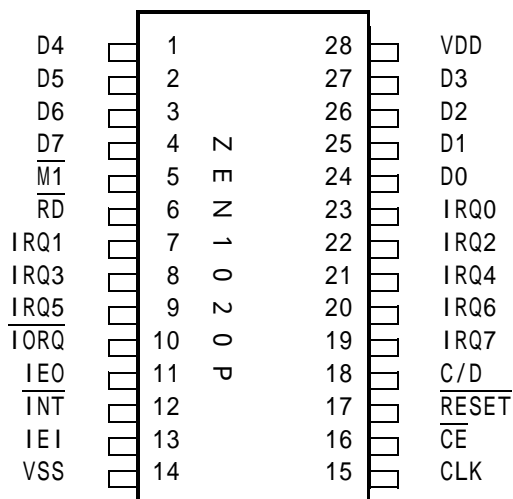
最大クロック周波数8MHz

CMOSプロセス採用による低消費電力

+5V単一電源

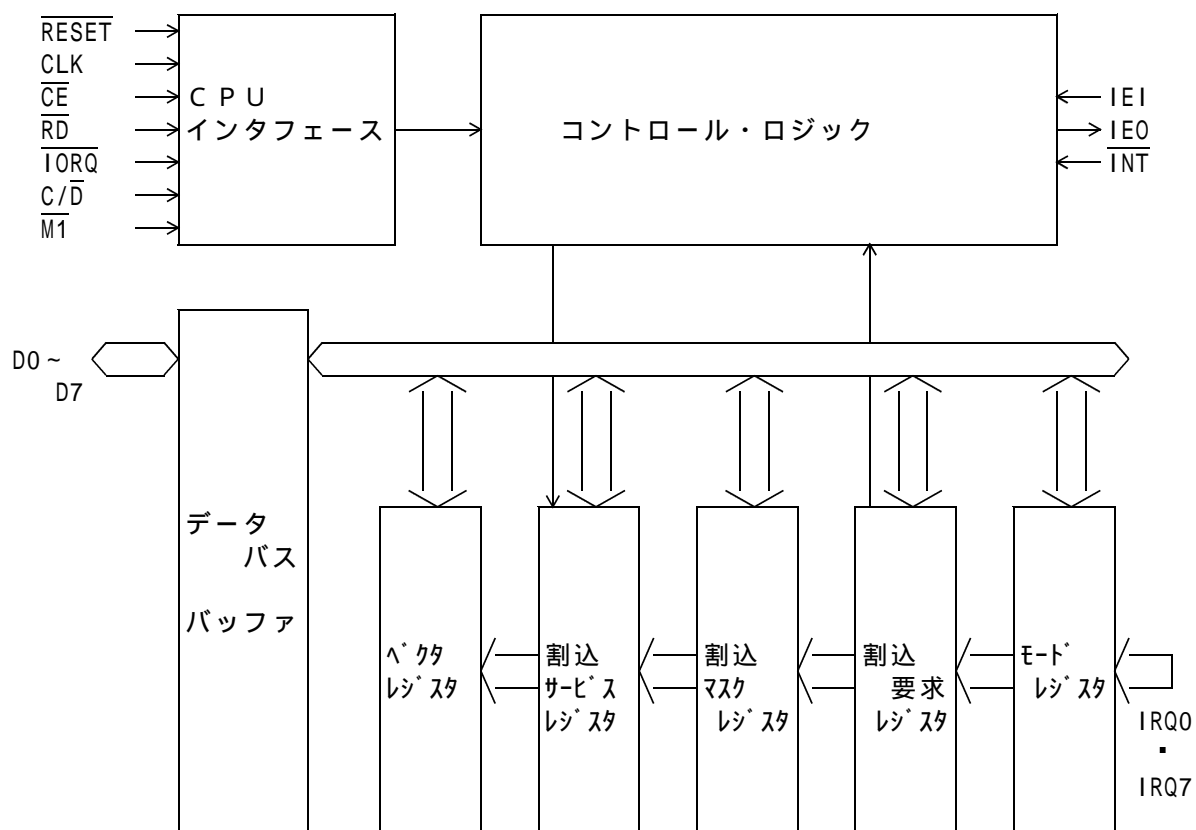
DIP 28ピン

端子配置図(Top view)



*Z80はザイログ社の登録商標です。

2、ブロック図



3、端子機能

端子番号	端子記号	端子名称	I/O	機能説明
24	D0	データバス	I/O	8ビットの双方向 CPUのデータバスに接続 内部レジスタとのデータ転送に用いる
25	D1			
26	D2			
27	D3			
1	D4			
2	D5			
3	D6			
4	D7			
5	M1	マシンサイクル1	I	CPUのM1に接続
6	RD	リード	I	CPUのRDに接続
23	IRQ0	割り込み要求	I	優先順位はIRQ0が最上位で、以下IRQ1、IRQ2 IRQ3、IRQ4、IRQ5、IRQ6、IRQ7の順
7	IRQ1			
22	IRQ2			
8	IRQ3			
21	IRQ4			
9	IRQ5			
20	IRQ6			
19	IRQ7			

端子番号	端子記号	端子名称	I/O	機能説明
10	IORQ	入出力要求	I	CPUのIORQに接続
11	IEO	割り込み許可	0	ディジーチェーンの形成のために用いる。IEIが"High"レベルでCPUがZEN1020Pからの割り込みサービスを行っていない時のみ"High"になります。
12	INT	割り込み要求	0	CPUのINTに接続
13	IEI	割り込み許可	I	ディジーチェーンの形成のために用いる。"High"にすると、条件が成立したときに割り込みが発生することが出来ます。
15	CLK	クロック	I	
16	CE	チップイネーブル	I	
17	RESET	リセット	I	
18	C/D	コマンド/データ	I	コマンドとデータの切替に使用
14	VSS	電源	-	0 v
28	VDD		-	+ 5 v

4、割り込み動作

- (1) 1あるいは複数の割り込み要求入力(IRQ)がアクティブになると、それに対応するIRRがセットされます。
- (2) この割り込み要求のマスク、ディジーチェーンの状態を判断し、 $\overline{\text{INT}}$ 信号を出力します。
- (3) Z80CPUが、割り込みを受け付けると優先度の最も高いIRRをリセットし、対応するISRをセットします。それとともに対応する割り込みベクタを出力します。
- (4) 各チャンネルにおいてISRがセットされている期間中は割り込み要因が発生してもIRRはセットされません。
- (5) ISRのリセットは、Z80CPUがRETI命令を実行するか、EOIコマンドを実行すると行われます。

5、各レジスタの機能

- (1) 割り込み要求レジスタ (IRR)
1つの割り込み要求入力 (IRQ) に対してIRRの1ビットが対応します。各対応は表 - 1 を参照して下さい。割り込みが発生するとIRRがセットされます。CPUの割り込み応答でリセットされ、CPUが割り込みをサービス中 (ISRセット中) は、セットされません。またデータポートによる読み出し、書込が可能です。
- (2) 割り込みサービスレジスタ (ISR)
IRRの1ビットに対してISRの1ビットが対応します。各対応は表 - 1 を参照して下さい。CPUの割り込み応答でセットされ、RETI命令、EOIコマンドでリセットされます。またデータポートによる読み出し、書込が可能です。
- (3) 割り込みマスクレジスタ (IMR)
IRRの1ビットに対してIMRの1ビットが対応します。各対応は表 - 1 を参照して下さい。割り込みをマスクするレジスタで、IRRがセットされていてもIMRがリセットされていると $\overline{\text{INT}}$ 信号は出力されません。コマンド (CC1) によるセット、リセットやデータポートによる読み出し、書込が可能です。

表 - 1 : 各レジスタ対応表

IRQ	IRR	ISR	IMR
IRQ0	IRR0	ISR0	IMR0
IRQ1	IRR1	ISR1	IMR1
IRQ2	IRR2	ISR2	IMR2
IRQ3	IRR3	ISR3	IMR3
IRQ4	IRR4	ISR4	IMR4
IRQ5	IRR5	ISR5	IMR5
IRQ6	IRR6	ISR6	IMR6
IRQ7	IRR7	ISR7	IMR7

(4) 割り込みレベルレジスタ (MR1, MR0)

各割り込み要求入力 (IRQ) に対して 2 ビットあります。MR1、MR0により割り込みのレベルを選択します。コマンド (CC1) で設定できますが、読み出しは出来ません。

(5) 割り込みベクタレジスタ (V3, V2, V1, V0)

このレジスタの値は各割り込み要求入力 (IRQ) に対して共通で、CPUの割り込み応答時に出力する割り込みベクタの上位 4 ビットを表します。(下位 4 ビットは割り込み要求入力によって決定されます。) コマンド (CC2) によって設定し、ステータスとして読み出せます。

(6) マスター割り込み許可レジスタ (MIE)

割り込み動作を許可するレジスタ (1 ビット) です。MIEがリセットされていると、 $\overline{\text{INT}}$ 信号は出力されません。コマンド (CC3) によって設定し、ステータスとして読み出せます。

(7) レジスタ指定用レジスタ (RN1, RN0)

このレジスタ (2 ビット) の値によりデータポートを通じて読み出し、書込するレジスタを選択します。コマンド (CC4) によって設定し、ステータスとして読み出せます。

6、基本動作

CPU制御による基本動作を表 - 2 に示します。

表 - 2 : 基本動作

$\overline{\text{CE}}$	$\overline{\text{RD}}$	$\overline{\text{TORQ}}$	$\text{C}/\overline{\text{D}}$	$\overline{\text{M1}}$	基本動作
0	0	0	0	1	IRR, ISR, IMR, IRQ → データバス
0	0	0	1	1	ステータス → データバス
0	1	0	1	1	データバス → CC1, CC2, CC3, CC4
0	1	0	0	1	データバス → IRR, ISR, IMR
1	-	-	-	-	データバス → ハイインピーダンス

7、コマンド一覧

(1) CC1 (割り込みレベルとマスク設定) (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
IMR	CH2	CH1	CH0	MR1	MR0	CMR	1	
0						0		NOP
1						1		IRR, ISRのリセット (単発動作) (割り込みレベル)
			0	0				IRQ="H"で割り込み (RESET時)
			0	1				L "
			1	0				IRQの立ち上がりエッジで割り込み
			1	1				立ち下がり "
								(割り込み要求入力)
	0	0	0					IRQ0
	0	0	1					IRQ1
	0	1	0					IRQ2
	0	1	1					IRQ3
	1	0	0					IRQ4
	1	0	1					IRQ5
	1	1	0					IRQ6
	1	1	1					IRQ7
0								割り込み要求入力をマスク (RESET時)
1								" 許可

IRR、ISRのリセットは初期設定および割り込みレベルの変更時に実行して下さい。

(2) CC2 (割り込みベクタ設定) (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
V3	V2	V1	V0	0	0	0	0	
								割り込み要求入力
				0	0	0	0	IRQ0
				0	0	1	0	IRQ1
				0	1	0	0	IRQ2
				0	1	1	0	IRQ3
				1	0	0	0	IRQ4
				1	0	1	0	IRQ5
				1	1	0	0	IRQ6
				1	1	1	0	IRQ7

(3) CC3 (マスター割り込み許可の設定) (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
MIE	0	0	0	0	0	1	0	
0								割り込み動作不許可 (RESET時)
1								割り込み動作許可

(4) CC4 (レジスタ指定) (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	RN1	RN0	0	1	0	0	レジスタ、入力端子
		0	0	-----				IRR (RESET時)
		0	1	-----				ISR
		1	0	-----				IMR
		1	1	-----				IRQ

ここで指定したレジスタがデータポートを通じて読み出し、書込が出来ます。

(5) CC5 (E0Iコマンド) (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
0	CH2	CH1	CH0	0	1	1	0	ISRリセット
	0	0	0	-----				ISR0
	0	0	1	-----				ISR1
	0	1	0	-----				ISR2
	0	1	1	-----				ISR3
	1	0	0	-----				ISR4
	1	0	1	-----				ISR5
	1	1	0	-----				ISR6
	1	1	1	-----				ISR7

(6) ステータス (C/ \bar{D} =1)

D7	D6	D5	D4	D3	D2	D1	D0	
V3	V2	V1	V0	MIE	RN1	RN0	0	
								CC4で設定したD4ビット
								" D5
								CC3 " D7
								CC2 " D4
								" D5
								" D6
								" D7

(7) データポート (C/ \bar{D} =0)

CC4で設定したレジスタ (IRR、ISR、IMR) および割り込み要求入力端子 (IRQ) の読み出し、書込が出来ます。

RN1	RN0	D7	D6	D5	D4	D3	D2	D1	D0	Read/Write
		R7	R6	R5	R4	R3	R2	R1	R0	
0	0	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRRO	R/W
0	1	ISR7	ISR6	ISR5	ISR4	ISR3	ISR2	ISR1	ISRO	R/W
1	0	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMRO	R/W
1	1	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	R(only)

RN1: CC4で設定したD5ビット

RN0: " D4

8、電気的特性

1)絶対最大定格 ($T_a = 25$ $V_{SS} = 0V$)

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.5 ~ 7.0	V
入力端子電圧	V_I	-0.5 ~ $V_{DD}+0.5$	V
出力端子電圧	V_O	-0.5 ~ $V_{DD}+0.5$	V
出力電流	I_O	-20 ~ +20	mA
保存温度	T_{stg}	-65 ~ 150	

2)推奨動作条件 ($V_{SS} = 0V$)

項目	記号	最小値	標準値	最大値	単位
電源電圧	V_{DD}	4.5	5.0	5.5	V
動作温度	T_{OPT}	-40	25	85	
高レベル入力電圧	V_{IH}	2.2	-	$V_{DD}+0.3$	V
低 "	V_{IL}	$V_{SS}-0.3$	-	0.8	V
出力シンク電流	I_{OL}	-	-	5.0	mA
出力ソース電流	I_{OH}	-5.0	-	-	mA

3)直流特性 (推奨動作条件にて)

項目	記号	条件	最小値	標準値	最大値	単位
高レベル出力電圧 1	V_{OH1}	$I_{OH}=-5.0mA$	2.4	4.2	V_{DD}	V
" 2	V_{OH2}	$I_{OH}=-20\mu A$	4.4	-	-	V
低 "	V_{OL}	$I_{OL}=5.0mA$	V_{SS}	0.24	0.5	V
高レベル入力電流	I_{IH}	$V_{IH}=V_{DD}$	-	0.01	1	μA
低 "	I_{IL}	$V_{IL}=V_{SS}$	-1	-0.01	-	μA
スリープ状態出力 リーク電流	I_{OZH} I_{OZL}	$V_{OH}=V_{DD}$ $V_{OL}=V_{SS}$	- -10	0.01 -0.01	10 -	μA
静止電源電流	I_{DD5}	出力解放 $V_I=V_{DD}/V_{SS}$	-	0.1	100	μA
動作電源電流	I_{DD0}	出力解放 $V_I=V_{DD}/V_{SS}$ CLK=500KHz	-	-	0.72	mA

4)入出力容量 ($V_{DD}=V_I=V_O=V_{SS}=0V$ $f=1MHz$ $T_a=25$)

項目	記号	最小値	標準値	最大値	単位
入力端子	C_I	-	6	-	pF
出力端子	C_O	-	9	-	pF
入出力端子	C_{IO}	-	10	-	pF

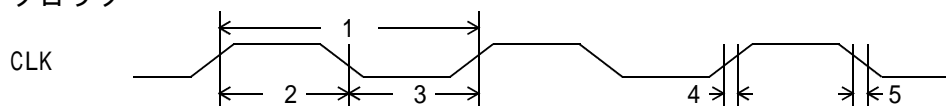
5)交流特性 (推奨動作条件にて)

番号	記号	項目	Min	Max	単位
1	C_Y	CLKサイクル時間	100	DC	nS
2	H	CLKパルス幅 (High)	50	DC	nS
3	L	" (Low)	50	DC	nS
4	R	CLK立ち上がり時間		5	nS
5	F	" 立ち下がり時間		5	nS
6	t_{AS}	CE、C/DのIORQ に対するセットアップ時間	20		nS
7	t_{AH}	" " ホールド時間	20		nS
8	t_{IS}	IORQのCLK に対するセットアップ時間	10		nS
9	t_{RS}	RDのCLK に対するセットアップ時間	50		nS

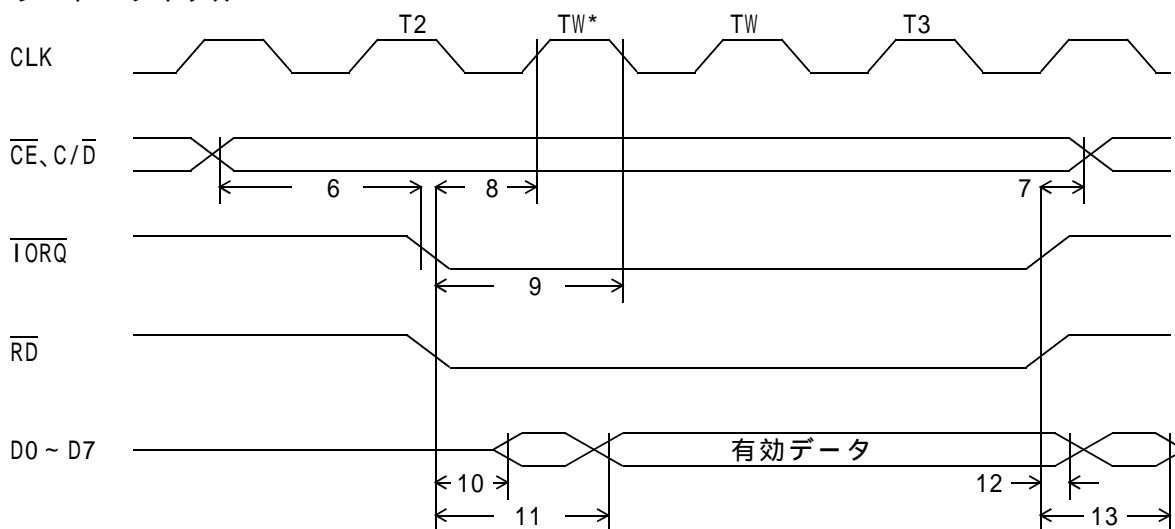
番号	記号	項目	Min	Max	単位
10	t_{ZD}	RD, IORQ からデータ出力までの遅延時間	20		nS
11	t_{DF}	" 確定までの遅延時間		90	nS
12	t_{FD}	RD, IORQ から確定データホールド時間	10		nS
13	t_{DZ}	" 出力フロートまでの遅延時間		40	nS
14	t_{DS}	入力データのIORQ に対するセットアップ時間	50		nS
15	t_{DH}	" ホールド時間	0		nS
16	t_{QS}	割り込み要求入力のCLK に対するセットアップ時間	50		nS
17	t_{QH}	" ホールド時間	50		nS
18	t_{OC}	CLK から IEO までの遅延時間		60	nS
19	t_{TC}	" INT "		65	nS
20	t_{ZV}	IORQ からデータ出力までの遅延時間 (割り込み応答サイクル)	10		nS
21	t_{VF}	" 確定までの遅延時間 (")		50	nS
22	t_{FV}	IORQ から確定出力ホールド時間 (割り込み応答サイクル)	5		nS
23	t_{VZ}	" データ出力フロート時間 (割り込み応答サイクル)		40	nS
24	t_{OI}	IEI から IEO までの遅延時間		35	nS
25	t_{IO}	IEI から IEO "		75	nS

タイミング・ダイアグラム

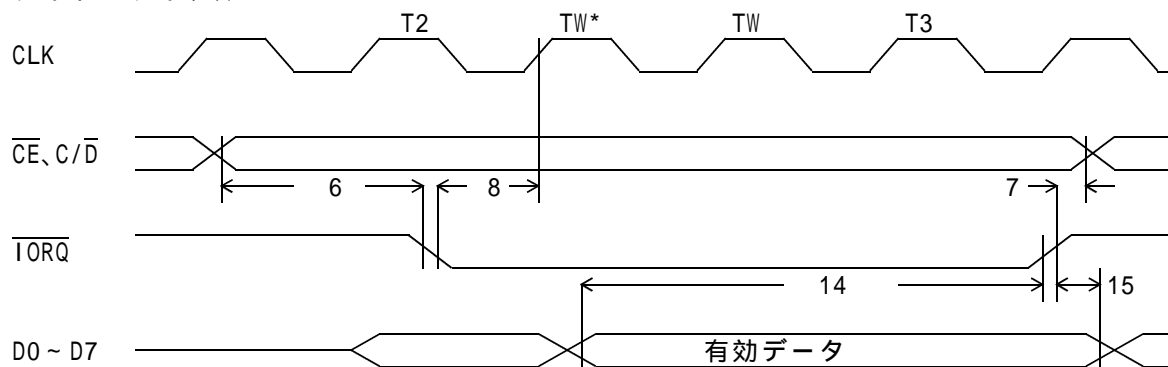
・クロック



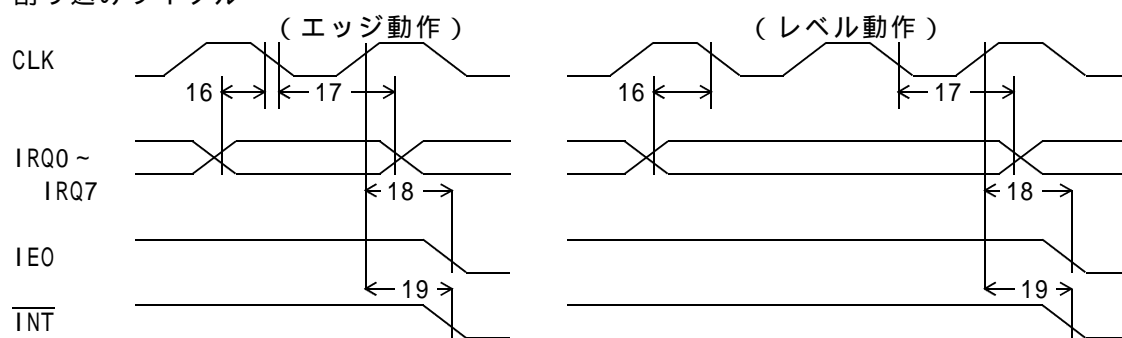
・リード・サイクル



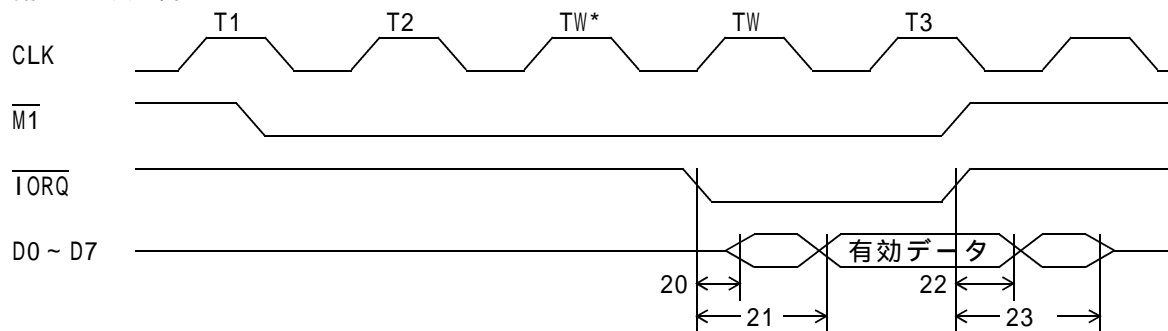
・ライト・サイクル



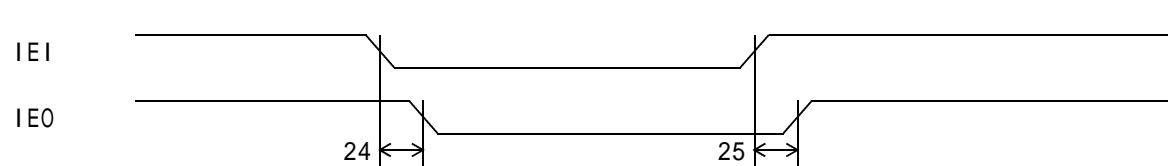
・割り込みサイクル



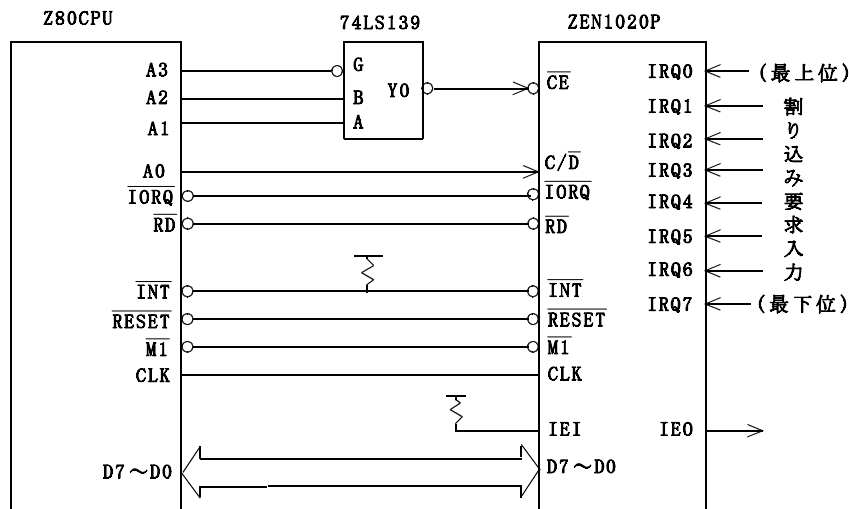
・割り込み応答サイクル



・デジター・チェーン



9、Z80との接続例



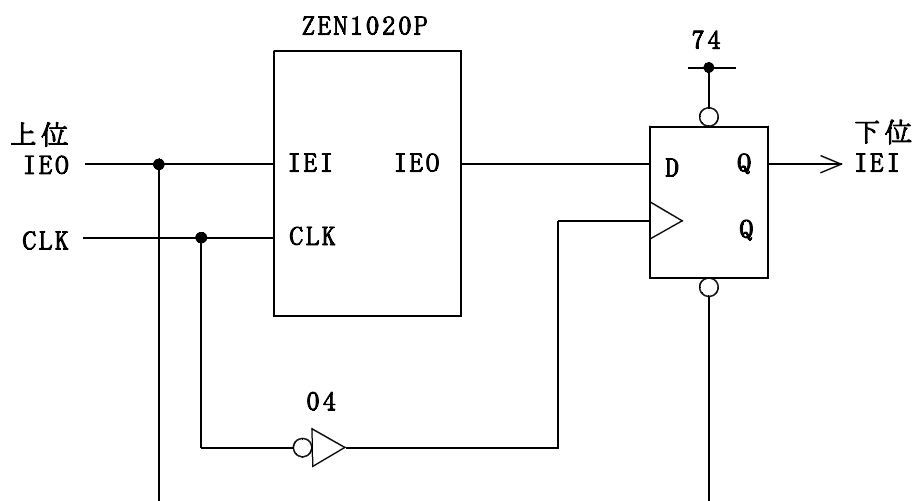
10、その他

・デジチェーンに関する注意事項

ZEN1020Pの下位に他のZ80周辺ICを組み込んだ場合

ZEN1020Pはクロック周波数8MHzの高速処理を実現するために、Z80周辺ICとのデジチェーンでの整合がとれていません。

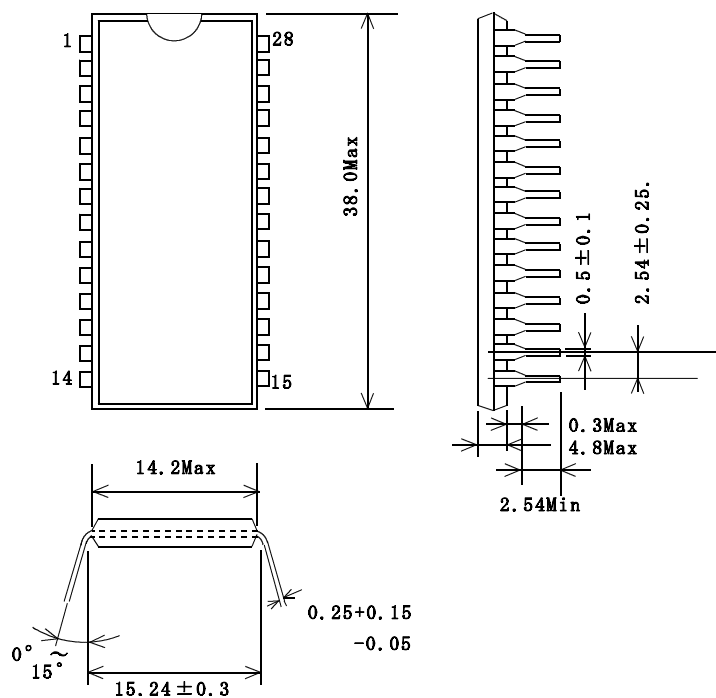
この不整合はデジチェーン上でZEN1020Pの直下にZEN1020P以外のZ80周辺ICを組み込んだ場合に問題となります。この対策としての参考回路図を以下に示します。



なお次の場合はこの対策は不要です。

- 1) デジチェーンがZEN1020Pのみで構成されている場合
- 2) Z80周辺ICがZEN1020Pの上位の場合

1 1、外形寸法図 (単位 : mm)



ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することはご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail support@zenic.co.jp
大津市大萱1丁目17-14 松政ビル6F 〒520-2144 TEL 077-543-2101 FAX 077-543-9431

(Z1020L95)ZENIC INC.