

## ZEN7201AF データシート

株式会社ジーニック

## 目次

◆概要.....	1
1. 特徴.....	1
2. システムブロック構成.....	2
3. 端子一覧.....	3
3.1. PCIバス・インタフェース信号.....	3
3.2. ホットスワップコントロール信号.....	4
3.3. EEPROMコントロール信号.....	4
3.4. ローカルバス・インタフェース信号.....	5
3.5. 電源・グランド信号およびテスト信号.....	6
4. 内部機能.....	7
4.1. PCIバスアクセス.....	7
4.1.1. PCIバスアクセス.....	7
4.1.2. 例外処理.....	8
4.1.3. ターゲット・イニシエーティッド・ターミネーション.....	8
4.1.3.1. ディスコネクト.....	8
4.1.3.2. リトライ.....	9
4.2. ローカルバスアクセス.....	11
4.2.1. ローカルI/Oアクセス.....	15
4.2.2. ローカルメモリアクセス.....	16
4.2.3. ローカルバスアドレッシング.....	17
4.2.4. ローカルバスタイミングコントロール.....	18
4.2.5. ウェイトアクセス.....	18
4.2.6. 8/16アクセスセレクト.....	19
4.3. 割り込み処理.....	19
4.4. EEPROM.....	20
4.5. ホットスワップ.....	21
4.5.1. ENUM#.....	21
4.5.2. LEDO#.....	21
4.5.3. MSW.....	21



5. レジスタ.....	22
5.1. レジスタマップ.....	22
5.2. PCIコンフィギュレーションレジスタ.....	23
5.2.1. デバイスID & ベンダID.....	23
5.2.2. ステータス & コマンド.....	24
5.2.3. クラスコード & レビジョンID.....	25
5.2.4. BIST & ヘッダタイプ & マスタレイテンシタイム & キャッシュラインサイズ.....	25
5.2.5. モードレジスタコントロールBAR(I/O用).....	25
5.2.6. モードレジスタコントロールBAR(メモリ用).....	26
5.2.7. ローカルバスコントロールBAR(I/O用).....	26
5.2.8. ローカルバスコントロールBAR(メモリ用).....	26
5.2.9. カードバスCISポインタレジスタ.....	27
5.2.10. サブシステムID & サブシステムベンダID.....	27
5.2.11. エクスパンションROM BAR.....	27
5.2.12. Cap_PTR.....	27
5.2.13. Max_Lat & Min_Gnt & インタラプトライン & インタラプトピン.....	28
5.2.14. HSCSR & Nxt_PTR & Cap_ID.....	28
5.3. モードレジスタ.....	29
5.3.1. レンジレジスタ(I/Oアクセス用).....	29
5.3.2. バンクレジスタ(I/Oアクセス用).....	29
5.3.3. レンジレジスタ(メモリアccess用).....	29
5.3.4. バンクレジスタ(メモリアccess用).....	30
5.3.5. タイミングコントロールレジスタ.....	30
5.3.6. EEPROMコントロールレジスタ.....	31
5.3.7. デバイスコントロール & インタラプトコントロールレジスタ.....	32
6. タイミングチャート.....	33
6.1. ローカルI/Oアクセス.....	33
6.2. ローカルメモリアccess.....	34
6.3. ウェイトアクセス.....	35
6.3.1. ローカルI/Oアクセス.....	35
6.3.2. ローカルメモリアccess.....	36
6.4. インタラプト.....	37
7. 電気的特性.....	38
7.1. 絶対最大定格.....	38
7.2. 推奨動作条件.....	38
7.3. 直流特性.....	38
7.4. 交流特性.....	39



---

7.5. タイミングダイアグラム.....	40
7.5.1. ローカルアクセスタイミングダイアグラム.....	40
7.5.2. EEPROMアクセスタイミングダイヤグラム.....	42
8. パッケージ形状.....	43
9. 備考.....	44
10. 改訂履歴.....	45



## ◆概要

ZEN7201AF はPCI、CompactPCIに準拠したターゲットデバイス専用のPCIバス・インタフェースICです。基本的な動作設定はIC内部のモードレジスタに設定値を書き込むことによつて行います。

ローカル側に最大16Mbyteのメモリ空間と64KbyteのI/O空間を持つことができます。また、ローカル側のI/O(メモリ)空間をコントロールするために24ビットのアドレスバスを持ち、ローカルアドレスはモードレジスタを通して出力します。このローカルアドレスを使用することによつて、コンフィギュレーションサイクルで確保したI/O(メモリ)空間よりも大きな空間を制御することができます。

ローカル側のデータバスは16ビットからなり、モードレジスタとLADR[0]/BLE #、BHE #を組み合わせてることによつてバイト、ワードの両方のアクセスに対応することができます。

ローカルアクセスのタイミングは、モードレジスタとWAIT #を組み合わせてることによつて固定、可変のサイクルを選択することができます。

ローカルクロックに同期して、IOW #、IOR #、MEW #、MER #等のコントロール信号を出力することができます。また、ローカル側で発生した割り込みをPCIバスのINTA #に出力することもできます。

外付けのEEPROMを使用し、コンフィギュレーションに必要なデータを取り込むことができます。また、必要に応じてリード、ライトすることもできます。

本LSIのローカルバスはISAバスやCバス同様のシンプルなタイミングで動作します。

## 1. 特徴

- PCIバス側32ビット、33MHzで動作
- ローカルクロックは最大33MHzまで駆動可能
- ローカルメモリ空間16Mbyte、  
ローカルI/O空間64Kbyteまで制御可能
- ローカルクロックに同期動作するコントロール信号を出力
- ローカルアドレスバス24ビット、ローカルデータバス16ビット  
(データバスは8ビット、16ビットの切り替え可能)
- ローカルI/O空間を分割可能なプログラマブルデコーダ内蔵
- モードレジスタ64バイト
- モードレジスタとWAIT #によるアクセスタイミングの制御が可能
- プログラム可能な割り込み回路内蔵
- EEPROM 制御回路内蔵
- ホットスワップ対応
- 5V単一電源
- CMOS LSI
- 144ピン QFPパッケージ

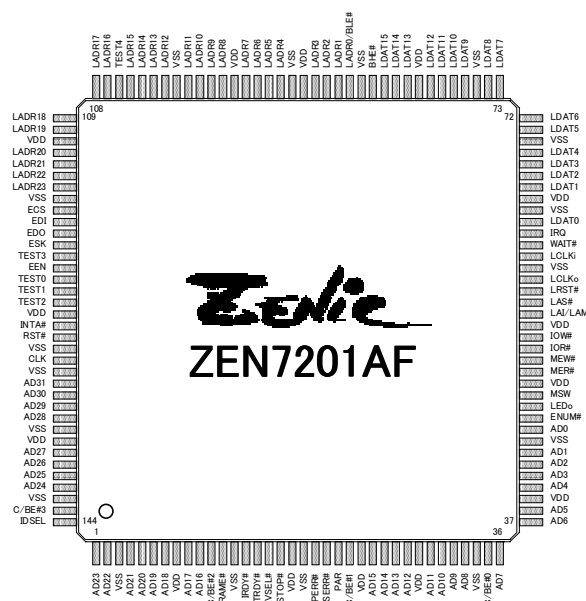


図1. 端子配置図(Top View)

## 2. システムブロック構成

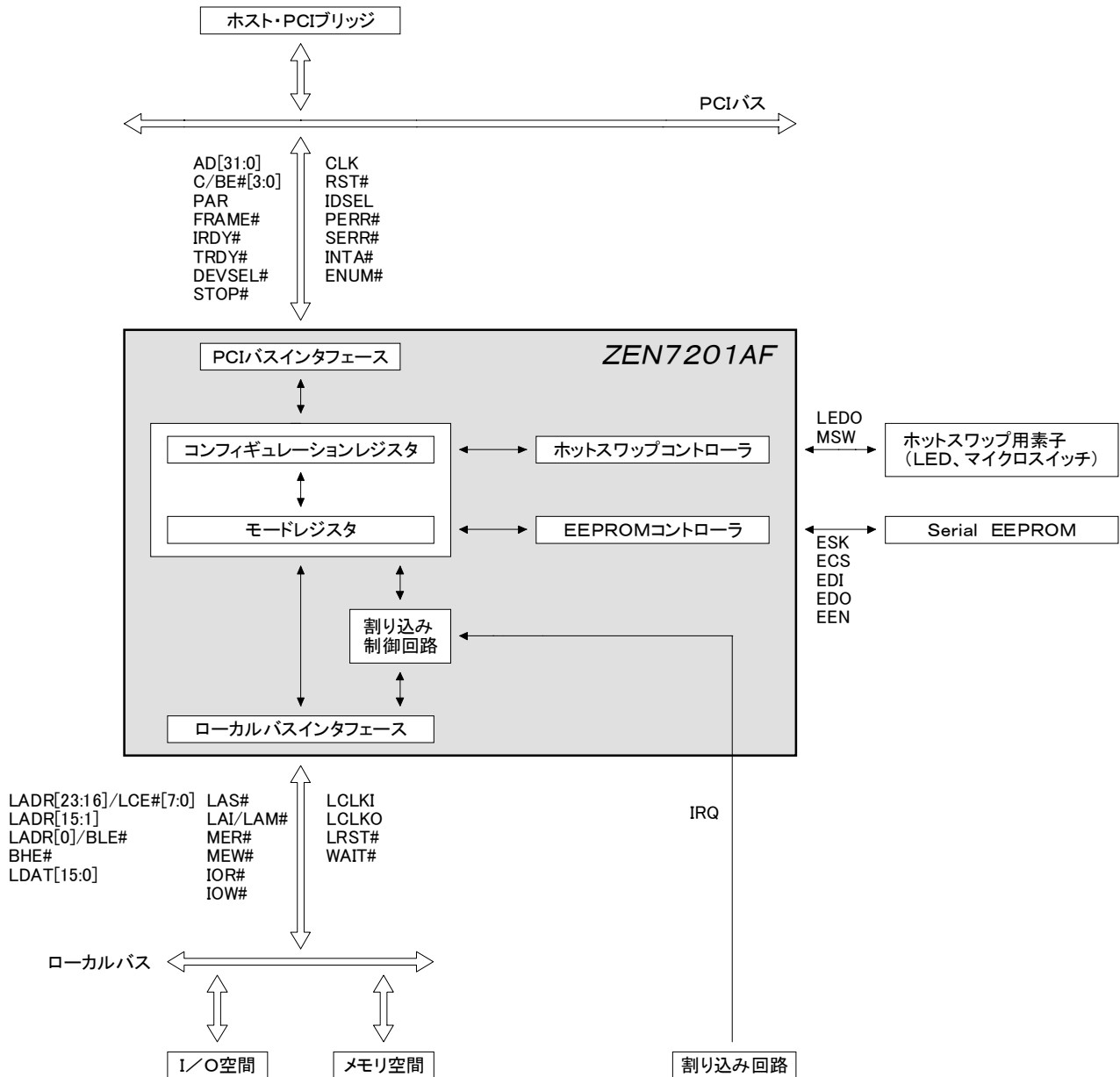


図2. システムブロック図

### 3. 端子一覧

表1～表5に ZEN7201AF の信号とその機能について示します。なお、表中の記号に#のついているものは負論理の信号であることを表しています。

#### 3.1. PCIバス・インタフェース信号

表1. PCIバス・インタフェース信号(その1)

ピン番号	記号	信号名	属性	機能
130	CLK	PCI Clock	IN	PCIバス上にあるすべてのデバイスの動作基準となるクロックです。INTA#、RST#以外のPCIバス・インタフェース信号はすべてこのクロックに同期して動作します。
128	RST#	PCI Reset	IN	PCIバス上のデバイスをリセットします。
132～135 138～141 1 2 4～7 9 10 25～28 30～33 36～38 40～43 45	AD[31:0]	Address/Data	I/O	アドレス・データバスは時分割に32本の信号線をドライブします。バスサイクルは1回のアドレスフェーズとそれに続くデータフェーズからなり、アドレスフェーズでアドレスが、データフェーズでデータが出力されます。
143 11 23 35	C/BE#[3:0]	Bus Command /Byte Enable	IN	バスコマンド・バイトイネーブルはAD[31:0]と同様時分割にこの4本の信号をドライブします。アドレスフェーズでバスコマンドが、データフェーズではバイトイネーブルが出力されます。
22	PAR	Parity	I/O	AD、C/BE#の36本に偶数パリティを付加します。36本のうち、値が“1”のビットの合計が偶数のとき“0”を、奇数のとき“1”を出力します。
12	FRAME#	Cycle Frame	IN	サイクルの開始を知らせる信号です。この信号はアドレスフェーズの開始と同時にアサートされます。この信号がアサートされるとサイクルが始まり、ディアサートされると次のデータフェーズでサイクルが終了します。
14	IRDY#	Initiator Ready	IN	マスタ側からのデータ転送が可能であるときにアサートします。
15	TRDY#	Target Ready	OUT	ターゲット側からのデータ転送が可能であるときにアサートします。
16	DEVSEL#	Device Select	OUT	マスタからのアクセスに応答するかどうかを示す信号です。アクセスを受け入れたターゲットがサイクル終了までアサートします。



表1. PCIバス・インタフェース信号(その2)

ピン番号	記号	信号名	属性	機能
17	STOP #	Bus Stop	OUT	サイクルを実行中のターゲットがマスタに向けてサイクルの中断を要求するときにアサートします。
144	IDSEL	Initialization Device Select	IN	コンフィギュレーションサイクルの対象となるデバイスを選択するのに使用します。
20	PERR #	Parity Error	OUT	スペシャルサイクルを除くサイクルにおいて、デバイスがアドレスパリティエラー、データパリティエラーを検知したときにこの信号をアサートします。ライトサイクルではターゲットが、リードサイクルではマスタがこの信号をドライブします。また、この信号の処理はマスタが行います。
21	SERR #	System Error	OUT	システムにとって致命的なエラーを検知したデバイスがこの信号をアサートします。
127	INTA #	Interrupt	OUT	割り込み発生時にアサートされます。

### 3.2. ホットスワップコントロール信号

表2. ホットスワップコントロール信号

ピン番号	記号	信号名	属性	機能
46	ENUM #	Enumeration	OUT	ボードの挿抜をシステムホストに通知するときに使用します。
47	LEDO #	LED On	OUT	ボードが挿抜可能な状態、もしくはリセット中であるのかどうかを示すLEDのオン、オフをコントロールする信号です。
48	MSW	Microswitch On/Off	IN	イジェクタハンドルに備え付けられたマイクロスイッチからの信号です。ZEN7201AFはこの信号によりボードの挿抜状態を検出します。

### 3.3. EEPROMコントロール信号

表3. EEPROMコントロール信号

ピン番号	記号	信号名	属性	機能
120	ESK	EEPROM Clock	OUT	EEPROMのクロック信号です。この信号はEEPROMのSKと接続します。
117	ECS	EEPROM Chip Select	OUT	EEPROMのチップセレクト信号です。この信号はEEPROMのCSと接続します。
118	EDI	EEPROM Data IN	IN	EEPROMからのデータを入力します。この信号はEEPROMのDOと接続します。
119	EDO	EEPROM Data OUT	OUT	EEPROMへのデータを出力します。この信号はEEPROMのDIと接続します。
122	EEN	EEPROM Enable	IN	この信号が“1”のとき、EEPROMが有効になります。





## 3.4. ローカルバス・インタフェース信号

表4. ローカルバス・インタフェース信号

ピン番号	記号	信号名	属性	機能
56	LAS #	Local Access Start	OUT	ローカルアクセスの発生を示す信号で、サイクルの最初の1クロック間のみ“0”を出力します。
55	LAI/LAM #	Local Access I/O/Memory	OUT	ローカルデバイスへのアクセスを識別する信号です。この信号が“0”であればメモリアクセスが、“1”であればI/Oアクセスが発生しています。ただし、ノンアクセス時も“1”を出力します。
60	LCLKI	Local Clock Input	IN	ローカルデバイスをコントロールするためのクロック入力です。ZEN7201AF が出力するローカルクロック(LCLKO)を接続することも可能です。
58	LCLKO	Local Clock Output	OUT	ローカルデバイスをコントロールするためのクロック出力です。この信号はPCIクロックを2分周したクロック(16MHz)を出力します。
57	LRST #	Local Reset	OUT	ローカルデバイスをリセットするための信号です。
83~81 79~76 74~71 69~66 63	LDAT[15:0]	Local Data	I/O	ローカルデバイスとの間でデータの転送を行うための信号です。
115~112 110~107	LADR[23:16] /LCE # [7:0]	Local Address /Local Chip Enable	OUT	ローカルデバイスへのアクセスを行うためのアドレスです。I/Oアクセス時にはI/O空間のチップイネーブル信号となります。
105~102 100~97 95~92 89~87	LADR[15:1]	Local Address	OUT	ローカルデバイスにアクセスを行うためのアドレスです。
86	LADR[0] /BLE #	Local Address /Byte Low Enable	OUT	16ビットモードのとき、下位バイトイネーブル信号として使用します。また、8ビットモードのとき、ローカルデバイスへのアクセスを行うためのアドレスとして使用します。
84	BHE #	Byte High Enable	OUT	16ビットモードのとき、上位バイトイネーブル信号として使用します。
50	MER #	Memory Read	OUT	ローカルデバイスへのメモリーリードアクセスを行うときに使用します。
51	MEW #	Memory Write	OUT	ローカルデバイスへのメモリーライトアクセスを行うときに使用します。
52	IOR #	I/O Read	OUT	ローカルデバイスへのI/Oリードアクセスを行うときに使用します。
53	IOW #	I/O Write	OUT	ローカルデバイスへのI/Oライトアクセスを行うときに使用します。
61	WAIT #	Access Wait	IN	この信号を“0”にすることによって、アクセスを待たせることができます。
62	IRQ	Interrupt Request	IN	ローカル側で発生した割り込み要求をPCIバスに知らせるための信号です。

## 3.5. 電源・グランド信号およびテスト信号

表5. 電源・グランド・テスト信号

ピン番号	記号	信号名	属性	機能
121 106 125~123	TEST#[4:0]	Test	IN	テストピンです。通常使用時は5Vに接続してください。
8 18 24 29 39 49 54 65 80 90 96 111 126 137	VDD	Power	—	電源(+5V)
3 13 19 34 44 59 64 70 75 85 91 101 116 129 131 136 142	VSS	Ground	—	グランド(0V)

## 4. 内部機能

### 4.1. PCIバスアクセス

#### 4.1.1. PCIバスアクセス

PCIバス上での基本的な動作はPCIの規格に従います(PCI Local Bus Specificationを参照してください)。ZEN7201AFはPCIバス上のマスタからのアクセスをバイト、ワード、ダブルワード単位で受け入れることができます。表6に各バスコマンドについての対応を示します(表中の○印のついているものをサポートしています)。

表6. バスコマンド対応一覧表

サイクル	命令	バスコマンド				サポート
		C/BE #3	C/BE #2	C/BE #1	C/BE #0	
I/O サイクル	I/Oリード	0	0	1	0	○
	I/Oライト	0	0	1	1	○
メモリ サイクル	メモリアド	0	1	1	0	○
	メモリアドライン※1	1	1	1	0	○
	メモリアドマルチプル※1	1	1	0	0	○
	メモリアイト	0	1	1	1	○
	メモリアイト&インバリデート※2	1	1	1	1	○
CFG※3 サイクル	コンフィギュレーションリード	1	0	1	0	○
	コンフィギュレーションライト	1	0	1	1	○
インタラプトアクリッジサイクル		0	0	0	0	×
スペシャルサイクル		0	0	0	1	×
デュアルアドレスサイクル		1	1	0	1	×
予約		0	1	0	0	×
		0	1	0	1	×
		1	0	0	0	×
		1	0	0	1	×

※1 メモリアドサイクルとして動作します。

※2 メモリアイトサイクルとして動作します。

※3 CFG=コンフィギュレーション

表6のサポートしていないバスコマンドによるアクセス(網掛け部分)が発生した場合、ZEN7201AFはDEVSEL#をアサートしません(マスタに対して応答しません)ので、結果的にはマスタアポートとなります。

## 4.1.2. 例外処理

ZEN7201AF は例外処理に対して表7のように対処します。

表7. 例外処理とその対応

アクセス一覧	発生後の対応・処理
アドレスパリティエラー	① サイクルには応答しません(結果的にはマスタアポートとなります)。 ② コンフィギュレーションレジスタの「パリティエラー応答ビット」、「システムエラー応答ビット」の両方が有効になっていればSERR#をアサートします。
データパリティエラー (ライトアクセス時)	① コンフィギュレーションレジスタの「パリティエラー応答ビット」が有効になっていればPERR#をアサートします。ただし、バスサイクルはそのまま継続します。
PERR#を検出 (リードアクセス時にマスタがアサート)	① 通常動作を継続します。
処理できないバスコマンドを受信	① サイクルに応答しません(結果的にマスタアポートとなります)。
処理できないアドレスとバイトレーンのパターンを受信	① ターゲットアポートさせます(データ処理は起こりません)。

## 4.1.3. ターゲット・イニシエーティッド・ターミネーション

## 4.1.3.1. ディスコネクト

ZEN7201AF はPCIバス側からのバーストアクセスをサポートしていませんので、マスタからのすべてのバーストアクセスはすべてディスコネクトして処理を中断します。バーストアクセスが起こると、1番目のデータは正常処理し、2番目以降のデータはディスコネクトします。図3にディスコネクトについて示します。

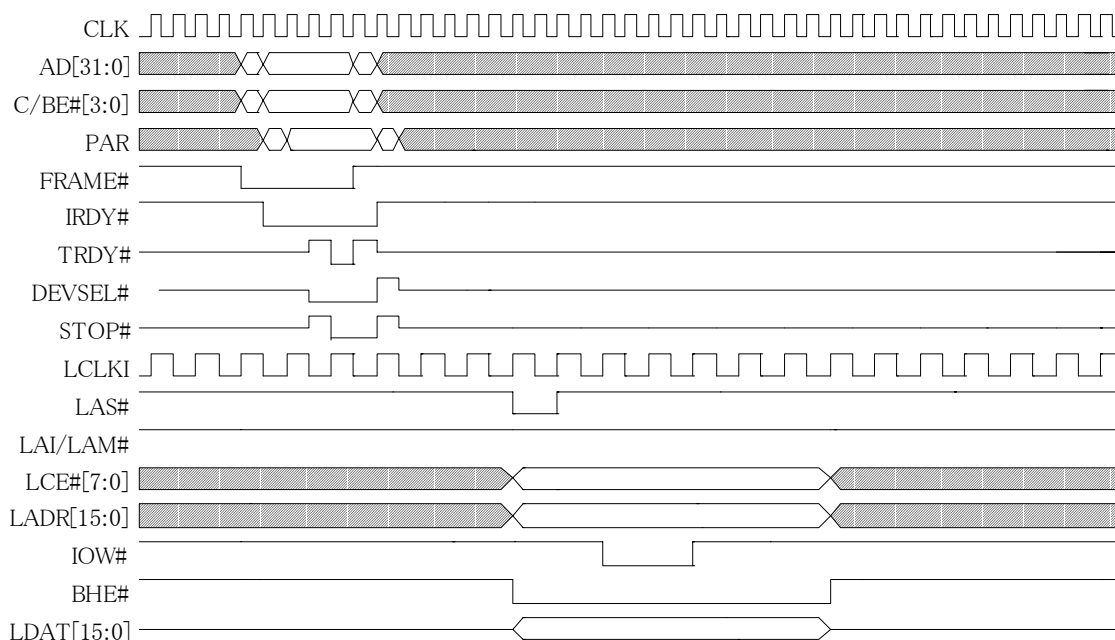


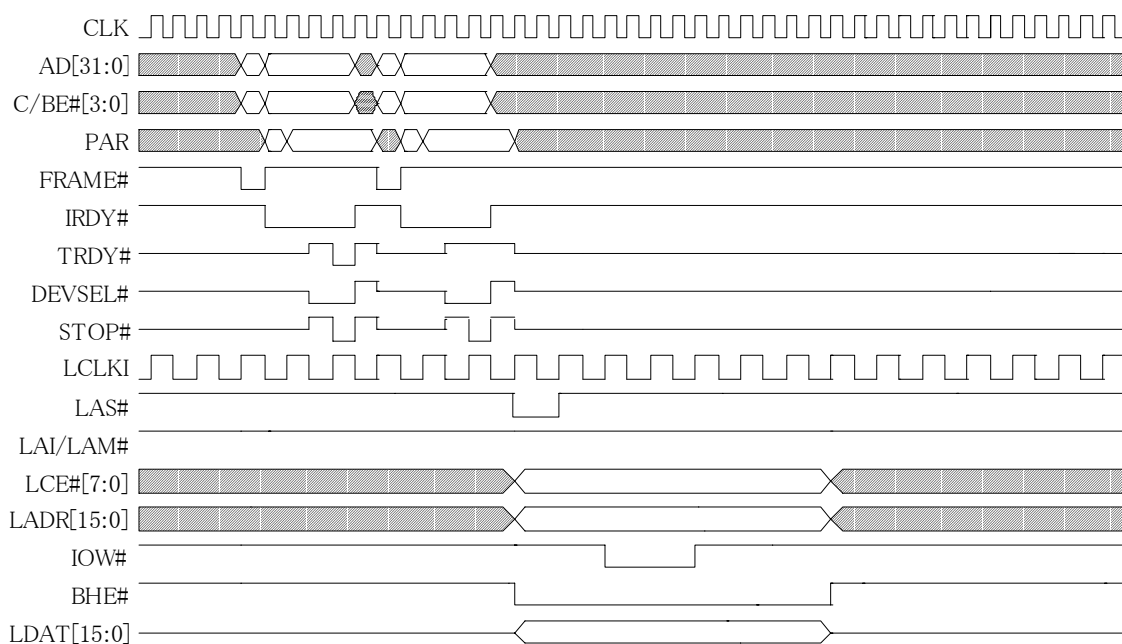
図3. ディスコネクトのタイミング

## 4.1.3.2. リトライ

ZEN7201AF とローカルデバイス間でのアクセス中にPCIバス側からアクセスを受けた場合、ZEN7201AF はPCIバス側からのアクセスを受け入れることができません。したがってZEN7201AF はPCIバス側のマスタに対してリトライで処理を待たせます。図4にリトライについて示します。

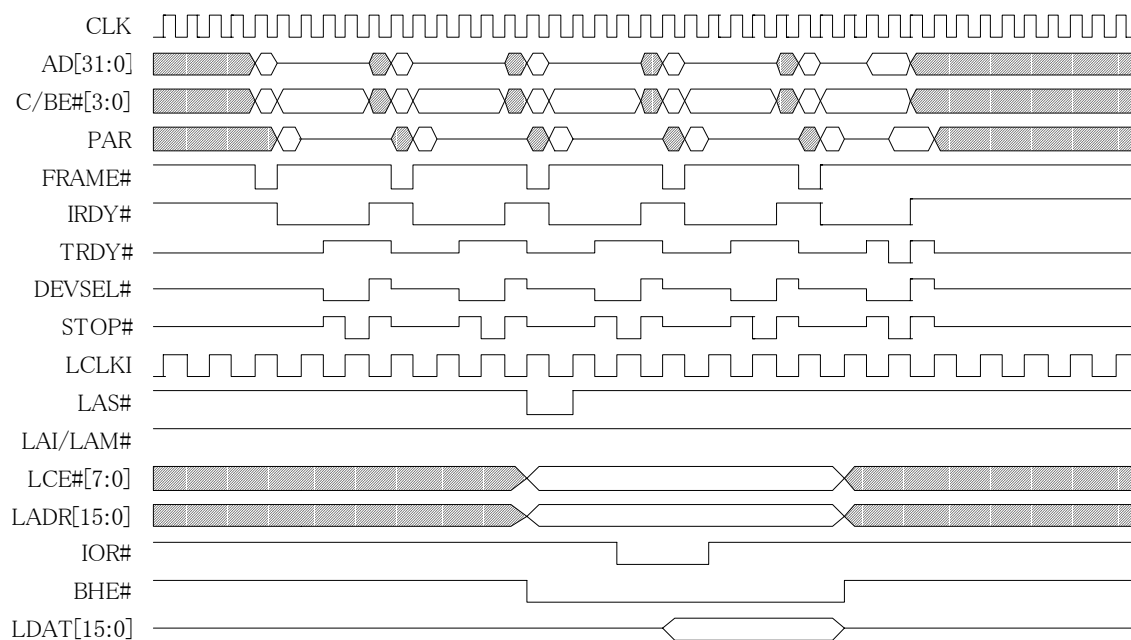
図4(a)の場合、PCIバス側から2回のライトアクセスを行っています。1回目のライトアクセス後、ZEN7201AF はPCIバス側から受け取ったデータをローカルデバイスに書き込んでいます。この時、PCIバス側からの2回目のライトアクセスが発生しているのですが、ZEN7201AF はローカルデバイスとのアクセスを行っていますので、PCIバス側に向かってTRDY#をアサートせずにリトライで応答します。

また、図4(b)の場合、PCIバス側からリードアクセスを行っています。1回目のリードアクセスを受けたローカルデバイスはリードデータを準備します。リードデータが準備できるまでの間、ZEN7201AF はローカルデバイスとのアクセスを行っていますので、PCIバス側に向かってリトライで応答します。この図を見るとPCIバス側からの4回目のリードアクセス終了時にローカルデバイスのデータが確定していますので、PCIバス側からの5回目のリードアクセスでローカルデバイスのデータが読み出せます。



(a)ライトアクセス

図4. リトライのタイミング



(b) リードアクセス

図4. リトライのタイミング



## 4.2. ローカルバスアクセス

ZEN7201AF はPCIバス上のアドレスをローカルアドレスに変換して出力します。ローカル側に最大16Mbyteのメモリ空間と、64KbyteのI/O空間を持つことができますので、メモリアクセス時には24本のアドレスバスを、I/Oアクセス時には16本のアドレスバスを使用します。また、I/Oアクセス時にはアドレスの上位8ビットはローカルI/O空間のチップイネーブル信号(LCE#[7:0])となります。

ローカルアクセスはLAS#を“0”にすることによって始まります。また、ローカルデバイスのI/O空間、メモリ空間に対するアクセスはLAI/LAM#によって決まります(表8参照)。

表8. ローカルアクセスの発生条件

信号			タイミング コントロールレジスタ ビット[27]	アクセス	備考
LAS#	LAI/LAM#	LADR[23:16] /LCE#[7:0]			
0	0	LADR[23:16]	X	メモリ	
0	1	LCE#[7:0]	0	I/O	I/O空間の分割あり
0	1	すべて“1”	1	I/O	I/O空間の分割無し
1	1	—	X	—	

ZEN7201AFはPCIバス側からのバイト、ワード、ダブルワードアクセスに対応することができますので、ローカルバスへのアクセスはAD[31:0]、C/BE#[3:0]に応じて表9、表10のようなアクセスとなります。ただし、表に存在しないようなアクセスが発生したときはターゲットアポートによりサイクルを終了します。

表9. I/Oアクセス時のバイトレーンのサポートパターン※4

AD[1:0]	C/BE#[3:0]	LADR[0] /BLE#	BHE#	アクセス		備考
				PCIバス	ローカルバス	
00	0000	0	0	32ビット	16ビット	
		LADR[0]	1	32ビット	8ビット	
10	1100	0	0	16ビット	16ビット	
		LADR[0]	1	16ビット	8ビット	
10	0011	0	0	16ビット	16ビット	
		LADR[0]	1	16ビット	8ビット	
00	1110	0	1	8ビット	16ビット	下位バイト有効
		LADR[0]	1	8ビット	8ビット	
01	1101	1	0	8ビット	16ビット	上位バイト有効
		LADR[0]	1	8ビット	8ビット	
10	1011	0	1	8ビット	16ビット	下位バイト有効
		LADR[0]	1	8ビット	8ビット	
11	0111	1	0	8ビット	16ビット	上位バイト有効
		LADR[0]	1	8ビット	8ビット	
XX	1111	—	—	—	—	

※4 I/Oアクセスは32本のアドレス(AD[31:0])全てがアドレス指定のために使用されます。

表10. メモリアクセス時のバイトレーンのサポートパターン※5

AD[1:0]	C/BE#[3:0]	LADR[0] /BLE#	BHE#	アクセス		備考
				PCIバス	ローカルバス	
00	0000	0	0	32ビット	16ビット	
		LADR[0]	1	32ビット	8ビット	
	1100	0	0	16ビット	16ビット	
		LADR[0]	1	16ビット	8ビット	
	0011	0	0	16ビット	16ビット	
		LADR[0]	1	16ビット	8ビット	
	1110	0	1	8ビット	16ビット	下位バイト有効
		LADR[0]	1	8ビット	8ビット	
	1101	1	0	8ビット	16ビット	上位バイト有効
		LADR[0]	1	8ビット	8ビット	
	1011	0	1	8ビット	16ビット	下位バイト有効
		LADR[0]	1	8ビット	8ビット	
	0111	1	0	8ビット	16ビット	上位バイト有効
		LADR[0]	1	8ビット	8ビット	
	1111	—	—	—	—	

※5 メモリアクセスは常に4バイト境界のアドレスを指定しますので、アドレスの下位2ビットは常に“00”となります。

表9、表10からもわかるように、ZEN7201AF はPCIバスが奇数番地で始まるアドレスを出力しているときにワード、ダブルワードの転送はできません。奇数番地で始まるアドレスのサイクルはバイトアクセスのみ可能です。

表9、表10のアクセスが発生した場合のタイミングを図5～図11に示します。図は例としてメモライトアクセスについて示してあります。このときWAIT#は無効で、タイミングコントロールレジスタのメモリアクセスアドレスセットアップ(ビット[15:12])、メモリード/ライトパルスワイズ(ビット[19:16])、メモライトアドレスホールド(ビット[23:20])の各レジスタ値がすべて“0”のときについて示してあります。

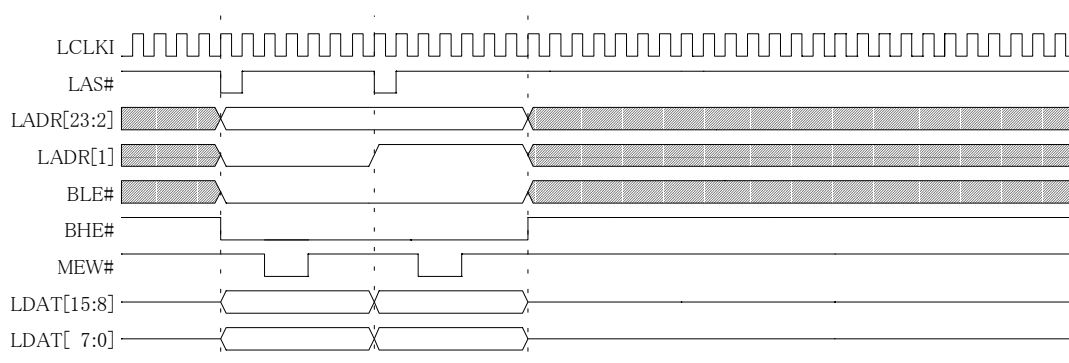


図5. PCIバス : 4バイト → ローカルバス : 16ビット



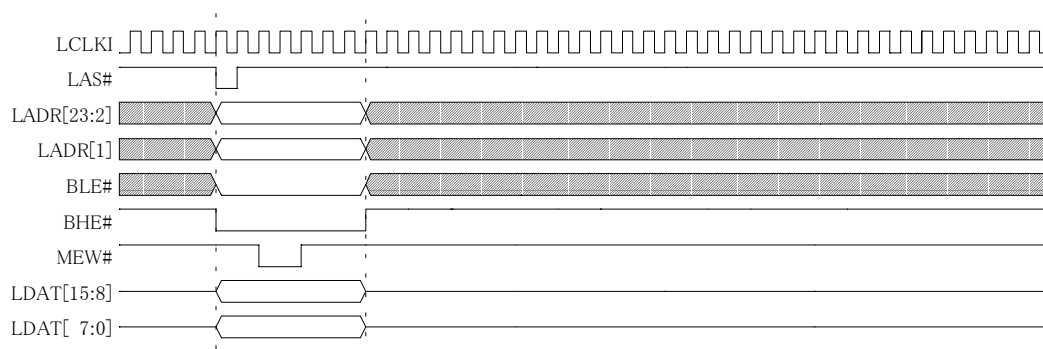


図6. PCIバス : 2バイト → ローカルバス : 16ビット

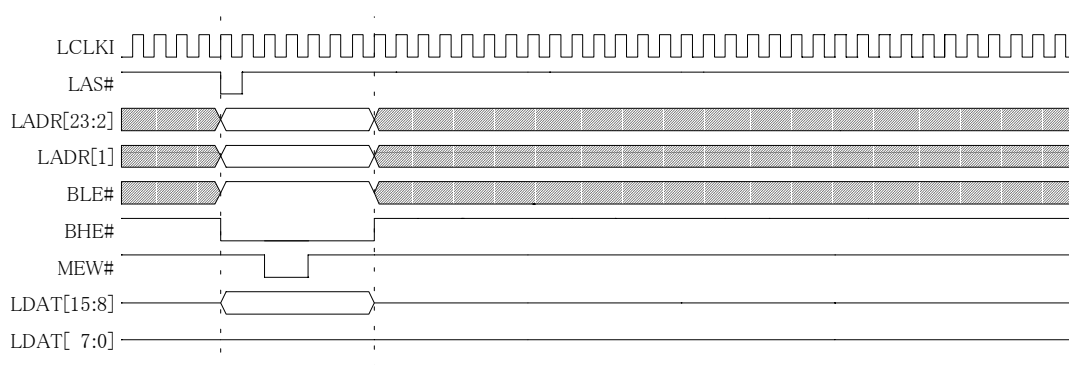


図7. PCIバス : 1バイト → ローカルバス : 16ビット(奇数アドレス)

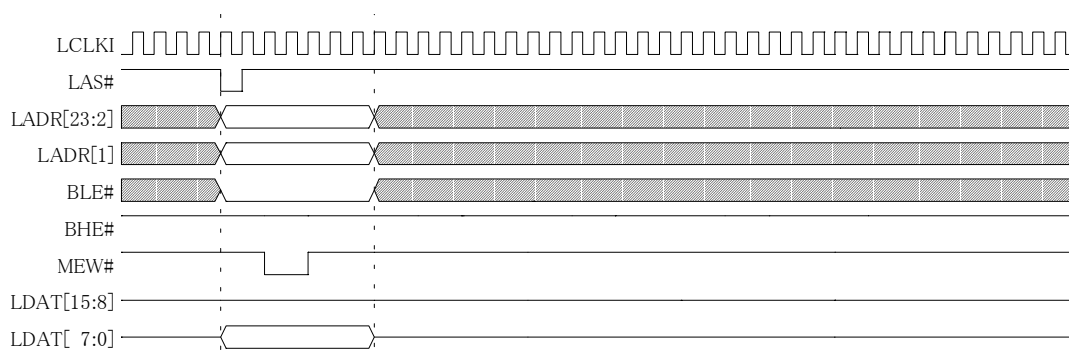


図8. PCIバス : 1バイト → ローカルバス : 16ビット(偶数アドレス)

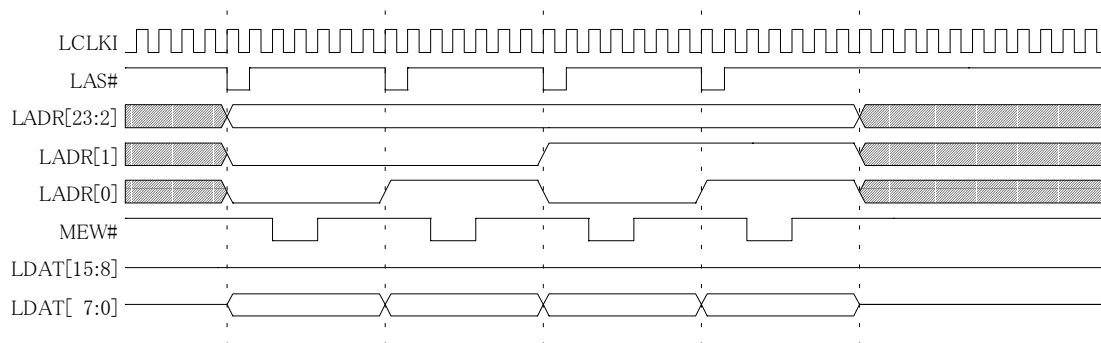


図9. PCIバス : 4バイト → ローカルバス : 8ビット

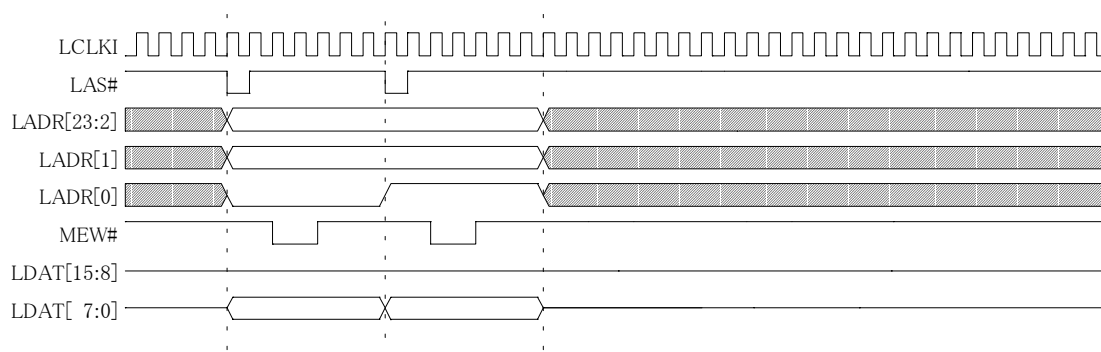


図10. PCIバス : 2バイト → ローカルバス : 8ビット

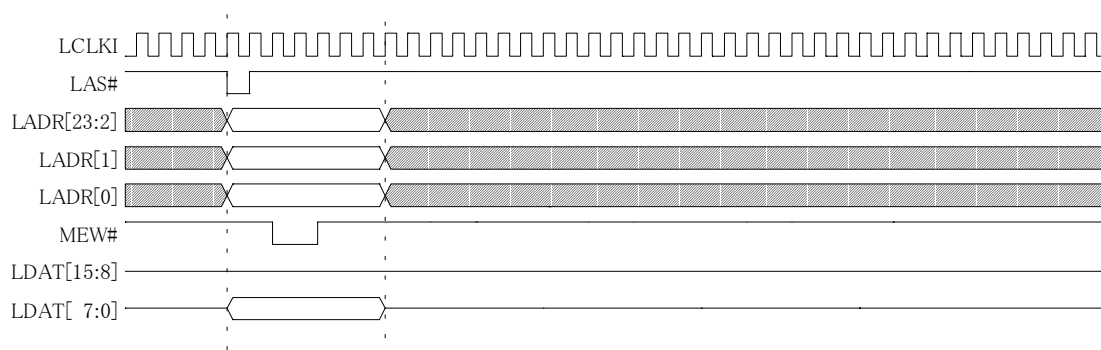


図11. PCIバス : 1バイト → ローカルバス : 8ビット



## 4.2.1. ローカルI/Oアクセス

ZEN7201AF はLAS #、LAI/LAM #、IOW #、IOR #、LADR[23:16]/LCE#[7:0]、LADR[15:1]、LADR[0]/BLE #、BHE #、LDAT[15:0]、WAIT #を使用することによってI/Oアクセスを行います。また、タイミングコントロールレジスタのI/Oチップセレクトイネーブル(ビット[27])が“1”のとき、ローカルI/O空間を8個に分割することが可能となります。このとき、ローカルアドレスの上位8ビットは分割したI/O空間のチップイネーブル信号として出力されます。I/Oチップセレクトイネーブルが“0”のとき、LADR[23:16]/LCE#[7:0]には全ビット“1”が出力されます。

ローカルI/O空間の分割が有効なとき、ローカルアドレスのデコード範囲はモードレジスタのI/Oチップセレクト(ビット[26:24])によって決まります。

一般的なローカルI/Oアクセスの例を図に示します。図12はタイミングコントロールレジスタのI/Oアクセスアドレスセットアップ、I/Oリード/ライトパルスワイズ、I/Oアクセスアドレスホールドの各レジスタ値が“0”のときの例について示してあります。

表11. ローカルチップイネーブルのデコード範囲

ローカルアドレス LADR[X+2:X]			ローカルチップイネーブル LCE#[7:0]							
X+2	X+1	X	7	6	5	4	3	2	1	0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

表12. I/O空間のデコード範囲

I/Oチップセレクト (ビット[26:24])			ローカルアドレス LADR[X+2:X]			I/O空間の分割
26	25	24	X+2	X+1	X	
0	0	0	LADR[8]	LADR[7]	LADR[6]	64バイト×8個= 512バイト
0	0	1	LADR[9]	LADR[8]	LADR[7]	128バイト×8個= 1Kバイト
0	1	0	LADR[10]	LADR[9]	LADR[8]	256バイト×8個= 2Kバイト
0	1	1	LADR[11]	LADR[10]	LADR[9]	512バイト×8個= 4Kバイト
1	0	0	LADR[12]	LADR[11]	LADR[10]	1Kバイト×8個= 8Kバイト
1	0	1	LADR[13]	LADR[12]	LADR[11]	2Kバイト×8個= 16Kバイト
1	1	0	LADR[14]	LADR[13]	LADR[12]	4Kバイト×8個= 32Kバイト
1	1	1	LADR[15]	LADR[14]	LADR[13]	8Kバイト×8個= 64Kバイト

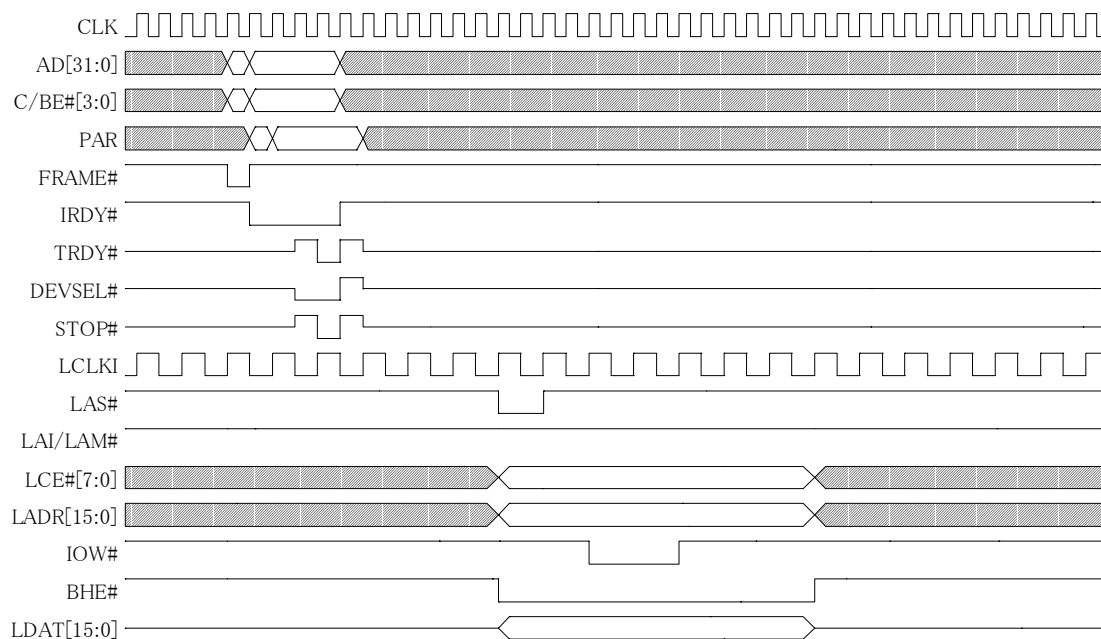


図12. ローカルI/Oアクセス

#### 4.2.2. ローカルメモリアクセス

ZEN7201AF はLAS #、LAI/LAM #、MEW #、MER #、LADR[23:1]、LADR[0]/BLE #、BHE #、LDAT[15:0]、WAIT #を使用することによってローカルメモリアクセスを行います。アクセスはローカルI/Oアクセスとほぼ同様ですが異なる点は、LAI/LAM #がメモリアクセスの間“0”になります。また、ローカルI/O空間のような空間分割もなく、ローカルアドレスの全てが1つのメモリ空間のアドレッシングに使用されます。

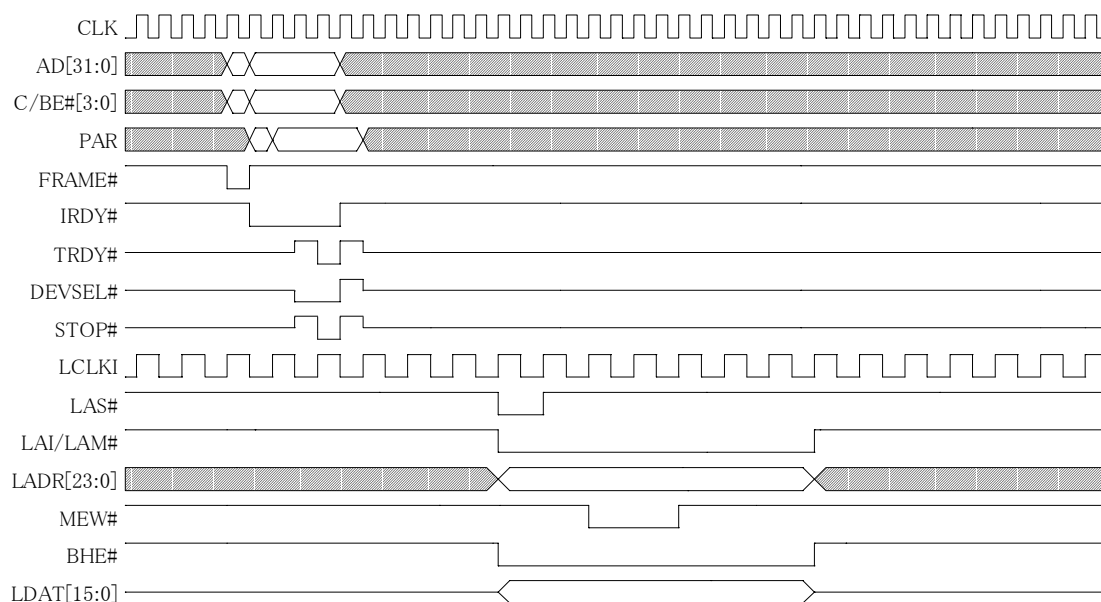
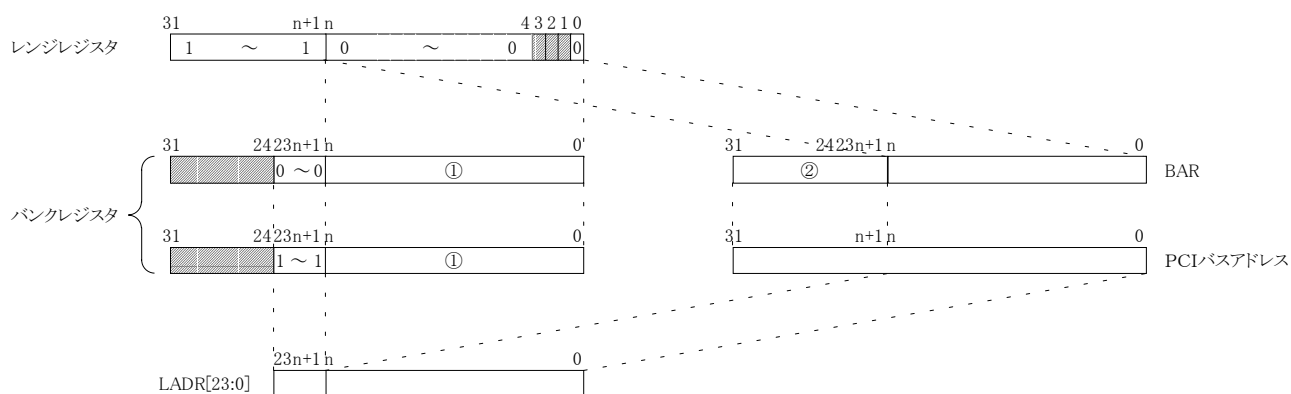


図13. ローカルメモリアクセス

### 4.2.3. ローカルバスアドレッシング

ZEN7201AF はモードレジスタのバンクレジスタを使用することによって、PCIコンフィギュレーションレジスタのローカルバスコントロールBAR<sup>※6</sup>で確保された領域よりも大きな領域を使用することができます。リセット時の設定をそのまま利用する場合、ローカル側に確保できる空間はメモリ空間1Mbyte、I/O空間64byteです。それ以上の空間を使用したい場合、バンクレジスタにアクセスして上位アドレスを設定します。1Mbyteのメモリ領域を確保した場合、図14の“n”に19を代入すると、ユーザはビット[23:20]に出力させたいアドレスを設定すれば最大16Mbyteまでの空間をコントロールすることができます。

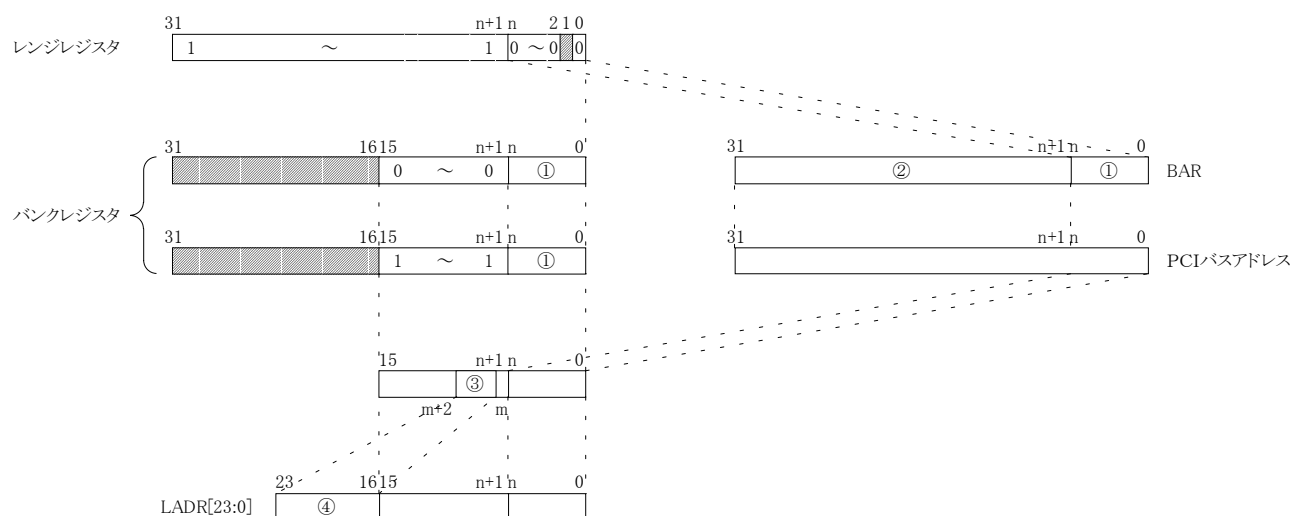
※6 BAR=Base Address Registerの略



①レンジレジスタで確保する領域

②PCIバスからのアクセスが自身へのものであるかどうかを識別する領域

図14. バンクアドレス生成方式(メモリ空間用アドレス)



- ①レンジレジスタで確保する領域
- ②PCIバスからのアクセスが自身へのものであるかどうかを識別する領域
- ③タイミングコントロールレジスタのI/Oチップセレクトデコーダ(ビット[26:24])でデコードする範囲
- ④デコード結果によるチップイネーブル信号(LCE#[7:0])

図15. バンクアドレス生成方式(I/O空間用アドレス)

#### 4.2.4. ローカルバスタイミングコントロール

ZEN7201AF はモードレジスタとWAIT#によって固定、可変のアクセスサイクルを選択することができます。固定サイクルはタイミングコントロールレジスタに設定値を書き込むことによって行います。可変サイクルはリード、ライトのタイミングをWAIT#によってコントロールします。

また、WAIT#を利用する場合でも、アドレスセットアップ、アドレスホールドに必要な値をタイミングコントロールレジスタに書き込みます。WAIT#サイクルを行うときは、LAS#がアサートされてからIOR#、IOW#、MER#、MEW#が有効になるまでにWAIT#を“0”にします。また、WAIT#はデバイスコントロールレジスタによって有効・無効にすることもできます。デバイスコントロールレジスタのWAIT#イネーブル(ビット[1])が“1”のとき、WAIT#は有効になります。よって、WAIT#によるアクセスを行うときはかならず、このビットを“1”にしてください。このビットが“1”のとき、タイミングコントロールレジスタのメモリアクセスパルスワイズ(ビット[19:16])、I/Oアクセスパルスワイズ(ビット[7:4])の設定値は無効になります。

#### 4.2.5. ウェイトアクセス

前節で示したように、ZEN7201AF は固定、可変の両方のアクセスサイクルを選択することができます。WAIT#によってアクセスを待たせる場合、IOR#、IOW#、MER#、MEW#が有効になるまでにWAIT#を“0”にしなければなりません。また、ウェイトサイクル中も、タイミングコントロールレジスタのアドレスセットアップ、アドレスホールドはレジスタの設定値を利用します。

図16にWAIT#を用いたサイクルの例を示します。このときのアドレスセットアップ、アドレスホールドの設定値は“0”です。

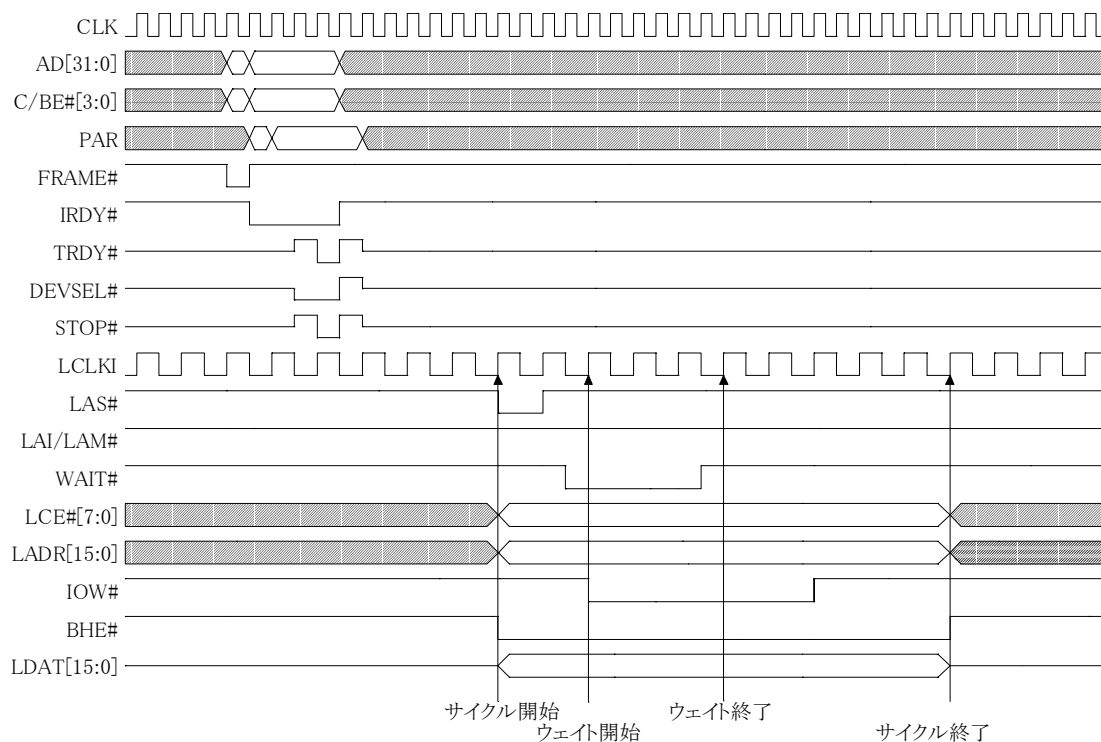


図16. ウェイトサイクル

#### 4.2.6. 8/16アクセスセレクト

ZEN7201AF はモードレジスタの8/16アクセスセレクト(ビット[2])によって、8ビット、16ビットのデータ転送のどちらを行うかを選択することができます。また、8ビット、16ビットによるアクセスは図5～図11を参照してください。

#### 4.3. 割り込み処理

割り込みはIRQとインタラプトコントロールレジスタによって設定されます。割り込みの発生条件はレジスタのインタラプトモードセレクト(ビット[2:1])によって決定され、IRQがインタラプトモードセレクトの条件に合致したときに割り込みが発生し、INTA #がアサートされます。また、インタラプトイネーブル(ビット[0])によってIRQを有効にすることができ、IRQが無効の時はIRQがインタラプトモードセレクトの条件を満たしても割り込みは発生しません。

IRQ が有効なときに発生した割り込みは、インタラプトリセット(ビット[4])によってリセットするまで出力され続けます。

表13. 割り込み発生条件

インタラプトコントロールレジスタ		割り込み発生条件
ビット[2]	ビット[1]	
0	0	IRQ : 2クロック“0”を検出(“00”)
0	1	IRQ : 立ち上がりエッジを検出(“01”)
1	0	IRQ : 立ち下がりエッジを検出(“10”)
1	1	IRQ : 2クロック“1”を検出(“11”)

#### 4.4. EEPROM

ZEN7201AF のPCIコンフィギュレーションレジスタとモードレジスタは外付けのEEPROMをもちいて初期化する事ができます (EEPROMはナショナルセミコンダクタ製NM93C46をサポート)。EENが“1”のとき、ZEN7201AF はEEPROM から PCI コンフィギュレーションレジスタとローカルモードレジスタのデータをリードします。ZEN7201AF はEEPROM からデータをリードしている間、PCIバスからのアクセスはリトライで応答します。

ZEN7201AF のPCIコンフィギュレーションレジスタとモードレジスタを初期化するとき、PCIバスのクロックを128分周したものをEEPROMのクロックとして出力します。

EEPROMへデータをリード、ライトする場合、モードレジスタのEEPROMコントロールレジスタを通じて行います。また、EEPROMへの基本的なアクセスタイミングは図17のようになります。

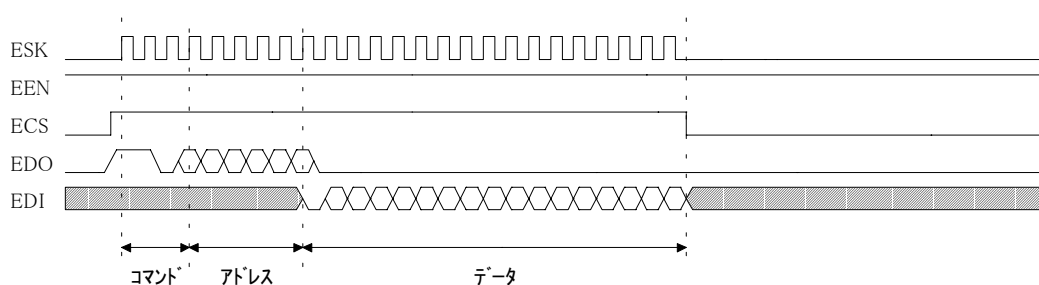


図17. EEPROMタイミングチャート

表14. EEPROMのコンフィギュレーションアドレス

EEPROM オフセットアドレス	レジスタ	ビット	EEPROM 設定値
00h	ステータスレジスタ	ビット[4]	0410h
01h	クラスコード(プログラミングI/F)、レビジョンID	ビット[15:0]	0001h
02h	クラスコード(ベースクラス、サブクラス)	ビット[15:0]	0680h
03h	サブシステムベンダID	ビット[15:0]	0000h
04h	サブシステムID	ビット[15:0]	0000h
05h	インタラプトピン、インタラプトライン	ビット[8]	0100h
06h	レンジレジスタ(I/O用) 下位ワード	ビット[15:2]	ffc1h
07h	予約		0000h
08h	バンクレジスタ(I/O用) 下位ワード	ビット[15:2]	0000h
09h	予約		0000h
0ah	レンジレジスタ(メモリ用) 下位ワード	ビット[15:4]	0000h
0bh	レンジレジスタ(メモリ用) 上位ワード	ビット[15:0]	fff0h
0ch	バンクレジスタ(メモリ用) 下位ワード	ビット[15:4]	0000h
0dh	バンクレジスタ(メモリ用) 上位ワード	ビット[7:0]	0000h
0eh	タイミングコントロールレジスタ下位ワード	ビット[15:0]	0000h
0fh	タイミングコントロールレジスタ上位ワード	ビット[11:0]	0000h
10h	インタラプトコントロールレジスタ	ビット[2:1]	0008h
11h	デバイスコントロールレジスタ	ビット[15:8]、ビット[2:1]	0001h

※設定値はリセット値をセットした場合のサンプルです



## 4.5. ホットスワップ

ZEN7201AFはCompactPCI規格(PICMG2.1 Rev1.0)に準拠しています。ホットスワップについての詳細な仕様は規格書を参照してください。

### 4.5.1. ENUM#

ENUM#はCompactPCIの規格に追加された信号です。この信号はボードの挿抜を行う事によって、システムの形態が変わることをシステムホストに知らせるための信号です。ENUM#はPCIコンフィギュレーションレジスタのHS CSR(ホットスワップコントロールステータスレジスタ)のEIM(ENUM Interrupt Mask)(ビット1)が“0”のときに有効となり、このとき、HSCSRのEXT(Extraction)(ビット6)、INS(Insertion)(ビット7)のステータスによってENUM#が有効になります。

### 4.5.2. LEDO#

LEDO#はBlueLED(CompactPCI規格)のオン、オフをコントロールします。LEDO#はHSCSRのLOO(LED On Off)(ビット[3])の状態を反映します。しかし、リセット時にはこのレジスタのステータスとは無関係に“0”を出力し、LEDを点灯させる方向に働きます。また、LEDはボードの抜き取りを許可するためのもので、LEDが点灯しているときボードの抜き取りが可能となります。

### 4.5.3. MSW

MSWはイジェクタハンドルに組み込まれたマイクロスイッチと接続します。この信号はマイクロスイッチのオン、オフによってシステムホストにボードの挿抜が行われようとしていることを知らせます。ハンドルをロックすることによってスイッチがオン状態(Lowレベル)となりボードの挿入が検知されます。また、逆にロックを解除するとスイッチがオフ状態(Highレベル)となりボードの抜き取りが検知されます。つまり、ZEN7201AFはMSWの“1”から“0”の変化でボードの挿入を、“0”から“1”の変化でボードの抜き取りを検出します。

この信号を使用しない場合はグラウンドに接続して下さい。

## 5. レジスタ

5. 1節～5. 3節に ZEN7201AF に搭載されているレジスタについての説明を示します。また、表中の網掛け部分につきましてはサポートしていません。

### 5.1. レジスタマップ

表15、表16に ZEN7201AF がサポートしているレジスタを示します。

表15. PCIコンフィギュレーションレジスタ

オフセット アドレス	ビット							
31	24	23	16	15	8	7	0	
00h	デバイスID				ベンダID			
04h	ステータスレジスタ				コマンドレジスタ			
08h	クラスコード						レビジョンID	
0ch	BIST	ヘッダタイプ		マスタレイテンシタイム		キャッシュラインサイズ		
10h	モードレジスタコントロールBAR(I/O用)							
14h	モードレジスタコントロールBAR(メモリ用)							
18h	ローカルバスコントロールBAR(I/O用)							
1ch	ローカルバスコントロールBAR(メモリ用)							
20h	予約							
24h	予約							
28h	カードバス CIS ポインタレジスタ							
2ch	サブシステムID				サブシステムベンダID			
30h	エクспанジョンROM BAR							
34h	予約						CAP_PTR	
38h	予約							
3ch	Max_Lat	Min_Gnt		インタラプトピン		インタラプトライン		
40h	予約	HCSR		NXT_PTR		CAP_ID		



表16. モードレジスタ

オフセット アドレス	31		24 23		ビット 16 15		8 7		0
00h	レンジレジスタ(I/O用)								
04h	バンクレジスタ(I/O用)								
08h	予約								
0ch	レンジレジスタ(メモリ用)								
10h	バンクレジスタ(メモリ用)								
14h	予約								
18h	タイミングコントロールレジスタ								
1ch	予約								
20h	予約								
24h	予約								
28h	予約								
2ch	予約								
30h	予約							EEPROM コントロール レジスタ	
34h	デバイスコントロールレジスタ				インタラプトコントロールレジスタ				
38h	予約								
3ch	予約								

## 5.2. PCIコンフィギュレーションレジスタ

表17～表30にPCIコンフィギュレーションレジスタの詳細について示します。また、表の見方は、

- ビット : 該当ビットです。
- 名称 : 該当ビットの機能名称です。
- 機能 : 該当ビットの機能です。
- リセット値 : リセット状態の値を示しています。左上がMSBとなり、以降右下に向かってLSBとなります。
- R : リードの可否を示しています(○→可能、×→不可)。
- W : ライトの可否を示しています(○→可能、×→不可)。
- I : EEPROMによる初期化の可否を示しています(○→可能、×→不可)。

となっています。また、これは5. 3節も同様です。

### 5.2.1. デバイスID & ベンダID

表17. デバイスID &amp; ベンダID

ビット	名称	機能	リセット値	R	W	I
31:16	デバイスID	ZENICが製造したZEN7201AFを識別するためのID(7201h)です。	01110010 00000001	○	×	×
15:0	ベンダID	PCI SIGによって割り当てられた ZENIC を示すID(2EC1h)です。	00101110 11000001	○	×	×



## 5.2.2. ステータス &amp; コマンド

表18. ステータスレジスタ &amp; コマンドレジスタ

ビット	名称	機能	リセット値	R	W	I
31	パリティエラー検知	このビットはパリティエラーを検知したときに“1”になります。また、このビットに“1”が書き込まれると“0”になります。	0	○	○	×
30	システムエラー通報	このビットはシステムエラーが発生したときに“1”になります。また、このビットに“1”が書き込まれると“0”になります。	0	○	○	×
29	マスタアポート受信	未サポート	0	○	×	×
28	ターゲットアポート受信	未サポート	0	○	×	×
27	ターゲットアポート通報	このビットはサイクルがターゲットアポートによって終了したときに“1”になります。また、このビットに“1”が書き込まれると“0”になります。	0	○	○	×
26:25	DEVSEL # タイミング	ターゲットがDEVSEL # をアサートするタイミングを示しています。	10	○	×	×
24	データパリティエラー検知	未サポート	0	○	×	×
23	高速BTB <sup>※7</sup> 可能	未サポート	0	○	×	×
22	予約	未サポート	0	○	×	×
21	66MHzサイクル	未サポート	0	○	×	×
20	新機能ビット	デバイスが新機能を実装しているかどうかを示すビットです。このビットが“1”のとき、デバイスは新機能を実装しており、PCIコンフィギュレーションレジスタのオフセットアドレス34h番地にデバイスが実装する新機能を示します。	1	○	×	○
19:16	予約		0000	○	×	×
15:10	予約		000000	○	×	×
9	高速BTB <sup>※7</sup> 有効	未サポート	0	○	×	×
8	システムエラー応答	このビットが“1”のとき、SERR # が有効になります。	0	○	○	×
7	ウェイトサイクルコントロール	未サポート	0	○	×	×
6	パリティエラー応答	このビットが“1”のとき、PERR # が有効になります。	0	○	○	×
5	VGAパレットスヌープ	未サポート	0	○	×	×
4	メモリアイト & インバリデート	未サポート	0	○	×	×
3	スペシャルサイクル	未サポート	0	○	×	×
2	バスマスタイネーブル	未サポート	0	○	×	×
1	メモリアイネーブル	このビットが“1”のとき、メモリアクセスに応答することができます。	0	○	○	×
0	I/Oイネーブル	このビットが“1”のとき、I/Oアクセスに応答することができます。	0	○	○	×

※7 BTB=Back To Backの略



## 5.2.3. クラスコード &amp; レビジョンID

表19. クラスコードレジスタ &amp; レビジョンID

ビット	名称	機能	リセット値	R	W	I
31:24	ベースクラス	デバイスのベースクラスを分類します。	00000110	○	×	○
23:16	サブクラス	デバイスのサブクラスを分類します。	10000000	○	×	○
15:8	プログラミング インタフェース	プログラミングインタフェースについて互換性を備えた業界標準のインタフェースが存在するときに、その種類を特定するために使用されます。	00000000	○	×	○
7:0	レビジョンID	デバイスのレビジョンを示すために使用します。	00000001	○	×	○

## 5.2.4. BIST &amp; ヘッドタイプ &amp; マスタレイテンシタイム &amp; キャッシュラインサイズ

表20. BIST &amp; ヘッドタイプ &amp; マスタレイテンシタイム &amp; キャッシュラインサイズ

ビット	名称	機能	リセット値	R	W	I
31	BISTイネーブル	未サポート	0	○	×	×
30	BISTスタート	未サポート	0	○	×	×
29:28	予約	未サポート	00	○	×	×
27:24	BIST完了コード	未サポート	0000	○	×	×
23	ヘッドタイプ	デバイスが単機能デバイスか多機能デバイスのどちらであるのかを示しています。ZEN7201AFは単機能デバイスのみをサポートしていますので、このビットは常に“0”となります。	0	○	×	×
22:16	コンフィギュレーション タイプ	コンフィギュレーションデバイスのヘッドタイプを示しています。ZEN7201AFはPCIデバイスなので“0000000”となります。	0000000	○	×	×
15:8	マスタレイテンシタイム	未サポート	00000000	○	×	×
7:0	キャッシュラインサイズ	未サポート	00000000	○	×	×

## 5.2.5. モードレジスタコントロールBAR(I/O用)

表21. モードレジスタコントロールBAR(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:6	モードレジスタ コントロールBAR	モードレジスタにI/Oアクセスするためのアドレスを示しています。	11111111 11111111 11111111 11	○	○	×
5:2	モードレジスタ コントロールBAR	モードレジスタにI/Oアクセスするためのアドレスを示しています。モードレジスタは64byteのアドレス空間を使用しますので、ビット[5:2]は“0”となります。	0000	○	×	×
1	予約		0	○	×	×
0	I/Oアクセス インジケータ	モードレジスタへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

## 5.2.6. モードレジスタコントロールBAR(メモリ用)

表22. モードレジスタコントロールBAR(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:6	モードレジスタ コントロールBAR	モードレジスタにメモリアクセスするためのアドレスを示しています。	11111111 11111111 11111111 11	○	○	×
5:4	モードレジスタ コントロールBAR	モードレジスタにメモリアクセスするためのアドレスを示しています。モードレジスタは64byteのアドレス空間を使用しますので、ビット[5:2]は“0”となります。	00	○	×	×
3	プリフェッチ	未サポート	0	○	×	×
2:1	アドレスタイプ	未サポート	00	○	×	×
0	メモリアクセス インジケータ	モードレジスタへのメモリアクセスに応答することを示すビットです。	0	○	×	×

## 5.2.7. ローカルバスコントロールBAR(I/O用)

表23. ローカルバスコントロールBAR(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:2	ローカルバス コントロールBAR	ローカルデバイスにI/Oアクセスするためのアドレスを示しています。このレジスタはモードレジスタ内にあるレンジレジスタの値によって決まります。EEPROMを使用しない場合、I/O空間はリセット時の64byteを確保します。	00000000 00000000 00000000 000000	○	○	×
1	予約		0	○	×	×
0	I/Oアクセス インジケータ	ローカルバスへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

## 5.2.8. ローカルバスコントロールBAR(メモリ用)

表24. ローカルバスコントロールBAR(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:4	ローカルバス コントロールBAR	ローカルデバイスにメモリアクセスするためのアドレスを示しています。このレジスタはモードレジスタ内にあるレンジレジスタの値によって決まります。EEPROMを使用しない場合、1Mbyteのメモリ空間を確保します。	00000000 00000000 00000000 0000	○	○	×
3	プリフェッチ	未サポート	0	○	×	×
2:1	アドレスタイプ	未サポート	00	○	×	×
0	メモリアクセス インジケータ	ローカルバスへのメモリアクセスに応答することを示すビットです。	0	○	×	×



## 5.2.9. カードバスCISポインタレジスタ

表25. カードバスCISポインタレジスタ

ビット	名称	機能	リセット値	R	W	I
31:0	カードバス CISポインタレジスタ	未サポート	00000000 00000000 00000000 00000000	○	×	×

## 5.2.10. サブシステムID &amp; サブシステムベンダID

表26. サブシステムID &amp; サブシステムベンダID

ビット	名称	機能	リセット値	R	W	I
31:16	サブシステムID	ベンダが製造したシステムを識別するためのIDです。	00000000 00000000	○	×	○
15:0	サブシステムベンダID	ベンダIDと同様に、PCI SIGによって割り当てられたIDです。	00000000 00000000	○	×	○

## 5.2.11. エクスパンションROM BAR

表27. エクスパンションROM BAR

ビット	名称	機能	リセット値	R	W	I
31:0	エクスパンションROM BAR	未サポート	00000000 00000000 00000000 00000000	○	×	×

## 5.2.12. Cap\_PTR

表28. Cap\_PTR

ビット	名称	機能	リセット値	R	W	I
31:8	予約		00000000 00000000 00000000	○	×	×
7:2	CAP_PTR	コンフィギュレーションレジスタ内の新機能デバイスの最初のアドレスを示しています。このレジスタはステータスレジスタのビット“4”が“1”のときに有効となります。	010000	○	×	×
1:0	予約		00	○	×	×



## 5.2.13. Max\_Lat &amp; Min\_Gnt &amp; インタラプトライン &amp; インタラプトピン

表29. Max\_Lat &amp; Min\_Gnt &amp; インタラプトピン &amp; インタラプトライン

ビット	名称	機能	リセット値	R	W	I
31:24	Max_Lat	未サポート	00000000	○	×	×
23:16	Min_Gnt	未サポート	00000000	○	×	×
15:8	インタラプトピン	コンフィギュレーションによって割り込みがINTA # ~INTD# のどのインタラプト信号に接続されるのかを示しています。ZEN7201AF は単機能デバイスなのでINTA # を利用します。	00000001	○	×	○
7:0	インタラプトライン	コンフィギュレーションによって割り込みがどのインタラプトに接続されるのかを示します。	00000000	○	○	×

## 5.2.14. HSCSR &amp; Nxt\_PTR &amp; Cap\_ID

表30. HSCSR &amp; Nxt\_PTR &amp; Cap\_ID

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23	インサクション	ボードのインサクション(挿入)をシステムホストに知らせるためのビットです。ZEN7201AF はMSWの立ち下がりエッジを検知すると、このビットを“1”にします。また、このビットは“1”がライトされると“0”になります。	0	○	○	×
22	エクストラクション	ボードのエクストラクション(抜き取り)をシステムホストに知らせるためのビットです。ZEN7201AF はMSWの立ち上がりエッジを検知すると、このビットを“1”にセットします。このビットは“1”がライトされると“0”になります。	0	○	○	×
21:20	予約		00	○	×	×
19	LED オン/オフ	ボードの結合状態をオペレータに知らせるためのビットです。このビットに“1”がライトされると、LEDO # に“0”が出力されます。ただし、リセット時はこのビットに関係なくLEDO # は“0”を出力します。	0	○	○	×
18	予約		0	○	×	×
17	ENUM# マスク	ENUM# を有効にするかどうかを選択するビットです。“1”をライトするとENUM# をマスクします。ENUM# の状態はビット[23:22]の状態に依存します。	0	○	○	×
16	予約		0	○	×	×
15:8	Nxt_PTR	PCI Rev. 2. 2で定義されている新機能を他に持つときに、その新機能が格納されているコンフィギュレーションレジスタのアドレス番地を示しています。ZEN7201AF は他の新機能を実装していませんので、このレジスタは00hとなります。	00000000	○	×	×
7:0	Cap_ID	ZEN7201AF はホットスワップをサポートしますので、このレジスタの値は06hとなります。	00000110	○	×	×





### 5.3. モードレジスタ

表31～表37にモードレジスタの詳細を示します。

#### 5.3.1. レンジレジスタ(I/Oアクセス用)

表31. レンジレジスタ(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:16	予約		11111111 11111111	○	×	×
15: 2	ローカルI/Oレンジ	必要とするローカルI/O空間をローカルバスコントロールBARに知らせるためのレジスタです。下位からの連続している“0”のビットがBARで確保するI/O空間を示しています。リセット時64byteの空間を確保します。	11111111 110000	○	×	○
1	予約		0	○	×	×
0	ローカルI/Oアクセスインジケータ	ローカルデバイスへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

#### 5.3.2. バンクレジスタ(I/Oアクセス用)

表32. バンクレジスタ(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:16	予約		00000000 00000000	○	×	×
15: 2	ローカルI/Oバンクアドレス	ローカルデバイスへのI/Oアクセスを行うときのアドレスとなります。PCIバス側で発生したアドレスとこのレジスタの値を結合してローカルアドレスとして出力します。	00000000 000000	○	○	○
1:0	予約		00	○	×	×

#### 5.3.3. レンジレジスタ(メモリアccess用)

表33. レンジレジスタ(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:24	予約		11111111	○	×	×
23: 4	ローカルメモリレンジ	必要とするローカルメモリ空間をローカルバスコントロールBARに知らせるためのレジスタです。下位からの連続している“0”のビットがBARで確保するメモリ空間を示しています。リセット時1Mbyteの空間を確保します。	11110000 00000000 0000	○	×	○
3:1	予約		000	○	×	×
0	ローカルメモリアccessインジケータ	ローカルデバイスへのメモリアccessに応答することを示すビットです。	0	○	×	×

## 5.3.4. バンクレジスタ(メモリアクセス用)

表34. バンクレジスタ(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23:4	ローカルメモリ バンクアドレス	ローカルデバイスへのメモリアクセスを行うときのアドレスとなります。PCIバス側で発生したアドレスとこのレジスタの値を結合してローカルアドレスとして出力します。	00000000 00000000 0000	○	○	○
3:0	予約		0000	○	×	×

## 5.3.5. タイミングコントロールレジスタ

表35. タイミングコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:28	予約		0000	○	×	×
27	I/Oチップセレクト イネーブル	このビットが“1”のとき、I/O空間の分割が有効になります。	0	○	○	○
26:24	I/Oチップセレクト デコーダ	このビットとローカルアドレスを組み合わせ、ローカルアドレスの上位8ビットをI/O空間のチップイネーブル信号(LCE#)として出力します。	000	○	○	○
23:20	メモリアクセス アドレスホールド	メモリアクセスにおけるアドレスホールドのクロック数を設定します。《設定値+3》がアドレスホールドに必要なクロック数となります。	0000	○	○	○
19:16	メモリアクセス パルスワイズ	メモリアクセスにおけるリード、ライトのクロック数を設定します。《設定値+2》がアクセスに必要なクロック数となります。また、このビットはWAIT#が許可されているときには無効になります。	0000	○	○	○
15:12	メモリアクセス アドレスセットアップ	メモリアクセスにおけるアドレスセットアップのクロック数を設定します。《設定値+2》がアドレスホールドに必要なクロック数となります。	0000	○	○	○
11:8	I/Oアクセス アドレスホールド	I/Oアクセスにおけるアドレスホールドのクロック数を設定します。《設定値+3》がアドレスホールドに必要なクロック数となります。	0000	○	○	○
7:4	I/Oアクセス パルスワイズ	I/Oアクセスにおけるリード、ライトのクロック数を設定します。《設定値+2》がアクセスに必要なクロック数となります。また、このビットはWAIT#が許可されているときには無効になります。	0000	○	○	○
3:0	I/Oアクセス アドレスセットアップ	I/Oアクセスにおけるアドレスセットアップのクロック数を設定します。《設定値+2》がアドレスホールドに必要なクロック数となります。	0000	○	○	○



## 5.3.6. EEPROMコントロールレジスタ

表36. EEPROMコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:8	予約		00000000 00000000 00000000	○	×	×
7:5	予約		000	○	×	×
4	EEPROM モニタ	このビットを通してEENの値が読み出せます。	X	○	×	×
3	EEPROM データアウト	EEPROMへのデータ出力です。このビットに設定した値がEDOより出力されます。	0	○	○	×
2	EEPROM データイン	EEPROMからのデータ入力です。このビットを通してEDIの値が読み出せます。	X	○	×	×
1	EEPROM チップセレクト	EEPROMのチップセレクト信号です。このビットに設定した値がECSより出力されます。	0	○	○	×
0	EEPROM クロック	EEPROMのクロックです。このビットに設定した値がESKより出力されます。	0	○	○	×

## 5.3.7. デバイスコントロール &amp; インタラプトコントロールレジスタ

表37. デバイスコントロール &amp; インタラプトコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I															
31:24	USERDEF	ユーザ定義の領域です。	00000000	○	×	○															
23:19	予約		00000	○	×	×															
18	8/16アクセスセレクト	8ビット、16ビットのどちらかのアクセスサイクルを決定するビットです。“1”のとき、8ビットアクセス、“0”のとき、16ビットアクセスを実行します。	0	○	○	○															
17	WAIT # イネーブル	このビットが“1”のとき、WAIT # によるサイクルを有効にします。	0	○	○	○															
16	ローカルリセット	ローカルリセットを発生させます。“0”を書き込むとLRST # が“0”となります。このビットはセットされるまでリセット状態を保持します。	1	○	○	×															
15:6	予約		00000000 00	○	×	×															
5	IRQモニタ	IRQの状態を監視します。	X	○	×	×															
4	インタラプトリセット	このビットに“1”をライトするとインタラプトをリセットできます。このビットは自動復帰します。	0	×	○	×															
3	インタラプトステータスマニタ	INTA # の状態を監視します。このビットが“0”のとき、PCIバス上に割り込みが発生していることを示しています。	1	○	×	×															
2:1	インタラプトモードセレクト	このビットとIRQの組み合わせで、割り込みの発生する条件を決定します。このビットは1度設定した値を変更しないでください。また、インタラプトイネーブル(ビット[0])を有効にする前に設定してください。この設定が有効になるまでにローカルクロックで4クロック必要です。また、割り込みが発生する条件を以下に示します。 <table border="1" data-bbox="577 1377 1091 1554"> <thead> <tr> <th>ビット[2]</th> <th>ビット[1]</th> <th>割り込み発生条件</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2クロックLow</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>2クロックHigh</td> </tr> </tbody> </table>	ビット[2]	ビット[1]	割り込み発生条件	0	0	2クロックLow	0	1	立ち上がりエッジ	1	0	立ち下がりエッジ	1	1	2クロックHigh	00	○	○	○
ビット[2]	ビット[1]	割り込み発生条件																			
0	0	2クロックLow																			
0	1	立ち上がりエッジ																			
1	0	立ち下がりエッジ																			
1	1	2クロックHigh																			
0	インタラプトイネーブル	割り込みを有効にするビットです。このビットが“1”のとき、PCIバスへの割り込みを有効にします。	0	○	○	×															

## 6. タイミングチャート

### 6.1. ローカルI/Oアクセス

ZEN7201AF のI/Oアクセスのタイミングは、モードレジスタのタイミングコントロールレジスタに設定値を書き込むことによって決定します。

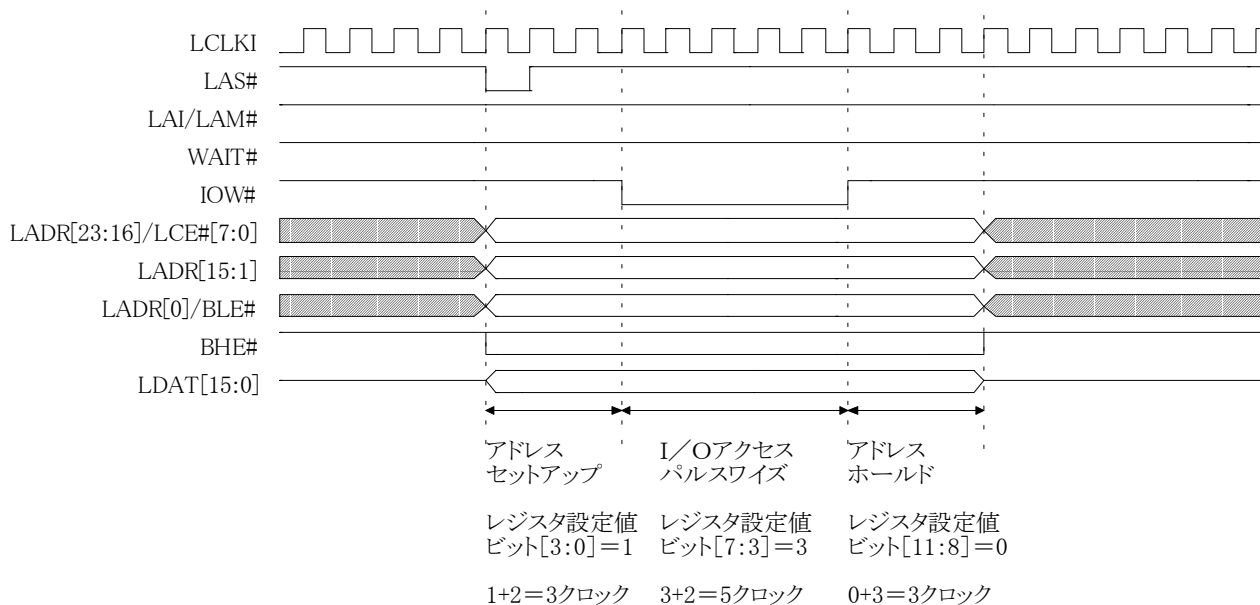


図18. I/Oライトアクセス

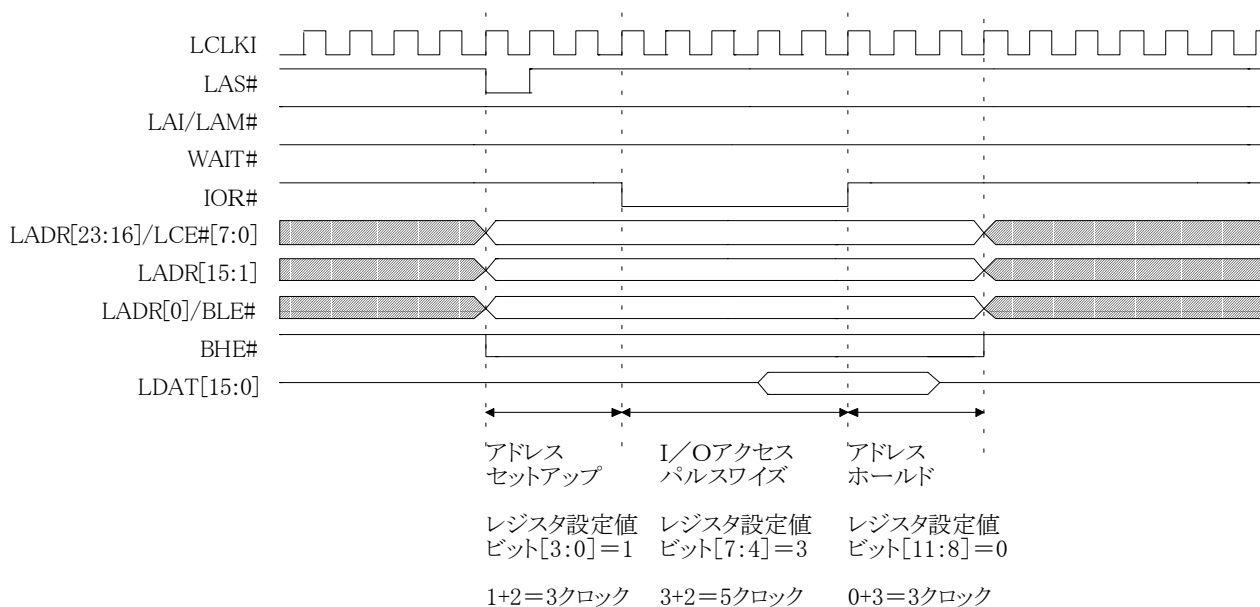


図19. I/Oリードアクセス

## 6.2. ローカルメモリアクセス

ZEN7201AF のメモリアクセスのタイミングは、モードレジスタのタイミングコントロールレジスタに設定値を書き込むことによって決定します。

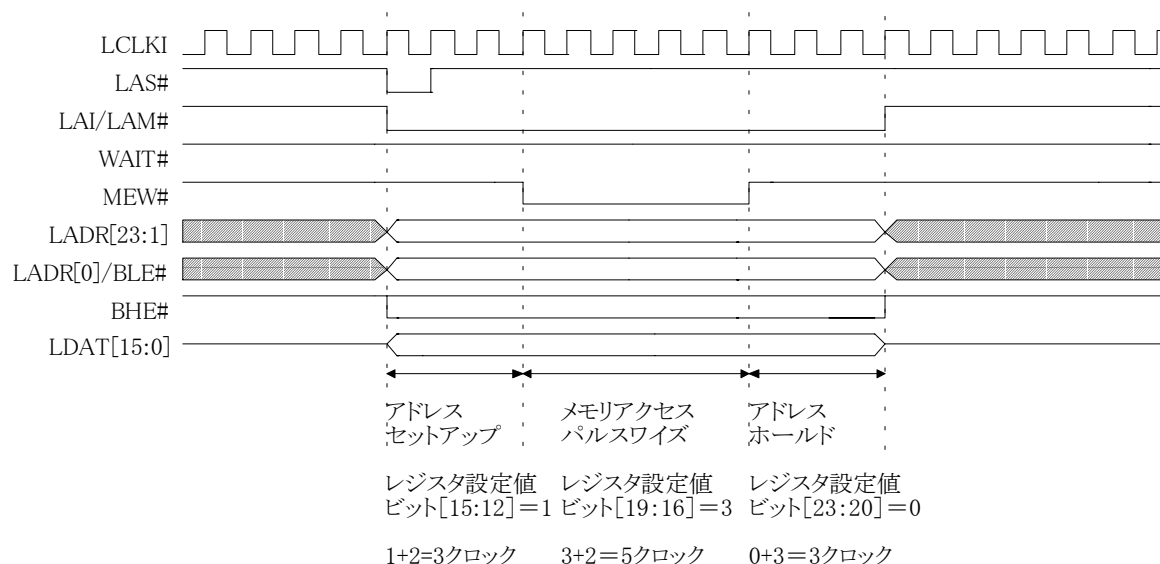


図20. ローカルメモリアイトアクセス

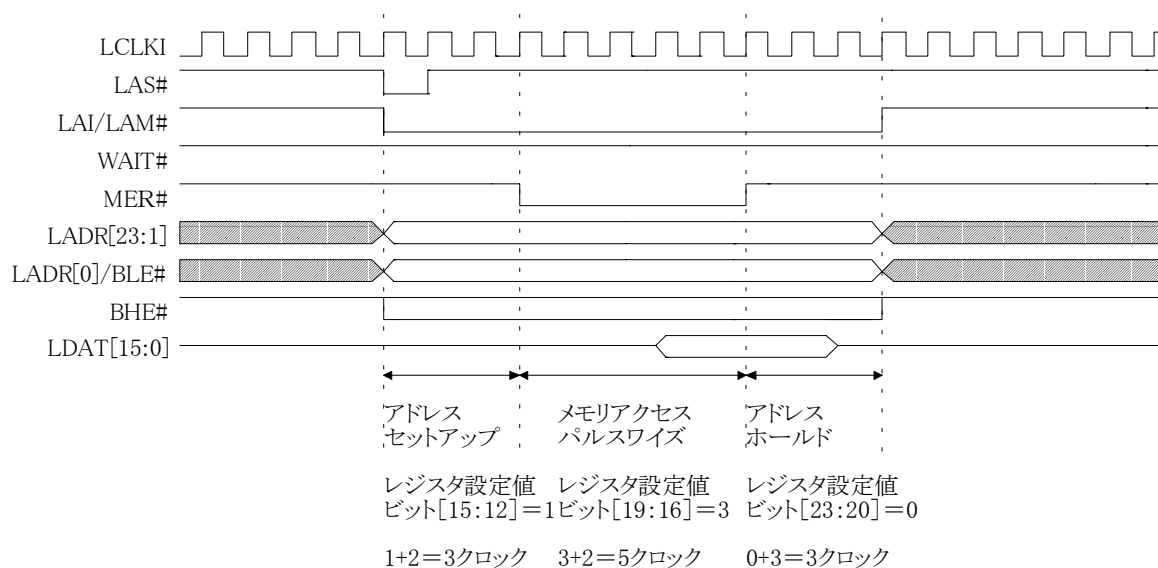


図21. ローカルメモリアードアクセス

### 6.3. ウェイトアクセス

#### 6.3.1. ローカルI/Oアクセス

WAIT#を用いたサイクルについては、タイミングコントロールレジスタのアドレスセットアップ、アドレスホールドが有効で、パルスワイズはWAIT#によってコントロールされます。

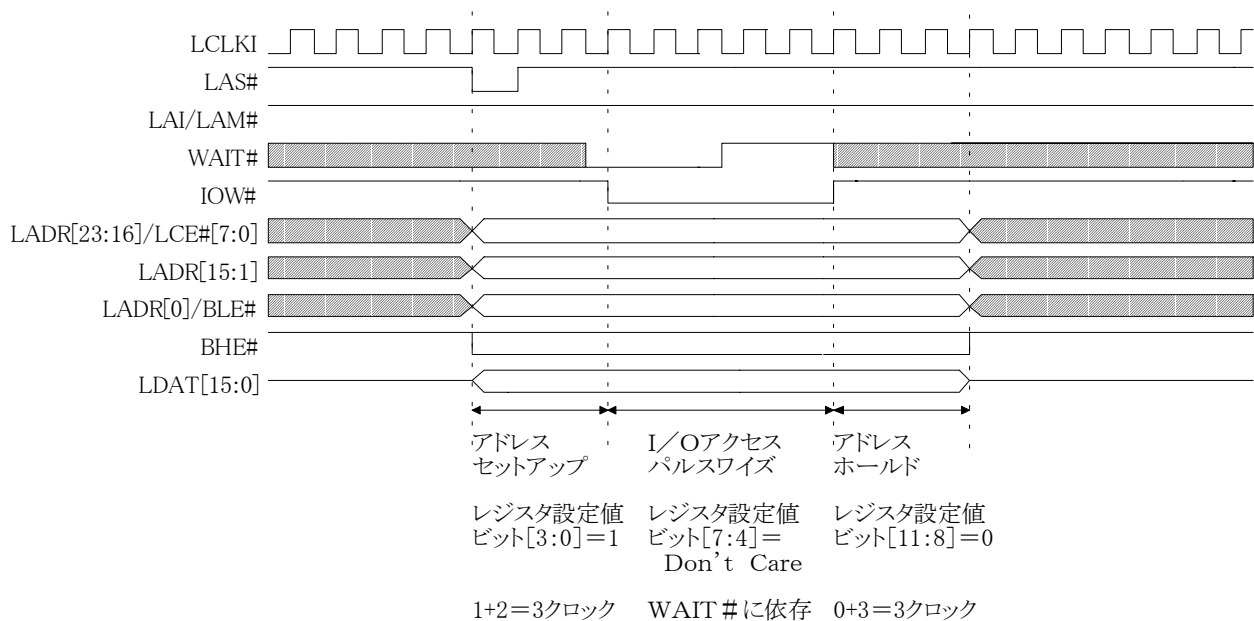


図22. I/Oライトアクセス(WAIT#使用)

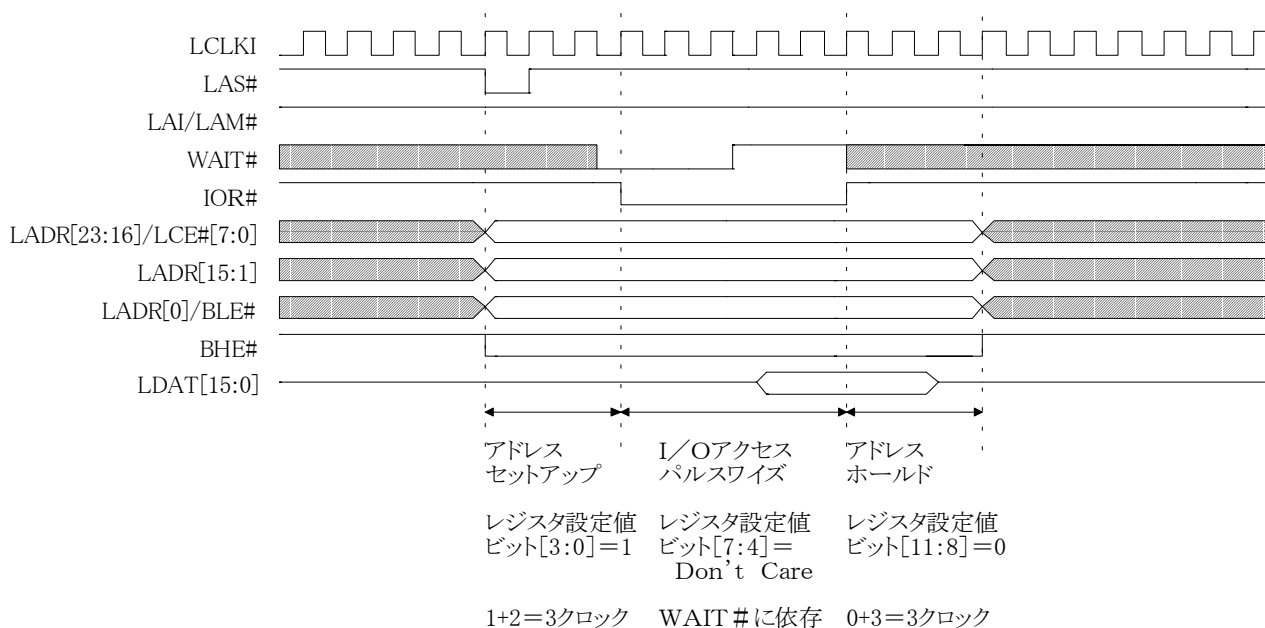


図23. I/Oリードアクセス(WAIT#使用)

## 6.3.2. ローカルメモリアクセス

WAIT#を用いたサイクルについては、タイミングコントロールレジスタのアドレスセットアップ、アドレスホールドが有効で、パルスワイズはWAIT#によってコントロールされます。

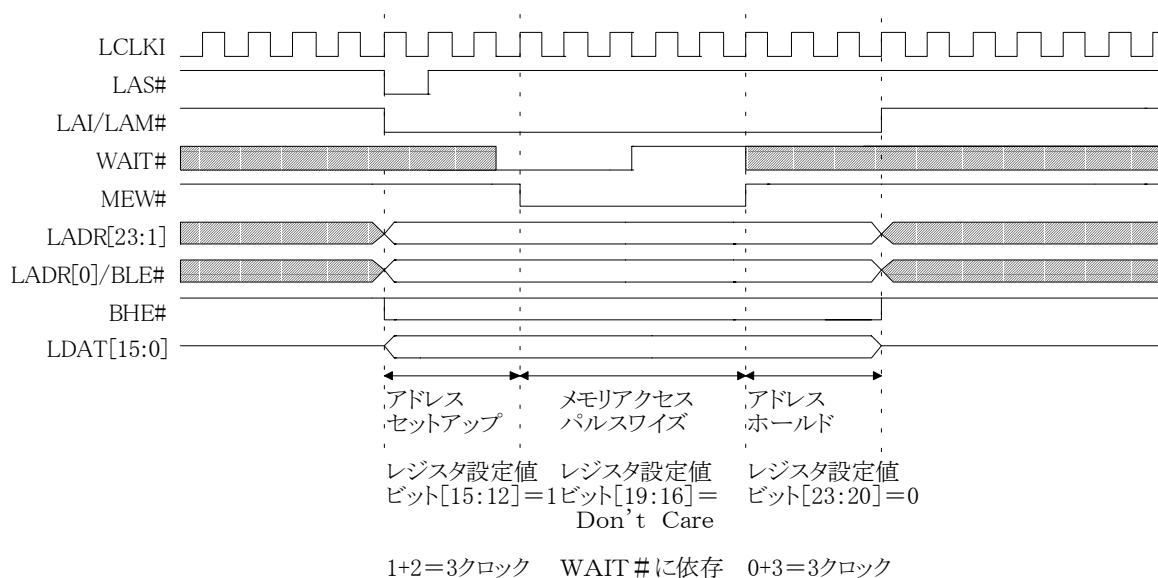


図24. メモリライトアクセス(WAIT#使用)

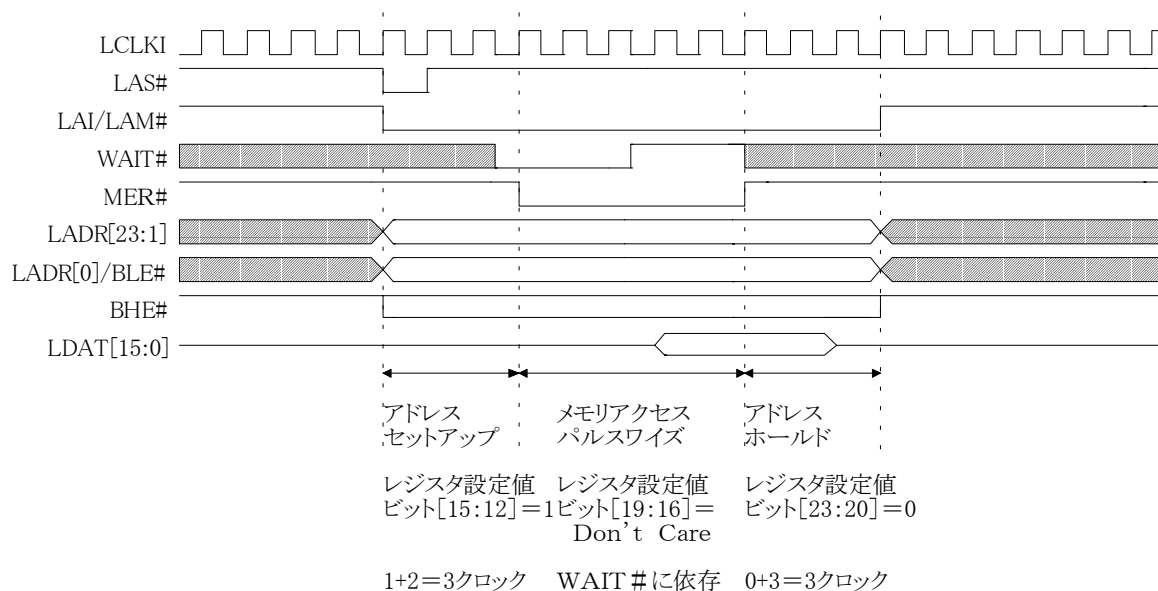


図25. メモリリードアクセス(WAIT#使用)



## 6.4. インタラプト

IRQがインタラプトモードセレクトの割り込みの発生条件を満たしたときに、INTA#はアサートされます。図26にINTA#がアサートされるまでのタイミングを示します。

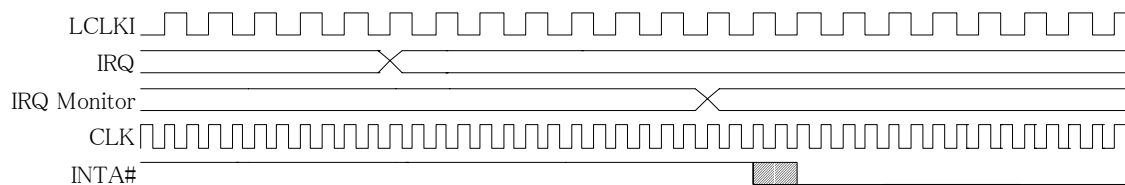


図26. インタラプトサイクル

## 7. 電気的特性

### 7.1. 絶対最大定格

表38. 絶対最大定格 ( $V_{SS}=0V$ )

項目	記号	定格値	単位
電源電圧	$V_{DD}$	$-0.3 \sim +7.0$	V
入力電圧	$V_{IN}$	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	$V_{OUT}$	$-0.3 \sim V_{DD} + 0.3$	V
入力電流	$I_{IN}$	$-10 \sim +10$	mA
保存温度	$T_{stg}$	$-40 \sim +125$	°C

### 7.2. 推奨動作条件

表39. 推奨動作条件

項目	記号	最小値	標準値	最大値	単位
電源電圧	$V_{DD}$	4.75	5.00	5.25	V
周囲温度	$T_{opr}$	0		+70	°C

### 7.3. 直流特性

表40. 直流特性<sup>※8※9</sup>

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	$V_{IH}$		2.2		V
低レベル入力電圧	$V_{IL}$			0.80	V
高レベル入力電流	$I_{IH}$	$V_{IN}=V_{DD}$	-10	10	$\mu A$
低レベル入力電流	$I_{IL}$	$V_{IN}=V_{SS}$	-10	10	$\mu A$
高レベル出力電圧	$V_{OH}$	$I_{OH} = -4mA$	2.40		V
		$I_{OH} = -1mA$	$V_{DD} - 0.05$		
低レベル出力電圧	$V_{OL}$	$I_{OL} = 4mA$		0.40	V
		$I_{OL} = 1mA$		$V_{SS} + 0.05$	
静的消費電流	$I_{DDs}$	$V_{IN}=V_{DD}(V_{SS})$		50	$\mu A$
動作時消費電流	$I_{DDO}$			70	mA

※8 PCIバス・インタフェース信号以外の信号に適用されます。PCIバス・インタフェース信号はPCISIGの規格書を参照してください。

※9  $I_{OH}$ は高レベル出力電流、 $I_{OL}$ は低レベル出力電流を示します。



## 7.4. 交流特性

表41. 交流特性<sup>※10</sup>

項目	該当信号	記号	最小値	標準値	最大値	単位
IRQのセットアップ時間	IRQ	T <sub>IRQS</sub>	10			ns
IRQのホールド時間	IRQ	T <sub>IRQH</sub>	10			ns
WAIT # のセットアップ時間	WAIT #	T <sub>WAITS</sub>	10			ns
WAIT # のホールド時間	WAIT #	T <sub>WAITH</sub>	0			ns
ローカルクロック入力(Hパルス幅)	LCLKI	$\phi_{LCH}$	12.50			ns
ローカルクロック入力(Lパルス幅)	LCLKI	$\phi_{LCIL}$	12.50			ns
ローカルクロック入力サイクル	LCLKI	$\phi_{LCICY}$		30		ns
ローカルクロック出力の出力遅延時間	LCLKO	$\phi_{LCOD}$	0		5	ns
ローカルクロック出力(Hパルス幅)	LCLKO	$\phi_{LCOH}$	25		35	ns
ローカルクロック出力(Lパルス幅)	LCLKO	$\phi_{LCOL}$	25		35	ns
ローカルクロック出力サイクル	LCLKO	$\phi_{LCOCY}$		60		ns
ローカルアドレスの遅延時間	LADR <sup>※11</sup>	T <sub>LAD</sub>	0		5	ns
ローカルデータのセットアップ時間	LDAT	T <sub>LDS</sub>	10			ns
ローカルデータのホールド時間	LDAT	T <sub>LDH</sub>	0			ns
ローカルデータの遅延時間	LDAT	T <sub>LDD</sub>	0		5	ns
ローカルコントロール出力の遅延時間	LAS #, LAI/LAM #	T <sub>LCD</sub>	0		5	ns
リード出力の遅延時間	MER #, IOR #	T <sub>LRD</sub>	0		5	ns
ライト出力の遅延時間	MEW #, IOW #	T <sub>LWD</sub>	0		5	ns
EEPROMクロック(Hパルス幅)	ESK	T <sub>ESKH</sub>	1.89		1.95	$\mu$ s
EEPROMクロック(Lパルス幅)	ESK	T <sub>ESKL</sub>	1.89		1.95	$\mu$ s
EEPROMクロック	ESK	T <sub>ESKCY</sub>		3.84		$\mu$ s
EEPROMクロックの出力遅延時間	ESK	T <sub>ECD</sub>	0		30	ns
ECSの立ち上がりから ESKが立ち上がるまでの時間	ESK ECS	T <sub>ESKRU</sub>	1.83		2.79	$\mu$ s
サイクル終了(ESKの立ち下がり)から ECSが立ち下がるまでの時間	ESK ECS	T <sub>ESKFD</sub>	1.89		4.95	$\mu$ s
ECSの出力遅延時間	ECS	T <sub>ECS D</sub>	0		30	ns
ECSの立ち下がりから 次のECSの立ち上がるまでの時間	ECS	T <sub>ECSR U</sub>	9.57		9.63	$\mu$ s
EDIのセットアップ時間	EDI	T <sub>EDIS</sub>	30			ns
EDIのホールド時間	EDI	T <sub>EDIH</sub>	0			ns
ECSの立ち上がりからの EDOの遅延時間	EDO	T <sub>EDOD0</sub>	0.96		1.02	$\mu$ s
ESKの立ち上がりからの EDOの遅延時間	EDO	T <sub>EDOD1</sub>	2.94		3.00	$\mu$ s

※10 PCIクロック(CLK)を33MHzとした時の特性です。

※11 LADRにはLADR[23:16]/LCE#[7:0]、LADR[15:1]、LADR[0]/BLE#、BHE#が含まれています。

## 7.5. タイミングダイアグラム

## 7.5.1. ローカルアクセスタイミングダイアグラム

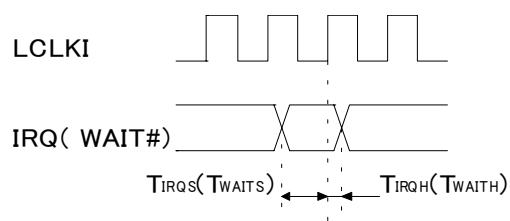
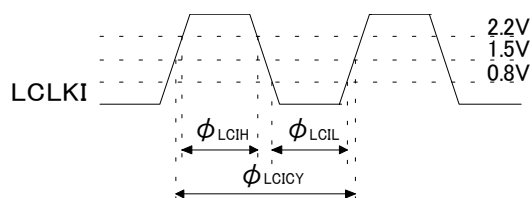
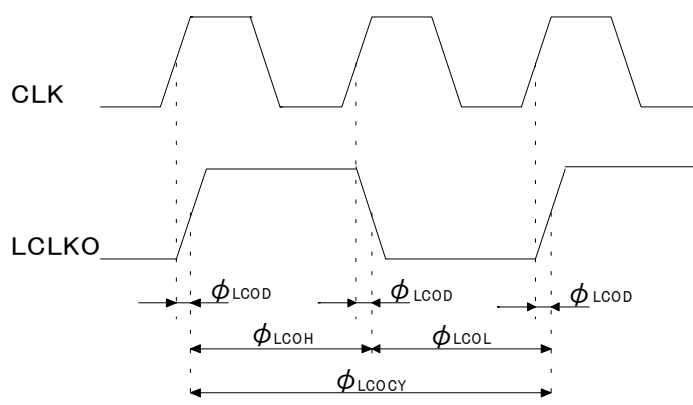


図27. ローカル入力信号(IRQ、WAIT#)のセットアップ、ホールド時間

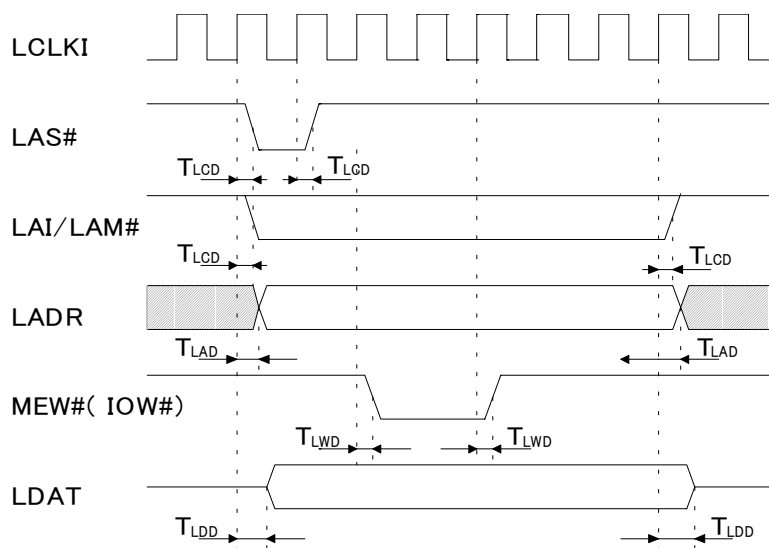


(a). LCLKIのタイミング

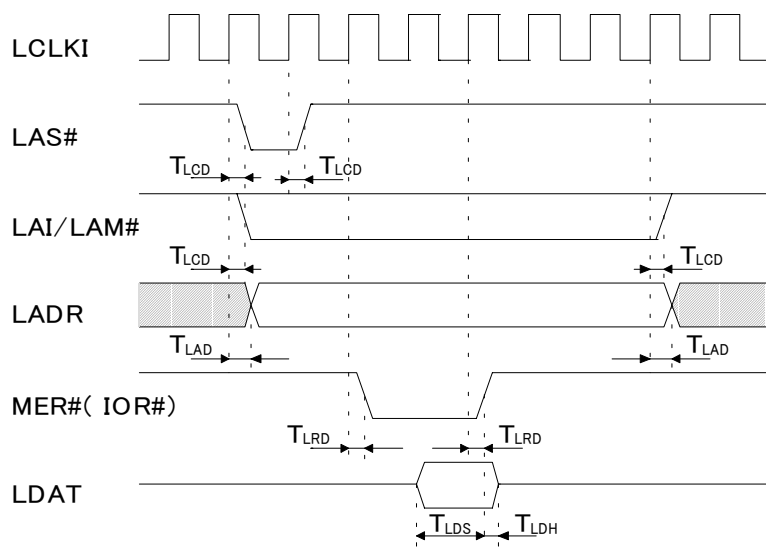


(b). LCLKOのタイミング

図28. ローカルクロックのタイミング



(a). ライトサイクル



(b). リードサイクル

図29. ローカル入出力信号のセットアップ、ホールド時間および、遅延時間

## 7.5.2. EEPROMアクセスタイミングダイアグラム

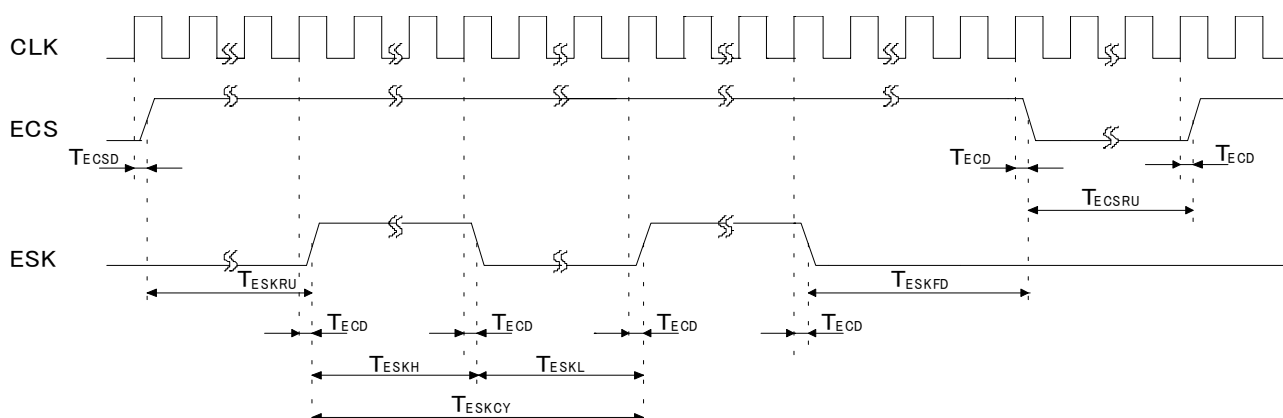


図30. ESK、ECSのタイミング

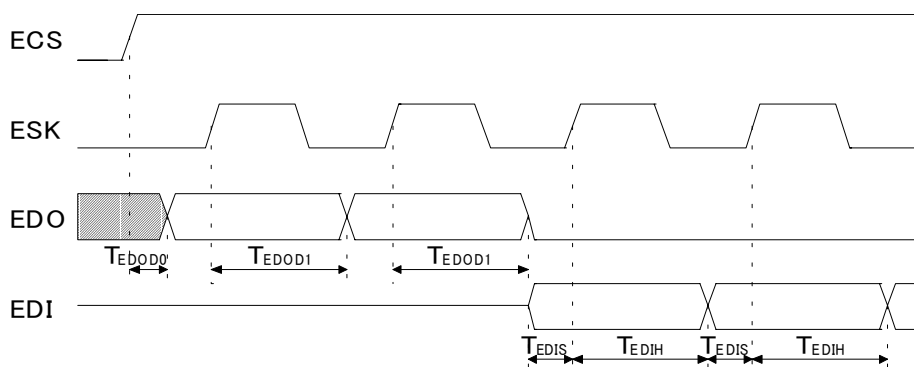


図31. EDO、EDIのタイミング

8. パッケージ形状

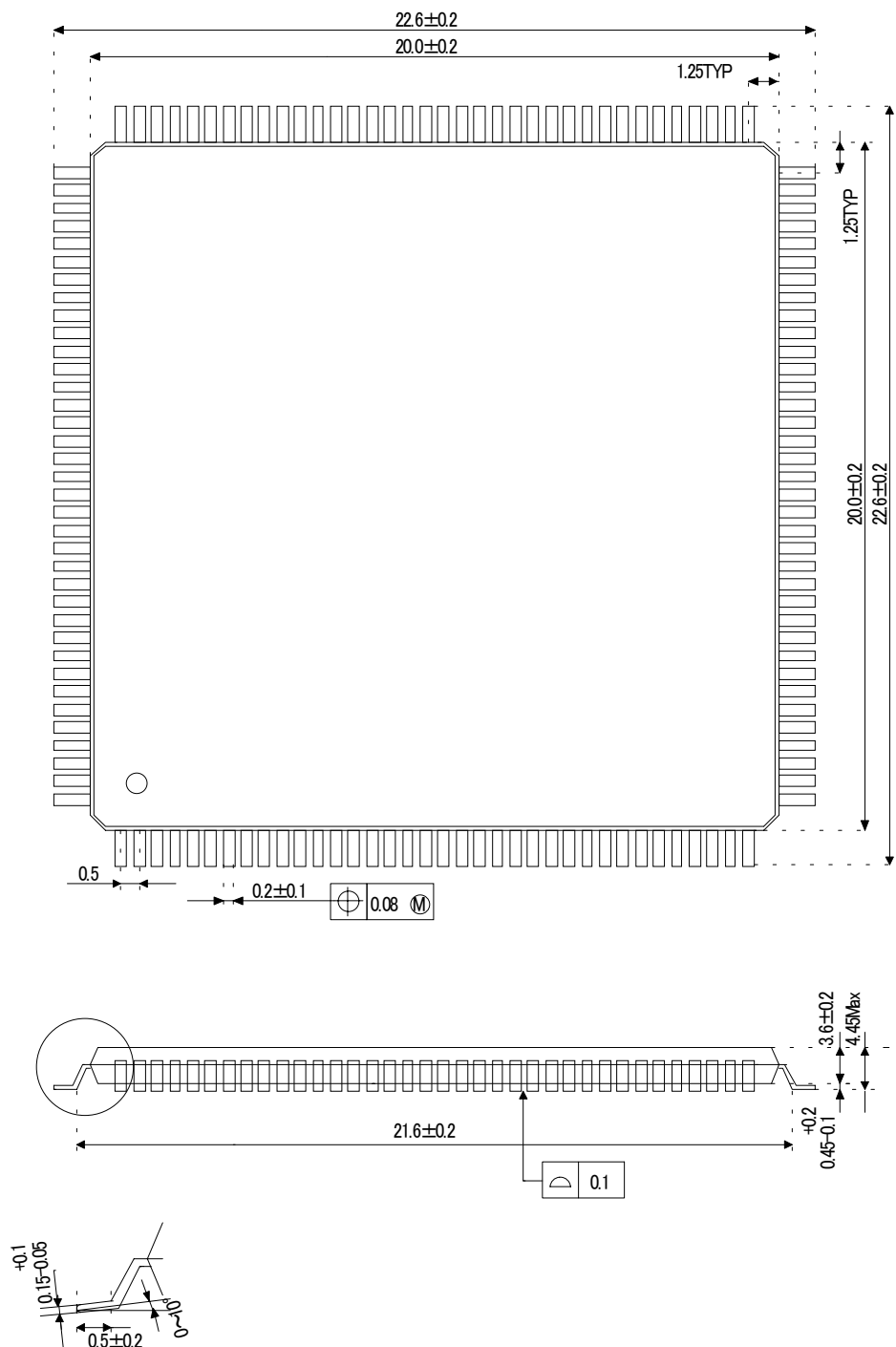


図32. 外形寸法図

## 9. 備考

- ①未使用の入力端子はオープンのまま使用しないでください。
- ②双方向端子において、入力ハイ・インピーダンス状態にならないようにしてください。



## 10.改訂履歴

バージョン	日付	内容
1.0	2001/04/03	初版発行
1.1	2001/10/11	誤記訂正および、図の追加。 ・概要 : 「基本動作」を「基本動作設定」に修正。 ・4.2 : メモリアクセス時に必要なアドレスバスの本数修正。 ・4.2.1 : ローカルI/O空間の分割が有効時のローカルアドレスのデコード方法について誤記訂正。 ・図3 : タイミングチャート修正。 ・図4 : リトライリード追加。 ・表14 : オフセットアドレス10hについての値変更。 ・表20 : ビット[22:16]についての記述変更。 ・表26 : 機能説明修正。 ・表36 : ビット[7:5]のリセット値修正。 ・表37 : ビット[5]、ビット[4]のリセット値修正。 ・図26 : 図変更。 ・表40 : ※8の「適応」を「適用」に修正。

## ご注意

- (1) 本製品および本資料は株式会社ジーニックの著作物です。  
したがって、本資料の全部または一部を無断で複製、転載することをご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。  
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、  
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に  
使用されることを前提にしております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、  
原子力関係機器などには使用しないでください。



株式会社 ジーニック

URL <http://www.zenic.co.jp> / E-mail [support@zenic.co.jp](mailto:support@zenic.co.jp)  
デザインセンタ : 〒520-2144 滋賀県大津市大萱1丁目17-14 松政ビル6F  
TEL:077-543-2101 / FAX:077-543-9431