



数据手册

MM32A0160

基于 Arm[®] Cortex[®]-M0 内核的 32 位微控制器

Revision: 0.9

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1	总览	1
1.1	概述.....	1
1.2	主要特点.....	1
2	订购信息	4
2.1	订购表.....	4
2.2	丝印.....	5
2.3	产品命名规则.....	6
3	功能描述	7
3.1	系统框图.....	7
3.2	内核简介.....	8
3.3	总线简介.....	8
3.4	存储器映像.....	8
3.5	Flash.....	10
3.6	SRAM.....	10
3.7	NVIC.....	10
3.8	外部中断/事件控制器 EXTI.....	10
3.9	时钟和启动.....	11
3.10	启动模式.....	11
3.11	供电方案.....	11
3.12	供电监控器.....	11
3.13	电压调压器.....	11
3.14	低功耗模式.....	11
3.15	硬件除法器 HWDIV.....	13
3.16	DMA.....	13
3.17	定时器和看门狗 TIM & WDG.....	13
3.18	RTC.....	16
3.19	备份寄存器.....	16
3.20	GPIO.....	16
3.21	UART.....	16
3.22	LPUART.....	16
3.23	I2C.....	16
3.24	I3C.....	16
3.25	SPI.....	17
3.26	I2S.....	17
3.27	FlexCAN-FD.....	17
3.28	USB FS.....	17
3.29	ADC.....	17
3.30	模拟比较器 COMP.....	17
3.31	CRC.....	18
3.32	SWD.....	18
4	引脚定义及复用功能	19
4.1	引脚分布图.....	19
4.1.1	LQFP64 引脚分布.....	19
4.1.2	LQFP48 引脚分布.....	20

4.1.3	QFN32 引脚分布	21
4.2	引脚定义表	22
4.3	引脚复用	27
5	电气特性	31
5.1	测试条件	31
5.1.1	负载电容	31
5.1.2	引脚输入电压	31
5.1.3	供电方案	32
5.1.4	电流消耗测量	32
5.2	绝对最大额定值	33
5.3	工作条件	34
5.3.1	通用工作条件	34
5.3.2	上电和掉电时的工作条件	34
5.3.3	内嵌复位和电源控制模块特性	35
5.3.4	内置的参照电压	36
5.3.5	供电电流特性	36
5.3.6	外部时钟源特性	39
5.3.7	内部时钟源特性	43
5.3.8	PLL1 特性	44
5.3.9	PLL2 特性	45
5.3.10	存储器特性	45
5.3.11	EMC 特性	46
5.3.12	功能性 EMS (电气敏感性)	47
5.3.13	I/O 端口特性	47
5.3.14	NRST 引脚特性	50
5.3.15	Timer 定时器特性	51
5.3.16	I2C 接口特性	52
5.3.17	SPI 接口特性	53
5.3.18	I3C 从机接口特性	57
5.3.19	FlexCAN 接口特性	59
5.3.20	USB 接口特性	59
5.3.21	ADC 特性	59
5.3.22	温度传感器特性	63
5.3.23	比较器特性	64
6	封装特性	65
6.1	LQFP64	65
6.2	LQFP48	67
6.3	QFN32	69
7	修订记录	71

表格

表 2-1 订购表	4
表 3-1 存储器映像	8
表 3-2 不同功耗模式下的外设状态	12
表 3-3 定时器功能比较	14
表 4-1 引脚定义	22
表 4-2 PA 端口功能复用 AF0-AF8	27
表 4-3 PB 端口功能复用 AF0-AF8	28
表 4-4 PC 端口功能复用 AF0-AF8	29
表 4-5 PD 端口功能复用 AF0-AF8	30
表 5-1 电压特性	33
表 5-2 电流特性	33
表 5-3 通用工作条件	34
表 5-4 上电和掉电时的工作条件	34
表 5-5 内嵌复位和电源控制模块特性	35
表 5-6 内置的参照电压	36
表 5-7 运行模式下的典型电流消耗	37
表 5-8 睡眠模式下的典型电流消耗	37
表 5-9 停机和待机模式下的典型和最大电流消耗 ⁽¹⁾	37
表 5-10 内置外设的电流消耗 ⁽¹⁾	38
表 5-11 低功耗模式的唤醒时间	39
表 5-12 高速外部用户时钟特性	40
表 5-13 低速外部用户时钟特性	40
表 5-14 HSE 振荡器特性 ⁽¹⁾⁽²⁾	41
表 5-15 LSE 振荡器特性 ⁽¹⁾	43
表 5-16 HSI 振荡器特性 ⁽¹⁾⁽²⁾	43
表 5-17 LSI 振荡器特性 ⁽¹⁾	44
表 5-18 PLL1 特性 ⁽¹⁾	44
表 5-19 PLL2 特性 ⁽¹⁾	45
表 5-20 Flash 存储器特性	45
表 5-21 Flash 存储器寿命和数据保存期限	45
表 5-22 EMS 特性	46
表 5-23 ESD & LU 特性	47
表 5-24 I/O 静态特性	48
表 5-25 输出电压特性	48
表 5-26 I/O 交流特性 ⁽¹⁾⁽²⁾⁽³⁾	49
表 5-27 NRST 引脚特性	50
表 5-28 TIMx ⁽¹⁾ 特性	51
表 5-29 I2C 接口特性	52
表 5-30 SPI 特性 ⁽¹⁾	54
表 5-31 I3C 从机接口特性（与 Legacy I2C 器件通信）	57
表 5-32 I3C 从机接口特性（开漏模式）	58
表 5-33 I3C 从机接口特性（推挽模式）	58
表 5-34 USB 电气特性	59
表 5-35 USB 动态特性	59

表 5-36 ADC 特性	59
表 5-37 $f_{ADC}=15\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}	60
表 5-38 ADC 静态参数 ⁽¹⁾⁽²⁾	61
表 5-39 温度传感器特性 ⁽³⁾⁽⁴⁾	63
表 5-40 比较器特性 ⁽¹⁾	64
表 6-1 LQFP64 封装尺寸细节	66
表 6-2 LQFP48 封装尺寸细节	68
表 6-3 QFN32 封装尺寸细节	70
表 7-1 修订历史	71

Preliminary

插图

图 2-1 LQFP 和 QFN32 封装丝印	5
图 2-2 型号命名规则	6
图 3-1 系统框图	7
图 4-1 LQFP64 引脚分布	19
图 4-2 LQFP48 引脚分布	20
图 4-3 QFN32 引脚分布	21
图 5-1 引脚的负载条件	31
图 5-2 引脚输入电压	31
图 5-3 供电方案	32
图 5-4 电流消耗测量方案	33
图 5-5 上电与掉电波形	35
图 5-6 外部高速时钟源的交流时序图	40
图 5-7 使用 8MHz 晶体的典型应用	42
图 5-8 I/O 交流特性	50
图 5-9 建议的 NRST 引脚保护	51
图 5-10 I2C 总线交流波形和测量电路 ⁽¹⁾	53
图 5-11 SPI 时序图从模式和 CPHA = 0, CPHASEL = 1	55
图 5-12 SPI 时序图从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾	56
图 5-13 SPI 时序图主模式, CPHASEL = 1 ⁽¹⁾	57
图 5-14 I3C 从机接口特性	58
图 5-15 ADC 静态参数示意图	62
图 5-16 使用 ADC 典型的连接图	62
图 5-17 供电电源和参考电源去耦线路	63
图 6-1 LQFP64 封装尺寸	65
图 6-2 LQFP48 封装尺寸	67
图 6-3 QFN32 封装尺寸	69

1 总览

1.1 概述

MM32A0160 微控制器搭载 Arm® Cortex®-M0 内核，最高工作频率可达 72MHz。内置 128KB 高速存储器，并集成了丰富的 I/O 端口和外设模块。本产品包含 1 个 12 位的 ADC、2 个比较器、1 个 16 位高级定时器、1 个 16 位和 1 个 32 位通用定时器、3 个 16 位基本定时器、1 个低功耗定时器和 1 个实时时钟（RTC）模块，还包含标准的通信接口：1 个 I2C 接口、1 个 I3C 从机接口，2 个 SPI 或 I2S 接口、4 个 UART 接口、1 个低功耗 UART、1 个 USB 接口和 1 个 FlexCAN-FD 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围（环境温度）为 -40°C ~ +125°C，符合 AEC-Q100 Grade 1。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 车身控制
- 车灯控制
- 车用电机
- 电池管理系统
- 传感器应用

本产品提供 LQFP64、LQFP48 和 QFN32 等多种封装形式。

1.2 主要特点

- 内核与系统
 - 32-bit Arm® Cortex®-M0
 - 工作频率可达 72MHz
 - 32 位硬件除法器
- 存储器
 - 多达 128KB 的 Flash 存储器
 - 多达 16KB SRAM
 - Boot loader 支持片内 Flash 在线系统编程（ISP）
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
 - 外部 4 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 8MHz 高速 RC 振荡器

- 内置 PLL1 可产生系统时钟，支持多种分频模式，为总线矩阵和外设提供时钟
- 内置 PLL2 为 USB 和 FlexCAN-FD 提供独立时钟
- 内嵌 40KHz 低速振荡器
- 外部 32.768KHz 低速振荡器（带 LSE Bypass 功能）
- 低功耗
 - 多种低功耗模式，包括：睡眠（Sleep）、停机（Stop）、深度停机（Deep Stop）和待机模式（Standby）
- 1 个 7 通道 DMA 控制器，支持外设类型包括定时器、ADC、UART、LPUART、I2C、I3C、SPI 和 FlexCAN-FD
- 10 个定时器
 - 1 个 16 位 4 通道高级控制定时器（TIM1），有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 1 个 16 位通用定时器（TIM3）和 1 个 32 通用定时器（TIM2），有多达 4 个输入捕获/输出比较，可用于 IR 控制解码
 - 3 个 16 位基本定时器（TIM14 / TIM16 / TIM17），有 1 个输入捕获/输出比较通道。TIM16 和 TIM17 有 1 组互补输出，死区生成，紧急停止，调制器门电路用于 IR 控制
 - 1 个 16 位低功耗定时器（LPTIM），可在除 Standby 模式外的所有模式唤醒 CPU
 - 2 个看门狗定时器（独立型的 IWDG 和窗口型的 WWDG）
 - 1 个 Systick 定时器：24 位自减型计数器
- 1 个实时时钟（RTC）模块
- 多达 57 个快速 I/O 端口
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出电压不高于 V_{DD} 的信号
- 多达 11 个通信接口
 - 4 个 UART 接口
 - 1 个低功耗 UART（LPUART）接口
 - 1 个 I2C 接口
 - 1 个 I3C 从机接口
 - 2 个 SPI 接口（支持 I2S 模式）
 - 1 个 USB Device 接口
 - 1 个 FlexCAN-FD 接口，支持 CAN 2.0B 和 CAN-FD
- 1 个 12 位模数转换器（ADC），1 μ S 转换时间，多达 14 个外部输入通道，2 个内部输入通道

- 转换范围: $0 \sim V_{DDA}$
- 支持采样时间和分辨率配置
- 片上温度传感器
- 片上电压传感器
- 2 个高速模拟比较器
- CRC 计算单元
- 96 位芯片唯一 ID (UID)
- 调试模式
 - 串行调试接口 (SWD) 接口
- 采用 LQFP64、LQFP48 和 QFN32 封装

2 订购信息

2.1 订购表

表 2-1 订购表

Part numbers		MM32A0163D4QM *	MM32A0163D6PM *	MM32A0163D7PM
CPU frequency		72 MHz		
Flash - KB		128	128	128
SRAM - KB		16	16	16
Timers	16-bit GP	1	1	1
	32-bit GP	1	1	1
	Basic	3	3	3
	Advanced	1	1	1
	Low power	1	1	1
RTC		√	√	√
Interfaces	UART	4	4	4
	LPUART	1	1	1
	I2C	1	1	1
	I3C slave	1	1	1
	SPI / I2S	2	2	2
	USB Device	1	1	1
	FlexCAN-FD	1	1	1
GPIO		28	41	57
12-bit ADC	Modules	1	1	1
	Channels	13	13	14
Comparator		2	2	2
Supply voltage		2.0V to 5.5V		
Temperature range		-40°C to 125°C		
Package		QFN32	LQFP48	LQFP64

注：带 * 型号仍在开发中，联系灵动获取更多信息。

2.2 丝印

丝印须知：本节的目的在于指导用户从丝印中识别出所需的信息，而丝印图中的格式（包括字体、字号、对齐等）、位置、比例等均可能和实际丝印有差别，且部分封装的丝印中可能不包含灵动微电子 Logo，此类格式、位置、比例、Logo 等信息，请以实际产品为准。

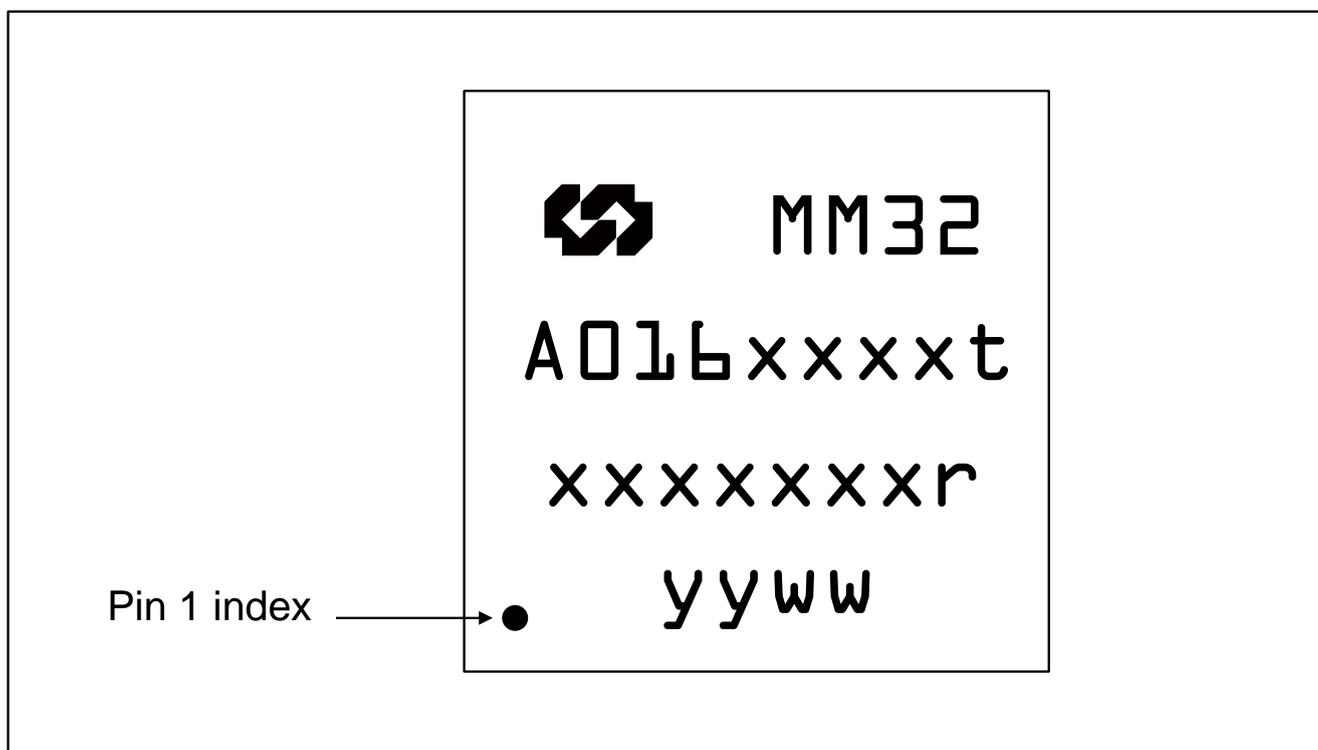


图 2-1 LQFP 和 QFN32 封装丝印

LQFP 和 QFN32 封装一般在顶层包含如下丝印：

- 第一行：MM32
 - 灵动微电子 Logo + 产品型号第一部分。
- 第二行：A016xxxxt
 - 产品型号第二部分，其中“t”表示温度等级，“t”为“M”表示该芯片为 -40°C~125°C。
- 第三行：xxxxxxxr
 - Trace code + 芯片版本号，其中“r”代表芯片版本号。对于初始工程样片，Trace code 的首两位标识为“ES”。
- 第四行：yyww
 - Data code，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.3 产品命名规则

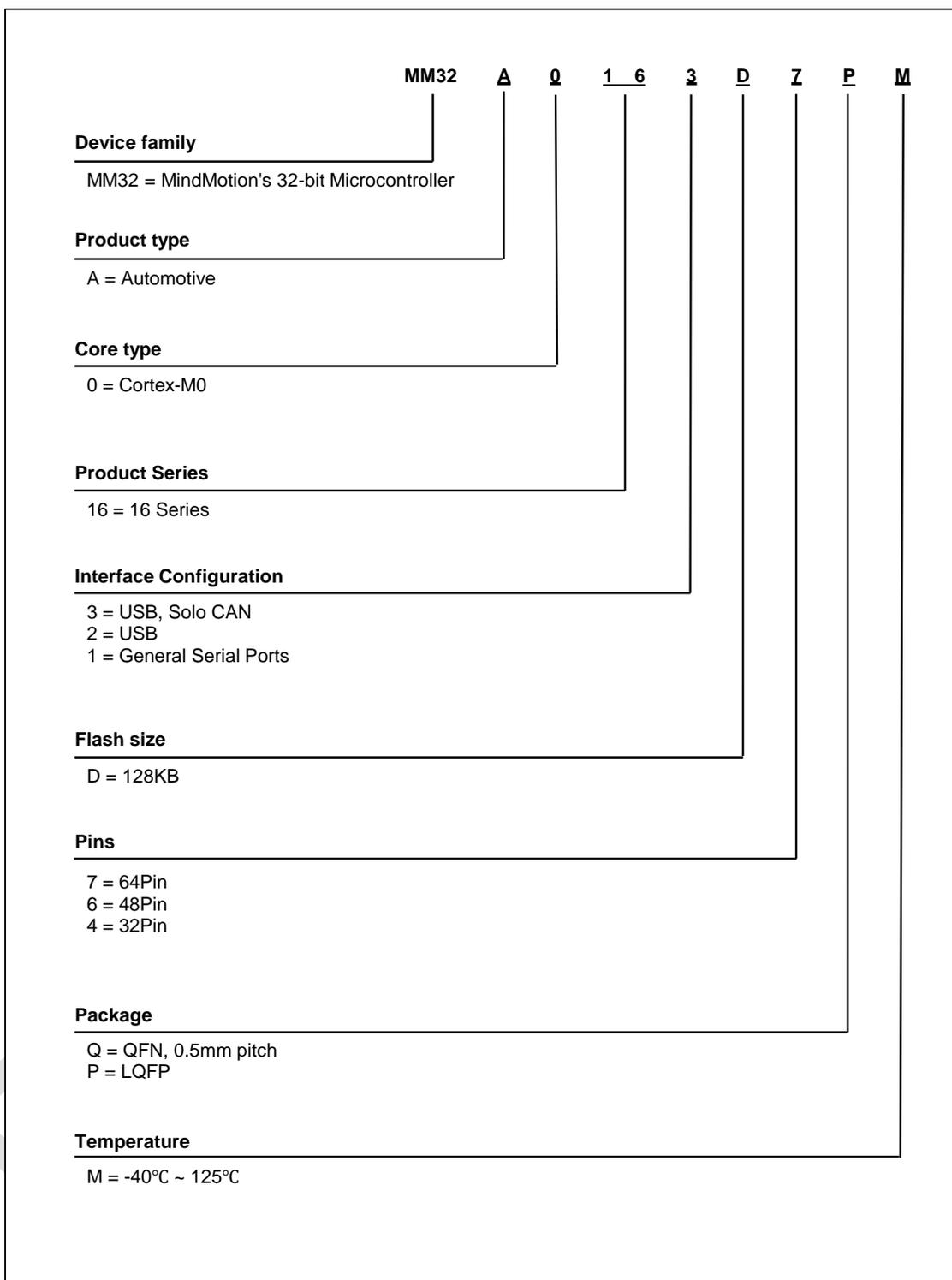


图 2-2 型号命名规则

3 功能描述

3.1 系统框图

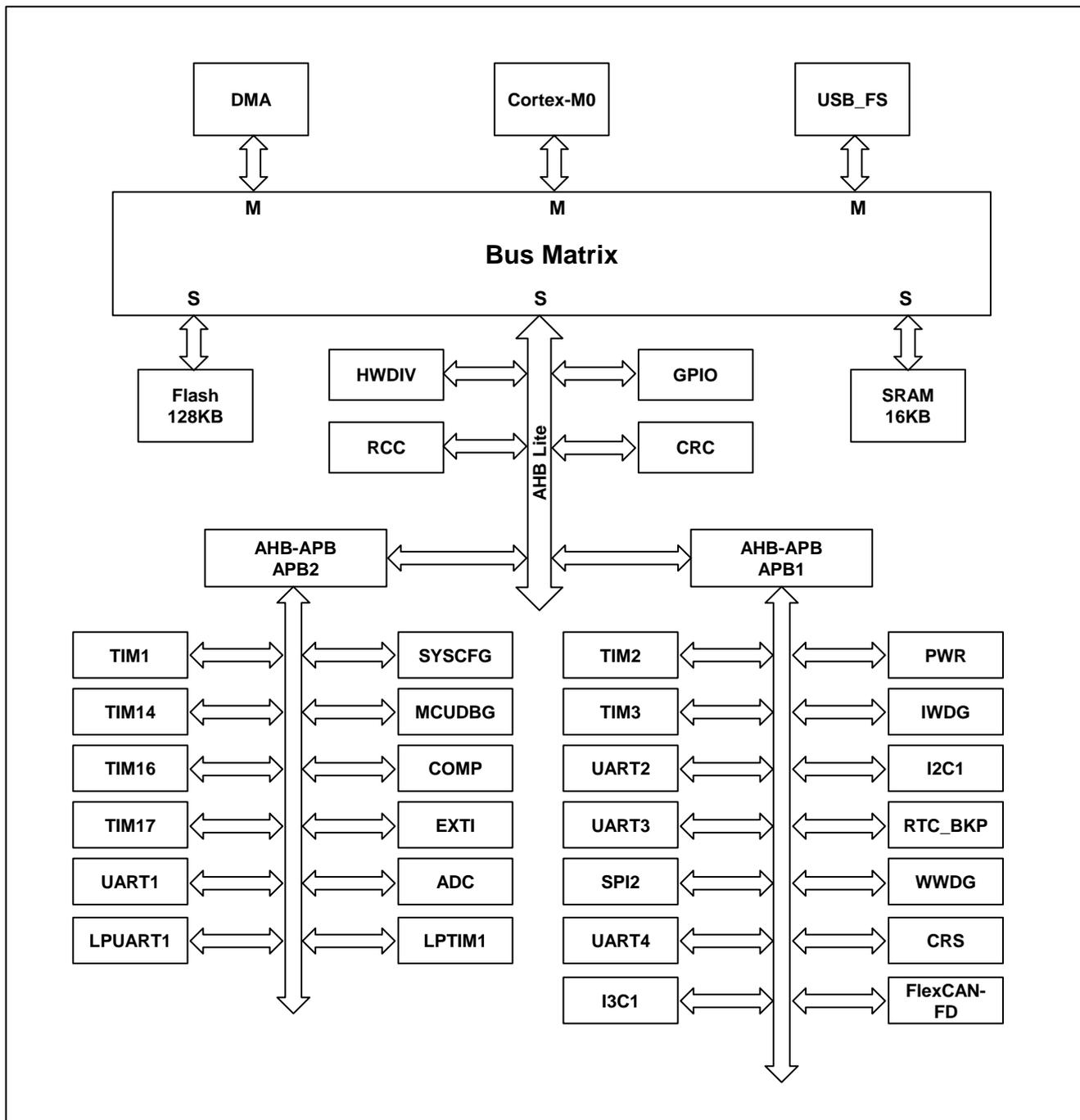


图 3-1 系统框图

3.2 内核简介

Arm® 的 Cortex®-M0 处理器是最新一代的嵌入式 Arm 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

Arm® 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 Arm 内核的高性能。

本产品拥有内置的 Arm 核心，因此它与所有的 Arm 工具和软件兼容。

3.3 总线简介

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和两个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，HWDIV，GPIO 和 CRC）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

3.4 存储器映像

表 3-1 存储器映像

Bus	Address range	Size	Peripheral
Flash	0x00000000 - 0x0001FFFF	128 KB	Map to main Flash, system memory or SRAM according to boot configuration
	0x00020000 - 0x07FFFFFF	127.875 MB	Reserved
	0x08000000 - 0x0801FFFF	128 KB	Main Flash
	0x08020000 - 0x1FFE0FFF	~384 MB	Reserved
	0x1FFE1000 - 0x1FFE25FF	5.5 KB	Encrypted area
	0x1FFE2600 - 0x1FFFF3FF	115.5 KB	Reserved
	0x1FFFF400 - 0x1FFFF7FF	1 KB	System memory
	0x1FFFF800 - 0x1FFFF9FF	0.5 KB	Option bytes
SRAM	0x1FFFFA00 - 0x1FFFFFFF	1.5 KB	Reserved
	0x20000000 - 0x20003FFF	16 KB	SRAM
APB1	0x20004000 - 0x3FFFFFFF	~512 MB	Reserved
	0x40000000 - 0x400003FF	1 KB	TIM2
	0x40000400 - 0x400007FF	1 KB	TIM3
	0x40000800 - 0x400027FF	8 KB	Reserved
	0x40002800 - 0x40002BFF	1 KB	RTC_BKP
	0x40002C00 - 0x40002FFF	1 KB	Reserved
	0x40003000 - 0x400033FF	1 KB	IWDG
0x40003400 - 0x400037FF	1 KB	Reserved	

功能描述

Bus	Address range	Size	Peripheral
	0x40003800 - 0x40003BFF	1 KB	SPI2
	0x40003C00 - 0x400043FF	2 KB	Reserved
	0x40004400 - 0x400047FF	1 KB	UART2
	0x40004800 - 0x40004BFF	1 KB	Reserved
	0x40004C00 - 0x40004FFF	1 KB	UART4
	0x40005000 - 0x400053FF	1 KB	Reserved
	0x40005400 - 0x400057FF	1 KB	I2C1
	0x40005800 - 0x40006BFF	5 KB	Reserved
	0x40006C00 - 0x40006FFF	1 KB	CRS
	0x40007000 - 0x400073FF	1 KB	PWR
	0x40007400 - 0x40009FFF	11 KB	Reserved
	0x4000A000 - 0x4000AFFF	4 KB	I3C1
	0x4000B000 - 0x4000BFFF	4 KB	Reserved
	0x4000C000 - 0x4000FFFF	16 KB	FlexCAN-FD
APB2	0x40010000 - 0x400103FF	1 KB	SYSCFG
	0x40010400 - 0x400107FF	1 KB	EXTI
	0x40010800 - 0x40010BFF	1 KB	LPUART1
	0x40010C00 - 0x400123FF	6 KB	Reserved
	0x40012400 - 0x400127FF	1 KB	ADC
	0x40012800 - 0x40012BFF	1 KB	LPTIM1
	0x40012C00 - 0x40012FFF	1 KB	TIM1
	0x40013000 - 0x400133FF	1 KB	SPI1
	0x40013400 - 0x400137FF	1 KB	DBGMCU
	0x40013800 - 0x40013BFF	1 KB	UART1
	0x40013C00 - 0x40013FFF	1 KB	COMP
	0x40014000 - 0x400143FF	1 KB	TIM14
	0x40014400 - 0x400147FF	1 KB	TIM16
	0x40014800 - 0x40014BFF	1 KB	TIM17
0x40014C00 - 0x4001FFFF	45 KB	Reserved	
AHB1	0x40020000 - 0x400203FF	1 KB	DMA
	0x40020400 - 0x40020FFF	3 KB	Reserved
	0x40021000 - 0x400213FF	1 KB	RCC
	0x40021400 - 0x40021FFF	3 KB	Reserved
	0x40022000 - 0x400223FF	1 KB	Flash Interface
	0x40022400 - 0x40022FFF	3 KB	Reserved
	0x40023000 - 0x400233FF	1 KB	CRC
	0x40023400 - 0x4002FFFF	51 KB	Reserved
	0x40030000 - 0x400303FF	1 KB	HWDIV

Bus	Address range	Size	Peripheral
	0x40030400 - 0x47FFFFFF	~128 MB	Reserved
	0x48000000 - 0x480003FF	1 KB	GPIOA
	0x48000400 - 0x480007FF	1 KB	GPIOB
	0x48000800 - 0x48000BFF	1 KB	GPIOC
	0x48000C00 - 0x48000FFF	1 KB	PIOD
	0x48001000 - 0x4FFFFFFF	~128 MB	Reserved
AHB2	0x50000000 - 0x5003FFFF	256 KB	USB_FS

3.5 Flash

本产品提供最大 128KB 的内置闪存存储器，用于存放程序和数据。

3.6 SRAM

本产品提供最大 16KB 的内置 SRAM。

3.7 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

3.8 外部中断/事件控制器 EXTI

外部中断/事件控制器包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB2 总线时钟周期的电平变化。

3.9 时钟和启动

芯片启动后选择系统时钟。在复位后，首先使用内部的 8 MHz 振荡器作为默认的系统时钟，随后可选择使用外部的 4 ~ 24 MHz 时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，关闭 PLL，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

时钟系统中，使用多个预分频器产生 AHB 总线、高速 APB（APB1 和 APB2）总线的时钟。其中 AHB 和高速 APB 总线的时钟最高可达 72 MHz。

3.10 启动模式

在启动时，通过 BOOT0 引脚和 nBOOT1 选择位可以选择三种启动模式中的一种：

- 从片内 Flash 启动
- 从系统存储区启动
- 从片内 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 UART1 对片内 Flash 重新编程。

3.11 供电方案

- $V_{DD} = 2.0V \sim 5.5V$ ：通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。
- $V_{DDA} = 2.0V \sim 5.5V$ ：为 ADC、复位模块、振荡器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 可以分别连接到 V_{DD} 和 V_{SS} ，也可以单独供电（电压需与 V_{DD} 和 V_{SS} 一致）。

3.12 供电监控器

本产品内部集成了上电复位（POR）/ 掉电复位（PDR）电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态。

器件中还有一个可编程电压监测器（PVD），它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

3.13 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

3.14 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式

与停机模式状态一致，但能够达到更低的电能消耗。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。PLL、HSI 和 HSE 振荡器也都关闭，可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。只有待机电路维持供电。

各低功耗模式下的外设状态如表 3-2 所示。其中：

- Power Down 表示模块掉电，除 Flash 外数据均会丢失。
- Optional 表示外设可通过软件配置开启或关闭
- ON 表示工作
- OFF 表示功能关闭
- Retention 表示数据保留但无法操作
- High-z 表示高阻态

表 3-2 不同功耗模式下的外设状态

Module/Mode	Run	Sleep	Stop	Deep Stop	Standby
Max. Freq.	72MHz	72MHz	40KHz	40KHz	40KHz
PVD	Optional	Optional	Optional	Optional	OFF
POR/BOR	ON	ON	ON	ON	ON
CPU	ON	OFF	OFF	OFF	Power Down
SRAM	ON	ON	Retention	Retention	Power Down
Flash	ON	Standby	Standby	Deep Standby	Power Down

Module/Mode	Run	Sleep	Stop	Deep Stop	Standby
HSI	Optional	Optional	OFF	Power Down	Power Down
PLL1	Optional	Optional	Power Down	Power Down	Power Down
PLL2	Optional	Optional	Power Down	Power Down	Power Down
LSI	Optional	Optional	Optional	Optional	Optional
HSE	Optional	Optional	OFF	OFF	OFF
ADC	Optional	Optional	OFF	OFF	OFF
COMP	Optional	Optional	Optional	Optional	OFF
IWDG	Optional	Optional	Optional	Optional	Optional
RTC	Optional	Optional	Optional	Optional	Optional
LSE	Optional	Optional	Optional	Optional	Optional
Backup registers	Optional	Optional	Optional	Optional	Optional
LPTIM/LPUART	Optional	Optional	Optional	Optional	Power Down
Other Peripherals	Optional	Optional	OFF	OFF	Power Down
I/O	Optional	Optional	Retention	Retention	High-z ⁽¹⁾

1. NRST 保持复位功能，唤醒 I/O (WKUPx) 可以唤醒，RTC 入侵检测引脚 (TAMP1) 可正常工作，RTC 其余 I/O 为高阻态。

3.15 硬件除法器 HWDIV

内嵌硬件除法器单元，能自动执行有符号或者无符号的 32 位整数除法运算。硬件除法在一些高性能的应用中非常有用。

3.16 DMA

本产品内置 7 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 支持的外设类型包括 UART、LPUART、I2C、I3C、SPI、ADC、FlexCAN-FD 和通用、高级和基础定时器。

3.17 定时器和看门狗 TIM & WDG

本产品包含 1 个高级定时器、2 个通用定时器、3 个基本定时器、2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器、基本定时器的功能：

表 3-3 定时器功能比较

Type	Instance	Resolution	Counter direction	pre-divider	DMA request	Capture/compare channels	Complementary output
Advanced	TIM1	16-bit	up, down, up/down	1 to 65536	Yes	4	3
General purpose	TIM2	32-bit	up, down, up/down	1 to 65536	Yes	4	No
	TIM3	16-bit	up, down, up/down	1 to 65536	Yes	4	No
Basic	TIM14	16-bit	up	1 to 65536	Yes	1	No
	TIM16 / TIM17	16-bit	up	1 to 65536	Yes	1	1
Low power	LPTIM1	16-bit	up	Any integer between 1 ~ 128	No	1 (Compare only)	No

高级控制定时器（TIM1）

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器（TIM2 / TIM3）

产品中内置了多达 2 个可同步运行的通用定时器（TIM2、TIM3）。定时器有一个 16/32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_32 位

定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_16 位

每个定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

基本定时器 (TIM14 / TIM16 / TIM17)

产品中内置 3 个基本定时器 (TIM14 / TIM16 / TIM17)，每个定时器有一个 16 位计数器，支持自动重载，仅支持递增计数。定时器有一个 16 位预分频器和 1 个独立通道，每个通道可用于输入捕捉、输出比较、PWM 输出或单脉冲输出。当用作 PWM 模式，TIM14 没有互补输出端口，TIM16 和 TIM17 配备互补输出端口，可生成互补 PWM 对，支持硬件死区插入。

低功耗定时器 (LPTIM)

LPTIM 由一个 16 位计数器组成，可以为用户提供便捷的计数定时功能。LPTIM 可以在各种低功耗模式下，具有低功耗的特点。LPTIM 的时钟也可由外部时钟提供，工作在没有任何内部时钟的环境中，可以在休眠模式下实现外部脉冲计数功能。通过外部输入的触发信号，能够实现低功耗超时唤醒。LPTIM 具有外部时钟计数，超时唤醒功能，PWM 输出等多种用途。

独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗 (WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.18 RTC

实时时钟（Real-Time Clock, RTC）是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。RTC 模块和时钟配置系统（RCC_BDCR 寄存器）处于后备区域，即在系统复位或待机模式唤醒后，RTC 的设置和时间维持不变。

3.19 备份寄存器

备份寄存器是 10 个 16 位的寄存器，用来存储用户应用程序数据。当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

3.20 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.21 UART

本产品中内嵌 4 个 UART 接口。支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位可配置。UART 的最快速度可达到 4.5 Mbps。所有 UART 接口都可以使用 DMA 操作。

3.22 LPUART

本产品中内嵌 1 个低功耗 UART 接口（LPUART），相比于 UART，其功耗更低，并支持在 Stop 和 Deep Stop 模式下运行以及唤醒芯片。LPUART 工作时钟可选配为 HSI、LSI、LSE 或外设时钟。

3.23 I2C

本产品中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准（100 Kbps）和快速模式（400 Kbps），支持 7 位或 10 位寻址。所有 I2C 接口都可以使用 DMA 操作。

3.24 I3C

本产品中内嵌 1 个 I3C 从机接口。I3C 接口符合 MIPI I3C v1.0 基础协议规范，在多方面对 I2C 协议提供了升级，并保持了和 I2C 协议的兼容性。I3C 支持最高 12.5 MHz 时钟频率。I3C 支持 DMA 操作。

3.25 SPI

本产品中内嵌 2 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 36 Mbps，从模式最大速率 18 Mbps。所有的 SPI 接口都可以使用 DMA 操作。

3.26 I2S

本产品中内嵌 2 个 I2S 接口，与 SPI 共用三个管脚，支持半双工通信（仅发射机或接收机），支持主操作或从操作，发射模式下的下溢标志（仅从机），接收模式下的上溢标志（主和从机）和接收/发射模式下的帧错误标志（仅从机）。8 位可编程线性预分频器，以达到精确的音频采样频率（8KHz 到 192KHz）。数据格式可以是 16 位、24 位或 32 位，数据包帧固定为 16 位（16 位数据帧）或 32 位（16 位、24 位、32 位数据帧）。

3.27 FlexCAN-FD

本产品内嵌 1 个 FlexCAN-FD 接口，兼容规范 2.0A、2.0B（主动）和 CAN-FD 模式。在 CAN-FD 模式下，系统中集成了独立的 PLL2 来为 FlexCAN-FD 模块提供时钟源，因此可实现最高 8 Mbps 的 FD 模式通信速率。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

3.28 USB FS

本产品内嵌 1 个 USB 控制器，兼容 USB 2.0 全速规范，提供最高 12 Mbps 数据速率，支持设备（Device）模式。USB 控制器提供最高 8 个端点。产品内置了 USB PHY。

3.29 ADC

产品内嵌 1 个 12 位的模拟/数字转换器（ADC），可用的 ADC 外部通道多达 14 个，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器（TIMx）和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC 的输入通道上，用于将传感器的输出转换到数字数值。

3.30 模拟比较器 COMP

产品内嵌 2 个模拟比较器（COMP），可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。可以选择外部 I/O 引脚上的电平、内部电压参考（CRV）的输出电压做为比较器的参考电压，其中，CRV 的输出电压通过 V_{DDA} 或内部带隙基准电压的 4 位电阻分压实现。COMP 可用于多种功能，包括：由模拟信号触发低功耗模式唤醒事件；为实现快速 PWM 关断的刹车事件；捕获事件或用于逐周期电流控制的 OCref_clr 事件等。COMP 支持可编程的迟滞电压，可编程的速率和功耗。

3.31 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

3.32 SWD

内嵌 Arm 标准的两线串行调试接口（SW-DP）。

4 引脚定义及复用功能

4.1 引脚分布图

4.1.1 LQFP64 引脚分布

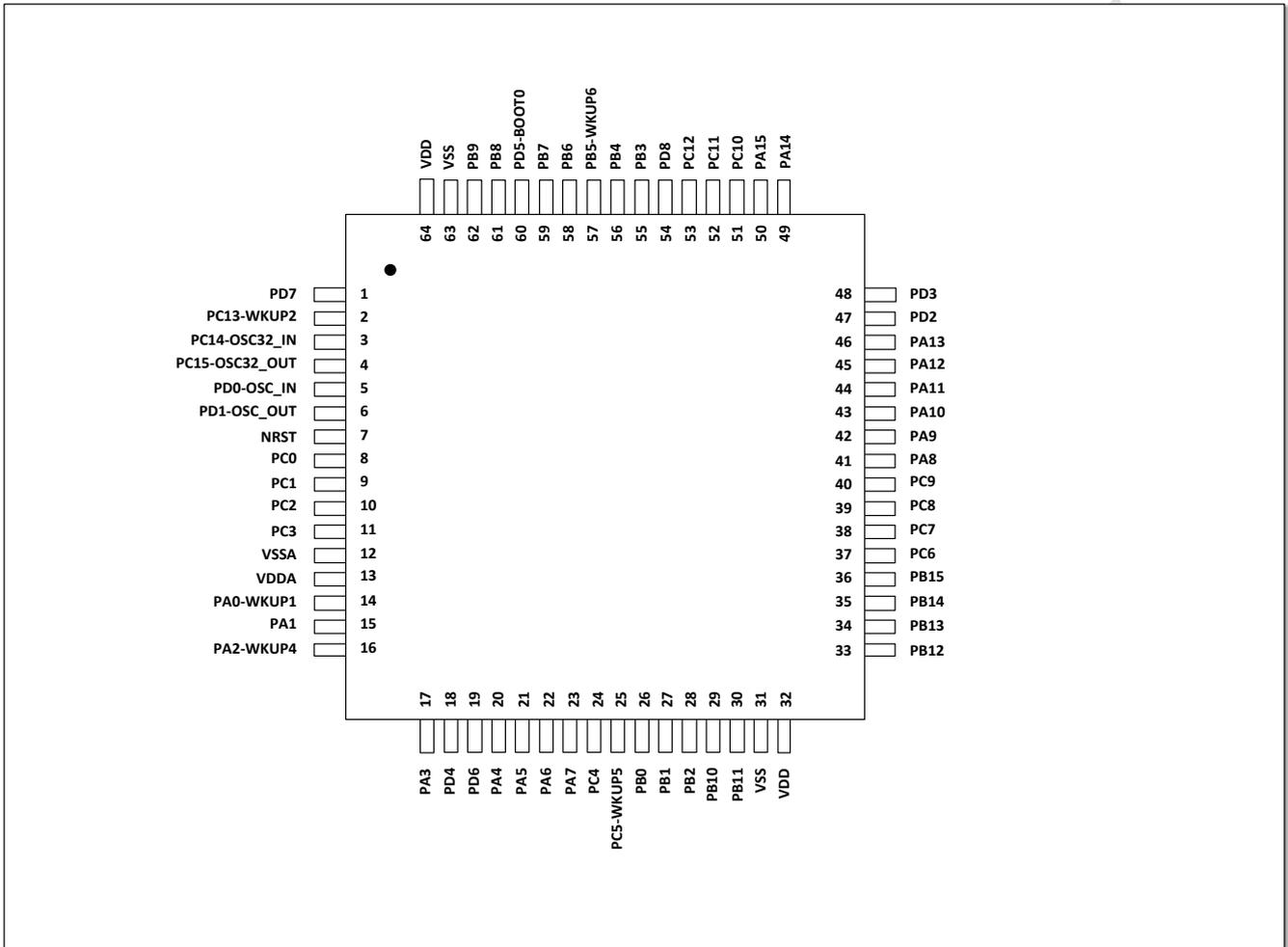


图 4-1 LQFP64 引脚分布

4.1.2 LQFP48 引脚分布

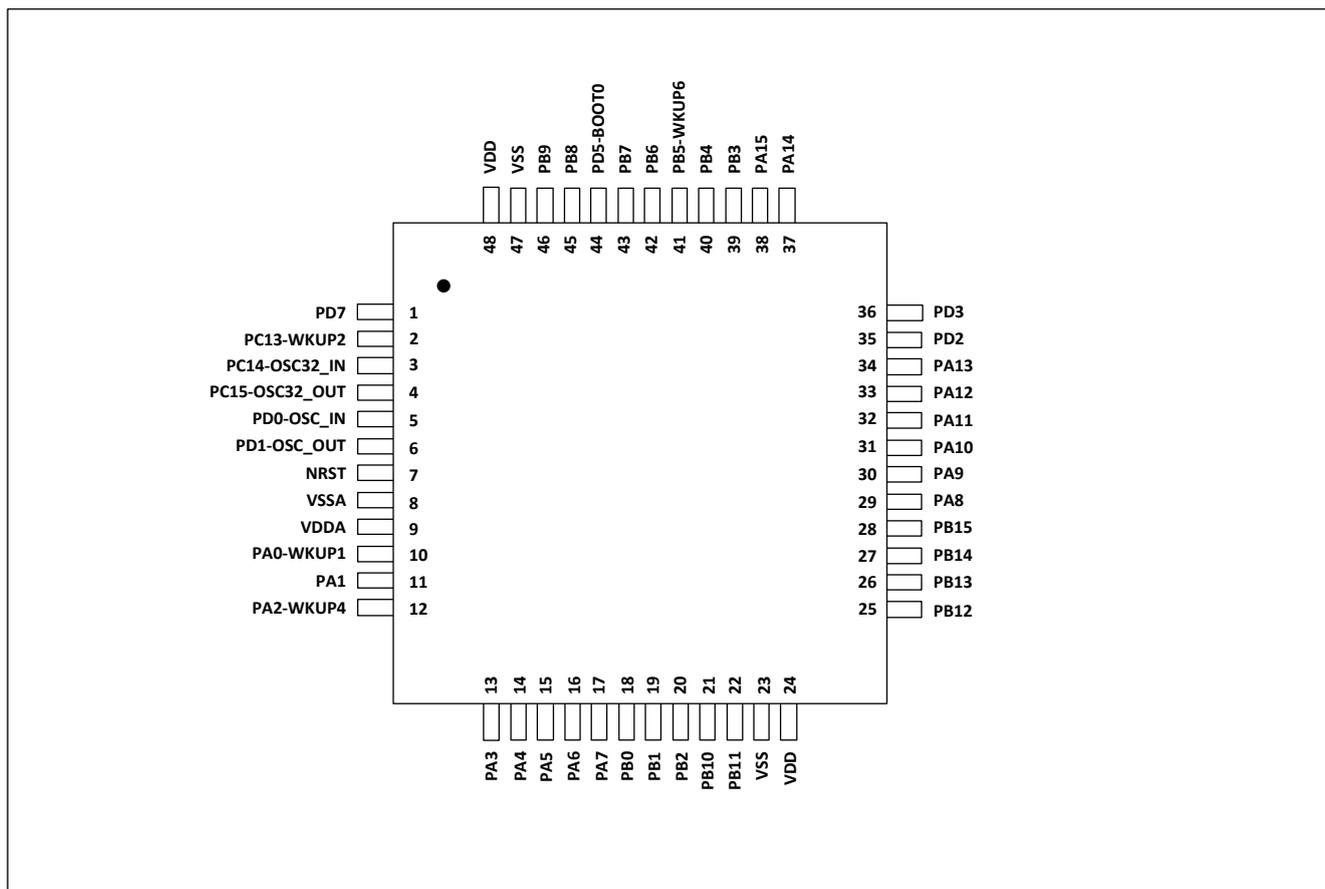


图 4-2 LQFP48 引脚分布

4.1.3 QFN32 引脚分布

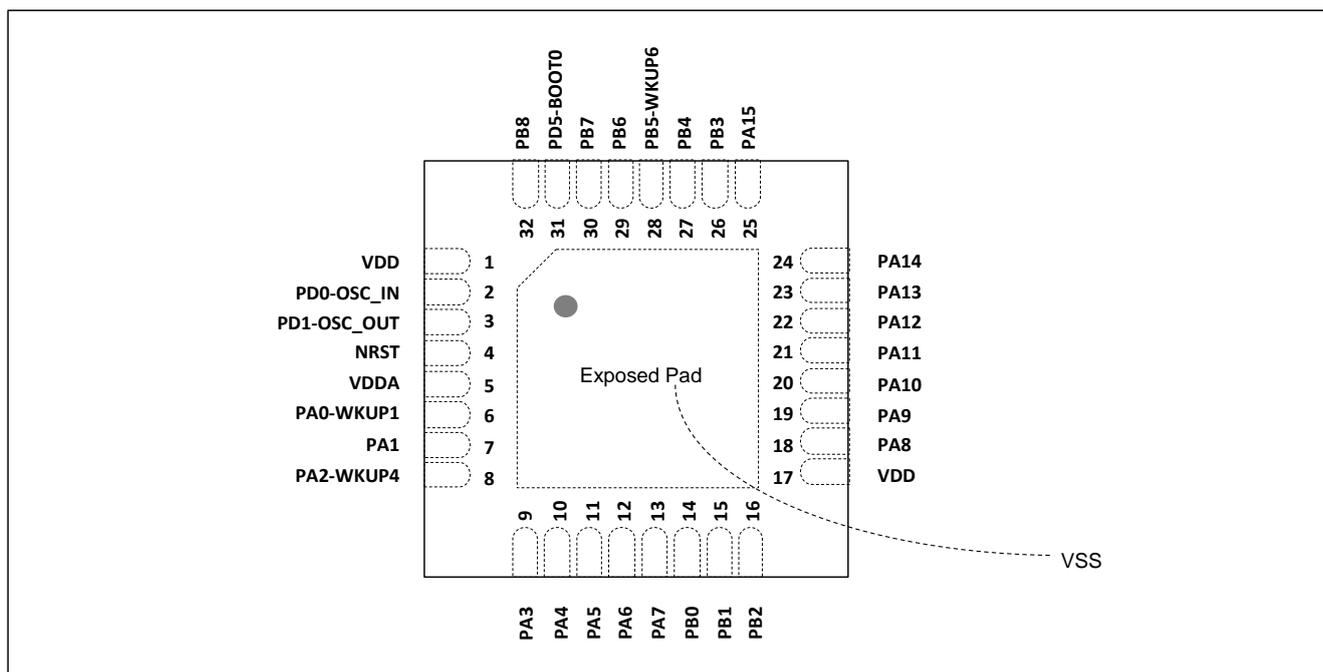


图 4-3 QFN32 引脚分布

4.2 引脚定义表

表 4-1 引脚定义

LQFP6 4	LQFP4 8	QFN32	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
1	1	-	PD7	I/O	TC	PD7	TIM2_CH4 TIM17_CH1	-
2	2	-	PC13 WKUP2	I/O	TC	PC13	TIM2_CH1	TAMP1
3	3	-	PC14 OSC32_IN	I/O	TC	PC14	TIM2_CH2	-
4	4	-	PC15 OSC32_O UT	I/O	TC	PC15	TIM2_CH3	-
5	5	2	PD0 OSC_IN	I/O	TC	PD0	UART3_TX I2C1_SDA CRS_SYNC	-
6	6	3	PD1 OSC_OUT	I/O	TC	PD1	UART3_RX I2C1_SCL	-
7	7	4	NRST	I/O	TC	NRST	-	-
8	-	-	PC0	I/O	TC	PC0	LPUART1_TX	-
9	-	-	PC1	I/O	TC	PC1	LPUART1_RX	-
10	-	-	PC2	I/O	TC	PC2	SPI2_MISO/I2S2_ MCK LPTIM1_TRIG	-
11	-	-	PC3	I/O	TC	PC3	SPI2_MOSI/I2S2_ SD LPTIM1_OUT	ADC1_VIN[13]
12	8	-	VSSA	S	-	VSSA	-	-
13	9	5	VDDA	S	-	VDDA	-	-
14	10	6	PA0 WKUP1	I/O	TC	PA0	UART2_CTS TIM2_CH1/ TIM2_ETR SPI2_NSS/I2S2_ WS TIM2_CH3 UART4_TX COMP1_OUT	ADC1_VIN[0] COMP2_INP[0]/COMP1_INM [3]
15	11	7	PA1	I/O	TC	PA1	UART2_RTS TIM2_CH2 UART4_RX	ADC1_VIN[1] COMP1_INP[0]/COMP2_INP[1]
16	12	8	PA2 WKUP4	I/O	TC	PA2	UART2_TX TIM2_CH3 SPI2_NSS/I2S2_ WS I3C1_SCL COMP2_OUT	ADC1_VIN[2] COMP1_INP[1]/COMP2_INP[2]/COMP2_IN M[3]
17	13	9	PA3	I/O	TC	PA3	UART2_RX TIM2_CH4 I3C1_SDA	ADC1_VIN[3] COMP1_INP[2]/COMP2_INP[3]
18	-	-	PD4	I/O	TC	PD4	SPI1_MISO/I2S1_ MCK	-
19	-	-	PD6	I/O	TC	PD6	SPI1_MOSI/I2S1_ SD	-

引脚定义及复用功能

LQFP6 4	LQFP4 8	QFN32	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
20	14	10	PA4	I/O	TC	PA4	SPI1_NSS/I2S1_WS LPUART1_TX TIM1_BKIN TIM14_CH1 I2C1_SDA	ADC1_VIN[4] COMP1_INP[3] /COMP2_INM [0]
21	15	11	PA5	I/O	TC	PA5	SPI1_SCK/I2S1_CK LPUART1_RX TIM2_CH1/ TIM2_ETR TIM1_ETR I2C1_SCL TIM1_CH3N	ADC1_VIN[5] COMP1_INM[0]/COMP2_IN M[1]
22	16	12	PA6	I/O	TC	PA6	SPI1_MISO/I2S1_MCK TIM3_CH1 TIM1_BKIN UART2_RX TIM1_ETR TIM16_CH1 TIM1_CH3 COMP1_OUT COMP1_OUT	ADC1_VIN[6] COMP1_INM[1]/COMP2_IN M[2]
23	17	13	PA7	I/O	TC	PA7	SPI1_MOSI/I2S1_SD TIM3_CH2 TIM1_CH1N TIM14_CH1 TIM17_CH1 TIM1_CH2N TIM1_CH3N COMP2_OUT	ADC1_VIN[7] COMP1_INM[2]
24	-	-	PC4	I/O	TC	PC4	UART3_TX TIM3_CH1 SPI1_MOSI/I2S1_SD	-
25	-	-	PC5 WKUP5	I/O	TC	PC5	UART3_RX TIM3_CH2 SPI1_MISO/I2S1_MCK	-
26	18	14	PB0	I/O	TC	PB0	TIM3_CH3 TIM1_CH2N TIM1_CH1N TIM1_CH3	ADC1_VIN[8]
27	19	15	PB1	I/O	TC	PB1	TIM14_CH1 TIM3_CH4 TIM1_CH3N TIM1_CH4 TIM1_CH2N MCO TIM1_CH2 TIM1_CH1N UART3_RTS	ADC1_VIN[9]
28	20	16	PB2	I/O	TC	PB2	-	-
29	21	-	PB10	I/O	TC	PB10	I3C1_SCL I2C1_SCL TIM2_CH3 UART3_TX SPI2_SCK/I2S2_CK	-

引脚定义及复用功能

LQFP6 4	LQFP4 8	QFN32	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
30	22	-	PB11	I/O	TC	PB11	I3C1_SDA I2C1_SDA TIM2_CH4 UART3_RX	-
31	23	-	VSS	S	-	VSS	-	-
32	24	17	VDD	S	-	VDD	-	-
33	25	-	PB12	I/O	TC	PB12	SPI2_NSS/I2S2_ WS SPI2_SCK/I2S2_ CK TIM1_BKIN SPI2_MOSI/I2S2_ SD SPI2_MISO/I2S2_ MCK I3C1_SCL LPTIM1_TRIG	-
34	26	-	PB13	I/O	TC	PB13	SPI2_SCK/I2S2_ CK SPI2_MISO/I2S2_ MCK TIM1_CH1N SPI2_NSS/I2S2_ WS SPI2_MOSI/I2S2_ SD I2C1_SCL TIM1_CH3N TIM2_CH1 UART3_CTS	-
35	27	-	PB14	I/O	TC	PB14	SPI2_MISO/I2S2_ MCK SPI2_MOSI/I2S2_ SD TIM1_CH2N SPI2_SCK/I2S2_ CK SPI2_NSS/I2S2_ WS I2C1_SDA TIM1_CH3 TIM1_CH1 UART3_RTS	-
36	28	-	PB15	I/O	TC	PB15	SPI2_MOSI/I2S2_ SD SPI2_NSS/I2S2_ WS TIM1_CH3N SPI2_MISO/I2S2_ MCK SPI2_SCK/I2S2_ CK I3C1_SDA TIM1_CH2N TIM1_CH2 LPTIM1_OUT	-
37	-	-	PC6	I/O	TC	PC6	TIM3_CH1 TIM2_CH4 SPI1_NSS/I2S1_ WS	-

引脚定义及复用功能

LQFP6 4	LQFP4 8	QFN32	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
38	-	-	PC7	I/O	TC	PC7	TIM3_CH2 TIM2_CH3 SPI1_SCK/I2S1_ CK	-
39	-	-	PC8	I/O	TC	PC8	TIM3_CH3 TIM2_CH2	-
40	-	-	PC9	I/O	TC	PC9	TIM3_CH4 TIM2_CH1/ TIM2_ETR	-
41	29	18	PA8	I/O	TC	PA8	MCO TIM1_CH1 TIM1_CH2 TIM1_CH3 CRS_SYNC	-
42	30	19	PA9	I/O	TC	PA9	UART1_TX TIM1_CH2 UART1_RX I2C1_SCL MCO TIM1_CH1N TIM1_CH4 CAN_RX	-
43	31	20	PA10	I/O	TC	PA10	TIM17_BKIN UART1_RX TIM1_CH3 UART1_TX I2C1_SDA TIM1_CH1 SPI2_SCK/I2S2_ CK CAN_TX	-
44	32	21	PA11	I/O	TC	PA11	UART3_TX UART1_CTS TIM1_CH4 CAN_RX SPI2_MOSI/I2S2_ SD I2C1_SCL COMP1_OUT	USBDM
45	33	22	PA12	I/O	TC	PA12	UART3_RX UART1_RTS TIM1_ETR CAN_TX SPI2_MISO/I2S2_ MCK I2C1_SDA TIM1_CH2 COMP2_OUT	USBDP
46	34	23	PA13	I/O	TC	PA13	SWDIO UART1_TX SPI2_MISO/I2S2_ MCK MCO TIM1_CH2 TIM1_BKIN	-
47	35	-	PD2	I/O	TC	PD2	I3C1_SCL	-
48	36	-	PD3	I/O	TC	PD3	I3C1_SDA	-
49	37	24	PA14	I/O	TC	PA14	SWDCLK UART2_TX UART1_RX SPI1_NSS/I2S1_ WS	-

引脚定义及复用功能

LQFP6 4	LQFP4 8	QFN32	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
50	38	25	PA15	I/O	TC	PA15	SPI1_NSS/I2S1_WS UART2_RX TIM2_CH1/ TIM2_ETR UART4_RTS	-
51	-	-	PC10	I/O	TC	PC10	UART4_TX UART3_TX	-
52	-	-	PC11	I/O	TC	PC11	UART4_RX UART3_RX	-
53	-	-	PC12	I/O	TC	PC12	-	-
54	-	-	PD8	I/O	TC	PD8	TIM3_ETR UART3_RTS	-
55	39	26	PB3	I/O	TC	PB3	SPI1_SCK/I2S1_CK TIM2_CH2 UART1_TX TIM2_CH3 TIM1_CH1 TIM2_CH1	ADC1_VIN[10]
56	40	27	PB4	I/O	TC	PB4	SPI1_MISO/I2S1_MCK TIM3_CH1 UART1_RX TIM17_BKIN TIM1_CH2 TIM2_CH2	ADC1_VIN[11]
57	41	28	PB5 WKUP6	I/O	TC	PB5	SPI1_MOSI/I2S1_SD TIM3_CH2 TIM16_BKIN MCO TIM1_CH3 TIM2_CH3	-
58	42	29	PB6	I/O	TC	PB6	UART1_TX I2C1_SCL TIM16_CH1N TIM2_CH1	-
59	43	30	PB7	I/O	TC	PB7	UART1_RX I2C1_SDA TIM17_CH1N UART2_TX UART4_CTS	ADC1_VIN[12]
60	44	31	PD5 BOOT0	I/O	TC	PD5	-	-
61	45	32	PB8	I/O	TC	PB8	I2C1_SCL TIM16_CH1 CAN_RX UART2_RX	-
62	46	-	PB9	I/O	TC	PB9	I2C1_SDA TIM17_CH1 CAN_TX TIM1_CH4 SPI2_NSS/I2S2_WS	-
63	47	-	VSS	S	-	VSS	-	-
64	48	1	VDD	S	-	VDD	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻

2. TC: 标准 IO, 输入信号不超过 VDD 电压

4.3 引脚复用

表 4-2 PA 端口功能复用 AF0-AF8

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8
PA0	-	UART2_CTS	TIM2_CH1/ TIM2_ETR	SPI2_NSS/ 2S2_WS	TIM2_CH3	UART4_TX	-	COMP1_OUT	-
PA1	-	UART2_RTS	TIM2_CH2	-	-	UART4_RX	-	-	-
PA2	-	UART2_TX	TIM2_CH3	SPI2_NSS/ 2S2_WS	-	I3C1_SCL	-	COMP2_OUT	-
PA3	-	UART2_RX	TIM2_CH4	-	-	I3C1_SDA	-	-	-
PA4	SPI1_NSS/ 2S1_WS	LPUART1_TX	-	TIM1_BKIN	TIM14_CH1	I2C1_SDA	-	-	-
PA5	SPI1_SCK/ 2S1_CK	LPUART1_RX	TIM2_CH1/ TIM2_ETR	TIM1_ETR	-	I2C1_SCL	TIM1_CH3N	-	-
PA6	SPI1_MISO/ I2S1_MCK	TIM3_CH1	TIM1_BKIN	UART2_RX	TIM1_ETR	TIM16_CH1	TIM1_CH3	COMP1_OUT	COMP1_OUT
PA7	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	TIM1_CH2N	TIM1_CH3N	COMP2_OUT
PA8	MCO	-	TIM1_CH1	-	-	-	TIM1_CH2	TIM1_CH3	CRS_SYNC
PA9	-	UART1_TX	TIM1_CH2	UART1_RX	I2C1_SCL	MCO	TIM1_CH1N	TIM1_CH4	CAN_RX
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I2C1_SDA	-	TIM1_CH1	SPI2_SCK/ 2S2_CK	CAN_TX
PA11	UART3_TX	UART1_CTS	TIM1_CH4	CAN_RX	SPI2_MOSI/ I2S2_SD	I2C1_SCL	-	COMP1_OUT	-
PA12	UART3_RX	UART1_RTS	TIM1_ETR	CAN_TX	SPI2_MISO/ I2S2_MCK	I2C1_SDA	-	TIM1_CH2	COMP2_OUT
PA13	SWDIO	-	UART1_TX	-	SPI2_MISO/ I2S2_MCK	MCO	TIM1_CH2	TIM1_BKIN	-
PA14	SWDCLK	UART2_TX	UART1_RX	SPI1_NSS/ 2S1_WS	-	-	-	-	-
PA15	SPI1_NSS/ 2S1_WS	UART2_RX	TIM2_CH1/ TIM2_ETR	-	-	UART4_RTS	-	-	-

引脚定义及复用功能

表 4-3 PB 端口功能复用 AF0-AF8

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8
PB0	-	TIM3_CH3	TIM1_CH2 N	TIM1_CH1 N	TIM1_CH3	-	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3 N	TIM1_CH4	TIM1_CH2 N	MCO	TIM1_CH2	TIM1_CH1 N	UART3_RT S
PB2	-	-	-	-	-	-	-	-	-
PB3	SPI1_SCK/ 2S1_CK	-	TIM2_CH2	UART1_TX	TIM2_CH3	-	TIM1_CH1	TIM2_CH1	-
PB4	SPI1_MISO /I2S1_MCK	TIM3_CH1	-	UART1_RX	-	TIM17_BK1 N	TIM1_CH2	TIM2_CH2	-
PB5	SPI1_MOSI /I2S1_SD	TIM3_CH2	TIM16_BK1 N	MCO	-	-	TIM1_CH3	TIM2_CH3	-
PB6	UART1_TX	I2C1_SCL	TIM16_CH1 N	-	TIM2_CH1	-	-	-	-
PB7	UART1_RX	I2C1_SDA	TIM17_CH1 N	-	UART2_TX	UART4_CT S	-	-	-
PB8	-	I2C1_SCL	TIM16_CH1	CAN_RX	UART2_RX	-	-	-	-
PB9	-	I2C1_SDA	TIM17_CH1	CAN_TX	TIM1_CH4	SPI2_NSS/ 2S2_WS	-	-	-
PB10	I3C1_SCL	I2C1_SCL	TIM2_CH3	-	UART3_TX	SPI2_SCK/ 2S2_CK	-	-	-
PB11	I3C1_SDA	I2C1_SDA	TIM2_CH4	-	UART3_RX	-	-	-	-
PB12	SPI2_NSS/ 2S2_WS	SPI2_SCK/ 2S2_CK	TIM1_BKIN	SPI2_MOSI /I2S2_SD	SPI2_MISO /I2S2_MCK	I3C1_SCL	-	-	LPTIM1_TR IG
PB13	SPI2_SCK/ 2S2_CK	SPI2_MISO /I2S2_MCK	TIM1_CH1 N	SPI2_NSS/ 2S2_WS	SPI2_MOSI /I2S2_SD	I2C1_SCL	TIM1_CH3 N	TIM2_CH1	UART3_CT S
PB14	SPI2_MISO /I2S2_MCK	SPI2_MOSI /I2S2_SD	TIM1_CH2 N	SPI2_SCK/ 2S2_CK	SPI2_NSS/ 2S2_WS	I2C1_SDA	TIM1_CH3	TIM1_CH1	UART3_RT S
PB15	SPI2_MOSI /I2S2_SD	SPI2_NSS/ 2S2_WS	TIM1_CH3 N	SPI2_MISO /I2S2_MCK	SPI2_SCK/ 2S2_CK	I3C1_SDA	TIM1_CH2 N	TIM1_CH2	LPTIM1_O UT

引脚定义及复用功能

表 4-4 PC 端口功能复用 AF0-AF8

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8
PC0	-	-	LPUART1_TX	-	-	-	-	-	-
PC1	-	-	LPUART1_RX	-	-	-	-	-	-
PC2	-	SPI2_MISO/ I2S2_MCK	-	LPTIM1_TRIG	-	-	-	-	-
PC3	-	SPI2_MOSI/ I2S2_SD	-	LPTIM1_OUT	-	-	-	-	-
PC4	-	UART3_TX	-	-	-	TIM3_CH1	SPI1_MOSI/ I2S1_SD	-	-
PC5	-	UART3_RX	-	-	-	TIM3_CH2	SPI1_MISO/ I2S1_MCK	-	-
PC6	TIM3_CH1	-	-	TIM2_CH4	-	-	SPI1_NSS/ I2S1_WS	-	-
PC7	TIM3_CH2	-	-	TIM2_CH3	-	-	SPI1_SCK/ I2S1_CK	-	-
PC8	TIM3_CH3	-	-	TIM2_CH2	-	-	-	-	-
PC9	TIM3_CH4	-	-	TIM2_CH1/ TIM2_ETR	-	-	-	-	-
PC10	UART4_TX	UART3_TX	-	-	-	-	-	-	-
PC11	UART4_RX	UART3_RX	-	-	-	-	-	-	-
PC12	-	-	-	-	-	-	-	-	-
PC13	-	-	-	-	-	-	TIM2_CH1	-	-
PC14	-	-	-	-	-	-	TIM2_CH2	-	-
PC15	-	-	-	-	-	-	TIM2_CH3	-	-

引脚定义及复用功能

表 4-5 PD 端口功能复用 AF0-AF8

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8
PD0	UART3_TX	I2C1_SDA	CRS_SYNC	-	-	-	-	-	-
PD1	UART3_RX	I2C1_SCL	-	-	-	-	-	-	-
PD2	-	I3C1_SCL	-	-	-	-	-	-	-
PD3	-	I3C1_SDA	-	-	-	-	-	-	-
PD4	SPI1_MISO/ I2S1_MCK	-	-	-	-	-	-	-	-
PD5	-	-	-	-	-	-	-	-	-
PD6	SPI1_MOSI/ I2S1_SD	-	-	-	-	-	-	-	-
PD7	-	-	-	-	-	-	TIM2_CH4	TIM17_CH1	-
PD8	TIM3_ETR	UART3_RT S	-	-	-	-	-	-	-

5 电气特性

5.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

5.1.1 负载电容

测量引脚参数时的负载条件示于图 5-1。

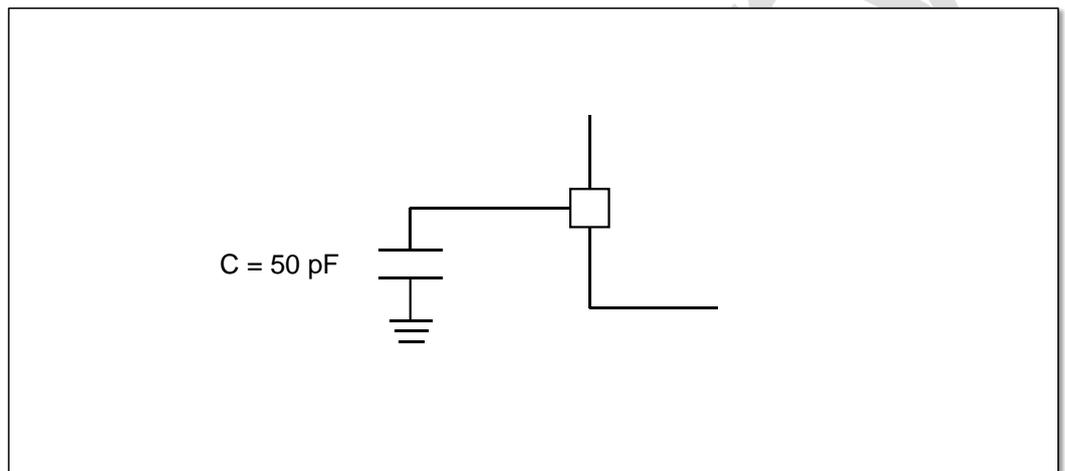


图 5-1 引脚的负载条件

5.1.2 引脚输入电压

引脚上输入电压的测量方式示于图 5-2。

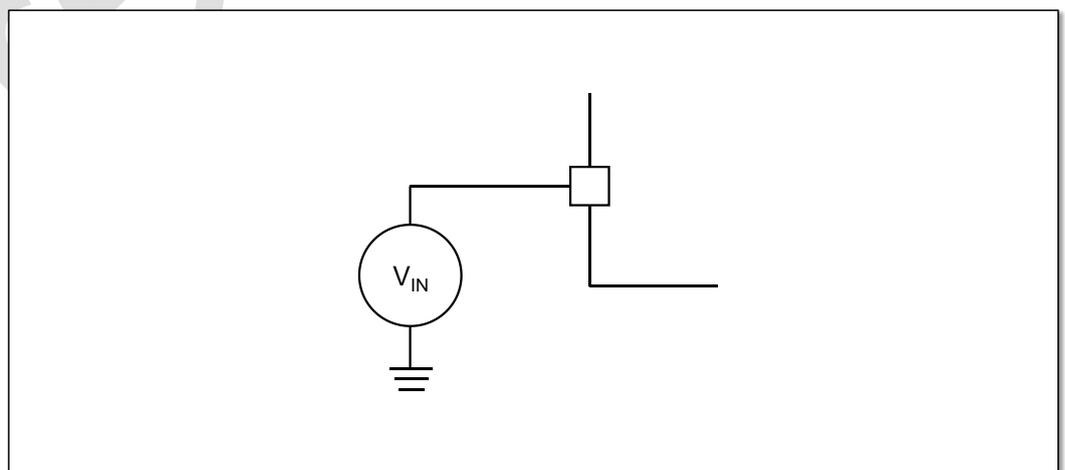


图 5-2 引脚输入电压

5.1.3 供电方案

供电设计方案示于下图 5-3。

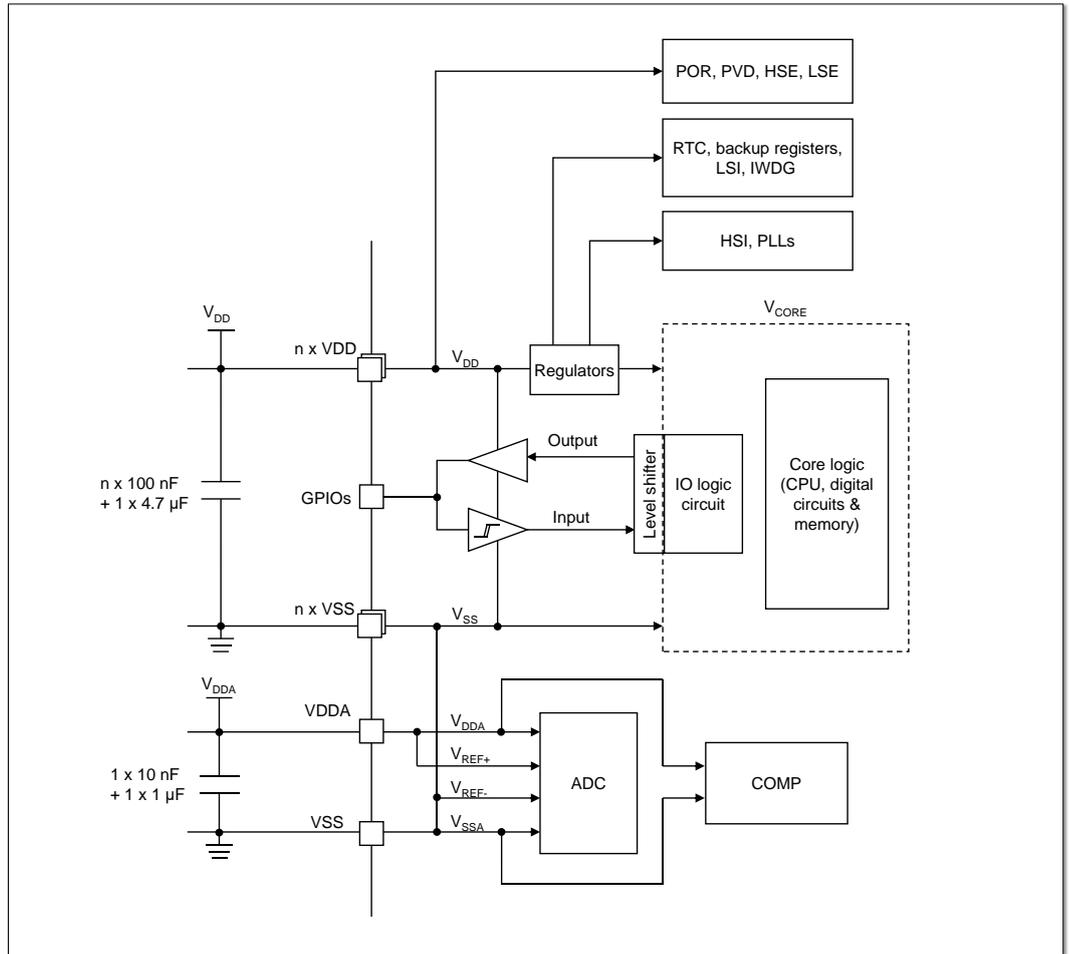


图 5-3 供电方案

备注:

1. 为使芯片达到最佳性能，每组电源地之间建议使用上图所示的滤波陶瓷电容去耦。
2. 上图所示的 4.7μF 电容需连接到其中一个 VDD 引脚。
3. 本产品的 VDDA 和 VREF+ 在芯片内部均接到 VDDA 引脚，VSS、VSSA 和 VREF- 在芯片内部均连接到 VSS 引脚。

5.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图 5-4。

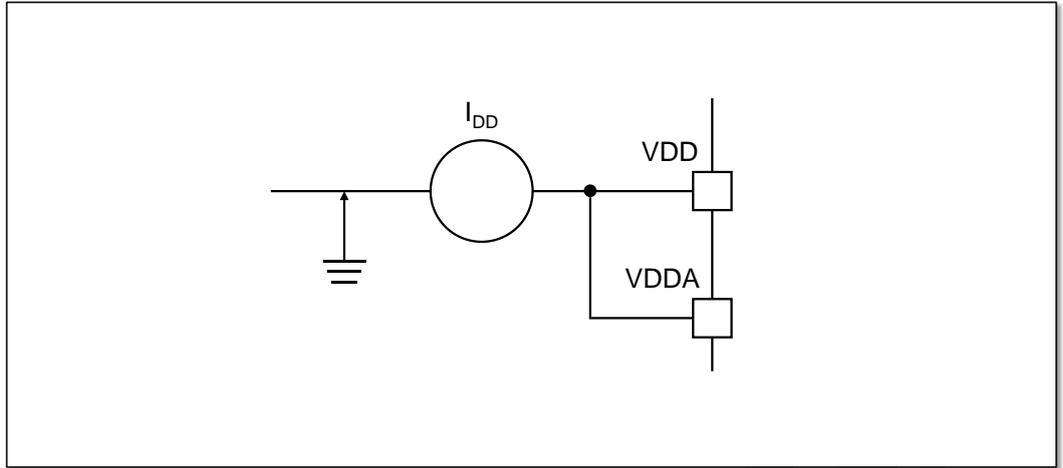


图 5-4 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 5-1、表 5-2 和 表 5-3）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-1 电压特性

Symbol	Description	Minimum	Maximum	Unit
V _{DDx} -V _{SSx}	External main supply voltage (including V _{DDA} and V _{SSA}) ⁽¹⁾	-0.3	5.8	V
V _{IN} ⁽²⁾	Input voltage on other pins	V _{SS} -0.3	V _{DD} +0.3	

1. 所有的电源（V_{DD}, V_{DDA}）和地（V_{SS}, V_{SSA}）引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 5-2 电流特性

Symbol	Description	Maximum	Unit
I _{VDD/VDDA} ⁽¹⁾	Total current through V _{DD} /V _{DDA} power pins (supply current) ⁽¹⁾	+120	mA
I _{VSS/VSSA} ⁽¹⁾	Total current through V _{SS} /V _{SSA} ground pins (outflow current) ⁽¹⁾	-120	
I _{IO}	Output sink current on any I/O and control pins	+25	
	Output current on any I/O and control pins	-25	
I _{INJ(PIN)} ⁽²⁾⁽³⁾	NRST pin injection current	±5	
	HSE OSC_IN pin injection current	±5	
∑I _{INJ(PIN)} ⁽⁵⁾	Other pins injection current ⁽⁴⁾	±25	

1. 在允许的范围内，所有主电源（V_{DD}、V_{DDA}）和接地（V_{SS}、V_{SSA}）引脚必须始终连接到外部电源。

电气特性

2. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
3. 反向注入电流会干扰器件的模拟性能。
4. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得超出 I_{INJ} (PIN)。
5. 当多个输入同时存在注入电流时， ΣI_{INJ} (PIN) 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

5.3 工作条件

5.3.1 通用工作条件

表 5-3 通用工作条件

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{HCLK}	Internal AHB clock frequency	-	-	-	72	MHz
f _{PCLK2}	Internal APB2 clock frequency	-	-	-	72	
f _{PCLK1}	Internal APB1 clock frequency	-	-	-	72	
V _{DD}	Digital circuit operating voltage	-	2.0	3.3	5.5	V
V _{DDA}	Analog circuit operating voltage (Performance is guaranteed)	Must be the same as V _{DD} ⁽¹⁾	2.5	3.3	5.5	
	Analog circuit operating voltage (Performance is not guaranteed)		2.0	-	2.5	
P _D	Power dissipation ⁽²⁾	LQFP64	-	-	339	mW
		LQFP48	-	-	357	
		QFN32	-	-	571	
T _A	Ambient temperature	-	-40	-	125	°C
T _J	Junction temperature ⁽³⁾	-	-40	-	135	°C

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在表 5-3 一般的工作条件下测试得出。

表 5-4 上电和掉电时的工作条件

Symbol	Conditions	Min.	Typ.	Max.	Unit
t _{VDD}	V _{DD} rise time t _r	1	-	∞	us
	V _{DD} fall time t _f	400	-	∞	
V _{IT} ⁽³⁾	Power-down threshold voltage	-	0	-	mV

1. 由综合评估得出，不在生产中测试

2. 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象
3. 为确保芯片可以可靠上电，所有上电需要从 0V 开始。

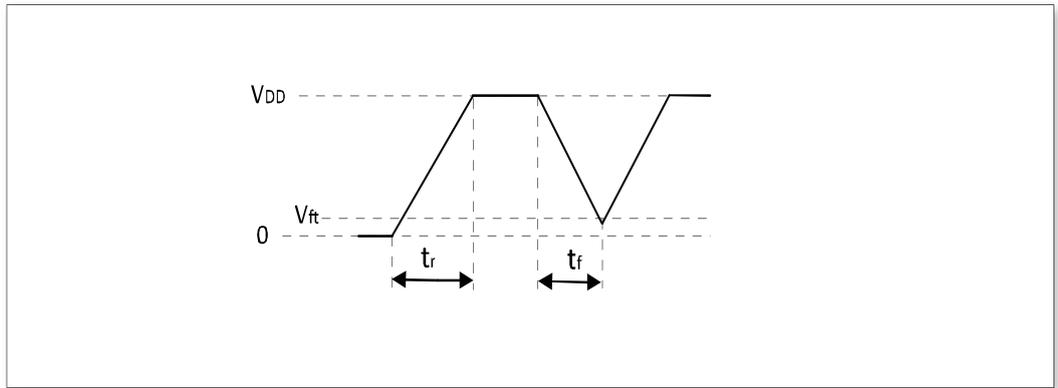


图 5-5 上电与掉电波形

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-5 内嵌复位和电源控制模块特性

Symbol	Parameter	Condition	Min. ⁽³⁾	Typ.	Max. ⁽³⁾	Unit
V_{PVD}	Level selection of programmable voltage detectors	PLS[3:0]=0000 (Rising edge)	-	1.8	-	V
		PLS[3:0]=0000 (Falling edge)	-	1.7	-	
		PLS[3:0]=0001 (Rising edge)	-	2.1	-	
		PLS[3:0]=0001 (Falling edge)	-	2.0	-	
		PLS[3:0]=0010 (Rising edge)	-	2.4	-	
		PLS[3:0]=0010 (Falling edge)	-	2.3	-	
		PLS[3:0]=0011 (Rising edge)	-	2.7	-	
		PLS[3:0]=0011 (Falling edge)	-	2.6	-	
		PLS[3:0]=0100 (Rising edge)	-	3.0	-	
		PLS[3:0]=0100 (Falling edge)	-	2.9	-	
		PLS[3:0]=0101 (Rising edge)	-	3.3	-	
		PLS[3:0]=0101 (Falling edge)	-	3.2	-	
		PLS[3:0]=0110 (Rising edge)	-	3.6	-	
		PLS[3:0]=0110 (Falling edge)	-	3.5	-	
		PLS[3:0]=0111 (Rising edge)	-	3.9	-	
		PLS[3:0]=0111 (Falling edge)	-	3.8	-	

Symbol	Parameter	Condition	Min. ⁽³⁾	Typ.	Max. ⁽³⁾	Unit
		PLS[3:0]=1000 (Rising edge)	-	4.2	-	
		PLS[3:0]=1000 (Falling edge)	-	4.1	-	
		PLS[3:0]=1001 (Rising edge)	-	4.5	-	
		PLS[3:0]=1001 (Falling edge)	-	4.4	-	
		PLS[3:0]=1010 (Rising edge)	-	4.8	-	
		PLS[3:0]=1010 (Falling edge)	-	4.7	-	
V _{POR/PDR} ⁽¹⁾	Power-on reset threshold	-	-	1.65	-	V
V _{hyst_PDR}	PDR hysteresis	-	-	30	-	mV
T _{RSTTEMPO} ⁽²⁾	Reset duration	-	-	2.7	-	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。
2. 由设计保证，不在生产中测试。
3. 由综合评估得出。

注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

5.3.4 内置的参照电压

下表中给出的参数是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-6 内置的参照电压

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V _{REFINT}	Built-in voltage reference	-40°C < T _A < 125°C	1.1	1.2	1.3	V
T _{s_vrefint} ⁽¹⁾	ADC sampling time when readout build-in voltage reference	-	-	11.8	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。

电气特性

- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期，48 ~ 72 MHz 时为 2 个等待周期）。
- 指令预取功能开启。当开启外设时： $f_{HCLK} = f_{PCLK1} = f_{PCLK2}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-7 运行模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled					Typical All peripherals disabled					Unit
				-40°C	25°C	85°C	105°C	125°C	-40°C	25°C	85°C	105°C	125°C	
IDD	Supply current in Run mode	Internal clock source	72M	15.59	15.87	16.12	16.22	16.37	9.42	9.66	9.88	9.98	10.13	mA
			48M	11.91	12.14	12.35	12.44	12.56	7.78	8.01	8.21	8.29	8.40	
			24M	7.34	7.46	7.59	7.66	7.74	5.28	5.38	5.52	5.57	5.65	
			8M	2.40	2.45	2.52	2.56	2.61	1.79	1.84	1.91	1.95	1.98	
			4M	1.59	1.62	1.67	1.70	1.74	1.25	1.29	1.33	1.36	1.40	
			2M	0.95	0.98	1.01	1.03	1.07	0.79	0.81	0.84	0.87	0.90	
			1M	0.65	0.67	0.69	0.71	0.74	0.57	0.58	0.61	0.63	0.66	
			500K	0.50	0.51	0.54	0.56	0.59	0.46	0.47	0.50	0.52	0.55	
125K	0.39	0.40	0.42	0.44	0.47	0.38	0.39	0.41	0.43	0.46				

表 5-8 睡眠模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled					Typical All peripherals disabled					Unit
				-40°C	25°C	85°C	105°C	125°C	-40°C	25°C	85°C	105°C	125°C	
IDD	Supply current in Sleep mode	Internal clock source	72M	9.80	9.86	9.89	9.89	9.92	3.63	3.64	3.64	3.64	3.66	mA
			48M	6.83	6.87	6.89	6.89	6.91	2.71	2.72	2.72	2.72	2.73	
			24M	3.86	3.87	3.88	3.88	3.90	1.79	1.80	1.79	1.79	1.81	
			8M	1.17	1.18	1.21	1.23	1.25	0.56	0.57	0.59	0.61	0.63	
			4M	0.79	0.80	0.83	0.84	0.87	0.46	0.47	0.49	0.50	0.53	
			2M	0.57	0.58	0.60	0.62	0.64	0.40	0.41	0.43	0.45	0.47	
			1M	0.45	0.46	0.49	0.50	0.53	0.37	0.38	0.40	0.42	0.44	
			500K	0.40	0.41	0.43	0.45	0.47	0.36	0.37	0.39	0.40	0.43	
125K	0.36	0.36	0.39	0.40	0.43	0.35	0.35	0.38	0.39	0.42				

表 5-9 停机和待机模式下的典型和最大电流消耗⁽¹⁾

Symbol	Parameter	Conditions	Typical					Unit
			-40°C	25°C	85°C	105°C	125°C	
IDD	Supply current in Stop mode	Enter Stop mode after reset, $V_{DD}=3.3V$	102.14	105.55	114.76	124.61	145.60	μA

Symbol	Parameter	Conditions	Typical					Unit
			-40°C	25°C	85°C	105°C	125°C	
	Supply current in Deep Stop mode	Enter Deep Stop mode after reset, V _{DD} =3.3V	1.54	1.63	4.36	8.75	19.04	
	Supply current in Standby mode	LSI, LSE, RTC, IWDG all disabled	0.29	0.38	1.00	2.05	4.70	
		LSI and IWDG enabled	0.47	0.62	1.33	2.41	5.08	
		LSE and RTC enabled	1.32	1.46	2.13	3.21	5.89	

1. I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 5-3。

表 5-10 内置外设的电流消耗⁽¹⁾

Symbol	Parameter	Bus	Typical	Unit
I _{DD}	CRC	AHB	1.07	uA/MHz
	GPIOA		0.68	
	GPIOB		0.74	
	GPIOC		0.66	
	GPIOD		0.68	
	DMA		1.84	
	HWDIV		0.96	
	USB		7.13	
	TIM1	APB2	7.33	
	TIM14		1.87	
	TIM16		2.25	
	TIM17		2.34	
	LPTIM1		0.43	
	SPI1		4.56	
	UART1		4.13	
	LPUART1		0.46	
	SYSCFG		0.50	
	MCUDBG		0.08	

Symbol	Parameter	Bus	Typical	Unit
	COMP	APB1	0.79	
	EXTI		0.01	
	ADC		3.49	
	TIM2		4.19	
	TIM3		3.22	
	RTC		0.82	
	BKP		0.01	
	UART2		4.10	
	UART3		4.08	
	UART4		4.09	
	CRS		0.40	
	SPI2		4.48	
	I2C1		4.66	
	I3C1		2.12	
	IWDG		0.01	
	WWDG		0.24	
	FlexCAN	12.91		

1. $f_{HCLK} = 72\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 5-3 通用工作条件测量得到。

表 5-11 低功耗模式的唤醒时间

Symbol	Parameter	Conditions	Typical	Unit
$t_{WUSLEEP}$	Wake up from Sleep mode	System clock is HSI	3	cycles
t_{WUSTOP}	Wake up from Stop mode (regulator is in Run mode)	System clock is HSI	9.6	μs
$t_{WUDEEPSTOP}$	Wake up from Deep Stop mode (regulator is in low power mode)	System clock is HSI	5.2	μs
$t_{WUSTDBY}$	Wake up from Standby mode	System clock is HSI	534.5	μs

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-12 高速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{HSE_ext}	User external clock source frequency ⁽¹⁾	-	-	8	32	MHz
V_{HSEH}	OSC_IN input high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN input low level voltage	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN high or low time ⁽¹⁾	-	15	-	-	ns

1. 由设计保证，不在生产中测试。

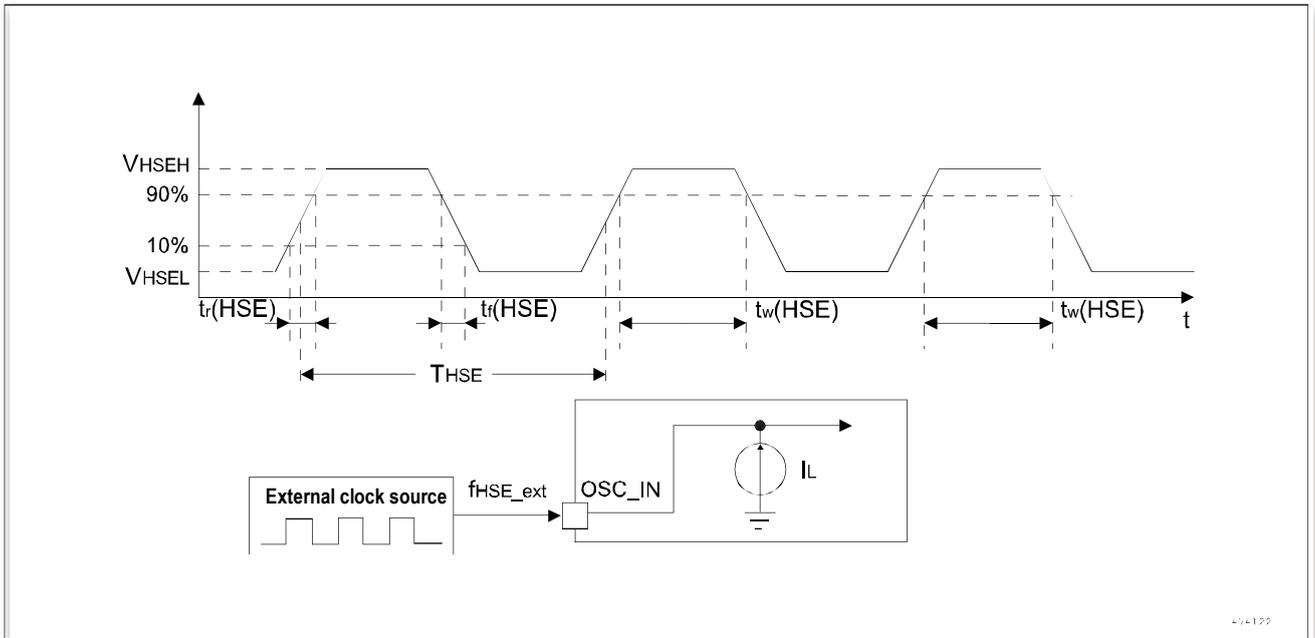


图 5-6 外部高速时钟源的交流时序图

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-13 低速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{LSE_ext}	User external clock source frequency ⁽¹⁾	-	-	32.768	1000	KHz
V_{LSEH}	OSC_IN input pin high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
V_{LSEL}	OSC_IN input pin low level voltage	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(LSE)}$	OSC_IN high or low time ⁽¹⁾	-	250	-	-	ns

1. 由设计保证，不在生产中测试。

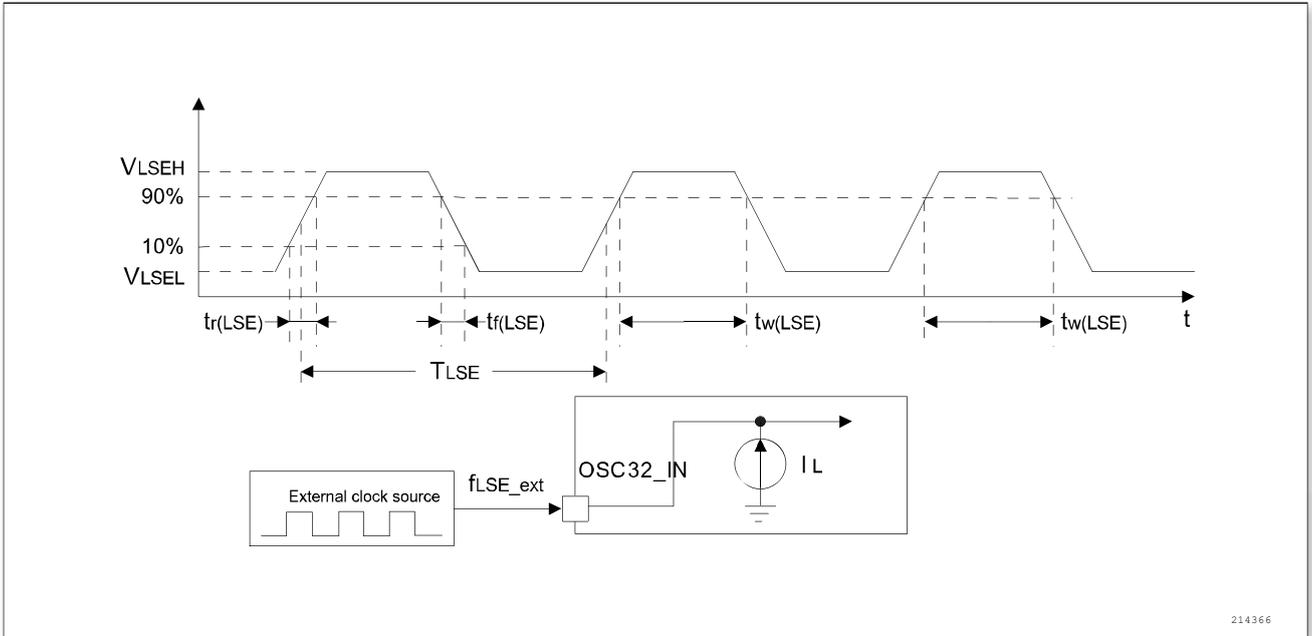


图 5-1 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 5-14 HSE 振荡器特性⁽¹⁾⁽²⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{OSC_IN}	Oscillator frequency ⁽²⁾	$2V < V_{DD} < 3.6V$	4	8	12	MHz
		$3.0V < V_{DD} < 5.5V$	8	16	24	MHz
R_F	Feedback resistor ⁽⁴⁾	-	-	1000	-	k Ω
ESR	Support crystal serial impedance ($C_{L1} C_{L2}$ ⁽³⁾ is 16pF)	$f_{OSC_IN} = 24MHz, V_{DD} = 3V$	-	-	50	Ω
		$f_{OSC_IN} = 12MHz, V_{DD} = 2V$	-	-	120	Ω

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
I_2	HSE current consumption	$f_{OSC_IN} = 24\text{MHz}$, $ESR=30$ $V_{DD} = 3.3\text{V}$, $C_{L1} C_{L2}^{(3)}$ is 20pF	-	1.5	-	mA
$t_{SU(HSE)}^{(5)}$	Startup time	V_{DD} is stable	-	3	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的（典型值为） $5\text{pF} \sim 25\text{pF}$ 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。
4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

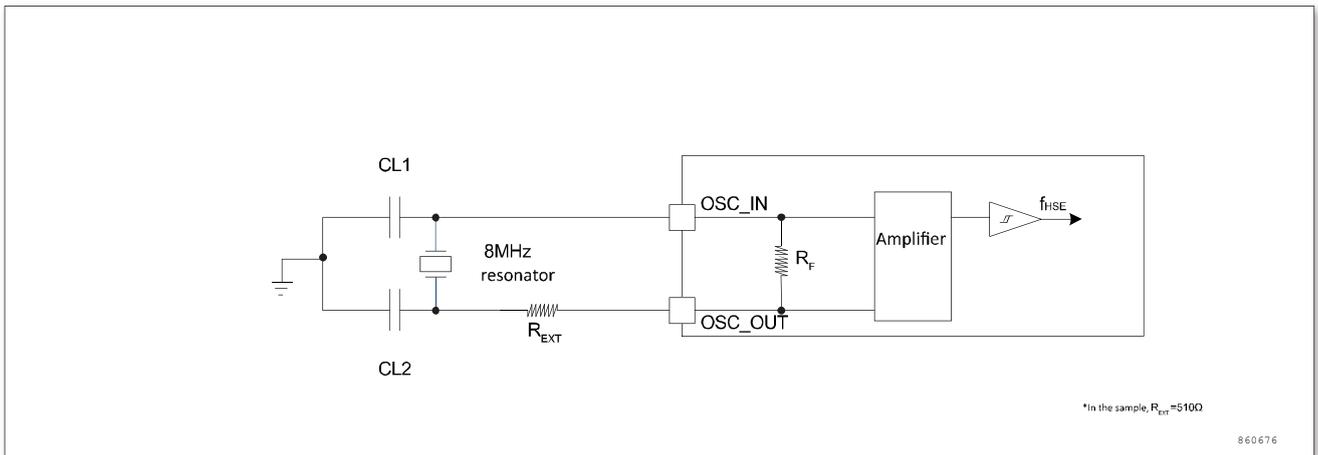


图 5-7 使用 8MHz 晶体的典型应用

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（注：这里提到的晶体谐振器就是我们通常说的无源晶振）

注意: 对于 C_{L1} 和 C_{L2} ，建议使用高质量的 $5\text{pF} \sim 15\text{pF}$ 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 $2\text{pF} \sim 7\text{pF}$ 之

电气特性

间。警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值（15pF），强烈建议使用负载电容 $C_L \leq 7\text{pF}$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。例如：如果选择了一个负载电容 $C_L = 6\text{pF}$ 的谐振器并且 $C_{\text{stray}} = 2\text{pF}$ ，则 $C_{L1} = C_{L2} = 8\text{pF}$ 。

表 5-15 LSE 振荡器特性⁽¹⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
$f_{\text{OSC_IN}}$	Oscillator frequency	$2.0\text{V} < V_{\text{DD}} < 5.5\text{V}$	-	32.768	-	KHz
$I_{\text{DD(LSE)}}^{(2)}$	LSE current consumption	IBSEL=01 DR=00(recommend)	-	230	-	nA
		IBSEL=10 DR=01(Default)	-	300	-	nA
$t_{\text{SU(LSE)}}^{(3)}$	Startup time	V_{DD} is stablized	-	1	3	s

1. 由综合评估得出。
2. 选择具有较小 RS 值的高质量振荡器（如 MSIVTIN 32.768KHz），可以优化电流消耗。详情请咨询晶体制造商。
3. $t_{\text{SU(LSE)}}$ 是启动时间，是从软件使能 LSE 开始测量，直至得到稳定的 32.768K Hz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

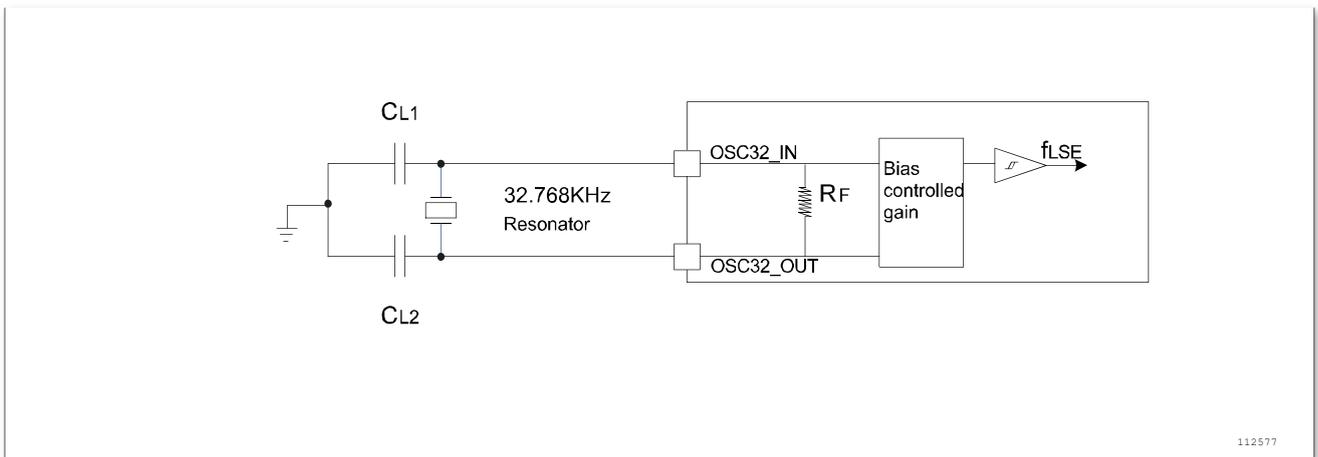


图 5-2 使用 32.768KHz 晶体的典型应用

5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 5-16 HSI 振荡器特性⁽¹⁾⁽²⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HSI}	Frequency	-	-	8	-	MHz
ACC _{HSI}	HSI oscillator deviation	$T_A = 0^\circ\text{C} \sim 55^\circ\text{C}$	-1	-	+1	%
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	-1.5	-	+1.5	%

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
		T _A = -40°C~ 105°C	-2.0	-	+2.0	%
		T _A = -40°C~ 125°C	-2.5	-	+2.5	%
T _{stab(HSI)}	HSI oscillator startup time	-	-	-	20	μs
I _{DD(HSI)}	HSI oscillator power consumption	-	-	80	-	μA

1. V_{DD} = 3.3V, T_A = -40°C~ 125°C, 除非特别说明。
2. 由设计保证, 不在生产中测试。

低速内部 (LSI) 振荡器

表 5-17 LSI 振荡器特性⁽¹⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{LSI} ⁽²⁾	Frequency	T _A = -40°C~ 125°C	20	40	70	KHz
t _{SU(LSI)} ⁽³⁾	LSI oscillator startup time	-	-	-	100	μs
I _{DD(LSI)} ⁽³⁾	LSI oscillator power consumption	-	-	0.20	-	μA

1. V_{DD} = 3.3V, T_A = -40°C~ 125°C, 除非特别说明。
2. 由综合评估得出。
3. 由设计保证, 不在生产中测试。

5.3.8 PLL1 特性

PLL1 的输入时钟 f_{PLL1_IN} 和 f_{PLL1_OUT} 之间关系为:

公式 1

$$\frac{f_{PLL1_IN}}{(PLL1DIV[2:0] + 1) * (PLL1PDIV[2:0] + 1)} = \frac{f_{PLL1_OUT}}{PLL1MUL[7:0] + 1}$$

PLL1MUL[7:0]、PLL1PDIV[2:0]、PLL1DIV[2:0] 是 PLL1 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 5-18 PLL1 特性⁽¹⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{PLL1_IN}	PLL1 input clock ⁽²⁾	-	4	8	24	MHz
D _{PLL1_IN}	PLL1 input clock duty cycle	-	20	-	80	%
f _{VCO}	VCO output clock	-	80	-	200	MHz
f _{PLL1_OUT}	PLL1 output clock	-	40	-	100	MHz
I _{DD(PLL1)}	PLL1 current consumption	-	-	1550	-	uA

1. 由设计保证, 不在生产中测试。

2. 根据 PLL1 的输入时钟并使用正确的倍频系数来保证 f_{PLL1_OUT} 处于允许的输出范围内。

5.3.9 PLL2 特性

PLL2 的输入时钟 f_{PLL2_IN} 和 f_{PLL2_OUT} 之间关系为:

公式 1

$$\frac{f_{PLL2_IN}}{(PLL2DIV[2:0] + 1) * (PLL2PDIV[2:0] + 1)} = \frac{f_{PLL2_OUT}}{PLL2MUL[7:0] + 1}$$

PLL2MUL[6:0]、PLL2PDIV[2:0]、PLL2DIV[2:0] 是 PLL2 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 5-19 PLL2 特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{PLL2_IN}	PLL2 input clock (2)	-	4	8	24	MHz
D_{PLL2_IN}	PLL2 input clock duty cycle	-	20	-	80	%
f_{VCO}	VCO output clock	-	80	-	200	MHz
f_{PLL2_OUT}	PLL2 output clock	-	40	-	100	MHz
$I_{DD(PLL2)}$	PLL2 current consumption	-	-	1550	-	uA

1. 由设计保证，不在生产中测试。
2. 根据 PLL2 的输入时钟并使用正确的倍频系数来保证 f_{PLL2_OUT} 处于允许的输出范围内。

5.3.10 存储器特性

表 5-20 Flash 存储器特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
t_{prog}	16-bit programming time	-	131.5	-	154.5	μs
t_{ERASE}	Page (1024 bytes) erase time	-	4	-	6	ms
t_{ME}	Mass erase time	-	30	-	40	ms
I_{DD}	Supply current	Read mode	-	-	5.5	mA
		Write mode	-	-	2	mA
		Erase mode	-	-	1.5	mA

表 5-21 Flash 存储器寿命和数据保存期限

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
N_{END}	Endurance	-	100000	-	-	Cycles
T_{DR}		$T_A = 85^\circ C$	20	-	-	Years

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
	Data retention	T _A = 25°C	100	-	-	

5.3.11 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电(ESD)（正向和负向）施加到所有器件引脚，直到发生功能干扰。该测试符合 IEC 61000-4-2 标准。
- FTB: 通过一个 100 pF 的电容向 VDD 和 VSS 施加一串快速瞬变电压（正负），直到发生功能性干扰。该测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 5-22 EMS 特性

Symbol	Parameter	Conditions	Level/Type
V _{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 72MHz. Conforming to IEC61000-4-2	2A
V _{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on VDD and VSS pins to induce a functional disturbance	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 72MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.12 功能性 EMS (电气敏感性)

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

这些测试兼容 EIA/JESD78E IC latch-up 标准。

表 5-23 ESD & LU 特性

Symbol	Parameter	Conditions	Class	Maximum	Unit
V _{ESD(HBM)}	Electrostatic discharge voltage (Human body model)	T _A = 25°C, conforming to ESDA/JEDEC JS-001-2017	3A	±6000	V
V _{ESD(CDM)}	Electrostatic discharge voltage (Charging device model)	T _A = 25°C, conforming to ESDA/JEDEC JS-002-2018	C3	±1000	V
I _{LU}	Latch-up current	T _A = 25°C, conforming to JESD78E	II, A	±200	mA
		T _A = 125°C, conforming to JESD78E		±100	mA

5.3.13 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 5-24 I/O 静态特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V _{IL}	Low level input voltage	V _{DD} = 3.3V	-	-	0.8	V
V _{IL}	Low level input voltage	V _{DD} = 5V	-	-	0.3 * V _{DD}	V
V _{IH}	High level input voltage	V _{DD} = 3.3V	2.0	-	-	V
V _{IH}	High level input voltage	V _{DD} = 5V	0.7 * V _{DD}	-	-	V
V _{hy}	Schmitt trigger hysteresis ⁽¹⁾	V _{DD} = 3.3V	0.1 * V _{DD}	0.50	-	V
V _{hy}	Schmitt trigger hysteresis ⁽¹⁾	V _{DD} = 5V	0.1 * V _{DD}	0.60	-	V
I _{lkg}	Input leakage current ⁽²⁾	V _{DD} = 3.3V	-1	-	1	μA
I _{lkg}	Input leakage current ⁽²⁾	V _{DD} = 5V	-1	-	1	μA
R _{PU}	Weak pull-up equivalent resistor ⁽³⁾	V _{DD} = 3.3V, V _{IN} = V _{SS}	50	60	75	kΩ
R _{PU}	Weak pull-up equivalent resistor ⁽³⁾	V _{DD} = 5V, V _{IN} = V _{SS}	50	60	75	kΩ
R _{PD}	Weak pull-down equivalent resistor ⁽³⁾	V _{DD} = 3.3V, V _{IN} = V _{DD}	50	60	75	kΩ
R _{PD}	Weak pull-down equivalent resistor ⁽³⁾	V _{DD} = 5V, V _{IN} = V _{DD}	50	60	75	kΩ
C _{IO}	I/O pin capacitance	-	-	-	10	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 ±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过表 5-1 给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 5-25 输出电压特性

MODE[1:0]	Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
11	V _{OL} ⁽¹⁾	Output low voltage	I _{IO} = 6mA, V _{DD} = 3.3V	-	0.13	-	V
	V _{OH} ⁽²⁾	Output high voltage		-	3.12	-	

MODE[1:0]	Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8mA, VDD=3.3V$	-	0.18	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	3.06	-	
	$V_{OL}^{(2)(3)}$	Output low voltage	$ I_{IO} = 20mA, VDD=3.3V$	-	0.5	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.62	-	
10	$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6mA, VDD=3.3V$	-	0.27	-	
	$V_{OH}^{(2)}$	Output high voltage		-	2.94	-	
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8mA, VDD=3.3V$	-	0.37	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.80	-	
01	$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6mA, VDD=3.3V$	-	0.26	-	
	$V_{OH}^{(2)}$	Output high voltage		-	2.94	-	
	$V_{OL}^{(1)(3)}$	Output low voltage	$ I_{IO} = 8mA, VDD=3.3V$	-	0.37	-	
	$V_{OH}^{(2)(3)}$	Output high voltage		-	2.80	-	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD} 。
3. 由综合评估得出。

输入输出交流特性

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 5-3 的条件测量得到。

表 5-26 I/O 交流特性 (1)(2)(3)

MODE[1:0]	Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
11	$t_{f(I/O)out}$	Output fall time	$C_L = 50pF, VDD=3.3V$	-	4.2	-	ns
	$t_{r(I/O)out}$	Output rise time		-	5.0	-	ns
10	$t_{f(I/O)out}$	Output fall time		-	8.9	-	ns
	$t_{r(I/O)out}$	Output rise time		-	10.0	-	ns
01	$t_{f(I/O)out}$	Output fall time		-	9.1	-	ns
	$t_{r(I/O)out}$	Output rise time		-	10.5	-	ns

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 5-8 中定义。
3. 由设计保证，不在生产中测试。

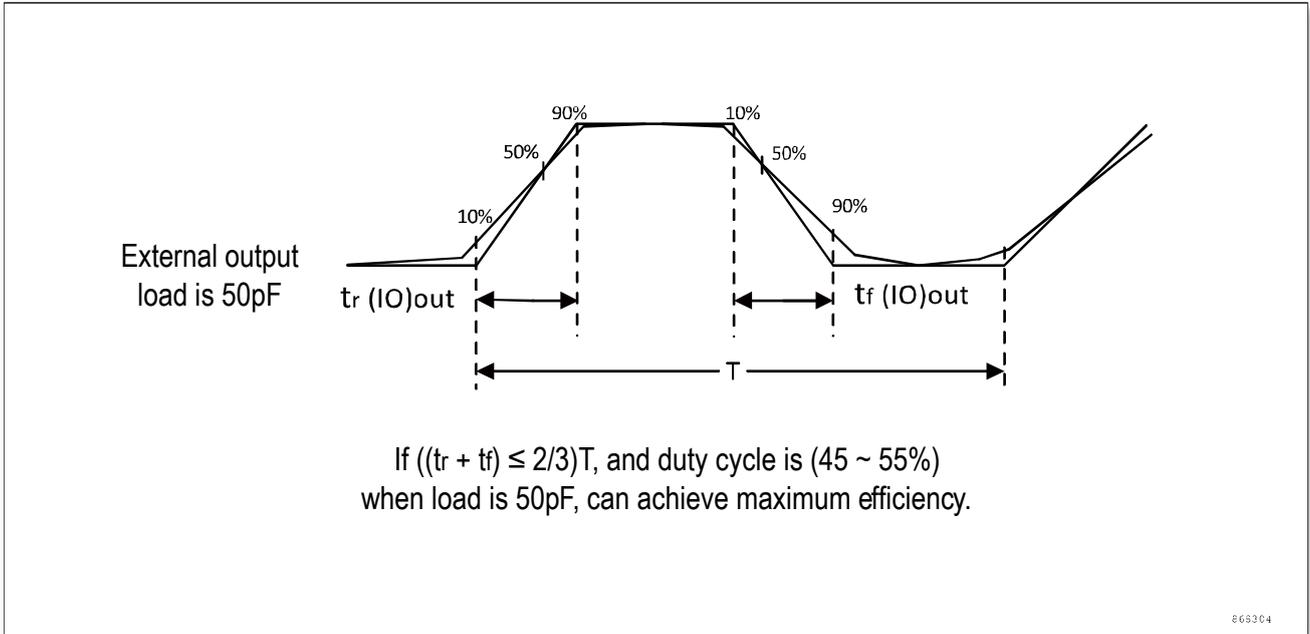


图 5-8 I/O 交流特性

5.3.14 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU。

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 5-3 的条件测量得到。

表 5-27 NRST 引脚特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
$V_{IL(NRST)}^{(1)}$	NRST input low voltage	$V_{DD}=3.3V$	-	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST input high voltage	$V_{DD}=3.3V$	2.0	-	-	V
$V_{hys(NRST)}$	NRST Schmitt trigger voltage hysteresis	$V_{DD}=3.3V$	-	0.6	-	V
RPU	Weak pull-up equivalent resistor ⁽¹⁾	$V_{IN} = V_{SS}$	50	60	75	kΩ
$V_{F(NRST)}^{(1)}$	NRST input filtered pulse	-	-	-	0.1	uS
$V_{NF(NRST)}^{(1)}$	NRST input not filtered pulse	-	0.4	-	-	uS

1. 由设计保证，不在生产中测试。

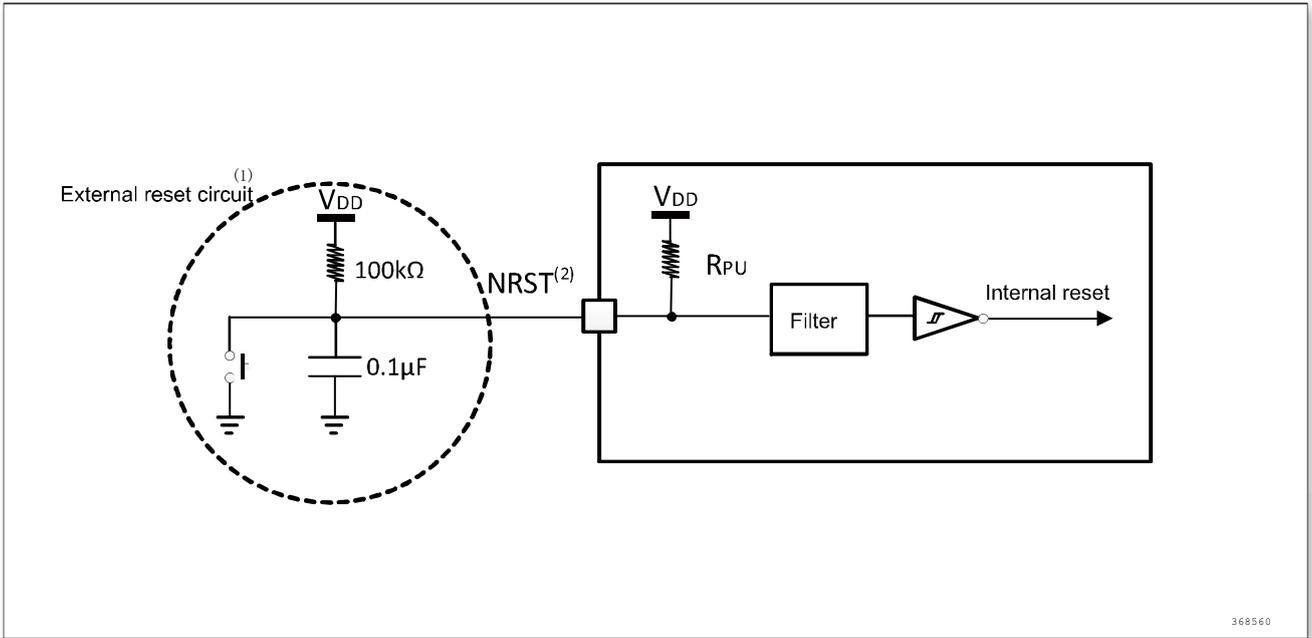


图 5-9 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 5-27 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.15 Timer 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 5.3.13 I/O 端口特性。

表 5-28 TIMx⁽¹⁾ 特性

Symbol	Parameter	Condition	Minimum	Maximum	Unit
$t_{res(TIM)}$	Timer resolution	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	13.89	-	ns
f_{EXT}	External clock frequency of channel 1 to 4	-	0	-	MHz
		$f_{TIMxCLK} = 72MHz$	0	72	
Res_{TIM}	Timer resolution	-	-	16	bit
$t_{COUNTER}$	16-bit counter period	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	0.01389	910.2	μs
t_{MAX_COUNT}	Maximum possible counter value (TIM_PSC adjustable)	-	-	$65536 * 65536$	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	-	59.7	S

Symbol	Parameter	Condition	Minimum	Maximum	Unit
t _{MAX_IN}	TIM maximum input frequency	-	-	72	MHz

1. 设计保证，不在生产中测试

5.3.16 I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 VDD 供电电压符合表 5-3 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 5.3.13 I/O 端口特性。

表 5-29 I2C 接口特性

Symbol	Parameter	Standard I2C ⁽¹⁾		Fast mode I2C ⁽¹⁾		Unit
		Minimum	Maximum	Minimum	Maximum	
t _{w(SCLL)}	SCL clock low time	9*t _{PCLK}	-	9*t _{PCLK}	-	us
t _{w(SCLH)}	SCL clock high time	18*t _{PCLK}	-	18*t _{PCLK}	-	us
t _{su(SDA)}	SDA setup time	1*t _{PCLK}	-	1*t _{PCLK}	-	ns
t _{h(SDA)}	SDA data retention time	0 ⁽³⁾	- ⁽⁴⁾	0 ⁽³⁾	- ⁽⁴⁾	ns
t _{r(SDA)} t _{r(SCL)}	SDA and SCL rising time	-	1000	20	300	ns
t _{r(SDA)} t _{r(SCL)}	SDA and SCL fall time	-	300	20*(V _{DD} /5.5V)	300	ns
t _{vd(DAT)} ⁽⁵⁾	Data valid time	-	8*t _{PCLK} - 1 ⁽⁴⁾	-	8*t _{PCLK} - 0.3 ⁽⁴⁾	us
t _{vd(ACK)} ⁽⁶⁾	Data valid acknowledge time	-	8*t _{PCLK} - 1 ⁽⁴⁾	-	8*t _{PCLK} - 0.3 ⁽⁴⁾	us
t _{h(STA)}	Start condition hold time	8*t _{PCLK}	-	8*t _{PCLK}	-	us
t _{su(STA)}	Start condition setup time	19*t _{PCLK}	-	17*t _{PCLK}	-	us
t _{su(STO)}	Stop condition setup time	17*t _{PCLK}	-	17*t _{PCLK}	-	us
t _{w(STO:STA)}	Time from Stop condition to Start condition (bus idle)	484*t _{PCLK}	-	144*t _{PCLK}	-	us
C _b	Capacitive load of each bus	-	400	-	400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 12MHz。
3. 在 SDA 进入 0.3V_{DD} 至 0.7V_{DD} 的不确定范围之前，确保 SCL 在下降沿下降到 0.3V_{DD} 以下。
注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 0.3V_{DD} 的转换时间来插入 SDA 转换相对于 SCL 的延迟。
4. 标准模式和快速模式的最大 t_{h(SDA)} 可以是 3.45 us 和 0.9 us，但必须比 t_{vd(DAT)}或 t_{vd(ACK)} 的最大

值小一个转换时间。仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时才必须满足此最大值。如果时钟延长了 SCL, 则数据在释放时钟之前必须在建立时间之前有效。

5. $t_{vd}(\text{DAT})$ = 从 SCL LOW 到 SDA 输出数据信号的时间。
6. $t_{vd}(\text{ACK})$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

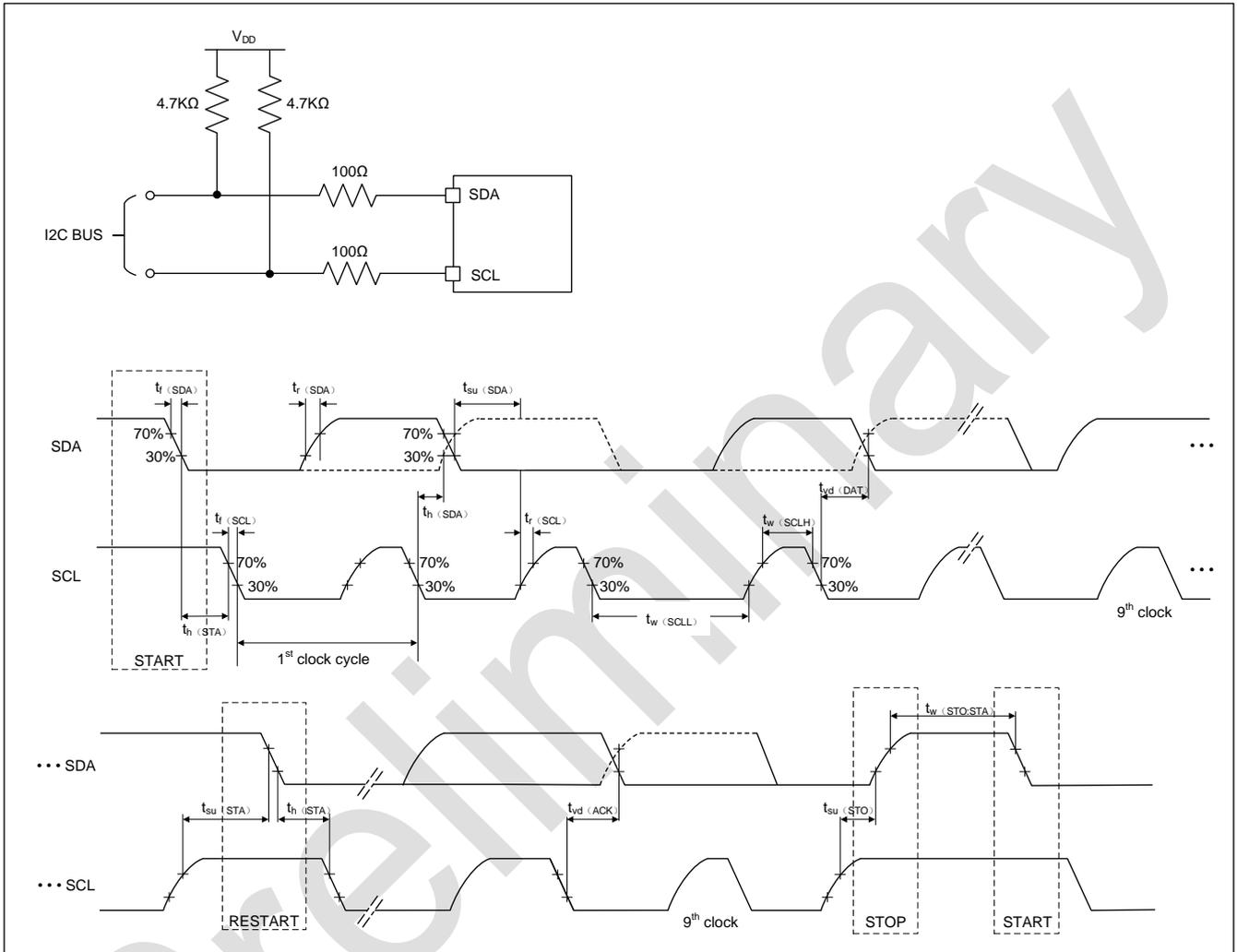


图 5-10 I2C 总线交流波形和测量电路 (1)

1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

5.3.17 SPI 接口特性

除非特别说明, 下表列出的参数是使用环境温度, f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5-3 的条件测量得到。

有关输入输出复用功能引脚 (NSS、SCK、MOSI、MISO) 的特性详情, 参见小节 5.3.13 I/O 端口特性。

表 5-30 SPI 特性⁽¹⁾

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f _{SCK} 1/t _c (SCK)	SPI clock frequency	Master mode, T _A = 25°C	-	36 ⁽⁴⁾	MHz
		Slave mode, T _A = 25°C	-	18	
t _r (SCK)	SPI clock rise time	Load capacitance: C = 15pF	-	6	ns
t _f (SCK)	SPI clock fall time	Load capacitance: C = 15pF	-	6	ns
t _{su} (NSS) ⁽¹⁾	NSS setup time	Slave mode	10	-	ns
t _h (NSS) ⁽¹⁾	NSS hold time	Slave mode	10	-	ns
t _w (SCKH) ⁽¹⁾	SCK high time	-	t _c (SCK)/2- 6	t _c (SCK)/2+ 6	ns
t _w (SCKL) ⁽¹⁾	SCK low time	-	t _c (SCK)/2- 6	t _c (SCK)/2+ 6	ns
t _{su} (MI) ⁽¹⁾	Data input setup time	Master mode, f _{PCLK} = 48MHz, prescaler = 2, high speed mode	15	-	ns
t _{su} (SI) ⁽¹⁾		Slave mode	5	-	ns
t _h (MI) ⁽¹⁾	Data input hold time	Master mode, f _{PCLK} = 48MHz, prescaler = 2, high speed mode	0	-	ns
t _h (SI) ⁽¹⁾		Slave mode	5	-	ns
t _v (MO) ⁽¹⁾	Data output valid time	Master mode (after enable edge)	-	15	ns
t _v (SO) ⁽¹⁾	Data output valid time	Slave mode (after enable edge)	-	15	ns

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。
4. 当 SPI 工作在极限速率时，建议在 SCK 连线间串接阻抗匹配电阻，以保证传输的稳定性；并确保 SPI Master 和 SPI Slave 的 SCK 连线尽可能短。

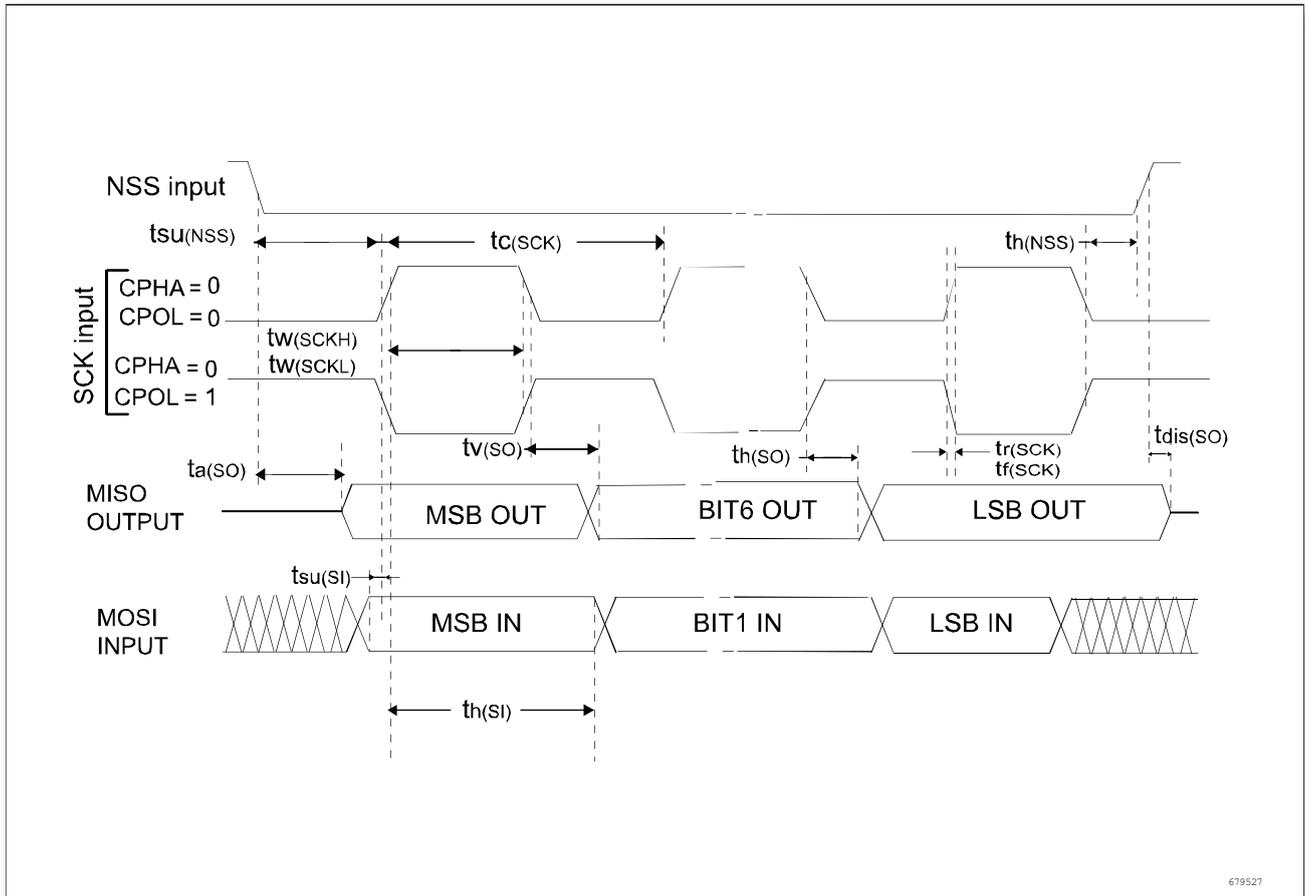


图 5-11 SPI 时序图从模式和 $CPHA = 0$, $CPHASEL = 1$

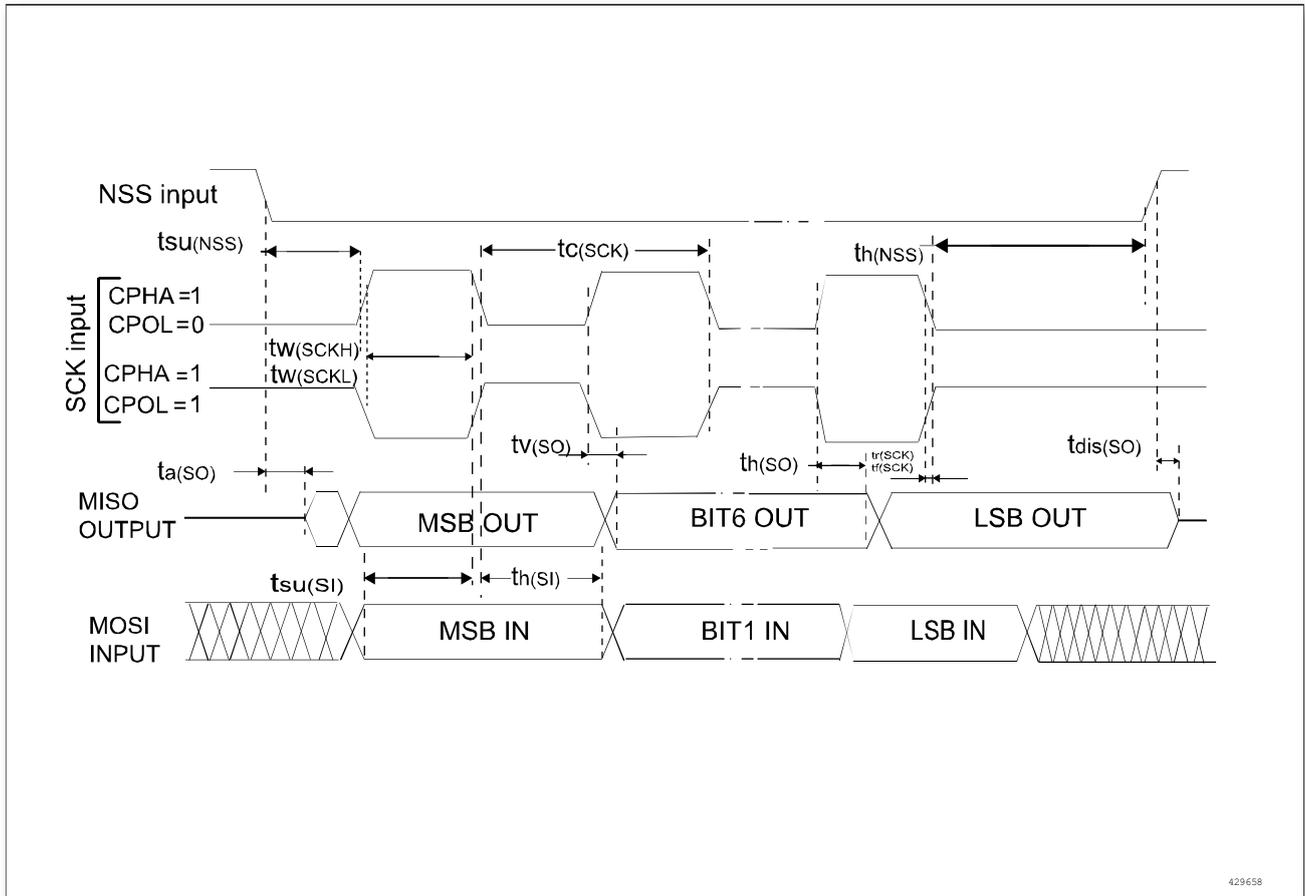


图 5-12 SPI 时序图从模式和 $CPHA = 1$, $CPOL = 1$ ⁽¹⁾

1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

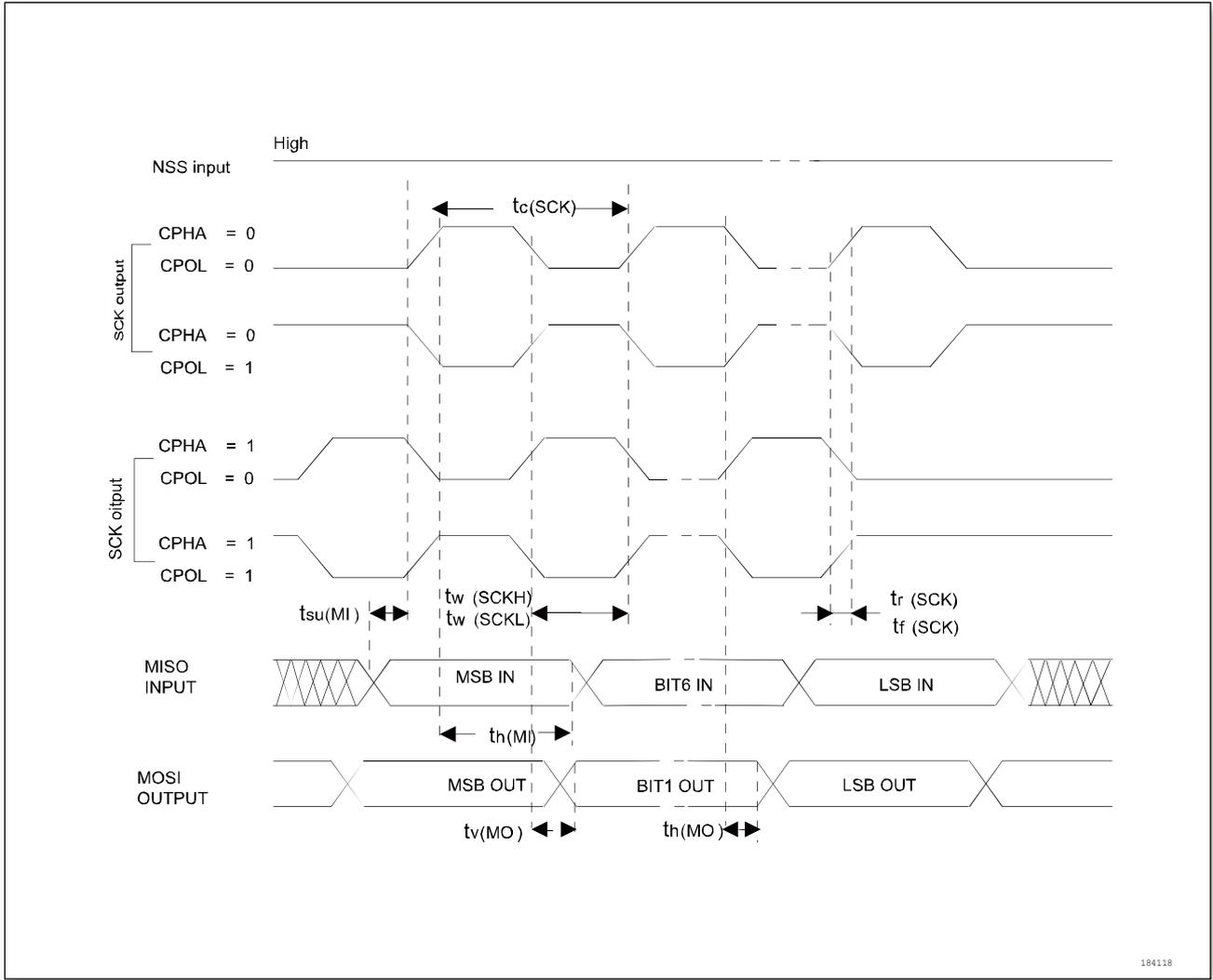


图 5-13 SPI 时序图主模式，CPHASEL = 1 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.3.18 I3C 从机接口特性

表 5-31 I3C 从机接口特性（与 Legacy I2C 器件通信）

Symbol	Parameter	Fast mode		Fast+ mode		Unit
		Minimum	Maximum	Minimum	Maximum	
f_{SCL}	SCL Clock Frequency	0	0.4	0	1	MHz
$t_{su}(SDA)$	SDA setup time	100	-	50	-	ns
$t_h(SDA)$	SDA hold time	-	-	-	-	ns
$t_r(SDA)$ $t_r(SCL)$	SDA and SCL Fall time	$20*(V_{DD}/5.5V)$	300	$20*(V_{DD}/5.5V)$	120	ns
$t_r(SDA)$ $t_r(SCL)$	SDA and SCL Rise time	20	300	-	120	ns
t_{SP}	Pulse width of spikes that must be suppressed by the input filter	0	50	0	50	ns

电气特性

表 5-32 I3C 从机接口特性（开漏模式）

Symbol	Parameter	Minimum	Maximum	Unit
$t_f(SDA_OD)$	SDA Fall time	-	12	ns
$t_{su}(SDA_OD)$	SDA setup time during open drain mode	3	-	ns
t_{AVAL}	Bus available condition	1	-	us
t_{IDLE}	Bus idle condition	200	-	us

表 5-33 I3C 从机接口特性（推挽模式）

Symbol	Parameter	Minimum	Typic	Maximum	Unit
f_{SCL}	SCL Clock Frequency	-	12.5	-	MHz
t_{SCO}	Clock in to data out for a slave	-	-	12	ns
$t_r(SCL)$	SCL rise time	-	-	$150/f_{SCL}$ (capped at 60)	ns
$t_f(SCL)$	SCL fall time	-	-	$150/f_{SCL}$ (capped at 60)	ns
$t_{su}(SDA_PP)$	SDA setup in Push-Pull Mode	3	-	-	ns
C_b	Capacitive load per bus line	-	-	50	pF

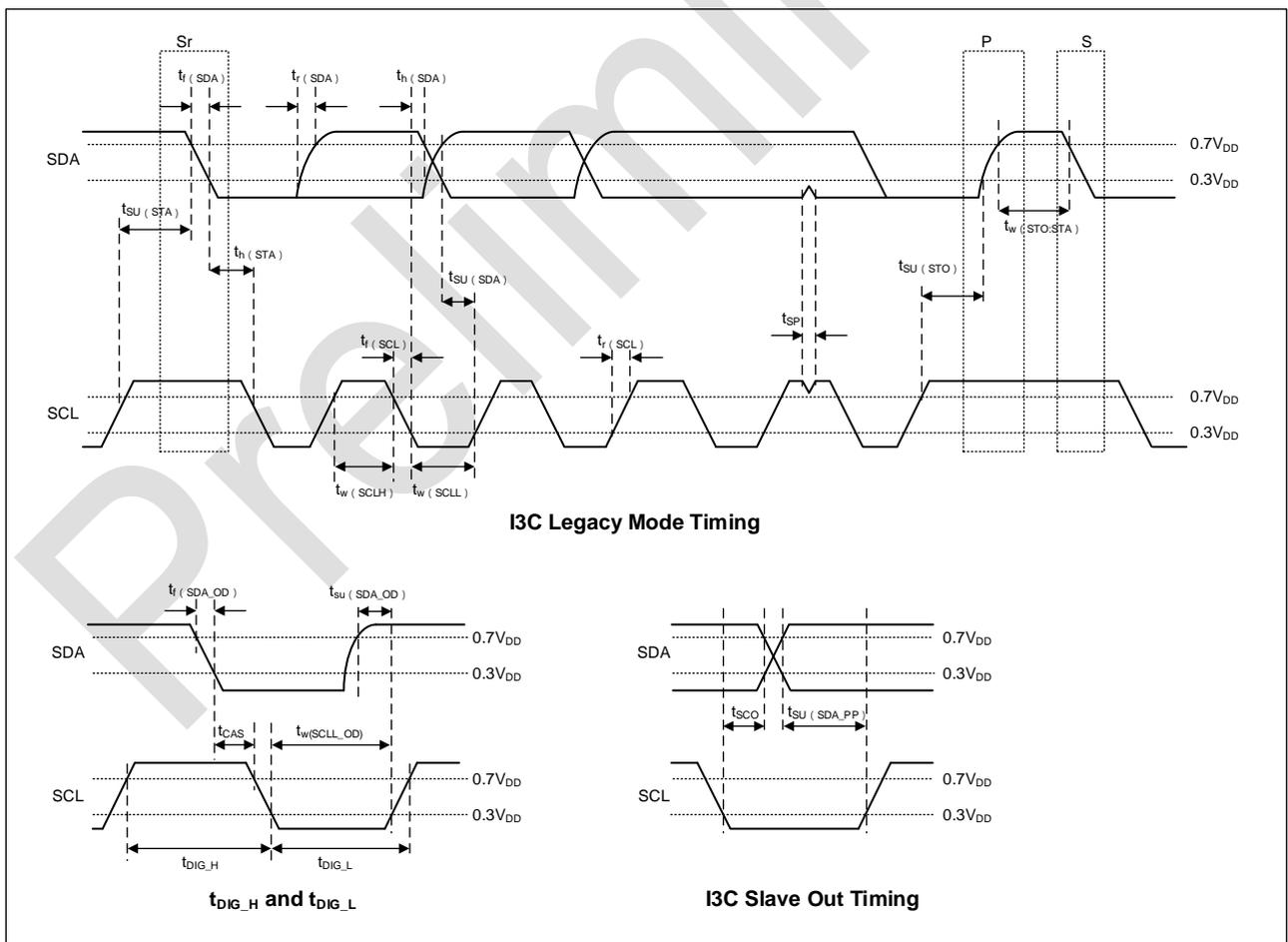


图 5-14 I3C 从机接口特性

5.3.19 FlexCAN 接口特性

有关输入输出复用功能引脚（CAN_TX 和 CAN_RX）的特性详情，请参考小节 5.3.13 I/O 端口特性。

5.3.20 USB 接口特性

表 5-34 USB 电气特性

Symbol	Parameter	Type	Conditions	Min.	Max.	Unit
V _{DD}	USB operating voltage	D	-	3.0	3.6	V
V _{DI}	Differential input range	D	-	0.2	-	V
V _{CM}	Differential common mode range	D	-	0.8	2.64	V
V _{SE}	Single-end reception threshold	D	-	0.8	1.32	V
V _{OL}	Electrostatic output low voltage	D	Load resistance 1.5kΩ connected to 3.6V	-	0.3	V
V _{OH}	Electrostatic output high voltage	D	Load resistance 15kΩ connected to V _{SS}	2.8	3.6	V
R _{PU}	PA11/PA12 pull-up resistance	D	-	1.25	1.75	kΩ

表 5-35 USB 动态特性

Symbol	Parameter	Type	Conditions	Min.	Max.	Unit
t _r	Rising edge	D	C _L = 50pF	4	20	ns
t _f	Falling edge	D	C _L = 50pF	4	20	ns
V _{CRS}	Output signal crossover voltage	D	-	1.3	2.0	V

5.3.21 ADC 特性

除非特别说明，下表的参数是使用符合表 5-3 的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 5-36 ADC 特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V _{DDA}	Supply voltage	-	2.5	3.3	5.5	V
f _{ADC}	ADC clock frequency	-	-	-	16	MHz
f _S ⁽¹⁾	Sampling frequency	-	-	-	1	MHz
f _{TRIG} ⁽¹⁾	External trigger frequency ⁽³⁾	f _{ADC} = 16MHz	-	-	1	MHz
		-	-	-	16	1/f _{ADC}
V _{AIN} ⁽²⁾	Conversion voltage range	-	0	-	V _{DDA}	V

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
$R_{AIN}^{(1)}$	External input impedance	-	See equation 2			k Ω
$R_{ADC}^{(1)}$	Sampling switch resistance	-	-	-	1.5	k Ω
$C_{ADC}^{(1)}$	Internal sample and hold capacitance	-	-	-	10	pF
$t_{STAB}^{(1)}$	Stabilization time	-	-	-	10	μ s
$t_{latr}^{(1)}$	Delay between trigger and conversion start	-	-	-	-	$1/f_{ADC}$
$t_s^{(1)}$	Sampling time	$f_{ADC} = 16\text{MHz}$	0.156	-	15.031	μ s
		-	2.5	-	240.5	$1/f_{ADC}$
$t_{CONV}^{(1)}$	Total conversion time (including sampling time)	$f_{ADC} = 16\text{MHz}$	0.9375	-	15.8125	μ s
		-	15 ~ 253 (sampling t_s + successive approximation 12.5)			$1/f_{ADC}$
ENOB	Effective number of bits	-	-	10.3	-	bit

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。
4. 由设计保证，不在生产中测试。
5. 对于外部触发，必须在时延中加上一个延迟 $1/f_{ADC}$ 。

输入阻抗列表

公式 2

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 2）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 $N = 12$ （表示 12 位分辨率），是在 $f_{ADC} = 15\text{MHz}$ 时测量所得。

表 5-37 $f_{ADC}=15\text{MHz}^{(1)}$ 时的最大 R_{AIN}

T_s (cycles)	t_s (μ s)	Maximum R_{AIN} (k Ω)
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

1. 由设计保证，不在生产中测试。

表 5-38 ADC 静态参数 (1)(2)

Symbol	Parameter	Conditions	Typical	Unit
ET	Comprehensive error	$f_{PCLK1} = 24\text{MHz}$, $f_{ADC} = 12\text{MHz}$, $R_{AIN} < 0.1\text{ k}\Omega$, $V_{DDA} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$	-6/+5	LSB
EO	Offset error		-4/+2	
EG	Gain error		+5	
ED	Differential linearity error		-1/+2	
EL	Integral linearity error		-4/+3	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 5.2 中给出的 $I_{INJ}(\text{PIN})$ 和 $\Sigma I_{INJ}(\text{PIN})$ 范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。

其中，ADC 静态参数的含义解释如下，其对应的示意图如图 5-15 所示。

- ET = 总未调整误差：实际和理想传输曲线间的最大偏离。
- EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
- EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
- ED = 微分线性误差：实际步进和理想值间的最大偏离。
- EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

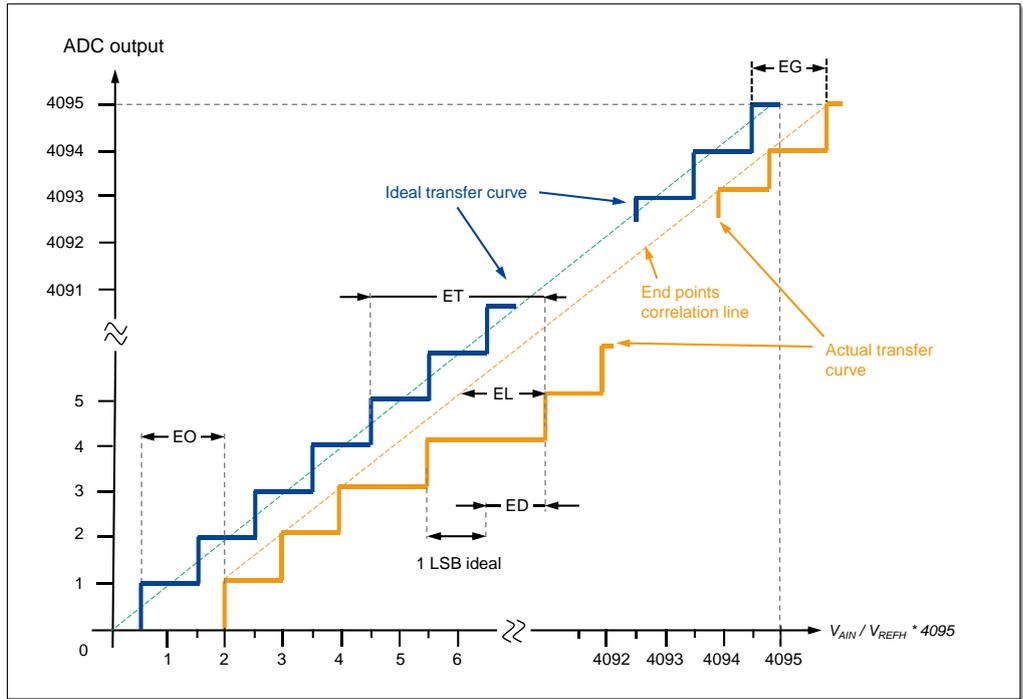


图 5-15 ADC 静态参数示意图

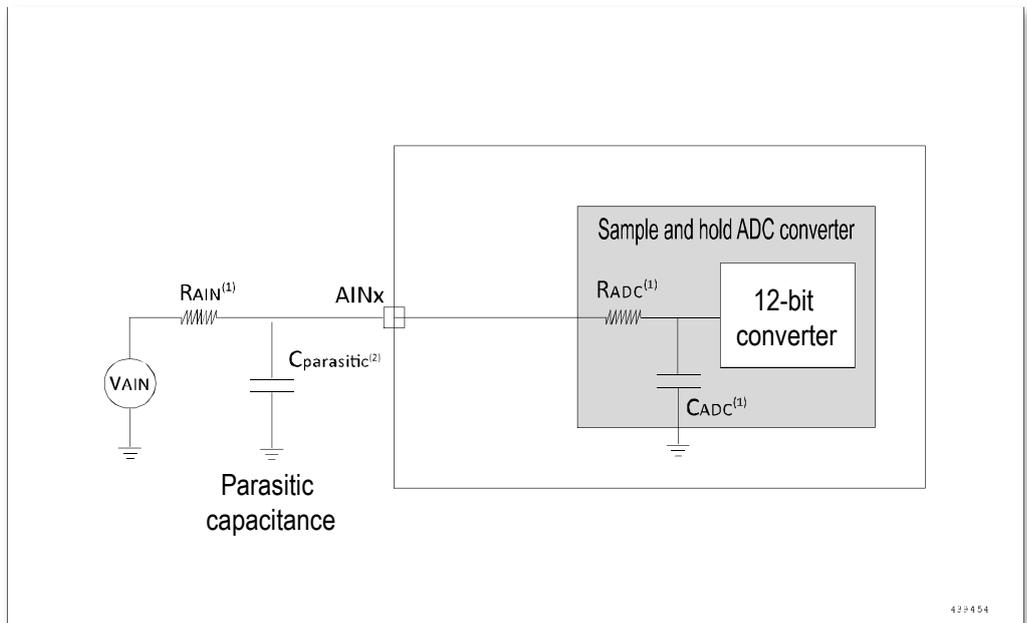


图 5-16 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 5-36。
2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

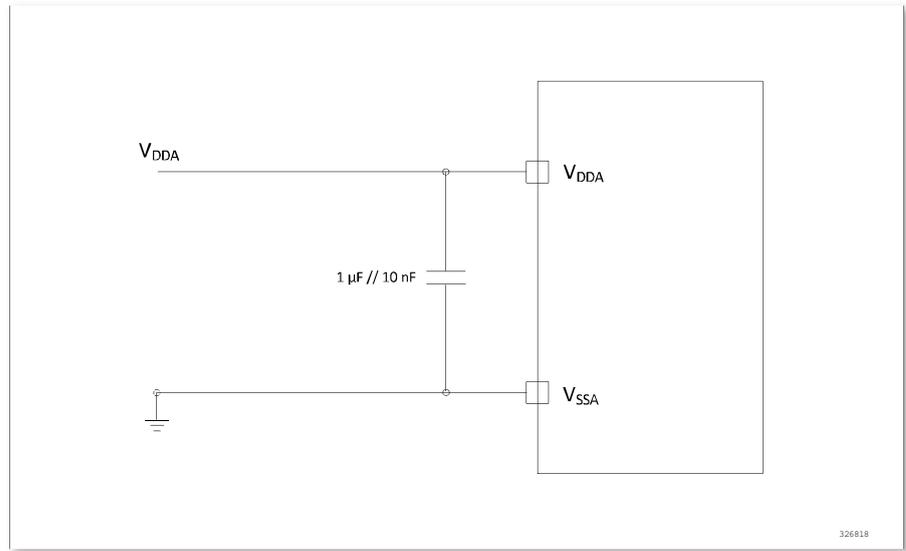


图 5-17 供电电源和参考电源去耦线路

5.3.22 温度传感器特性

温度传感器通过下面的公式计算：

温度公式

$$TS_{adc} = 25 + \frac{Value * V_{DDA} - offset * 3300}{4096 * Avg_Slope}$$

其中，offset 是 0x1FFFF7F6 的低 12 位。

表 5-39 温度传感器特性 (3)(4)

Symbol	Parameter	Minimum	Typical	Maximum	Unit
$T_L^{(1)}$	V _{SENSE} linearity with respect to temperature	-10	-	+10	°C
Avg_Slope ⁽²⁾	Average slope	-	4.955	-	mV/°C
V ₂₅ ⁽¹⁾	Voltage at 25°C	-	1.465	-	V
t _{START} ⁽²⁾	Setup time	-	-	10	μS
t _{S_temp} ⁽²⁾	ADC sampling time when reading temperature	-	11.8	-	μS

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。
4. V_{DD} = 3.3V。

5.3.23 比较器特性

表 5-40 比较器特性 (1)

Symbol	Parameter	Condition	Minimum	Typical	Maximum	Unit
t _{HYST}	Hysteresis	HYST = 00, MODE = 00	-	0	-	mV
		HYST = 01, MODE = 00	15	22	43	mV
		HYST = 10, MODE = 00	32	45	92	mV
		HYST = 11, MODE = 00	55	85	182	mV
		HYST = 00, MODE != 00	-	0	-	mV
		HYST = 01, MODE != 00	13	15	23	mV
		HYST = 10, MODE != 00	25.2	32	46.7	mV
		HYST = 11, MODE != 00	25.5	60	83.9	mV
V _{OFFSET}	Offset voltage	HYST = 00	-	±6	±15	mV
		HYST = 01	-	±5.5	±15	mV
		HYST = 10	-	±5	±15	mV
		HYST = 11	-	±4	±15	mV
t _{DELAY}	Propagation delay	MODE = 00	8.7	24	63	ns
		MODE = 01	10.0	45	103	ns
		MODE = 10	13.8	55	114	ns
		MODE = 11	22.2	95	194.5	ns
I _q	Average working current	MODE = 00	6.5	45	89.2	uA
		MODE = 01	3.3	8.6	24.7	uA
		MODE = 10	2.6	6	25.4	uA
		MODE = 11	1.7	4.6	16	uA

1. 由设计保证，不在生产中测试。

6 封装特性

6.1 LQFP64

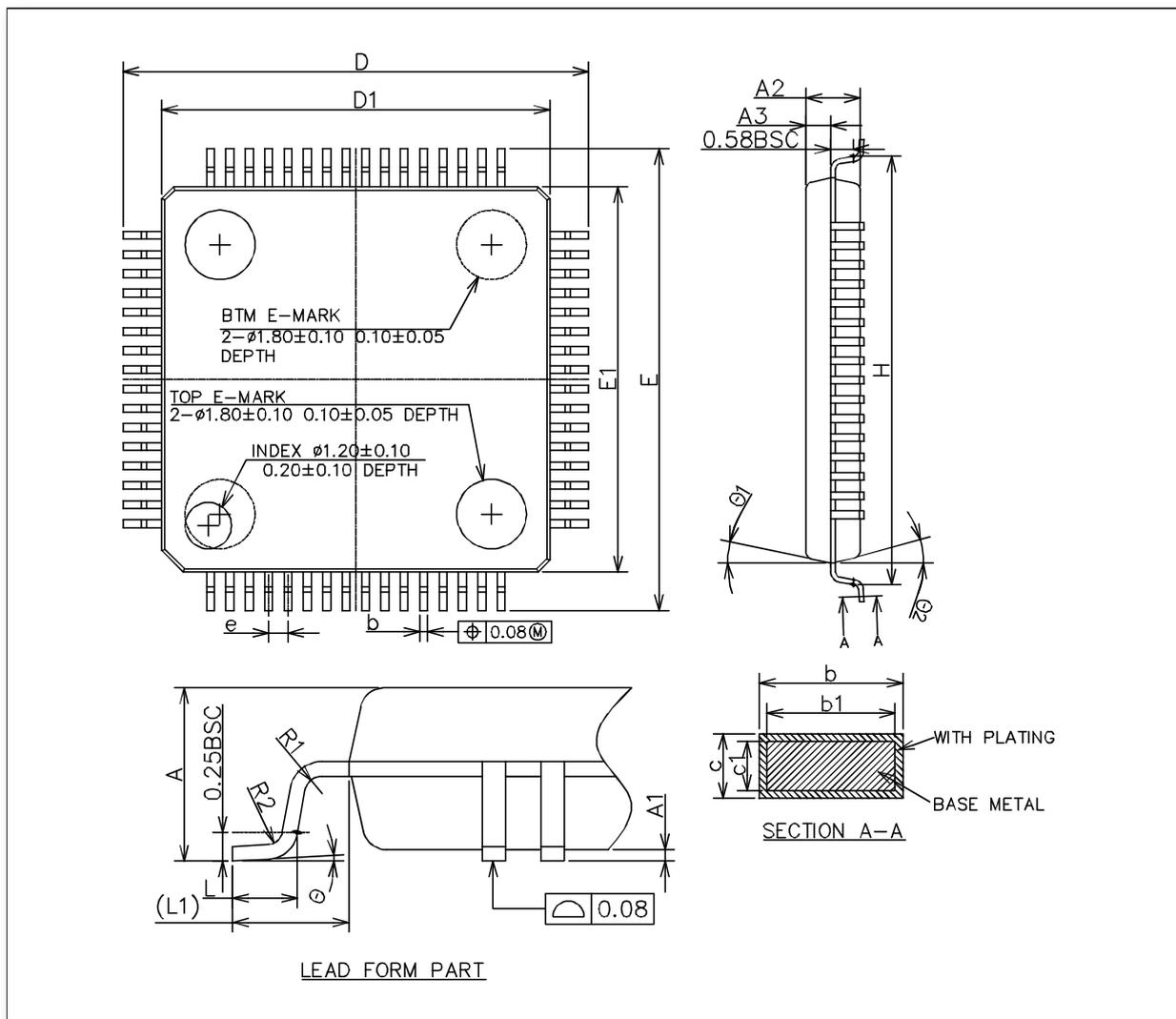


图 6-1 LQFP64 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-1 LQFP64 封装尺寸细节

Symbol	Millimeter		
	Minimum	Typical	Maximum
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	-	0.50	-
H	11.09	11.13	11.17
L	0.53	-	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
θ	0°	3.5°	7°
$\theta 1$	11°	12°	13°
$\theta 2$	11°	12°	13°

6.2 LQFP48

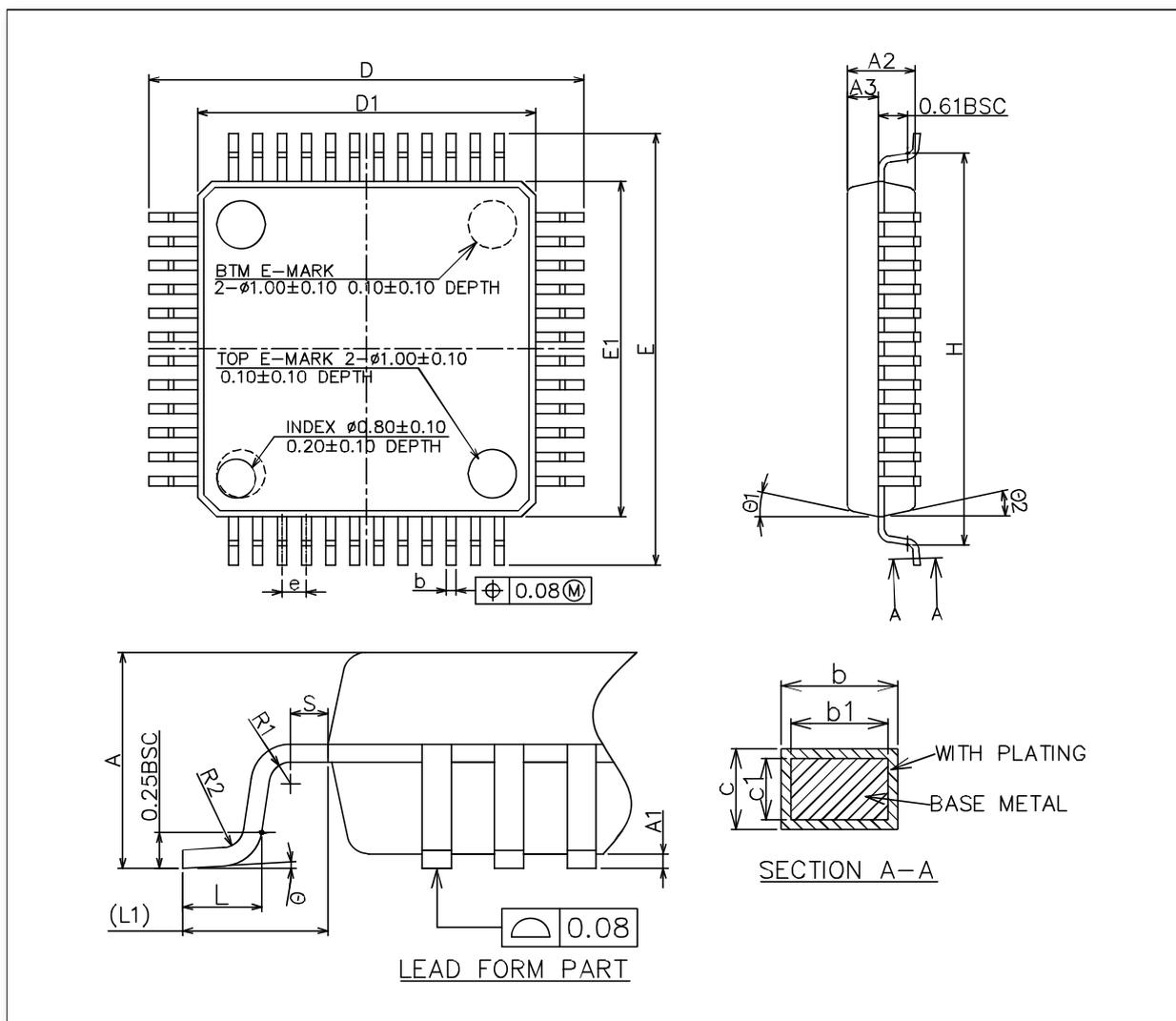


图 6-2 LQFP48 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-2 LQFP48 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	-	-	1.6
A1	0.05	-	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	-	0.50	-
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.2
S	0.2	-	-
θ	0°	3.5°	7°
$\theta 1$	0°	-	-
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°

6.3 QFN32

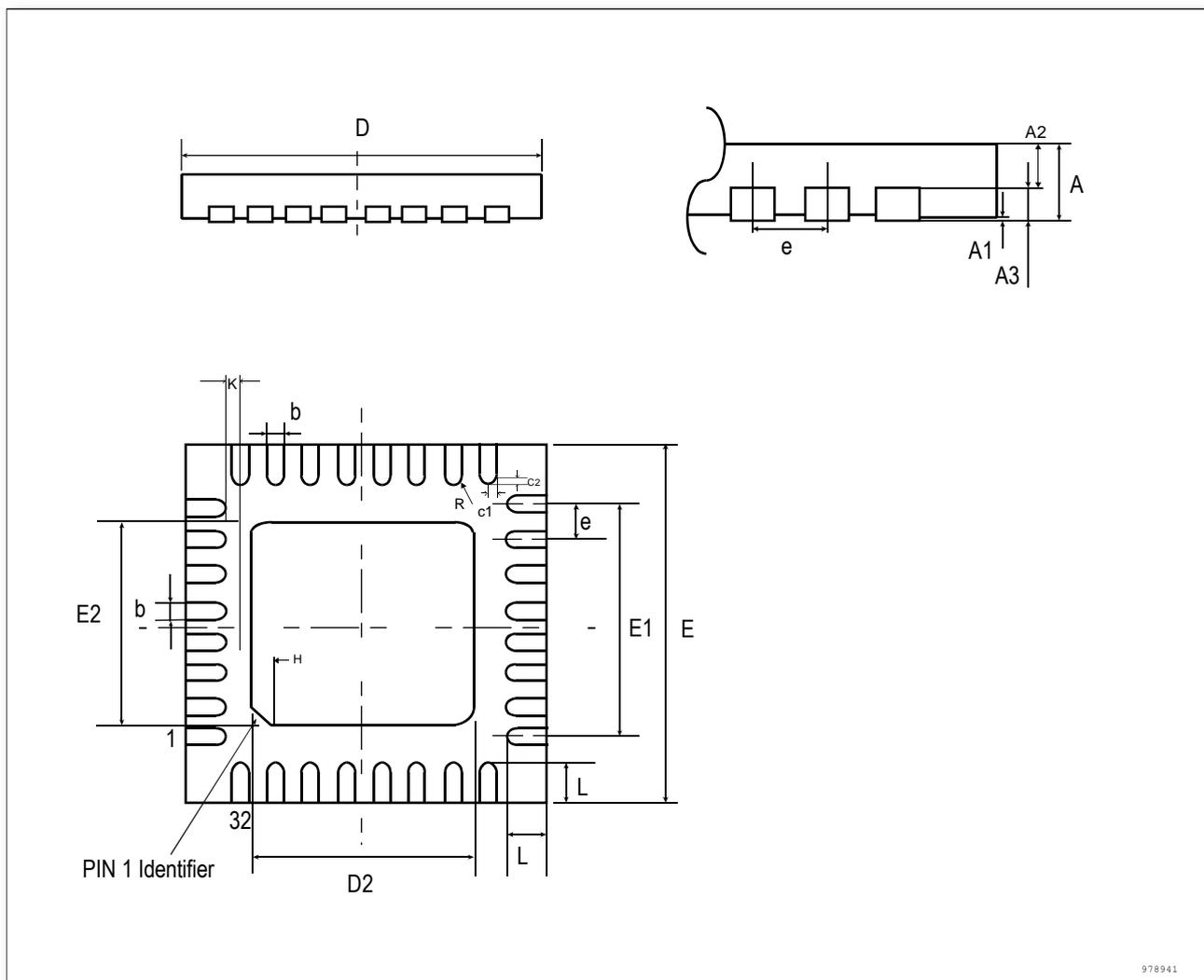


图 6-3 QFN32 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-3 QFN32 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e	-	0.5	-
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09	-	-
c1	-	0.08	-
c2	-	0.08	-

7 修订记录

表 7-1 修订历史

Date	Revision	Description
2023/4/12	Rev0.9	初版

Preliminary