

# OKI 電子デバイス

作成：1998年 1月  
 前回作成：1996年 7月

## MSM6252

64words × 4Bit FIFO

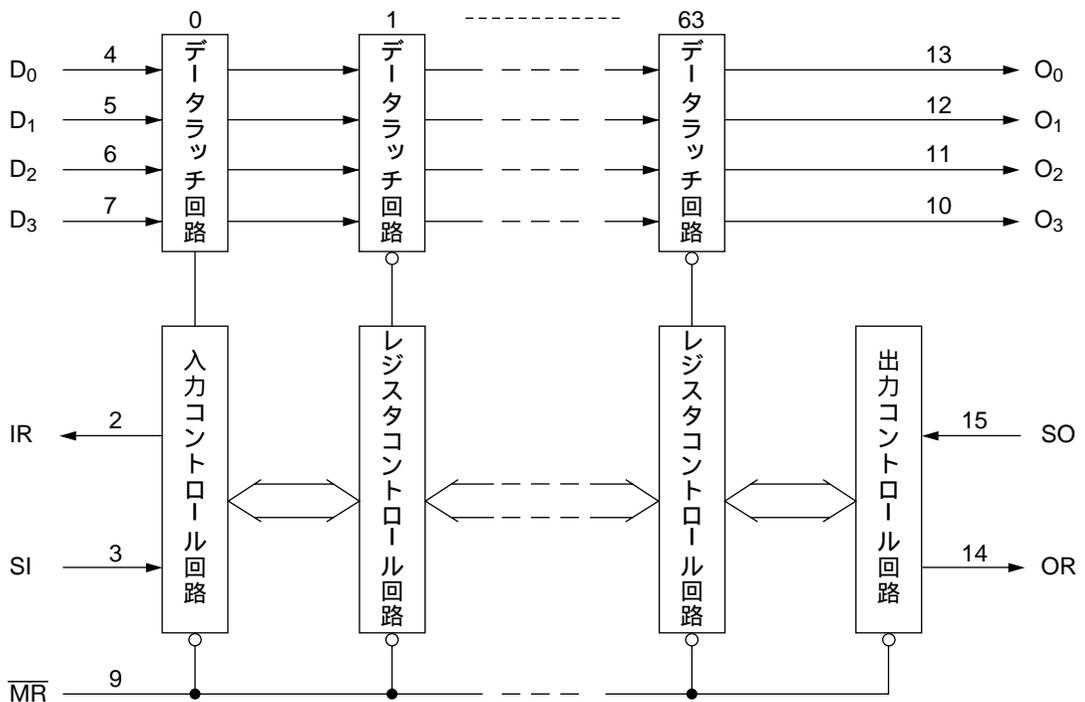
### ■ 概要

MSM6252は、シリコンゲートCMOSを用いた64words × 4 bits First In First Out Memoryで、Fairchild 3341 MOS FIFOとはコンパチブルでデータの入力(Shift In)は非同期動作が可能です。またビットおよびワード方向の拡張も容易にできます。

### ■ 特長

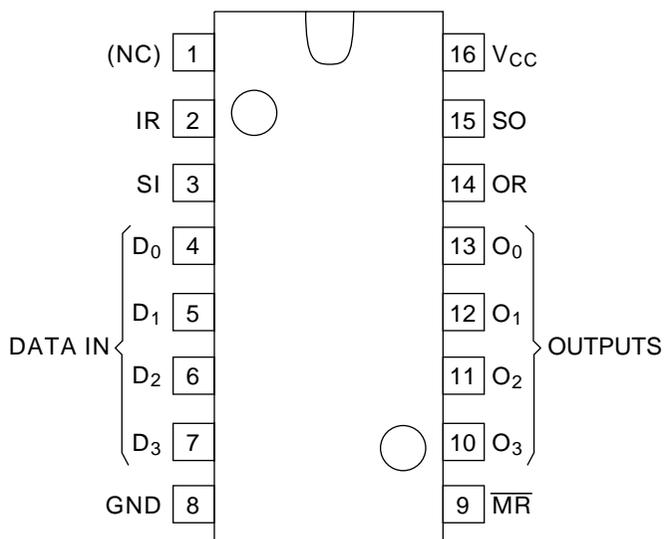
- シリコンゲートCMOSテクノロジー
- 5V単一電源
- 最大動作周波数 6MHz
- 低消費電力(150mW MAX 6MHz動作時)
- Fairchild社F3341 MOS FIFOとコンパチブル(データのリセット機能無し)
- 入出力はTTLコンパチブル
- パッケージ：16ピンプラスチックDIP(DIP16-P-300-2.54) (製品名：MSM6252RS)

### ■ ブロック図



## ■ 端子接続（上面図）

16ピンプラスチックDIP



## ■ 端子説明

PIN No.	端子名	説明	PIN No.	端子名	説明
1		NC	9	$\overline{\text{MR}}$	$\overline{\text{MASTER RESET}}$
2	IR	INPUT READY	10	O <sub>3</sub>	データ出力
3	SI	SHIFT IN	11	O <sub>2</sub>	"
4	D <sub>0</sub>	データ入力	12	O <sub>1</sub>	"
5	D <sub>1</sub>	"	13	O <sub>0</sub>	"
6	D <sub>2</sub>	"	14	OR	OUTPUT READY
7	D <sub>3</sub>	"	15	SO	SHIFT OUT
8	GND	電源(0V)	16	V <sub>CC</sub>	電源(+5V)

（注）形名の現品への表示は簡略形を用い、M6252となります。

## ■ 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	$V_{CC}$	GNDを 基準にした場合	- 0.5 ~ + 7.0	V
入力電圧	$V_{IN}$		- 0.5 ~ $V_{CC} + 0.5$	V
出力電圧	$V_{OUT}$		- 0.5 ~ $V_{CC} + 0.5$	V
保存温度	$T_{STG}$		- 55 ~ + 150	
許容損失	$P_D$	$T_a = 25$	0.8	W

## ■ 推奨動作条件

項目	記号	Min	Typ	Max	単位
電源電圧	$V_{CC}$	4.5	5.0	5.5	V
動作温度	$T_{OP}$	- 40	+ 25	+ 85	
"L"入力電圧	$V_{IL}$	- 0.3		+ 0.8	V
"H"入力電圧	$V_{IH}$	2.2		$V_{CC} + 0.3$	V

## ■ 電気的特性

## ● 直流特性

(  $V_{CC} = 4.5V \sim 5.5V, T_a = - 40 \sim + 85$  )

項目	記号	条件	Min	Typ	Max	単位
"L"出力電圧	$V_{OL}$	$I_{OL} = 2mA$			0.45	V
"H"出力電圧	$V_{OH}$	$I_{OH} = - 400\mu A$	2.4			V
		$I_{OH} = - 40\mu A$	4.2			
入力リーク電流	$I_{LI}$	0V $V_{IN}$ $V_{CC}$	- 10		10	$\mu A$
動作時電源電流	$I_{CCO}$	6MHz動作時 負荷容量 $CL = 0$		16	30	mA

## ● 交流特性

(V<sub>CC</sub> = 4.5V ~ 5.5V, T<sub>a</sub> = - 40 ~ + 85 )

項目	記号	図	Min	Typ	Max	単位
SI"H"時間	t <sub>SIH</sub>	1	30			ns
SI"L"時間	t <sub>SIL</sub>	1	120			ns
SIの立ち上がりに対するデータのセットアップ時間	t <sub>IDS</sub>	1	10			ns
SIの立ち上がりに対するデータのホールド時間	t <sub>IDH</sub>	1	120			ns
SO"H"時間	t <sub>SOH</sub>	5	30			ns
SO"L"時間	t <sub>SOL</sub>	5	120			ns
MRパルス幅	t <sub>MRW</sub>	9	80			ns
MRの立ち上がりからSIの立ち上がり迄の時間	t <sub>MRS</sub>	9	80			ns
SIの周波数	f <sub>IN</sub>	1			6	MHz
SIの立ち上がりからIRの立ち下がり迄の遅延時間	t <sub>IRL</sub>	1			110	ns
SIの立ち下がりからIRの立ち上がり迄の遅延時間	t <sub>IRH</sub>	1			120	ns
SOの周波数	f <sub>OUT</sub>	5			6	MHz
SOの立ち上がりからORの立ち下がり迄の遅延時間	t <sub>ORL</sub>	5			110	ns
SOの立ち下がりからORの立ち上がり迄の遅延時間	t <sub>ORH</sub>	5			120	ns
SOの立ち下がりから次のデータが出力される時間	t <sub>OD</sub>	5	10		120	ns
データのスルーアウト時間(フォールスルー時間)	t <sub>PT</sub>	3,7			5	μs
MRの立ち下がりからORの立ち下がり迄の遅延時間	t <sub>MRORL</sub>	9			100	ns
MRの立ち下がりからIRの立ち上がり迄の遅延時間	t <sub>MRIRH</sub>	9			100	ns
IR"H"パルス幅	t <sub>IPH</sub>	3		28		ns
OR"H"パルス幅	t <sub>OPH</sub>	7		30		ns

注1) 測定時の負荷はC<sub>L</sub> = 20pF

## ■ タイム・チャート

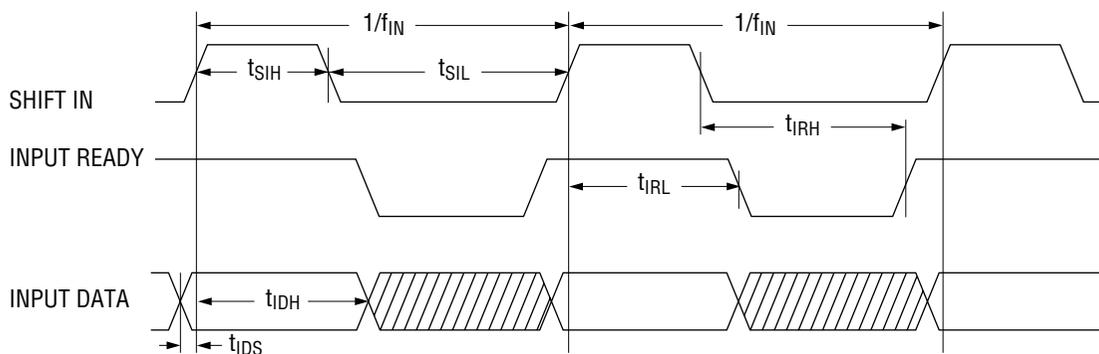


図 1 入力タイミング図

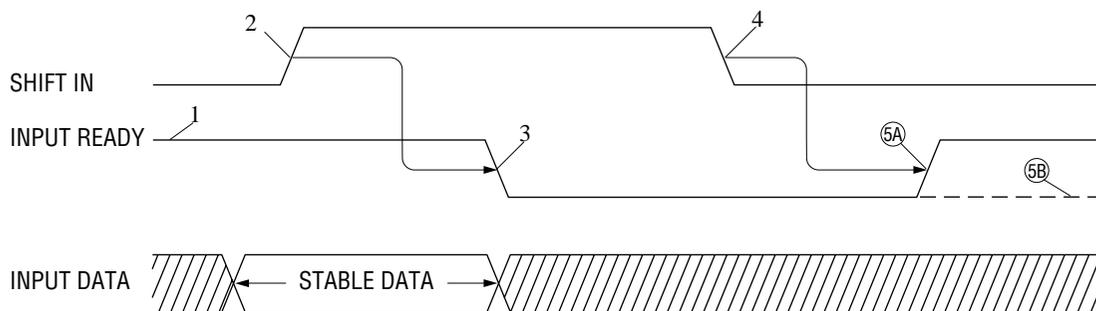
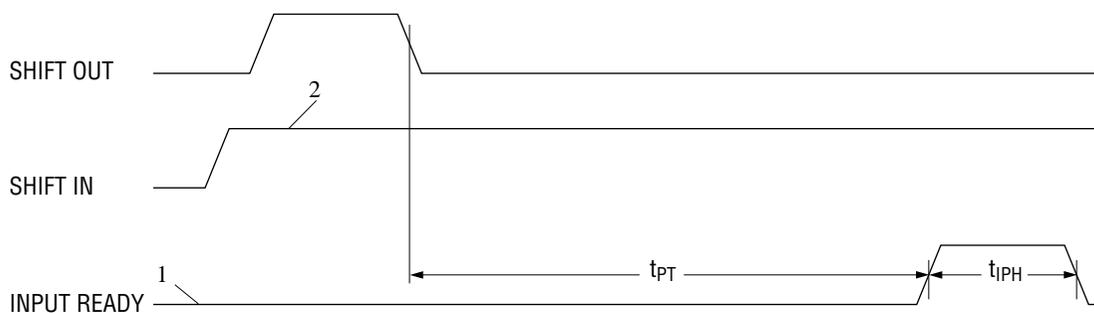


図 2 入力タイミング説明図

- ① IRが“H”ということは、SIパルスによってデータの格納が可能であることを示しています。
- ② First Wordにデータを格納。
- ③ First WordがFull。
- ④ データをFirst WordからSecond Wordへ転送。
- ⑤A データがFirst WordからSecond Wordへ転送された為First WordはReady状態。
- ⑤B Second WordがFullの為IRが“L”のまま。

(注) IRが“L”の間SIパルスは無視されます。(図4参照)

図 3  $t_{PT}$ 及び $t_{IPH}$ 仕様

- ① FIFOがすでにFull。
- ② SIは“H”に保たれています。

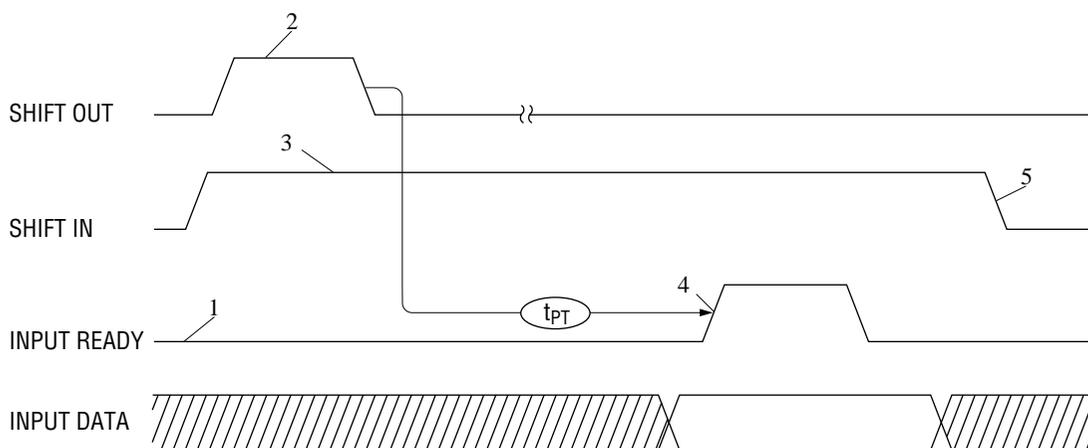


図 4 SIとIRが共に“H”時の動作

- ① FIFOがすでにFull。
- ② SOパルスでLast Wordのデータを出力しFIFOに空きをつくります。
- ③ SIは“H”に保たれています。
- ④ IRが“H”になるとすぐにINPUT DATAがFirst Wordに取り込まれます。
- ⑤ SIが“L”に変化するとFirst WordのデータがSecond Wordに転送されます。

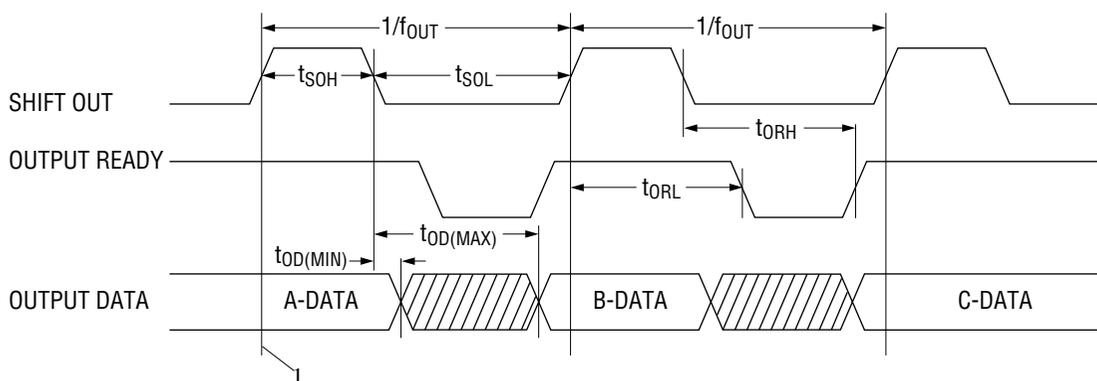


図 5 出力タイミング

- ① このタイミングでA, B, C各データは63, 62, 61Wordのデータを示します。

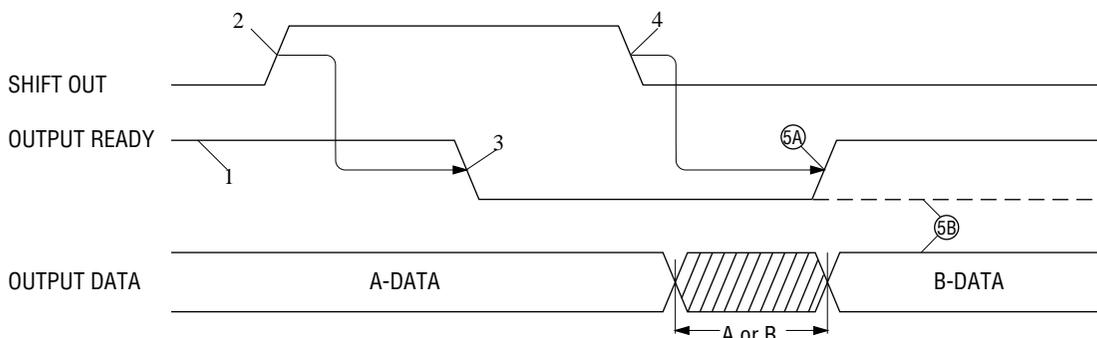
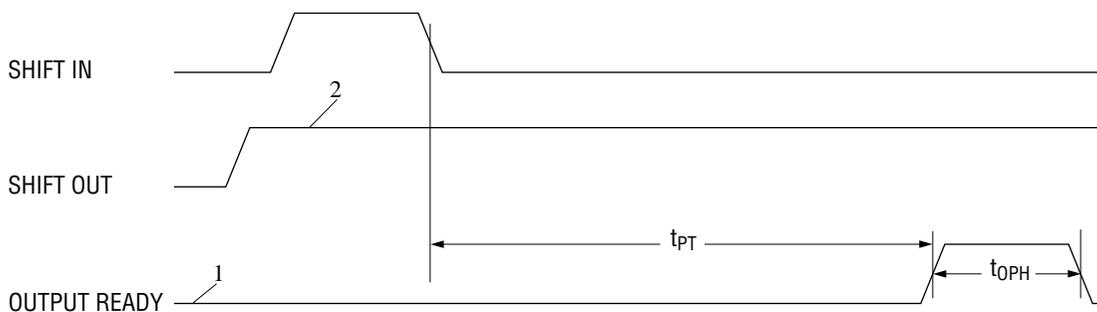


図 6 出力タイミング説明図

- ① ORが“H”ということは、SOパルスによってデータの出力が可能であることを示しています。
- ② SOが“H”となり次のステップに進みます。
- ③ ORが“L”となります。
- ④ Word 62のデータ(B)がWord 63へ転送されます。
- ⑤A ORが“H”となりFIFOにNew Data(B)が出力されます。
- ⑤B FIFOに一つだけしかデータ(A)が格納されていない場合、ORは“L”のままであり、出力(A-Data)は変化しません。

図 7  $t_{PT}$ 及び $t_{OPH}$ 仕様

- ① FIFOがEmpty。
- ② SOを“H”に保持。

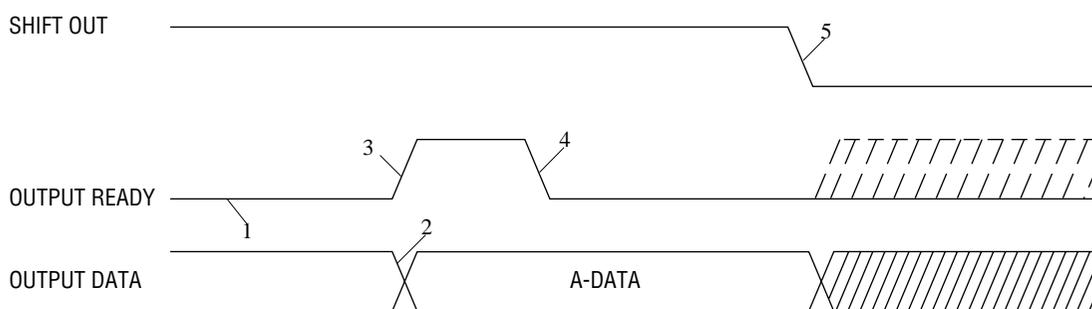


図 8 SOとORが共に“H”の時の動作

- ① Word 63がEmpty。
- ② New Data(A)が出力(Word 63)へ到着。
- ③ ORが“H”となりNew Dataが到着したことを示します。
- ④ SOを“H”に保って置くとORがすぐに“L”になります。
- ⑤ SOが“L”になるとすぐに、ORのダッシュ・ラインの状態により出力が変化します。

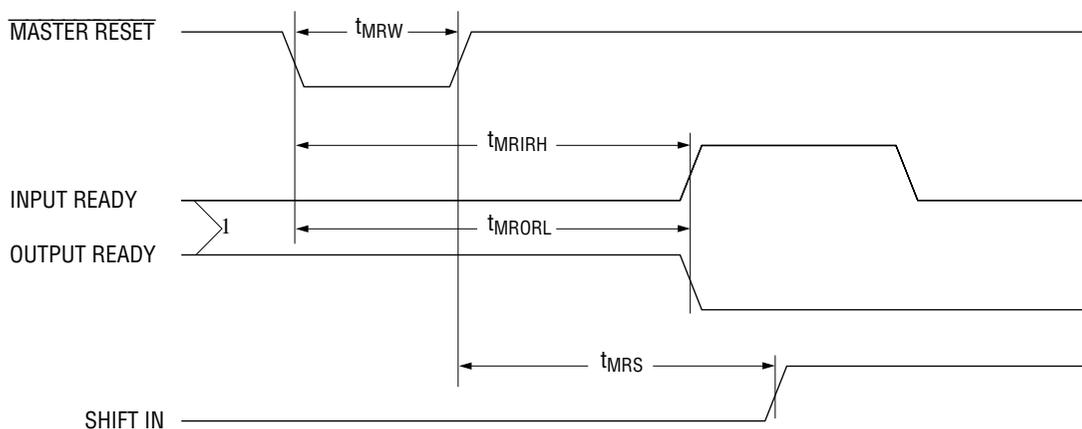


図 9 Master Reset タイミング

- ① FIFOがFull。

## ■ 機能説明

### ● データの入力

データの入力ピンは $D_0 \sim D_3$ です。最初のワード(word 0)がデータの受け入れ可能な状態ならば、INPUT READY(IR)は“H”となっています。SHIFT IN(SI)を“H”にしますと、その時点のデータ( $D_0 \sim D_3$ )がFIFOのword 0にされ、IRが“L”に変化します。

SIが“L”になるまでそのデータはword 0に留まり、IRは“L”を保持します。

word 1にデータが格納されていない場合、SIを“L”にしますと、データはword 1に転送され、IRが“H”となり、次のデータの受け入れが可能となります。

もし、FIFOがFullなら、IRは“L”を保持します。

### ● データの転送

一旦word 1に転送されたデータは、データの格納されている隣(一つ前)のワードまで、FIFO内部の制御により自動的に転送されます。この様に、空きワードがあるうちはFIFOの出力側からデータが徐々に詰まっていきます。Empty状態のFIFOにおいて、最初のデータが入力されてから最後のワード(word 63)までの転送に要する時間をスループットタイム( $t_{PT}$ )と言います。また、FIFOがFullの時、SHIFT OUT(SO)によりデータを出力し、word 0に空きが出来る(IRが“H”となる)まで要する時間をフォールスルー・タイム( $t_{FT}$ )と言います。

### ● データの出力

データの出力ピンは $O_0 \sim O_3$ です。データがword 63までシフトされると、OUTPUT READY(OR)が“H”となり、 $O_0 \sim O_3$ が有効な(出力可能な)データである事を示します。SHIFT OUT(SO)を“H”にしますと、ORが“L”に変化しますが、 $O_0 \sim O_3$ は前のデータを保っています。SOを“L”にしますと、新しいデータ(word 62に格納されている)をword 63にシフトし、 $O_0 \sim O_3$ に出力され、ORが“H”になります。もしFIFOがEmptyの場合は、ORは“L”を保持し、 $O_0 \sim O_3$ も前の状態を保ちます。

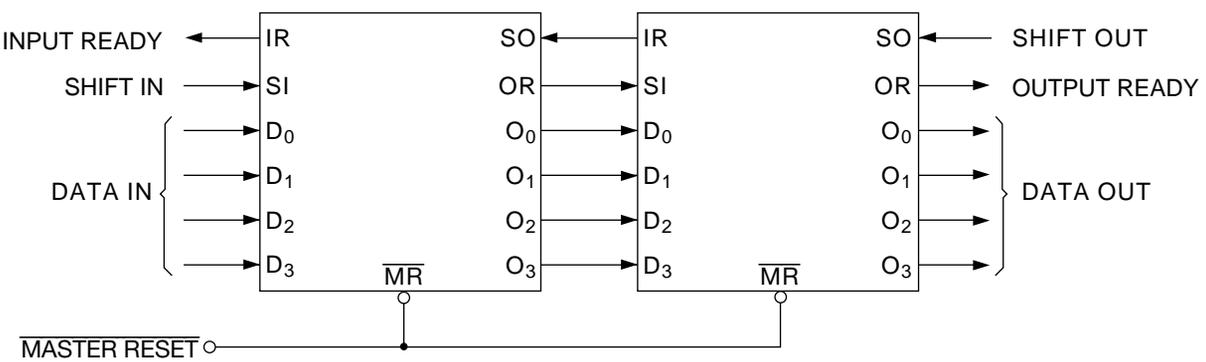
IR及びORはFIFOがEmpty(少なくとも $t_{PT}$ の間IRが“L”)または、Full(少なくとも $t_{PT}$ の間ORが“L”)の状態を示す信号として使用出来ます。

### ● マスターリセット

$\overline{\text{MASTER RESET}}(\overline{\text{MR}})$ を“L”にしますと、コントロール回路をクリアし、FIFOをEmptyの状態(IR = “H”、OR = “L”)にします。 $\overline{\text{MR}}$ を“H”に戻しても、ORは“L”を保ち、SIが“L”ならばIRは“H”を保ちます。出力データ( $O_0 \sim O_3$ )は $\overline{\text{MR}}$ によりリセットされませんから、 $O_0 \sim O_3$ のデータはORが“H”の間のみ有効な値と考えて下さい。

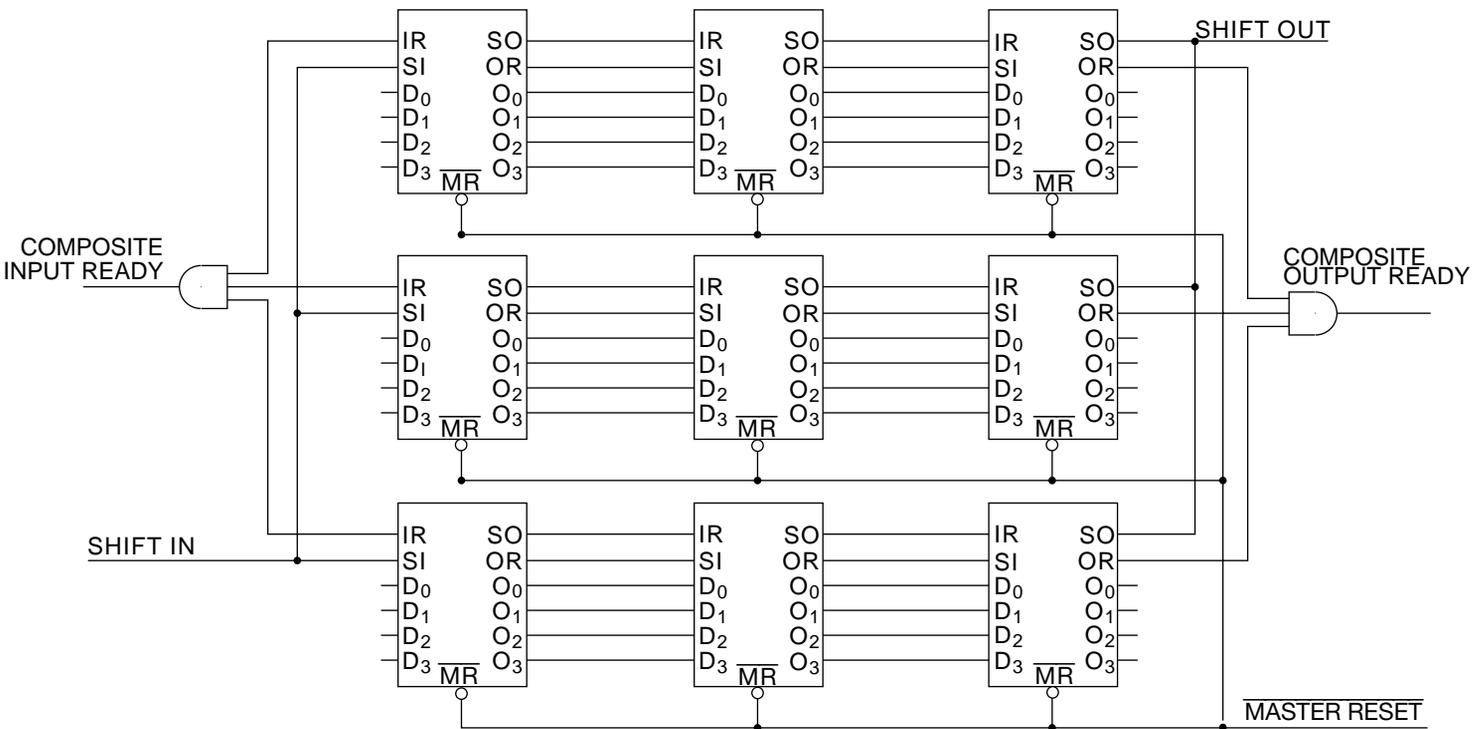
## ■ 応用回路例(FIFOの拡張)

## ● 128 × 4 FIFO 構成例



(注) SO IR及びOR SIの配線容量は20pF以下とします。

## ● 192 × 12 FIFO 構成例



(注) SO IR及びOR SIの配線容量は200pF以下とします。

